

Česká zemědělská univerzita v Praze

Technická fakulta

Katedra elektrotechniky a automatizace



Softwarově definované rádio

Diplomová práce

Autor práce: Bc. Marian Marjanovič

Vedoucí práce: Ing. Miloslav Linda, Ph.D.

© 2017 ČZU v Praze

ZADÁNÍ DIPLOMOVÉ PRÁCE

Marian Marjanovič

Informační a řídicí technika v agropotravinářském komplexu

Název práce

Softwarově definované rádio

Název anglicky

Software defined radio

Cíle práce

Navrhnout a realizovat vysokofrekvenční část rádia, číslicovou část pro zpracování signálu a realizovat programové vybavení pro zpracování dat získaných hardwarovou částí.

Metodika

Prostudovat koncept a činnost softwarově definovaného rádia

Provést návrh vysokofrekvenční a číslicové části rádia

Realizovat vysokofrekvenční a číslicovou část

Navrhnout metodu zpracování signálu v počítači

Zhodnotit dosažené výsledky při realizaci

Doporučený rozsah práce

50 str. včetně příloh

Klíčová slova

Softwarově definované rádio, SDR, číslicové zpracování signálu

Doporučené zdroje informací

časopisy Sdělovací technika, Amaterské rádio, Elektor

Daněk, K.: Moderní rádiový přijímač – kniha o jeho návrhu, BEN, Praha, 2005

dokumentace GNU radio

katalogové listy a aplikační poznámky výrobců polovodičových komponent

Smith W. Steven, The Scientist and Engineer's Guide to Digital Signal Processing, 1997, ISBN 0966017633

Předběžný termín obhajoby

2014/15 LS – TF

Vedoucí práce

Ing. Miloslav Linda, Ph.D.

Garantující pracoviště

Katedra elektrotechniky a automatizace

Elektronicky schváleno dne 7. 2. 2013

prof. Ing. Jaromír Volf, DrSc.

Vedoucí katedry

Elektronicky schváleno dne 9. 2. 2013

prof. Ing. Vladimír Jurča, CSc.

Děkan

V Praze dne 01. 04. 2016

Prohlášení

„Prohlašuji, že jsem diplomovou práci na téma: Softwarově definované rádio vypracoval samostatně a použil jen pramenů, které cituji a uvádím v seznamu použitých zdrojů. Jsem si vědom, že odevzdáním bakalářské práce souhlasím s jejím zveřejněním dle zákona č. 111/1998 Sb., o vysokých školách a o změně a doplnění dalších zákonů, ve znění pozdějších předpisů, a to i bez ohledu na výsledek její obhajoby. Jsem si vědom, že moje diplomovou práce bude uložena v elektronické podobě v univerzitní databázi a bude veřejně přístupná k nahlédnutí. Jsem si vědom že, na moji diplomovou práci se plně vztahuje zákon č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů, ve znění pozdějších předpisů, především ustanovení § 35 odst. 3 tohoto zákona, tj. o užití tohoto díla.“

V Praze dne:

Marian Marjanovič

Poděkování

Rád bych na prvním místě poděkoval svému vedoucímu diplomové práce Ing. Miloslavovi Lindovi, Ph.D za trpělivost a cenné rady k dokončení této práce. Poděkování patří i mojí rodině a partnerce, kteří mě podporovali po celou dobu mého studia a byli mi oporou.

Softwarově definované rádio

Abstrakt: Práce se zabývá návrhem a realizací front endu pro softwarově definované rádio. Je v ní popsána funkce kvadraturního vzorkovacího detektoru v roli přijímače s přímou konverzí do základního pásma a nastíněn způsob demodulace pomocí kvadraturních signálů. Dále jsou rozebrány možnosti programového vybavení umožňující provoz rádia a demodulaci kvadraturních signálů na PC.

Klíčová slova: softwarově definované rádio, SDR, číslicové zpracování signálu

Software-defined radio

Summary: Thesis deals with design and implementation of front end for software-defined radio. It describes function of the quadrature sampling detector in the direct conversion receiver role and outlines a method how demodulation using quadrature signals works. Finally there is discussed list of software for usage with software defined radio on the PC.

Key words: software-defined radio, SDR, digital signal processing

Obsah

1	Úvod	1
2	Cíl práce	2
3	Teoretický rozbor	3
3.1	Definice Softwarově definovaného rádia	3
3.2	Princip funkce SDR	4
3.3	Porovnání architektur přijímačů	5
3.3.1	Přímokonvertující přijímač	5
3.3.2	Přijímač s vícenásobnou konverzí	6
3.4	Použití SDR	8
4	Návrh vysokofrekvenční a číslicové části	10
4.1	Kvadrurní vzorkovací detektor	10
4.2	Vstupní obvody	17
4.2.1	Impedanční přizpůsobení	17
4.2.2	Frekvenční filtry	18
4.2.3	Obvody pro nastavení přepětí	19
4.3	Lokální oscilátor	21
4.3.1	Definice parametrů	21
4.3.2	Přímá číslicová syntéza	22
4.3.3	Numericky řízené oscilátory	25
4.4	Analogový multiplexer	25
4.5	Výstupní operační zesilovač	27
4.6	Obvody úpravy napájení	28
5	Realizace	30
5.1	Popis zapojení prototypu	31
5.1.1	Signálová cesta	31
5.1.2	Číslicová část	32
5.1.3	Popis modifikace zapojení finálního zařízení	33
5.2	Měření na prototypu	35
5.2.1	Ověření funkce kvadrurního generátoru	36
5.2.2	Kontrola správnosti zapojení výstupů analogového přepínače	38
5.2.3	Vzorkování sinusoidy	38
5.2.4	Vzorkování AM signálu	40
5.3	Firmware	41
5.4	Software pro práci s SDR na PC	45
5.4.1	WinRAD	45

5.4.2	SDR sharp	46
5.4.3	GNU radio	47
5.5	Fyzické uspořádání zařízení	48
6	Diskuse	49
7	Závěr	50
	Rejstřík zkratk	51
	Seznam použité literatury	55
A	Schéma zapojení prototypu	58
B	Seznam materiálu prototypu	59
C	Schéma SDR Alpha - finální zapojení	61
D	Seznam materiálu SDR Alpha	62
E	Podklady plošných spojů SDR Alpha	63
F	Výpis firmware	65

1 Úvod

Uběhlo bezmála 100 let od vynálezu rádia. Za tu dobu tato technologie prošla od skromných začátků s jiskrovým telegrafem až k všudypřítomným bezdrátovým mikrovlnným sítím, poskytující připojení k internetu. Během celé této doby se technologie a teorie rádia vyvíjela, nicméně stále zůstávala pevně svázaná s hardwarem, který byl naprosto klíčový pro chod rádia.

V posledních 20 letech, ale nastala tichá evoluce – výpočetní výkon počítačů vzrostl natolik, že začalo být možné uvažovat o zpracování signálů v reálném čase. A tak se zrodila myšlenka, že by se rádio mohlo osvobodit od svého hardwaru a začít existovat jako čistá výpočetní abstrakce, prakticky nezávislá na nedokonalosti součástí, na kterých je postavena.

Softwarově definované rádio stírá rozdíl mezi hranicemi, kde končí hardware a začíná software. Umožňuje do určité míry měnit svoje fyzické chování pouhou změnou software, jako například dodání nového typu demodulace do existujícího rádia, příjem na více kanálech najednou. A to vše beze změny hardwarového vybavení.

I když se jedná o evoluci ve vývoji rádia, svým způsobem pomalu mění jeho základy a otevírá nové možnosti pro experimentování. Dříve by bylo nutné sestavit specializovaný hardware, dnes ho stačí popsat matematickou nebo algoritmickou abstrakcí.

2 Cíl práce

Cílem této práce je popsat základy softwarově definovaného rádia a rozebrat možnosti jeho návrhu. Ze získaných znalostí vybrat jeden ze způsobů návrhu a na jeho základě navrhnout jednoduchý přijímač, který bude postaven. Na zrealizovaném přijímači pak odzkoušet jeho funkci.

3 Teoretický rozbor

Základní principy v telekomunikačních technologiích jsou ve své podstatě stejné již celé století. Co se ovšem během této doby mění a stále se vyvíjí je podstata jak jsou tyto postupy realizovány pomocí nových technologií. Jedna z největších probíhajících změn je posun zpracování signálu z fyzicky realizovaného obvodu (hardwaru) ke programovému číslicovému zpracování signálu (softwaru) [13].

S nárůstem různých možností a způsobů komunikace – jako např. datové přenosy, hlasové přenosy, video atd. – se stala potřeba snadné, rychlé a levné modifikace rádiových zařízení kritická. Technologie softwarově-definovaného rádia přinesla potřebnou flexibilitu a efektivitu pro prosazování a rychlou adaptaci nových technologií způsobů komunikace v rádiových zařízeních.

3.1 Definice Softwarově definovaného rádia

Než přistoupíme k definici softwarově definovaného rádia (dále jen SDR) je třeba si upřesnit co se rozumí pod pojmem rádio. Pojmem rádio je v této práci označeno zařízením, které bezdrátově přijímá nebo vysílá signál v rádiové části elektromagnetického spektra za účelem přenosu informace.

Historicky byla rádia navrhovaná tak, aby zpracovávala specifický signál - daný nosnou frekvencí, modulací, datovým tokem atd. Jednouúčelová, aplikačně specifická rádia operovala v předem známém, pevně vymezeném prostředí, na které je bylo možné snadno optimalizovat výkonem, spotřebou nebo velikostí. Na první pohled vykonávala většina rádií pouze jednu specifickou funkci - např. první generace mobilních telefonů přenášela pouze hlas, zatímco televizor přijímal video signál. Nicméně při bližším pohledu začíná být zřejmé, že jsou tato zařízení v dnešní době poměrně flexibilní. Mobilní telefon například nepřenáší pouze hlas, ale i data a to i za pomoci více různých technologií (GSM vs WCDMA například). [10]

V odborné literatuře lze najít mnoho různých definic co je považováno za Softwarově Definované Rádio¹. SDR může být obecně definováno jako radio, které používá techniky číslicového zpracování signálu na digitalizovaném rádiovém signálu.[22] Nicméně jako přesnější popis se jeví ten, který používá pro definici SDR organizace Wireless innovation forum [10]:

Softwarově-definované rádio je rádio, ve kterém jsou některé nebo všechny funkční fyzické vrstvy definované softwarem.

Příčemž termínem fyzická vrstva jsou myšleny spodní vrstvy v modelu OSI a softwarově definované znamená, že nová funkčnost a různé průběhy signálu mohou být zpracovány modifikací softwaru nebo firmwaru a nemusí přitom být kvůli tomu měněn hardware [10].

¹občas se označuje jako SBR – software based radio [22], nebo pouze SR – software radio [7, 22]

Shrnuto, základní myšlenkou SDR je přesun od tradičně obvodově řešeného, aplikačně specifického přístupu implementace rádia, k implementaci používající softwarovou aplikaci, která vykonává funkce rádia dříve realizované čistě pomocí elektronických obvodů (např. demodulace, filtrace) na nějaké výpočetní platformě (DSP, FPGA atd.) [22].

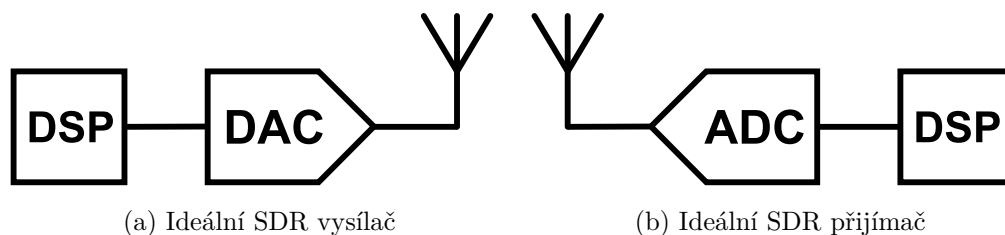
SDR využívá programovatelná číslicová zařízení k číslicovému zpracování signálu nezbytnému pro příjem a vysílání informací pomocí rádiových vln. Jako výpočetní zařízení pro zpracování signálů se většinou používají digitální signálové procesory (DSP) a programovatelná hradlová pole (FPGA) [6].

Praktickým důsledkem tohoto přístupu je, že pokud bude například třeba zavést novou metodu modulace nebo demodulace, tak nebude třeba měnit hardware rádia, ale pouze se aktualizuje software a tím se přidá nebo rozšíří stávající rádio o novou funkčnost. Toho v nynější době využívají například základové stanice mobilních operátorů v 3G sítích [6].

3.2 Princip funkce SDR

Ideální, softwarově definované rádio by bylo schopno vysílat a přijímat signály na jakékoli frekvenci, v libovolné šíři pásma a modulované libovolnou modulační technikou. Současný stav analogové hardwarové části rádia je nicméně stále daleko od ideálu, který by toto umožnil [22, 8].

Ideálním SDR je anténa přímo připojená k analogově-číslicovému převodníku, za kterým následuje systém pro číslicové zpracování signálu. Poté je všechno zpracování signálu, demodulace, filtrace atd. prováděno v číslicové doméně pomocí technik DSP[8]. Blokové schéma takového přijímače a vysílače je na obrázku 1.



Obrázek 1: Blokové schéma ideálního Softwarově-definovaného rádia

V dnešní době je možné navrhnout kompletní přijímač nebo vysílač s použitím pouze AD a DA převodníků s DSP zpracováním dat, nicméně toto je možné realizovat pouze do určité maximální frekvence. Bohužel, výzkum a vývoj na

poli analogově–číslicových převodníků (ADC) a číslicově–analogových převodníků (DAC) je relativně pomalý. Nejmodernější špičkové převodníky v současné době umožňují zpracovávat signály do frekvencí 3 až 5 GHz, přičemž většina aplikací je v pásmu středních vln nebo používá směšování na relativně nízké mezifrekvenční či přímo v základním pásmu. Problémy s párováním tranzistorů, parazitní kapacitou a vzorkovací nejistotou signálu (aperture jitter) zůstává hlavní překážkou vývoje rychlých a nízkoenergetických AD převodníků. Obecně lze říci, že šířka pásma a dynamický rozsah analogově–číslicových převodníků je přímo úměrně závislá na jejich celkové spotřebě. Pro představu v nedávné době byl uveden na trh AD převodník s efektivním rozlišením 6-bitů a šířkou pásma 10GHz, nicméně jeho spotřeba se pohybuje kolem 4 W [8].

Tyto problémy zatím odsouvají realizaci ideálního softwarového rádia do vzdálenější budoucnosti.

3.3 Porovnání architektur přijímačů

V následujícím textu je porovnání různých architektur pro realizaci přijímačů z hlediska použití pro SDR.

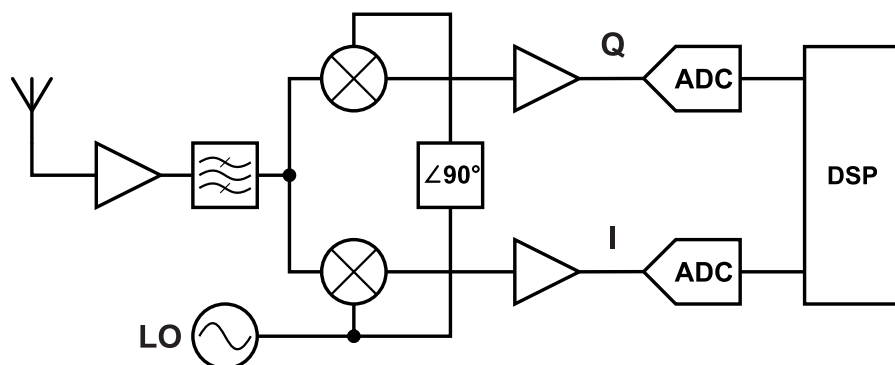
Základní funkcí přijímače je vzít vysokofrekvenční signál o malé energii a převést jeho frekvenci do základního pásma pro další zpracování. Během tohoto procesu je signál i zesílen.

Hlavním rozdílem mezi jednotlivými architekturami rádiových přijímačů je počet stupňů, které jsou potřeba pro snížení frekvence přijímaného signálu do základního pásma. Obecně lze říci, že složitost přijímače se zvyšuje s počtem snižujících stupňů [8, 22].

3.3.1 Přímokonvertující přijímač

Potřebuje pouze jeden stupeň pro převod vysokofrekvenčního signálu do základního pásma. Blokové schéma tohoto je přijímače je na obrázku 2.

Přijímač má na vstupu nízko šumový širokopásmový zesilovač, který slouží jako předzesilovač. Signál je poté filtrován pásmovou propustí a dvojicí směšovačů převeden přímo do základního pásma, přičemž je při tomto procesu převeden na komplexní signál s fázovou a kvadratickou složkou (I a Q) k dalšímu zpracování[22].



Obrázek 2: Blokové schéma přijímače s přímou konverzí

Hlavní přednosti tohoto přijímače jsou:

- nízká složitost zapojení
- lze ho realizovat jako integrovaný obvod
- jednoduché nároky na filtraci signálu
- potlačení postranního pásma signálu je jednodušší než u přijímače s mezifrekvenčním směřováním

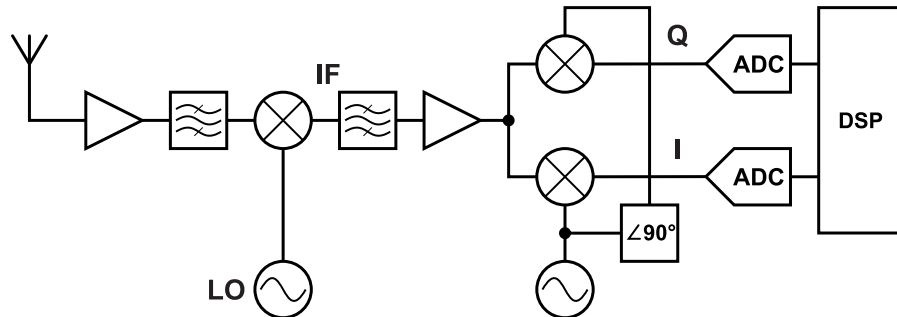
Nicméně jeho nevýhody jsou [22]:

- pro svou činnost potřebuje lokální oscilátor, který generuje dva signály vzájemně přesně posunuté o 90° , se stejnou amplitudou a navíc musí být schopný přeladování v celém frekvenčním pásmu požadovaných přijímaných frekvencí
- směšovače musí být dobře vyvážené a schopné pracovat v celém rozsahu přijímaného frekvenčního pásma
- velkým problémem je šum $1/f$, který se projevuje zhruba do frekvence 10 kHz (v literatuře označovaný též jako blikavý [23, 22])

3.3.2 Přijímač s vícenásobnou konverzí

Též nazývaný superheterodyn, jeho blokové schéma je na obrázku 3. Tato architektura přijímače používá první lokální oscilátor a směšovač ke konverzi signálu na mezifrekvenční pásmo, kde se poté dále signál zpracuje mezifrekvenčním pásmovým filtrem a zesílí. Nakonec se pomocí dalšího oscilátoru a směšovačů převede na do základního pásma a rozloží na fázovou a kvadraturní složku (I a Q).

Signál je také možno digitalizovat ihned za prvním mezifrekvenčním zesilovačem a frekvenční posun do základního pásma s rozložením na I a Q složky provést v číslicové doméně pomocí DSP [22, 7].



Obrázek 3: Blokové schéma přijímače s vícenásobnou konverzí

Mezi výhody vícenásobné konverze lze zahrnout[22]:

- dobrá selektivita přijímače – díky použití preselekčního a pásmového filtru
- zesílení je rozloženo mezi několik zesilovačů v různých frekvenčních pásmech
- konverze reálného signálu na komplexní složky I a Q je provedena na jediné frekvenci, tudíž odpadá potřeba přeladitelného kvadraturního oscilátoru s přesně vyváženými amplitudami obou signálů

Nevýhodou přijímače s mezifrekvenčním směřováním je [22]:

- vysoká složitost obvodu
- je potřeba více oscilátorů na více frekvencích
- jsou potřeba specializované mezifrekvenční filtry, díky tomu je nemožné tuto architekturu realizovat jako integrovaný obvod

3.4 Použití SDR

Použití softwarově definovaného rádia má výhody v především aplikacích, kde je důležitá vysoká flexibilita, například tam kde se často mění komunikační standardy – jako jsou různé druhy modulací a kódování, nebo je realizování dané funkčnosti pomocí klasických hardwarových metod příliš náročné a nákladné.

Typickým příkladem častého zavádění nových standardů jsou základové stanice v mobilních telefonních sítích. [6]

Jelikož je SDR relativně nová technologie, nemá úplně přesně vymezené pole působnosti. Některá pole kde technologie SDR vyniká a najde uplatnění jsou načrtnuta v následujícím seznamu [10]:

- *Interoperabilita.* SDR může bezproblémově komunikovat s různými nekompatibilními rádii, nebo vytvořit překlenovací most mezi navzájem nekompatibilními rádii. Interoperabilita byla i prvotním impulsem americké armády pro zahájení výzkumu SDR a jeho financování v posledních 30 letech. Různé složky armády a ozbrojených sil používají desítky rozdílných navzájem nekompatibilních rádiových systémů, což stěžuje komunikaci během vzájemných operací. Jedno SDR podporující mnoho kanálů a standardů může pracovat jako komunikační most mezi různými rádii.
- *Efektivní využití zdrojů* v různých podmínkách. SDR může přepínat modulace a měnit vysílací kmitočet podle aktuálních podmínek. Například, může vysílat na frekvencích vyžadujících nižší energie na přenos, pokud pracuje na bateriový provoz. Naopak pokud je potřebná vysoká propustnost dat, může vysílat na vyšších frekvencích kde je datová propustnost vyšší.
- *Oportunistické využití frekvenčního spektra* (kognitivní rádio). SDR může dočasně využívat pro přenos nevytížená frekvenční pásma. Pokud vlastník frekvenčního pásma ho dostatečně nevytěžuje, SDR si může toto pásmo dočasně „vypůjčit“ pro svůj provoz, dokud ho vlastník spektra nezačne opět využívat. Tato technika má potenciál dramaticky zvýšit dostupnost využitelného frekvenčního spektra.
- *Snížená rychlost zastarávání.* Softwarově definované rádio lze snadno aktualizovat pro podporu nejnovějších komunikačních standardů. Tato schopnost je důležitá hlavně pro rádia s dlouhým životním cyklem, jako jsou rádia určená pro armádu nebo rádia v leteckém či kosmickém komplexu. Nicméně tuto vlastnost využívají i operátoři mobilních sítí, kdy zavádění nových standardů lze vyřešit vzdáleným nahráním nového softwaru do základové stanice, namísto pracné a drahé výměny základových stanic.

- *Nižší náklady.* SDR lze snadno adaptovat pro použití v různých trzích a pro více aplikací. Například to samé rádio může být prodáno jak výrobci mobilních telefonů, tak i výrobci automobilů. Zároveň se výrazně sníží cena údržby i obeznámení s obsluhou zařízení.
- *Výzkum a vývoj.* Softwarově definované rádio lze použít ke zkoumání nových modulačních technik a šíření různých průběhů signálů. Lze snadno a rychle provádět testy přímo v terénu, které budou přesnější a objektivnější než simulace.

Kromě toho číslicové zpracování signálu přináší oproti klasickému řešení elektrickým obvody následující výhody [8]:

- menší citlivost na toleranci použitých komponent a rušení okolí
- eliminace použití rozměrných analogových komponent jako jsou například cívky a kondenzátory, jelikož DSP pracuje přímo s jejich matematickým modelem
- možnost plné integrace a konzistentní reprodukce kvality při výrobě
- zvětšení dynamického rozsahu pouhým zvýšením bitové délky zpracovávaného slova, při analogovém zpracování je dynamický rozsah limitován velikostí napájecího napětí
- možnost změny charakteristiky přijímače pouhou změnou koeficientů v softwaru

4 Návrh vysokofrekvenční a číslicové části

Obecným cílem návrhu je vytvořit přijímač pro základní seznámení se s číslicovým zpracováním signálu. Cílem je de facto platforma pro experimentování se signály v rádiovém spektru, jejich demulaci a monitorování. Zařízení by mělo splňovat následující rámcové parametry:

- co nejjednodušší konstrukce s minimem součástí
- výstupem budou složky kvadrurního signálu I a Q
- zpracování dat bude probíhat kvůli flexibilitě a snadnému experimentování v počítači
- data se budou digitalizovat pomocí zvukové karty

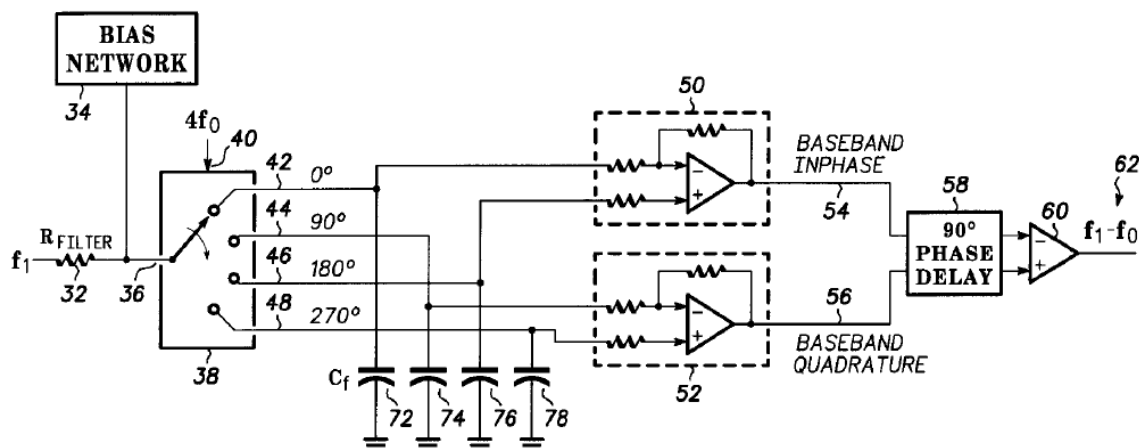
Pro tento účel se jeví jako ideální přijímač s přímou konverzí pracující ve frekvenčním pásmo v rozsahu dlouhých, středních až krátkých vln (max. do 30 MHz). Tyto pásma mají dostatečně nízké kmitočty pro jednoduchý návrh obvodu a poskytují prostor pro případnou toleranci chyb v návrhu.

4.1 Kvadrurní vzorkovací detektor

Jako architektura pro realizaci přijímače s přímou konverzí, byla zvolena poměrně nová technika, jejímž základem je kvadrurní vzorkovací detektor², kterou patentoval Dan Tayloe. Jedná se o přijímač s přímou konverzí s kvadratickým výstupem. Jeho funkcí je konverze frekvence přijímaného signálu do základního pásma a zároveň provádí kvadratické vzorkování, na výstupu pak produkuje kvadratické složky signálu I a Q, se kterými je možné dále pracovat nebo za pomoci AD převodníků digitalizovat pro číslicové zpracování [25]. Konceptuální schéma uvedené v daném patentu je zobrazeno na obr. 4.

Tayloe popisuje funkci svého detektoru tak, že se přijímaný signál (na obr. 4 označen jako f_1) přivede na vstup komutujícího spínače (38), který postupně přepíná přiváděný signál na vstupy čtyř kapacitorů (42, 44, 46, 48). Spínač komutuje vstupní signál čtyřnásobně vyšší frekvencí (40) než je požadovaná přijímaná frekvence. Na každém kapacitoru se signál postupně během doby jeho sepnutí na vstup integruje a poté se jeho průměrné napětí přivede na vstup diferenciálních zesilovačů (50, 52), kde se od sebe odečtou hodnoty vzorků získaných na výstupech jednotlivých kvadrantů. Konkrétně po odečtení vzorků získaných v 0° a 180° kvadrantu na diferenciálním zesilovači (50) získáme fázovou složku (z angl. *in-phase*) signálu

²V dalším textu označován jako QSD nebo Tayloe detector



Obrázek 4: Blokové schéma Taylorova detektoru (QSD detektor) [18]

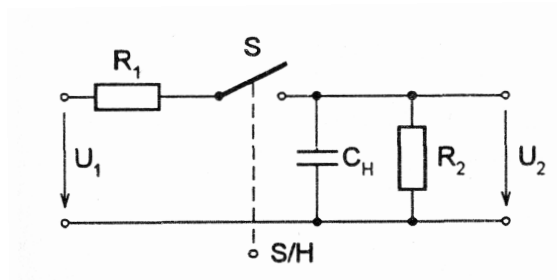
v základním pásmu (54). Odečtením signálů v 90° a 270° kvadrantu na diferenciálním zesilovači (52) pak kvadraturní složku³ (z angl. *quadrature*) signálu v základním pásmu (56). Obvod pro nastavení pracovního bodu (34 - *bias network*) slouží pro nastavení předpětí přijímaného signálu. Rezistor R_{filter} na vstupu (32) tvoří zároveň s kapacitami C_f (72, 74, 76, 78) filtr typu dolní propust prvního řádu. Pomocí jejich hodnot lze nastavit šířku základního pásma a Taylor detektor tak vlastně obsahuje i základní výstupní filtr. [18]

Jelikož v navrhovaném SDR přijímači a dalším číslicovém zpracování signálu chceme použít metodu kvadraturního zpracování signálů, jsou klíčové kvadraturní složky I a Q, a tak jsou filtr fázového zpoždění (58) a výstupní diferenciální zesilovač (60) nežádoucí. Tyto prvky slouží pro demodulaci SSB signálů a pro zde navrhovaný SDR přijímač jsou nepotřebné.

Poněkud jiný pohled na funkci Taylor detektoru uvádí Gerald Youngblood ve svém článku uvedeném v časopise QEX [25]. Na detektor nenahlíží z pohledu radiotechniky, ale jako na vzorkovací obvod typu *sample and hold*, který vzorkuje přijímaný signál pomocí čtyř samostatných vzorkovacích obvodů.

Principiální schéma zapojení vzorkovacího obvodu typu *sample and hold* je na obr.5. Vzorkovací obvod má stav sledování (*tracking mode*), během kterého je kondenzátor C_F připojen spínačem S ke vzorkovanému signálu a stav pamatování (*hold mode*), při kterém je spínač S rozepnut a navzorkovaná hodnota uchována na kondenzátoru C_F má hodnotu vstupního napětí v okamžiku odpojení od vstupního signálu [23].

³Fázová a kvadraturní složka jsou mezi sebou fázově posunuty o 90°



Obrázek 5: Vzorkovací obvod typu Sample and Hold [23]

Tyto čtyři vzorkovací obvody sample and hold jsou pomocí řídicího obvodu spínány tak, že každý z nich vzorkuje přijímaný signál po 1/4 periody, na který je naladěný lokální oscilátor a navíc jsou jednotlivé vzorkovací sekvence od sebe navzájem zpožděny přesně o 90° tj. po 1/4 periody frekvence lokálního oscilátoru se signál sleduje a po zbývajících 3/4 periody je jeho průměrná hodnota za tuto dobu sledování zapamatována. Tím je zajištěno vzorkování v 0°, 90°, 180° a 270° periody signálu. Průměrné hodnoty navzorkovaného signálu jsou od sebe odečteny pro hodnoty vzorků získaných v 0° a 180° pro signál I, a pro vzorky 90° a 270° pro získání signálu Q [25].

Ukázka principu činnosti tohoto vzorkovacího obvodu je na obr.6. Vstupním signálem je sinusoida o frekvenci 250 Hz, vzorkovaná je QSD detektorem s frekvencí 1000 Hz. Žlutě je vyznačen signál na výstupu Q což je stejnosměrné napětí o dvakrát větší amplitudě než je amplituda vzorkované sinusoidy, tj. zisk je 6 dB. Modře je vyznačen signál I, ten je pro tento případ nulový. Pro kosinusoidu jsou naopak hodnoty signálů I a Q prohozeny viz obr.6b. To že se nám na výstupu při vzorkování čtyřnásobnou frekvencí objevilo pro čisté sinusové průběhy stejnosměrné napětí zároveň znamená, že došlo k frekvenčnímu posunu vstupního signálu do základního pásma tedy v tomto jednoduchém případě k jeho usměrnění.

Lepší demonstrace tohoto chování pro složitější průběh signálu je na obr.7. V tomto případě je vzorkovaný amplitudově modulovaný signál popsán rovnicí [24]

$$y_{AM}(t) = A_c \cdot [1 + M \cdot (\sin(\omega_m t))] \cdot \cos(\omega_c t) \quad (1)$$

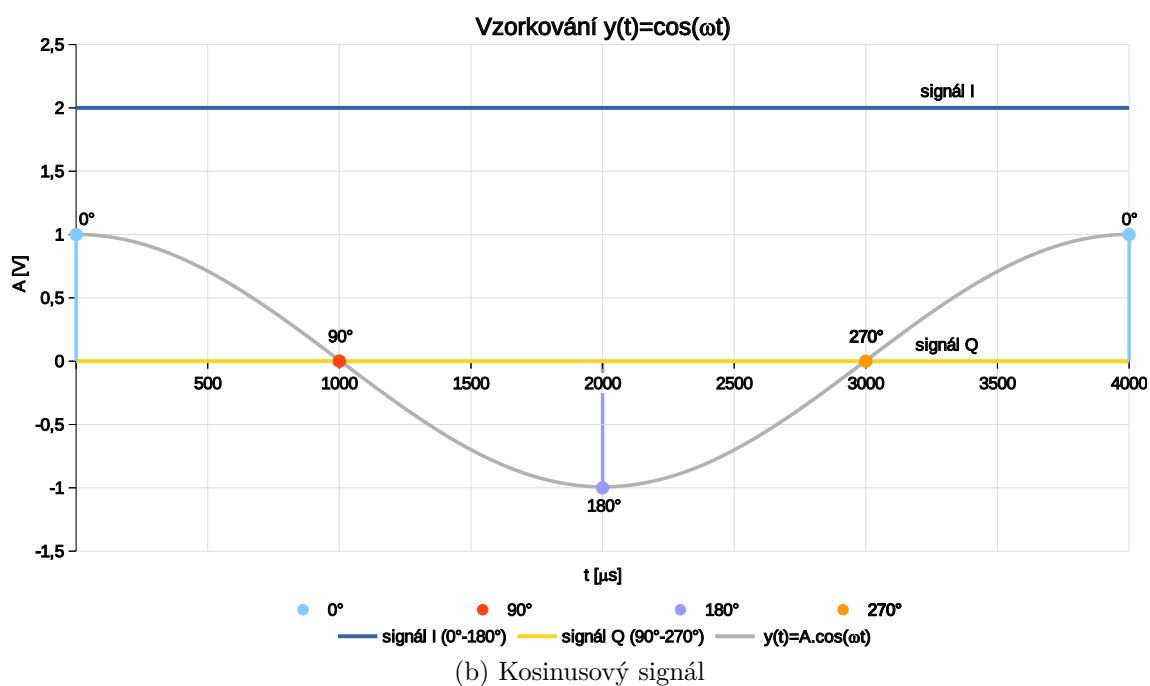
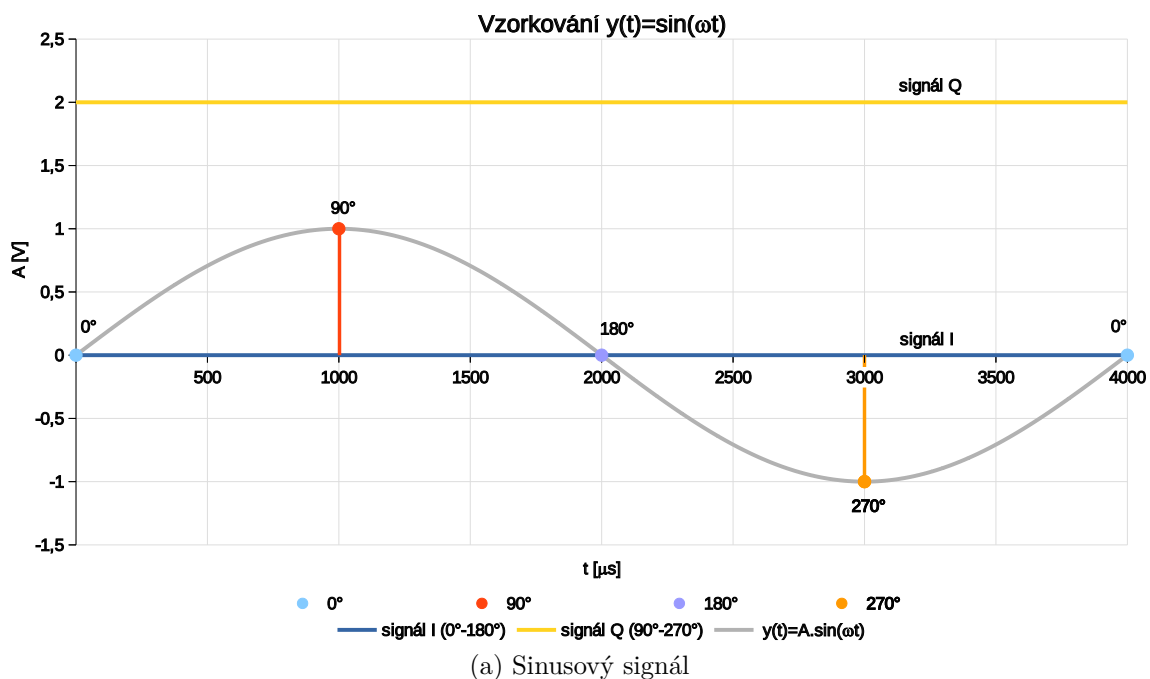
kde:

A_c je velikost amplitudy nosné vlny

M je hloubka modulace, přičemž může nabývat hodnot $0 \leq M \leq 1$ pro standardní AM modulaci

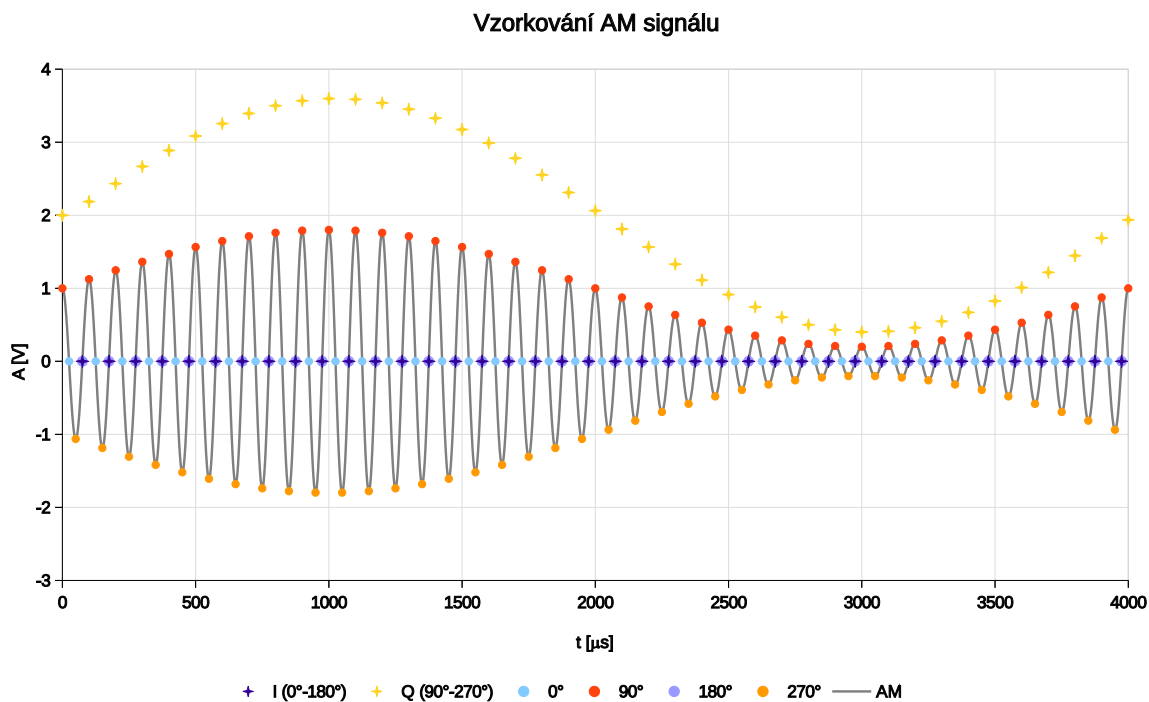
$\omega_m = 2\pi f_m$ je modulační frekvence (obsahuje informaci),

$\omega_c = 2\pi f_c$ je frekvence nosné vlny.



Obrázek 6: Ukázka vzorkování pomocí QSD detektoru

Signál na obr.7 má frekvenci nosné vlny $f_c = 10\text{kHz}$, frekvenci modulačního signálu sinusovky $f_m = 250\text{Hz}$ a hloubku modulace 0,8. Stejný signál bude použit pro testování prototypu QSD detektoru. Signál je vzorkován s frekvencí 40 kHz. Jak je vidět z obr.7, tak jelikož vzorkujeme 4x větší frekvencí než je frekvence nosné, dojde k jejímu potlačení (modrý průběh) a zbude nám signál modulační sinusovky s frekvencí



Obrázek 7: Vzorkování amplitudově modulovaného signálu

250 Hz (žlutý průběh). Čili opět došlo k frekvenčnímu posunu do základního pásma. V případě libovolného signálu, který chceme frekvenčně posunout do základního pásma stačí tento vzorkovat 4x větší frekvencí a dojde k jeho frekvenčnímu posunu.

Šířka pásma, které je posunuto, je pak daná hodnotou velikosti vstupní impedance detektoru a velikostí vzorkovacích kondenzátorů, které společně tvoří topologii filtru dolní propusti 1. řádu (pro přehlednost se držíme značení součástek z původního patentu na obr.4) jako [18, 25]:

$$BW = \frac{1}{n \cdot 2\pi \cdot R_{filter} \cdot C_f} \quad (2)$$

kde:

R_{filter} je vstupní impedance detektoru

C_f je velikost vzorkovacího kondenzátoru

n koeficient $n = 4$ je dán faktem, že každý kondenzátor sleduje vstupní signál 1/4 periody oscilátoru, čili efektivně zvyšuje hodnotu vstupní impedance 4x.

Vztah 2, je až na koeficient n , de-facto klasický vzorec popisující dolní propust 1. řádu. Kvalitu Q filtru detektoru pak lze zjistit ze vztahu [18]:

$$Q = \frac{f_c}{BW} \quad (3)$$

kde:

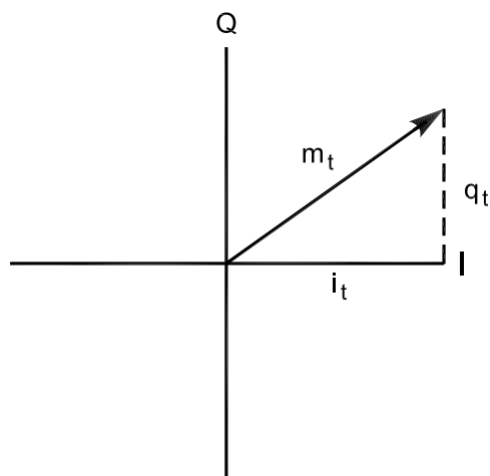
f_c je frekvence přijímané nosné

BW je šířka pásma z vztahu 2.

Youngblood tímto „vzorkovacím pohledem“ vysvětluje, proč Tayloe detektor nevykazuje stejné konverzní ztráty (ztráty, při snižování frekvence) jako ostatní typy mixerů s přímou konverzí (ty neobsahují žádné prvky uchováající energii), naopak má ještě zisk blížící se 6 dB (snížené o ztráty způsobené odporem spínače, konečnou rychlostí spínání a únikem náboje z kondenzátorů)[25, 18].

Navíc ve svém dalším článku v magazínu QEX [26] polemizuje nad tím, zdali je Tayloe detektor původní vynález nebo znovuobjevení již známého principu. Uvádí minimálně dva další popisy tohoto zařízení před vlastním patentem zařízení Danem Tayloe. Proto se domnívá, že ačkoli Dan Tayloe tento detektor zpopularizoval, není úplně správné nazývat ho Tayloe detektor a tak zavádí název pro tento typ detektoru z principu jeho činnosti QSD (quadrature sampling detector kvadraturní vzorkovací detektor). Na tento název se bude odkazovat i další text, jelikož dle názoru autora, je to nejvýstižnější označení tohoto zařízení.

Demodulace pomocí I a Q signálu je velice jednoduchá, když si uvědomíme že se jedná o signály v komplexní rovině. Jelikož jsou navzájem posunuty o 90° , můžeme si je vynést jako fázor v komplexní rovině (viz obr.8).



Obrázek 8: Fázor v komplexní rovině popsany signály I a Q [25]

Pak lze okamžitou velikost fázoru v čase zjistit ze vztahu 4[25]:

$$m_t = \sqrt{I_t^2 + Q_t^2} \quad (4)$$

a okamžitou velikost fáze v čase jako 5[25]:

$$\phi_t = \tan^{-1} \left(\frac{Q_t}{I_t} \right) \quad (5)$$

Nyní si stačí uvědomit, že amplitudová demodulace je zjištění okamžité amplitudy signálu v čase, a tu vypočteme z rovnice 4, a frekvenční demodulace je zjišťování změny frekvence, čili změny fáze vůči referenčnímu kmitočtu, což lze zase spočítat ze vztahu 5. Většina dalších modulací je kombinací těchto dvou. Takže pomocí signálů I a Q dokážeme demodulovat jakoukoli modulaci.[25, 15]

4.2 Vstupní obvody

Vstupní obvody jsou prvním prvkem v signálové cestě. Lze mezi ně zařadit:

- Vstupní frekvenční filtry
- Impedanční přizpůsobení
- Obvody pro nastavení stejnosměrného bodu (bias network)

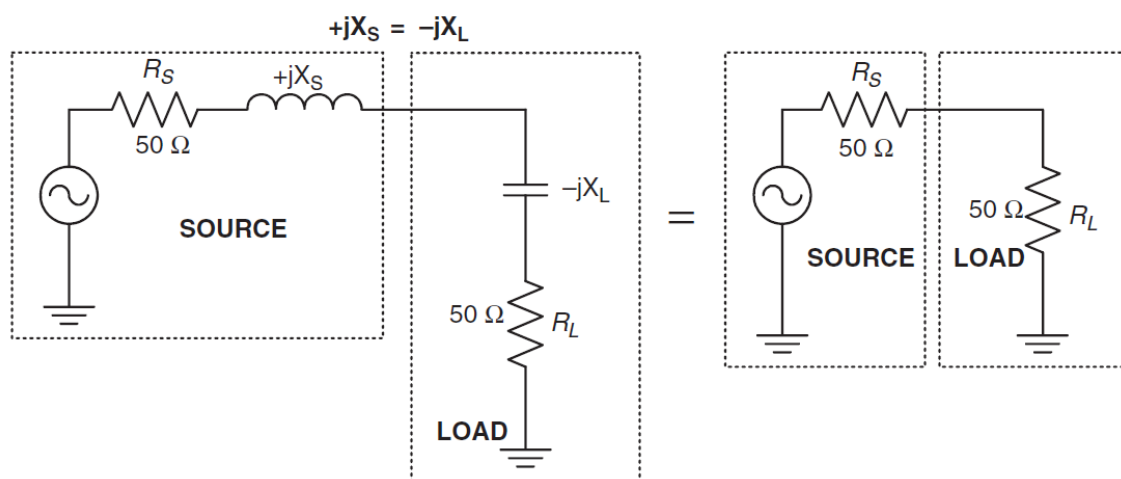
Je nutné podotknout, že vstupní obvody jsou úzce vázány na použitou anténu a použité signálové vedení. Standardní hodnota vstupní impedance v radiotechnice je 50Ω , a na tuto hodnotu jsou většinou navrhována impedanční přizpůsobení pro anténní vstupy rádií [17, 24].

4.2.1 Impedanční přizpůsobení

Principem impedančního přizpůsobení je vyrovnání reaktancí na straně zdroje a zátěže tak, aby zbyla pouze reálná část impedance. Neboli, aby platil vztah [17]:

$$Z_{zdroje} = Z_{zátěže}^* \quad (6)$$
$$R_{zdroje} + jX_{zdroje} = R_{zátěže} - jX_{zátěže}$$

Při splnění těchto podmínek pak dochází k maximálnímu přenosu energie mezi zdrojem a zátěží a eliminaci odrazů ve vedení jak je ilustrováno na obr.9.



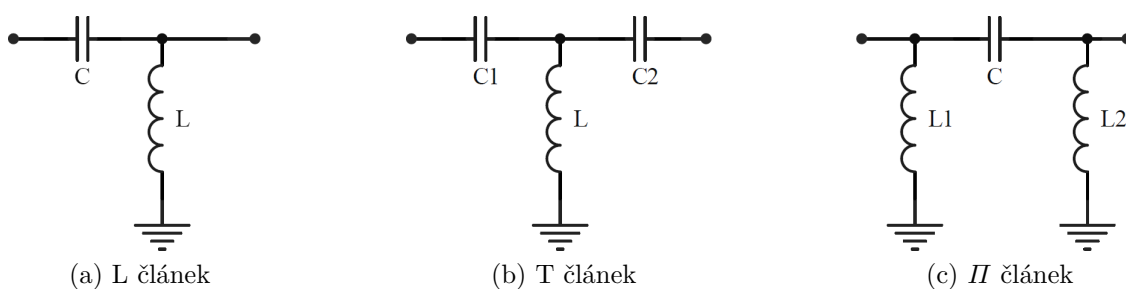
Obrázek 9: Princip impedančního přizpůsobení [17]

Při provádění impedančního přizpůsobení máme na výběr ze dvou strategií:

1. prosté přizpůsobení impedance zdroje vstupní impedancí zátěže
2. přizpůsobení výstupní impedance zdroje i vstupní impedance zátěže na standardizovanou hodnotu 50Ω

První metoda má výhodu v potřebě menšího počtu součástek a tím jednoduššího návrhu. Druhá metoda je pak sice složitější, nicméně umožňuje přímé použití měřících přístrojů se standardizovaným 50Ω vstupem [17].

Nejpopulárnější topologie obvodů sítí impedančního přizpůsobení jsou uvedeny na obr.10.



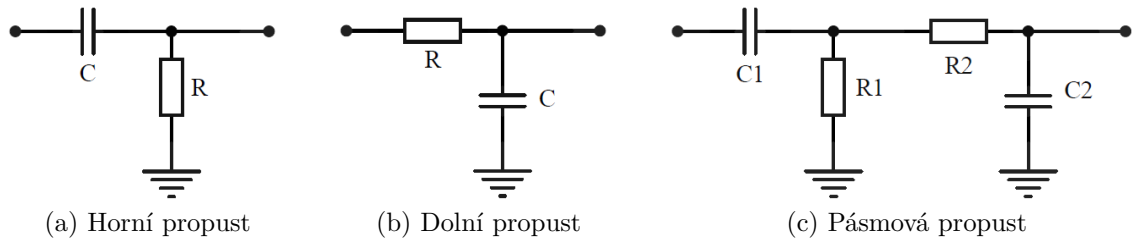
Obrázek 10: Běžné topologie impedančního přizpůsobení

Je nutné podotknout, Jelikož jde o poměrně komplexní téma, navíc závislé na použité anténě, tak jsou zde uvedeny pouze základní typy. Více informací o impedančním přizpůsobení, včetně metodologie a příkladů výpočtů je uvedeno v těchto zdrojích [11, 17, 24].

4.2.2 Frekvenční filtry

Používají se pro omezení frekvenčního rozsahu vstupních signálů. Podobně jako obvody impedančního přizpůsobení je jejich použití a rozsah filtrovaných frekvencí vázané na typu použité antény a parametrech přijímače. Některé přijímače je nepoužívají na vstupu vůbec, a vše nechávají na koncovém uživateli. Nicméně je dobrá praxe, omezit rozsah vstupních frekvencí na vstupu přijímače podle jeho hardwarových možností. Na obr.11 jsou uvedeny základní topologie pasivních filtrů 1. řádu, výpočet zlomové frekvence těchto RC filtrů lze provést dle 7 [11]:

$$f_c = \frac{1}{2\pi RC} \quad (7)$$



Obrázek 11: Základní topologie filtrů 1. řádu

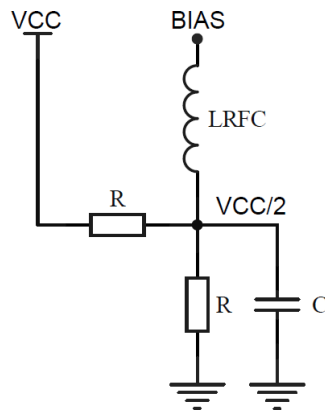
Podle typu filtru propouští frekvence nad (horní propust) nebo pod (dolní propust) touto zlomovou frekvencí f_C . Řád filtru lze zvýšit jejich kaskádovým řazením do série, filtry 1. řádu mají útlum 20 dB/dek, 2. řádu 40 dB/dek atd. Pásmová propust se zase vytvoří spojením sériovým zapojením horní a dolní propusti viz obr.11c.

Pasivní filtry jsou vhodné pro použití jako vstupních filtrů, protože zanáší do signálové cesty minimum šumu. Navíc jejich úkolem je pouze základní omezení vstupních frekvencí podle možnosti daného hardwaru přijímače, pro lepší podmínky příjmu by měl být na vstupu zapojen samostatný filtr sladěný pro frekvenční rozsah použité antény. Použití aktivních filtrů zanáší více šumu do signálové cesty [24].

4.2.3 Obvody pro nastavení přepětí

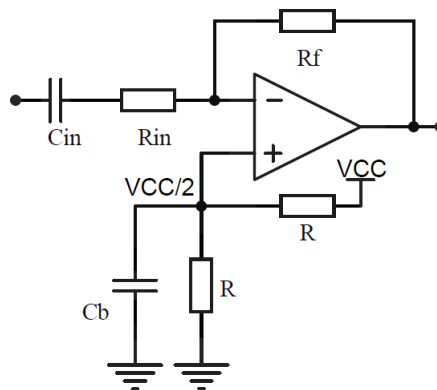
Posledním důležitým vstupním prvkem je obvod pro nastavené přepětí signálové cesty. Jeho úkolem je posunout pracovní bod signálu, většinou do poloviny napájecího napětí, aby se signálem mohli pracovat i obvody které nejsou symetricky napájené (v našem případě se jedná především o analogový multiplexer).

Na obr.12 je jedna z často používaných možností zavedení předpětí. Jedná se o klasický dělič napětí tvořený dvěma rezistory R stejné hodnoty a doplněný o blokovací kondenzátor C. Indukčnost L_{RFC} slouží k oddělení signálové cesty od napájecí větve chová se jako dolní propust a zabraňuje vysokofrekvenčnímu signálu v pronikání a zarušení napájení zbytku rádia [17].



Obrázek 12: Dělič napětí s indukčností pro nastavení předpětí

Další možností jak nastavit pracovní bod signálové cesty je použitím invertujícího operačního zesilovače se zavedenou referencí do neinvertujícího vstupu. Rezistory R tvoří dělič napětí a zavádí do neinvertujícího vstupu zesilovače stálé napětí rovné polovině napájecího napětí U_{CC} . Kondenzátor C_b je blokační a slouží k vyrovnaní výkyvů napětí. Kondenzátor C_{in} s rezistorem R_{in} tvoří filtr horní propusti 1. řádu se zlomovou frekvencí dle 7, a pomocí rezistoru R_f lze nastavit zesílení obvodu [16].



Obrázek 13: Operační zesilovač s posunutím pracovního bodu

Obvod se zesilovačem má výhodu, že poskytuje zesílení a zároveň slouží jako impedanční oddělení zbytku obvodu rádia. Jeho nevýhodou je, že zanáší šum do signálové cesty je proto nutné zvolit zesilovač s malým šumem a navíc zesilovač musí být širokopásmový, aby pokryl požadovaný frekvenční rozsah přijímaných signálů.

4.3 Lokální oscilátor

Oscilátor je klíčový prvek rádia. V následujícím textu je zpracován přehled metod pro generování periodických signálů, vhodných pro použití v roli lokálního oscilátoru. Jelikož by o frekvenční syntéze šla napsat celá kniha, je další text zaměřen na oscilátory vhodné k použití jako zdroje signálu pro kvadraturní vzorkovací detektor (QSD). QSD potřebuje z principu své činnosti dva obdélníkové signály vzájemně posunuté o 90° pro řízení analogového přepínače (multiplexoru). Některé dále popsané metody umožňují přímé generování těchto signálů, nicméně pro většinu z nich je třeba vygenerovat kvadraturní signál ze zdrojového signálu pomocí kvadraturního generátoru, který je popsán v následující části.

4.3.1 Definice parametrů

V oscilátoru se šum projevuje odlišně, než v jiných částech obvodu rádia. Má tendenci se objevovat hlavně v blízkosti oscilační frekvence oscilátoru, která má pak za následek zhoršení parametru minimálního detekovatelného signálu (MDS) v superheterodynech nebo přijímačích s přímou konverzí [8].

Matematický model ideálního harmonického oscilátoru lze popsat vztahem:

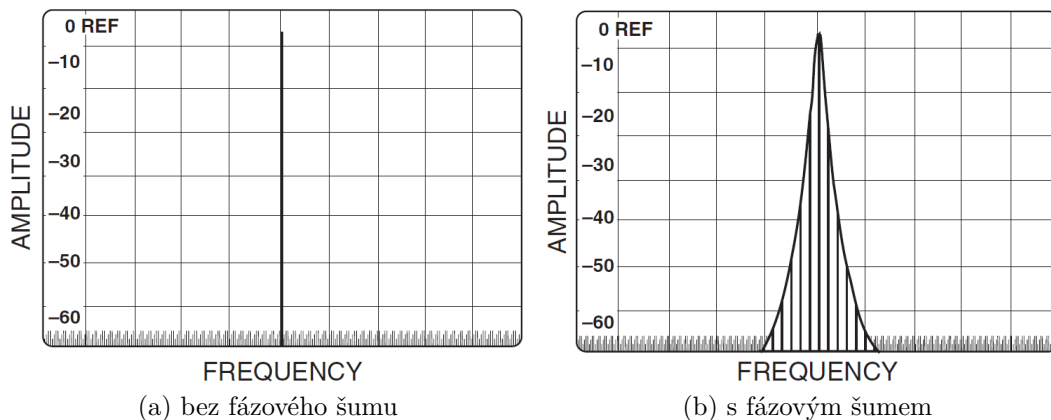
$$y(t) = A \cdot \sin(\omega_0 t) \quad (8)$$

Nicméně reálný oscilátor vykazuje modulační komponentu amplitudového šumu $n(t)$ a fázového šumu⁴ $\theta n(t)$:

$$y(t) = [1 + n(t)] \cdot \sin[\omega_0 t + \theta n(t)] \quad (9)$$

Jelikož je analogový multiplexor řízený číslicovým signálem, tak nám amplitudový šum příliš nevadí, nicméně fázový šum již způsobuje značné problémy, jelikož má tendenci pronikat do přijímaného spektra a nejde prakticky snadno odstranit. Na obr.14 je porovnání oscilátoru s fázovým šumem a bez fázového šumu ve frekvenčním spektru. Obr.14a odpovídá ideálnímu oscilátoru podle vztahu 8, obr.14b pak oscilátoru dle vztahu 9.

⁴U hodinového signálu se fázový šum také označuje jako jitter (doslova chvění)



Obrázek 14: Porovnání oscilátoru s fázovým šumem a bez fázového šumu [17]

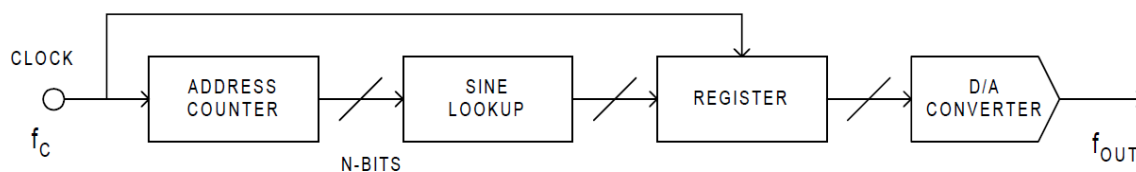
Oscilátory můžeme rozdělit podle typu na:

- s pevnou frekvencí
- přeladitelné
 - napětově řízené
 - numericky řízené

V dalším textu se nebudeme zabývat LC oscilátory, ani napětově řízenými oscilátory z důvodu náročnosti jejich návrhu, citlivosti na tolerance součástek a celkové nevhodnosti řízení mikroprocesorem. Navíc tyto oscilátory vykazují frekvenční drift, a nemají dobrou frekvenční stabilitu [11]. Jako vhodné typy oscilátorů se jeví numerické oscilátory řízené krystalem a oscilátory založené na přímé digitální syntéze.

4.3.2 Přímá číslicová syntéza

Přímá číslicová syntéza je technika používající číslicové zpracování signálu pro generování frekvenčně a fázově přeladitelných oscilátorů, které jsou řízeny precizním zdrojem hodinového signálu. Jejich principem je, že referenční hodinový signál je frekvenčně vydělen pomocí programovatelného čítače. Bitová šířka nastavitelné kmitočtové děličky je typicky 24 až 48 bitů, což DDS umožňuje generovat různé frekvence s velkým rozsahem výstupních hodnot [5].



Obrázek 15: Blokové schéma principu funkce DDS [5]

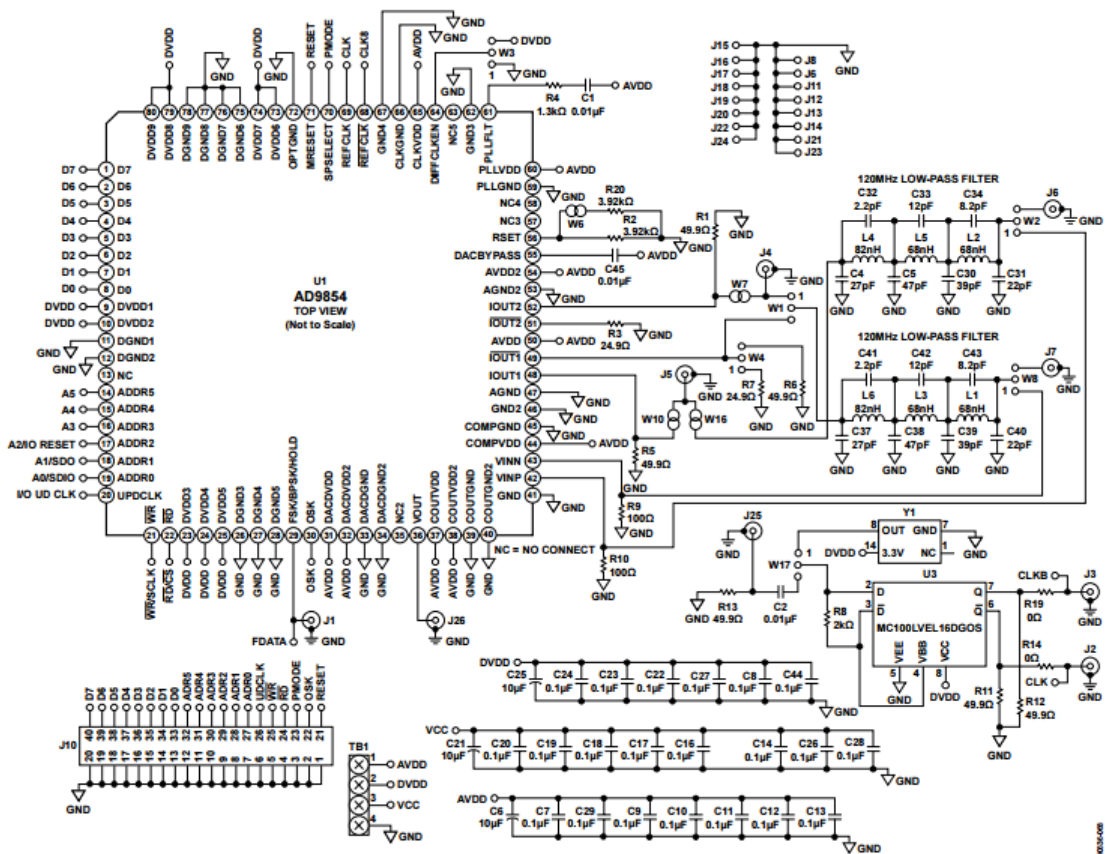
Na obr.15 je zobrazen zjednodušený princip DDS[5]. Vstupní hodinový signál f_c je přiveden na vstup DDS. Ten je zdrojem hodinových pulsů pro adresový čítač, který postupně prochází lookup tabulku (ve formě PROM), v nichž jsou uloženy předpočítané hodnoty sinusové funkce. Z lookup tabulky jsou pak uložené předpočítané hodnoty posílány do DA převodníku, který generuje výstupní napětí ve formě sinusové funkce (podle uložených vzorků). Frekvence se dá měnit změnou frekvence hodinového signálu nebo přeprogramováním

Výhodami přímé číslicové syntézy jsou [11, 5]:

- možnost přeladění v jednotkách μHz a kontrola fázového posuvu menší jak jeden stupeň, vše je plně číslicově říditelné
- extrémně rychlé frekvenční přeladění v celém rozsahu
- eliminace samovolného přeladování vlivem stárnutí součástek a tepelného driftu
- číslicové rozhraní pro řízení je vhodné pro použití s mikrořadičem
- při použití jako kvadraturní oscilátor má přesný fázový posun mezi I a Q složkou

Nevýhody DDS:

- nutnost použití rekonstrukčního filtru na výstupu i při generování hodinového průběhu
- u typů s vyšší výstupní frekvencí poměrně složité doporučené rozvržení plošného spoje



Obrázek 16: Filtrování výstupního signálu z DDS [3]

Obvody pro přímou číslicovou syntézu mají zajímavé parametry a své opodstatnění, když je potřeba generovat sinusový signál s vysokou přesností nicméně pro řízení analogového přepínače je potřeba pravoúhlý hodinový signál. Ten sice obvody pro DDS dokáží generovat, ale dělají to nepřímou skrze zabudovaný komparátor, ke kterému se vstupní signál přivede z externího výstupu DDS a teprve ten generuje hodinový signál komparací sinusového signálu.

Nicméně je ho ale předtím nutné i tak vyfiltrovat poměrně složitým rekonstrukčním filtrem (příklad viz obr.16 - vpravo uprostřed), jinak by docházelo k docela vysokému jitteru (fázovému šumu) výstupního hodinového signálu. To způsobuje skutečnost, že výstupní signál z DDS má konečný počet kvantizačních úrovní, a tvoří i s velkým bitovým rozlišením, tzv. „schody“ na které komparátor reaguje neurčitou spínací úrovní.

Proto je nutné pro odstranění jitteru výstupní signál z DDS před komparací nejdříve vyfiltrovat. Rekonstrukční filtr odstraní z výstupního signálu nespojitosti a komparátor jimi pak není ovlivňován.

Pro úplnost je uvedena tabulka porovnání vybraných parametrů některých obvodů DDS:

Tabulka 1: porovnání vybraných typů DDS [2, 3, 4]

Typ	f_{max}	rozlišení DAC	max. napájecí U	počet výstupů
AD9854	300 MHz	2x 12 bit	3,3 V	2
AD9850	125 MHz	10 bit	5,0 V	1
AD9951	200 MHz	14 bit	3,3 V	1

4.3.3 Numericky řízené oscilátory

Pro generování výstupní frekvence používají fázový závěs a referenční zdroj kmitočtu, nejčastěji krystalový oscilátor. Též jsou označovány jako frekvenční syntetizéry (frequency synthesizers). Porovnání vybraných typů je v (tab.2).

Tabulka 2: Porovnání vybraných typů frekvenčních syntetizérů

Typ	rozsah frekvencí	U_{max}	jitter (RMS)	rozhraní	poč. výstupů
Si570	10 - 160 MHz*	3,3 V	0.62 ps	I ² C	1
Si5351	8 kHz - 160 MHz	3,3 V	70 ps	I ² C	až 8
CS2000-CP	6 - 75 MHz	6 V	70 ps	I ² C/SPI	1
CY22800	1 - 200 MHz	4,5V	n/a**	proprietární	3

* pro CMOS výstupní úroveň, jinak pro LVPECL/LVDS/CML až 950 MHz

** v datovém listu uveden pouze jako „low jitter“

Jelikož je jejich výstupem přímo pravoúhlý hodinový signál, jsou vhodnými kandidáty na roli numericky řízeného oscilátoru v rádiu, pro řízení analogového multiplexoru.

Další jejich výhodou je menší potřeba externích součástek (často stačí pouze krystal a blokovací kondenzátory) a tím také jednodušší zapojení.

4.4 Analogový multiplexer

Polovodičové spínače jsou tvořeny dvěma komplementárními spínači CMOS, které tvoří paralelně zapojené dvojice tranzistorů typu MOSFET s indukovanými kanály [23].

Jak je vidět z tabulky 3, tak analogový multiplexer FST3253 od firmy Fairchild překonává konkurenční polovodičové spínače. Navíc se jedná o 1:4 přepínač, čili že dokáže jeden vstup přepínat na 4 různé výstupy, což je přirozená topologie spínače pro QSD detektor.

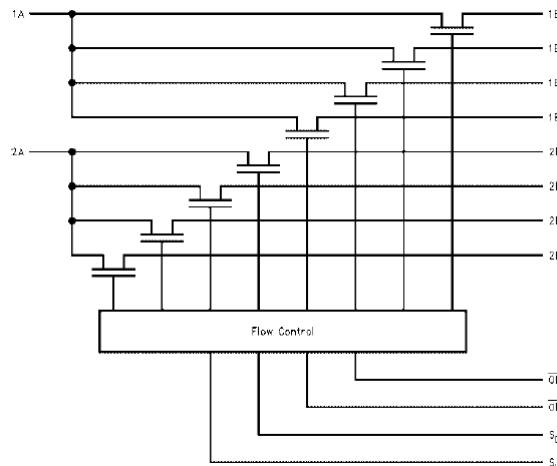
Tabulka 3: porovnání vybraných typů analogových spínačů[9, 21]

Typ	Výrobce	R_{ON}	t_{ON}	t_{OFF}	BW	$V_{CC_{max}}$
74HCT4066	NXP	50 Ω	30 ns	44 ns	180 MHz	11 V
CD74HCT4066	TI	25 Ω	20 ns	30 ns	200 MHz	10 V
FST3253	Fairchild	4 Ω	5,3 ns	5,8 ns	n/a	7 V

Na obr.17 je řídicí sekvence analogového multiplexoru FST3253 a na obr.18 jeho logický diagram. Vyplyvá z ní, že při buzení sekvencí dvou kvadrurních hodinových signálů, se bude chovat přesně stejně jako přepínač v patentu na obr.2.

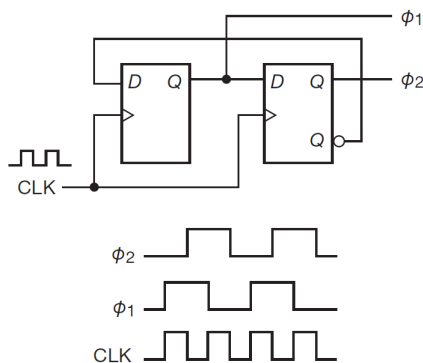
S_1	S_0	\overline{OE}_1	\overline{OE}_2	Function
X	X	H	X	Disconnect 1A
X	X	X	H	Disconnect 2A
L	L	L	L	A = B ₁
L	H	L	L	A = B ₂
H	L	L	L	A = B ₃
H	H	L	L	A = B ₄

Obrázek 17: Řídicí sekvence multiplexoru FST3253



Obrázek 18: Logický diagram FST3253 [9]

Na obr.19 je příklad vhodného kvadrurního generátoru sestaveného ze dvou klopných obvodů typu D. Z jednoho hodinového signálu vytváří dva kvadrurní signály. Nevýhodou je, že je to zároveň dělička kmitočtu čtyřmi, takže pro žádanou frekvenci je třeba 4x vyšší frekvence na vstupu [11].



Obrázek 19: Kvadraturní generátor ze dvou D klopných obvodů [11]

4.5 Výstupní operační zesilovač

Spektrální šum operačních zesilovačů je způsoben především jejich vstupními transistory. Skládá se z tepelného šumu, výstřelového šumu a šumu $1/f$ [23].

Pro výběr výstupního rozdílového zesilovače je kritický především jeho spektrální šumová hodnota, jelikož se budou zesilovačem zesilovat velice malé signály. Vlastní šum většiny běžných operačních zesilovačů již degraduje přijímaný signál. Šířka pásma již tak důležitá není, jelikož po frekvenční konverzi pracujeme se signály do několika stovek kHz.

V tabulce 4 je porovnání pár vybraných operačních zesilovačů a hodnot jejich spektrálních šumů. Zajímavý je především zesilovač firmy Analog Devices AD797, jedná se zřejmě o momentální technologickou špičku na trhu s bezkonkurenčně nízkým spektrálním šumem.

Dalším velice zajímavým zesilovačem je NE5532, tento je na trhu již delší dobu a je hojně využívaný v konzumní audio elektronice. Má také velice nízký vlastní šum a je snadno dostupný. Dá se provozovat i nesymetrickým napájením, ale jeho výstup není typu rail-to-rail.

Zesilovač OPA1652 je použit ve finálním návrhu jako výstupní zesilovač hlavně díky tomu že má výstup typu rail-to-rail a zároveň nízkou hodnotu spektrálního šumu pro tento typ zesilovače.

LT1818 se naopak díky své šířce pásma hodí jako vstupní zesilovač a impedanční oddělovač.

Tabulka 4: porovnání vybraných typů operačních zesilovačů [19, 1, 20, 14]

Typ	šum	BW	napájení	rail-to-rail
AD797	1.2 nV/ $\sqrt{\text{Hz}}$	110 MHz	± 5 V až ± 15 V	ne
NE5532	5 nV/ $\sqrt{\text{Hz}}$	10 MHz	± 5 V až ± 22 V	ne
OPA1652	4.5 nV/ $\sqrt{\text{Hz}}$	18 MHz	4.5 V až 36 V	ano
LT1818	6 nV/ $\sqrt{\text{Hz}}$	400 MHz	± 5 V nebo 5V	ne

4.6 Obvody úpravy napájení

Jelikož jsou v zapojení rádia použity operační zesilovače, jsou na výběr dvě možnosti realizace napájení. Buďto lze celé rádio napájet symetrickým napájením ($\pm U_{cc}$), nebo nesymetrickým (tj. s vyžitím pouze kladné větve napájení). Obě metody mají své výhody i nevýhody.

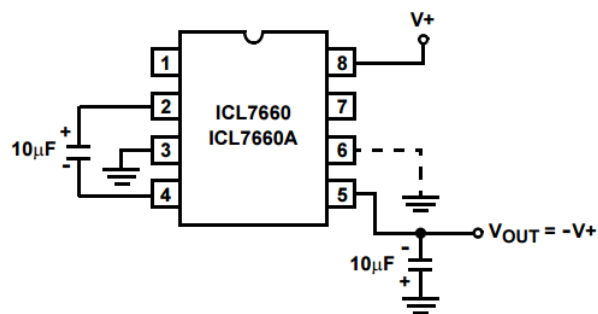
Symetrické napájení je složitější na realizaci, nicméně má tu výhodu, že s ním lze použít jakýkoli operační zesilovač. Díky dvěma napájecím větvím je také obvykle dosaženo většího dynamického rozsahu při zesilování signálu.

Nesymetrické napájení je na druhou stranu jednodušší na realizaci plošného spoje, ale přináší nutnost zavedení stejnosměrné složky do signálové cesty, aby bylo možno zesilovat střídavé signály bez zkreslení. Navíc je třeba dát pozor při výběru operačních zesilovačů, jelikož ne všechny jsou vhodné k provozu s nesymetrickým napájením (může se u nich vyskytnout nečekaná zkreslení a zvýšení šumové hladiny, nebo nebudou vůbec fungovat s nesymetrickým napájením).

Speciálním druhem operačních zesilovačů vhodných pro napájení nesymetrickým napájením (především z baterií) jsou tzv. rail-to-rail zesilovače. Tyto operační zesilovače jsou speciálně navrženy tak, aby měly maximální rozptyl výstupního napájecího napětí – je přibližně o 0,5 V menší než napájecí, běžné operační zesilovače mají maximální výstupní napětí menší o 2 až 3 V [23].

Pro získání symetrického napájení z jedné větve existuje řada technik, jednou z nich je zavedení virtuální země pomocí jednoduchého děliče napětí, který je připojen mezi kladnou větev napájecího napětí a zem. Jeho výstup, který je na polovině napájecího napětí, slouží jako virtuální zem pro referenční bod operačního zesilovače. V podstatě se jedná o obvod nastavení předpětí na obr.12 (bez oddělovací cívky L_{RFC}), respektive při použití s operačním zesilovačem na obr.13. Nevýhodou takto získané „virtuální země“ je, že je velice náchylná na zatížení.

Další možností je použití nábojové pumpy pro získání záporné větve napájení. To například umožňuje obvod ILC7660 od firmy Intersil. Jeho použití je snadné, potřebuje pouze 2 externí kondenzátory (viz obr.20).



Obrázek 20: Vytvoření záporné větve napájení pomocí ILC7660 [12]

Na vstup se přivede napájecí napětí $U+$, jeho výstupem je pak záporné napájecí napětí (tj. z 5 V vytvoří ± 5 V). Rozsah vstupního napětí je 3 - 12 V, výstupní odpor zdroje je pak typ. 55Ω [12].

5 Realizace

Na základě rozboru informací z předchozí části byly doladěny tyto finální parametry rádia:

- jako syntetizér frekvence je použit obvod Si5351, umožňuje generovat frekvence do 180 MHz
- pro analogový spínač je použit obvod FST3253
- jako ovládací mikrokontrolér je použit PSoC 5LP od firmy Cypress
- pro uživatelské ovládání je použit inkrementální snímač a OLED displej pro zobrazení nastavené frekvence
- digitalizace signálu bude pomocí zvukové karty počítače - šířka přijímaného pásma je závislá na vzorkovací frekvenci zvukové karty

S těmito prvky je rádio schopné pokrýt frekvenční pásmo od 100 kHz do 90 MHz, za předpokladu, že obvod FST3253 bude buzen obvodem, kterému stačí pro generování kvadratického signálu dělit frekvenci vstupního signálu dvěma.

Mikrokontrolér PSoC (programmable system on chip) je zvolen z toho důvodu, že obsahuje programovatelné hradlové pole, které lze podle potřeby přeprogramovat. Navíc má integrovánu i řadu analogových komponent jako jsou operační zesilovače a komparátory.

Jeho programování se skládá ze dvou částí. V první se definuje programovatelný hardware, pomocí rozhraní podobnému jako má LabView. Druhá část je pak klasický zdrojový dokument pro jazyk C. Toto je vcelku unikátní přístup, se kterým firma Cypress experimentuje. Díky tomu, že je program částečně zapsán ve schématické podobě se tak neztrácí kontext, v jakém je mikrokontrolér zapojen. Navíc úkoly, které se snadněji implementují v hardware, nezatěžují zbytečně procesor a dramaticky zjednodušují program. Ukázka tohoto přístupu je uvedena při implementaci ovladače inkrementálního snímače.

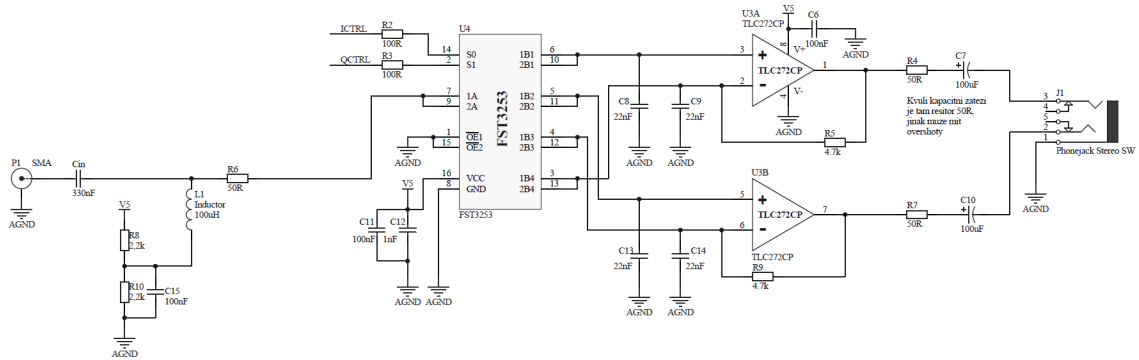
Programovatelné hradlové pole navíc dává prostor k růstu a dalšímu experimentování se softwarovým rádiem. Po zkušenostech se stavbou prototypu se autor domnívá, že by šla větší část rádia realizovat přímo v PSoC.

5.1 Popis zapojení prototypu

Zapojení vychází z originálního patentu na obr.4.

5.1.1 Signálová cesta

Schéma signálové (analogové) cesty je na obr.21.



Obrázek 21: Schéma signálové cesty prototypu

Vstupní signál je nejprve filtrován horní propustí tvořenou kondenzátorem C_{in} a rezistorem $R6$, zlomová frekvence f_c vypočtená ze vztahu 7 je:

$$f_{cin} = \frac{1}{2\pi RC} = \frac{1}{2\pi \cdot 50 \cdot 330 \cdot 10^{-9}} = 9\,645,75\,Hz \quad (10)$$

Zlomová frekvence je zvolena záměrně tak nízko z důvodu možností generátoru v PSoC 5LP. Rezistor $R6$ slouží zároveň pro hrubé nastavení vstupní impedance na hodnotu kolem $50\,\Omega$. V tomto bodě je do signálové cesty zavedeno předpětí 2,5 V z děliče napětí tvořeného $R8$ a $R10$. Napájecí větev je od signálové cesty oddělena pomocí indukčnosti $L1$, která slouží jako jednoduchá dolní propust a zabraňuje VF signálu v pronikání do napájecí větve obvodu.

Signál je poté přiveden na vstup analogového multiplexoru $FST3253$, kde je vzorkován na kondenzátorech $C8$, $C9$, $C13$, $C14$. Ty zároveň tvoří se vstupním rezistorem $R6$ dolní propust jejíž zlomová frekvence je dána (viz rovnice 2) vztahem 11:

$$BW = \frac{1}{4 \cdot 2\pi \cdot R \cdot C} = \frac{1}{4 \cdot 2\pi \cdot 50 \cdot 18 \cdot 10^{-9}} = 44\,209,7\,Hz \quad (11)$$

Zlomová frekvence kolem 44 kHz je ideální, protože většina zvukových karet je navržena pro vzorkování 44 kHz až 48 kHz.

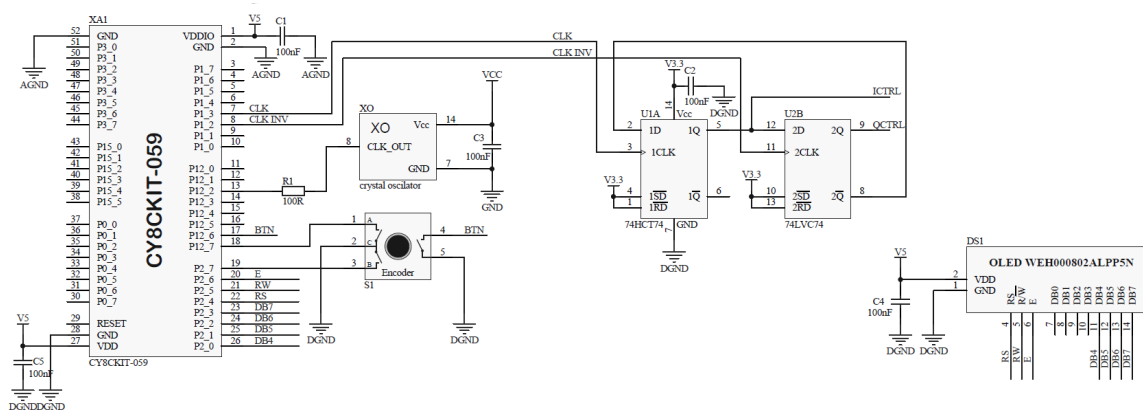
Hodnoty napětí na kondenzátorech jsou nakonec od sebe odečteny pomocí operačního zesilovače *TLC272CP*. Zesílení se dá určit ze vztahu pro invertující zesilovač 12:

$$A_G = -\frac{R_f}{R_{in}} = -\frac{R_5}{4 \cdot R_6} = -\frac{4700}{4 \cdot 50} = 23,5 \quad (12)$$

Po odečtení hodnot na operačním zesilovači jsou k dispozici kvadratické složky I a Q signálu. Ty jsou vyvedeny přes kondenzátory *C7* a *C10*, které odstraní ze signálu stejnosměrnou složku, na audio konektor pro zvukovou kartu. Digitalizace a další zpracování signálu pak probíhá v počítači.

5.1.2 Číslicová část

Je tvořena modulem mikrokontroléru PSoC 5LP, který obsluhuje uživatelské rozhraní (dekódování inkrementálního senzoru a ovládání displeje), generuje hodinový signál pro analogový multiplexer a zároveň poskytuje napájení z USB portu počítače (komunikace s počítačem přes USB port není zatím implementována). Schéma číslicové části prototypu je na obr.22.



Obrázek 22: Číslicová část prototypu

Jako přesná reference pro hodinový signál je použit hotový krystalový oscilátor *XO* s frekvencí 10 MHz a přesností 50 ppm. Ten generuje hodinový signál, který je přiveden na vstup mikrokontroléru (MCU). Vnitřní fázový závěs MCU pak generuje frekvenci 70 MHz, která je integrovanou 16 bitovou děličkou snížena na požadovanou hodnotu zadanou uživatelem.

Uživatel zadává požadovanou frekvenci pomocí inkrementálního senzoru *S1* a je mu zobrazena pomocí OLED displeje *DS1*.

Vygenerovaný hodinový signál je poté přiveden na generátor kvadratického signálu, který tvoří dva klopné obvody typu D (obvod *74HCT74*).

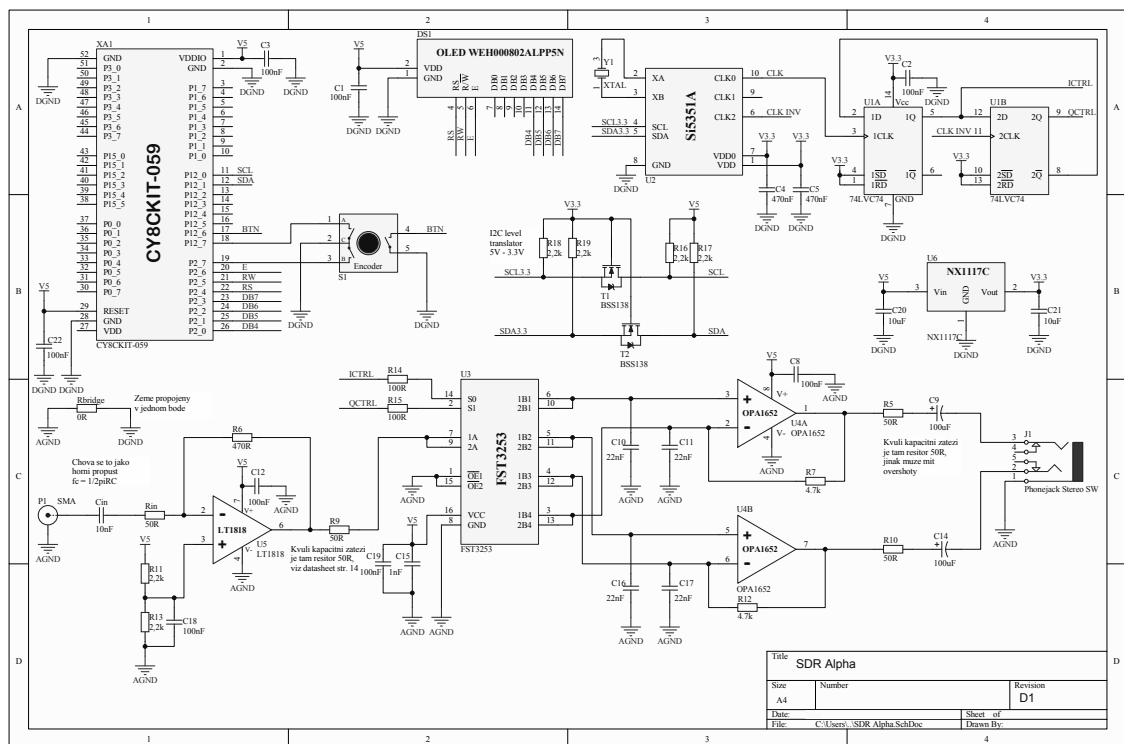
Obvod je inspirovaný obvodem z obr.19. Tvoří děličku frekvence dvěma, a na výstupu generuje dva hodinové signály I_{ctrl} a Q_{ctrl} fázově posunuté o 90° . Ty pak slouží k ovládání analogového multiplexoru *FST3253*.

Jelikož je *FST3253* přepínač 4:1, tak přijímaná frekvence je ta, která jde z obvodu *74HCT74*. Čili mikrokontrolér musí generovat 2x vyšší frekvenci než je požadovaná střední přijímaná frekvence.

Rezistory R4 a R7 slouží k omezení přechmitů hodinového signálu.

5.1.3 Popis modifikace zapojení finálního zařízení

Konečné schéma finálního zapojení je uvedeno v příloze a na obr.23, fotografie realizovaného prototypu je na obr.24.

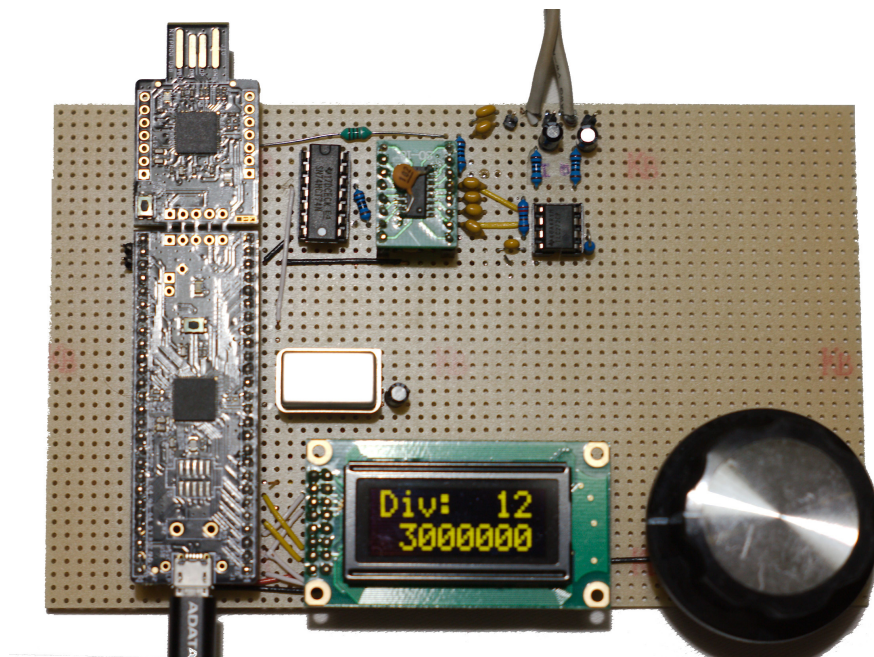


Obrázek 23: Konečné schéma zapojení

Zapojení je prakticky totožné jako u prototypu, až na tyto modifikace:

- Vstupní obvod byl zaměněn za operační zesilovač LT1818, který slouží jako impedanční oddělovač a zároveň nastavuje v signálové cestě předpětí.

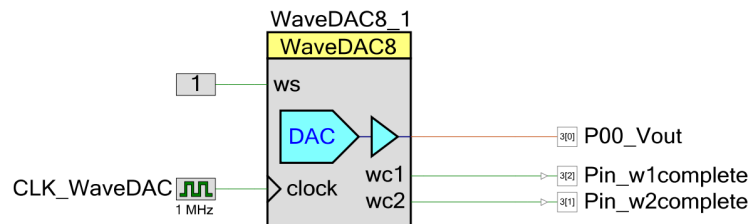
- Výstupní operační zesilovač je zaměněn za OPA1652, jedná se o operační zesilovač s nízkým šumem a rail-to-rail výstupem
- Pro generování hodinového signálu je použit obvod Si5351 - umožňuje generovat libovolnou frekvenci v celém svém pracovní rozsahu.
- Jelikož jsou obvody Si5351 a 74LVC74 určeny pro 3,6 V - je přidán regulátor napětí NX1117 s nízkým úbytkem (low drop)
- tranzistory T1 a T2 se starají o obousměrnou konverzi logické úrovně z 5 V na 3,3 V na I2C rozhraní mezi PSoC a Si5351



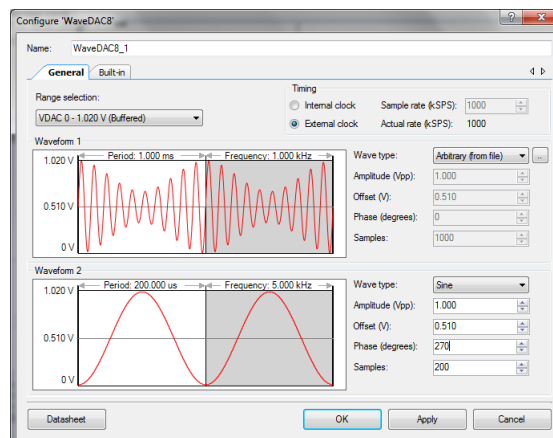
Obrázek 24: Realizovaný prototyp

5.2 Měření na prototypu

Při oživování prototypu na byla provedena série měření, s úkolem zjistit správnou funkčnost jednotlivých bloků. Pro generování signálu byl využit jednoduchý DDS generátor vytvořený přímo v mikrořadici PSoC. Jedná se o hardwarovou komponentu, s velice jednoduchým aplikačním rozhraním. Schema zapojené komponenty a její dialog s nastavením je na obr.25.



(a) zapojená komponenta v designeru



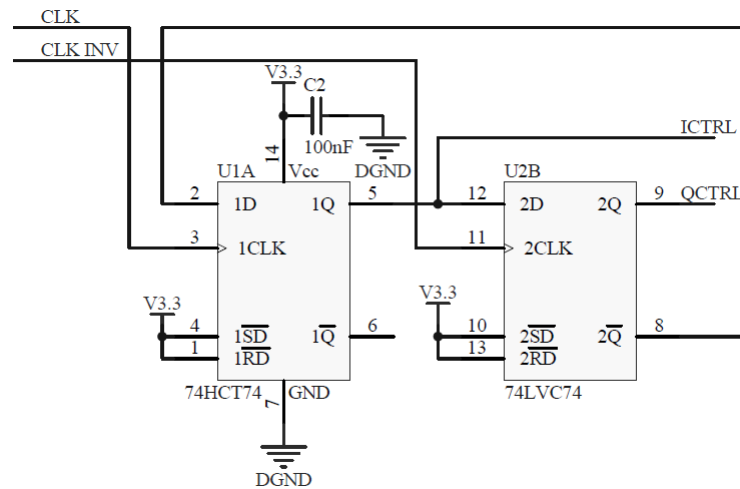
(b) dialog s nastavením

Obrázek 25: PSoC WaveDAC

Má vestavěné generování sinusového, trojúhelníkového a obdélníkového průběhu. Navíc má možnost nahrání libovolného průběhu ze souboru .csv. Průběh amplitudové modulace byl předpočítán pro 4000 vzorků v tabulkovém procesoru a jedná se o stejný průběh, který byl použit na obr.7 pro vysvětlení vzorkování QSD.

5.2.1 Ověření funkce kvadrurního generátoru

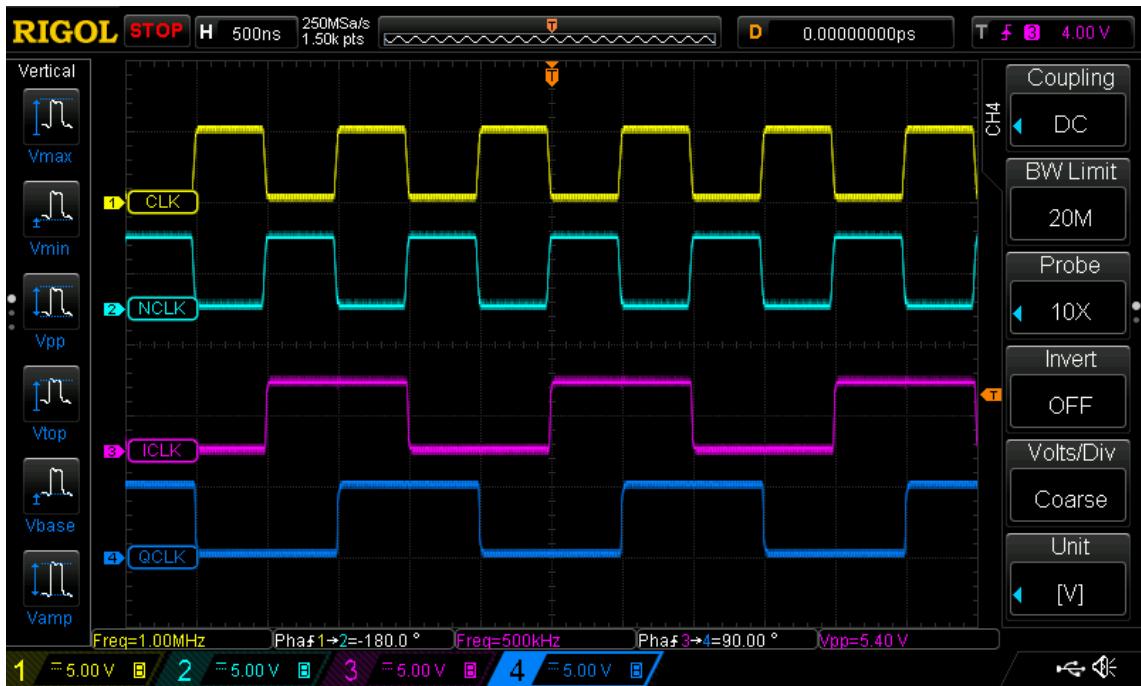
Schéma měřícího řetězce je na obr.19. Vstupem jsou hodinové signály CLK a negovaný CLK_INV z mikrořadiče (CLK_INV je na osciloskopu označen jako NCLK). Výstup je měřen v bodech ICTRL a QCTRL (na osciloskopu označeny ICLK a QCLK).



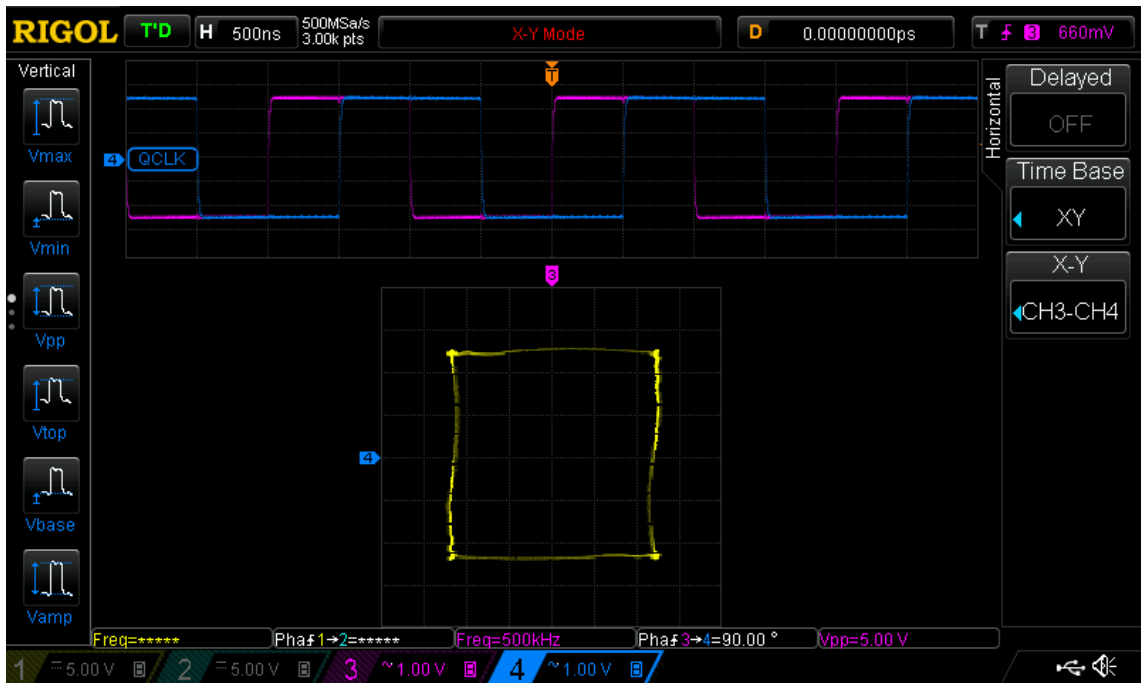
Obrázek 26: Schéma zapojení měření kvadrurního generátoru

Na obr.27 jsou zachyceny průběhy vstupů a výstupů kvadrurního generátoru. Vstupní frekvence hodinového signálu je 1 MHz a na výstupu se generují dva signály navzájem posunuté o 90° . Ty jsou dále vedeny do řídicích vstupů analogového multiplexoru.

Na obr.28 jsou pak zobrazeny vygenerované signály ICTRL a QCTRL v XY režimu. Jelikož jsou posunuty o 90° tak tvoří obraz čtverce.



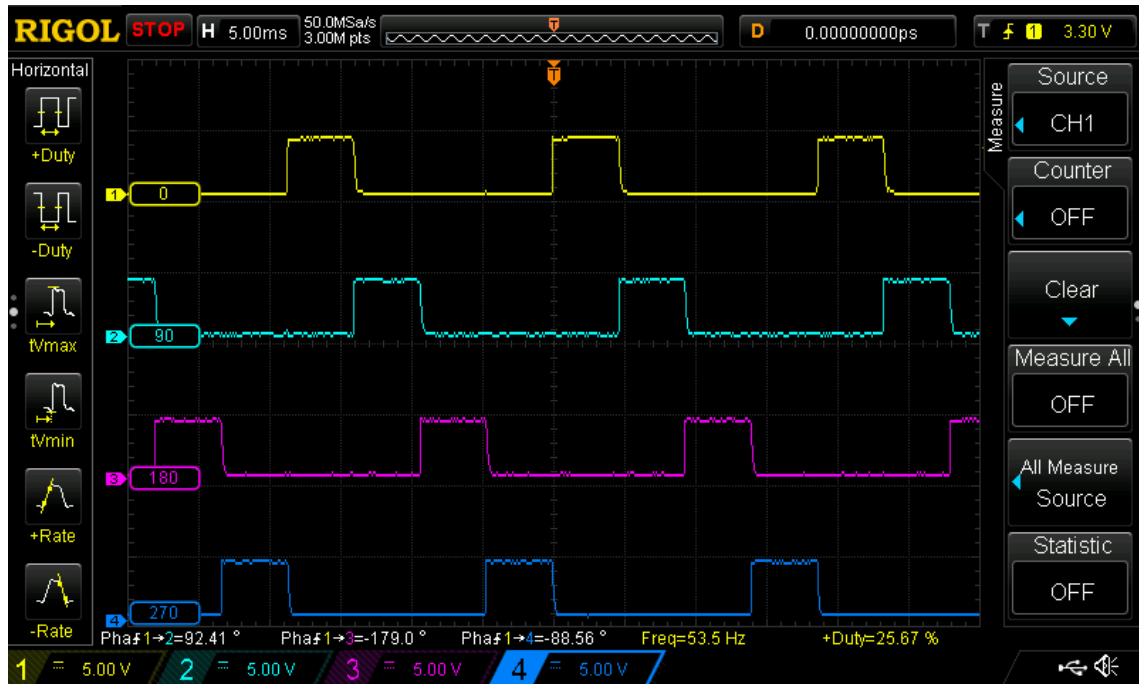
Obrázek 27: Průběhy signálů na kvadrurním generátoru



Obrázek 28: Průběhy signálů v ICTRL a QCTRL v XY zobrazení

5.2.2 Kontrola správnosti zapojení výstupů analogového přepínače

Na snímku osciloskopu (obr.29) je zobrazena sekvence spínání analogového multiplexoru. Jak je vidět ze zachycených průběhů, tak mají pulsy mezi sebou fázový posun 90° a střidu 25%. Měření proběhlo podle zapojení na obr.30, na vstup *signal* bylo připojeno stejnosměrné napětí 5 V a kondenzátory na výstupu byly odpojeny.



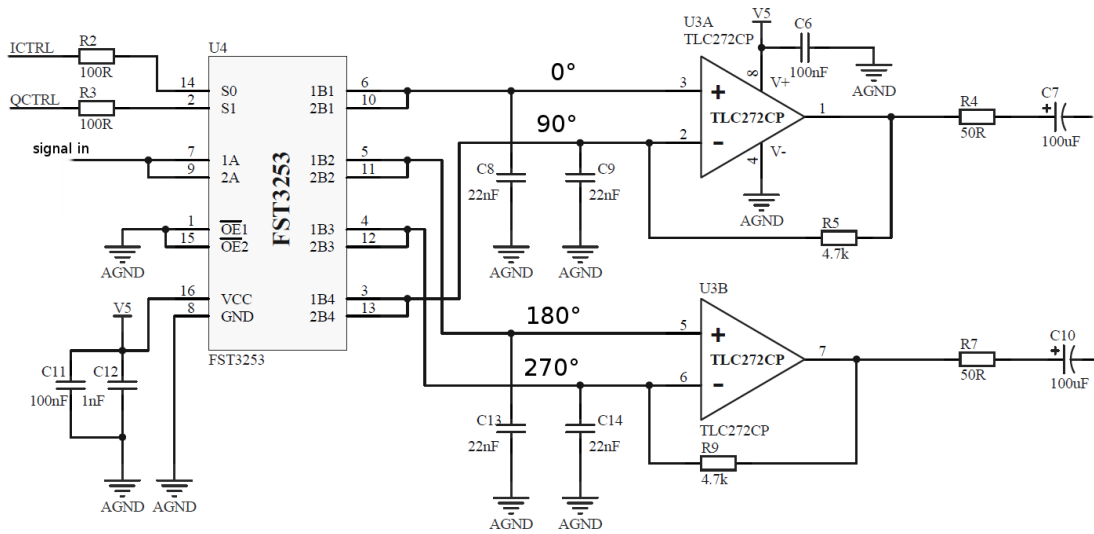
Obrázek 29: Sekvence spínání analogového přepínače

5.2.3 Vzorkování sinusoidy

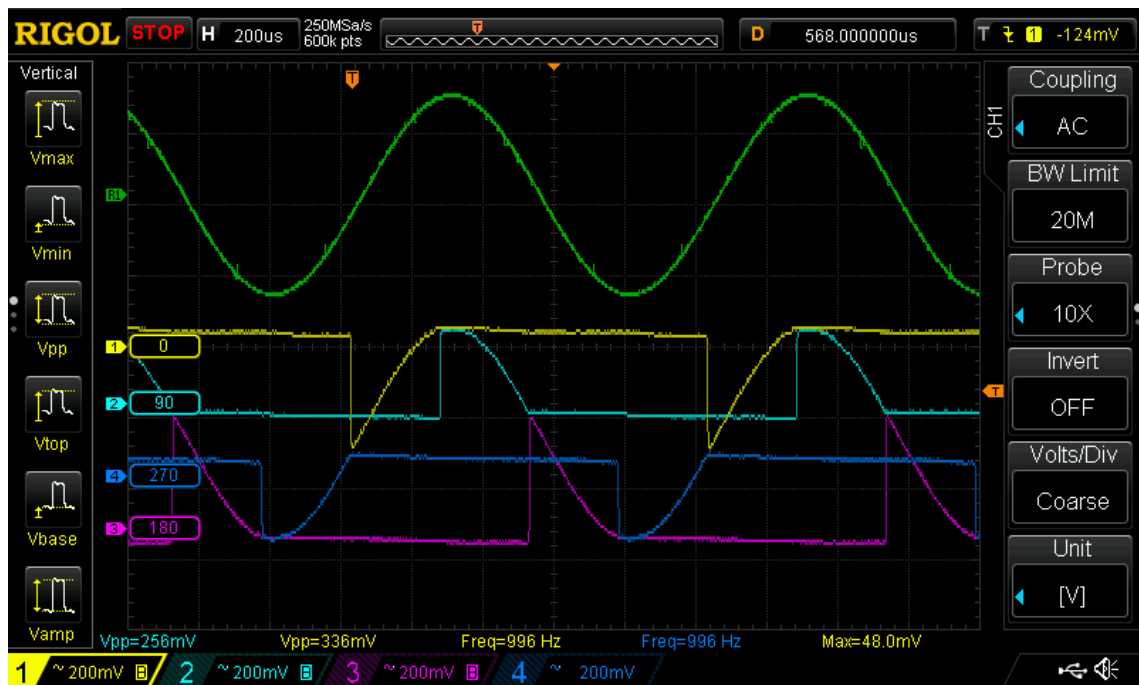
Na snímku z osciloskopu (obr.31) je znázorněn průběh napětí na kondenzátorech v bodech 0° , 90° , 180° a 270° jak jsou označeny na schématu měření na obr.30.

Zelený průběh je referenční sinusový signál na vstupu, jeho frekvence je nastavená na 250 Hz. Popisky 0° až 270° jsou pak jednotlivé průběhy na odpovídajících kondenzátorech.

Při porovnání zachycených průběhů teoretickým průběhem zobrazeném na obr.6, tak je zřejmé, že jsou totožné a QSD pracuje dle předpokladů. Na snímku je také vidět, jak kondenzátory zachovávají okamžitou hodnotu průběhu po svém odpojení od vstupního signálu (sample and hold).



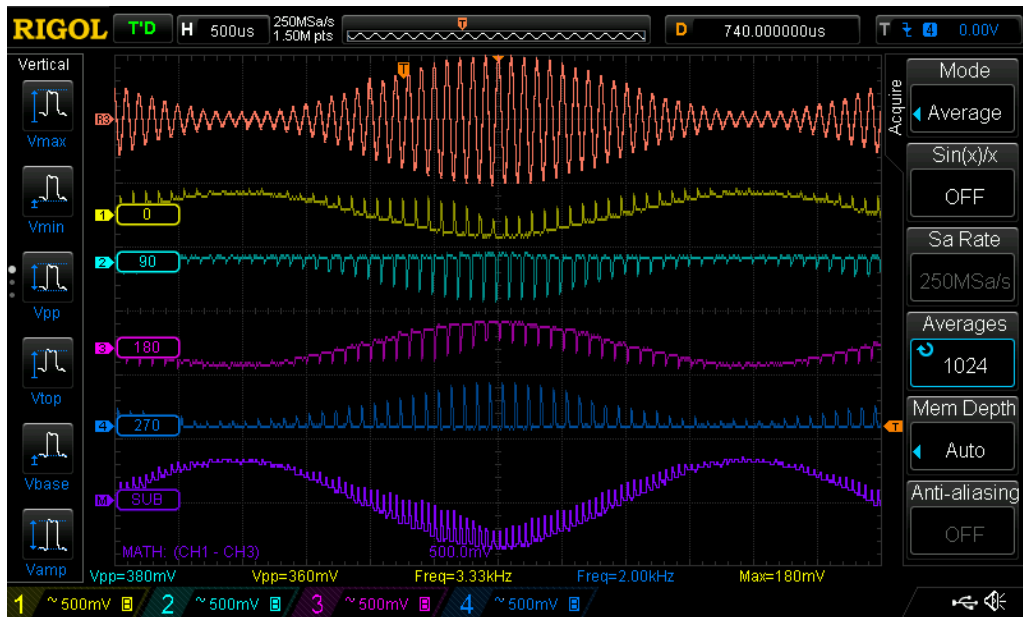
Obrázek 30: Schéma zapojení měření kvadraturního generátoru



Obrázek 31: Vzorkování sinusového signálu

5.2.4 Vzorkování AM signálu

Poslední zachycený průběh (obr.32) zachycuje vzorkování AM signálu. Oranžově je zachycen referenční průběh, poté následují průběhy na jednotlivých kondenzátorech. Poslední je průběh získaný odečtením signálu 180 od signálu 0, tedy I složka signálu. Zarušení signálu je zřejmě způsobeno nestabilní synchronizací generovaného AM signálu. Generovaný signál měl frekvenci nosné 10 kHz a byl modulován sinusovým signálem o frekvenci 250 Hz, hloubka modulace byla 80%.



Obrázek 32: Vzorkování sinusového signálu

5.3 Firmware

Úkolem mikrokontroléru PSoC 5LP je zpracovat uživatelský vstup, zobrazení nastavených parametrů na displeji a komunikace se syntetizérem frekvence Si5351A pomocí I2C rozhraní.

V případě prototypu pak slouží sám jako jednoduchý syntetizér frekvence, kdy je využita jeho interní PLL periferie pro zvýšení frekvence připojeného referenčního krystalového oscilátoru. Z té se pak pomocí 16 bitové děličky frekvence získá požadovaná frekvence pro řízení kvadraturního generátoru.

Jelikož se jedná o systém PSoC, tak se vlastní program skládá ze dvou částí. Ze schematického návrhu, popisující hardware a vlastního programu napsaného v C.

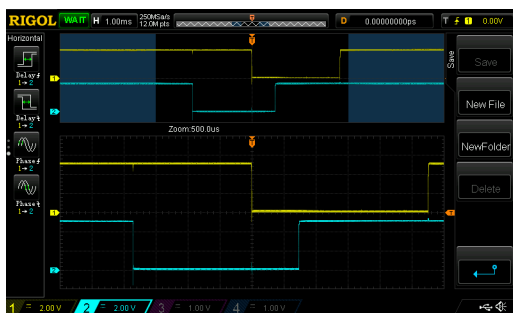
Díky tomu, že lze většinu funkcí realizovat přímo v programovatelném hardware PSoCu, tak je vlastní program velice jednoduchý.

Po inicializaci běží v nekonečné smyčce a pokud přijde přerušení z inkrementálního čítače tak nastaví novou frekvenci a zobrazí tuto informaci na displeji. Celý výpis programu je v příloze.

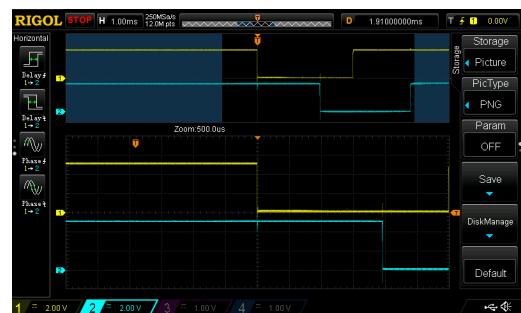
Implementace ovladače inkrementálního snímače

Inkrementální snímač (někdy je laicky označován jako nekonečný potenciometr) je v zapojení použit pro uživatelskou volbu frekvence lokálního oscilátoru. Běžně se používá jako náhrada mechanických potenciometrů v systémech řízených mikrořadičem.

Při otočení o jednu zarážku postupně spíná interní spínače A a B vůči společnému vývodu C. Při zapojení pull-up rezistorů⁵ jsou pak na výstupu k dispozici série pulsů v Grayově kódu (viz snímek osciloskopu na obr.33). Díky tomu lze určit směr otáčení.



(a) Otočení o zarážku doleva



(b) Otočení o zarážku doprava

Obrázek 33: Průběhy napětí inkrementálního snímače s pull-up rezistory

⁵rezistory zapojené na kladnou větev napájení, slouží k přednastavení log. 1

Na trhu jsou k dispozici dva typy těchto enkodérů, liší se počtem pulsů na zarážku. Buď na jednu zarážku proběhne celý 2 bitový Grayův kód, tj. sekvence {11, 10, 00, 01} jak je tomu na obr.33, nebo proběhne pouze polovina sekvence a při dalším pootočení o zarážku další polovina.

Běžnou metodou dekódování směru otáčení inkrementálního snímače je použití jednoduché filtrace výstupů snímače na odskoky (ať už s použitím jednoduchých RC filtrů nebo přímo v software) a poté detekci, která hrana signálu přijde jako první.

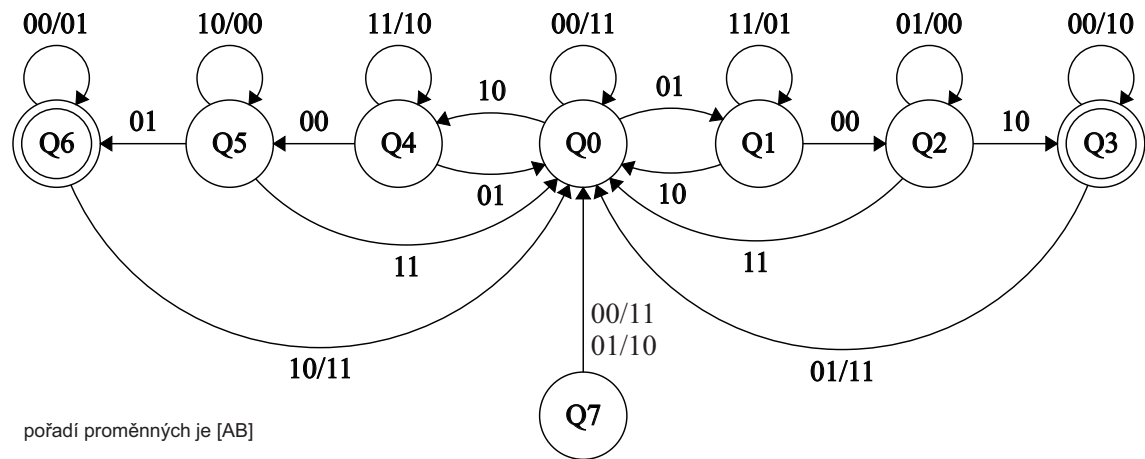
Nicméně tato metoda je náchylná na chybné určení směru otáčení a v případě použití RC filtrů navíc i zbytečně navyšuje počet komponent.

Proto je pro implementaci ovladače použita méně běžná technika, kdy místo filtrování výstupů enkodéru na odskoky spínačů je použit dekodér Grayova kódu realizovaný pomocí konečného automatu.

Metoda dekódování pomocí konečného automatu má následující výhody:

- není potřeba žádného filtrování výstupů enkodéru, šetří zdroje
- odolná na chybné určení směru otáčení a to i při překročení provozních parametrů enkodéru
- robustní a jednoduchá realizace

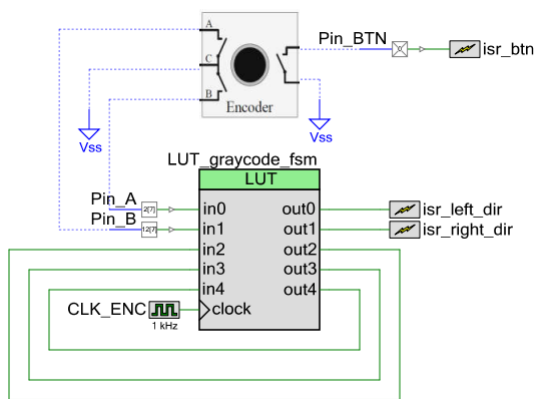
Návrh konečného automatu pro dekódování Grayova kódu je na obr.34.



Obrázek 34: Konečný automat pro dekódování Gray kódu

Automat má celkově 8 stavů, stav Q7 je jalový stav, který je nutný kvůli HW realizaci v look-up table v PSoC. Vstupním slovem je log. hodnota sekvence výstupů A a B, automat pak přijímá ve stavech Q3 a Q6, tj po průběhu celé Grayově sekvence.

Celý automat je realizován pomocí HW komponenty look-up tabulky mikrokontroléru PSoC a je znázorněn na obr.35.



Obrázek 35: HW ovladač pro enkoder

V look-up tabulce je zapsána přechodová tabulka stavů, odvozená ze schématu konečného automatu na obr.34. Zpětná vazba slouží k podržení aktuálního stavu automatu. Přejít do jiného stavu vyvolá změna log. úrovně na vstupech *Pin_A* a *Pin_B*. Pokud je automat v přijímacím stavu, tak výstup z look-up tabulky vyvolá přerušení, které indukují zdali došlo k otočení doprava (*isr_left_dir*) nebo doleva (*isr_right_dir*). Přerušení je zpracováno poté v hlavním programu, kde rutina obsluhující přerušení nastaví příslušný flag, indikující, že došlo k akci otočení. Poté se v hlavní programové smyčce při detekci flagu vykonají žádané akce. Vše je stručně uvedeno ve výpisu 1.

Výpis kódu 1 Ukázka obsluhy přerušení

```
1 ...
2 /* obsluha pro otoceni encoderu vlevo */
3 CY_ISR(isr_left_handler)
4 {
5     flag_left = 1;
6 }
7
8 ...
9
10 int main(void) {
11 ...
12
13     for(;;){
14         /* otaceni enkoderu doleva zmensuje frekvenci
15         -> zvetsuje delic */
16         if(flag_left){
17             flag_left = 0;
18             if(clk_div < MAX_CLK_DIV){
19                 flag_update_div = 1;
20                 clk_div++;
21             }
22         }
23     }
```

5.4 Software pro práci s SDR na PC

Rádio má stereo audio výstup pro připojení k zvukové kartě počítače. V každém jednom kanálu je buď složka I nebo Q signálu. Tento koncept byl zvolen, protože většina softwaru na PC pro softwarově definované rádio umí zpracovávat vstup ze zvukové karty a očekává na stereofonním vstupu služby I a Q signálu. Je tak zajištěna kompatibilita s většinou dostupných programů. Nevýhodou tohoto řešení je, že nelze přímo z programu přeladovat rádio, na druhou stranu rádio není vázáno ani na jeden konkrétní program a bude funkční s kterýmkoli programem, který umí zpracovat audio vstup.

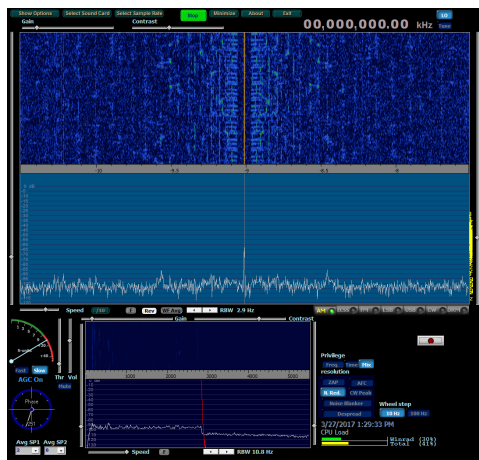
5.4.1 WinRAD

Tento software pro softwarově definované rádio patří asi k jedním z nejstarších. Snímek jeho obrazovky je na obr.36. Dominantní částí uživatelského rozhraní je zobrazení frekvenčního spektra a vodopádové zobrazení spektra v čase (waterfall display). Přeladování je řešeno kliknutím myši do okna s frekvenčním spektrem nebo otáčením kolečka myši. Ve spodní části pak lze nastavit šířku přijímaného pásma a je tam zobrazen fázorový diagram a S-metr. V horní pravé části lze manuálně nastavit aktuální frekvenci, na kterou je naladen oscilátor rádia, takže lze odečítat aktuální frekvenci přijímaného signálu.

Program umožňuje zvolit vzorkovací frekvenci zvukové karty a prohození I a Q kanálu. Na snímku (obr.36) je naladen na stanici Radio Romania.

WinRAD umí demodulovat klasické AM, FM, SSB (single side band - AM s potlačenou nosnou), CW (continuous wave - vysílá se morseovou abecedou) a DRM (drm digital radio mondiale).

Je dostupný na adrese: <http://www.winrad.org>



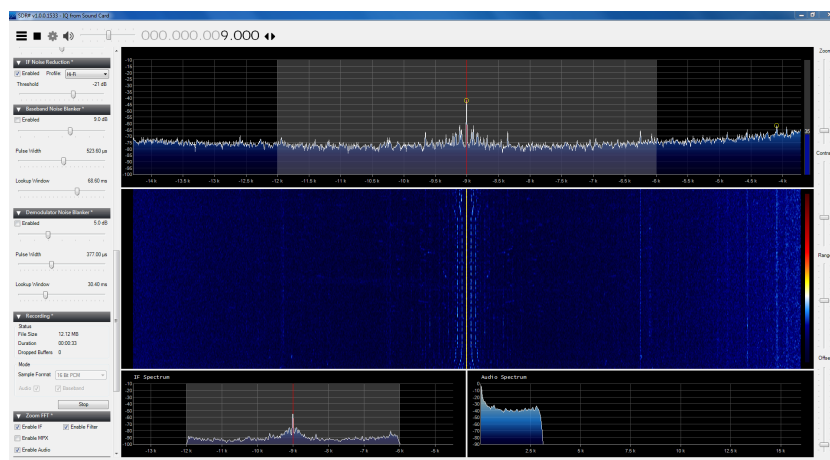
Obrázek 36: Snímek obrazovky programu WinRAD

5.4.2 SDR sharp

Má mnohem více možností než WinRAD, především u filtrování. Opět je tu dominantní zobrazení frekvenčního spektra a vodopádový pohled na spektrum v čase. Po stranách lze pozapínat nejrůznější filtry nebo lze program přepnout do celoobrazovkového režimu.

Co se týče příjmu, lze dosáhnout mnohem lepších výsledků než s programem WinRAD, na druhou stranu chybí S-meter a fázorový diagram. Snímek obrazovky při naladění na Radio Romania je na obr.37. Nutno také podotknout, že hardwarové nároky SDRsharp jsou mnohem vyšší než u WinRADu.

Je dostupný na adrese <http://airspy.com>



Obrázek 37: Snímek obrazovky programu WinRAD

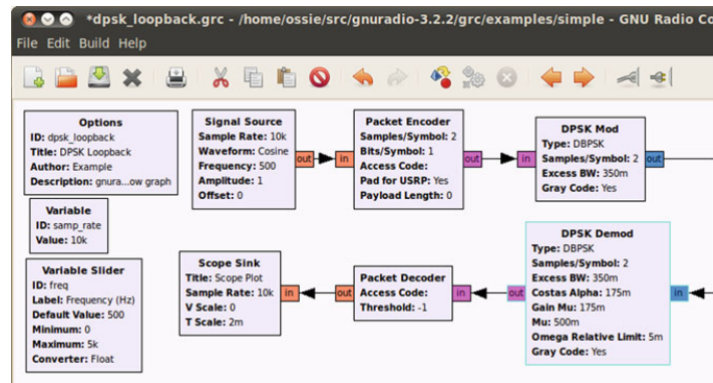
5.4.3 GNU radio

Jedná se o linuxový program a soubor utilit pro práci se softwarovým rádiem. V grafickém režimu pracuje s funkčními bloky podobně jako program Simulink v Matlabu nebo LabView.

Je to taková rádiová laboratoř určená pro výuku a experimentování se softwarově definovaným rádiem.

Bohužel se program nepodařilo nainstalovat a spustit na testovaném počítači.

Je dostupný na adrese: <http://gnuradio.org>



Obrázek 38: GNU radio [10]

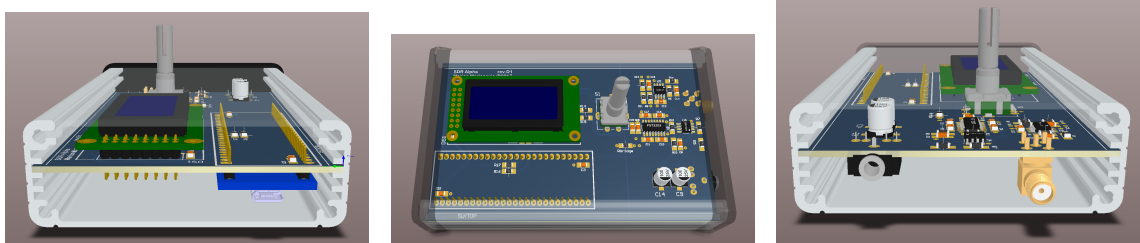
5.5 Fyzické uspořádání zařízení

Deska plošných spojů rádia je navržena do krabičky Hammond velikosti 125x78x27 mm. Krabička má vnitřní drážky, do kterých lze zasunout plošný spoj o velikosti 120x75 mm. Konceptuální model je na obr.39. Přední hliníkové vysouvací víčko krabičky je za-



Obrázek 39: Konceptuální model finálního rádia

měněno za destičku z průhledného akrylátu a je v něm otvor pro inkrementální enkodér, sloužící k zadání frekvence (viz obr.40). Po stranách krabičky jsou otvory pro anténní konektor SMA, audio stereo jack konektor a z druhé strany pro USB konektor (viz obr.40).



Obrázek 40: Fyzické uspořádání rádia

6 Diskuse

Kvadrurní vzorkovací detektor představuje zajímavý koncept pro softwarově definované rádio. Jeho největší výhodou je snadná realizovatelnost a jednoduchý princip činnosti. Tím se z něj stává ideální kandidát na implementaci do mikrokontroléru nebo integrovaných obvodů.

Nejzajímavější možností je realizace úzkopásmového rádiového přijímače pro jednoduchou komunikaci bez specializovaných prvků, např. doplňkový přijímač rádiového hodinového signálu na jednočipovém mikropočítači. Frekvence hodinového signálu DFC77 je 77,5 kHz je dostatečně nízká pro snadný příjem a zároveň kódování času je tak jednoduché, že by jeho dekodování měl zvládnout skoro každý moderní mikrokontrolér. Otevírá se tak alternativa k použití nebo synchronizaci hodin reálného času, tyto hodiny by navíc měly tu výhodu, že nepotřebují synchronizaci. A možnost přidání této funkce pomocí pár externích součástek a softwarové knihovny je velice lákavá.

Nicméně pro širokopásmový provoz tento typ detektoru není příliš vhodný. Jedním z původních záměrů při stavbě, byla možnost využití softwarově definovaného rádia jako univerzálního monitoru na průzkum rádiových vln a případně jako ladícího nástroje při odstraňování problémů s rádiovými systémy. Pro tento účel se kvadrurní vzorkovací detektor nehodí. Největší překážkou je nutnost použití oscilátoru se širokým rozsahem přeladitelných frekvencí.

Bohužel se ukázalo, že takový oscilátor je stejně drahý jako AD převodník se vzorkovací frekvencí 40 Msps a šířkou pásma 400 MHz, jakým je např. ADC10040 od firmy Texas Instruments. Realizace softwarově definovaného rádia s pomocí tohoto AD převodníku, ale ztrácí na jednoduchosti, protože je rázem potřeba zpracovávat relativně velké množství dat případně vyřešit jejich přenos do PC.

Každopádně QSD detektor je velice zajímavé zařízení pro softwarově definované rádio implementované v mikropočítačích a s malými požadavky na přenosové pásmo, operující na jedné frekvenci nebo úzkém spektru frekvencí. Pro použití v širokopásmových systémech se nehodí.

7 Závěr

V této práci byly rozebrány různé koncepty radiových přijímačů. Jeden z nich relativně nedávno objevený se jmenuje kvadratický vzorkovací detektor. Jedná se o zajímavý koncept přijímače s přímou konverzí do základního pásma, pracující na principu vzorkování signálu, který rozkládá na dvě kvadraturní složky I a Q.

Tyto složky jsou vzájemně fázově posunuty o 90° a díky tomu nesou informaci jak o amplitudě přijímaného signálu tak i o jeho fázi. Díky tomuto faktu lze pomocí nich demodulovat jakýkoli signál, např. AM modulaci pomocí prostého použití Pythagorovy věty.

Dále po prostudování různých možností byl realizován funkční prototyp, na kterém byla ověřena funkce vzorkovacího detektoru, která se shodovala s teoretickými předpoklady. Na základě zkušeností získaných při stavbě prototypu byla navržena finální verze rádia, včetně plošného spoje a montáže do krabičky.

Technologie softwarově definovaného rádia je zajímavým evolučním krokem ve vývoji rádiové techniky, kdy se stírá hranice mezi hardwarem a softwarem. Otevírá nové možnosti experimentování, kdy lze chování rádia a jeho modulace definovat na základě matematické abstrakce. Pro takovéto věci bylo nutno dříve sestavit specializovaný hardware.

Velice zajímavým se jeví použití SDR ve vestavěných mikropočítačích, kdy lze snadno pomocí pár součástek a softwarové knihovny dodat komunikační funkcionality. Například příjem radiových hodin.

Tato práce měla za prozkoumala návrh, realizaci a chování jednoduchého front-endu softwarového rádia s použitím na PC. Zkušenosti z vývoje softwarově definovaného rádia obsažené v této práci mohou posloužit pro lepší návrh v budoucnu.

Rejstřík zkratk

ADC	Analog to digital converter
AM	amplitude modulation
DAC	Digital to analog converter
DDS	direct digital synthesis
DSP	Digital signal processing, Digital signal processor
FPGA	Field-programmable gate array
I	In-phase
Q	Quadrature
QSD	quadrature sampling detector
SDR	Software Defined Radio
SSB	single side band

Seznam obrázků

1	Blokové schéma ideálního Softwarově-definovaného rádia	4
2	Blokové schéma přijímače s přímou konverzí	6
3	Blokové schéma přijímače s vícenásobnou konverzí	7
4	Blokové schéma Taylorova detektoru (QSD detektor) [18]	11
5	Vzorkovací obvod typu Sample and Hold [23]	12
6	Ukázka vzorkování pomocí QSD detektoru	13
7	Vzorkování amplitudově modulovaného signálu	14
8	Fázor v komplexní rovině popsany signály I a Q [25]	15
9	Princip impedančního přizpůsobení [17]	17
10	Běžné topologie impedančního přizpůsobení	18
11	Základní topologie filtrů 1. řádu	19
12	Dělič napětí s indukčností pro nastavení předpětí	20
13	Operační zesilovač s posunutím pracovního bodu	20
14	Porovnání oscilátoru s fázovým šumem a bez fázového šumu [17]	22
15	Blokové schéma principu funkce DDS [5]	23
16	Filtrování výstupního signálu z DDS [3]	24
17	Řídící sekvence multiplexoru FST3253	26
18	Logický diagram FST3253 [9]	26
19	Kvadrurní generátor ze dvou D klopných obvodů [11]	27
20	Vytvoření záporné větve napájení pomocí ILC7660 [12]	29
21	Schéma signálové cesty prototypu	31
22	Číslicová část prototypu	32
23	Konečné schéma zapojení	33
24	Realizovaný prototyp	34
25	PSoC WaveDAC	35
26	Schéma zapojení měření kvadrurního generátoru	36
27	Průběhy signálů na kvadrurním generátoru	37
28	Průběhy signálů v ICTRL a QCTRL v XY zobrazení	37
29	Sekvence spínání analogového přepínače	38
30	Schéma zapojení měření kvadrurního generátoru	39
31	Vzorkování sinusového signálu	39
32	Vzorkování sinusového signálu	40
33	Průběhy napětí inkrementálního snímače s pull-up rezistory	41
34	Konečný automat pro dekódování Gray kódu	42
35	HW ovladač pro enkoder	43
36	Snímek obrazovky programu WinRAD	45
37	Snímek obrazovky programu WinRAD	46

38	GNU radio [10]	47
39	Konceptuální model finálního rádia	48
40	Fyzické uspořádání rádia	48

Seznam tabulek

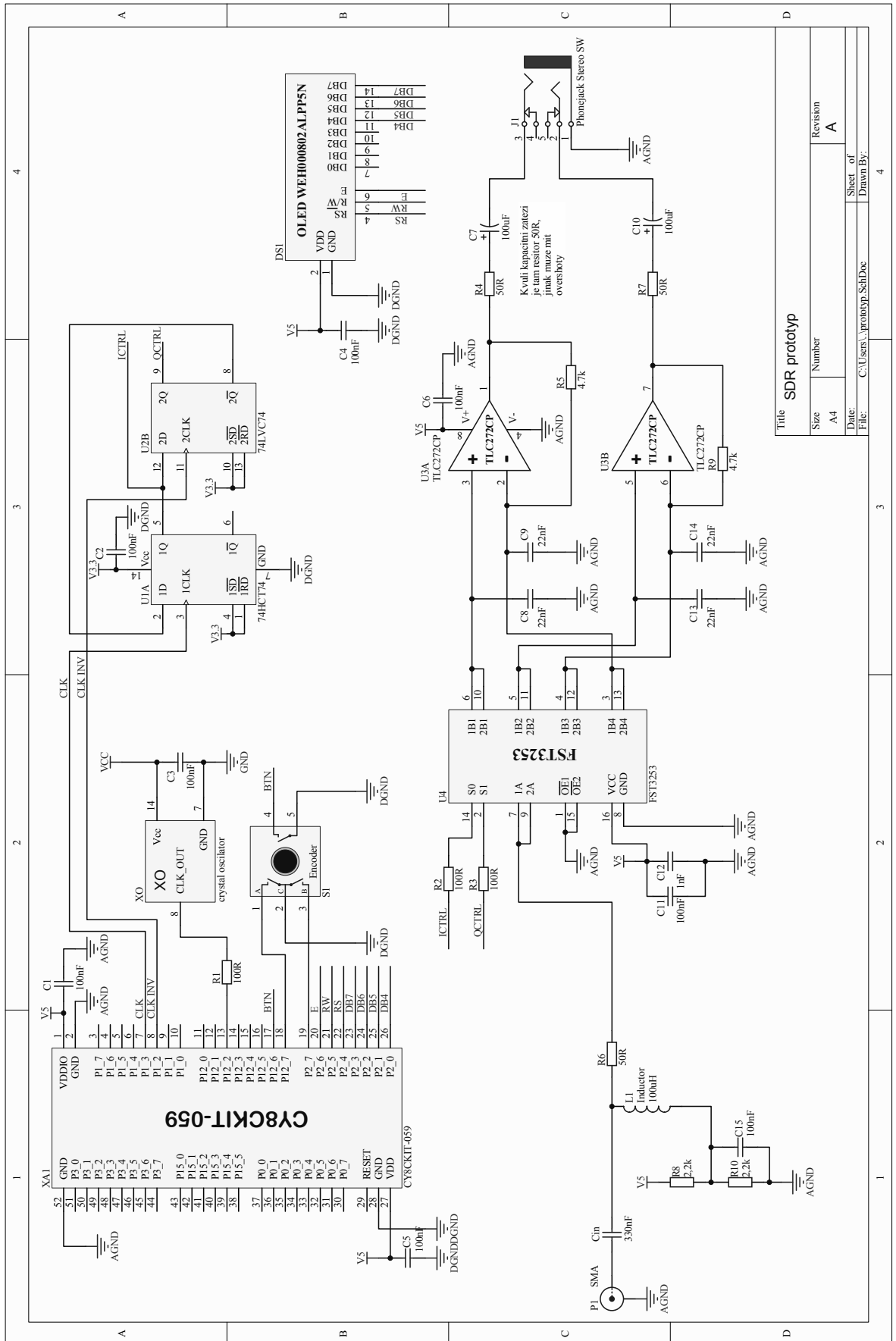
1	porovnání vybraných typů DDS [2, 3, 4]	25
2	Porovnání vybraných typů frekvenčních syntetizérů	25
3	porovnání vybraných typů analogových spínačů[9, 21]	26
4	porovnání vybraných typů operačních zesilovačů [19, 1, 20, 14]	28

Seznam použité literatury

- [1] ANALOG DEVICES. AD797. Dostupné z: <<https://goo.gl/JmQETL>>.
- [2] ANALOG DEVICES. AD9850 Rev. H, February 2017. Dostupné z: <<https://goo.gl/u3HV09>>.
- [3] ANALOG DEVICES. AD9854 Rev. E, February 2017. Dostupné z: <<https://goo.gl/sx9BpW>>.
- [4] ANALOG DEVICES. AD9951 Rev. C, February 2017. Dostupné z: <<https://goo.gl/fZuup6>>.
- [5] ANALOG DEVICES. A Technical Tutorial on Digital Signal Synthesis, 1999. Dostupné z: <goo.gl/f33LMZ>.
- [6] BURNS, P. *Software defined radio for 3G*. Artech House mobile communications series. Artech House, 2003. ISBN 1-58053-347-7.
- [7] DANĚK, K. *Moderní rádiový přijímač: kniha o jeho návrhu*. BEN - technická literatura, 2005. ISBN 80-7300-142-X 978-80-7300-142-1.
- [8] DRENTEA, C. *Modern communications receiver design and technology*. Artech House intelligence and information operations series. Artech House, 2010. ISBN 978-1-59693-309-5.
- [9] FAIRCHILD. FST3253, December 1999. Dostupné z: <<https://www.fairchildsemi.com/datasheets/FS/FST3253.pdf>>.
- [10] GRAYVER, E. *Implementing software defined radio*. Springer, 2013. ISBN 978-1-4419-9331-1.
- [11] HOROWITZ, P. – HILL, W. *The Art of Electronics*. Cambridge University Press, 3 edition edition, April 2015. ISBN 978-0-521-80926-9.
- [12] INTERSIL CORPORATION. ICL7660, October 2005. Dostupné z: <goo.gl/bdJFNH>.
- [13] JOHNSON, C. R. *Telecommunication breakdown: concepts of communication transmitted via software-defined radio*. Pearson Education Inc, 2004. ISBN 0-13-143047-5.
- [14] LINEAR TECHNOLOGY. LT1818. Dostupné z: <<http://cds.linear.com/docs/en/datasheet/18189fb.pdf>>.

- [15] LYONS, R. G. *Understanding Digital Signal Processing*. Pearson Education, 1st edition edition, November 1996. ISBN 978-0-201-63467-9.
- [16] NATIONAL SEMICONDUCTOR. Op Amp Circuit Collection, September 2002. Dostupné z: <https://www.ti.com/ww/en/bobpease/assets/AN-31.pdf>.
- [17] SAYRE, C. *Complete Wireless Design, Second Edition*. McGraw-Hill Education, 2 edition edition, July 2008. ISBN 978-0-07-154452-8.
- [18] TAYLOE, D. R. Product detector and method therefor, May 2001. Dostupné z: <http://www.google.com/patents/US6230000>. U.S. Classification 455/323, 455/303, 455/313, 455/304; International Classification H03D7/16; Cooperative Classification H03D7/165; European Classification H03D7/16C.
- [19] TEXAS INSTRUMENTS. NE5532, January 2015. Dostupné z: <http://www.ti.com/lit/ds/symlink/ne5532.pdf>.
- [20] TEXAS INSTRUMENTS. OPA1652, December 2016. Dostupné z: <http://www.ti.com/lit/ds/symlink/opa1652.pdf>.
- [21] TEXAS INSTRUMENTS. SN74HC4066, August 2016. Dostupné z: <http://www.ti.com/lit/ds/symlink/sn74hc4066.pdf>.
- [22] TUTTLEBEE, W. H. W. (Ed.). *Software defined radio: enabling technologies*. Wiley series in software radio. J. Wiley & Sons, 2002. ISBN 0-470-84318-7.
- [23] VEDRAL, J. – FISCHER, J. *Elektronické obvody pro měřicí techniku*. České vysoké učení technické, 2004. ISBN 80-01-02966-2 978-80-01-02966-4.
- [24] VITO, K. M. a. T. *Radio Receiver Design*. Noble Publishing Corporation, February 2001. ISBN 978-1-884932-07-6.
- [25] YOUNGBLOOD, G. A Software-Defined Radio for the Masses, Part 1. *QEX ARRL*. July 2002, , Jul/Aug 2002, s. 13–21. ISSN 0886-8093.
- [26] YOUNGBLOOD, G. A Software-Defined Radio for the Masses, Part 4. *QEX ARRL*. March 2003, , Mar/Apr 2003, s. 20–31. ISSN 0886-8093.

A Schéma zapojení prototypu

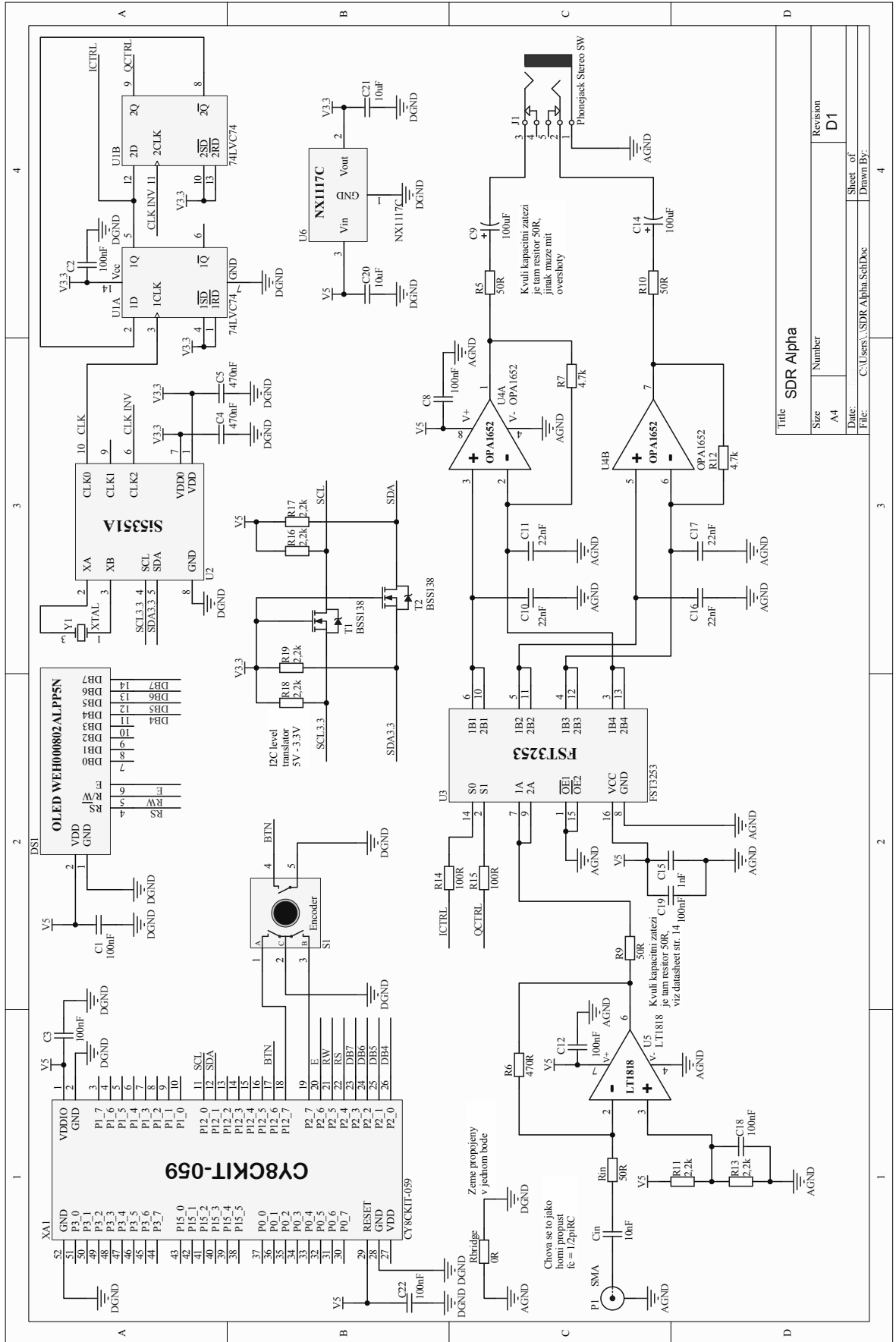


Title		SDR prototyp	
Size	Number	Revision	A
A4		Sheet of	4
Date:	File:	Drawn By:	
	C:\Users\...prototyp_Sch.Doc		

B Seznam materiálu prototypu

Označení	Hodnota	Popis	Počet ks
R1 - R3	100 R	rezistor	3 ks
R4, R6, R7	50 R	rezistor	3 ks
R5, R9	4,7 k	rezistor	2 ks
R8, R10	2,2 k	rezistor	2 ks
Cin	330 nF	keram. kondenzátor	1 ks
C1 - C7, C10, C11, C15	100 nF	keram. kondenzátor	10 ks
C8, C9, C13, C14	22 nF	keram. kondenzátor	4 ks
C12	1 nF	keram. kondenzátor	1 ks
DS1	WEH000802ALPP5N	OLED displej	1 ks
S1	PIHER CL11	inkrementální enkodér	1 ks
U1	74HCT74	D - klopný obvod	1 ks
U3	FST3253	analog. mux	1 ks
U4	TLC272CP	OP AMP, low noise	1 ks
XA1	CY8CKIT-059	modul PSoC 5LP	1 ks
XO	COF-50	kryst. oscilátor, 10 MHz	1 ks

C Schéma SDR Alpha - finální zapojení

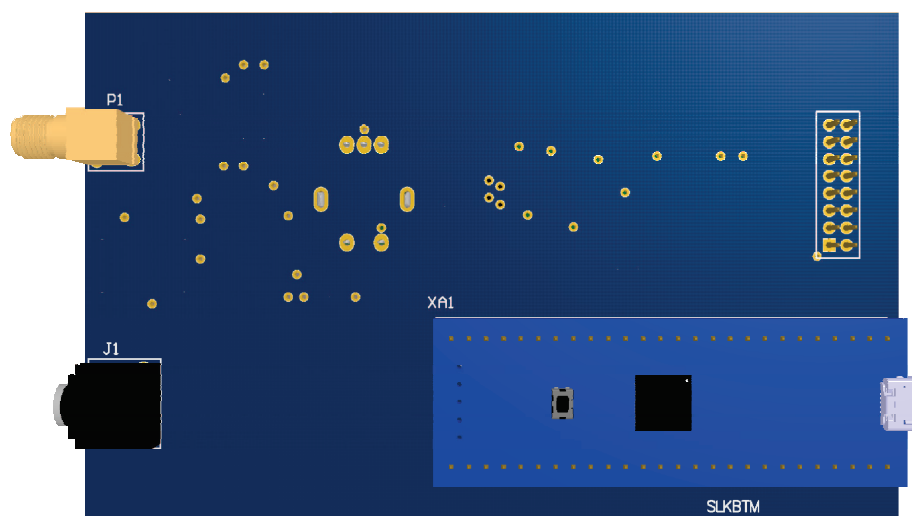
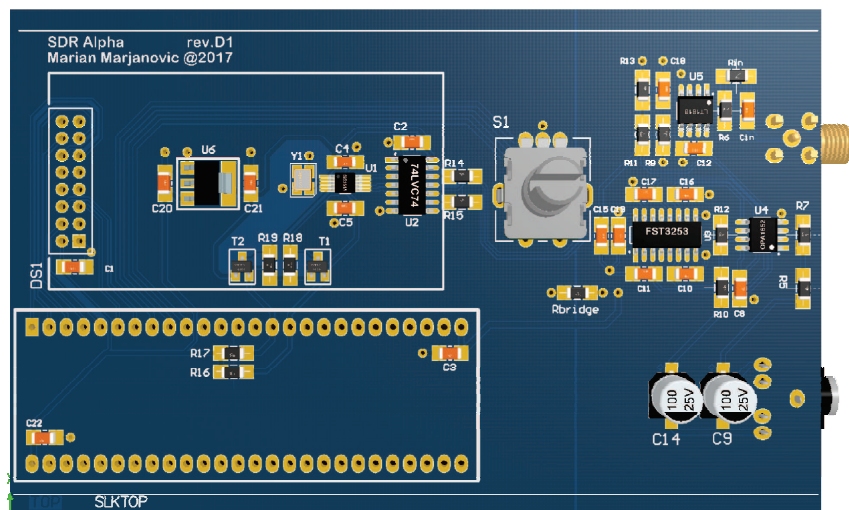
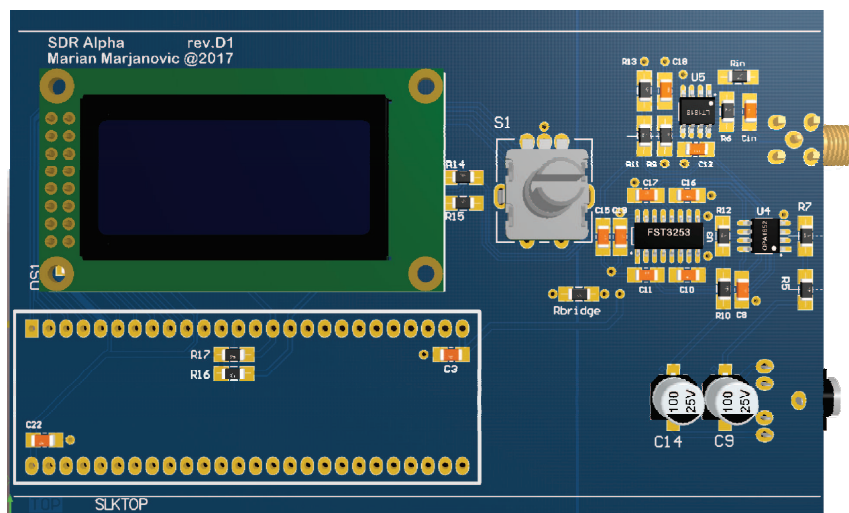


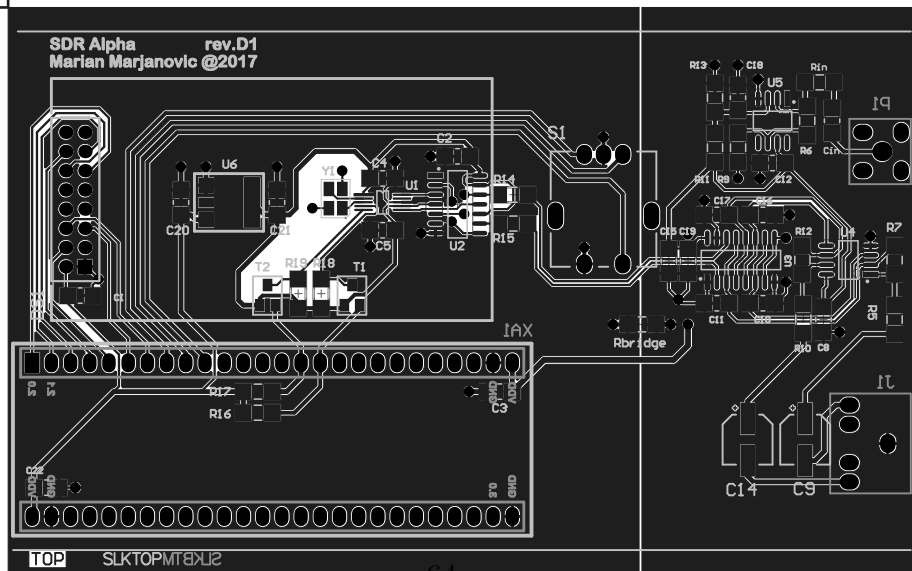
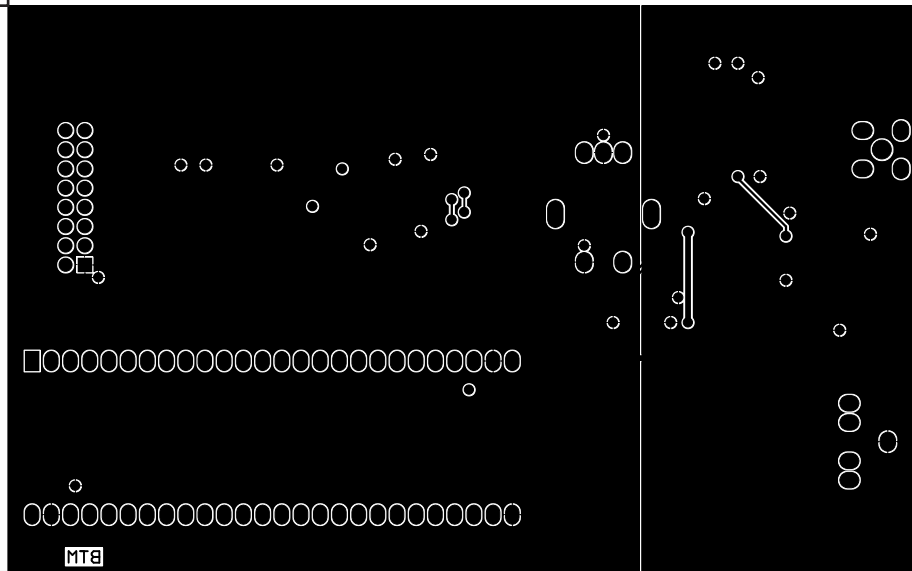
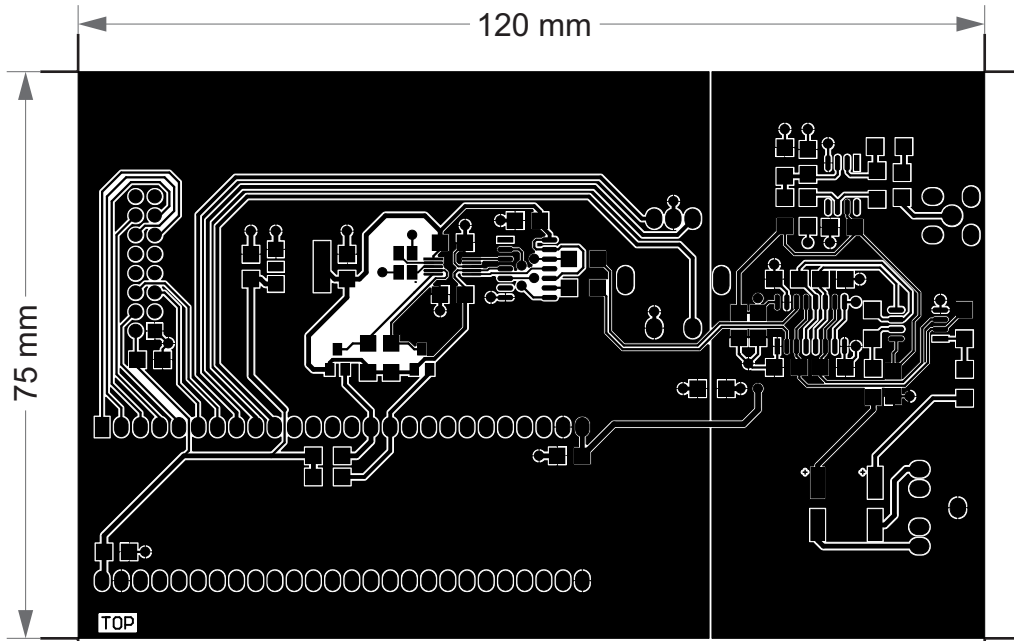
Title		SDR Alpha	
Size	Number	Revision	D1
A4			
Date:	Sheet of		
File:	Drawn By:		

D Seznam materiálu SDR Alpha

Označení	Hodnota	Pouzdro	Popis	Počet
Cin	10 nF	smd1206	ker. kond.	13 ks
C1-C3, C8, C12, C18, C19, C22	100 nF	smd1206	ker. kond.	5 ks
C4, C5	470 nF	smd1206	ker. kond.	3 ks
C10, C11, C16, C17	22 nF	smd1206	ker. kond.	2 ks
C15	1 nF	smd1206	ker. kond.	4 ks
C9, C14	100 uF	C8	elyt. kond.	1 ks
Rbridge	0 R	smd1206	propojka	2 ks
Rin, R5, R9, R10	50 R	smd1206	rezistor 1%	1 ks
R7, R12	4,7 k	smd1206	rezistor 1%	2 ks
R11, R13, R16-R19	2,2 k	smd1206	rezistor 1%	5 ks
R6	470 R	smd1206	rezistor 1%	1 ks
R14, R15	100 R	smd1206	rezistor 1%	2 ks
DS1	WEH000802ALPP5N	n/a	OLED display	1 ks
J1	stereo jack	n/a	konektor	1 ks
P1	SMA 90	n/a	SMA konektor	1 ks
S1	PIHER CL11	PIHER CL11	inkr. enkodér	1 ks
T1, T2	BSS138	SOT23	N-MOSFET	2 ks
U1	74LVC74	SOIC14	D - flip flop	1 ks
U2	Si5351A	10-MSOP	clock gen.	1 ks
U3	FST3253	SOIC16	analog. mux	1 ks
U4	OPA1652	SO-8	OP amp, low noise	1 ks
U5	LT1818	SO-8	OP amp, low noise	1 ks
U6	NX1117C	sot223	3,3V regulator	1 ks
XA1	CY8CKIT-059	n/a	modul PSoC 5LP	1 ks
Y1	27MHz	n/a	krystal. oscilátor	1 ks
krabička	U-HA1455J1201	n/a	krabička Hammond	1 ks

E Podklady plošných spojů SDR Alpha

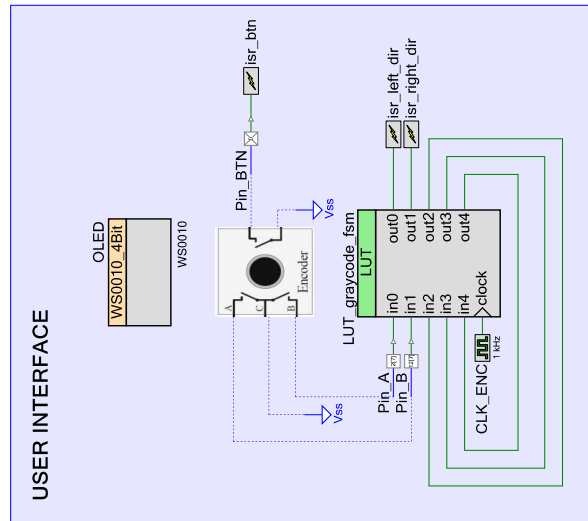
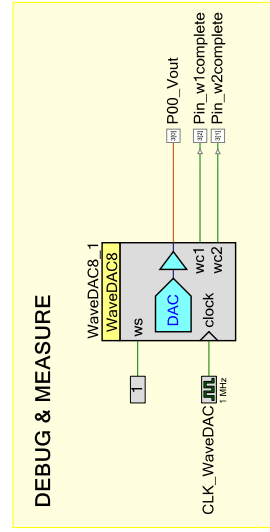
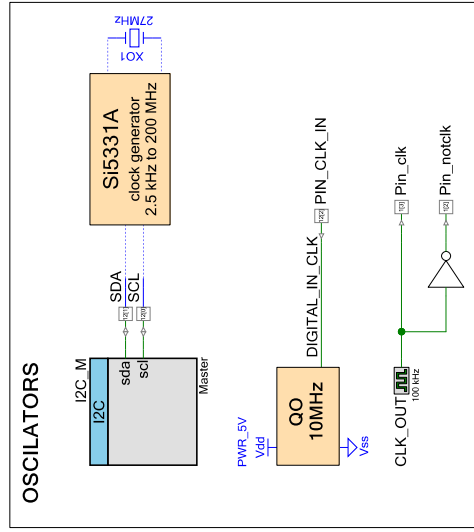




F Výchpis firmware

SDR Alpha

Marian Marjanovič @2017



```

main.c

/**
 * Copyright Marian Marjanovic, 2017
 * All Rights Reserved
 * UNPUBLISHED, LICENSED SOFTWARE.
 */

#include "project.h"
#include <stdio.h> /* pro sprintf funkci */

/* konstanty pro nastaveni hodnot frekvenci */
#define XTAL_OSC_FREQ (72000000) /* nominalni frekvence pripojeneho krysta
. oscilatoru */
#define MAX_CLK_DIV (1200) /* maximalni hodnota frekvečního
dělitele */
#define MIN_CLK_DIV (4) /* minimalni hodnota frekvečního dělitele
, max umi 18MHz - cili prijem 9MHz */

/* konstanty pro obsluhu displeje */
#define MAX_ROW (2)
#define MAX_COL (8)

/* flagy pro obsluhu preruseni */
volatile uint8 flag_left; /* otoceni encoderu doleva */
volatile uint8 flag_right; /* otoceni enkoderu doprava */

/* funkce pro obsluhu přerušeni */
/* preruseni pro otoceni enkoderu vpravo */
CY_ISR(isr_right_handler)
{
    flag_right = 1;
}

/* obsluha pro otoceni encoderu vlevo */
CY_ISR(isr_left_handler)
{
    flag_left = 1;
}

int main(void)
{
    uint16 clk_div = MIN_CLK_DIV; /* aktualni hodnota delice frekvence */
    uint8 flag_update_div = 0; /* flag zmeny delice */
    char oled_msg[MAX_COL]; /* zprava pro zobrazeni na display */

    //WaveDAC8_1_Start(); /* Start WaveDAC8 */

    /* initialization/startup code */
    CyGlobalIntEnable; /* Enable global interrupts. */
    OLED_Init (); /* Init displaye */

    /* Enable the Interrupt component connected to interrupt */
    isr_right_dir_StartEx(isr_right_handler);
}

```

```

main.c
isr_left_dir_StartEx(isr_left_handler);

OLED_Position (0, 0);
OLED_PrintString ("Div:500");
OLED_Position (0, 1);
OLED_PrintString ("25000");
CLK_OUT_SetDividerValue (clk_div);

// WaveDAC8_Enable();
// WaveDAC8_Start();

for(;;)
{
    /* otaceni enkoderu doleva zmanjuje frekvenci -> zmanjuje delic */
    if(flag_left){
        flag_left = 0;
        if(clk_div < MAX_CLK_DIV){
            flag_update_div = 1;
            clk_div++;
        }
    }

    /* otaceni enkoderu doprava zmanjuje frekvenci -> zmanjuje delic */
    if(flag_right){
        flag_right = 0;
        if(clk_div > MIN_CLK_DIV)
        {
            flag_update_div = 1;
            clk_div--;
        }
    }

    /* nastaveni noveho delice frekvence a aktualizace udaje na displeji */
    if(flag_update_div)
    {
        flag_update_div = 0;
        CLK_OUT_SetDividerValue (clk_div);

        sprintf(oled_msg, "Div:%4d", clk_div);
        OLED_Position (0, 0);
        OLED_PrintString (oled_msg);

        sprintf(oled_msg, "%8d", (XTAL_OSC_FREQ/clk_div)/2);
        OLED_Position (0, 1);
        OLED_PrintString (oled_msg);
    }
}

/* [] END OF FILE */

```