

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

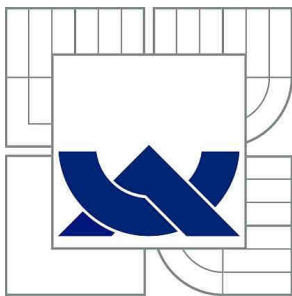
DIGITÁLNÍ NÍZKOFREKVENČNÍ ZESILOVAČ S UNIVERZÁLNÍMI
VSTUPY

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

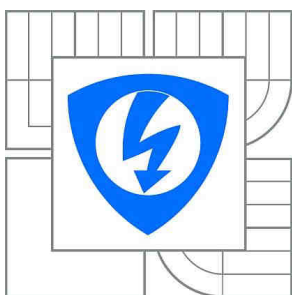
Bc. PAVEL SVADBÍK

BRNO 2012



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

DIGITÁLNÍ NÍZKOFREKVENČNÍ ZESILOVAČ S UNIVERZÁLNÍMI VSTUPY

DIGITAL AUDIO AMPLIFIER WITH UNIVERSAL INPUTS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. PAVEL SVADBÍK

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. TOMÁŠ KRATOCHVÍL, Ph.D.

BRNO 2012



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student: Bc. Pavel Svadbík

ID: 109723

Ročník: 2

Akademický rok: 2011/2012

NÁZEV TÉMATU:

Digitální nízkofrekvenční zesilovač s univerzálními vstupy

POKYNY PRO VYPRACOVÁNÍ:

V teoretické části práce proveďte návrh plně digitálního audio zesilovače s výstupním výkonem cca 2 x 20 W do vámi zvolené zátěže. Zesilovač by měl umožňovat konverzi nejpoužívanějších digitálních i analogových audio formátů tak, aby mohl být vybaven univerzálními audio vstupy (analogový symetrický/nesymetrický, digitální optický/koaxiální, datový USB). Předpokládejte mikroprocesorové řízení zesilovače přes I2C sběrnici. Zapojení dále doplňte samostatným napájecím zdrojem. V praktické části práce vytvořte kompletní konstrukční podklady k realizaci návrhu (schéma zapojení, návrh desky plošného spoje, rozložení a soupiska součástek, návrh mechanického uspořádání atd.). Navržené zařízení realizujte formou funkčního prototypu a experimentálním měření v laboratoři nízkofrekvenční elektroniky ověřte jeho činnost.

DOPORUČENÁ LITERATURA:

[1] ŠTÁL, P. Výkonové audio zesilovače pracující ve třídě D - základní principy a konstrukce. Praha: BEN - technická literatura, 2008.

[2] MATOUŠEK, D. Práce s mikrokontroléry ATMEL AVR - ATmega16. 4. díl - edice uP a praxe. Praha: BEN - technická literatura, 2006.

[3] ST Microelectronics [online]. Datasheet STA326 - 2.1-channel high-efficiency digital audio system. STMicroelectronics, Inc., 2010 - [cit. 30. 11. 2010]. Dostupné na [www: http://www.st.com/stonline/products/literature/ds/11531.pdf](http://www.st.com/stonline/products/literature/ds/11531.pdf).

Termín zadání: 6.2.2012

Termín odevzdání: 18.5.2012

Vedoucí práce: doc. Ing. Tomáš Kratochvíl, Ph.D.

Konzultanti diplomové práce:

prof. Dr. Ing. Zbyněk Raida

Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Výzkum realizovaný v rámci této diplomové práce byl finančně podpořen projektem
CZ.1.07/2.3.00/20.0007 **Wireless Communication Teams**
operačního programu **Vzdělávání pro konkurenceschopnost**.



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Finanční podpora byla poskytnuta Evropským sociálním fondem
a státním rozpočtem České republiky.

Tento příspěvek vzniknul za podpory projektu CZ.1.07/2.3.00/20.0007 WICOMT,
financovaného z operačního programu Vzdělávání pro konkurenceschopnost



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

ABSTRAKT

Tato diplomová práce se zabývá návrhem digitálního nízkofrekvenčního zesilovače s univerzálními vstupy. V první části práce jsou popsány modulace a audio formáty používané v nízkofrekvenční elektronice. V práci je navrženo blokové schéma digitálního zesilovače a jsou popsány požadavky na jednotlivé bloky. Jako základní obvod pro zpracování audio signálu byl vybrán integrovaný obvod STA326. Práce pokračuje obvodovými návrhy jednotlivých bloků spolu s popisem jejich činnosti. V další části práce je popsáno konstrukční provedení zesilovače a firmware řídicího mikrokontroléru. Poslední část této diplomové práce je zaměřena na prezentaci změřených parametrů zesilovače. V závěru práce jsou shrnuty výsledky práce, kterých bylo dosaženo a výhody i nevýhody zrealizovaného prototypu zesilovače.

KLÍČOVÁ SLOVA

Digitální nízkofrekvenční zesilovač, třída D, spínaný zesilovač, PWM, pulsně šířková modulace, I2S, I2C, S/PDIF, STA326, ATmega32, DDX

ABSTRACT

This diploma thesis deals with digital audio amplifier with universal inputs and its design. The first part describes modulation and audio formats for audio electronics. The thesis contain design of a block diagram of the digital audio amplifier and describes the requirements for functional blocks. As a basic device for audio signal processing was choosen integrated circuit STA326. The thesis continue with circuits design for each blocks with a description of their principles. The next section describes the construction and firmware for microcontroller. The last part of this diploma thesis is targeted on the presentation of the measured parameters of the amplifier. The conclusion summarizes the results that have been achieved and advantages and disadvantages of the digital audio amplifier prototype.

KEYWORDS

Digital audio amplifier, class D, switching amplifier, PWM, pulse width modulation, I2S, I2C, S/PDIF, STA326, ATmega32, DDX

SVADBÍK, P. *Digitální nízkofrekvenční zesilovač s univerzálními vstupy*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2012. 94 s., 32 s. příloh. Diplomová práce. Vedoucí práce: doc. Ing. Tomáš Kratochvíl, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma Digitální nízkofrekvenční zesilovač s univerzálními vstupy jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce doc. Ing. Tomáši Kratochvílovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne

.....

(podpis autora)

OBSAH

Seznam obrázků	x
Seznam tabulek	xiii
Úvod	14
1 Popis základních modulací a standardů používaných v nízkofrekvenční a audio elektronice	15
1.1 Základní typy modulací	15
1.1.1 Pulsně šířková modulace (PWM)	15
1.1.2 Pulsně kódová modulace (PCM)	16
1.1.3 Modulace DSD (Direct Stream Digital)	19
1.2 Nejpoužívanější audio rozhraní	19
1.2.1 I2S rozhraní.....	20
1.2.2 S/PDIF rozhraní	21
1.2.3 PWM rozhraní.....	24
1.2.4 Nesymetrické analogové rozhraní	24
1.2.5 Symetrické analogové rozhraní	24
2 Blokové schéma digitálního audio zesilovače s univerzálními vstupy	25
2.1 Digitální výkonový zesilovač s výstupním LC filtrem	26
2.2 Převodníky jednotlivých audio formátů	27
2.3 Vstupní jednotka	28
2.4 LCD displej a indikace	28
2.5 Uživatelské rozhraní	29
2.6 MCU	30
2.7 Napájecí jednotka	30
3 Návrh jednotlivých bloků digitálního audio zesilovače s univerzálními vstupy	32
3.1 Digitální výkonový zesilovač s výstupním LC filtrem.....	32
3.1.1 Výpočet parametrů cívek výstupního LC filtru	36
3.2 USB převodník	38
3.3 Symetrický A/D převodník.....	40

3.4	Nesymetrický A/D převodník.....	42
3.5	S/PDIF převodník	44
3.6	Vstupní jednotka	45
3.7	LCD displej a indikace	50
3.8	Uživatelské rozhraní	51
3.9	MCU	54
3.10	Napájecí jednotka	56
4	Konstrukce prototypu zesilovače	62
5	Popis firmware řídicího mikrokontroléru	64
5.1	Ovládání zesilovače	68
6	Měření na prototypu zesilovače	71
6.1	Měření parametrů napájecí jednotky	71
6.2	Měření parametrů digitálního výkonového zesilovače	73
7	Závěr	86
	Literatura	88
	Seznam symbolů, veličin a zkratk	91
	Seznam příloh	93

SEZNAM OBRÁZKŮ

Obr. 1.1:	Princip činnosti modulátoru PWM	15
Obr. 1.2:	Časové průběhy signálů v modulátoru PWM	16
Obr. 1.3:	Znázornění vlivu vzorkovací frekvence na spektrum signálu: a) dodržení vzorkovacího teoremu, b) nedodržení vzorkovacího teoremu – prolínání spekter	17
Obr. 1.4:	Vliv vzorkovací frekvence na rekonstruovaný signál: a) nedostatečná vzorkovací frekvence b) dostatečná vzorkovací frekvence	18
Obr. 1.5:	Vliv kvantování na jednotlivé vzorky a rekonstruovaný signál.....	18
Obr. 1.6:	Možné způsoby definování obvodu Master	20
Obr. 1.7:	Časové průběhy jednotlivých signálů standardu I2S	21
Obr. 1.8:	Struktura protokolu AES3 pro vzorkovací frekvenci $f_{VZ} = 48$ kHz.....	22
Obr. 1.9:	Struktura subrámců standardu AES3	22
Obr. 1.10:	Časový průběh kódované hlavičky „X“	23
Obr. 1.11:	Sekvence subrámců s vyznačením jednotlivých typů hlaviček	23
Obr. 2.1:	Blokové schéma digitálního audio zesilovače s univerzálními vstupy.....	26
Obr. 2.2:	Příklad zobrazení menu na LCD displeji pro položku VOLUME (vlevo) a BASS (vpravo)	29
Obr. 2.3:	Příklad motivu čelního panelu zesilovače.....	30
Obr. 3.1:	Srovnání technologie DDX a běžné technologie pro zpracování audio signálu	33
Obr. 3.2:	Schéma zapojení bloku digitálního výkonového zesilovače s výstupním LC filtrem.....	34
Obr. 3.3:	Schéma zapojení bloku USB převodníku	39
Obr. 3.4:	Schéma zapojení bloku symetrického A/D převodníku.....	41
Obr. 3.5:	Schéma zapojení bloku nesymetrického A/D převodníku.....	42
Obr. 3.6:	Vnitřní zapojení vstupní analogové části obvodu PCM1802	43
Obr. 3.7:	Schéma zapojení bloku S/PDIF převodníku	44
Obr. 3.8:	Schéma zapojení bloku vstupní jednotky	46
Obr. 3.9:	Schéma zapojení části LED indikace.....	50
Obr. 3.10:	Schéma zapojení bloku uživatelského rozhraní.....	51
Obr. 3.11:	Schéma zapojení bloku MCU	54

Obr. 3.12:	Simulace spínacího tranzistoru pro podsvícení LCD displeje: a) tranzistor sepnut, b) tranzistor rozeprt.....	55
Obr. 3.13:	Schéma zapojení bloku napájecí jednotky	59
Obr. 4.1:	Rozmístění jednotlivých bloků zesilovače uvnitř přístrojové skřínky.....	62
Obr. 4.2:	Motiv fólie čelního panelu zesilovače	63
Obr. 4.3:	Způsob složení čelního panelu zesilovače	63
Obr. 4.4:	Motiv fólie zadního panelu zesilovače	63
Obr. 5.1:	Vývojový diagram hlavních částí řídicího firmware	64
Obr. 5.2:	Struktura menu.....	65
Obr. 5.3:	Vývojový diagram funkce obsluhy naposledy stisknutého tlačítka.....	66
Obr. 5.4:	Fotografie zesilovače v režimu Stand-By	68
Obr. 5.5:	Fotografie displeje s jednotlivými položkami menu.....	70
Obr. 5.6:	Fotografie části zesilovače s podsvícenými texty: a) režim Stand-By, b) zpracování signálu z nesymetrického analogového vstupu.....	70
Obr. 6.1:	Závislost výstupního napětí a činitele zvlnění na výstupním proudu pro napájení výkonové části obvodu STA326	71
Obr. 6.2:	Závislost účinnosti stabilizátoru LT1076 a kaskádního zapojení stabilizátorů LT1076 a LF33CDT na výstupním proudu	72
Obr. 6.3:	Závislost účinnosti stabilizátoru LT3470 a kaskádního zapojení stabilizátorů LT3470 a LE33CD na výstupním proudu.....	72
Obr. 6.4:	Závislost účinnosti digitálního výkonového zesilovače na výstupním výkonu při buzení harmonickým signálem o frekvenci $f = 1$ kHz.....	73
Obr. 6.5:	Přenosová charakteristika zesilovače pro výstupní výkon $P_{OUT} = 1$ W a $P_{OUT} = 20$ W	74
Obr. 6.6:	Závislost separace kanálů zesilovače na frekvenci budícího signálu při výstupním výkonu $P_{OUT} = 20$ W	74
Obr. 6.7:	Převodní charakteristika zesilovače při nastaveném zisku zesilovače $A = 30$ dB	75
Obr. 6.8:	Převodní charakteristika zesilovače při nastaveném zisku zesilovače $A = 7$ dB	75
Obr. 6.9:	Odchylka výstupního napětí od ideálního lineárního průběhu v závislosti na úrovni vstupního signálu při nastaveném zisku zesilovače $A = 7$ dB	76
Obr. 6.10:	Závislost harmonického zkreslení $THD+N$ na výstupním napětí zesilovače při buzení signálem o frekvenci $f = 1$ kHz	76
Obr. 6.11:	Závislost harmonického zkreslení $THD+N$ na úrovni vstupního signálu při nastaveném zisku zesilovače $A = 7$ dB.....	77
Obr. 6.12:	Závislost harmonického zkreslení $THD+N$ na frekvenci budícího signálu při výstupním výkonu $P_{OUT} = 1$ W	77

Obr. 6.13: Závislost harmonického zkreslení $THD+N$ na frekvenci budícího signálu při výstupním výkonu $P_{OUT} = 20\text{ W}$	78
Obr. 6.14: Nelineární přenosová funkce symetrická kolem nuly způsobující vznik lichých harmonických složek	78
Obr. 6.15: Spektrum harmonického signálu o frekvenci $f = 5\text{ kHz}$ s 3. harmonickou složkou o úrovni $L = -40\text{ dB}$ získané simulací	79
Obr. 6.16: Detail časového průběhu harmonického signálu o frekvenci $f = 5\text{ kHz}$ s 3. harmonickou složkou o úrovni $L = -40\text{ dB}$ získané simulací	79
Obr. 6.17: Závislosti harmonického zkreslení $THD+N$ na úrovni vstupního signálu při experimentálním použití stávajících cívek a běžných cívek TALEMA ve výstupním filtru	80
Obr. 6.18: Spektra výstupního signálu: a) nevybuzený kanál, b) buzení signálem o frekvenci $f = 5\text{ kHz}$ (vznik 3. harmonické), c) přebuzení A/D převodníku, d) přebuzení digitálního výkonového zesilovače.....	81
Obr. 6.19: Napěťové frekvenční charakteristiky jednotlivých přednastavených křivek ekvalizéru – část 1	81
Obr. 6.20: Napěťové frekvenční charakteristiky jednotlivých přednastavených křivek ekvalizéru – část 2	82
Obr. 6.21: Napěťové frekvenční charakteristiky jednotlivých stupňů potlačení/zdůraznění nízkých kmitočtů	82
Obr. 6.22: Napěťové frekvenční charakteristiky jednotlivých stupňů potlačení/zdůraznění vysokých kmitočtů.....	82
Obr. 6.23: Termogram zesilovače: a) kompletní zesilovač, b) detail relé, c) detail stabilizátoru LT1076. d) detail obvodu STA326	85

SEZNAM TABULEK

Tab. 1.1:	Vztahy mezi frekvencemi jednotlivých signálů standardu I2S pro vzorkovací frekvenci $f_{VZ} = 96$ kHz	21
Tab. 1.2:	Hardwarové specifikace standardů AES3, AES3id a S/PDIF	21
Tab. 3.1:	Základní vlastnosti a parametry obvodu STA326	32
Tab. 3.2:	Vypočtené parametry cívky	38
Tab. 3.3:	Základní parametry obvodů PCM2706 a PCM2707	38
Tab. 3.4:	Základní parametry obvodu PCM1804	40
Tab. 3.5:	Základní parametry obvodu PCM1802	42
Tab. 3.6:	Základní parametry obvodu TS3A4751	47
Tab. 3.7:	Základní parametry obvodu ADG1611	47
Tab. 3.8:	Přehled příkazů vstupní jednotky.....	50
Tab. 3.9:	Přehled funkcí jednotlivých tlačítek	52
Tab. 3.10:	Přehled provozních režimů obvodu MPR084	52
Tab. 3.11:	Základní parametry stabilizátorů použitých v aktivní části napájecí jednotky	57
Tab. 3.12:	Základní parametry stabilizátorů použitých v pohotovostní části napájecí jednotky	58
Tab. 5.1:	Využití paměťového prostoru použitého mikrokontroléru ATmega32	67
Tab. 6.1:	Přehled ostatních parametrů zesilovače při buzení nesymetrickým A/D převodníkem	83
Tab. 6.2:	Srovnání základních parametrů zesilovače při buzení různými audio formáty	84

ÚVOD

Nízkofrekvenční výkonový zesilovač je zařízení, jehož úkolem je výkonové zesílení vstupního audio signálu na požadovanou výstupní úroveň s nízkým harmonickým zkreslením. Z důvodu stále se zvyšujících nároků na kvalitní reprodukci zvuku, snižování spotřeby či implementaci různých audio efektů, jsou nízkofrekvenční zesilovače stále diskutovanou oblastí nízkofrekvenční a audio elektroniky.

S rozvíjejícími se metodami číslicového zpracování signálů dochází k nahrazování lineárních a nelineárních analogových audio zesilovačů, zesilovači digitálními. Tyto digitální zesilovače se vyznačují především širokou škálou audio efektů, vysokou účinností a díky mikroprocesorovému řízení a propracovanému uživatelskému rozhraní také vysokým uživatelským komfortem.

Digitálními audio zesilovači bývají často nesprávně označovány spínané analogové zesilovače. Tyto spínané zesilovače pracují s analogovým signálem, který je řadou obvodů patřičně upravován, modulován a zesílen pro dosažení výstupních výkonových signálů PWM (Pulse Width Modulation). Digitální zesilovače ovšem neppracují se signálem analogovým, nýbrž výhradně se signálem digitálním, který je zpracováván propracovanými algoritmy pro dosažení požadovaných výstupních signálů PWM. Další zpracování tohoto signálu je již u obou typů zesilovačů totožné.

Mezi jeden z hlavních požadavků na audio zesilovač patří především jeho univerzalita, díky které lze k zesilovači připojit jakýkoliv formát vstupního audio signálu. V současné době jsou nejpoužívanějšími formáty nesymetrický a symetrický analogový signál a digitální signál standardu S/PDIF s optickým či koaxiálním přenosovým médiem. Dále je hojně rozšířena možnost připojení audio zařízení k PC přes rozhraní USB.

Cílem této práce je tedy návrh takového digitálního zesilovače, který bude vybaven všemi výše zmíněnými audio vstupy. Při návrhu je kladen důraz na vysokou účinnost zesilovače, nízký klidový příkon, široké možnosti audio efektů a v neposlední řadě také na vysoký uživatelský komfort.

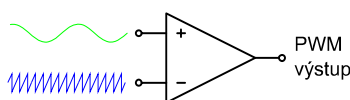
1 POPIS ZÁKLADNÍCH MODULACÍ A STANDARDŮ POUŽÍVANÝCH V NÍZKOFREKVENČNÍ A AUDIO ELEKTRONICE

Následující podkapitoly se zabývají popisem jednotlivých modulací a standardů používaných v nízkofrekvenční a audio elektronice. Znalost těchto pojmů je nezbytná k proniknutí do problematiky digitálního zpracování a přenosu audio signálu.

1.1 Základní typy modulací

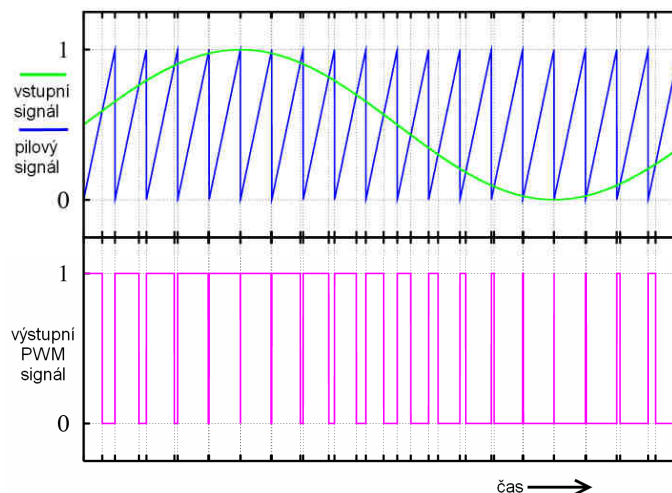
1.1.1 Pulsně šířková modulace (PWM)

Modulace PWM (Pulse Width Modulation) neboli pulsně šířková modulace je modulace určená pro přenos analogového signálu pomocí signálu dvoustavového. Analogový signál je kódován pomocí střídy signálu PWM. Základní principiální schéma modulátoru PWM je uvedeno na obr.1.1.



Obr. 1.1: Princip činnosti modulátoru PWM

Základem tohoto modulátoru je komparátor na jehož invertující vstup je přiveden signál pilového (případně i trojúhelníkového) průběhu, jehož frekvence je alespoň desetinásobkem maximální frekvence signálu modulačního. Tento modulační signál je pak přiveden na neinvertující vstup komparátoru. Komparátor porovnává okamžitou hodnotu modulačního signálu s hodnotou pilového signálu a překlápí tak svůj výstup buď do nízké či vysoké napěťové úrovně. Výstup tohoto komparátoru je v nízké úrovni, překročí-li okamžitá hodnota napětí pilového signálu hodnotu napětí analogového modulačního signálu. Výstup komparátoru je ve vysoké úrovni v případě, že bude úroveň napětí pilového signálu nižší, než je úroveň napětí signálu modulačního. Na výstupu komparátoru pak vzniká obdélníkový signál s proměnnou střídou, která je závislá na modulačním signálu. Časové průběhy jednotlivých signálů v modulátoru PWM jsou uvedeny na obr. 1.2.



Obr. 1.2: Časové průběhy signálů v modulátoru PWM (převzato z [1] a upraveno)

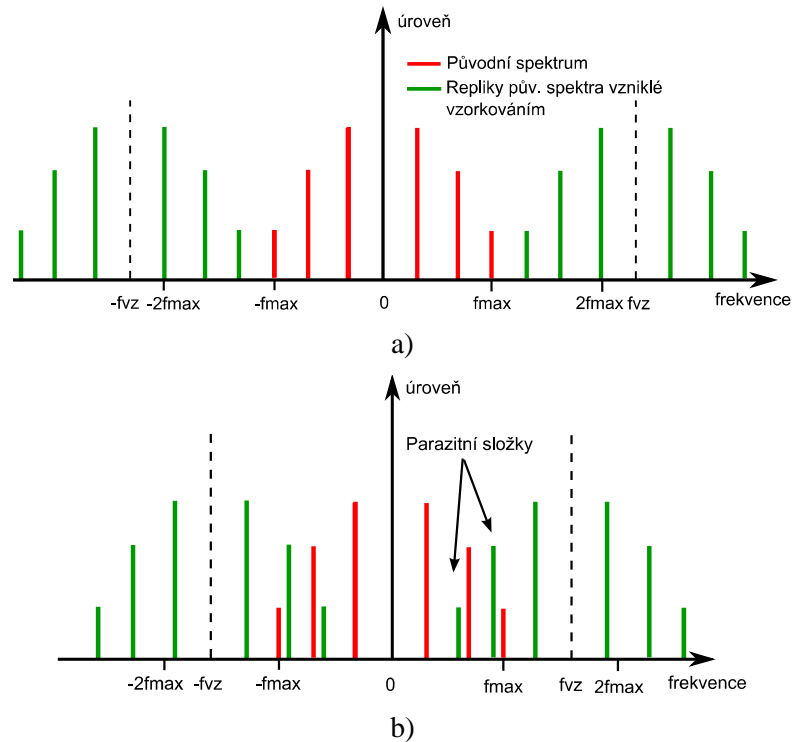
Z výše uvedeného obrázku je patrné, že při nulové hodnotě modulačního signálu je na výstupu modulátoru PWM signál se střídou 1:1.

Zdokonalováním technik této základní modulace PWM vznikly další vylepšené modulace dosahující nižší elektromagnetické interference. Jedná se např. o tzv. vylepšenou třístavovou PWM modulaci, modulaci s rozprostřeným spektrem či sigma-delta modulaci [2].

1.1.2 Pulsně kódová modulace (PCM)

Pulsně kódová modulace PCM (Pulse Code Modulation) patří mezi nejjednodušší modulace převádějící analogový signál na signál digitální. Převod tohoto signálu je realizován ve třech krocích – vzorkování, kvantování a kódování.

Vzorkování signálu spočívá v pravidelném odečítání hodnoty spojitého signálu. Jeho vzorkováním vzniká pak signál diskrétní (nespojité) v čase. Ve spektru se toto vzorkování projeví periodizací spektra spojitého signálu (vytvořením replik spekter na násobcích vzorkovací frekvence). Parametrem vzorkování je vzorkovací frekvence f_{VZ} . Tato frekvence udává kolik vzorků signálu bude odečteno za jednu sekundu. Pro vzorkovací frekvenci musí být dodržen vzorkovací teorém, který říká, že vzorkovací frekvence musí být alespoň dvojnásobkem maximální frekvence f_{max} vzorkovaného spojitého signálu. Při nedodržení tohoto teorému může dojít k prolínání periodických spekter a vzniku parazitních spektrálních složek, které v původním spektru nebyly obsaženy. Tento jev je nazýván tzv. aliasingem. Vliv nedodržení vzorkovacího teorému na spektrum signálu je naznačen na obr. 1.3.



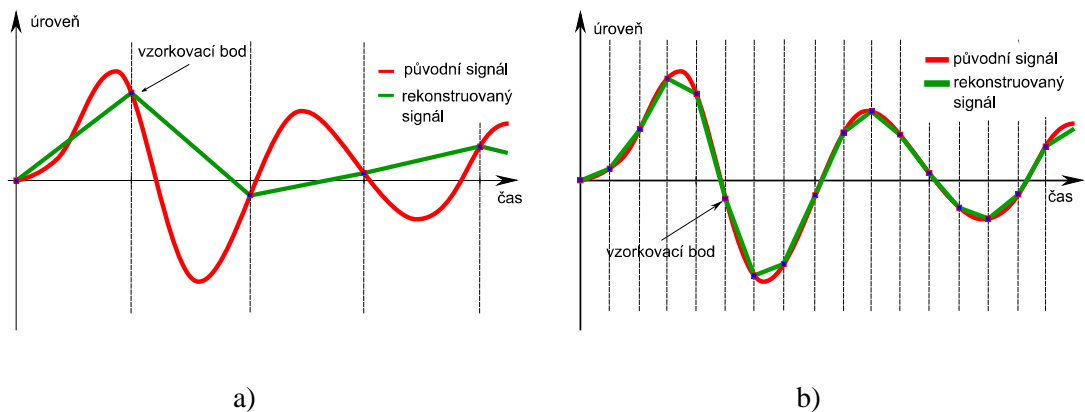
Obr. 1.3: Znárodnění vlivu vzorkovací frekvence na spektrum signálu: a) dodržení vzorkovacího teorému, b) nedodržení vzorkovacího teorému – prolínání spekter

Z výše uvedeného obrázku (obr. 1.3) lze vidět, že při dodržení vzorkovacího teorému vznikají ve spektru další repliky původního spektra signálu, které se vzájemně nijak nepřekrývají. Naopak při nedodržení vzorkovacího teorému dochází k překrytí jednotlivých spekter a k narušení původního spektra signálu – dochází k aliasingu.

Aliasingu lze předejít použitím tzv. anti-aliasingového filtru, který odfiltruje složky s frekvencí vyšší, než je polovina vzorkovací frekvence.

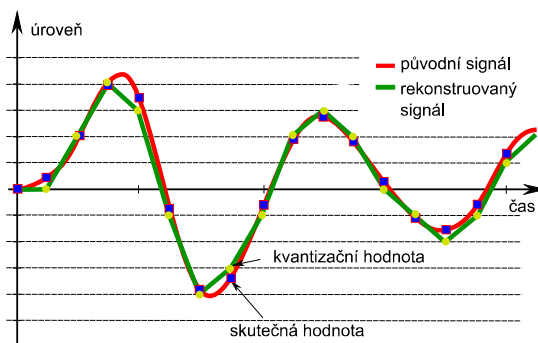
Budeme-li předpokládat, že maximální frekvence audio signálu je $f = 20$ kHz, pak musí být vzorkovací frekvence pro tento signál alespoň $f_{VZ} = 40$ kHz. U běžných audio CD nosičů je použita vzorkovací frekvence $f_{VZ} = 44,1$ kHz. U náročnějších zařízení může být použita frekvence vyšší (48 kHz, 96 kHz, 192 kHz, ...).

Vliv vzorkovací frekvence na rekonstruovaný signál je uveden na obr. 1.4. Při nízké vzorkovací frekvenci zaznamenané hodnoty nestačí k věrné rekonstrukci signálu a dochází ke ztrátě kvality signálu.



Obr. 1.4: Vliv vzorkovací frekvence na rekonstruovaný signál: a) nedostatečná vzorkovací frekvence b) dostatečná vzorkovací frekvence (převzato z [3] a upraveno)

Dalším krokem po vzorkování signálu je kvantování. Po vzorkování signálu vznikají tzv. pulsně amplitudově modulované (PAM) vzorky. Tyto vzorky jsou sice v čase diskrétní (nespojité), avšak v amplitudě mohou nabývat nekonečně mnoha hodnot. Aby bylo možné tyto jednotlivé vzorky signálu vyjádřit konečným počtem bitů, je nutné stanovit určitý konečný počet tzv. kvantizačních hladin, kterých mohou jednotlivé vzorky nabývat. Kvantováním dojde tedy k zaokrouhlení jednotlivých vzorků signálu na nejbližší kvantizační hladinu. Při tomto procesu vzniká vlivem zaokrouhlovacích chyb tzv. kvantizační šum, který je nepřímo úměrný počtu kvantizačních hladin. Vliv kvantování na jednotlivé vzorky a rekonstruovaný signál je uveden na obr 1.5.



Obr. 1.5: Vliv kvantování na jednotlivé vzorky a rekonstruovaný signál (převzato z [3] a upraveno)

Poslední operací, která je úzce spjata s kvantováním je kódování. Po vzorkování a kvantování je signál pulsně amplitudově modulován na určitou kvantizační hladinu. Úkolem kódování je vyjádřit jednotlivé vzorky signálu pomocí binárního BCD kódu. Jeden vzorek signálu je pak vyjádřen vektorem 0 a 1. Délka tohoto vektoru závisí na počtu kvantizačních hladin. Pro závislost mezi počtem kvantizačních hladin a počtem bitů (neboli tzv. rozlišením) platí vztah 1.1.

$$b = \frac{\log N}{\log 2}, \quad (1.1)$$

kde b je počet bitů nutných k vyjádření N kvantizačních hladin.

Audio CD nosiče používají rozlišení $b = 16$ b, tj. 65536 kvantizačních hladin. Výsledkem modulace PCM je pak datový signál, jehož bitová rychlost je bez dalších redundantních bitů dána vztahem 1.2.

$$R_b = f_{vz} \cdot b, \quad (1.2)$$

kde R_b je bitová rychlost [b/s], f_{vz} vzorkovací frekvence [Hz] a b je rozlišení jednoho vzorku [b].

Takto získaný datový signál je dále doplněn větším či menším množstvím redundantních bitů nutných pro přenos a zpracování těchto dat v dalším zařízení.

1.1.3 Modulace DSD (Direct Stream Digital)

Modulace DSD je komerční název jednobitové sigma-delta modulace používané pro záznam na SACD (Super Audio Compact Disc) nosiče. Tato modulace využívá technik tvarování šumu (v zahraniční literatuře označováno jako „Noise Shapping“) a vysoké vzorkovací frekvence $f_{vz} = 2,8224$ MHz. Tato frekvence je 64násobek běžně používané vzorkovací frekvence ($f_{vz} = 44,1$ kHz) pro záznam na audio CD nosiče [4,5].

Výstupem modulátoru DSD je posloupnost 0 a 1, které představují přímé jednobitové kvantování audio signálu s vzorkovací frekvencí $f_{vz} = 2,8224$ MHz.

Modulace DSD umožňuje zaznamenat na SACD nosič audio signál s šířkou pásma $B > 100$ kHz, dynamickým rozsahem $DR > 120$ dB a výbornými parametry odstupu signálu od šumu. Zaznamenaný zvuk může být až šestikanálový. Takto zaznamenaný audio signál je odborníky subjektivně hodnocen jako na poslech uvolněnější a hudebnější s více detaily [6].

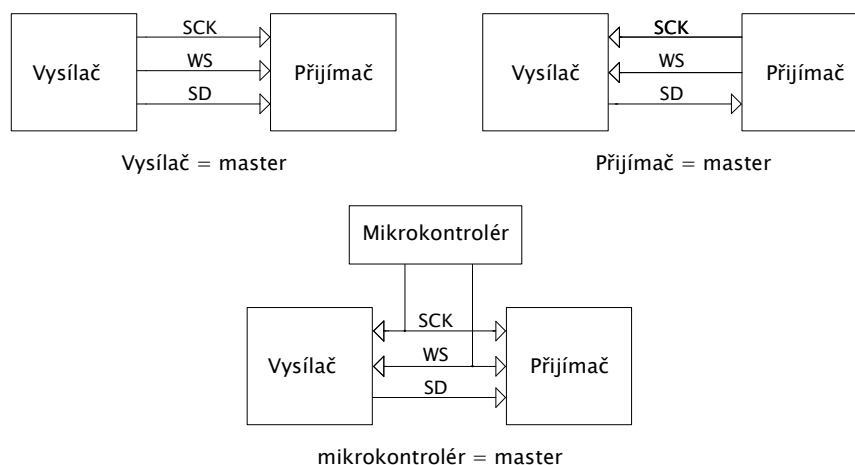
1.2 Nejpoužívanější audio rozhraní

Jednotlivá audio rozhraní slouží k přenosu audio informací mezi různými komponenty. Tento přenos může být realizován jak na úrovni externí (např. propojení CD přehrávače s audio zesilovačem), tak i na úrovni interní (např. propojení D/A převodníku s výstupním zesilovačem uvnitř CD přehrávače).

Audio rozhraní lze rozdělit na dvě základní skupiny – digitální a analogové. Mezi nejpoužívanější digitální rozhraní patří rozhraní tvořené standardy I2S, S/PDIF a PWM. Mezi analogová rozhraní pak patří nesymetrické a symetrické analogové rozhraní různých úrovní.

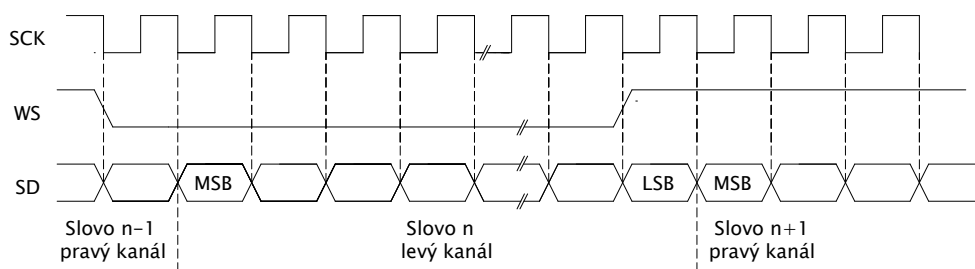
1.2.1 I2S rozhraní

Název tohoto rozhraní pochází z anglického výrazu „Inter-IC Sound“. Jedná se o třívodičovou sériovou sběrnici určenou pro přenos digitálních audio dat ve formátu PCM. Jednotlivé signály sběrnice jsou označovány jako SD, WS a SCK. Signál SD (Serial Data) přenáší data dvou časově multiplexovaných kanálů, WS (Word Select) je signál, který definuje, zda jsou na vodiči SD vysílána data pravého či data levého kanálu. Signál SCK (Continuous Serial Clock) je hodinový signál s kterým jsou taktovány všechny ostatní signály. Celý systém bývá ještě navíc doplněn dalším taktovacím signálem MSCK (Master Continuous Serial Clock), který slouží pro taktování digitálních obvodů, které zpracovávají data standardu I2S. Všechny hodinové signály musí být navzájem synchronní v určitém poměru. Zařízení připojené na tuto sběrnici může pracovat buď ve funkci vysílače (Transmitteru), nebo ve funkci přijímače (Receiveru). Zařízení může pracovat dále jako zařízení řídicí (Master) či řízené (Slave). Zařízení Master generuje jednotlivé hodinové signály, kterými je taktován celý přenos dat. Jako Master může pracovat buď přijímač, vysílač, nebo řídicí mikrokontrolér. Jednotlivé situace jsou znázorněny na obr. 1.6 [7].



Obr. 1.6: Možné způsoby definování obvodu Master (převzato z [7] a upraveno)

Jak již bylo zmíněno, signál SD přenáší časově multiplexovaná data, přičemž v každém multiplexu je vysílán bit MSB jako první. Důvodem vysílání tohoto bitu jako prvního je fakt, že přijímač a vysílač mohou pracovat s různými délkami slov. Pokud vysílač vyšle slovo, jehož délka je větší než délka zpracovávaného slova přijímače, dojde ke zkrácení přijatého slova – nastavení posledních přijatých bitů přesahujících délku slova na nulu. V případě vysílání MSB bitu jako prvního jsou nulovány nejméně významné bity a ztráta informace je minimální. V opačném případě, kdy je vysíláno kratší slovo, než s kterou pracuje přijímač, dojde k doplnění slova nulami od nejméně významných bitů. Vysílač posílá MSB bit dalšího slova vždy jednu periodu hodinového signálu po změně stavu signálu WS (viz obr. 1.7). Vysílaná sériová data mohou být synchronizována buď na náběžnou nebo sestupnou hranu signálu SCK. Při synchronizaci na náběžnou hranu však vznikají určitá omezení při přenosu, proto je nejčastější synchronizace na hranu sestupnou. Čtení úrovně jednotlivých signálů v přijímači pak probíhá v okamžiku náběžné hrany signálu SCK.



Obr. 1.7: Časové průběhy jednotlivých signálů standardu I2S (převzato z [7] a upraveno)

Signál WS určuje, zda je právě vysíláno slovo prvního (levého) či druhého (pravého) kanálu. Jestliže je signál WS v nízké úrovni, jsou vysílána data prvního kanálu, jestliže je v úrovni vysoké, vysílané slovo je druhého kanálu.

Frekvence jednotlivých signálů a vztahy mezi nimi jsou pro vzorkovací frekvenci $f_{VZ} = 96 \text{ kHz}$ uvedeny v tab. 1.1.

Tab. 1.1: Vztahy mezi frekvencemi jednotlivých signálů standardu I2S pro vzorkovací frekvenci $f_{VZ} = 96 \text{ kHz}$

Signál	Frekvence	Poznámka
WS	96 kHz	
SD	3,072 MHz	$32 \cdot f_{VZ}$
SCK	6,144 MHz	$64 \cdot f_{VZ}$
MSCK	-	Pozn. 1

Pozn. 1 – Frekvence hlavního taktovacího signálu MSCK je několikanásobkem vzorkovací frekvence (768, 512, 384, 256, 128 či 64násobek f_{VZ}).

1.2.2 S/PDIF rozhraní

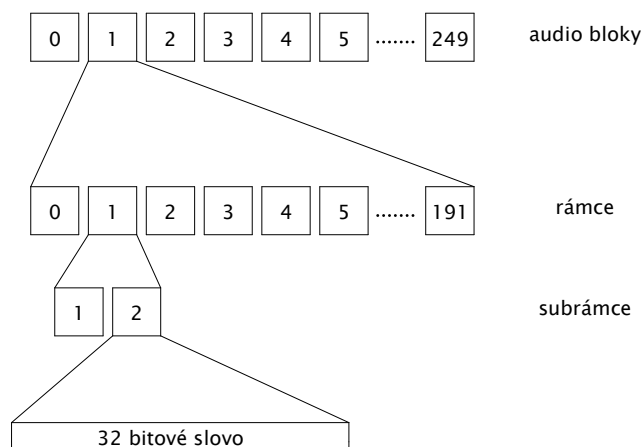
S/PDIF neboli S/P-DIF je zkratkou Sony/Philips Digital InterFace. Jedná se o standard určený pro přenos digitálního audio signálu. Standard S/PDIF je spotřebitelskou verzí standardu AES3 neboli AES/EBU [8].

Hardwarové specifikace tří základních standardů jsou uvedeny v tab. 1.2.

Tab. 1.2: Hardwarové specifikace standardů AES3, AES3id a S/PDIF [8]

Standard	AES3	AES3id	S/PDIF
Rozhraní	Symetrické	Nesymentrické	Nesymentrické
Přenos. médium	STP kabel	Koax. kabel	Koax. / Opt. kabel
Konektor	XLR	BNC	RCA / Toslink
Impedance vedení	110 Ω	75 Ω	75 Ω
Výst. nap. úroveň	$(2 \div 7) V_{SS}$	1 V_{SS}	0,5 V_{SS}
Max. délka	100 m	1000 m	10 m
Max. proud	64 mA	1,6 mA	8 mA

Rozdíly v jednotlivých standardech jsou pouze hardwarové, komunikační protokol však zůstává zachován u všech standardů téměř shodný (viz obr. 1.8).



Obr. 1.8: Struktura protokolu AES3 pro vzorkovací frekvenci $f_{VZ} = 48$ kHz

Audio PCM data těchto standardů jsou kódována pomocí bi-fázové modulace. Celý datový tok je rozdělen do tzv. audio bloků (obr. 1.8 – první vrstva). Při přenosu audio signálu o vzorkovací frekvenci $f_{VZ} = 48$ kHz je přenášeno celkem 250 audio bloků za sekundu. Každý audio blok se skládá ze 192 rámců (obr. 1.8 – druhá vrstva) a v každém rámci jsou přenášeny dva subrámce (obr. 1.8 – třetí vrstva). Každý subrámec je tvořen 32bitovým slovem, jehož struktura je uvedena na obr. 1.9 [9, 10, 11].

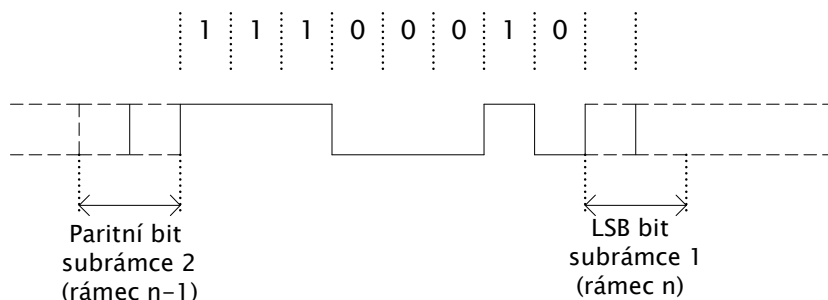


Obr. 1.9: Struktura subrámců standardu AES3 (převzato z [9] a upraveno)

Bitsy 0 až 3 tvoří tzv. hlavičku. Kódování této hlavičky tvoří výjimku z bi-fázové modulace (je použita modulace ON/OFF), což umožňuje přijímači identifikovat začátek subrámců prvního kanálu, subrámců druhého kanálu či začátek nového audio bloku. Existují tedy tři typy hlaviček označované jako „X“, „Y“ a „Z“ [9].

Pokud byl poslední bit předchozího subrámců 0, je hlavička „X“ definována posloupností 11100010. V opačném případě je definována inverzní posloupností 00011101. Tato hlavička identifikuje subrámec prvního kanálu. Hlavička „Y“ je definována posloupností 11100100 pokud byl předchozí bit 0, nebo inverzní posloupností 00011011 v případě předchozího bitu 1. Tato hlavička identifikuje subrámec druhého kanálu. Posledním typem hlavičky je hlavička „Z“. Tato hlavička identifikuje subrámec prvního kanálu a začátek nového audio bloku. Pokud byl poslední bit předchozího subrámců 0, je tato hlavička definována posloupností 11101000. V opačném případě je definována inverzní posloupností 00010111 [9].

Objasnění kódování hlavičky je znázorněno na obr. 1.10, který ukazuje zakódování hlavičky „X“. Bitová perioda kódované hlavičky pomocí ON/OFF modulace odpovídá polovině bitové periody bi-fázové modulace.



Obr. 1.10: Časový průběh kódované hlavičky „X“ (převzato z [9] a upraveno)

Pro objasnění významu jednotlivých hlaviček je na obr. 1.11 zobrazena posloupnost jednotlivých subrámečů.

X	Kanál 1	Y	Kanál 2	X	Kanál 1	Y	Kanál 2	Z	Kanál 1	Y	Kanál 2
Subrámeček 1		Subrámeček 2		Subrámeček 1		Subrámeček 2		Subrámeček 1		Subrámeček 2	
Rámeček 190				Rámeček 191				Rámeček 0			
Audio blok n-1								Audio blok n			

Obr. 1.11: Sekvence subrámečů s vyznačením jednotlivých typů hlaviček (převzato z [9] a upraveno)

Další bity za hlavičkou jsou určeny pro přenos samotných PCM audio dat, přičemž bit LSB je přenášen jako první. V případě 24bitových vzorků se jedná o bity 4 až 27. Pokud se jedná o kratší vzorky, mohou být bity 4 až 7 využity pro přenos informací výrobce [9].

Za audio daty následuje tzv. validační bit potvrzující správnost dat. Pokud byla data přijata ve správném formátu, je tento bit nastaven na 0. V případě chybného příjmu je tento bit nastaven na 1 a informuje přijímač o chybném přenosu dat. Přijímač pak na tuto zprávu ve většině případů reaguje zatlumením výstupů.

Dalším bitem v subrámeči je uživatelsky definovaný bit. Tento bit může sloužit pro přenos jakýchkoliv dat, jako např. název písně, číslo stopy, apod. Jednotlivé bity se ukládají do paměti a po odeslání celého audio bloku tvoří celkem 192bitové slovo pro každý kanál.

Předposledním bitem je stavový bit. Obdobně jako tomu je u uživatelsky definovaného bitu, tak i stavové bity se ukládají do paměti a na konci audio bloku tvoří 192bitový blok. Struktura jednotlivých stavových bloků se již liší v závislosti na použitém standardu AES3, AESid či S/PDIF. V tomto bloku jsou obsaženy informace o vzorkovací frekvenci, délce jednotlivých vzorků, počtu kanálů a další doplňující informace.

Posledním bitem je paritní bit zajišťující sudou paritu subrámece.

1.2.3 PWM rozhraní

PWM rozhraní, stejně jako I2S, je využíváno k propojování jednotlivých obvodů zpracování signálu převážně v rámci jednoho zařízení. Toto rozhraní je tvořeno jedním či více vodiči s modulovanými signály PWM. Princip generování těchto signálů je uveden v kapitole 1.1.1.

1.2.4 Nesymetrické analogové rozhraní

Toto audio rozhraní je jedním z nejpoužívanějších analogových rozhraní u spotřební a poloprofesionální techniky. Propojení jednotlivých zařízení je realizováno stíněným kabelem. Nečastěji se lze setkat se stíněným párem pro propojení stereo systémů. Vnitřní vodič kabelu přenáší analogový audio signál. Stínění kabelu má nulový potenciál a slouží jako ochrana proti pronikání rušení do signálového vodiče. Konektory pro toto rozhraní se používají nejčastěji typu RCA nebo JACK. Nevýhoda těchto kabelů se projevuje především při provozu v prostoru se zvýšenou úrovní rušení, které proniká k signálovému vodiči přes stínění. V takovém případě dochází k aditivnímu smíšení užitečného a rušivého signálu. Kvalita dále zpracovávaného signálu je tak degradována o aditivní složku tohoto rušivého signálu. Způsobem jak předejít tomuto rušení je provedení velmi kvalitního stínění [12].

1.2.5 Symetrické analogové rozhraní

Toto audio rozhraní je hojně používáno v poloprofesionální a profesionální technice. Na rozdíl od nesymetrického vedení je propojení realizováno třívodičovým kabelem, který se skládá ze dvou signálových vodičů a stínění. Jeden signálový vodič je označován jako „Hot“ (+) a druhý jako „Cold“ (-). Stínění kabelu je pak na úrovni nulového potenciálu. Oba živé vodiče přenášejí stejný signál, ovšem v jednom z nich s otočenou fází o 180° . Výhoda těchto kabelů se projevuje při působení rušení na kabel. Při proniknutí rušení do kabelu dojde k přičtení rušivého signálu k oběma užitečným signálům na vodiči Hot i Cold. Je nutné poznamenat že rušivý signál má na obou vodičích stejnou fázi. Tento celkový signál je na vstupu následujícího zařízení přiveden na symetrikační vstup, který je nejčastěji tvořen operačními zesilovači. Na tomto vstupu dojde k otočení fáze jednoho ze signálů o 180° a následnému sečtení obou signálů. Výsledkem je odečtení rušivého signálu s rozdílnou fází a zdvojnásobení užitečného signálu se shodnou fází. K dispozici je tedy již nesymetrický signál, který je v ideálním případě bez jakéhokoliv aditivního rušení [12].

2 BLOKOVÉ SCHÉMA DIGITÁLNÍHO AUDIO ZESILOVAČE S UNIVERZÁLNÍMI VSTUPY

Blokové schéma navrhovaného digitálního audio zesilovače s univerzálními vstupy je uvedeno na obr. 2.1. Prvními bloky v signálovém řetězci jsou jednotlivé převodníky vstupních audio formátů na digitální signály standardu I2S. Konkrétně se jedná o převodník z rozhraní USB, optický a koaxiální převodník standardu S/PDIF a nesymetrický a symetrický A/D převodník.

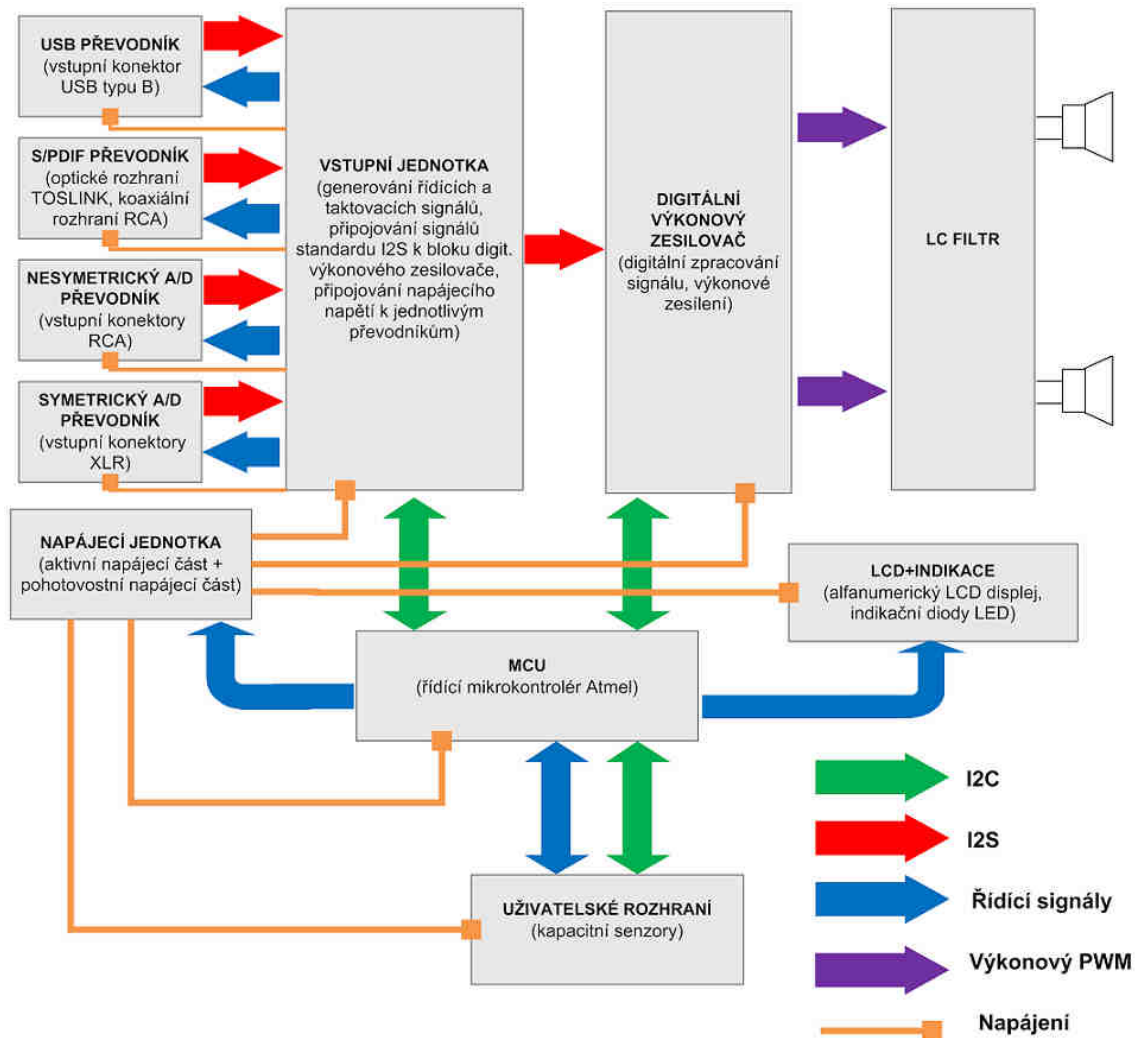
Tyto jednotlivé převodníky jsou připojeny k tzv. vstupní jednotce, která zajišťuje korektní spuštění a provoz vždy pouze jednoho z převodníků. Jedná se o připojení napájecího napětí, řízení činnosti jednotlivých převodníků a příjem generovaných signálů standardu I2S. Vstupní jednotka na základě požadavku bloku MCU aktivuje jeden z převodníků a přijímané digitální signály standardu I2S připojí k bloku digitálního výkonového zesilovače.

V tomto bloku pak probíhá veškeré zpracování dat. Výstupem bloku digitálního výkonového zesilovače je výkonový signál PWM, který je přiveden do LC filtru typu dolní propust. Výstupem tohoto filtru je již výkonově zesílený audio signál, kterým jsou buzeny reproduktory.

Všechny funkce zesilovače je možné řídit pomocí uživatelského rozhraní, které je tvořeno kapacitními senzory. Toto uživatelské rozhraní komunikuje s blokem MCU prostřednictvím řídicích signálů a sběrnice I2C. Na základě požadavku uživatele pak blok MCU dle potřeby konfiguruje další bloky zesilovače. Informace o aktuálním nastavení zesilovače jsou zobrazovány na LCD displeji a indikačních diodách LED.

Jednotlivé bloky zesilovače jsou napájeny pomocí napájecí jednotky, která připojuje napájecí napětí k jednotlivým blokům v závislosti na režimu zesilovače. Zesilovač se může nacházet v běžném režimu, kdy jsou napájeny všechny bloky zesilovače či v režimu Stand-By, kdy jsou napájeny pouze nejn nutnější bloky.

V následujících podkapitolách jsou popsány jednotlivé bloky zesilovače jak z hlediska požadované funkčnosti, tak z hlediska uvažované konstrukce a uspořádání zesilovače.



Obr. 2.1: Blokové schéma digitálního audio zesilovače s univerzálními vstupy

2.1 Digitální výkonový zesilovač s výstupním LC filtrem

Blok digitálního výkonového zesilovačem je jádrem celého zařízení. V tomto bloku dochází k dekódování signálů standardu I2S, digitální filtraci, vytváření veškerých audio efektů, výkonovému zesílení výstupního signálu PWM, atd. Mezi základní požadavky kladené na tento blok patří zejména:

- Vstupní digitální audio rozhraní kompatibilní se standardem I2S
- Možnost zpracování dat se vzorkovacím kmitočtem v rozsahu 44,1 kHz až 96 kHz
- Možnost zpracování dat s rozlišením alespoň 16 až 24 bitů
- Výstupní výkonový signál PWM, případně jeho modifikovaná verze
- Výstupní výkon dle zadání alespoň 2×20 W na zátěži 8Ω
- Komunikační sběrnice I2C

- Možnost nastavení ekvalizéru, případně volba z přednastavených křivek
- Individuální zdůraznění/potlačení nízkých a vysokých kmitočtů
- Ochrany před poškozením zesilovače – tepelná ochrana, nadproudová ochrana, apod.
- Ostatní – přijatelné hodnoty audio parametrů ($THD+N$, SNR , separace kanálů, apod.)

Blok digitálního výkonového zesilovače s výstupním LC filtrem a konektory pro připojení reproduktorů bude realizován na jediné DPS tak, aby byly omezeny délky přenosových tras analogových signálů, případně signálů PWM. Veškeré propojovací kabely uvnitř zesilovače budou realizovat propojení jednotlivých bloků na digitální úrovni.

2.2 Převodníky jednotlivých audio formátů

Jednotlivé vstupní převodníky slouží pro převod daného vstupního audio formátu na digitální formát podle standardu I2S. Společným rysem všech převodníků bude způsob jejich připojení ke vstupní jednotce. Všechny převodníky budou připojeny jediným konektorem, pomocí kterého budou přímo zasunuty do vstupní jednotky. V tomto konektoru bude obsaženo napájecí napětí, digitální výstupní signály standardu I2S a potřebné řídicí signály. Každý převodník bude obsahovat indikační diodu LED, která bude signalizovat přítomnost datového signálu standardu I2S na jeho výstupu. Mimo tuto LED mohou jednotlivé převodníky obsahovat další informační diody v závislosti na možnostech použitého obvodu.

Každý převodník bude tedy převádět pouze jediný vstupní formát. Výjimku ovšem bude tvořit převodník standardu S/PDIF, který bude převádět signál tohoto standardu jak z optického, tak z koaxiálního přenosového média. Tento převodník bude tedy obsahovat pouze jeden obvod pro převod standardu S/PDIF, avšak dvě rozhraní pro příjem tohoto standardu. Pro snížení spotřeby je nutné, aby bylo napájecí napětí připojeno pouze k rozhraní, které je aktivní. Převodník musí tedy obsahovat řídicí logiku, která bude připojovat optické či koaxiální rozhraní k napájecímu napětí a výstup těchto rozhraní ke vstupu převodníku standardu S/PDIF.

Pro převod symetrického a nesymetrického analogového signálu se kromě možnosti použití dvou nezávislých převodníků s nesymetrickými a symetrickými vstupy nabízejí další možnosti. První možností je použití jednoho A/D převodníku se symetrickými vstupy a jednoho obvodu převádějící nesymetrický signál na symetrický (tzv. symetrizační obvod). Druhou obdobnou možností je použití A/D převodníku s nesymetrickými vstupy a obvodu převádějícího symetrický signál na nesymetrický (tzv. desymetrizační obvod). Prozkoumáním těchto možností bylo zjištěno, že při použití (de)symetrizačního obvodu by výsledné zapojení obsahovalo více než dvojnásobné množství externích součástek a tomu odpovídající plochu na DPS. Další nevýhodou použití (de)symetrizačního obvodu je přičtení dalším šumových či rušivých složek k užitečnému analogovému signálu. Je tedy vhodné, aby byly použity dva nezávislé A/D převodníky pro symetrický a nesymetrický audio formát.

Mezi další požadavky na A/D převodníky patří velikost vstupní úrovně signálu pro dosažení plného rozsahu A/D převodníku (tzv. full-scale). Jak symetrický, tak nesymetrický A/D převodník by měl být schopen zpracovat analogový signál až do úrovně $L_A = 6$ dBu, aniž by došlo k překročení rozsahu A/D převodníku. Úroveň $L_A = 6$ dBu představuje signál, jehož efektivní hodnota napětí je přibližně $U_A = 1,55$ V.

Jednotlivé DPS s převodníky budou umístěny ve vertikální poloze. Tyto DPS budou mechanicky uchyceny díky zasunutému konektoru ve vstupní jednotce, která bude umístěna v poloze horizontální. Protilehlá strana každé DPS bude opatřena vhodným profilem, přes který bude přichycena k zadnímu panelu zesilovače.

2.3 Vstupní jednotka

Základním úkolem vstupní jednotky je minimalizace spotřeby neaktivních převodníků, připojování výstupních signálů jednotlivých převodníků k bloku digitálního výkonového zesilovače a v neposlední řadě generování taktovacích, případně jiných řídicích signálů nutných k činnosti jednotlivých převodníků.

Pro snížení spotřeby zesilovače je nutné, aby byly jednotlivé převodníky připojovány k napájecímu napětí v závislosti na uživatelsky zvoleném vstupu. Vstupní jednotka musí tedy na základě požadavku bloku MCU připojit k napájecímu napětí pouze jediný převodník a ostatní převodníky od napájecího napětí odpojit.

Stejně jako tomu je u připojování napájecího napětí, musí být i výstupní signály jednotlivých převodníků připojovány k bloku digitálního výkonového zesilovače na základě zvoleného vstupu. Vstupní jednotka musí být tedy schopna odpojit všechny výstupní signály jednotlivých neaktivních převodníků od bloku digitálního výkonového zesilovače a nechat připojeny pouze signály aktivního převodníku.

Blok vstupní jednotky bude realizován na jediné DPS, která bude obsahovat konektory pro připojení jednotlivých převodníků. Pro minimalizaci počtu propojovacích vodičů této jednotky s blokem MCU je vhodné, aby komunikace se vstupní jednotkou probíhala pouze prostřednictvím sběrnice I2C.

2.4 LCD displej a indikace

Blok LCD displeje a indikace bude tvořen dostatečně velkým alfanumerickým LCD displejem a diodami LED, které budou indikovat volbu audio vstupu a základní činnost zesilovače.

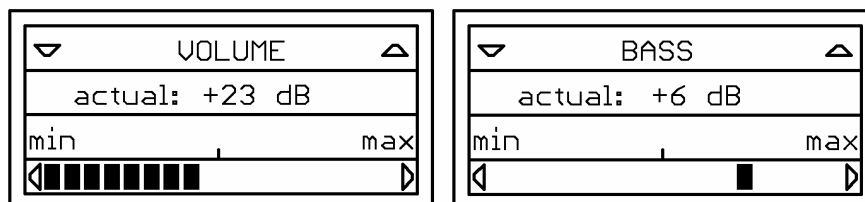
Na LCD displeji by měly být zobrazeny následující informace:

- Aktuální položka v menu – VOLUME, BASS, INPUT, EQUALIZER, apod.
- Hodnota aktuální položky v menu – nastavená hlasitost v decibelech, zvolená křivka ekvalizéru, úroveň zdůraznění nízkých a vysokých kmitočtů, apod.
- Řádkový graf zobrazující nastavení hlasitosti
- Ukazatel zobrazující nastavení nízkých/vysokých kmitočtů

Diody LED by měli indikovat následující stavy:

- 5 × LED pro indikaci zvoleného vstupu
- LED indikující zpracování digitálních audio dat
- LED indikující Stand-By režim zesilovače

Příklad zobrazení menu na LCD displeji pro položku VOLUME a BASS je uveden na obr. 2.2.



Obr. 2.2: Příklad zobrazení menu na LCD displeji pro položku VOLUME (vlevo) a BASS (vpravo)

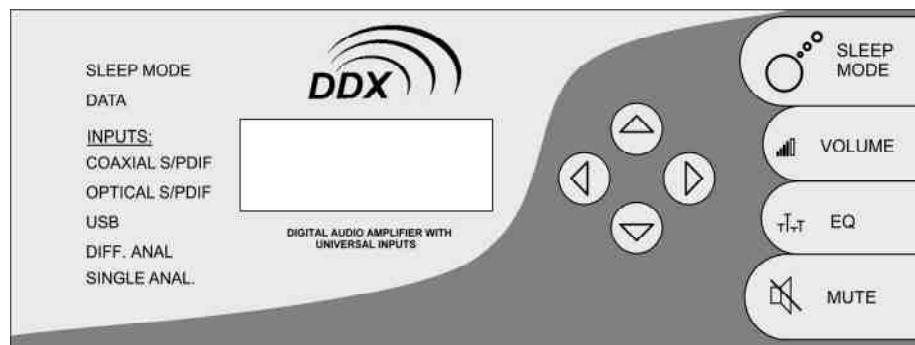
Tento blok se bude skládat tedy ze samotného LCD displeje připojeného přes potřebný počet vodičů k bloku MCU a dále DPS s indikačními diodami LED. Jednotlivé diody nebudou z MCU přímo napájeny, ale pouze řízeny. Pro napájení těchto LED budou použity spínací tranzistory, případně budič diod LED.

2.5 Uživatelské rozhraní

Prioritním požadavkem na blok uživatelského rozhraní je eliminace jakýchkoliv mechanických ovládacích prvků, jako jsou např. mechanické spínače, potenciometry, mechanické rotační kodéry, apod.

V současné době se většina těchto prvků nahrazuje dotykovými či bezdotykovými senzory, které pracují s různými technologiemi. Použití těchto senzorů má hned několik významných výhod. Jedná se především o eliminaci mechanického opotřebení a tím zvýšení životnosti zařízení, jednodušší implementaci senzorů do řídicího mikrokontroléru a v neposlední řadě také jednodušší mechanickou montáž ovládání. U těchto senzorů není nutné do krytu zařízení vrtat či frézovat otvory, jako je tomu u mechanických prvků. Jednotlivé senzory jsou umístěny pod pevným krytem zařízení a stisk jednotlivých tlačítek (resp. přiblížení se k danému senzoru) je detekován přes materiál tohoto krytu. Mezi nevýhody této technologie patří především vysoké nároky na přilnavost jednotlivých senzorů ke krytu zařízení a ovlivňování senzorů elektromagnetickým rušením.

Z hlediska ovládání je kladen důraz na jednoduchost. Celé zařízení bude obsahovat celkem 8 tlačítek. Jedna dvojice tlačítek bude sloužit pro pohyb v nabídce menu a další dvojice tlačítek pro změnu hodnoty aktuálně vybrané položky v menu. Zbývá čtyři tlačítka budou sloužit pro vypnutí zesilovače, umlčení kanálů a skokový přístup do menu nastavení hlasitosti a ekvalizéru. Příklad motivu čelního panelu zesilovače s jednotlivými tlačítky je uveden na obr. 2.3.



Obr. 2.3: Příklad motivu čelního panelu zesilovače

Pro komunikaci uživatelského rozhraní s blokem MCU by měla být použita sběrnice I2C a minimální počet přídatných řídicích signálů.

Blok uživatelského rozhraní bude realizován na jediné DPS, která bude osazena pouze ze strany BOTTOM. Na straně TOP bude vyleptán motiv jednotlivých tlačítek. Aby tato strana mohla přilnout k čelnímu panelu zesilovače, nebude obsahovat žádné pájené body či jiné nerovnosti.

2.6 MCU

Blok MCU bude tvořen 8bitovým mikrokontrolérem Atmel AVR řady ATmega. Tento blok bude realizován na jediné DPS, která bude vybavena konektory pro připojování jednotlivých řízených bloků zesilovače. Veškeré převodníky napěťových úrovní, včetně piezosíreny pro zvukovou signalizaci, budou realizovány na této DPS.

2.7 Napájecí jednotka

Napájecí jednotka slouží pro napájení jednotlivých bloků zesilovače. Jelikož se zesilovač může nacházet v aktivním a pohotovostním (Stand-by) režimu, bude napájecí jednotka rozdělena na dvě části – aktivní část a pohotovostní část. Pohotovostní část napájecí jednotky bude sloužit pouze pro napájení bloků, které musí být aktivní i v režimu Stand-by. Jedná se tedy o blok uživatelského rozhraní a blok MCU. Aktivní část napájecí jednotky bude pak napájet všechny ostatní bloky v aktivním režimu zesilovače.

Pohotovostní část se bude skládat z transformátoru o poměrně nízkém výkonu a dalších obvodů pro vytvoření potřebných napájecích napětí. Aktivní část se bude skládat z toroidního transformátoru a obvodů pro napájení jednotlivých bloků zesilovače. Primární vinutí toroidního transformátoru bude připojeno přes kontakt relé, které bude řízeno blokem MCU.

V případě uvedení zesilovače do režimu Stand-By, dojde k odpojení aktivní části (toroidního transformátoru) od sítě a v provozu zůstane pouze pohotovostní část napájecí jednotky, která napájí blok MCU a blok uživatelského rozhraní. Pro minimalizaci příkonu zesilovače budou tyto bloky softwarově uvedeny do režimu snížené spotřeby.

Blok napájecí jednotky bude realizován opět na jediné DPS, ke které bude externě připojen toroidní transformátor spolu s výkonovým usměrňovacím můstkem a velkokapacitními vyhlazovacími kondenzátory. Na DPS se pak budou nacházet všechny obvody pro vytvoření potřebných napájecích napětí jak aktivní, tak pohotovostní části napájecí jednotky.

3 NÁVRH JEDNOTLIVÝCH BLOKŮ DIGITÁLNÍHO AUDIO ZESILOVAČE S UNIVERZÁLNÍMI VSTUPY

3.1 Digitální výkonový zesilovač s výstupním LC filtrem

Průzkumem nabídky výrobců Analog Devices, Texas Instruments, Maxim, Freescale Semiconductors, STMicroelectronics a National Semiconductors byl pro realizaci bloku digitálního výkonového zesilovače vybrán obvod STA326 od výrobce STMicroelectronics [13]. Tento obvod disponuje širokými možnostmi digitálního zpracování signálu, různými provozními módy a v neposlední řadě dostatečným výstupním výkonem. Základní vlastnosti a parametry obvodu STA326 jsou uvedeny v tab. 3.1.

Tab. 3.1: Základní vlastnosti a parametry obvodu STA326 [13]

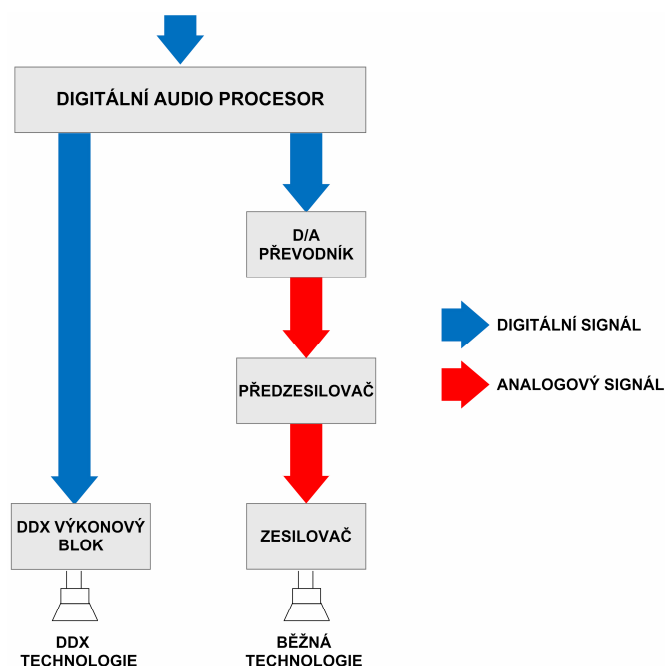
Max. výstupní výkon ($THD = 10\%$, $R_z = 8\ \Omega$, $U_{VCC} = 36\text{ V}$)	1 × 160 W
	2 × 80 W
	2 × 40 W + 1 × 80 W
Max. výstupní výkon ($THD = 1\%$, $R_z = 8\ \Omega$, $U_{VCC} = 36\text{ V}$)	1 × 124 W
	2 × 62 W
	2 × 31 W + 1 × 62 W
Rozlišení interního zpracování	24 bitů
Spínací frekvence PWM	384 kHz / 341,3 kHz
Odstup signálu od šumu	100 dB
Podporované vzorkovací frekvence standardu I2S	(32 ÷ 192) kHz
Napájecí napětí digitální části	(3,0 ÷ 3,6) V
Napájecí napětí výkonové části	(10 ÷ 40) V
Digitální zesílení/útlum	(-80 ÷ +48) dB
4 uživatelsky programovatelné IIR filtry na každý kanál	
32 implementovaných křivek ekvalizéru	
Směšování kanálů	
Programovatelný audio limiter/kompresor	
Individuální nastavení zdůraznění/potlačení nízkých a vysokých kmitočtů	
Funkce pozvolné změny hlasitosti	
Plně digitální zpracování – DDX zpracování	
Detekce proudového a tepelného přetížení, detekce chybného formátu přijatých dat	

Mezi některé funkce zpracování signálu tohoto obvodu patří např. uživatelsky definovatelný ekvalizér, možnost volby z řady přednastavených křivek ekvalizéru, směšování kanálů, programovatelné IIR filtry, aj. Obvod STA326 dále umožňuje

aktivaci funkce pozvolné změny hlasitosti, kdy není nastavená hlasitost změněna skokově, ale plynule. Interní limity na každém kanálu mohou pracovat buď ve funkci audio kompresoru, nebo ve funkci běžného limiteru, který zamezuje přebuzení zesilovače a zvýšení tak harmonického zkreslení výstupního signálu.

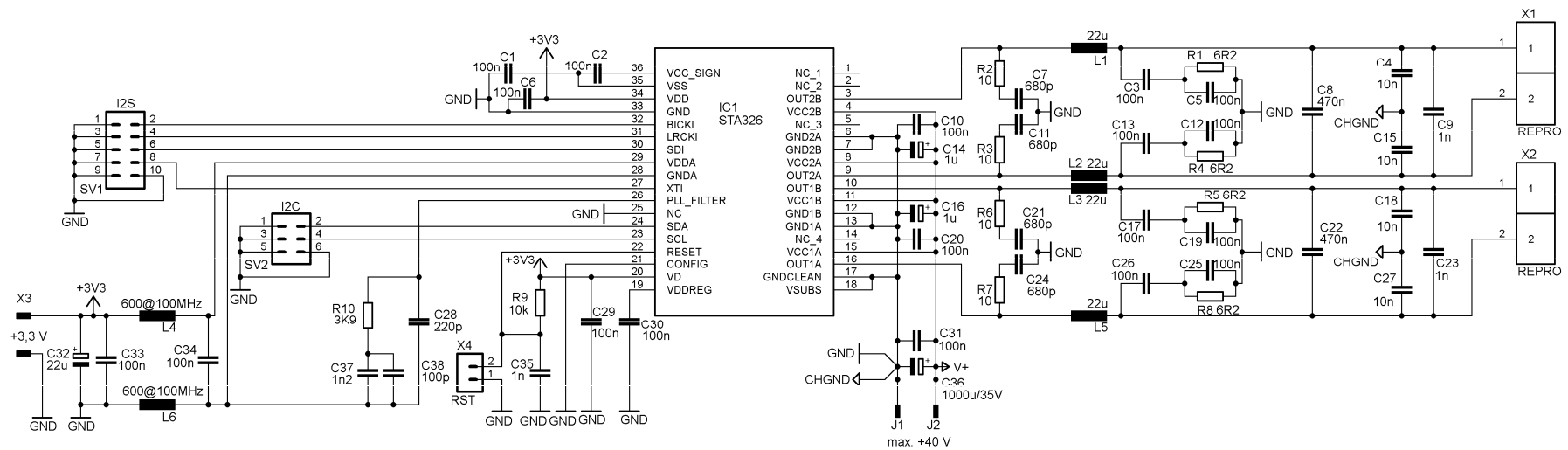
Jedna z největších předností tohoto obvodu však spočívá ve využití technologie DDX. Tuto technologii vyvinula firma Apogee Technology, která také vyvinula první plně digitální výkonové zesilovače založené na této technologii. Tyto obvody nesly označení DDXi-2161, DDXi-2051 a DDXi-2101. Obvod STA326 je prakticky plně totožný s prvotním obvodem DDXi-2101. Rozdíly jsou pouze v mírných odchylkách některých parametrů (výstupní výkon, odstup signálu od šumu či tepelný odpor přechodu čip-pouzdro).

Technologie DDX spočívá v plně digitálním zpracování vstupních audio dat. Veškeré zpracování od vstupu dat do obvodu až do výstupu výkonového signálu PWM je prováděno na digitální úrovni bez jakéhokoliv zpětného D/A převodu. Zpracování DDX umožňuje také na výstupu zesilovače generovat třístavovou modulaci PWM. Při symetrickém napájení zesilovače může tedy výstupní signál PWM nabývat, oproti běžné dvoustavové modulaci, nejen stavů $+V$ a $-V$, ale i nulové úrovně. Jestliže není zesilovač buzen, není tedy již na jeho výstupu signál PWM se střídou 1:1, ale přímo nulová úroveň. Tím nedochází ke vzniku ztrát ve výstupním LC filtru. Použití technologie DDX vede ke zvýšení účinnosti zesilovače, zvýšení odolnosti vůči rušení, snížení EMI, šumu, apod. Srovnání zpracování digitálních audio dat technologií DDX a běžnou technologií je uvedeno na obr. 3.1.



Obr. 3.1: Srovnání technologie DDX a běžné technologie pro zpracování audio signálu (převzato z [14] a upraveno)

Schéma zapojení bloku digitálního výkonového zesilovače s výstupním LC filtrem je uvedeno na obr. 3.2.



Obr. 3.2: Schéma zapojení bloku digitálního výkonového zesilovače s výstupním LC filtrem

Jádrem tohoto bloku je zmíněný obvod STA326. Zapojení vychází z upraveného doporučeného zapojení, které uvádí výrobce [13]. Jednotlivé prvky ve schématu byly vybírány přesně dle doporučení původního výrobce Apogee Technology [15].

Veškerá konfigurace obvodu a nastavování parametrů zpracování signálu probíhá prostřednictvím komunikační sběrnice I2C s frekvencí hodinového signálu $f_{SCL} = 400$ kHz. Z pohledu této sběrnice se obvod STA326 chová jako zařízení Slave s adresou 0x34. Obvod je tedy adresován mikrokontrolérem ve funkci Masteru, který generuje hodinový signál a zahajuje i ukončuje komunikaci. Sběrnice I2C je vyvedena na konektoru SV2. Pull-up rezistory pro SDA a SCL linku této sběrnice jsou připojeny u zařízení Master.

Obvod STA326 je taktován signálem, jehož frekvence je 256násobkem základní vzorkovací frekvence. Tento taktovací signál je generován jednotlivými převodníky, respektive vstupní jednotkou a je přiveden přes konektor SV1 společně se vstupními signály standardu I2S.

Resetování obvodu je prováděno interně po připojení napájecího napětí. V případě nutnosti provést resetování externě, je obvod vybaven resetovací propojkou X4. Reset obvodu reaguje na nízkou úroveň napětí. V klidovém stavu je tedy na vstupu RESET vysoká úroveň přes připojený pull-up rezistor R9.

Napájení digitální části obvodu je filtrováno kondenzátory C32 a C33. Napájení analogové části je připojeno přes filtrační tlumivky L4 a L6. Výkonová část obvodu má pak samostatné napájení $U_{STA326(V)} = (10 \div 40)$ V připojené přes konektory Faston J1 a J2.

Výstupní část obvodu je tvořena dvěma kanály v můstkovém zapojení. Kromě výstupního LC filtru, tvořeného cívkami L1, L2 a kondenzátorem C8, respektive L3, L5 a C22, jsou ve výstupních kanálech zapojeny další prvky dle doporučení výrobce. Tyto prvky slouží pro snížení EMI a zvýšení spolehlivosti celého zapojení. Kondenzátory C4, C9 a C15, respektive C18, C23 a C27 jsou umístěny bezprostředně u výstupního konektoru a slouží pro potlačení EMI. Jejich uzemnění CHGND je provedeno přímo u napájecí svorky GND konektoru J1.

Jelikož mají parametry výstupního filtru kritický vliv na audio parametry celého zesilovače, byla výběru jednotlivých komponent tohoto filtru věnována značná pozornost. Kondenzátory C8 a C22 byly dle doporučení výrobce Apogee Technology vybrány s polyesterovým dielektrikem v bezindukčním provedení a se jmenovitým napětím $U = 63$ V. K parametrům výstupních cívek výrobce udává pouze jejich požadovanou indukčnost. Návrh těchto cívek je tedy detailněji rozebrán v podkapitole 3.1.1.

Dle doporučení výrobce je DPS navržena tak, aby zemnicí plocha sloužila pro odvod ztrátového tepla z obvodu STA326. Obvod je dále opatřen pasivním chladičem ZM-NB47J od výrobce ZALMAN [16].

Blok digitálního výkonového zesilovače s výstupním LC filtrem byl zrealizován na oboustranné DPS s rozměry (80,4 × 119,7) mm. Předlohy této DPS jsou uvedeny v příloze A.1 a rozmístění součástek na DPS v příloze A.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.1. V příloze I.1 jsou uvedeny fotografie zrealizovaného bloku.

3.1.1 Výpočet parametrů cívek výstupního LC filtru

Výrobce obvodu STA326 udává o parametrech výstupních cívek pouze jedinou hodnotu, a to jejich indukčnost $L = 22 \mu\text{H}$. Je tedy nutné určit zbylé parametry, jako jsou např. materiál a velikost použitého jádra či průměr použitého vodiče.

Mezi základní požadavky na cívky výstupního filtru patří zejména nezávislost indukčnosti na protékajícím proudu a na kmitočtu, schopnost akumulovat dostatečné množství energie a linearita magnetizační křivky. Vhodné jádro pro realizaci cívky splňující tyto požadavky je jádro železoprachové s označením 26, které je určeno pro signály o kmitočtech $f = (0 \div 1) \text{ MHz}$ [2].

Minimální objem tohoto jádra pak lze určit dle nerovnice 3.1.

$$L \cdot I_{L\max}^2 < \mu_0 \cdot \mu_{\text{tor}} \cdot H_h^2 \cdot V_j, \quad (3.1)$$

kde L je indukčnost cívky [H], $I_{L\max}$ maximální proud protékající cívkou [A], μ_0 permeabilita vakua [Hm^{-1}], μ_{tor} kruhová permeabilita jádra cívky [-], H_h intenzita magnetického pole [Am^{-1}] a V_j je objem jádra [m^3] [17].

Pro vyjádření objemu jádra je tedy nezbytné znát další parametry vystupující ve vztahu 3.1. Dle výrobce je kruhová permeabilita materiálu tohoto jádra $\mu_{\text{tor}} = 75$. Této permeabilitě odpovídá dle [2] intenzita magnetického pole o velikosti $H_h = 3000 \text{ Am}^{-1}$.

Dalším důležitým parametrem, který je nutné znát, je maximální proud protékající cívkou. Za předpokladu výstupního výkonu $P_{\text{OUT}} = 45 \text{ W}$ na zátěži $R_Z = 8 \Omega$ lze vypočítat proud tekoucí cívkou na základě vztahu 3.2.

$$I_L = \sqrt{\frac{P_{\text{OUT}}}{R_Z}} = \sqrt{\frac{45}{8}} = 2,37 \text{ A}, \quad (3.2)$$

kde I_L je proud protékající cívkou [A], P_{OUT} výstupní výkon zesilovače [W] a R_Z je impedance zátěže [Ω].

Matematickou úpravou vztahu 3.1 a dosazením výše uvedených hodnot získáváme nerovnici 3.3.

$$V_j > \frac{L \cdot I_{L\max}^2}{\mu_0 \cdot \mu_{\text{tor}} \cdot H_h^2} > \frac{22 \cdot 10^{-6} \cdot 2,37^2}{4\pi \cdot 10^{-7} \cdot 75 \cdot 3000^2} > 145,7 \cdot 10^{-9} \text{ m}^3. \quad (3.3)$$

Z této nerovnice plyne, že pro realizaci cívky je nutné použít jádro s objemem $V_j > 145,7 \text{ mm}^3$. Tomuto požadavku vyhovuje např. jádro s označením T50-26 s objemem $V_j = 367 \text{ mm}^3$, střední délkou magnetické siločáry $l_s = 30,3 \text{ mm}$ a obsahem plochy jádra v řezu napříč magnetickému toku $S_j = 12,1 \text{ mm}^2$ [18].

Pro dosažení požadované indukčnosti je nutné na zvolené jádro navinout určitý počet závitů, který je dán vztahem 3.4.

$$N = \sqrt{\frac{L \cdot l_s}{\mu_0 \cdot \mu_{\text{tor}} \cdot S_j}} = \sqrt{\frac{22 \cdot 10^{-6} \cdot 30,3 \cdot 10^{-3}}{4\pi \cdot 10^{-7} \cdot 75 \cdot 12,1 \cdot 10^{-6}}} = 24,2, \quad (3.4)$$

kde N je počet závitů cívky, L indukčnost cívky [H], l_s střední délka magnetické siločáry [m], μ_0 permeabilita vakua [Hm^{-1}], μ_{tor} kruhová permeabilita jádra cívky [-] a S_j je obsah plochy jádra v řezu napříč magnetickému toku [m^2].

Na jádro T50-26 je tedy nutné navinout 24 závitů. Pro vinutí cívky lze v nejjednodušším případě použít lakovaný vodič z měkké mědi. U takto vinutých cívek dochází vlivem elektrického povrchového jevu k nárůstu odporu vodiče s nárůstem frekvence. Tento povrchový jev způsobuje vedení proudu po povrchu vodiče a do určité hloubky uvnitř vodiče. Tato tzv. hloubka vniku je značena jako σ . Prakticky je doporučeno používat vodiče o průměru $d \leq 3\sigma$. Vztah definující hloubku vniku je však dán pouze pro působení harmonického signálu o frekvenci f . V případě, že je cívka buzena signálem PWM, jsou v proudu tekoucím cívkou obsaženy vyšší harmonické složky, které hloubku vniku snižují. Pro uvážení tohoto faktu se doporučuje počítat tedy s frekvencí alespoň $1,5f$. Hloubka vniku pro realizovanou cívku je tedy dána vztahem 3.5.

$$\sigma = \frac{1}{\sqrt{\pi \cdot \frac{1}{\rho} \mu_0 \cdot 1,5 \cdot f}} = \frac{1}{\sqrt{\pi \cdot \frac{1}{1,75 \cdot 10^{-8}} \cdot 4\pi \cdot 10^{-7} \cdot 1,5 \cdot 384 \cdot 10^3}} = 87,7 \cdot 10^{-6} \text{ m}, \quad (3.5)$$

kde σ je hloubka vniku [m], ρ měrný elektrický odpor vodiče [Ωm], μ_0 permeabilita vakua [Hm^{-1}] a f je kmitočet signálu PWM [Hz] [2, 17].

Maximální průměr použitého vodiče je tedy $d = 0,263$ mm. Potřebný počet izolovaných vodičů o tomto průměru je dán vztahem 3.6.

$$M = \frac{4I_{L\text{max}}}{J\pi \cdot d^2} = \frac{4 \cdot 2,37}{5 \cdot \pi \cdot 0,263^2} = 8,7, \quad (3.6)$$

kde M je počet izolovaných vodičů [-], $I_{L\text{max}}$ maximální proud tekoucí cívkou [A], J proudová hustota [Amm^{-1}] a d je průměr izolovaného vodiče [mm] [16].

Dle vztahu 3.6 je tedy nutné použít 9 vzájemně izolovaných vodičů, neboli tzv. jader o průměru $d = 0,263$ mm a vytvořit tak vysokofrekvenční lanko. Jelikož se poměrně problematicky tato lanka skládají, je vhodné zvolit profesionálně vyrobené lanko. Zvolené vf. lanko, které bylo dostupné na ústavu radioelektroniky, se skládá ze 45 jader o průměru $d = 0,071$ mm. Z celkového počtu nutných jader o tomto průměru určených vztahem 3.6 pak plyne, že výsledné vinutí se musí skládat ze tří těchto paralelně zapojených vf. lanek.

Vzhledem k relativně malým rozměrům použitého jádra a velkému průměru vysokofrekvenčního lanka by se požadovaný počet závitů na jádro nevešel. Pro realizaci bylo tedy zvoleno jádro T106-26 [18]. Dle vztahu 3.4 je nutné na toto jádro navinout 15 závitů. Výsledné teoreticky vypočtené parametry cívky jsou uvedeny v tab. 3.2.

Tab. 3.2: Vypočtené parametry cívky

Jádro	Železoprachové, T106-26
Vinutí	3×vf. lanko 45×0,071 mm
Počet závitů	15

Při realizaci těchto cívek bylo nutné navinout na jednotlivá jádra 19 závitů zmíněných tří paralelně zapojených vf. lanek.

3.2 USB převodník

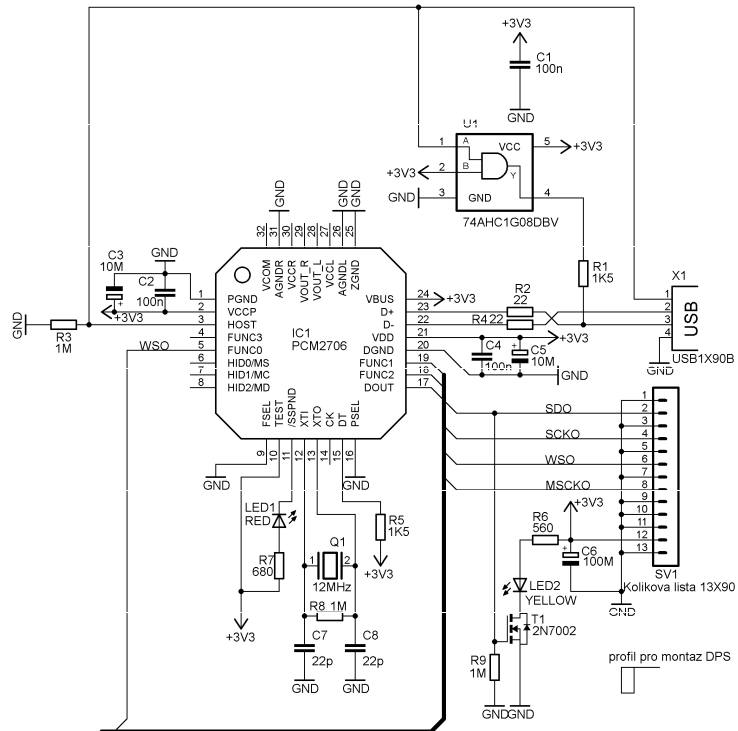
Mezi nejznámější audio obvody, které jsou vybaveny vstupním rozhraním USB a výstupním digitálním audio rozhraním I2S, patří především obvody od výrobce Texas Instruments. Jedná se o obvody PCM2706 [19] a PCM2707 [19], které jsou označovány jako Stereo audio D/A převodníky s rozhraním USB.

Oba zmíněné obvody jsou kompatibilní se specifikací USB 1.10 a disponují mimo digitálními výstupy standardu I2S také digitálním výstupem standardu S/PDIF a nesymetrickými stereo analogovými výstupy. Deskriptory obvodu je možné změnit pomocí externí ROM paměti (PCM2706) či sběrnice SPI (PCM2707). Základní parametry obvodů jsou uvedeny v tab. 3.3.

Tab. 3.3: Základní parametry obvodů PCM2706 a PCM2707 [19]

Podporované vzorkovací frekvence	32 kHz, 44,1 kHz, 48 kHz
Rozlišení	16 bitů
Harmonické zkreslení	0,0006 %
Odstup signálu od šumu	98 dB
Dynamický rozsah	98 dB
Napájecí napětí	nap. z USB (5 V) / ext. napájení (3,3 V)
Napěťová úroveň výstupních signálů	3,3 V
Typy digitálních výstupů	I2S, S/PDIF

Pro realizaci bloku USB převodníku byl vybrán obvod s označením PCM2706. Schéma zapojení tohoto bloku je uvedeno na obr. 3.3.



Obr. 3.3: Schéma zapojení bloku USB převodníku

Zapojení obvodu PCM2706 vychází ze zapojení doporučeného výrobcem [19]. Obvod je napájen napětím $U_{VDD} = 3,3 \text{ V}$, které je spolu s výstupními signály standardu I2S připojeno přes 13pinový konektor SV1 ke vstupní jednotce. Pod pojmem výstupní signály jsou myšleny nejen tři základní signály standardu I2S (SDO, SCKO a WSO), ale i hlavní taktovací signál MSCKO, jehož frekvence je 256násobkem vzorkovací frekvence. Tímto signálem je taktován blok digitálního výkonového zesilovače. Obvod PCM2706 je taktován vnitřním oscilátorem, jehož frekvence je odvozena od externího krystalu Q1.

Blok USB převodníku je vybaven dvěma indikačními diodami LED. Žlutá dioda LED2 slouží pro signalizaci přítomnosti datového signálu standardu I2S na výstupu převodníku. Tato dioda je připojena přes spínací tranzistor T1 a omezovací rezistor R6 na napájecí napětí $U_{VDD} = 3,3 \text{ V}$. Řídící elektroda tranzistoru T1 je připojena na datový signál SDO standardu I2S, který jej spíná a připojuje tak diodu LED k nulovému potenciálu. Dioda LED2 tedy bliká s frekvencí signálu SDO. Prakticky se však jeví jakoby trvale svítila. Tato dioda tedy svým svitem, případně mírným problikáváním, indikuje přítomnost audio dat na výstupu převodníku. V případě, že ze sběrnice USB není zpracováván žádný signál, je na vodiči SDO nízká úroveň a dioda LED2 nesvítil. Červená dioda LED1 je připojena k výstupu /SSPND. Tento výstup je aktivní v případě, že obvod PCM2706, připojený k portu USB, nebyl správně rozpoznán nebo z různých důvodů nepracuje správně. Tato dioda tedy svým svitem indikuje chybnou činnost obvodu.

Diody LED byly použity s nízkým odběrem $I_{LED} = 2 \text{ mA}$ při napájení $U_{LED(Y)} = 2,2 \text{ V}$ (žlutá) a $U_{LED(R)} = 2,0 \text{ V}$ (červená). Odpor omezovacího rezistoru pak byl určen dosazením těchto hodnot do vztahu 3.7.

$$R = \frac{U_{VCC} - U_{LED}}{I_{LED}}, \quad (3.7)$$

kde R je velikost odporu omezovacího rezistoru [Ω], U_{VCC} velikost napájecího napětí diody LED [V], U_{LED} napětí na diodě [V] a I_{LED} je proud tekoucí diodou [A]. Výsledná hodnota odporu byla zvolena větší než vypočtená hodnota z důvodu snížení proudu diodou.

Výrobce obvodu PCM2706 požaduje, aby byl na datový signál D+ sběrnice USB připojen pull-up rezistor o hodnotě $R = 1,5 \text{ k}\Omega$. Tento rezistor musí být však připojen pouze v případě, je-li obvod připojen k USB portu PC. Tento požadavek byl vyřešen pomocí logického členu AND realizovaného obvodem U1. Jeden vstup tohoto členu je trvale připojen na vysokou úroveň ($U = 3,3 \text{ V}$). Druhý vstup je pak v případě odpojeného portu USB připojen přes pull-down rezistor R3 na nízkou úroveň. V případě připojeného portu USB je připojen na vysokou úroveň ($U = 5 \text{ V}$ z USB). Ve stavu, kdy není sběrnice USB připojena, je na výstupu členu AND nízká úroveň a rezistor R1 se chová jako pull-down rezistor. Po připojení obvodu k portu sběrnice USB se napětí $U = 5 \text{ V}$ z tohoto portu dostává na logický člen AND a na jeho výstupu je vysoká úroveň napětí ($U = 3,3 \text{ V}$). V tento moment se rezistor R1 stává pull-up rezistorem. Díky napěťové toleranci jak členu AND, tak obvodu PCM2706 je možné pracovat jak s napětím $U = 3,3 \text{ V}$, tak i $U = 5 \text{ V}$, které poskytuje port USB.

Blok USB převodníku byl zrealizován na oboustranné DPS s rozměry ($44,4 \times 28,5$) mm. Předlohy této DPS jsou uvedeny v příloze B.1 na obr. B.1.1 a rozmístění součástek na DPS v příloze B.2 na obr. B.2.1. Seznam použitých součástek tohoto bloku je uveden v příloze H.2. V příloze I.2 jsou uvedeny fotografie zrealizovaného bloku.

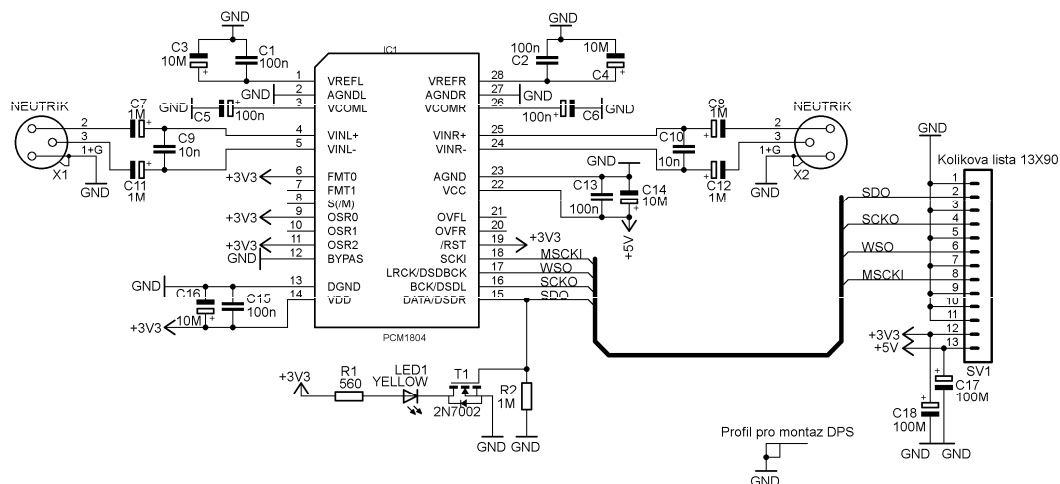
3.3 Symetrický A/D převodník

Z průzkumu nabídky audio A/D převodníků výrobců Texas Instruments, Wolfson, Cirrus Logic, Analog Devices a NXP byl pro realizaci tohoto bloku vybrán obvod PCM1804 od výrobce Texas Instruments [20]. Základní parametry tohoto obvodu jsou uvedeny v tab. 3.4.

Tab. 3.4: Základní parametry obvodu PCM1804 [20]

Označení	$THD+N$	Max. f_{VZ}	rozlišení	SNR	DR	$U_{INmax}(FS)$
PCM1804	-102 dB	192 kHz	24 bitů	111 dB	112 dB	5 V _{š.š}

Tento obvod je hardwarově nakonfigurován pro generování výstupních signálů podle standardu I2S s vzorkovací frekvencí $f_{VZ} = 96 \text{ kHz}$ a rozlišením $b = 24$ bitů. Frekvence taktovacího signálu obvodu je 256násobkem vzorkovací frekvence, tedy $f_{MCKI} = 24,576 \text{ MHz}$. Schéma zapojení celého bloku je uvedeno na obr. 3.4.



Obr. 3.4: Schéma zapojení bloku symetrického A/D převodníku

Zapojení obvodu PCM1804 vychází ze zapojení doporučeného výrobcem [20]. Obvod je napájen napětím $U_{VDD} = 3,3 \text{ V}$ a $U_{VCC} = 5 \text{ V}$, které je spolu s výstupními signály standardu I2S připojeno přes 13pinový konektor SV1 ke vstupní jednotce. V tomto případě ovšem obvod negeneruje hlavní taktovací signál MSCKO, naopak je nutné obvod taktovat externím taktovacím signálem MSCKI. Tento signál je generován vstupní jednotkou. Taktovacím signálem je taktován jak obvod PCM1804, tak blok digitálního výkonového zesilovače.

Blok symetrického A/D převodníku je vybaven opět žlutou diodou LED1 pro indikaci přítomnosti datového signálu standardu I2S na výstupu převodníku.

Obvod PCM1804 obsahuje interní resetovací obvod, který provede reset převodníku po připojení napájecího napětí. Pro korektní provedení tohoto resetu však musí být obvod taktován zmíněným taktovacím signálem MSCKI. Je tedy nutné, aby byl obvod taktován ještě před připojením napájecího napětí. Dodržení této podmínky je opět úkolem vstupní jednotky.

V kapitole 2.2 byl uveden požadavek na minimální úroveň vstupního signálu $L_A = 6 \text{ dBu}$, aniž by došlo k překročení rozsahu A/D převodníku. Rozsah použitého A/D převodníku je $U_A = 5 \text{ V}_{\text{š.š.}}$. Úroveň tohoto signálu v decibelech lze určit dosazením této hodnoty do vztahu 3.8.

$$U_{\text{dB}} = 20 \log \frac{U_{\text{š.š.}}}{2\sqrt{2} \cdot 0,775} = 20 \log \frac{5}{2\sqrt{2} \cdot 0,775} = 7,2 \text{ dBu}, \quad (3.8)$$

kde U_{dB} je úroveň signálu [dBu] a $U_{\text{š.š.}}$ je mezivrcholová hodnota napětí [V].

Ze vztahu 3.8 tedy plyne, že je požadavek na přebuditelnost u tohoto obvodu splněn bez nutnosti použití dalších pomocných obvodů pro zpracování signálu.

Blok symetrického A/D převodníku byl zrealizován na oboustranné DPS s rozměry $(60,6 \times 58,8) \text{ mm}$. Předlohy této DPS jsou uvedeny v příloze B.1 na obr. B.1.2 a rozmístění součástek na DPS v příloze B.2 na obr. B.2.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.3. V příloze I.2 jsou uvedeny fotografie zrealizovaného bloku.

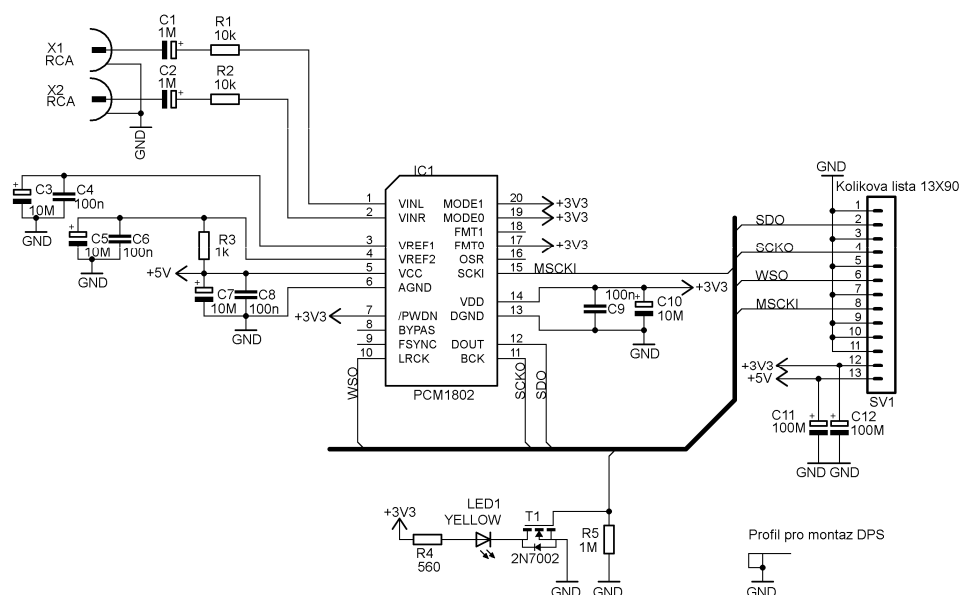
3.4 Nesymetrický A/D převodník

Jak při výběru symetrického audio A/D převodníku, tak i při výběru nesymetrického A/D převodníku byl proveden průzkum nabídky jednotlivých výrobců. Pro realizaci tohoto bloku byl vybrán obvod PCM1802 opět od výrobce Texas Instruments [21]. Základní parametry tohoto obvodu jsou uvedeny v tab. 3.5.

Tab. 3.5: Základní parametry obvodu PCM1802 [21]

Označení	$THD+N$	Max. f_{VZ}	rozišení	SNR	DR	$U_{INmax}(FS)$
PCM1802	-96 dB	96 kHz	24 bitů	105 dB	105 dB	3 V _{š.š}

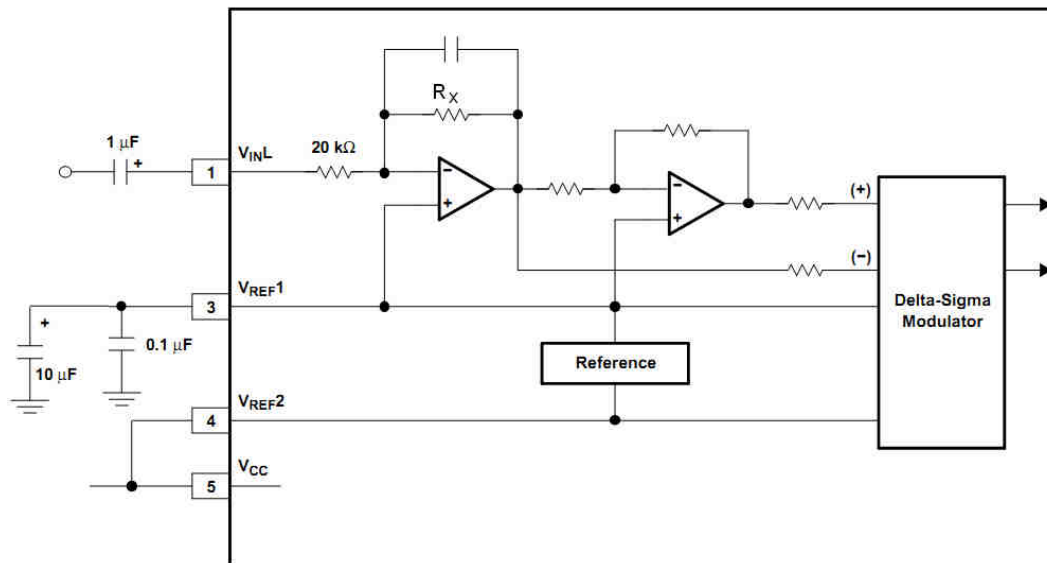
Tento obvod je opět hardwarově nakonfigurován pro generování signálů standardu I2S s vzorkovací frekvencí $f_{VZ} = 96$ kHz a rozlišením $b = 24$ bitů. Frekvence taktovacího signálu obvodu je $f_{MSCKI} = 24,576$ MHz. Schéma zapojení tohoto bloku je uvedeno na obr. 3.5.



Obr. 3.5: Schéma zapojení bloku nesymetrického A/D převodníku

Zapojení obvodu PCM1802 vychází opět z doporučeného zapojení uváděného výrobcem [21]. Požadavky na taktování obvodu a resetování při připojení napájecího napětí jsou totožné s obvodem PCM1804, který je popsán v předchozí podkapitole. Zapojení je opět vybaveno indikační diodou LED1 pro indikaci přítomnosti datového signálu standardu I2S na výstupu převodníku.

Jelikož je maximální vstupní úroveň pro dosažení plného rozsahu A/D převodníku pouze $L_A = 2,7$ dBu, je tato úroveň zvýšena rezistory R1 a R2 zapojenými na analogových vstupech obvodu PCM1802. Tyto rezistory zvyšují max. úroveň vstupního signálu přibližně na hodnotu $L_A = 6$ dBu. Vnitřní zapojení vstupní analogové části obvodu PCM1802 je uvedeno na obr. 3.6.



Obr. 3.6: Vnitřní zapojení vstupní analogové části obvodu PCM1802 (převzato z [21] a upraveno)

Bez připojeného sériového rezistoru ke vstupu obvodu je maximální úroveň vstupního signálu $L_A = 2,7$ dBu, což činí $U_A = 1,06$ V. Absolutní hodnota zisku prvního operačního zesilovače ve vnitřním zapojení obvodu (viz obr. 3.6) je pak dána vztahem 3.9.

$$A_{Oz} = \frac{R_X}{20 \text{ k}\Omega}. \quad (3.9)$$

S připojeným sériovým rezistorem musí dojít ke zvýšení maximální úrovně vstupního signálu na hodnotu $L_A = 6$ dBu, tedy $U_A = 1,55$ V. Zvýšená hodnota maximálního vstupního napětí je tedy přibližně 1,46násobkem původní hodnoty bez připojeného rezistoru. Zisk prvního operačního zesilovače se tedy musí 1,46krát snížit dle vztahu 3.10.

$$A_{Oz} = \frac{R_X}{20 \text{ k}\Omega \cdot 1,46} = \frac{R_X}{29,2 \text{ k}\Omega}. \quad (3.10)$$

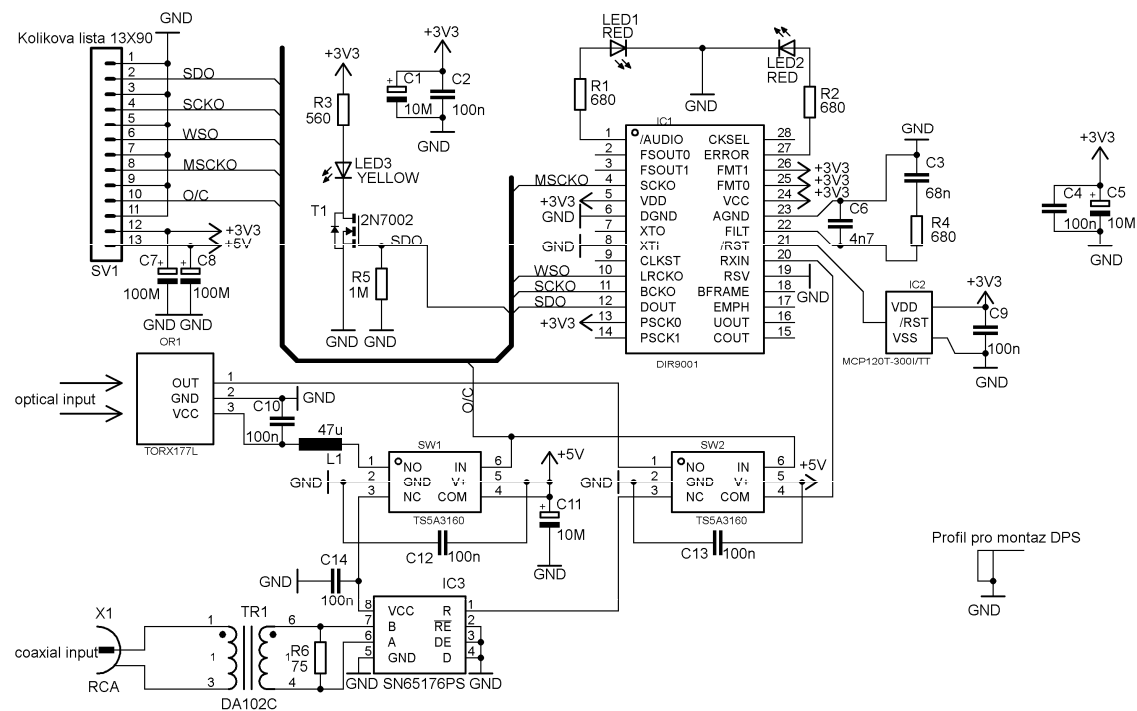
Hodnota odporu rezistoru R1 a R2 je tedy dána rozdílem celkového odporu vystupujícím ve jmenovateli vztahu 3.10 a interního odporu $R = 20 \text{ k}\Omega$. Z dostupné řady hodnot odporů byl s rezervou zvolen rezistor o hodnotě $R = 10 \text{ k}\Omega$. Požadavek pro vstupní úroveň signálu alespoň $L_A = 6$ dBu je tedy splněn.

Blok nesymetrického A/D převodníku byl zrealizován na oboustranné DPS s rozměry $(51,7 \times 42,6)$ mm. Předlohy této DPS jsou uvedeny v příloze B.1 na obr. B.1.3 a rozmístění součástek na DPS v příloze B.2 na obr. B.2.3. Seznam použitých součástek tohoto bloku je uveden v příloze H.4. V příloze I.2 jsou uvedeny fotografie zrealizovaného bloku.

3.5 S/PDIF převodník

Z nabídky převodníků signálu standardu S/PDIF na signály standardu I2S od výrobců Texas Instruments, STMicroelectronics a Cirrus Logic byl pro realizaci tohoto bloku vybrán obvod DIR9001 od výrobce Texas Instruments [22].

Tento blok převodníku je vybaven rozhraním pro příjem standardu S/PDIF jak z koaxiálního, tak z optického přenosového média. Celkové schéma zapojení tohoto bloku je uvedeno na obr. 3.7.



Obr. 3.7: Schéma zapojení bloku S/PDIF převodníku

Zapojení obvodu DIR9001 vychází z doporučeného zapojení výrobce [22]. Tento obvod dokáže dekódovat signál standardu S/PDIF s vzorkovací frekvencí $f_{VZ} = (28 \div 108)$ kHz. Obvod DIR9001 je napájen napětím $U_{VDD} = 3,3$ V. Obvody optického a koaxiálního rozhraní (OR1 a IC3) jsou napájeny napětím $U_{VCC} = 5$ V. Obě tyto napětí spolu s výstupními signály standardu I2S jsou připojeny přes 13pinový konektor SV1 ke vstupní jednotce. V tomto konektoru se také nachází signál O/C, který svou úrovní určuje, zda je aktivní optické či koaxiální rozhraní. Hlavní taktovací signál MSCO je generován obvodem DIR9001 na základě vstupního signálu standardu S/PDIF. Frekvence tohoto taktovacího signálu je opět 256násobkem vzorkovací frekvence.

Tento blok převodníku obsahuje celkem 3 indikační diody LED. Žlutá dioda LED3 slouží tak jako v ostatních případech pro indikaci přítomnosti datového signálu standardu I2S na výstupu převodníku. Červené diody LED1 a LED2 jsou připojeny přímo k výstupům obvodu DIR9001. Dioda LED1 indikuje chybné dekódování standardu S/PDIF a dioda LED2 pak chybnou činnost samotného obvodu DIR9001.

Výrobce obvodu doporučuje po přivedení napájecího napětí provést reset obvodu. Při resetování obvodu musí být napájecí napětí $U_{VDD} \geq 2,7$ V. Tato podmínka je zajištěna resetovacím obvodem IC2 (napěťový watchdog), který provede reset při dosažení napětí $U_{VDD} = (2,85 \div 3,00)$ V.

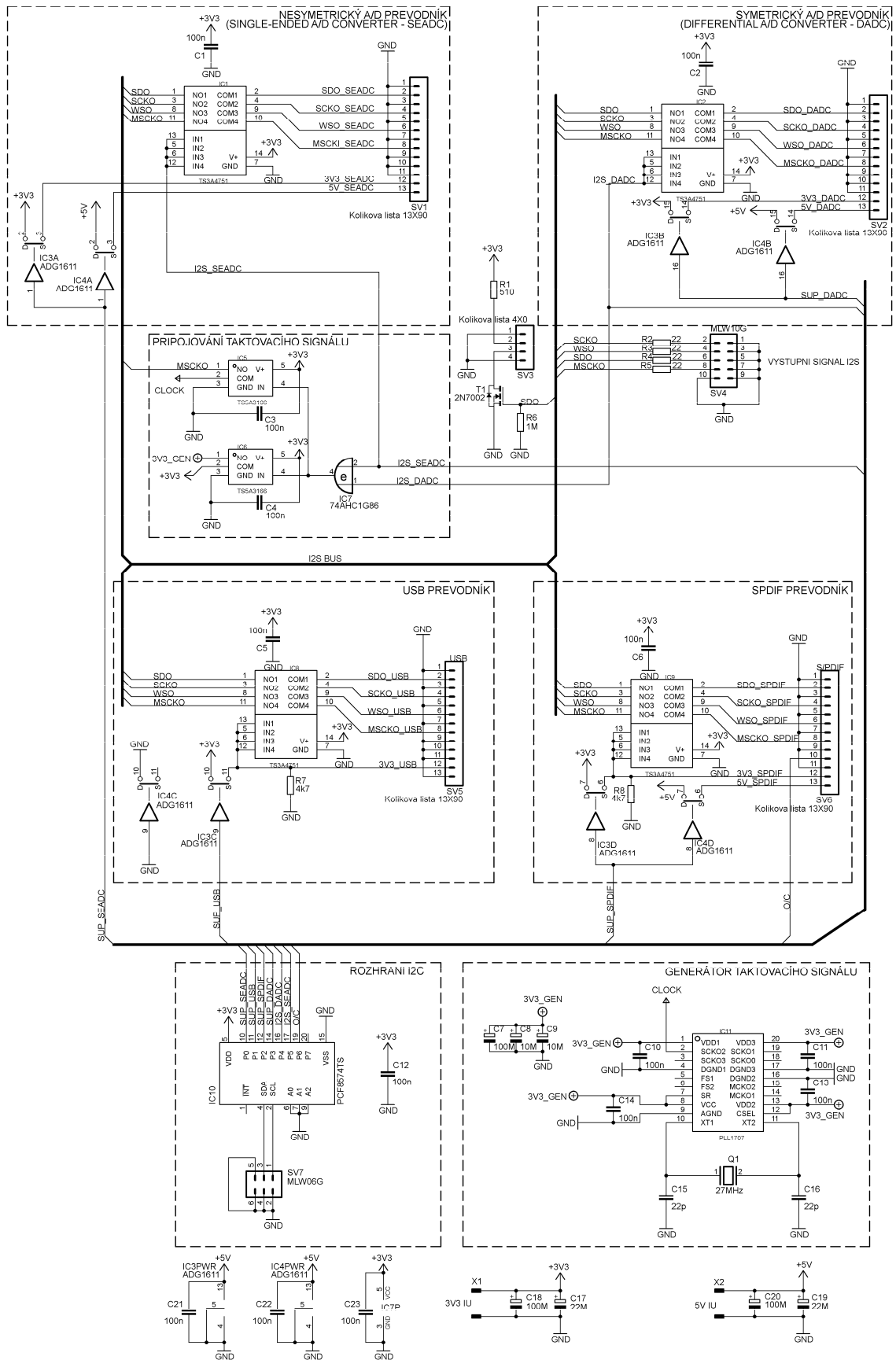
Optické rozhraní tohoto bloku je realizováno optickým přijímačem TOSLINK s označením TORX177L [23]. Koaxiální rozhraní je galvanicky odděleno oddělovacím transformátorem TR1 [24] s převodním poměrem 1:1, který je určen speciálně pro příjem standardu AES/EBU. Za tímto transformátorem následuje rezistor R6 o hodnotě $R = 75 \Omega$ pro impedanční přizpůsobení vedení a přijímače. Budič sběrnice IC3 [25] slouží pro převod úrovní vstupního signálu standardu S/PDIF na 5V logiku vhodnou pro obvod DIR9001.

Jak již bylo zmíněno, signál O/C určuje, zda bude aktivní koaxiální či optické rozhraní. Nabývá-li signál O/C vysoké napěťové úrovně ($U = 3,3$ V), je přes kontakty NO-COM obvodu SW1 připojeno napájecí napětí $U_{VCC} = 5$ V k optickému přijímači TORX177L. Stejně tak obvod SW2 na základě vysoké úrovně signálu O/C připojí výstup optického přijímače ke vstupu RXIN obvodu DIR9001. V případě, že signál O/C nabývá nízké úrovně, je situace opačná. Optické rozhraní je odpojeno od napájecího napětí a jeho výstup je odpojen od obvodu DIR9001. Naopak koaxiální rozhraní je přes kontakty NC-COM obvodu SW1 napájeno a jeho výstup je obvodem SW2 připojen ke vstupu RXIN obvodu DIR9001.

Blok S/PDIF převodníku byl zrealizován na oboustranné DPS s rozměry ($53,3 \times 36,1$) mm. Předlohy této DPS jsou uvedeny v příloze B.1 na obr. B.1.4 a rozmístění součástek na DPS v příloze B.2 na obr. B.2.4. Seznam použitých součástek tohoto bloku je uveden v příloze H.5. V příloze I.2 jsou uvedeny fotografie zrealizovaného bloku.

3.6 Vstupní jednotka

Schéma zapojení bloku vstupní jednotky je uvedeno na obr. 3.8.



Obr. 3.8: Schéma zapojení bloku vstupní jednotky

Vstupní jednotka se skládá z několika částí, které jsou ve schématu odděleny přerušovanou čarou. Jedná se o nesymetrický A/D převodník, symetrický A/D převodník, USB převodník, S/PDIF převodník, část generátoru taktovacího signálu, část připojování taktovacího signálu a část komunikačního rozhraní I2C.

Každá část vstupní jednotky označená jako určitý typ převodníku se skládá z jednoho obvodu TS3A4751 [26] a části dvou obvodů ADG1611 [27].

Obvod TS3A4751 představuje čtyřnásobný analogový spínač od výrobce Texas Instruments. Ve stavu, kdy se vstup IN_x nachází v nízké úrovni, je příslušný spínač NO_x-COM_x rozepnut. V případě vysoké úrovně na vstupu IN_x je tento spínač sepnut s minimálním přechodovým odporem. Tento obvod je u každého převodníku využíván pro připojování výstupních signálů standardu I2S k výstupnímu konektoru SV4. Pomocí tohoto konektoru jsou jednotlivé signály audio standardu přivedeny do bloku digitálního výkonového zesilovače. Parametry obvodu TS3A4751 jsou uvedeny v tabulce 3.6.

Tab. 3.6: Základní parametry obvodu TS3A4751 [26]

Max. trvalý spínaný proud	±100 mA
Max. špičkový spínaný proud	±200 mA
Šířka pásma	125 MHz
Útlum ve stavu rozepnutí	65 dB ($f = 1$ MHz), 33 dB ($f = 20$ MHz)
Útlum ve stavu sepnutí	0 dB ($f = 1$ MHz), 0,7 dB ($f = 20$ MHz)
Přeslech mezi spínači	-87 dB ($f = 1$ MHz), -62 dB ($f = 20$ MHz)

Obvod ADG1611 je opět čtyřnásobným spínačem, tentokrát od výrobce Analog Devices. Vstupní jednotka obsahuje celkem dva tyto obvody, které slouží pro spínání napájecích napětí jednotlivých převodníků. První obvod (IC3) spíná napájecí napětí $U_{VDD} = 3,3$ V a druhý (IC4) napětí $U_{VCC} = 5$ V. V každém obvodu je tedy vždy sepnut pouze jeden spínač pro napájení jednoho převodníku. U každého převodníku je tedy pro spínání napětí použit jeden spínač z obvodu IC3 a jeden z obvodu IC4. Výjimku tvoří USB převodník, který je napájen pouze napětím $U_{VDD} = 3,3$ V. Spínač obvodu IC4 je tedy u tohoto převodníku trvale sepnut. Obvody ADG1611 mají vzhledem k předchozím obvodům TS3A4751 invertovanou řídicí logiku. Při vysoké úrovni na svých vstupech jsou jednotlivé spínače rozepnuty, při nízké úrovni sepnuty. Parametry obvodu ADG1611 jsou uvedeny tab. 3.7.

Tab. 3.7: Základní parametry obvodu ADG1611 [27]

Max. trvalý spínaný proud	±175 mA
Max. špičkový spínaný proud	±630 mA
Šířka pásma	42 MHz
Maximální odpor v sepnutém stavu	1,5 Ω ($U_{VCC} = 5$ V)
Maximální proud v rozepnutém stavu	0,4 nA

Další částí vstupní jednotky je část pro připojování taktovacího signálu, která se skládá ze dvou obvodů TS5A3166 [28] a obvodu 74AHC1G86 realizující log. funkci XOR [29]. Obvod TS5A3166 je elektronický spínač s kontakty NO-COM. V případě

vysoké úrovni na jeho vstupu IN je tento spínač sepnut, v opačném případě rozepnut. Jeden z těchto obvodů (IC6) připojuje napájecí napětí k části generátoru taktovacího signálu. Druhý obvod (IC5) připojuje výstupní generovaný taktovací signál na vodič MSCKO výstupního konektoru SV4. Tímto signálem jsou taktovány jak jednotlivé A/D převodníky, tak blok digitálního výkonového zesilovače. Generování taktovacího signálu je podmíněno řídicími signály I2S_SEADC a I2S_DADC, které připojují výstupní signály standardu I2S jednotlivých A/D převodníků k výstupnímu konektoru. Tyto signály jsou přivedeny do logického členu XOR, který aktivuje generátor taktovacího signálu v případě, že je ve vysoké úrovni pouze jeden ze signálů I2S_SEADC či I2S_DADC. Tedy pouze v případě, že je na výstupním konektoru SV4 připojen buď výstup nesymetrického A/D převodníku nebo symetrického A/D převodníku. V jakémkoliv jiném případě je generátor taktovacího signálu odpojen od napájecího napětí a výstup tohoto generátoru je odpojen od signálu MSCKO výstupního konektoru. Nedochozí tedy ke generování taktovacího signálu.

Další částí vstupní jednotky je samotný obvod pro generování taktovacího signálu. Tato část je tvořena obvodem PLL1707 zapojeného dle doporučení výrobce [30]. Tento obvod generuje taktovací signál o frekvenci $f_{\text{CLOCK}} = 24,576 \text{ MHz}$, který je nutný pro taktování jednotlivých A/D převodníků a bloku digitálního výkonového zesilovače. Tato taktovací frekvence je 256násobkem vzorkovací frekvence ($f_{\text{VZ}} = 96 \text{ kHz}$).

Poslední částí jednotky je komunikační rozhraní I2C, které je tvořeno 8bitovým I2C expandérem PCF8574 [31]. Výstup tohoto expandéru tvoří signály pro připojování napájecího napětí k jednotlivým převodníkům (SUP_USB, SUP_SPDIF, SUP_DADC, SUP_SEADC), signály pro připojování výstupních signálů A/D převodníků k výstupnímu konektoru (I2S_DADC, I2S_SEADC) a signál O/C, který slouží pro přepínání optického a koaxiálního rozhraní v převodníku S/PDIF. Vstupní jednotka se tedy z pohledu sběrnice I2C chová jako zařízení Slave, jehož adresa je 0x40.

Princip činnosti vstupní jednotky bude popsán celkem pro tři případy. Prvním případem je stav jednotky po připojení napájecího napětí a bez provedení jakékoliv konfigurace. Druhým případem je stav po nakonfigurování jednotky do výchozího nastavení a posledním případem je stav jednotky po provedení konfigurace pro aktivaci jednotlivých převodníků.

Stav, který nastane po připojení napájecího napětí je stav, kdy je vstupní jednotka v provozu, avšak není mikrokontrolérem nakonfigurována do výchozího nastavení. V tomto případě jsou všechny výstupy I2C expandéru ve vysoké úrovni, čímž je zajištěno odpojení napájecího napětí od všech převodníků připojených k této jednotce. Vstupy obvodů IC8 a IC9, které připojují výstupní signály USB a S/PDIF převodníku na výstupní konektor, jsou připojeny přes pull-down rezistory R7 a R8 na napájecí napětí 3V3_USB a 3V3_SPDIF těchto převodníků. Při odpojeném napájení je tedy na jejich vstupech nízká úroveň a výstupní signály těchto převodníků jsou odpojeny od výstupního konektoru. U obou A/D převodníků jsou vstupy obvodů IC1 a IC2 připojeny přímo na výstupy I2C expandéru (I2S_DADC a I2S_SEADC). Důvodem je nutnost připojení taktovacího signálu před připojením napájecího napětí těchto převodníků. V počátečním stavu, kdy jsou na výstupech expandéru vysoké napěťové úrovně, jsou tedy výstupní signály obou A/D převodníků připojeny na výstupní konektor. Vzhledem k faktu, že nejsou převodníky napájeny, toto připojení nevyvolá žádný nebezpečný stav. Generátor taktovacího signálu je díky vysokým

úrovním na signálech I2S_DADC a I2S_SEADC odpojen jak od napájení, tak od signálu MSCKO výstupního konektoru.

Dalším případem je konfigurace vstupní jednotky do výchozího nastavení. Tímto se rozumí stav, kdy jsou všechny převodníky odpojeny od napájecího napětí a všechny výstupní signály převodníků jsou odpojeny od výstupního konektoru. Konfigurace vstupní jednotky do výchozího nastavení je provedena zasláním datového rámce 0b00001111 (0x0F) na adresu vstupní jednotky (0x40).

V případě požadavku aktivace např. USB převodníku, řídicí mikrokontrolér zašle vstupní jednotce datový rámec 0b00001101 (0x0D). Nejnižší čtyři bity (1101) zajišťují připojení napájecího napětí pouze k USB převodníku, na základě kterého jsou připojeny i výstupní signály standardu I2S tohoto převodníku k výstupnímu konektoru. Následující 2 bity (00) odpojují výstupy A/D převodníků od výstupního konektoru. Předposlední bit (0) slouží pro řízení rozhraní převodníku S/PDIF a na funkci USB převodníku nemá vliv. Bit s nejvyšší vahou (MSB) není využit. Stejným způsobem je možné aktivovat převodník S/PDIF, kde začíná hrát roli řídicí bit O/C. V případě aktivace S/PDIF převodníku s koaxiálním rozhraním je nutné zaslat datový rámec 0b00001011 (0x0B). V případě optického rozhraní je pak nutné zaslat rámec 0b01001011 (0x4B).

Složitější situace nastává při aktivaci jednotlivých A/D převodníků. Protože výrobce těchto obvodů požaduje, aby byl před připojením napájecího napětí daný obvod taktován, není aktivace těchto obvodů provedena zasláním pouze jediného datového rámce, ale sekvencí dvou po sobě následujících rámců s určitou časovou prodlevou. Následující případ popisuje aktivaci nesymetrického A/D převodníku. Prvním datovým rámcem, který je zaslán, je rámec 0b00101111 (0x2F). První čtyři bity s nejnižší vahou (1111) zajistí odpojení všech převodníků od napájecího napětí. Následující 2 bity (10) zajistí připojení výstupu nesymetrického A/D převodníku k výstupnímu konektoru SV4. Zde je nutné zdůraznit, že tyto dva bity jsou přivedeny do log. členu XOR, jehož výstupem je v tomto případě vysoká úroveň. Výstup tohoto členu připojí generátor taktovacího signálu k napájecímu napětí a jeho výstup pak k signálu MSCKO výstupního konektoru. Tím je zajištěno taktování jak A/D převodníku, tak bloku digitálního výkonového zesilovače. Po uplynutí časového intervalu (přibližně $t = 1$ s), nutného pro ustálení log. úrovní, startu generátoru taktovacího signálu, apod., dojde k zaslání druhého datového rámce. Nyní se jedná o rámec 0b00101110 (0x2E). Rozdíl oproti předchozímu rámcu je pouze v jediném bitu, který zajistí připojení převodníku k napájecímu napětí. Touto sekvencí je zajištěna korektní aktivace nesymetrického A/D převodníku. Obdobná situace nastává při aktivaci symetrického A/D převodníku.

Přehled možných příkazů a jim odpovídající datové rámce jsou uvedeny v tab. 3.8. Zaslání jakéhokoliv jiného datového rámce je nepřípustné a vede k nedefinovanému stavu. Může např. dojít ke kolizi více výstupních signálů či ztlumení některých signálů.

Tab. 3.8: Přehled příkazů vstupní jednotky

Příkaz	Datový rámec (hex)
Konfigurace do výchozího nastavení	0x0F
Aktivace USB převodníku	0x0D
Aktivace optického S/PDIF převodníku	0x4B
Aktivace koaxiálního S/PDIF převodníku	0x0B
Aktivace symetrického A/D převodníku	0x1F – časová prodleva – 0x17
Aktivace nesymetrického A/D převodníku	0x2F – časová prodleva – 0x2E

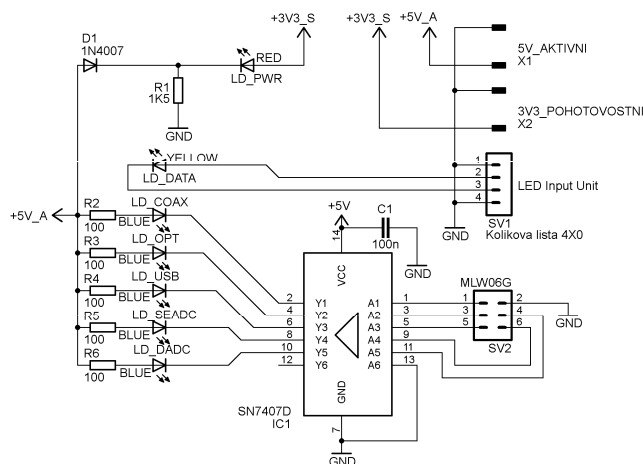
Stejně jako u jednotlivých převodníků je k výstupnímu datovému signálu SDO standardu I2S připojena indikační dioda LED1. Tato dioda není ovšem umístěna na DPS, ale je vyvedena pomocí konektoru SV3 na přední panel zesilovače, kde indikuje zpracování dat.

Blok vstupní jednotky byl zrealizován na oboustranné DPS s rozměry (71,4 × 107,7) mm. Předlohy této DPS jsou uvedeny v příloze C.1 a rozmístění součástek na DPS v příloze C.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.6. V příloze I.3 jsou uvedeny fotografie zrealizovaného bloku.

3.7 LCD displej a indikace

Jako vhodný LCD displej pro zobrazování požadovaných informací byl vybrán LCD displej se čtyřmi řádky o dvaceti znacích. Displej používá standardní řadič HD44780 firmy Hitachi [32]. Tento displej je připojen 16žilovým plochým kabelem k bloku MCU. Kabelem je přivedeno jak napájecí napětí pro LCD displej i jeho podsvícení, tak datové a řídicí vodiče pro komunikaci displeje s mikrokontrolérem. Zapojení LCD displeje je uvedeno na obr. 3.11 v kap. 3.9.

Další částí tohoto bloku je indikace pomocí diod LED. Schéma zapojení této části je uvedeno na obr. 3.9.



Obr. 3.9: Schéma zapojení části LED indikace

V zapojení je použito pět diod LED pro indikaci aktivního vstupu (LD_COAX, LD_OPT, LD_USB, LD_SEADC a LD_DADC). Tyto diody jsou připojeny k budiči SN7407 [33], který je přes konektor SV2 řízen blokem MCU. Z tohoto budiče je možné odebírat proud až $I = 40$ mA. Připojené diody LED jsou použity s odběrem $I_{LED} = 25$ mA při napájení $U_{LED} = 2,8$ V. Dioda LD_DATA signalizuje zpracování audio dat a je připojena přes konektor SV1 ke vstupní jednotce, kde je realizován obvod pro spínání této diody (viz kap. 3.6). Poslední indikační diodou je LD_PWR. Svit této diody indikuje stav, kdy je zesilovač v režimu Stand-by.

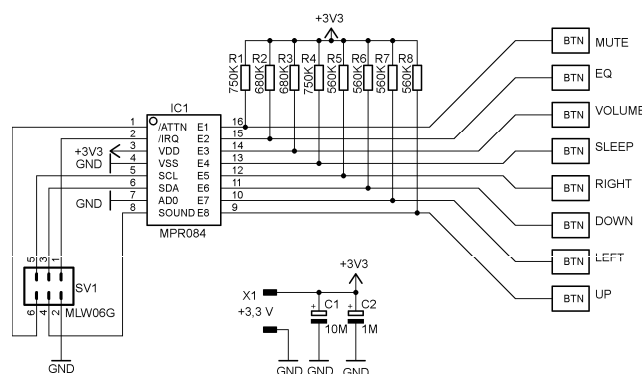
V běžném provozu zesilovače je připojeno napájecí napětí $U_{A5} = 5$ V z aktivní části napájecí jednotky (ve schématu označeno jako +5V_A) i napětí $U_{P3,3} = 3,3$ V z pohotovostní části napájecí jednotky (ve schématu označeno jako +3V3_S). V tomto případě je tedy na katodě diody LD_PWR napětí $U_{A5} = 5$ V snížené o úbytek na polovodičové diodě D1 ($U_D = 0,7$ V). Na anodě diody LD_PWR je napájecí napětí $U_{P3,3} = 3,3$ V. Dioda je tedy polarizována v závěrném směru a nesvítí.

Jakmile dojde k uvedení zesilovače do režimu Stand-by, dojde k odpojení aktivní části napájecí jednotky a tím i k odpojení napětí $U_{A5} = 5$ V (+5V_A). Dioda LD_PWR je pak napájena napětím $U_{P3,3} = 3,3$ V z pohotovostní části napájecí jednotky (+3V3_S) a přes rezistor R1 je připojena na nulový potenciál. Dioda LD_PWR tedy svítí. Polovodičová dioda D1 brání pronikání napětí $U_{P3,3} = 3,3$ V do části s napětím $U_{A5} = 5$ V.

Blok indikace byl zrealizován na jednostranné DPS s rozměry $(43,3 \times 73,6)$ mm. Předloha této DPS je uvedena v příloze D.1 a rozmístění součástek na DPS v příloze D.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.7. V příloze I.4 jsou uvedeny fotografie zrealizovaného bloku.

3.8 Uživatelské rozhraní

Pro realizaci bloku uživatelského rozhraní byl zvolen způsob s využitím integrovaného kapacitního snímače MPR084 od firmy Freescale Semiconductor [34]. Jedná se o obvod, který detekuje změnu kapacity na připojených elektrodách. Obvod tak dokáže vyhodnotit dotyk či přiblížení prstu až k osmi elektrodám, které jsou připojeny k tomuto obvodu. Tyto elektrody jsou vyleptány přímo na DPS a jsou tedy široké možnosti jejich tvarů a velikostí. Schéma zapojení bloku uživatelského rozhraní, které vychází z doporučeného zapojení obvodu MPR084 je uvedeno na obr. 3.10.



Obr. 3.10: Schéma zapojení bloku uživatelského rozhraní

Jednotlivé snímací elektrody (tlačítka) jsou ve schématu vyznačeny jako BTN s funkcemi MUTE, EQ, VOLUME, atd. K signálům připojícím tyto elektrody k řídicímu obvodu jsou připojeny pull-up rezistory, jejichž změnou odporu je možné měnit citlivost jednotlivých tlačítek. Přesné nastavení požadované citlivosti je pak v omezeném rozsahu možné provést softwarově. Výrobce obvodu doporučuje hodnotu odporu pull-up rezistorů $R = 750 \text{ k}\Omega$. Vhodná hodnota je však závislá na tvaru a velikosti elektrod, přívodních tras a materiálu přes který je detekován stisk tlačítka.

Význam jednotlivých tlačítek je uveden v tab. 3.9.

Tab. 3.9: Přehled funkcí jednotlivých tlačítek

Název elektrody	Popis funkce
MUTE	Umlčení kanálů zesilovače
EQ	Zrychlený přístup do menu s volbou ekvalizéru
VOLUME	Zrychlený přístup do menu s volbou hlasitosti
SLEEP	Uvedení zesilovače do režimu Stand-by
RIGHT,LEFT	Změna aktuální hodnoty nastavené položky v menu
UP, DOWN	Přechod mezi položkami v menu

Komunikace obvodu MPR084 s řídicím mikrokontrolérem probíhá po sběrnici I2C a pomocí dvou řídicích signálů – /ATTN a /IRQ.

Obvod MPR084 dovoluje použití až čtyř provozních režimů označených jako RUN1, RUN2, STOP1 a STOP2 (viz tab. 3.10). Signál /ATTN slouží pro přechod obvodu z režimu neaktivní I2C komunikace (RUN2, STOP2) do režimu s aktivní I2C komunikací (RUN1, STOP1).

Tab. 3.10: Přehled provozních režimů obvodu MPR084 [34]

Režim	Popis
RUN1	Skenování stavu elektrod probíhá nepřetržitě v uživatelsky nastavené periodě. Komunikace I2C aktivní.
RUN2	Skenování stavu elektrod probíhá nepřetržitě v uživatelsky nastavené periodě. Mezi každým snímáním elektrod se obvod nachází ve stavu snížené spotřeby. Komunikace I2C neaktivní.
STOP1	Skenování stavu elektrod zastaveno, komunikace I2C aktivní. Jediný režim, ve kterém je možné měnit konfiguraci obvodu.
STOP2	Skenování stavu elektrod zastaveno, komunikace I2C neaktivní.

Z důvodu minimalizace příkonu zesilovače je obvod MPR084 nakonfigurován do režimu snížené spotřeby RUN2.

Signál /IRQ je signál, který generuje obvod MPR084 na základě události na elektrodě. Tímto signálem pak lze vyvolat přerušení řídicího mikrokontroléru. V závislosti na konfiguraci obvodu je možné, aby toto přerušení bylo generováno jak v případě stisku, tak v případě uvolnění tlačítka.

Z pohledu I2C komunikace se obvod MPR084 chová jako zařízení Slave s adresou 0x5C. V případě aktivity na elektrodách dojde k vygenerování přerušení a řídící mikrokontrolér přečte data z příslušných registrů obvodu. Dle stavu jednotlivých registrů pak zjistí k jaké události došlo a na které elektrodě.

Pull-up rezistory jak pro sběrnici I2C, tak pro signály /IRQ a /ATTN jsou připojeny u zařízení Master, tedy u řídicího mikrokontroléru.

Jelikož je pro vyhodnocení stisku tlačítka potřeba nulová síla stisku, případně stačí i přiblížení se k danému tlačítku, je obvod vybaven výstupem pro připojení piezosirény. Tato piezosiréna pak realizuje akustickou zpětnou vazbu stisku tlačítka.

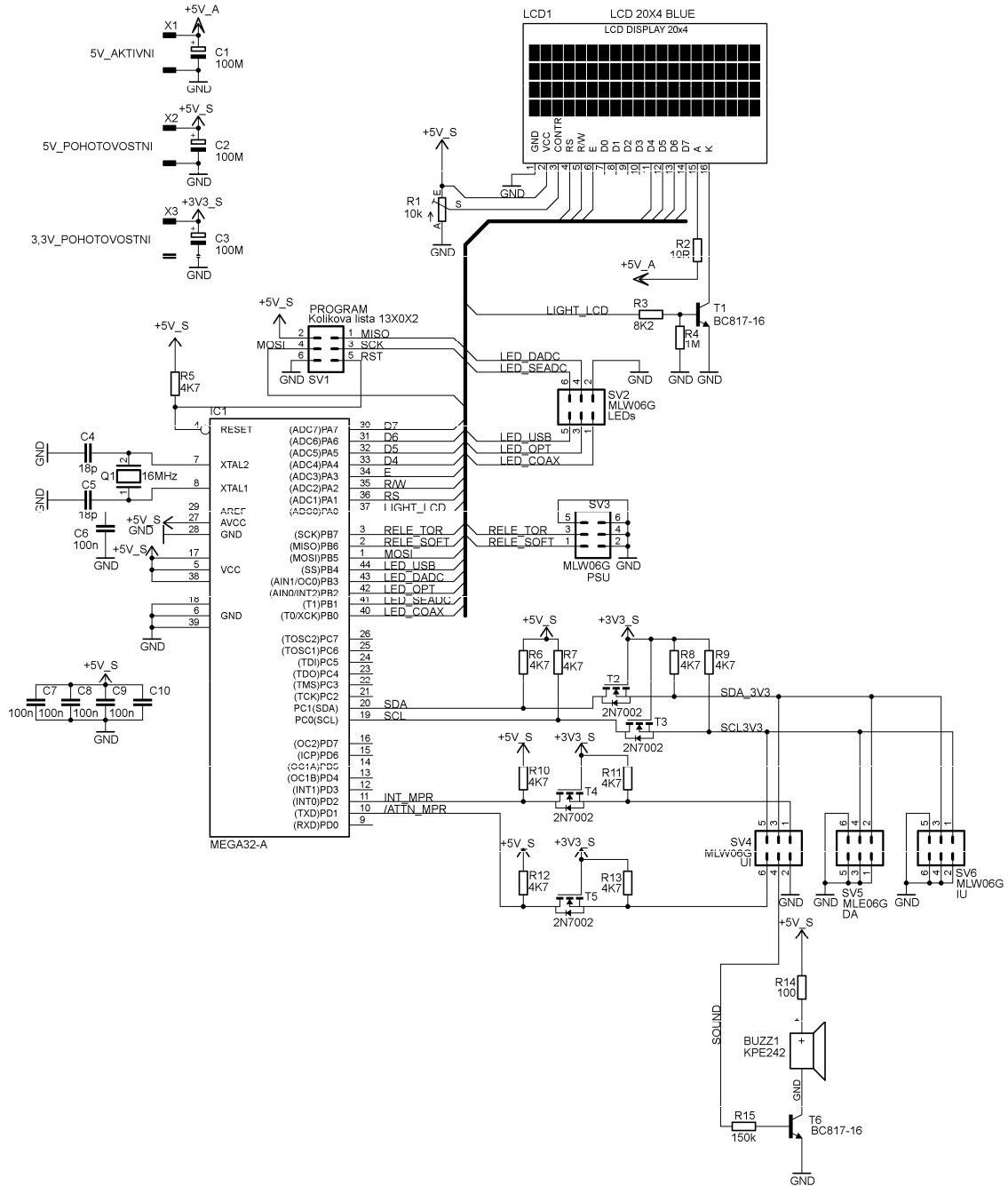
Propojení uživatelského rozhraní s blokem MCU je realizováno pomocí konektoru SV1. V tomto konektoru jsou obsaženy jak signály komunikační sběrnice, řídicí signály /IRQ a /ATTN, tak výstup pro připojení piezosirény.

Při návrhu DPS tohoto bloku byl kladen důraz na minimalizaci rozptylové kapacity mezi snímacími elektrodami a nulovým potenciálem. Při zvýšené kapacitě dochází ke snižování citlivosti jednotlivých elektrod. Při nevhodném návrhu jednotlivých tras k elektrodám pak může docházet také k falešným detekcím dotyku. Pro eliminaci těchto parazitních jevů byla dodržena návrhová doporučení výrobce. Jedná se o minimalizaci šířky tras k elektrodám, eliminaci vedení tras pod elektrodami a eliminaci zemnicí plochy v okolí elektrod a jejich přívodních tras.

Blok uživatelského rozhraní byl zrealizován na oboustranné DPS, jejíž předlohy jsou uvedeny v příloze E.1 a rozmístění součástek na DPS v příloze E.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.8. V příloze I.5 jsou uvedeny fotografie zrealizovaného bloku.

3.9 MCU

Schéma zapojení bloku MCU, který slouží pro řízení činnosti celého zesilovače, je uvedeno na obr. 3.11.

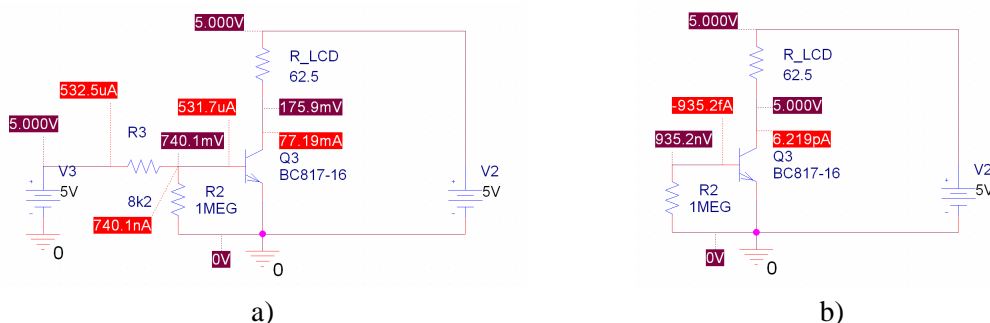


Obr. 3.11: Schéma zapojení bloku MCU

Jádrem tohoto bloku je mikrokontrolér ATmega32 [35] vybavený řídicím firmware, který je popsán v kapitole 5. Tento mikrokontrolér pracuje s taktovací frekvencí $f = 16 \text{ MHz}$ a je napájen napětím $U_{VCC} = 5 \text{ V}$ z pohotovostní části napájecí

jednotky (ve schématu označeno jako +5V_S). Napětí $U_{LCD} = 5\text{ V}$ pro podsvícení LCD displeje je přivedeno z aktivní části napájecí jednotky (ve schématu označeno jako +5V_A). Napájecí napětí $U_{VDD} = 3,3\text{ V}$ z pohotovostní části (ve schématu označeno jako +3V3_S) slouží pro převod 5V logiky na 3,3V logiku.

LCD displej je připojen přes 16pinový konektor, který je ve schématu znázorněn displejem LCD1. Pro komunikaci mikrokontroléru s displejem jsou využity 4 datové signály (D4 ÷ D7) a 3 řídicí signály (E, R/W, RS). Kontrast zobrazení LCD displeje je možné nastavit odporovým trimrem R1. Podsvícení LCD displeje má při napětí $U_{AK} = 4,2\text{ V}$ odběr $I_{AK} = 80\text{ mA}$. Omezovací rezistor R2 má dle Ohmova zákona hodnotu $R = 10\ \Omega$. Tento rezistor je připojen mezi anodu podsvícení a napájecí napětí $U_{LCD} = 5\text{ V}$. Katoda podsvícení je připojena přes spínací tranzistor T1 na nulový potenciál. Tento tranzistor je spínán signálem LIGHT_LCD z mikrokontroléru. Rezistor R3 je omezovací rezistor proudu do báze tohoto tranzistoru. Hodnota tohoto rezistoru byla určena z velikosti požadovaného kolektorového proudu a parametrů tranzistoru. Vypočtená hodnota odporu byla ověřena simulací v programu PSpice, jejíž výsledek je uveden na obr. 3.12.



Obr. 3.12: Simulace spínacího tranzistoru pro podsvícení LCD displeje: a) tranzistor sepnut, b) tranzistor rozepnut

Konektor SV4 slouží pro připojení bloku uživatelského rozhraní (UI – User Interface). Sběrnice I2C je přivedena přes převodníky napětíových úrovní, které jsou tvořeny tranzistory T2 a T3 a příslušnými pull-up rezistory. Řídicí signály INT_MPR a /ATTN_MPR jsou přivedeny přes převodníky s tranzistory T4 a T5. Signál přerušení od obvodu kapacitních tlačítek (INT_MPR) je přiveden na pin pro externí přerušení INT0 (PD2). Ke konektoru SV4 je dále přes spínací tranzistor T6 připojena piezosířena BUZZ1, která realizuje akustickou zpětnou vazbu stisku tlačítka.

Konektory SV5 a SV6 slouží pro připojení bloku vstupní jednotky (IU – Input Unit) a bloku digitálního výkonového zesilovače (DA – Digital Amplifier). Tyto bloky komunikují pouze po sběrnici I2C.

Konektor SV3 slouží pro připojení řídicích signálů k napájecí jednotce (PSU – Power Supply Unit). Tato jednotka je řízena pouze dvěma signály – RELE_TOR a RELE_SOFT. Jak název napovídá, signál RELE_TOR spíná relé pro připojení toroidního transformátoru k síťovému napětí $U = 230\text{ V}$. Signál RELE_SOFT pak spíná relé přemostující výkonový omezovací rezistor, který zajišťuje tzv. „měkký start“ toroidního transformátoru (viz kap. 3.10).

Konektor SV2 slouží pro připojení části LED indikace. Pomocí jednotlivých signálů jsou rozsvěcovány jednotlivé diody LED na předním panelu zesilovače (viz kap. 3.7).

Pro nahrávání programu do mikrokontroléru slouží rozhraní ISP (In System Programming), které je vyvedeno na konektoru SV1. Jedná se o signály MISO, MOSI, SCK, Reset a napájecí napětí $U_{VCC} = 5 \text{ V}$.

Blok MCU byl zrealizován na oboustranné DPS s rozměry $(54,3 \times 69,9) \text{ mm}$. Předlohy této DPS jsou uvedeny v příloze F.1 a rozmístění součástek na DPS v příloze F.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.9. V příloze I.6 jsou uvedeny fotografie zrealizovaného bloku.

3.10 Napájecí jednotka

Napájecí jednotka se skládá ze dvou částí – z aktivní napájecí části a z pohotovostní napájecí části. Aktivní napájecí část slouží pro napájení bloku digitálního výkonového zesilovače, bloku indikace, podsvícení LCD displeje a dále vstupní jednotky, ze které jsou napájeny jednotlivé převodníky. Z pohotovostní napájecí části je pak napájen blok MCU a blok uživatelského rozhraní.

Aktivní napájecí část je tvořena toroidním transformátorem se sekundárním napětím $U_{A-SEC} = 24 \text{ V}$, které je usměrněno a vyhlazeno externím usměrňovacím můstkem a velkokapacitními kondenzátory. Toto usměrněné napětí je použito pro napájení výkonové části obvodu STA326. Velikost tohoto napětí je přibližně dána vztahem 3.11.

$$U_{OUT} = U_{SEC} \cdot \sqrt{2} - U_{UM} = 24 \cdot \sqrt{2} - 1,4 = 32,5 \text{ V} , \quad (3.11)$$

kde U_{OUT} je velikost výstupního usměrněného napětí [V], U_{SEC} efektivní hodnota sekundárního napětí transformátoru [V] a U_{UM} je úbytek napětí na usměrňovacím můstku [V].

Z tohoto stejnosměrného napětí o velikosti $U_{A-OUT} = 32,5 \text{ V}$ je dále vytvořeno napětí $U_{A5} = 5 \text{ V}$ a $U_{A3,3} = 3,3 \text{ V}$ pro napájení ostatních bloků zesilovače.

Pohotovostní část napájecí jednotky je tvořena transformátorem o relativně nízkém výkonu se sekundárním napětím $U_{P-SEC} = 9 \text{ V}$. Dle vztahu 3.11 je velikost tohoto napětí po usměrnění přibližně $U_{P-OUT} = 11,8 \text{ V}$. Tímto napětím jsou napájeny cívky relé pro spínání aktivní části napájecí jednotky. Z tohoto napětí je dále vytvořeno napětí $U_{P5} = 5 \text{ V}$ a $U_{P3,3} = 3,3 \text{ V}$ pro napájení bloku MCU a uživatelského rozhraní.

Před návrhem celého zapojení a volbou jednotlivých prvků napájecí jednotky je nejprve nutné stanovit přibližnou spotřebu obvodů napájených jak z aktivní, tak z pohotovostní části napájecí jednotky.

Z obvodů napájených z aktivní části jednotky má bezpochyby největší proudový odběr výkonová část obvodu STA326, která je napájena napětím $U_{A-OUT} = 32,5 \text{ V}$. Výstupní výkon obvodu STA326 je s dostatečnou rezervou předpokládán $P_{OUT(STA326)} = 45 \text{ W}$ na každém kanálu při účinnosti $\eta_{STA326} = 80 \%$. Příkon výkonové části tohoto obvodu je tedy dán vztahem 3.12.

$$P_{\text{STA326(V)}} = \frac{2 \cdot P_{\text{OUT(STA326)}}}{\eta_{\text{STA326}}} = \frac{2 \cdot 45}{0,8} = 112,5 \text{ W}, \quad (3.12)$$

kde $P_{\text{STA326(V)}}$ je příkon výkonové části obvodu STA326 [W], $P_{\text{OUT(STA326)}}$ výstupní výkon dodaný obvodem STA326 do reproduktoru [W] a η_{STA326} je účinnost obvodu STA326 [%].

Dalšími obvody, které jsou napájeny z aktivní části jednotky, jsou obvody s napájecím napětím $U_{A5} = 5 \text{ V}$. Jedná se o některé obvody vstupní jednotky, dílčí obvody v jednotlivých převodnících, podsvícení LCD displeje a indikační diody LED. Spotřeba těchto dílčích obvodů se pohybuje v rozmezí desítek, maximálně stovek miliampér. Vzhledem k této hodnotě a faktu, že je aktivní vždy pouze jen jeden ze vstupních převodníků, je celková spotřeba těchto obvodů ve srovnání se spotřebou výkonové části obvodu STA326 velmi malá. Pro výpočet bude tedy použit odhadnutý odběr $I_{A5} = 700 \text{ mA}$, což představuje při napětí $U_{A5} = 5 \text{ V}$ příkon $P_{A5} = 3,5 \text{ W}$.

Napájecím napětím $U_{A3,3} = 3,3 \text{ V}$ jsou napájeny především digitální části jednotlivých převodníků, vstupní jednotka a digitální část obvodu STA326. Odběry těchto obvodů se pohybují v desítkách miliampér. Pro poskytnutí dostatečné rezervy je tedy předpokládaný odběr zvolen $I_{A3,3} = 500 \text{ mA}$, což představuje při napětí $U_{A3,3} = 3,3 \text{ V}$ příkon $P_{A3,3} = 1,65 \text{ W}$.

Pro vytvoření napětí $U_{A5} = 5 \text{ V}$ z napájecího napětí $U_{A-OUT} = 32,5 \text{ V}$ byl zvolen spínaný stabilizátor LT1076 s maximálním výstupním proudem $I = 5 \text{ A}$ [36]. Pro vytvoření napětí $U_{A3,3} = 3,3 \text{ V}$ z napětí $U_{A5} = 5 \text{ V}$ byl pak zvolen lineární stabilizátor LF33CDT, jehož výstupní proud může dosáhnout hodnoty až $I = 1 \text{ A}$ [37]. Oba stabilizátory tedy s dostatečnou rezervou splňují proudové požadavky uvedené výše. Základní parametry těchto stabilizátorů jsou uvedeny v tab. 3.11.

Tab. 3.11: Základní parametry stabilizátorů použitých v aktivní části napájecí jednotky [36, 37]

Označení stabilizátoru	LT1076	LF33CDT
Typ stabilizátoru	spínaný	lineární
Výstupní napětí	5 V	3,3 V
Spínací frekvence	100 kHz	-
Účinnost	80 %	-
Maximální vstupní napětí	45 V	16 V
Maximální výstupní proud	5 A	1 A

Do celkové spotřeby je také nutné zahrnout ztrátové výkony jednotlivých stabilizátorů. Tyto ztrátové výkony budou ovšem ve srovnání s celkovou spotřebou tak malé, že je možné je ve výpočtech zanedbat.

Ve zjednodušeném případě je pak tedy spotřeba všech obvodů napájených z aktivní části napájecí jednotky dána vztahem 3.13.

$$P_{AC} = P_{STA326(V)} + P_{A5} + P_{A3,3} = 112,5 + 3,5 + 1,65 = 117,65 \text{ W}, \quad (3.13)$$

kde P_{AC} je celkový výkon odebíraný z aktivní části napájecí jednotky [W], $P_{STA326(V)}$ příkon výkonové části obvodu STA326 [W], P_{A5} příkon obvodů napájených napětím $U_{A5} = 5 \text{ V}$ [W] a $P_{A3,3}$ je příkon obvodů napájených napětím $U_{A3} = 3,3 \text{ V}$ [W].

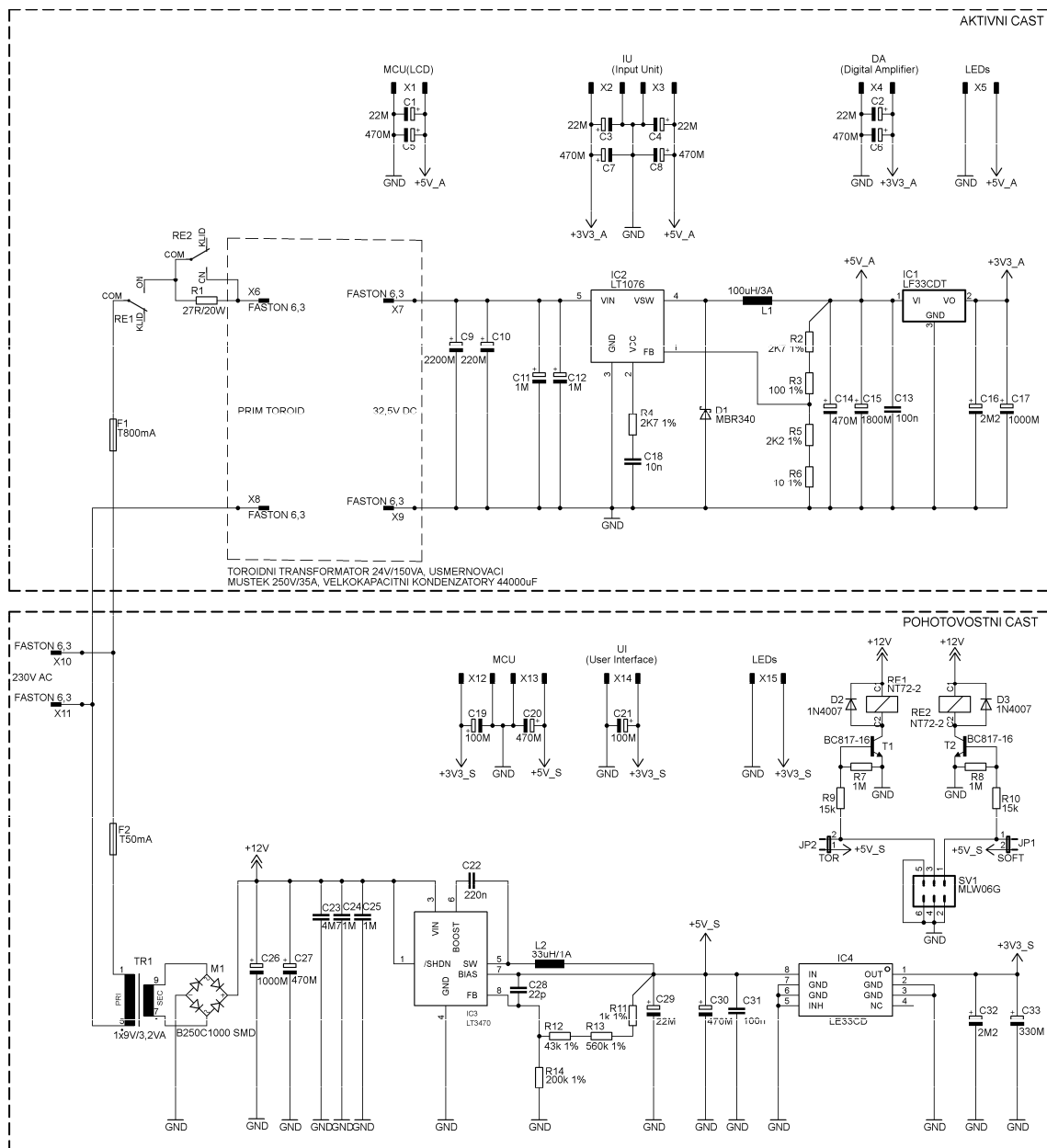
Vzhledem ke zjednodušeným výpočtům se zanedbáním ztrátových výkonů stabilizátorů, účinnosti usměrňovače, transformátoru a dalších faktorů, byl zvolen s dostatečnou rezervou výkon toroidního transformátoru $P_{tor} = 150 \text{ VA}$.

Mezi obvody, které jsou napájeny z pohotovostní části napájecí jednotky patří relé pro spínání síťového napájení a přemostování rezistoru pro „měkký start“ toroidního transformátoru. Z napájecího napětí $U_{P5} = 5 \text{ V}$ je napájen blok MCU a z napětí $U_{P3,3} = 3,3 \text{ V}$ blok uživatelského rozhraní a část obvodů bloku MCU. Celková spotřeba těchto obvodů činí s rezervou přibližně $P_{PC} = 1,8 \text{ W}$. Výkon transformátoru byl zvolen $P_{EI} = 3,2 \text{ VA}$. Pro vytvoření napětí $U_{P5} = 5 \text{ V}$ a $U_{P3,3} = 3,3 \text{ V}$ byly zvoleny stabilizátory LT3470 [38] a LE33CD [39]. Základní parametry těchto obvodů jsou uvedeny v tab. 3.12.

Tab. 3.12: Základní parametry stabilizátorů použitých v pohotovostní části napájecí jednotky [38, 39]

Označení stabilizátoru	LT3470	LE33CD
Typ stabilizátoru	Spínaný	Lineární
Výstupní napětí	5 V	3,3 V
Účinnost	80 %	-
Maximální vstupní napětí	40 V	18 V
Maximální výstupní proud	200 mA	150 mA

Schéma zapojení napájecí jednotky je uvedeno na obr. 3.13.



Obr. 3.13: Schéma zapojení bloku napájecí jednotky

Primární vinutí jak externího toroidního transformátoru, tak transformátoru TR1 jsou připojeny přes tavné pojistky F1 a F2 o odpovídajícím jmenovitém proudu.

V obvodu primárního vinutí toroidního transformátoru je zapojen kontakt relé RE1 pro připojování transformátoru k síťovému napětí $U = 230\text{ V}$ a výkonový rezistor R1 o hodnotě $R = 27\ \Omega/20\text{ W}$ pro zajištění tzv. „měkkého startu“ toroidního transformátoru. Tento výkonový rezistor je po době přibližně $t = 4\text{ s}$ přemostěn kontakty relé RE2. Výkonovým rezistorem R1 je omezena proudová špička při připojení transformátoru k napájecímu napětí. Proudová špička nabývá maximální hodnoty v okamžiku připojení transformátoru k síti a dále exponenciálně klesá. Extrémní výkonové namáhání omezovacího rezistoru je tak velmi krátké. Jelikož se po připojení napájení k bloku MCU nacházejí I/O porty mikrokontroléru ve stavu vysoké impedance, jsou na bázích

tranzistorů T1 a T2 připojeny pull-down rezistory R7 a R8. Tyto rezistory zajišťují nízké úrovně na bázích těchto tranzistorů během inicializace mikrokontroléru. Pro spínání jednotlivých relé jsou použity signály mikrokontroléru SCK a MISO, které jsou využívány při nahrávání programu do mikrokontroléru. Je proto nutné před začátkem nahrávání programu učít kroky, které zamezí nežádoucímu spínání těchto relé v závislosti na úrovních signálů SCK a MISO. Před nahráváním programu je tedy nutné zkratovat propojky JP1 a JP2 a odpojit kabel z konektoru SV1 napájecí jednotky. Tímto je zajištěno, že relé zůstanou sepnuty i po odpojení řídicích signálů od napájecí jednotky.

Jako filtrační kondenzátory byly použity dva velkokapacitní kondenzátory se šroubovými kontakty o kapacitě $C = 22000 \mu\text{F}$ od výrobce Samxon. Zvlnění takto vyhlazeného napětí je přibližně dáno vztahem 3.14.

$$p = \frac{300 \cdot I}{C_N \cdot U_0} = \frac{300 \cdot 3600}{44000 \cdot 32,5} = 0,76 \% , \quad (3.14)$$

kde p je zvlnění výstupního napětí [%], I odebraný proud [mA], C_N kapacita vyhlazovacího kondenzátoru [μF] a U_0 je střední hodnota výstupního napětí [V] [39].

Toto zvlnění je pak definováno vztahem 3.15.

$$p = \frac{U_{\check{s}-\check{s}}}{U_0} \cdot 100, \quad (3.15)$$

kde p je zvlnění výstupního napětí [%], $U_{\check{s}-\check{s}}$ mezivrcholová hodnota zvlnění výstupního napětí [V] a U_0 je střední hodnota výstupního napětí [V] [40].

Velikosti zvlnění $p = 0,76 \%$ odpovídá tedy zvlnění výstupního napětí o velikosti $U_{\check{s}-\check{s}} = 0,25 \text{ V}$. Z takto vyhlazeného napětí je pomocí spínaného stabilizátoru LT1076 vytvořeno napětí $U_{A5} = 5 \text{ V}$ (ve schématu označeno jako +5V_A) pro napájení vstupní jednotky (IU – Input Unit), LED indikace (LEDs) a podsvícení LCD displeje (MCU(LCD)). Z tohoto napětí je dále pomocí lineárního stabilizátoru LF33CDT vytvořeno napětí $U_{A3,3} = 3,3 \text{ V}$ (ve schématu označeno jako +3V3_A) pro napájení vstupní jednotky (IU) a digitální části obvodu STA326 (DA – Digital Amplifier). Mezi jednotlivými stabilizátory jsou použity elektrolytické vyhlazovací kondenzátory a tantalové či keramické kondenzátory nízké kapacity pro pokrytí proudových špiček. U konektorů pro napájení vstupní jednotky, obvodu STA326 a LCD displeje jsou pak použity další lokální vyhlazovací kondenzátory.

Spínaný stabilizátor LT1076 je v 5vývodovém pouzdru typu TO-220, ke kterému je možné připojit dle potřeby chladič. Maximální teplota čipu tohoto obvodu je $T_j = 125 \text{ }^\circ\text{C}$, tepelný odpor přechodu čip-okolí $R_{\text{thj-amb}} = 50 \text{ }^\circ\text{C/W}$ a předpokládaná teplota okolí $T_a = 40 \text{ }^\circ\text{C}$. Bez použití chladiče je maximální ztrátový výkon tohoto obvodu dán vztahem 3.16.

$$P_{\text{max}} = \frac{T_j - T_a}{R_{\text{thj-amb}}} = \frac{125 - 40}{50} = 1,7 \text{ W} , \quad (3.16)$$

kde P_{\max} je maximální ztrátový výkon obvodu bez použití chladiče [W], T_j maximální teplota čipu [°C], $R_{\text{thj-amb}}$ tepelný odpor přechodu čip-okolí [°C/W] a T_a je teplota okolí [°C] [41, 42].

Výše vypočtenému maximálnímu ztrátovému výkonu P_{\max} při účinnosti spínaného stabilizátoru $\eta_{\text{LT1076}} = 80\%$ odpovídá maximální spotřeba připojených obvodů, která je dána vztahem 3.17.

$$P_{\text{outLT1076}} = \frac{\eta_{\text{LT1076}} \cdot P_{\max}}{1 - \eta_{\text{LT1076}}} = \frac{0,8 \cdot 1,7}{1 - 0,8} = 6,8 \text{ W}, \quad (3.17)$$

kde $P_{\text{outLT1076}}$ je maximální spotřeba připojených obvodů [W], P_{\max} maximální ztrátový výkon obvodu [W] a η_{LT1076} je účinnost obvodu LT1076 [%].

Odhadovaná spotřeba je tedy nižší, než vypočtená maximální dovolená spotřeba bez použití chladiče. Obvod tedy není nutné doplnit chladičem.

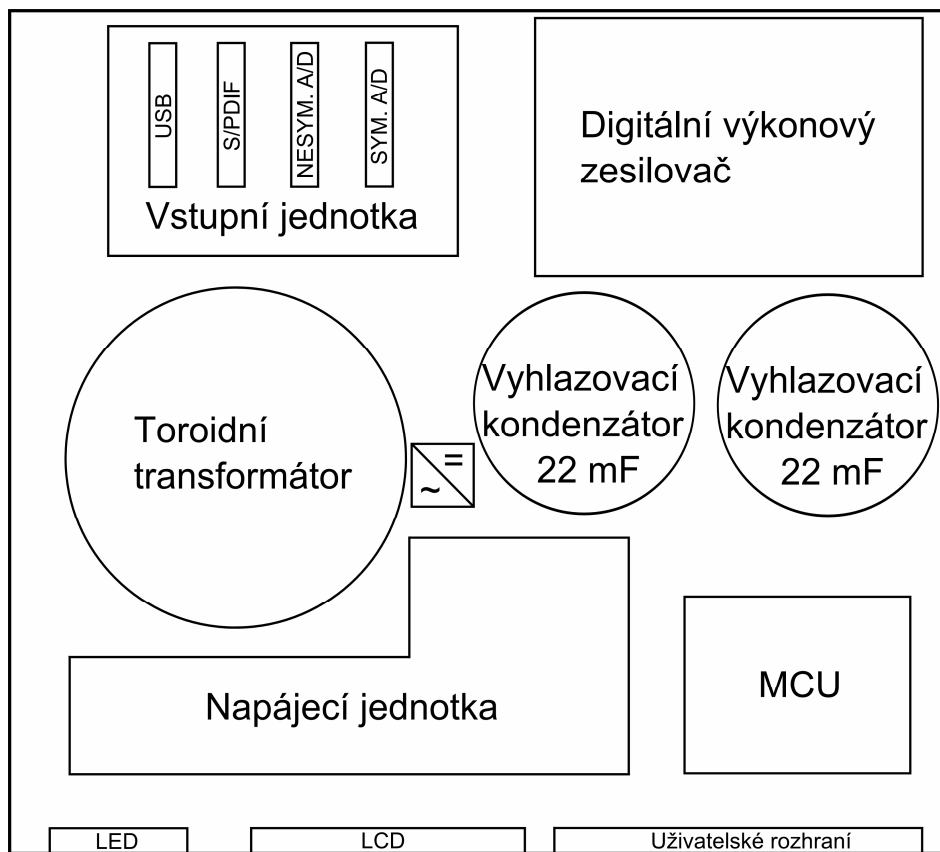
V pohotovostní části napájecí jednotky je usměrněním a vyhlazením sekundárního napětí transformátoru TR1 vytvořeno napětí $U_{\text{P-OUT}} = 11,8 \text{ V}$, jehož zvlnění je dle vztahu 3.14 přibližně $p = 2,6\%$. Tímto napětím jsou napájeny cívky relé RE1 a RE2 a spínaný stabilizátor LT3470, jehož výstupem je napětí $U_{\text{P5}} = 5 \text{ V}$ (ve schématu označeno jako +5V_S) pro napájení bloku MCU. Z tohoto napětí je dále lineárním stabilizátorem LE33CD vytvořeno napětí $U_{\text{P3,3}} = 3,3 \text{ V}$ (ve schématu označeno jako +3V3_S) pro napájení dílčích obvodů v bloku MCU a bloku uživatelského rozhraní (UI – User Interface).

Blok napájecí jednotky byl zrealizován na oboustranné DPS, jejíž předlohy jsou uvedeny v příloze G.1 a rozmístění součástek na DPS v příloze G.2. Seznam použitých součástek tohoto bloku je uveden v příloze H.10. V příloze I.7 jsou uvedeny fotografie zrealizovaného bloku.

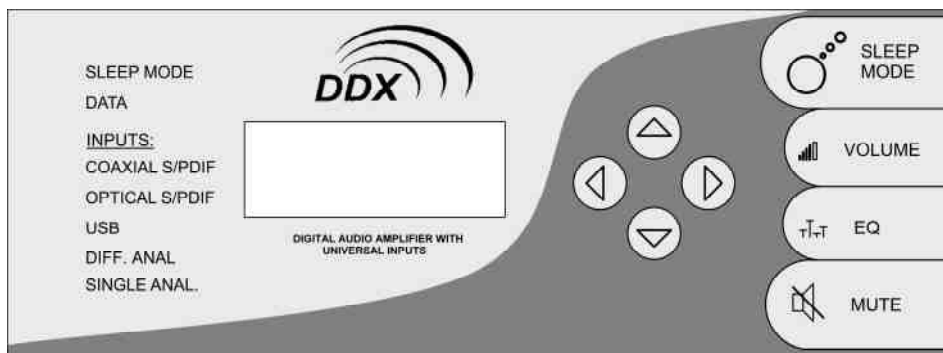
4 KONSTRUKCE PROTOTYPU ZESILOVAČE

Pro realizaci prototypu zesilovače byla vybrána přístrojová skříňka s označením CP-15-35 z materiálu ABS v matně šedé barvě od výrobce Combiplast. Rozměry skříňky jsou (94 × 290 × 258) mm [43].

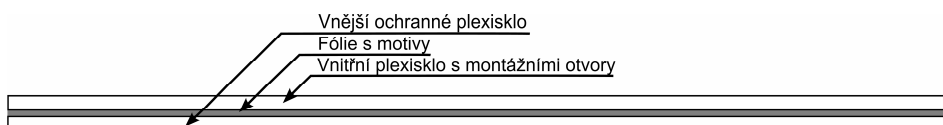
Rozmístění jednotlivých bloků zesilovače uvnitř této přístrojové skříňky je uvedeno na obr. 4.1. Bloky LED, LCD a Uživatelské rozhraní jsou uchyceny k vnitřnímu transparentnímu plexisklu, které je opatřeno závity pro montáž těchto bloků. Z vnější strany plexiskla je umístěna fólie s vytisknutými motivy a otvorem pro LCD displej (viz obr. 4.2). Tato fólie je kryta dalším vnějším transparentním plexisklem. Díky tomuto ochrannému plexisklu se čelní panel stává maximálně odolným vůči znečištění či poškození, což značně přispívá k prodloužení životnosti zesilovače. Způsob složení čelního panelu je naznačen na obr. 4.3.



Obr. 4.1: Rozmístění jednotlivých bloků zesilovače uvnitř přístrojové skříňky

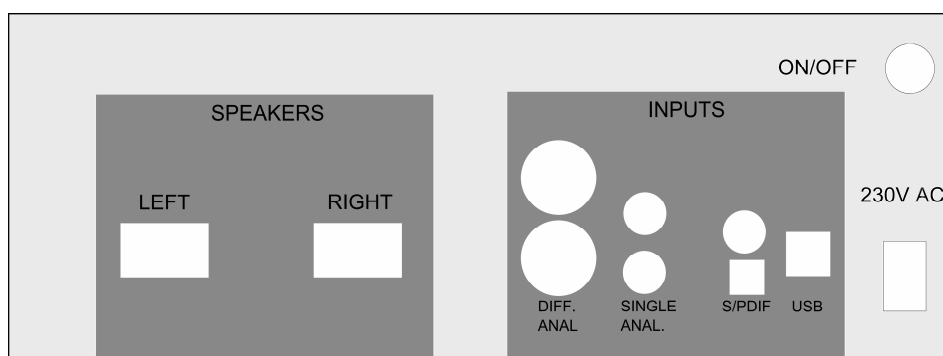


Obr. 4.2: Motiv fólie čelního panelu zesilovače



Obr. 4.3: Způsob složení čelního panelu zesilovače

Zadní netransparentní panel zesilovače je opatřen otvory pro montáž jednotlivých konektorů a hlavního vypínače. Na tomto panelu je nalepena fólie, jejíž předloha je uvedena na obr. 4.4. Vpravo dole je umístěn konektor pro připojení zesilovače do napájecí sítě 230 V. Vpravo nahoře je pak umístěn hlavní vypínač, kterým lze zesilovač odpojit od sítě.

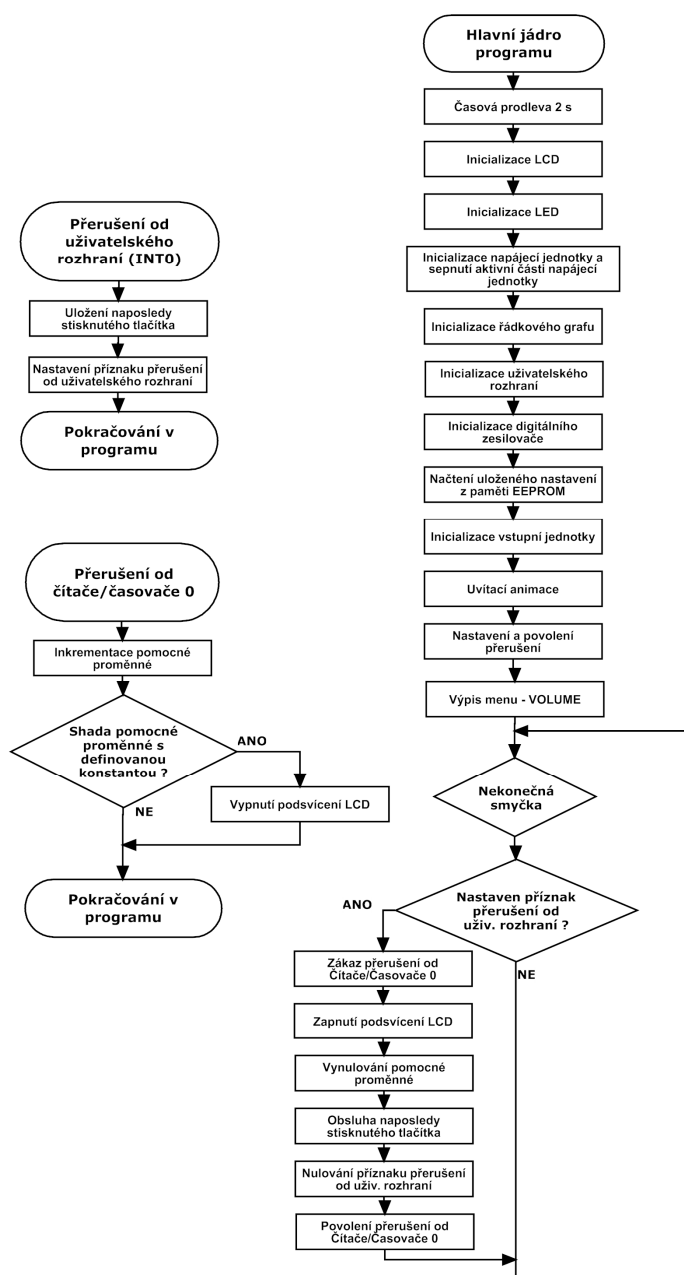


Obr. 4.4: Motiv fólie zadního panelu zesilovače

5 POPIS FIRMWARE ŘÍDÍCÍHO MIKROKONTROLÉRU

Firmware pro řídicí mikrokontrolér ATmega32 byl napsán ve vývojovém prostředí AVR Studio verze 4.19. Celý program se skládá ze tří základních částí. Jedná se o hlavní jádro programu, část obsluhy externího přerušení INT0 a část obsluhy interního přerušení od čítače/časovače 0.

Vývojové diagramy těchto částí programu jsou uvedeny na obr. 5.1



Obr. 5.1: Vývojový diagram hlavních částí řídicího firmware

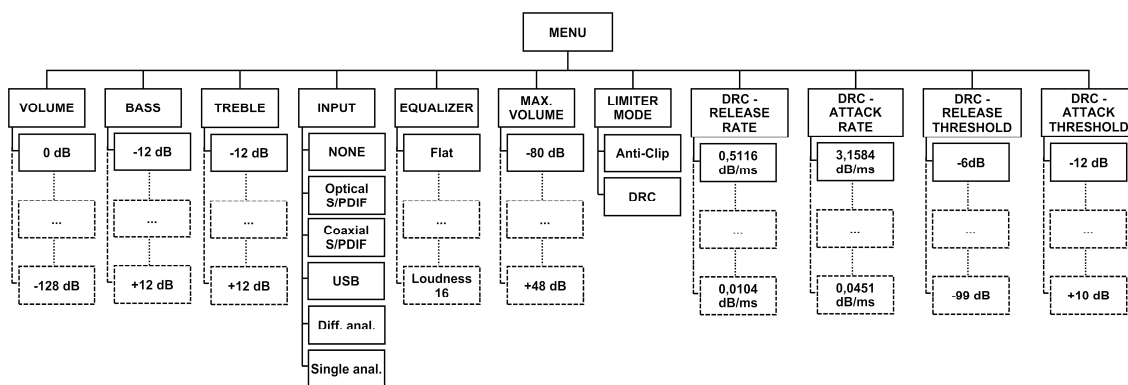
Po zapnutí zesilovače a uplynutí časové prodlevy $t = 2$ s, nutné k ustálení napěťových úrovní, dojde k inicializaci všech bloků zesilovače. Po provedení této části programu proběhne na LCD displeji uvítací animace (rychlá inkrementace a dekrementace rádkového grafu), dojde k nastavení a povolení příslušných přerušení a zobrazení nabídky menu na LCD displeji. První zobrazenou položkou v menu je položka VOLUME. Program se dále vykonává v nekonečné smyčce, kde je testován příznak přerušení od uživatelského rozhraní. Pokud je tento příznak nastaven, dojde k zákazu přerušení od interního Čítače/Časovače 0, zapnutí podsvícení LCD displeje (pokud je vypnuto), vynulování pomocné proměnné (viz dále) a obslužení stisku daného tlačítka. Po vykonání této obsluhy dojde k vynulování příznaku přerušení od uživatelského rozhraní a ke zpětnému povolení přerušení od Čítače/Časovače 0.

Běh nekonečné smyčky, kde je testován příznak přerušení od uživatelského rozhraní, může přerušit interní a externí přerušení.

K internímu přerušení od Čítače/Časovače 0 dochází periodicky každých 16,38 ms. V tomto přerušení dojde pouze k inkrementaci pomocné proměnné, která slouží jako čítač s krokem 16,38 ms. Pokud nastane shoda stavu tohoto čítače s definovanou konstantou 3663 (tj. $3663 \times 16,38 \text{ ms} = 1 \text{ minuta}$), dojde k vypnutí podsvícení LCD displeje. K tomuto periodickému přerušení dochází pouze v době, kdy není prováděna obsluha stisku tlačítka.

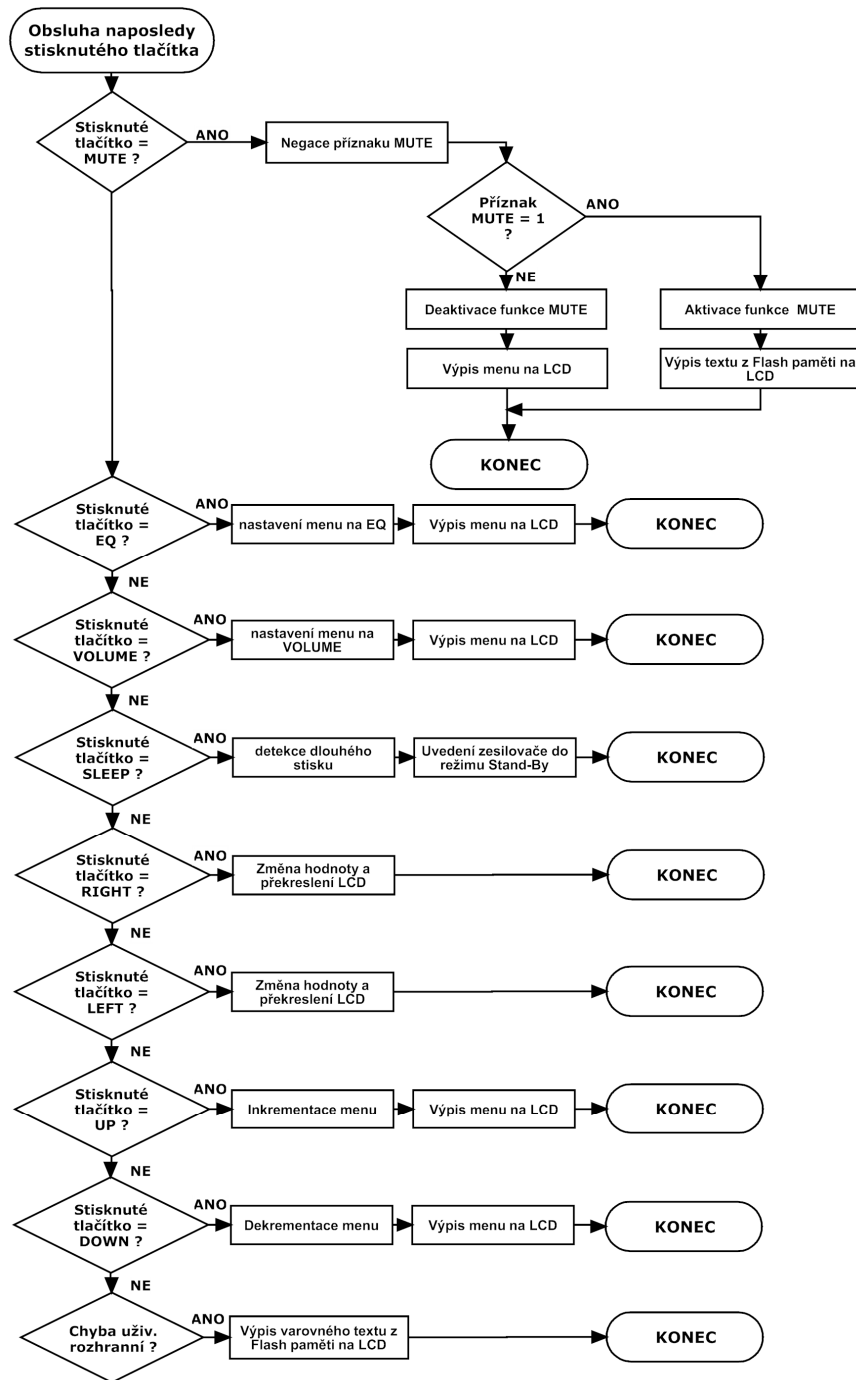
K externímu přerušení od uživatelského rozhraní dojde při stisku jakéhokoliv tlačítka. V tomto přerušení dojde ke zjištění a uložení naposledy stisknutého tlačítka a nastavení příznaku přerušení od uživatelského rozhraní.

Ovládání zesilovače je realizováno prostřednictvím jednoúrovňového menu. Tlačítka UP a DOWN je možné měnit položku v menu a tlačítka LEFT a RIGHT je možné provést změnu hodnoty nastavené položky v menu. Ostatní tlačítka slouží pro jednocelové funkce (viz kap. 2.5). Struktura menu znázorňující jednotlivé položky je uvedena na obr. 5.2.



Obr. 5.2: Struktura menu

Ve funkci obsluhy naposledy stisknutého tlačítka dojde k vykonání příslušné akce v závislosti na typu stisknutého tlačítka. Vývojový diagram této funkce je uveden na obr. 5.3.



Obr. 5.3: Vývojový diagram funkce obsluhy naposledy stisknutého tlačítka

Jestliže bylo stisknuto tlačítko pro pohyb v menu (UP, DOWN), dojde ke změně položky menu a vypsání nového textu na LCD displej. Pro vypsání menu slouží speciální funkce `PrintLCD(menu)`, která v závislosti na parametru menu kompletně vypíše na LCD displej příslušné znakové řetězce z Flash paměti a nastavenou hodnotu dané položky včetně grafického zobrazení (řádkový graf). V případě stisku tlačítka pro změnu nastavené položky v menu (LEFT, RIGHT), dojde ke změně hodnoty právě nastavené položky v menu. Změna hodnoty je prováděna speciální funkcí `ChangeValue(menu, Btn)`, jejíž parametr menu určuje právě nastavenou položku

v menu a parametr `Btn` směr změny (tlačítko `LEFT` či `RIGHT`), tedy inkrementaci či dekrementaci hodnoty. Tato funkce změní příslušnou hodnotu a překreslí text na LCD displeji.

V případě stisku jednoúčelových tlačítek dojde k vykonání jednorázové akce. Jestliže bylo stisknuto tlačítko pro umlčení výstupů zesilovače (`MUTE`), dojde k negování příznaku `MUTE` a v závislosti na tomto příznaku pak k aktivaci či deaktivaci funkce `MUTE`. V případě aktivace funkce je na LCD displeji vypsán příslušný informativní text. V případě deaktivace funkce je na LCD vypsána poslední položka menu před aktivací této funkce. Pokud bylo stisknuto tlačítko zrychleného přístupu do nastavení hlasitosti nebo nastavení ekvalizéru (`VOLUME`, `EQ`), dojde k nastavení menu na příslušnou položku a vypsání příslušného textu na LCD displej opět pomocí funkce `PrintLCD(menu)`. Posledním tlačítkem je tlačítko `SLEEP`, které slouží pro přechod zesilovače do režimu `Stand-By`. Při stisku tohoto tlačítka je volána funkce `long_btn(counter1, *p_function)`. Parametr `counter1` určuje dobu, po kterou musí být tlačítko stisknuto, aby došlo k vykonání funkce na kterou ukazuje ukazatel `*p_function`. Tento ukazatel ukazuje v tomto případě na funkci `PwrDn()`, která uloží nastavení zesilovače do paměti `EEPROM` a odpojí aktivní část napájecí jednotky. Mikrokontrolér je pak uveden do režimu snížené spotřeby `Idle`, kdy je zastaveno jádro procesoru. Po stisku jakéhokoliv tlačítka dojde k vykonávání programu od instrukce pro zavedení režimu snížené spotřeby. Dojde tedy k pokračování ve funkci `PwrDn()`, kde je zpětně připojena aktivní část napájecí jednotky, proběhne inicializace jednotlivých bloků zesilovače, načtení uloženého nastavení z paměti `EEPROM` a program se vrací zpět do nekonečné smyčky hlavního jádra programu. Zde je opět testován příznak přerušení od uživatelského rozhraní.

Funkce obsluhy naposledy stisknutého tlačítka dále obsahuje ošetření chyby uživatelského rozhraní. V takovém případě je na LCD displej vypsáno varovné hlášení a zesilovač je nutné resetovat vypnutím hlavního vypínače, případně odpojením od sítě.

Kompletní zdrojový kód s komentářem tohoto řídicího firmware je možné nalézt na příloženém CD. Pro komunikaci s LCD displejem a pro komunikaci po sběrnici `I2C` byly použity již hotové a odladěné knihovny [44, 45].

Přehled využití paměťového prostoru mikrokontroléru `ATmega32` je uveden v tab. 5.1.

Tab. 5.1: Využití paměťového prostoru použitého mikrokontroléru `ATmega32`

Typ paměti	Celková kapacita	Využitá kapacita
Programová (Flash)	32 kB	12,63 kB (38,5 %)
Volatilní datová (SRAM)	2 kB	609 B (29,7 %)
Nevolatilní datová (EEPROM)	1024 B	8 B (0,8 %)

5.1 Ovládání zesilovače

Cílem této podkapitoly je poskytnout základní informace o způsobu ovládání zesilovače a jeho funkcích a možnostech.

Po připojení zesilovače k napájecí síti 230 V a sepnutí hlavního vypínače na zadním panelu, dojde k červenému podsvícení textu „SLEEP MODE“ na předním panelu zesilovače (viz obr. 5.4). Po uplynutí doby $t = 2$ s dojde k vypsání textu „Initializing“ na prvním řádku LCD displeje (viz obr. 5.5o). Tento text informuje uživatele o začátku inicializace zesilovače. Za dobu přibližně $t = 4$ s dojde k sepnutí obvodu „měkkého startu“ toroidního transformátoru a na druhém řádku LCD displeje jsou vypisovány texty informující, který blok zesilovače se právě inicializuje. Doba inicializace jednotlivých bloků je však velmi krátká a za běžného stavu nelze změnu jednotlivých textů pozorovat. Výpis těchto textů nachází uplatnění v případě chybné inicializace některého z bloků zesilovače. V takovém případě je na LCD displeji trvale zobrazen text informující o bloku s kterým se cyklicky pokouší neúspěšně navázat komunikace (jedná se o bloky komunikující přes sběrnici I2C). Jako poslední probíhá inicializace vstupní jednotky. Doba této inicializace je přibližně $t = (2 \div 3)$ s v závislosti na aktivovaném audio vstupu. Po proběhnutí této inicializace je vypsán text „Completed“ a na čtvrtém řádku LCD displeje proběhne uvítací animace. Po této animaci je na LCD vypsáno počáteční menu s nastavením hlasitosti (viz obr. 5.5a) a zesilovač je připraven k použití.



Obr. 5.4: Fotografie zesilovače v režimu Stand-By

Tlačítka UP a DOWN (šipka nahoru a dolů) je možné se pohybovat v menu. Jednotlivé položky menu jsou uvedeny na obr. 5.5a-k. Tlačítka LEFT a RIGHT (šipka vlevo a vpravo) je pak možné měnit nastavenou hodnotu položky v menu. Možnosti jednotlivých změn závisí na aktuální položce:

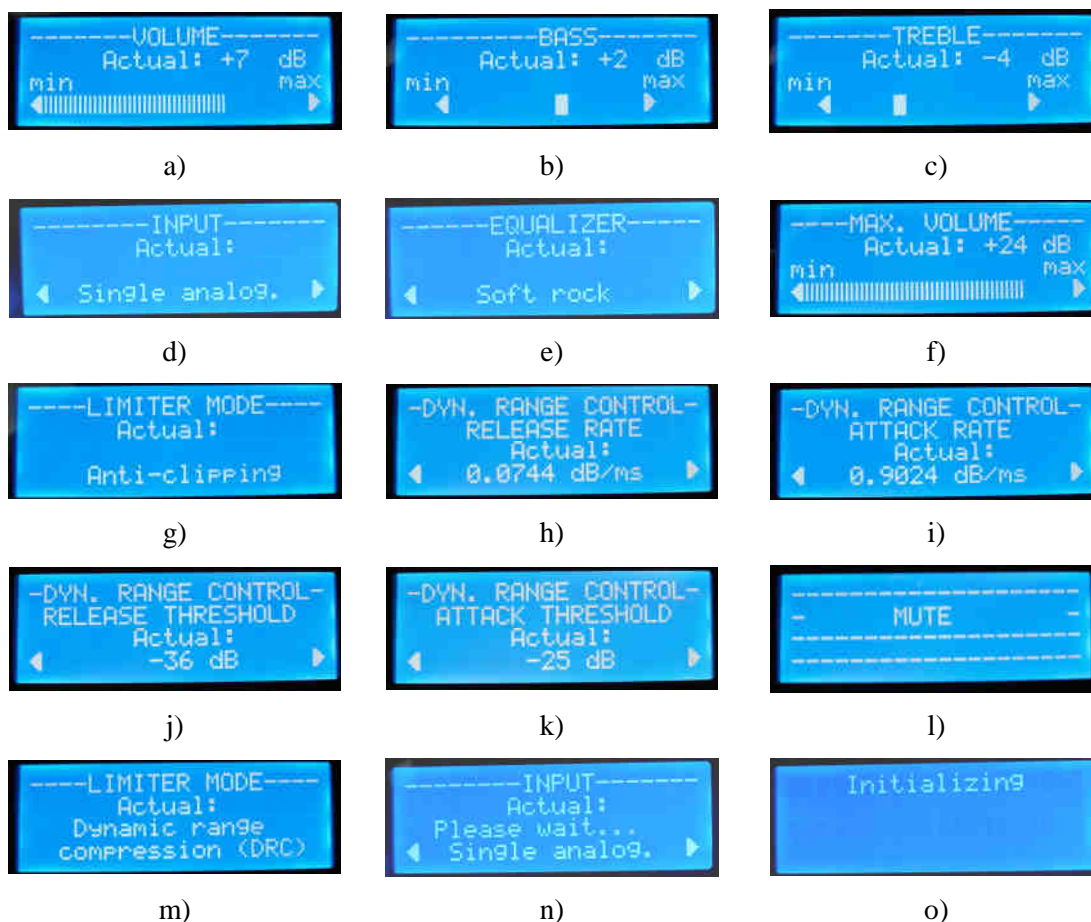
- VOLUME – je možné měnit hlasitost v rozsahu $(-127 \div 0)$ dB vzhledem k nastavené maximální hlasitosti (položka MAX. VOLUME). Na LCD displeji je pak vypisována hodnota výsledné hlasitosti, která je dána součtem nastavené maximální hlasitosti (položka MAX. VOLUME) a nastavené hlasitosti v položce VOLUME. V této položce menu je přístupná funkce tzv. „rychlé změny“, kdy při držení tlačítka dojde

za dobu přibližně $t = 1,2$ s k cyklické změně hodnoty po dobu stisku tlačítka.

- BASS, TREBLE – je možné měnit zdůraznění (resp. potlačení) nízkých (resp. vysokých) kmitočtů v rozsahu $(-12 \div +12)$ dB. Jeden krok představuje změnu o 2 dB.
- INPUT – je možné měnit zvolený audio vstup. V případě změny je vypsán na třetím řádku LCD displeje text „Please wait...“ dokud nedojde k aktivaci daného převodníku (viz obr. 5.5n).
- EQUALIZER – je možné volit až z 32 přednastavených křivek ekvalizéru.
- MAX. VOLUME – je možné měnit digitální zisk zesilovače v rozsahu $(-80 \div +48)$ dB. Tato hodnota určuje maximální hlasitost, kterou lze nastavit v položce VOLUME. Zesilovač tak lze přizpůsobit ke konkrétní reprosoustavě, resp. ke konkrétnímu zdroji signálu. V této položce menu je přístupná funkce „rychlé změny“.
- LIMITER MODE – je možné měnit režim limiteru (viz obr. 5.5g,m). V režimu Anti-clipping je při přebuzení zesilovače automaticky snížena jeho zisk pro eliminaci zvýšení harmonického zkreslení. V režimu DRC (Dynamic Range Control) je limiter ve funkci audio kompresoru s parametry nastavitelnými v následujících čtyřech položkách menu (viz obr. 5.5h-k). Jedná se o nastavení prahu (THRESHOLD) od kterého má kompresor začít reagovat (ATTACK) a přestat reagovat (RELEASE). Dále je možné nastavit rychlost (resp. čas) reakce (RATE) pro jednotlivé prahy. Tento režim je možné využít např. při nočním poslechu hudby, kdy lze správným nastavením parametrů audio kompresoru docílit stejné hlasitosti u skladeb s různými úrovněmi hlasitosti.

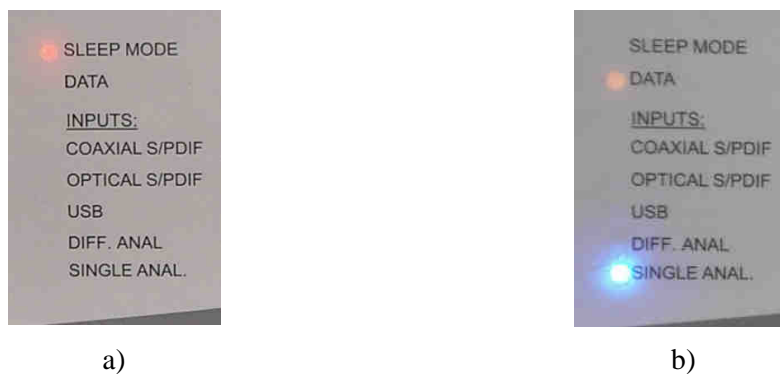
Zbývá čtyři tlačítka slouží pro jednorázové funkce. Stiskem tlačítka MUTE je možné umlčet výstupy zesilovače. Na displeji je pak zobrazen text „MUTE“ (viz obr. 5.5l). Při opakovaném stisknutí tlačítka dojde k deaktivaci této funkce. Stiskem tlačítka VOLUME dojde ke skokovému přístupu na položku nastavení hlasitosti (viz obr. 5.5a). Stejně tak při stisknutí tlačítka EQ dojde k přístupu na položku změny přednastaveného ekvalizéru (viz obr. 5.5e). Posledním tlačítkem je tlačítko SLEEP MODE. Přidržením tohoto tlačítka po dobu přibližně $t = 1,2$ s dojde k uvedení zesilovače do režimu Stand-By (viz obr. 5.4). Zesilovač je možné opětovně zapnout stiskem jakéhokoliv tlačítka a po proběhnutí inicializace je zařízení opět připraveno k použití.

V běžném provozu zesilovače dochází k automatickému vypínání podsvícení LCD displeje. Jestliže po dobu 1 minuty není detekována žádná aktivita od uživatele (stisk tlačítka), dojde k vypnutí podsvícení LCD displeje. Při stisku jakéhokoliv tlačítka pak dojde k jeho opětovnému rozsvícení.



Obr. 5.5: Fotografie displeje s jednotlivými položkami menu

V levé části zesilovače se nachází sedm textových položek, které jsou podsvěcovány diodami LED v závislosti na stavu zesilovače (viz obr. 5.6). První, již zmíněný text „SLEEP MODE“ s červeným podsvícením, slouží pro indikaci režimu Stand-By zesilovače (detail na obr. 5.6a). Pod tímto textem se nachází text „DATA“. Žluté podsvícení tohoto textu, resp. mírné problikávání, indikuje zpracovávání signálu aktivního vstupu (detail na obr. 5.6b). Následujících pět textů slouží pro indikaci zvoleného audio vstupu zesilovače. Aktivní vstup je indikován modrým podsvícením.



Obr. 5.6: Fotografie části zesilovače s podsvícenými texty: a) režim Stand-By, b) zpracování signálu z nesymetrického analogového vstupu

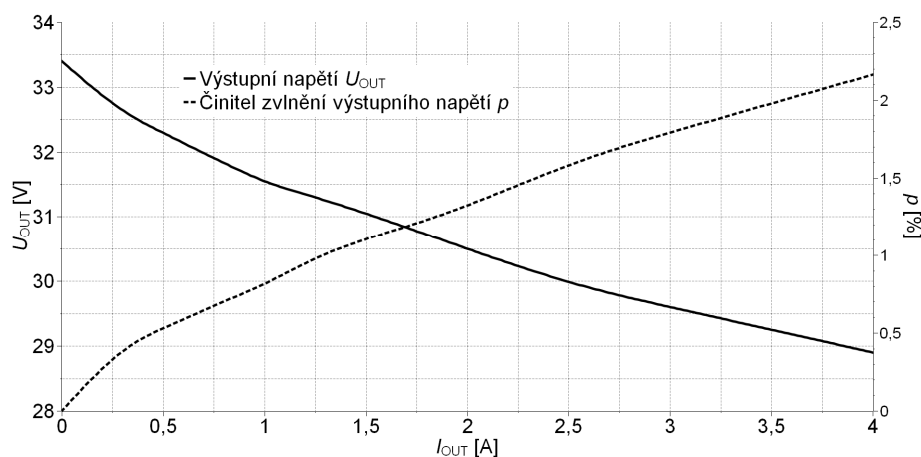
6 MĚŘENÍ NA PROTOTYPU ZESILOVAČE

6.1 Měření parametrů napájecí jednotky

Napájecí jednotka byla podrobena měření především z hlediska závislosti výstupního napětí a účinnosti na výstupním proudu.

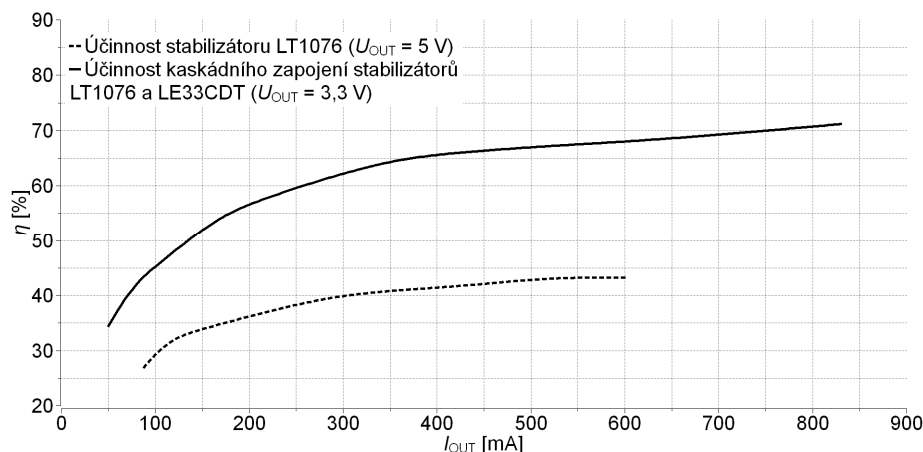
Závislost výstupního napětí a činitele zvlnění na výstupním proudu pro napájení výkonové části obvodu STA326 je uvedena na obr. 6.1. Při maximálním zatížení dosahuje činitel zvlnění hodnoty $p = 2,1 \%$. Odchylka této změřené hodnoty od hodnoty teoreticky vypočtené (viz vztah 3.14) je způsobena především samotným vztahem, který neuvažuje řadu dalších reálných vlastností kondenzátorů, transformátoru, usměrňovacích diod, apod., ale slouží pouze jako orientační výpočet.

Ze závislosti výstupního napětí na výstupním proudu lze pozorovat, že s rostoucím výstupním proudem dochází k poklesu výstupního napětí. Tento pokles je způsoben především nárůstem úbytku napětí na vinutí transformátoru.



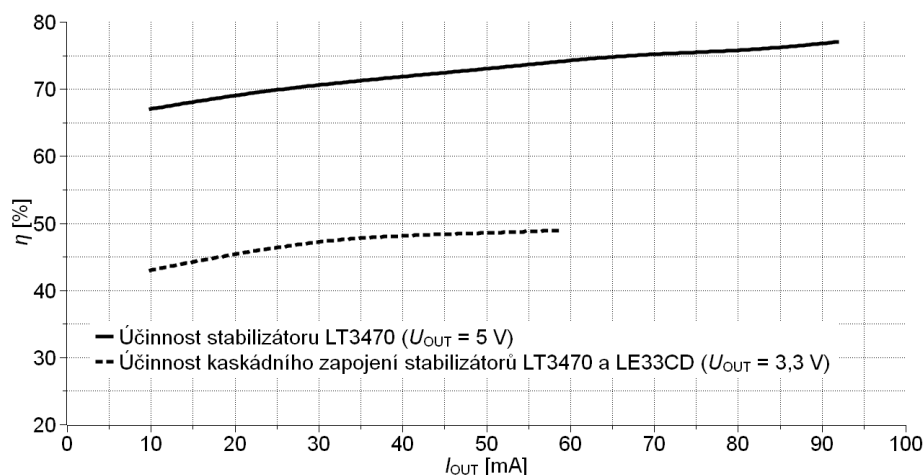
Obr. 6.1: Závislost výstupního napětí a činitele zvlnění na výstupním proudu pro napájení výkonové části obvodu STA326

Účinnosti stabilizátorů napětí použitých v aktivní části napájecí jednotky v závislosti na výstupním proudu jsou uvedeny na obr. 6.2. Účinnost spínaného stabilizátoru LT1076 se při vyšších výstupních proudech pohybuje kolem hodnoty $\eta = 70 \%$, což přibližně odpovídá údajům výrobce. Účinnost kaskádního zapojení tohoto stabilizátoru a lineárního stabilizátoru LF33CDT se pak pohybuje kolem hodnoty $\eta = 40 \%$. Při rostoucím výstupním proudu dochází k poklesu výstupního napětí stabilizátoru LT1076 z hodnoty $U_{OUT} = 5,00 \text{ V}$ (naprázdno) až na hodnotu $U_{OUT} = 4,93 \text{ V}$ (maximální zatížení). Obdobně dochází k poklesu výstupního napětí stabilizátoru LF33CDT z hodnoty $U_{OUT} = 3,32 \text{ V}$ na hodnotu $U_{OUT} = 3,30 \text{ V}$. Všechny tyto hodnoty napětí jsou v tolerovaném rozmezí hodnot napájených obvodů.



Obr. 6.2: Závislost účinnost stabilizátoru LT1076 a kaskádního zapojení stabilizátorů LT1076 a LE33CDT na výstupním proudu

Účinnosti stabilizátorů napětí použitých v pohotovostní části napájecí jednotky v závislosti na výstupním proudu jsou uvedeny na obr. 6.3. Účinnost spínaného stabilizátoru LT3470 se při vyšších výstupních proudech blíží k hodnotě $\eta = 80$ %, což opět odpovídá údajům výrobce. Účinnost kaskádního zapojení tohoto stabilizátoru a lineárního stabilizátoru LE33CD se pak blíží k hodnotě $\eta = 50$ %. S rostoucím výstupním proudem dochází opět k poklesu výstupního napětí stabilizátorů. U stabilizátoru LT3470 dochází k poklesu napětí z hodnoty $U_{OUT} = 5,00$ V na $U_{OUT} = 4,94$ V a u stabilizátoru LE33CD z hodnoty $U_{OUT} = 3,30$ V na $U_{OUT} = 3,29$ V.



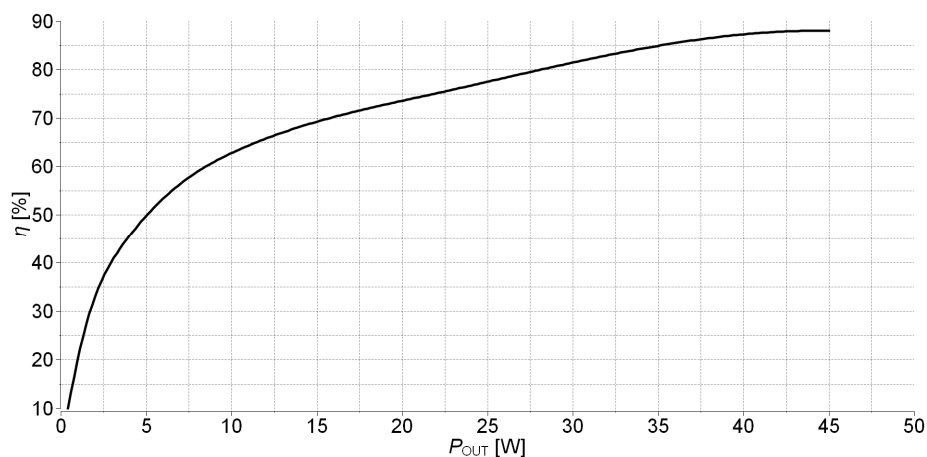
Obr. 6.3: Závislost účinnost stabilizátoru LT3470 a kaskádního zapojení stabilizátorů LT3470 a LE33CD na výstupním proudu

6.2 Měření parametrů digitálního výkonového zesilovače

Veškerá měření audio parametrů na prototypu zesilovače byla provedena dle doporučení AES 17 [46].

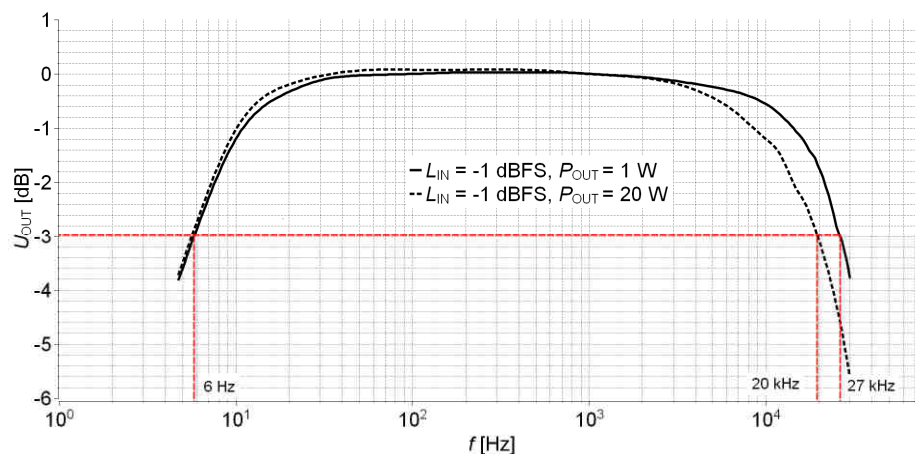
Při měření následujících parametrů a charakteristik byl zesilovač buzen nesymetrickým analogovým signálem a zatížen čistě odporovou zátěží $R_Z = 8 \Omega$. Aby bylo možné zachytit limitaci zesilovače a nárůst harmonického zkreslení $THD+N$ výstupního signálu, byly při měření softwarově deaktivovány limity zesilovače.

Závislost účinnosti digitálního výkonového zesilovače (tvořeného obvodem STA326) na jeho výstupním výkonu je uvedena na obr. 6.4. Z této závislosti lze pozorovat, že s rostoucím výkonem účinnost zesilovače logaritmicky roste. Při výstupním výkonu $P_{OUT} = 20 \text{ W}$ dosahuje účinnost zesilovače přibližně hodnoty $\eta = 75 \%$, při výkonu $P_{OUT} = 45 \text{ W}$ pak hodnoty téměř $\eta = 90 \%$.



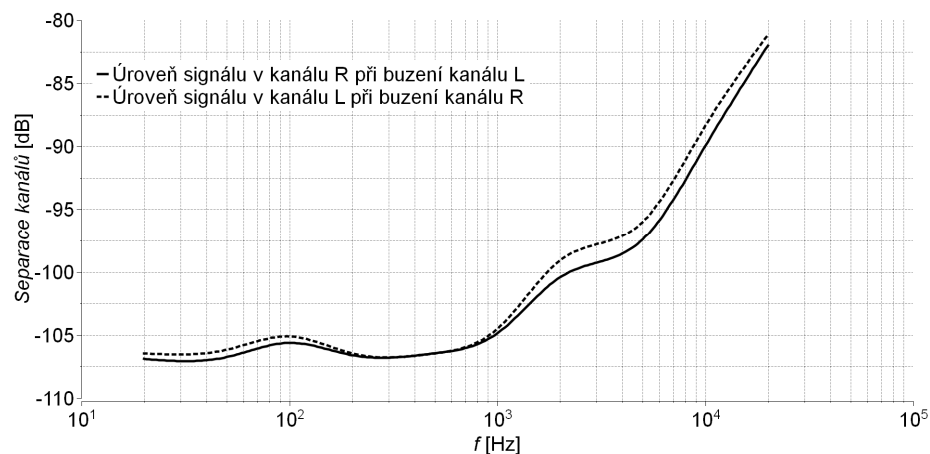
Obr. 6.4: Závislost účinnosti digitálního výkonového zesilovače na výstupním výkonu při buzení harmonickým signálem o frekvenci $f = 1 \text{ kHz}$

Přenosová charakteristika zesilovače s vyznačenými poklesy výstupního signálu o 3 dB pro výstupní výkon $P_{OUT} = 1 \text{ W}$ a $P_{OUT} = 20 \text{ W}$ a při úrovni budícího signálu $L_{IN} = -1 \text{ dBFS}$ je uvedena na obr. 6.5. Při budící úrovni $L_{IN} = -20 \text{ dBFS}$ jsou charakteristiky totožné.



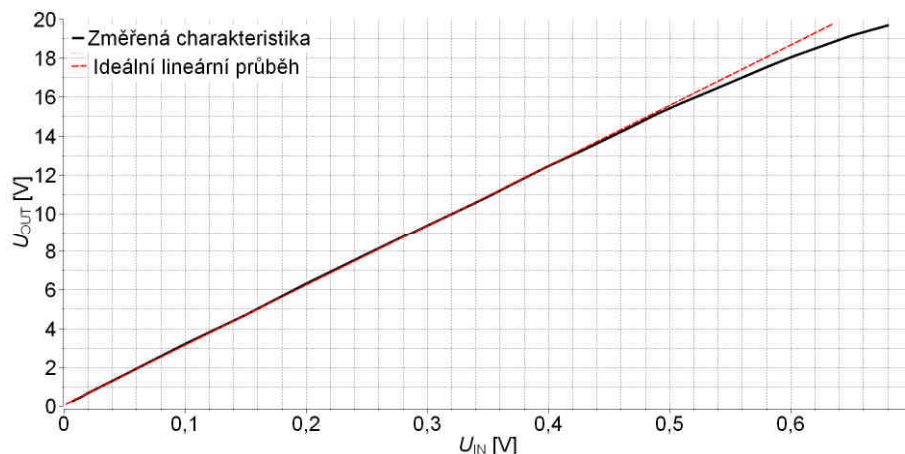
Obr. 6.5: Přenosová charakteristika zesilovače pro výstupní výkon $P_{OUT} = 1$ W a $P_{OUT} = 20$ W

Závislost separace kanálu zesilovače na frekvenci budícího signálu o úrovni $L_{IN} = -20$ dBFS při výstupním výkonu $P_{OUT} = 20$ W a zakončení vstupu neaktivního kanálu impedancí $Z = 50 \Omega$ je uvedena na obr. 6.6.



Obr. 6.6: Závislost separace kanálů zesilovače na frekvenci budícího signálu při výstupním výkonu $P_{OUT} = 20$ W

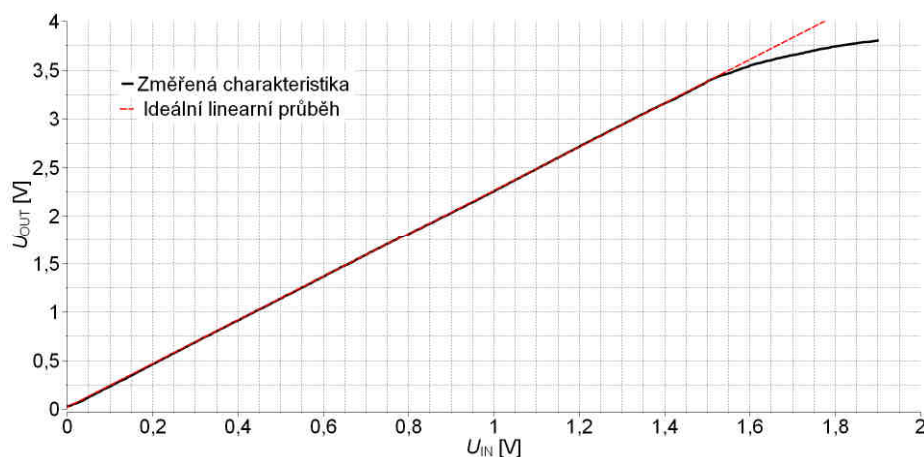
Převodní charakteristika zesilovače, která zachycuje přebuzení digitálního výkonového zesilovače je uvedena na obr. 6.7.



Obr. 6.7: Převodní charakteristika zesilovače při nastaveném zisku zesilovače $A = 30$ dB

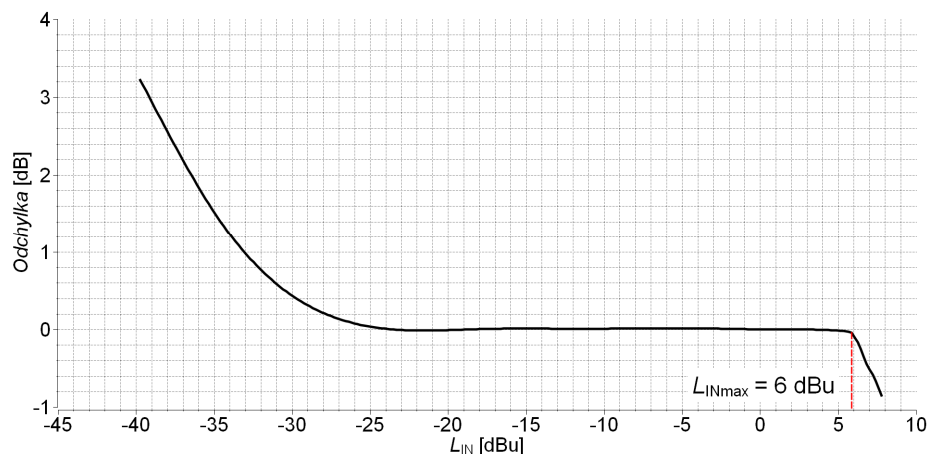
Při výstupním napětím přibližně $U_{OUT} = 15$ V dochází k odchýlení od lineárního průběhu vlivem limitace výstupního signálu digitálního výkonového zesilovače.

Převodní charakteristika zesilovače, která zachycuje přebuzení nesymetrického A/D převodníku je uvedena na obr. 6.8.



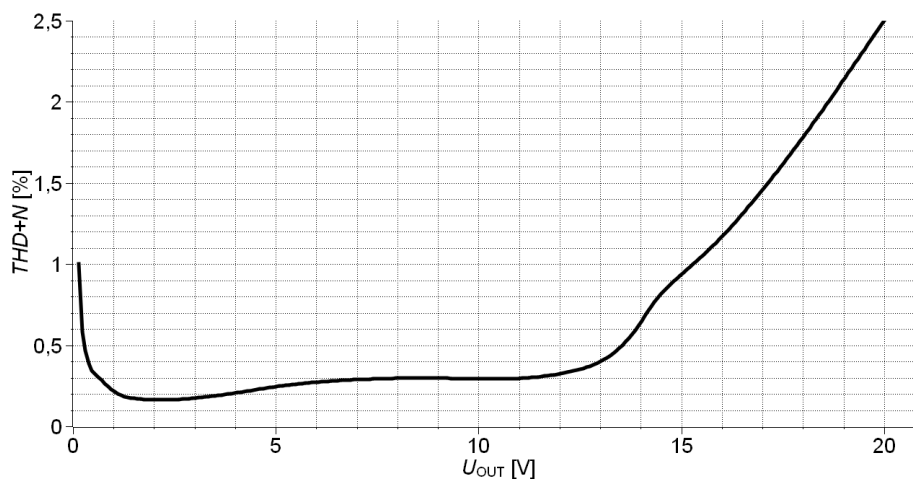
Obr. 6.8: Převodní charakteristika zesilovače při nastaveném zisku zesilovače $A = 7$ dB

Pro lepší znázornění linearity je převodní charakteristika z obr. 6.8 znázorněna jako odchylka od ideálního lineárního průběhu v decibelech v závislosti na vstupní úrovni signálu. Tato charakteristika je uvedena na obr. 6.9. Z charakteristiky lze pozorovat odchýlení od linearity při překročení úrovně přibližně $L_{IN} = 6$ dBu, což odpovídá maximální vstupní úrovni signálu vypočtené v kapitole 3.4. Při vstupní úrovni $L_{IN} < -30$ dBu dochází opět k odchýlení od linearity vlivem šumu A/D převodníku a digitálního výkonového zesilovače.



Obr. 6.9: Odchylka výstupního napětí od ideálního lineárního průběhu v závislosti na úrovni vstupního signálu při nastaveném zisku zesilovače $A = 7$ dB

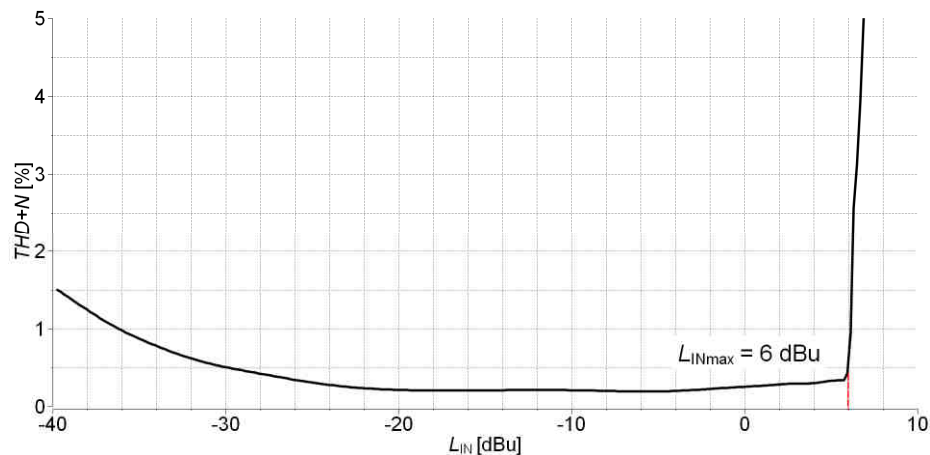
Velikost harmonického zkreslení $THD+N$ v závislosti na výstupním napětí zesilovače při frekvenci budicího signálu $f = 1$ kHz je uvedena na obr. 6.10.



Obr. 6.10: Závislost harmonického zkreslení $THD+N$ na výstupním napětí zesilovače při buzení signálem o frekvenci $f = 1$ kHz

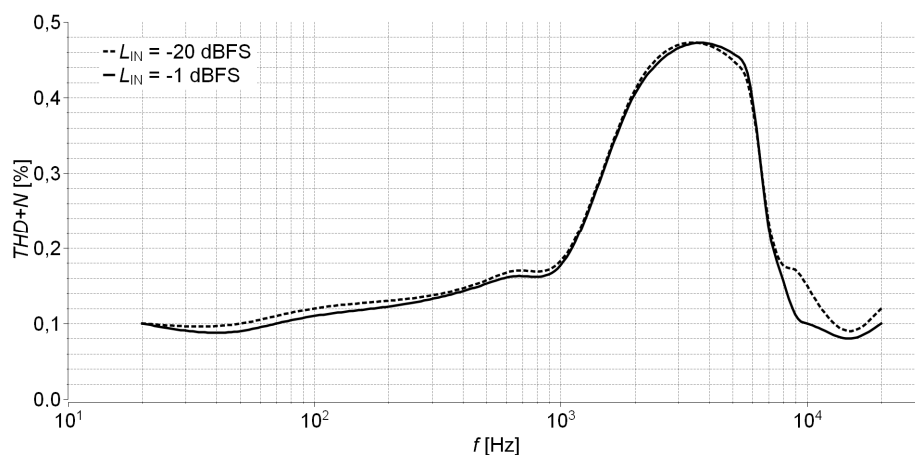
Velikost harmonického zkreslení $THD+N$ je vyjádřena v procentech jako poměr součtu úrovní vyšších harmonických složek včetně šumu k úrovni první harmonické. Při nízkých hodnotách výstupního napětí, tedy první harmonické, se výstupní šum stává nezanedbatelným a dochází k nárůstu tohoto poměru a tedy ke zvýšení celkové hodnoty harmonického zkreslení $THD+N$. Tento fakt byl ověřen měřením, kdy úrovně prvních deseti harmonických byly zanedbatelné a podstatná část harmonického zkreslení $THD+N$ byla tvořena šumem. S nárůstem výstupního napětí dosahuje harmonické zkreslení přibližně hodnoty $THD+N = 0,3$ %. Od hodnoty výstupního napětí $U_{OUT} = 13$ V, což představuje na zátěži $R_Z = 8 \Omega$ výkon $P_{OUT} = 21$ W, dochází k prudkému nárůstu harmonického zkreslení výstupního signálu vlivem přebuzení digitálního výkonového zesilovače. Mezní hodnota harmonického zkreslení $THD+N = 1$ % je dosažena při výstupním napětí přibližně $U_{OUT} = 15,5$ V, což odpovídá výkonu $P_{OUT} = 30$ W na zátěži $R_Z = 8 \Omega$.

Závislost harmonického zkreslení $THD+N$ na úrovni vstupního signálu, kde je zachyceno přebuzení A/D převodníku, je uvedena na obr. 6.11. V grafu je opět vyznačena úroveň $L_{IN} = 6$ dBu, kdy dochází k přebuzení A/D převodníku a prudkému nárůstu harmonického zkreslení $THD+N$.

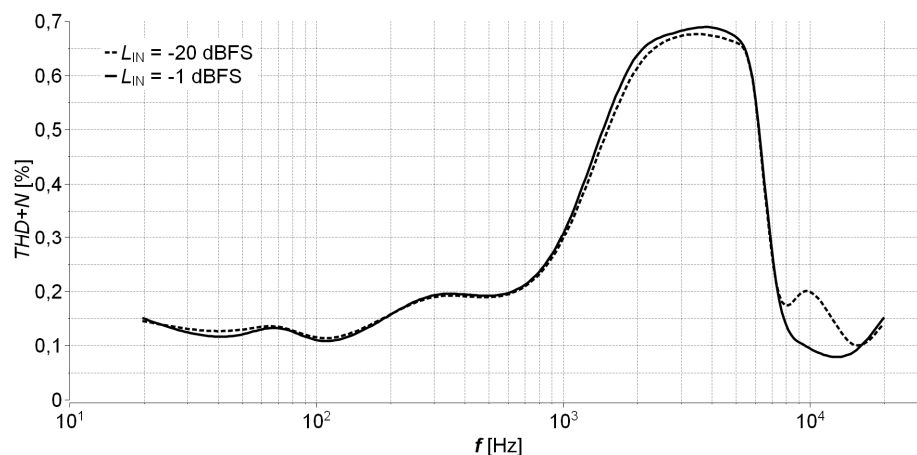


Obr. 6.11: Závislost harmonického zkreslení $THD+N$ na úrovni vstupního signálu při nastaveném zisku zesilovače $A = 7$ dB

Frekvenční závislost harmonického zkreslení $THD+N$ při výstupním výkonu $P_{OUT} = 1$ W a vstupní úrovni signálu $L_{IN} = -20$ dBFS a $L_{IN} = -1$ dBFS je uvedena na obr. 6.12. Totožná závislost při výkonu $P_{OUT} = 20$ W je uvedena na obr. 6.13.



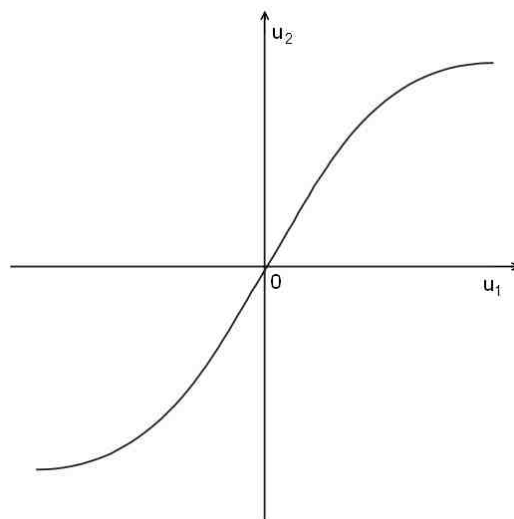
Obr. 6.12: Závislost harmonického zkreslení $THD+N$ na frekvenci budícího signálu při výstupním výkonu $P_{OUT} = 1$ W



Obr. 6.13: Závislost harmonického zkreslení $THD+N$ na frekvenci budícího signálu při výstupním výkonu $P_{OUT} = 20$ W

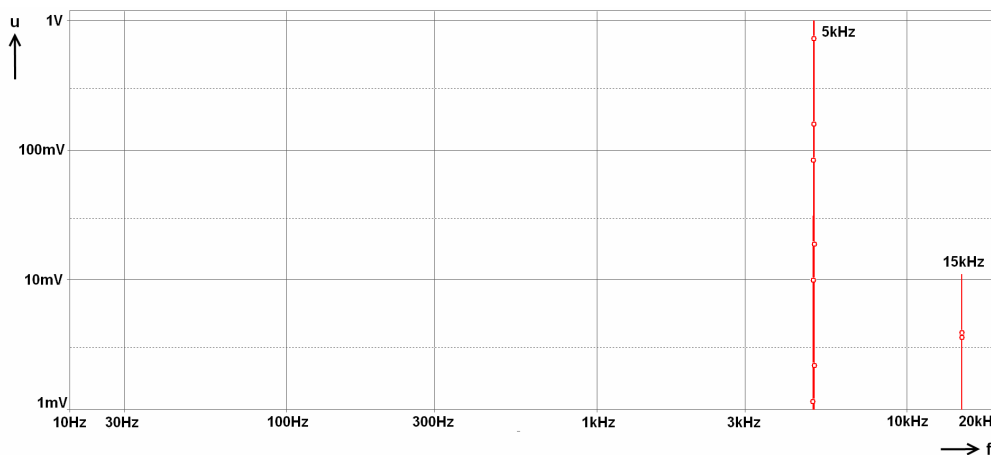
Přibližně od frekvence $f = 1$ kHz dochází k nárůstu harmonického zkreslení $THD+N$. Tento nárůst je způsoben výskytem třetí harmonické složky. Při frekvencích $f > 7$ kHz pak dochází opět k poklesu tohoto zkreslení. Tento pokles je způsoben tím, že při těchto frekvencích má třetí harmonická složka frekvenci $f > 20$ kHz a již nespadá do měřeného akustického pásma a není tudíž zahrnuta do měření.

Spektrum výstupního signálu znázorňující tuto třetí harmonickou složku je uvedeno na obr. 6.18b. Tato lichá harmonická složka je způsobena nelineární přenosovou funkcí, která je symetrická kolem nuly (viz obr. 6.14).



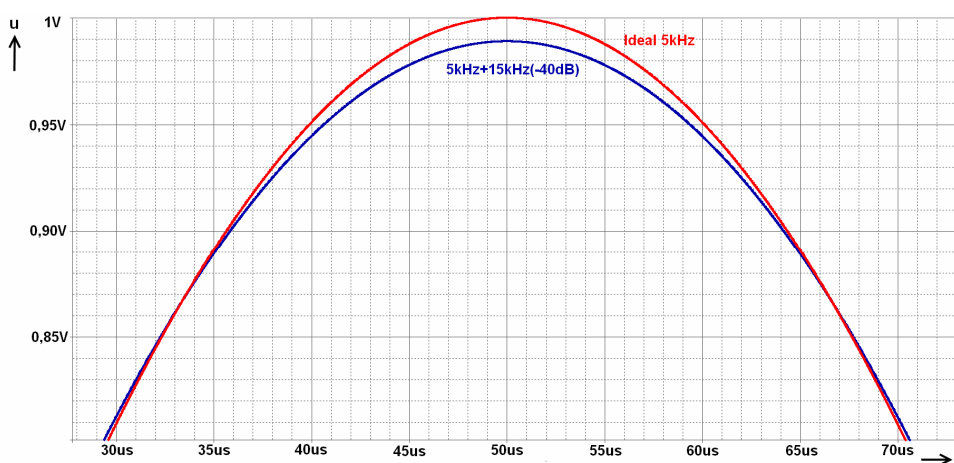
Obr. 6.14: Nelineární přenosová funkce symetrická kolem nuly způsobující vznik lichých harmonických složek (převzato z [47] a upraveno)

Jelikož v časové oblasti nebylo pozorovatelné žádné tvarové zkreslení signálu, bylo toto zkreslení nasimulováno v programu PSpice. Spektrum simulovaného signálu je uvedeno na obr. 6.15. Třetí harmonická složka o úrovni $L_{IN} = -40$ dB způsobuje harmonické zkreslení $THD+N = 1$ %.



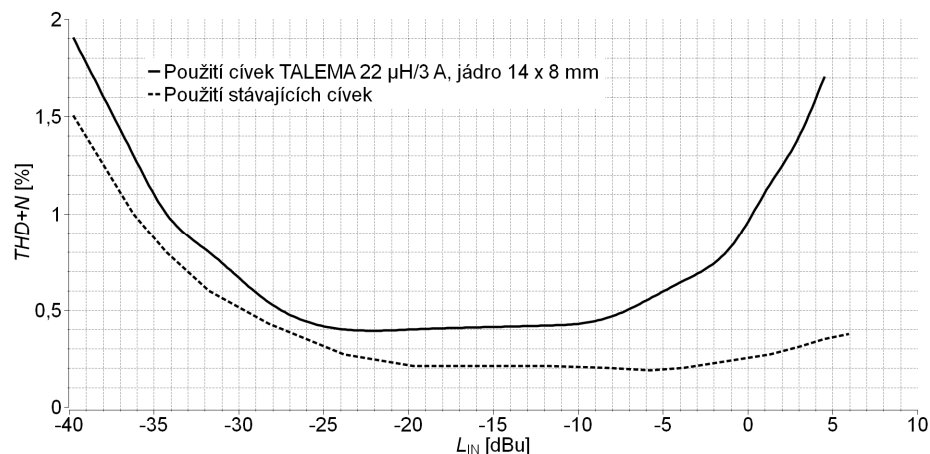
Obr. 6.15: Spektrum harmonického signálu o frekvenci $f = 5 \text{ kHz}$ s 3. harmonickou složkou o úrovni $L = -40 \text{ dB}$ získané simulací

Detail časového průběhu tohoto signálu je uveden na obr. 6.16. Průběh potvrzuje, že liché harmonické jsou způsobeny limitací signálu, jejíž příčinou je právě nelineární přenosová funkce symetrická kolem nuly (viz obr. 6.14).



Obr. 6.16: Detail časového průběhu harmonického signálu o frekvenci $f = 5 \text{ kHz}$ s 3. harmonickou složkou o úrovni $L = -40 \text{ dB}$ získaný simulací

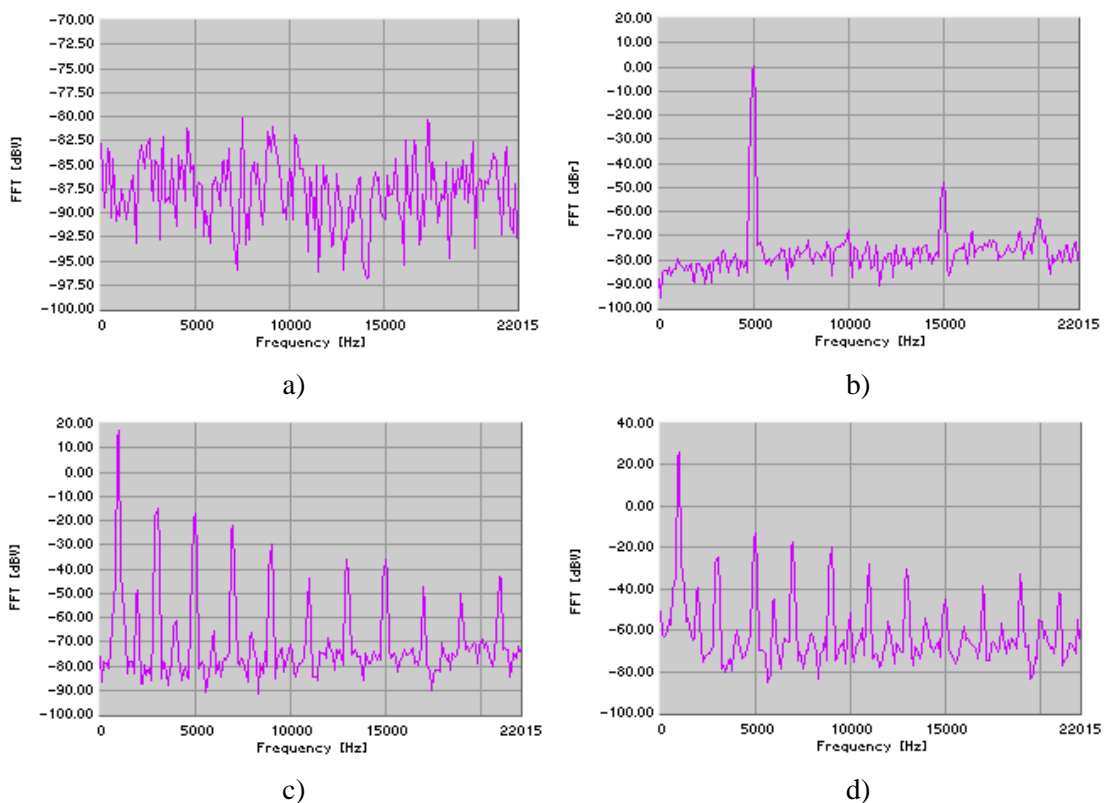
Při experimentálním použití běžných cívek značky TALEMA ve výstupním filtru zesilovače, byla změřena závislost harmonického zkreslení $THD+N$ výstupního signálu na vstupní úrovni budícího signálu o frekvenci $f = 1 \text{ kHz}$. Tato závislost je uvedena na obr. 6.17. Z charakteristiky je patrné, že při použití běžných cívek je velikost harmonického zkreslení $THD+N$ značně zvýšena a při rostoucí úrovni vstupního signálu dále prudce narůstá.



Obr. 6.17: Závislosti harmonického zkreslení $THD+N$ na úrovni vstupního signálu při experimentálním použití stávajících cívek a běžných cívek TALEMA ve výstupním filtru

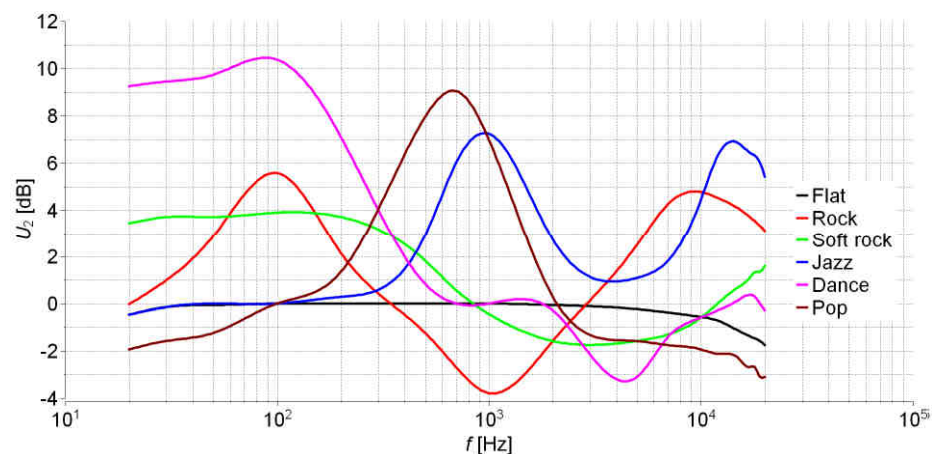
Experimentálním měřením bylo zjištěno, že třetí harmonická složka, která se začíná vyskytovat ve spektru při vyšších frekvencích, vzniká ve výstupním LC filtru. Závislost uvedená na obr. 6.17 potvrzuje, že kvalita cívky výstupního LC filtru má značný vliv na velikost harmonického zkreslení $THD+N$ výstupního signálu. Z toho lze usoudit, že při použití kvalitnějších cívek, vinutých z jediného profesionálního vf. lanka, by bylo dosaženo lepší geometrie vinutí, linearity a obecně lepší kvality cívek a tím i nižšího harmonického zkreslení výstupního signálu.

Pro ilustraci výstupního signálu ve frekvenční oblasti při významných stavech zesilovače jsou na obr. 6.18 uvedena jednotlivá spektra výstupních signálů. Obr. 6.18a znázorňuje spektrum signálu při nevybuzeném kanálu. Z tohoto spektra lze pozorovat, že bez buzení zesilovače nevznikají ve výstupním signálu žádné parazitní frekvenční složky. Na obr. 6.18b je uvedeno již zmíněné spektrum výstupního signálu při buzení vstupním signálem o frekvenci $f = 5$ kHz. Obr. 6.18c a 6.18d ukazují spektra výstupního signálu při přebuzení A/D převodníku a při přebuzení digitálního výkonového zesilovače. V obou případech dochází ke vzniku lichých harmonických složek, které jsou projevem limitace výstupního signálu v časové oblasti.

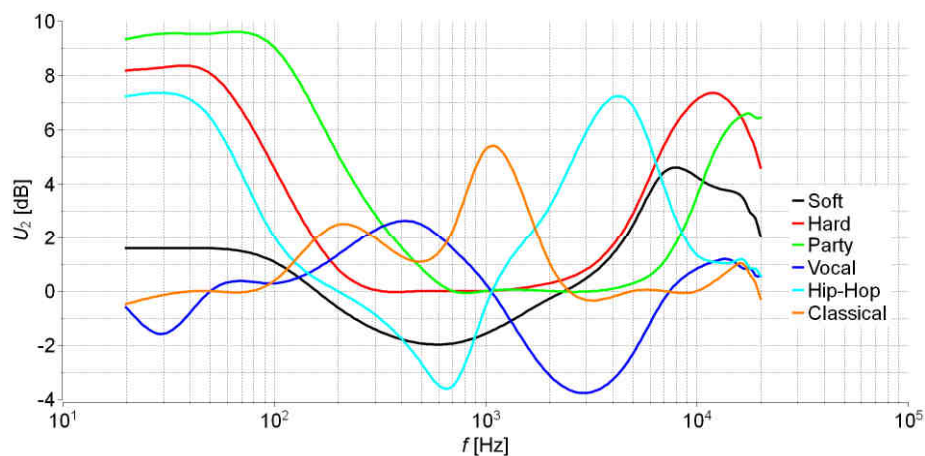


Obr. 6.18: Spektra výstupního signálu: a) nevybuzený kanál, b) buzení signálem o frekvenci $f = 5$ kHz (vznik 3. harmonické), c) přebuzení A/D převodníku, d) přebuzení digitálního výkonového zesilovače

Na obr. 6.19 a 6.20 jsou uvedeny napěťové frekvenční charakteristiky jednotlivých přednastavených křivek ekvalizéru, které jsou implementovány v obvodu STA326. Z těchto charakteristik lze vidět, která frekvenční pásma jsou pro jednotlivé hudební styly potlačena a která naopak zdůrazněna.

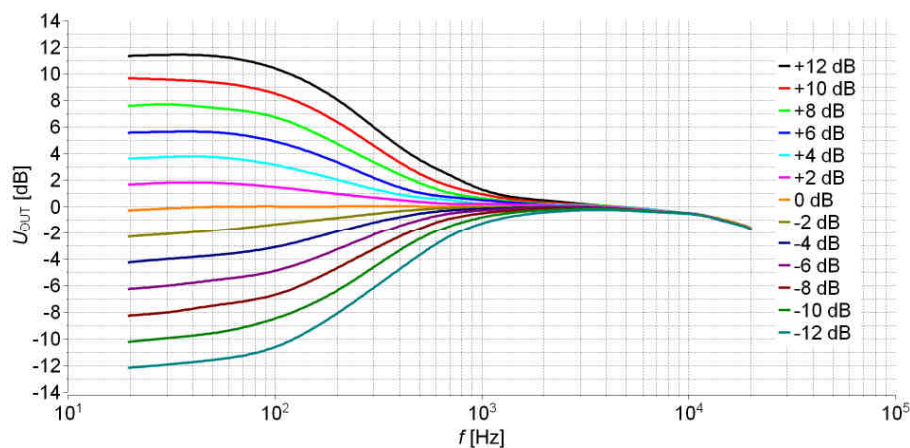


Obr. 6.19: Napěťové frekvenční charakteristiky jednotlivých přednastavených křivek ekvalizéru – část 1

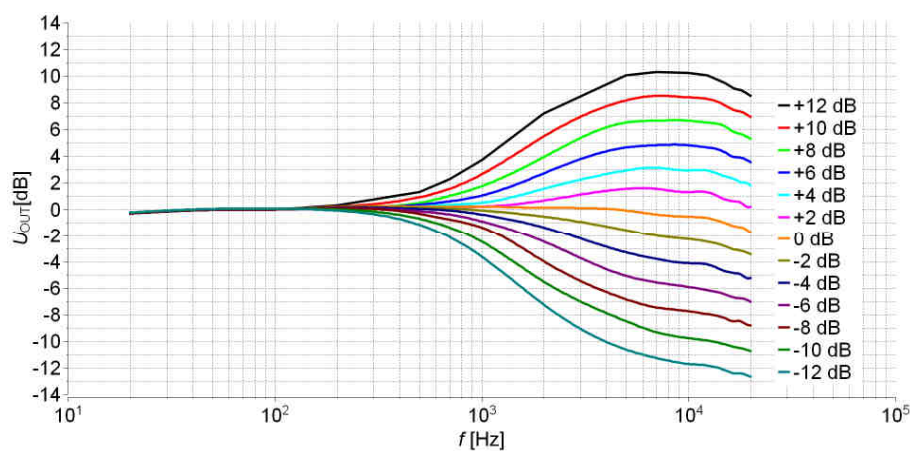


Obr. 6.20: Napět'ové frekvenční charakteristiky jednotlivých přednastavených křivek ekvalizéru – část 2

Na obr. 6.21 a 6.22 jsou uvedeny napět'ové frekvenční charakteristiky pro různé nastavení potlačení, resp. zdůraznění nízkých a vysokých kmitočtů.



Obr. 6.21: Napět'ové frekvenční charakteristiky jednotlivých stupňů potlačení/zdůraznění nízkých kmitočtů



Obr. 6.22: Napět'ové frekvenční charakteristiky jednotlivých stupňů potlačení/zdůraznění vysokých kmitočtů

Přehled dalších parametrů zesilovače bez grafické interpretace je uveden v tab. 6.1.

Tab. 6.1: Přehled ostatních parametrů zesilovače při buzení nesymetrickým A/D převodníkem

Parametr	Hodnota
Odstup signálu od šumu – SNR	85,6 dB
Vstupní odpor – R_{IN}	29,5 k Ω
Výstupní odpor – R_{OUT}	1,1 Ω
Vstupní napětí pro dosažení úrovně 0 dBFS – U_{IN} (0 dBFS)	1,46 V
Maximální vstupní napětí – U_{INmax} ($f = 1$ kHz, $THD+N = 1$ %, $R_Z = 8$ Ω)	1,55 V
Maximální výstupní napětí – U_{OUTmax} ($f = 1$ kHz, $THD+N = 1$ %, $R_Z = 8$ Ω)	15,5 V
Maximální výstupní výkon – P_{OUTmax} ($f = 1$ kHz, $THD+N = 1$ %, $R_Z = 8$ Ω)	30,0 W
Šířka přenášeného pásma – B ($P_{OUT} = 20$ W)	20 kHz
Šířka přenášeného pásma – B ($P_{OUT} = 1$ W)	27 kHz
Úroveň šumu v nevybuzeném kanálu	800 μ V
Příkon zesilovače v režimu Stand-By	1,2 W

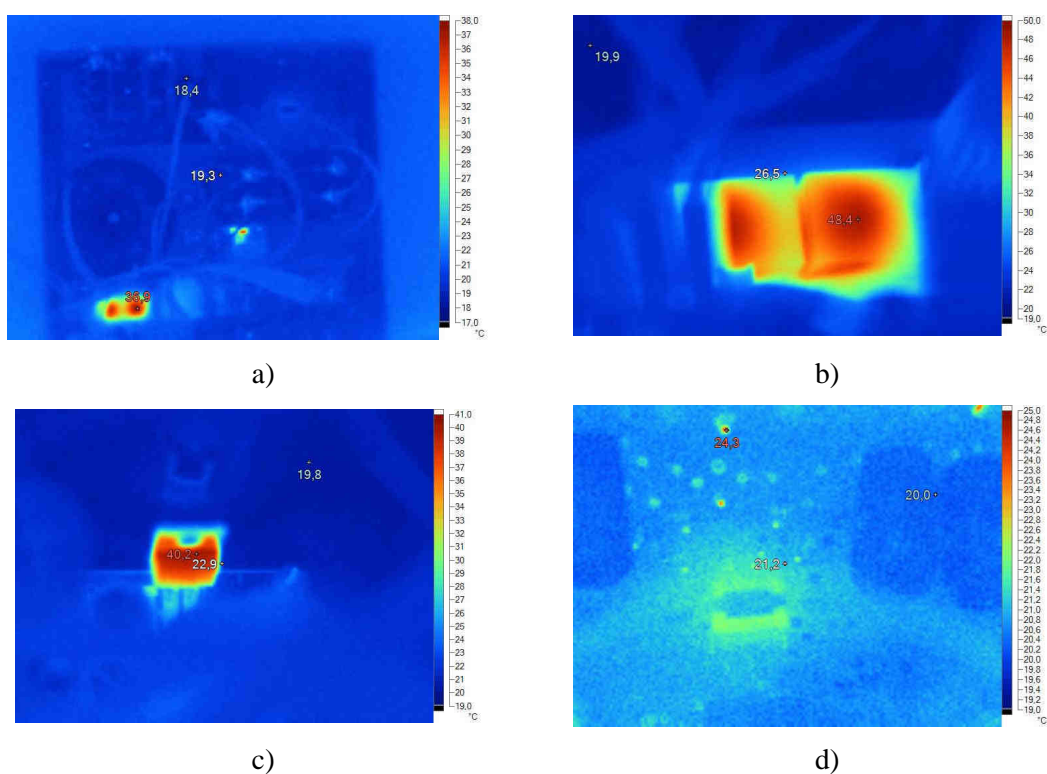
V následující tabulce (tab. 6.2) je uvedeno srovnání základních parametrů zesilovače při buzení různými audio formáty.

Tab. 6.2: Srovnání základních parametrů zesilovače při buzení různými audio formáty

Parametr	Typ vstupního audio formátu					
	Nesym. analog.	Sym. analog.	USB	Koax. S/PDIF	Optický S/PDIF	
Úroveň šumu v nevybuzeném kanálu	800 μ V	500 μ V	66 μ V	67 μ V	67 μ V	
$THD+N$ ($P_{OUT} = 1$ W, $f = 1$ kHz)	0,18 %	0,18 %	0,19 %	0,18 %	0,18 %	
$THD+N$ ($P_{OUT} = 20$ W, $f = 1$ kHz)	0,30 %	0,32 %	0,30 %	0,31 %	0,31 %	
B ($P_{OUT} = 20$ W)	20 kHz	20 kHz	20 kHz	20 kHz	20 kHz	
B ($P_{OUT} = 1$ W)	27 kHz	>20 kHz	>20 kHz	>20 kHz	>20 kHz	
Separace kanálů	$f = 1$ kHz	-105 dB	-104 dB	-122 dB	-120 dB	-120 dB
	$f = 10$ kHz	-90 dB	-91 dB	-106 dB	-108 dB	-108 dB
	$f = 20$ kHz	-82 dB	-85 dB	-90 dB	-98 dB	-99 dB
Odstup signálu od šumu – SNR	85,6 dB	89,7 dB	107,2 dB	107,1 dB	107,1 dB	
Max. výstupní napětí – U_{OUTmax} ($THD+N = 1$ %, $f = 1$ kHz)	15,5 V	15,5 V	15,5 V	15,5 V	15,5 V	
Vstupní napětí pro dosažení úrovně 0 dBFS – U_{IN} (0 dBFS)	1,46 V	1,67 V	-	-	-	

Srovnáním úrovně šumu v nevybuzeném kanálu lze u digitálních audio formátů pozorovat o řád nižší hodnoty než u formátů analogových. Toto je způsobeno právě digitálním rozhraním, u kterého není signál degradován rušením či šumem. Harmonické zkreslení $THD+N$ je u všech audio formátů přibližně shodné, protože se na velikosti tohoto zkreslení největší mírou podílí zejména digitální výkonový zesilovač. Stejně tak šířka pásma zesilovače je u jednotlivých formátů totožná. Při měření šířky pásma při výkonu $P_{OUT} = 1$ W však nebylo možné zaznamenat pokles výstupního signálu o 3 dB z důvodu buzení jednotlivých převodníků testovacím audio CD. Toto testovací CD obsahuje stopy se signály pouze do frekvence $f = 20$ kHz. Z hodnot separace kanálů pak lze pozorovat lepší separaci u digitálních audio formátů. Díky nižší úrovni šumu u digitálních formátů je také dosaženo vyšší hodnoty odstupu signálu od šumu. Maximální výstupní napětí je dáno digitálním výkonovým zesilovačem a je u všech audio formátů opět totožné. Vstupní napětí pro dosažení úrovně $L_{IN} = 0$ dBFS u jednotlivých A/D převodníků odpovídají uvedeným hodnotám od výrobce, případně hodnotám vypočteným.

Posledním provedeným měřením je detekce tepelně namáhaných prvků v zesilovači. Cílem tohoto měření je odhalit, zda nejsou některé prvky zesilovače nadměrně tepelně namáhány tak, že by mohly způsobit potenciální poruchu zesilovače. Detekce těchto namáhaných míst byla provedena infračervenou kamerou ve stavu, kdy byl zesilovač bez buzení v provozu po dobu 1 hodiny. Na obr. 6.22a je uveden termogram zesilovače, z něhož lze pozorovat, že zvýšená teplota je pouze ve dvou místech. Jedná se o spínací relé v obvodu primárního vinutí transformátoru a výkonový stabilizátor LT1076 v aktivní části napájecí jednotky. Z detailních termogramů těchto prvků (viz obr. 6.22b a 6.22c) bylo zjištěno, že teplota obou relé je $T = 48,4 \text{ } ^\circ\text{C}$ a teplota stabilizátoru LT1076 je $T = 40,2 \text{ } ^\circ\text{C}$. Tyto teploty nejsou tedy nijak kritické, aby zapříčinily poruchu zesilovače. Z termogramu obvodu STA326 bez chladiče (viz obr. 6.22d) je vidět, že bez buzení zesilovače vykazuje obvod STA326 jen zanedbatelnou tepelnou ztrátu.



Obr. 6.23: Termogram zesilovače: a) kompletní zesilovač, b) detail relé, c) detail stabilizátoru LT1076. d) detail obvodu STA326

7 ZÁVĚR

V první části této diplomové práce byly rozebrány základní modulace používané v nízkofrekvenční a audio elektronice a byly popsány nejpoužívanější digitální a analogové audio formáty. Detailně byly rozebrány zejména digitální standardy I2S a S/PDIF.

Další část práce se zabývala teoretickým návrhem blokového schématu digitálního zesilovače s univerzálními vstupy. V této části byl popsán princip činnosti navrhovaného zesilovače a byly definovány požadavky na jednotlivé funkční bloky.

Další kapitola již byla věnována samotnému obvodovému návrhu jednotlivých bloků zesilovače. Zapojení každého bloku bylo navrženo tak, aby splňovalo veškeré požadavky, které byly předem stanoveny. Každé zapojení bylo detailně popsáno s vysvětlením principu jeho činnosti. Při návrhu byl kladen důraz zejména na minimalizaci příkonu zesilovače a na dostatečný uživatelský komfort.

V následujících kapitolách této diplomové práce byla popsána konstrukce zesilovače, firmware řídicího mikrokontroléru a v poslední části pak výsledky měření provedeného na prototypu zesilovače.

V této diplomové práci byl tedy kompletně navržen a zrealizován prototyp digitálního nízkofrekvenčního zesilovače s univerzálními vstupy. Zesilovač se vyznačuje především vysokým uživatelským komfortem, jednoduchým ovládáním prostřednictvím kapacitních tlačítek, širokými možnostmi audio efektů, vysokou účinností a v neposlední řadě možností připojit řadu vstupních audio formátů. Díky možnosti měnit zisk zesilovače, může být zesilovač přizpůsoben k jakékoliv reprosoustavě, respektive zdroji signálu. Nastavení hlasitosti zesilovače pak lze vždy využívat v celém rozsahu, aniž by došlo k přebuzení připojené reprosoustavy.

Z testování funkčnosti a spolehlivosti zesilovače lze konstatovat, že je zesilovač po všech stránkách plně funkční a lze ho provozovat s jakýmkoliv audio komponenty. Při testování zesilovače nebyly zjištěny žádné funkční nedostatky jak řídicího firmware, tak navrženého hardware, které by snižovali spolehlivost, respektive funkčnost zesilovače.

Výsledky měření ukázaly vysokou hodnotu odstupu signálu od šumu a separace kanálů, zejména u digitálních audio formátů. U těchto formátů bylo dosaženo odstupu signálu od šumu $SNR = 107$ dB a separace kanálů až 120 dB. Naopak určitým negativním výsledkem byla velikost harmonického zkreslení, která při vyšších frekvencích dosahovala hodnoty téměř $THD+N = 0,7$ %. Příčina vzniku tohoto zkreslení byla zjištěna ve výstupním LC filtru zesilovače. Velikost tohoto zkreslení však není pro spotřební elektroniku nijak kritická, proto nebylo přistoupeno k realizaci kvalitnějšího a tím finančně náročnějšího filtru. Maximální výstupní výkon zesilovače dosahoval hodnoty $P_{OUT} = 2 \times 30$ W, což s rezervou splňuje požadavek zadání na výstupní výkon alespoň $P_{OUT} = 2 \times 20$ W.

Závěrem stojí za zmínku hodnota klidového příkonu zesilovače $P = 1,2$ W. Tato hodnota je dána z velké části klidovým příkonem transformátoru použitého v pohotovostní části napájecí jednotky. Při budoucí realizaci tohoto zesilovače by bylo

tedy vhodné zvážit, jak velký důraz je kladen na klidovou spotřebu zesilovače v dané aplikaci a zda by nebylo vhodné na místo použitého transformátoru zvolit spínaný napájecí zdroj s nižším klidovým příkonem.

LITERATURA

- [1] *Beavis Audio Research* [online]. 2010 [cit. 2011-02-08]. Digital Sequenced Wah Filter. Dostupné z WWW: <<http://www.bevisaudio.com/projects/DSWF/>>.
- [2] ŠTÁL, Petr . *Výkonové audio zesilovače pracující ve třídě D základní principy a konstrukce*. Praha : BEN - technická literatura, 2008. 200 s. ISBN 978-80-7300-230-5.
- [3] *Pulzně kódová modulace* [online]. 2009 [cit. 2011-01-21]. Wikipedie. Dostupné z WWW:<http://cs.wikipedia.org/wiki/Pulzn%C4%9B_k%C3%B3dov%C3%A1_1_modulace>.
- [4] *High End Audio* [online]. 2001 [cit. 2011-04-10]. Why Direct Stream Digital is the best choice as a digital audio format. Dostupné z WWW: <<http://tech.juaneda.com/en/articles/dsd.pdf>>.
- [5] PEKLO, Dominik; VALOUŠEK, Pavel. *HIFI Passion* [online]. 2007[cit. 2011-04-10]. Analýza vlastností a chování DSD modulátoru v časové a frekvenční doméně. Dostupné z WWW: <http://www.hifipassion.com/stranky/dsd_analyza.pdf>.
- [6] *Deep in IT* [online]. 2001 [cit. 2011-04-10]. Super Audio CD. Dostupné z WWW: <<http://www.diit.cz/clanek/super-audio-cd-popis-technologie/1045/>>.
- [7] *NXP Semiconductors* [online]. 1986 [cit. 2011-02-15]. I2S bus specificatio. Dostupné z WWW: <http://www.nxp.com/acrobat_download2/various/I2SBUS.pdf>.
- [8] *RANE* [online]. 2009 [cit. 2011-02-18]. Interfacing AES3 & S/PDIF. Dostupné z WWW: <<http://www.rane.com/note149.html>>.
- [9] *EBU TECHNICAL* [online]. 2004 [cit. 2011-02-18]. Specification of the digital audio interface. Dostupné z WWW: <<http://tech.ebu.ch/docs/tech/tech3250.pdf>>.
- [10] *Audio Engineering Society* [online]. 2011 [cit. 2011-02-18]. AES Conventions. Dostupné z WWW: <<http://www.aes.org/events/conventions/>>.
- [11] *Cirrus logic* [online]. 1998 [cit. 2011-03-01]. Overview of digital audio interface data structures. Dostupné z WWW: <<http://www.cirrus.com/en/pubs/ppNote/an22.pdf>>.
- [12] *Muzikus* [online]. 2004 [cit. 2011-02-04]. Jak vám to brumí? Symetrické a nesymetrické zapojení ve zvukařské praxi. Dostupné z WWW: <<http://www.muzikus.cz/pro-muzikanty-clanky/Jak-vam-to-brumi-Symetricke-a-nesymetricke-zapojeni-ve-zvukarske-praxi~22~listopad~2004/>>.
- [13] *STMicroelectronics* [online]. 2010 [cit. 2011-02-10]. STA326. Dostupné z WWW: <<http://www.st.com/stonline/products/literature/ds/11531/sta326.pdf>>.
- [14] *Apogee Technology* [online]. 2004 [cit. 2011-01-10]. DDX inspired digital audio solutions. Dostupné z WWW: <<http://www.apogeebio.com/ddx/PDFs/ApogeeDDX.pdf>>

- [15] *Apogee Technology* [online]. 2006 [cit. 2011-01-10]. Legacy DDX Product Information – Application Notes. Dostupné z WWW: <http://www.apogeebio.com/ddx/ddx_appnotes.html>
- [16] *Zalman* [online]. 2009 [cit. 2012-04-21]. ZM-NB47J. Dostupné z WWW: <http://www.zalman.com/eng/product/Product_Read.asp?idx=131>
- [17] FAKTOR, Z. *Transformátory a cívky pro spínané napájecí zdroje*. Praha : BEN - technická literatura, 2002. 229 s. ISBN 80-86056-91-0.
- [18] GES Electronics [online]. 2011 [cit. 2011-04-18]. Materiál 26, kmitočet 0-1MHz. Dostupné z WWW: <<http://www.ges.cz/cz/jadra-indukcnosti/zelezoprachova-jadra-amidon/material-26-kmitocet-0mhz/X76B.html>>
- [19] *Texas Instruments* [online]. 2009 [cit. 2011-02-11]. STEREO AUDIO DAC WITH USB INTERFACE, SINGLE-ENDED HEADPHONE OUTPUT AND S/PDIF OUTPUT. Dostupné z WWW: <<http://focus.ti.com/lit/ds/symlink/pcm2706.pdf>>.
- [20] *Texas Instruments* [online]. 2009 [cit. 2011-01-20]. FULL DIFFERENTIAL ANALOG INPUT 24-BIT, 192-kHz, STEREO A/D CONVERTER. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/pcm1804.pdf>>.
- [21] *Texas Instruments* [online]. 2009 [cit. 2011-01-20]. SINGLE-ENDED ANALOG-INPUT, 24-BIT, 96-kHz STEREO A/D CONVERTER. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/pcm1802.pdf>>.
- [22] *Texas Instruments* [online]. 2006 [cit. 2011-11-30]. Fiber optic receiving module. Dostupné z WWW: <<http://focus.ti.com/lit/ds/symlink/dir9001.pdf>>.
- [23] *Toshiba* [online]. 2011 [cit. 2011-11-30]. Transformers for Digital Audio Data Transmission. Dostupné z WWW: <<http://www.farnell.com/datasheets/573774.pdf>>.
- [24] *Murata Power Solutions* [online]. 2011 [cit. 2011-11-30]. Transformers for Digital Audio Data Transmission. Dostupné z WWW: <http://www.murata-ps.com/data/magnetics/kmp_da100.pdf>.
- [25] *Texas Instruments* [online]. 2003 [cit. 2011-05-18]. Differential bus transceivers. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/sn65176b.pdf>>.
- [26] *Texas Instruments* [online]. 2006 [cit. 2011-07-19]. 0.9- Ω LOW-VOLTAGE SINGLE-SUPPLY QUAD SPST ANALOG SWITCH. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/ts3a4751.pdf>>.
- [27] *Analog Devices* [online]. 2009 [cit. 2011-11-28]. Quad SPST Switches. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/ADG1611_1612_1613.pdf>.
- [28] *Texas Instruments* [online]. 2005 [cit. 2011-11-29]. SPST Analog switch. Dostupné z WWW: <<http://www.ti.com/lit/ds/scds186/scds186.pdf>>.
- [29] *NXP* [online]. 2007 [cit. 2011-11-29]. 2-input EXCLUSIVE-OR gate. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/74AHC_AHC_T1G86.pdf>
- [30] *Texas Instruments* [online]. 2002 [cit. 2011-11-28]. 3.3V Dual PLL Multiclock generator. Dostupné z WWW: <<http://www.ti.com/lit/ds/sles065/sles065.pdf>>.

- [31] *NXP* [online]. 2002 [cit. 2011-10-20]. Remote 8-bit I/O expander for I2C-bus. Dostupné z WWW: <http://www.nxp.com/documents/data_sheet/PCF8574.pdf>.
- [32] *HITACHI* [online]. 1998 [cit. 2012-04-17]. Remote Dot Matrix Liquid Crystal Display Controller/Driver. Dostupné z WWW: <<https://www.adafruit.com/datasheets/HD44780.pdf>>.
- [33] *Texas Instruments* [online]. 2004 [cit. 2012-03-20]. Hex drivers with open-collector. Dostupné z WWW: <<http://www.ti.com/lit/ds/symlink/sn7407.pdf>>.
- [34] *Freescale Semiconductor* [online]. 2010 [cit. 2011-05-21]. Proximity Capacitive Touch Sensor Controller. Dostupné z WWW: <http://www.freescale.com/files/sensors/doc/data_sheet/MPR084.pdf?fp p=1>.
- [35] *Atmel Corporation* [online]. 2011 [cit. 2012-03-20]. ATmega32. Dostupné z WWW: <<http://www.atmel.com/Images/doc2503.pdf>>.
- [36] *Linear Technology* [online]. 2007 [cit. 2011-11-29]. Step-Down Switching regulatir. Dostupné z WWW: <<http://cds.linear.com/docs/Datasheet/1074fds.pdf>>.
- [37] *STMicroelectronics* [online]. 2008 [cit. 2011-11-29]. Very low drop voltage regulators with inhibit. Dostupné z WWW: <<http://doc.gmecdn.cz/934/934-038/dsh.934-038.1.pdf>>.
- [38] *Linear Technology* [online]. 2009 [cit. 2011-09-13]. Micropower Buck Regulator with Integrated Boost and Catch Diodes. Dostupné z WWW: <http://www.rcscomponents.kiev.ua/modules/Asers_Shop/images/datasheets/3470fc.pdf>.
- [39] *STMicroelectronics* [online]. 2005 [cit. 2011-10-02]. Very low drop voltage regulators with inhibit. Dostupné z WWW: <<http://doc.gmecdn.cz/934/934-021/dsh.934-021.1.pdf>>.
- [40] KREJČIŘÍK, A. *Lineární napájecí zdroje*. Praha : BEN - technická literatura, 2001. 137 s. ISBN 80-7300-002-4.
- [41] KOTISA, Z. *NF zesilovače - 3 díl tranzistorové výkonové zesilovače*. BEN – Technická literatura. Praha, 2003. ISBN 80-7300-065-2
- [42] ŠEBESTA, J. *Napájení elektronických zařízení*, Přednášková prezentace BNEZ č. 11, Brno: FEKT VUT v Brně, 2009.
- [43] *TME* [online]. 2011 [cit. 2011-12-01]. Krabičky Combiplast. Dostupné z WWW:<http://www.tme.eu/cz/katalog/#cleanParameters%3D1%26searchClick%3D1%26md5%3D%26search%3Dcp-15-32%26bf_szukaj%3D+>>.
- [44] Fleury P., Frýza T., Breining T. *Knihovna pro obsluhu LCD, podpora počítačových cvičení předmětu BMPT*, Brno: FEKT VUT v Brně, 2011
- [45] *Peter Fleury* [online]. 2010 [cit. 2012-05-01]. I2C Master Interface. Dostupné z WWW: <<http://jump.to/fleury>> .
- [46] *Audio Engineering Society* [online]. 2004 [cit. 2012-02-19].AES standard method – for digital audio engineering – Measurement of digital audio equipment. Dostupné z WWW: <http://www.ak.tu-berlin.de/fileadmin/a0135/Unterrichtsmaterial/KT-Labor_WS0809/1_ADDA/aes17.pdf>.
- [47] METZLER, B. *Audio Measurement Handbook*, Audio Precision, Inc., 1993.

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

PWM	Pulse Width Modulation
PCM	Pulse Code Modulation
f_{vz}	Vzorkovací frekvence
PAM	Pulse Amplitude Modulation
b	Počet bitů
N	Počet kvantizačních hladin
R_b	Bitová rychlost
DSD	Direct Stream Digital
SACD	Super Audio CD
SD	Serial Data
WS	Word Select
SCK	Continuous Serial Clock
MSCK	Master Continuous Serial Clock
MSB	Bit s nejvyšší vahou
LSB	Bit s nejnižší vahou
MCU	MicroController Unit
$THD+N$	Total Harmonic Distortion + Noise
SNR	Signal to Noise Ratio
DPS	Deska plošných spojů
DDX	Direct Digital Amplification – patentovaná, plně digitální architektura pro digitální zpracování audio signálu
EMI	Electromagnetic Interference
SDA	Serial Data
SCL	Serial Clock
USB	Universal Serial Bus
SPI	Serial Peripheral Interface
L_A	Úroveň audio signálu
U_A	Napětí audio signálu
DR	Dynamic Range
$U_{INmax}(FS)$	Vstupní napětí pro dosažení úrovně 0 dBFS
A_{OZ}	Zisk operačního zesilovače

U_0	Střední hodnota napětí
C_N	Kapacita filtračního kondenzátoru
T_j	Teplota PN přechodu
T_a	Teplota okolí
$R_{thj-amb}$	Tepelný odpor přechodu čip-okolí
p	Činitel zvlnění usměrněného napětí
L	Indukčnost
I_L	Proud tekoucí cívkou
η	Účinnost
$U_{š-š}$	Mezivrcholová hodnota napětí
U_{SEC}	Efektivní hodnota sekundárního napětí transformátoru
U_{UM}	Úbytek napětí na usměrňovacím můstku
P_{OUT}	Výstupní výkon zesilovače
R_Z	Odpor zátěže
B	Šířka pásma zesilovače
R_{IN}	Vstupní odpor zesilovače
R_{OUT}	Výstupní odpor zesilovače
T	Teplota
GND	Zemní (nulový) potenciál

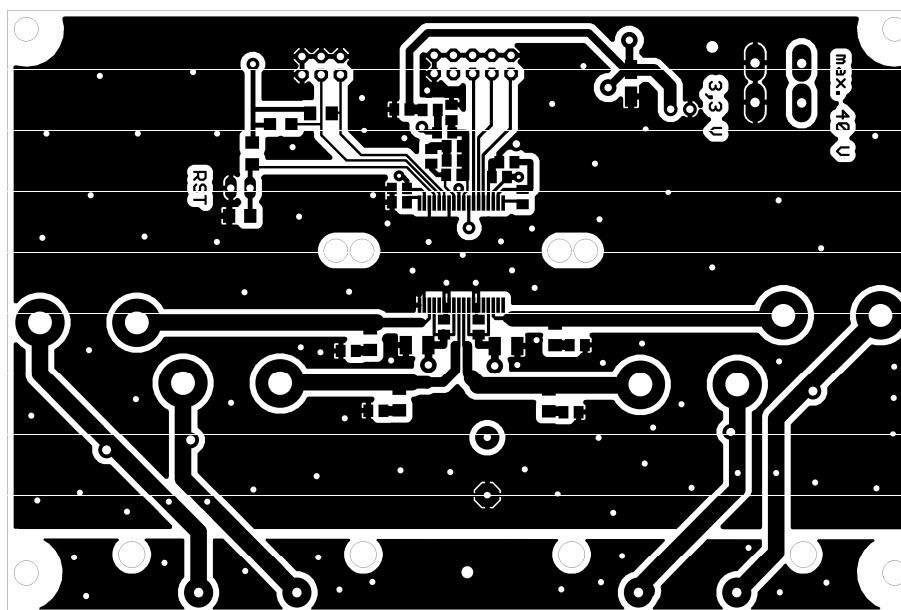
SEZNAM PŘÍLOH

A	Dokumentace DPS bloku digitálního výkonového zesilovače s LC filtrem	95
A.1	Motiv desky plošného spoje	95
A.2	Rozmístění součástek na desce plošného spoje	96
B	Dokumentace DPS jednotlivých vstupních převodníků	97
B.1	Motivy desek plošných spojů	97
B.2	Rozmístění součástek na deskách plošných spojů	98
C	Dokumentace DPS bloku vstupní jednotky	100
C.1	Motiv desky plošného spoje	100
C.2	Rozmístění součástek na desce plošného spoje	101
D	Dokumentace DPS s indikačními diodami LED	102
D.1	Motiv desky plošného spoje	102
D.2	Rozmístění součástek na desce plošného spoje	102
E	Dokumentace DPS bloku uživatelském rozhraní	103
E.1	Motiv desky plošného spoje	103
E.2	Rozmístění součástek na desce plošného spoje	104
F	Dokumentace DPS bloku MCU	105
F.1	Motiv desky plošného spoje	105
F.2	Rozmístění součástek na desce plošného spoje	105
G	Dokumentace DPS bloku napájecí jednotky	106
G.1	Motiv desky plošného spoje	106
G.2	Rozmístění součástek na desce plošného spoje	107
H	Seznam součástek	108
H.1	Digitální výkonový zesilovač s LC filtrem.....	108
H.2	USB převodník	109
H.3	Symetrický A/D převodník.....	109
H.4	Nesymetrický A/D převodník.....	110
H.5	S/PDIF převodník	110
H.6	Vstupní jednotka	111
H.7	LCD displej a indikace	112

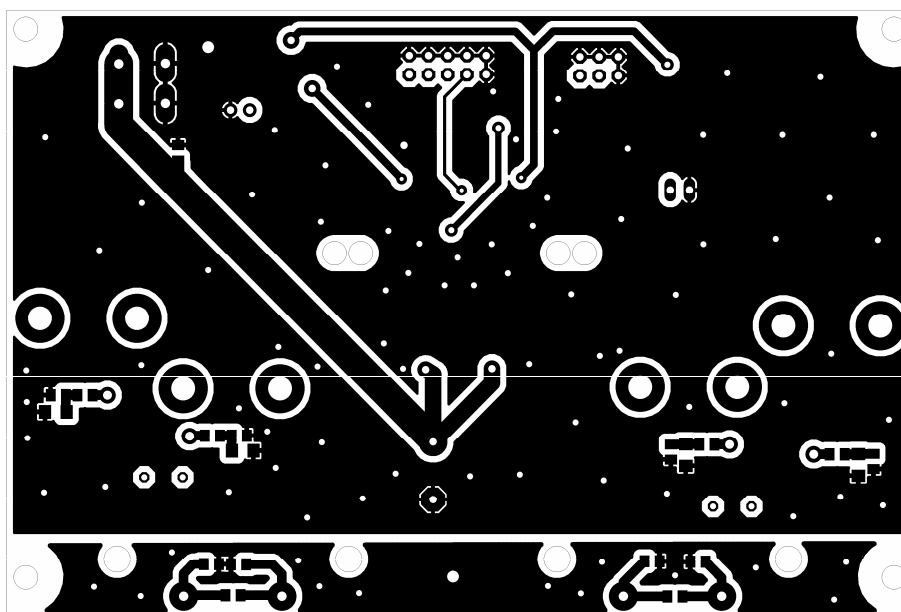
H.8	Uživatelské rozhraní	112
H.9	MCU	113
H.10	Napájecí jednotka	113
H.11	Konstrukce zesilovače	115
I	Fotodokumentace	116
I.1	Digitální výkonový zesilovač s LC filtrem.....	116
I.2	Vstupní audio převodníky.....	117
I.3	Vstupní jednotka	117
I.4	Blok indikace LED	118
I.5	Uživatelské rozhraní	119
I.6	MCU	120
I.7	Napájecí jednotka	121
I.8	Zrealizovaný prototyp zesilovače	122

A DOKUMENTACE DPS BLOKU DIGITÁLNÍHO VÝKONOVÉHO ZESILOVAČE S LC FILTREM

A.1 Motiv desky plošného spoje

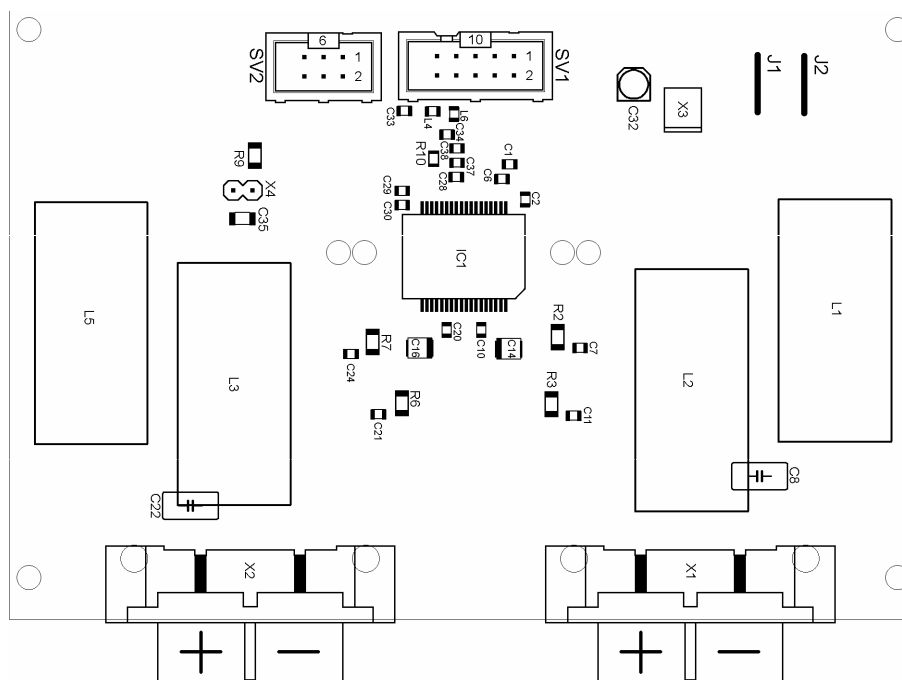


A.1.1: Motiv DPS bloku digitálního výkonového zesilovače s LC filtrem, strana TOP, (80,4 × 119,7) mm, M1:1

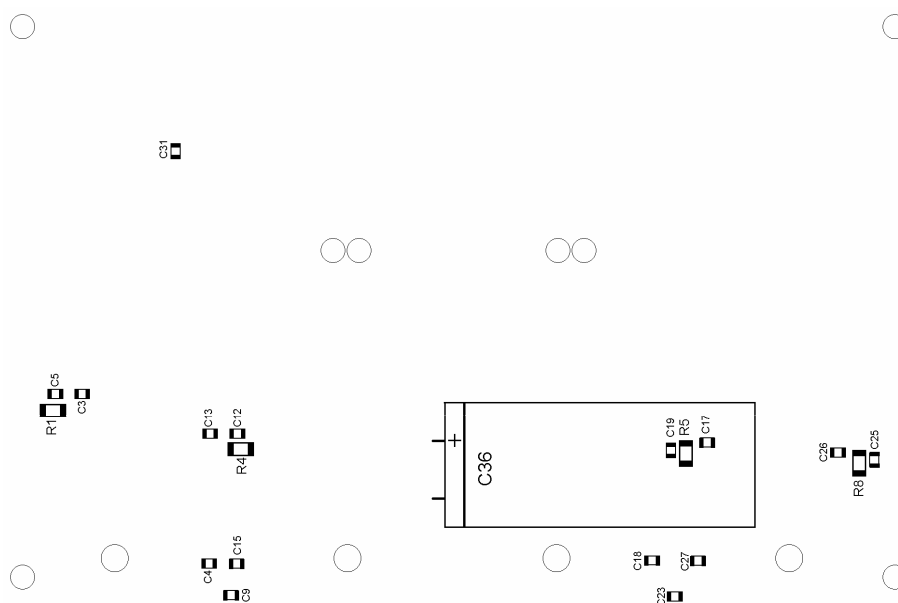


A.1.2: Motiv DPS bloku digitálního výkonového zesilovače s LC filtrem, strana BOTTOM, (80,4 × 119,7) mm, M1:1

A.2 Rozmístění součástek na desce plošného spoje



A.2.1: Rozmístění součástek na DPS bloku digitálního výkonového zesilovače s LC filtrem, strana TOP, (80,4 × 119,7) mm, M1:1



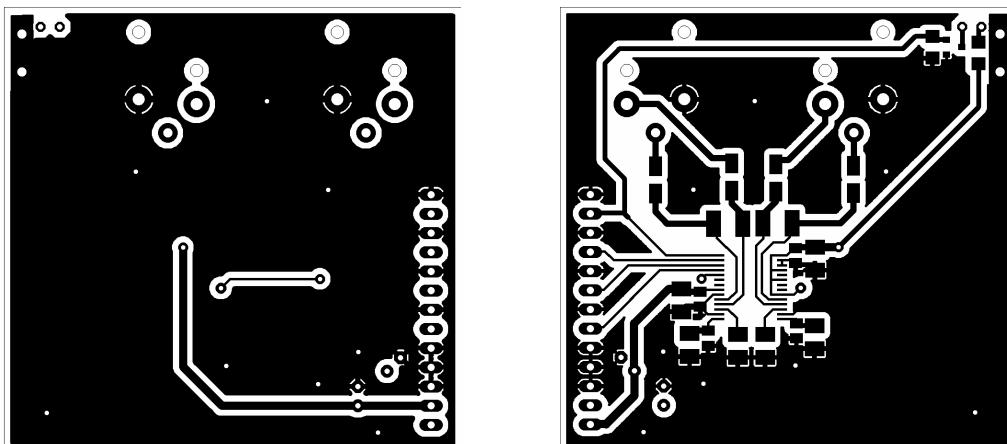
A.2.2: Rozmístění součástek na DPS bloku digitálního výkonového zesilovače s LC filtrem, strana BOTTOM, (80,4 × 119,7) mm, M1:1

B DOKUMENTACE DPS JEDNOTLIVÝCH VSTUPNÍCH PŘEVODNÍKŮ

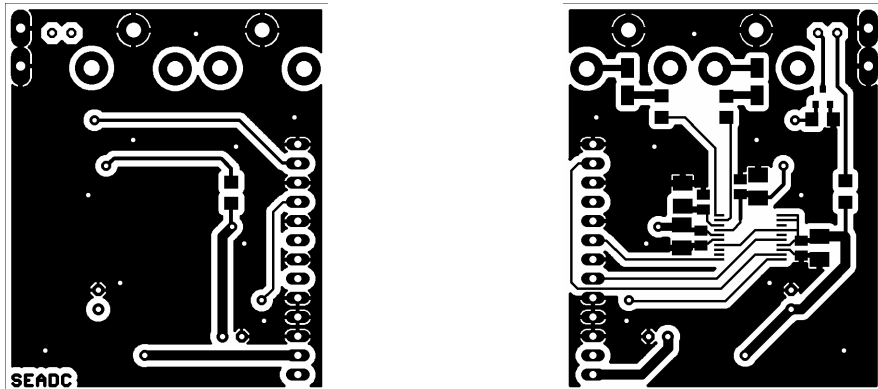
B.1 Motivy desek plošných spojů



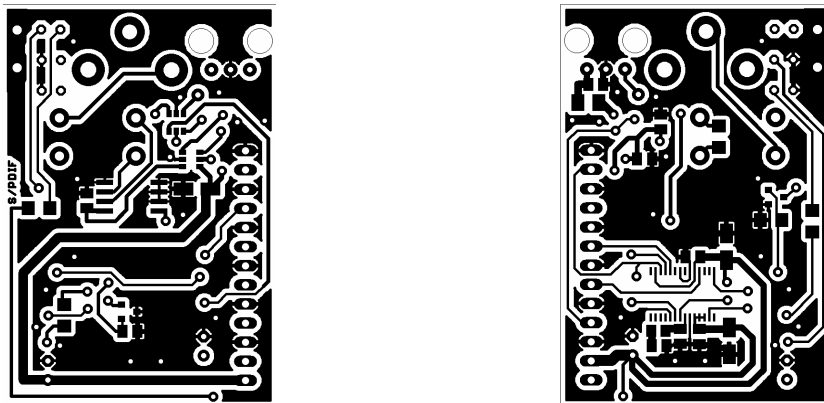
B.1.1: Motiv DPS USB převodníku – vlevo strana TOP, vpravo strana BOTTOM, (44,4 × 28,5) mm, M1:1



B.1.2: Motiv DPS symetrického A/D převodníku – vlevo strana TOP, vpravo strana BOTTOM, (60,6 × 58,8) mm, M1:1

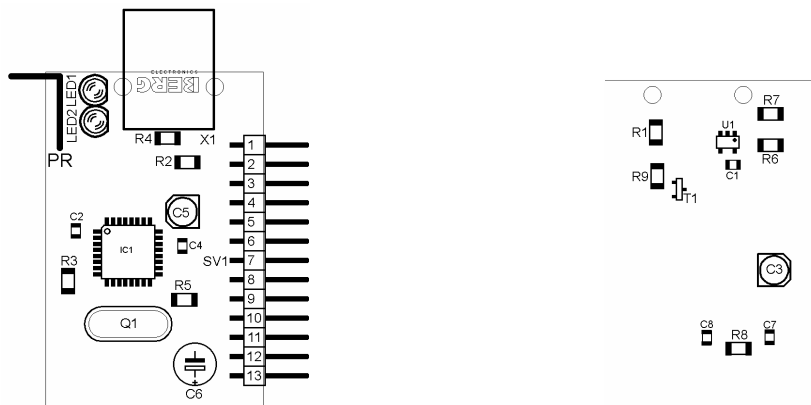


B.1.3: Motiv DPS nesymetrického A/D převodníku – vlevo strana TOP, vpravo strana BOTTOM, (51,7 × 42,6) mm, M1:1

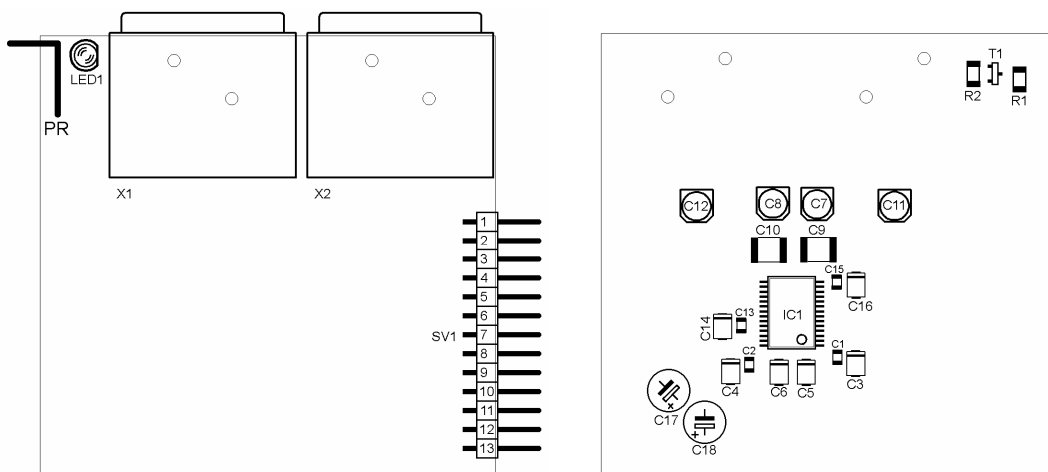


B.1.4: Motiv DPS S/PDIF převodníku – vlevo strana TOP, vpravo strana BOTTOM, (53,3 × 36,1) mm, M1:1

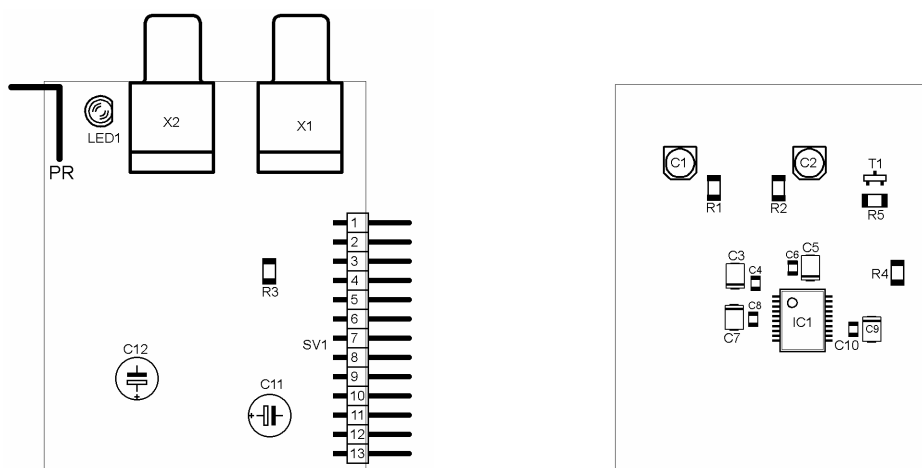
B.2 Rozmístění součástek na deskách plošných spojů



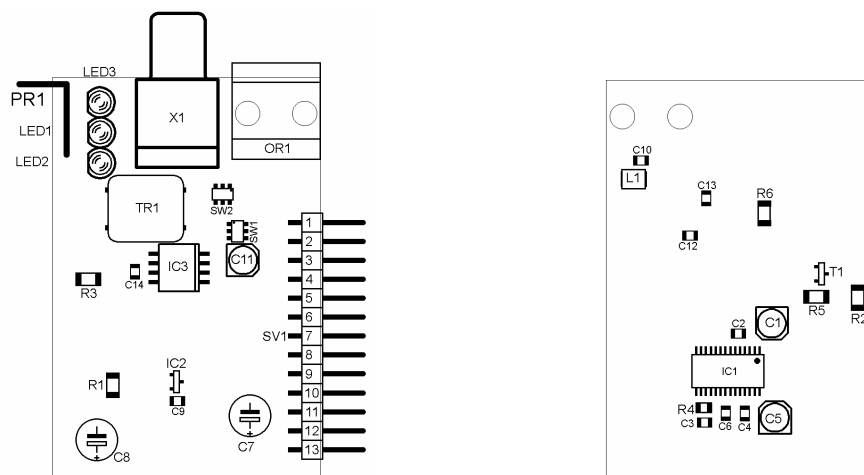
B.2.1: Rozmístění součástek na DPS USB převodníku – vlevo strana TOP, vpravo strana BOTTOM (44,4 × 28,5) mm, M1:1



B.2.2: Rozmístění součástek na DPS symetrického A/D převodníku – vlevo strana TOP, vpravo strana BOTTOM (60,6 × 58,8) mm, M1:1



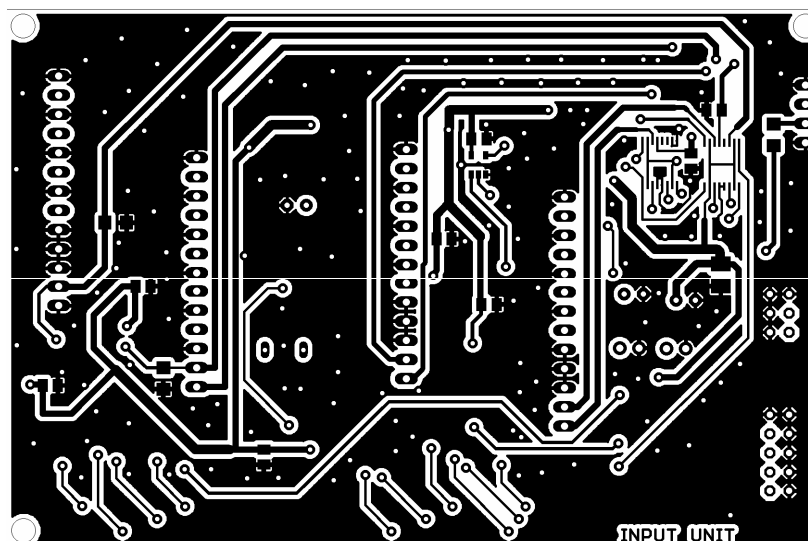
B.2.3: Rozmístění součástek na DPS nesymetrického A/D převodníku – vlevo strana TOP, vpravo strana BOTTOM (51,7 × 42,6) mm, M1:1



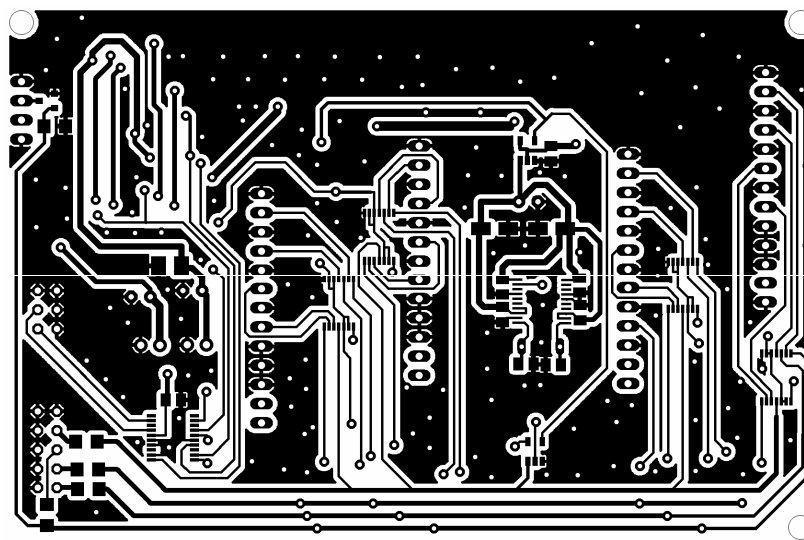
B.2.4: Rozmístění součástek na DPS S/PDIF převodníku – vlevo strana TOP, vpravo strana BOTTOM (53,3 × 36,1) mm, M1:1

C DOKUMENTACE DPS BLOKU VSTUPNÍ JEDNOTKY

C.1 Motiv desky plošného spoje

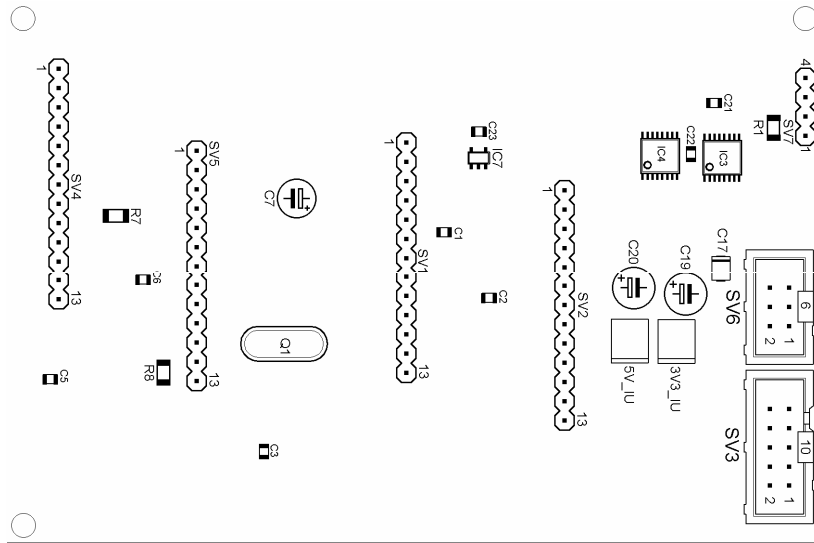


C.1.1: Motiv DPS bloku vstupní jednotky, strana TOP, (71,4 × 107,7) mm, M1:1

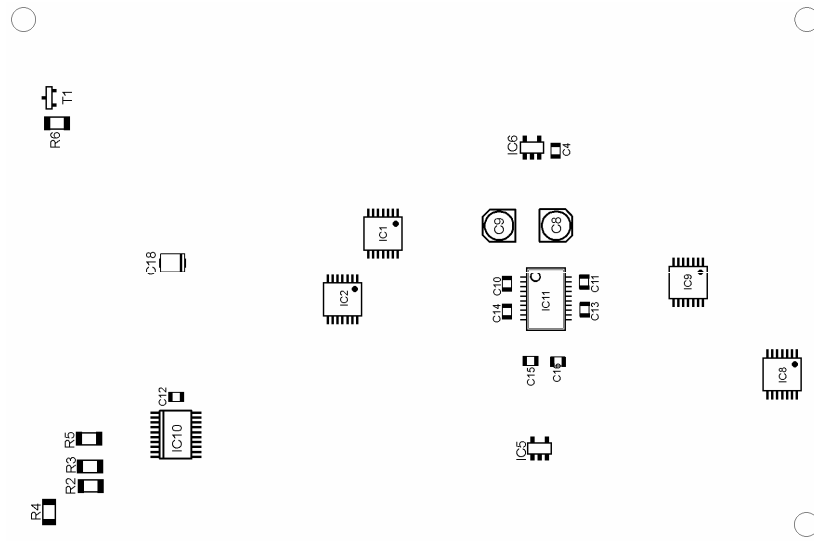


C.1.2: Motiv DPS bloku vstupní jednotky, strana BOTTOM, (71,4 × 107,7) mm, M1:1

C.2 Rozmístění součástek na desce plošného spoje



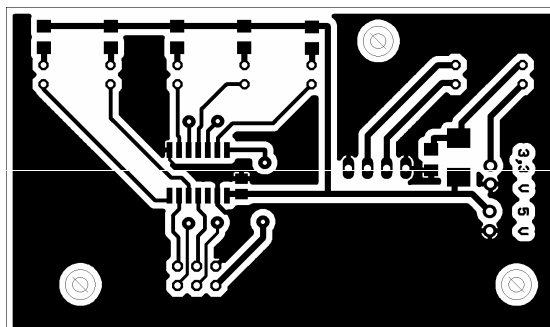
C.2.1: Rozmístění součástek na DPS bloku vstupní jednotky, strana TOP, (71,4 × 107,7) mm, M1:1



C.2.2: Rozmístění součástek na DPS bloku vstupní jednotky, strana BOTTOM, (71,4 × 107,7) mm, M1:1

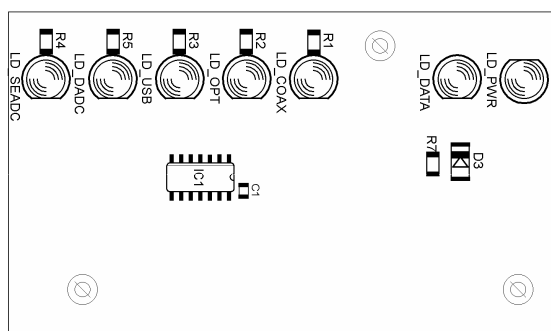
D DOKUMENTACE DPS S INDIKAČNÍMI DIODAMI LED

D.1 Motiv desky plošného spoje

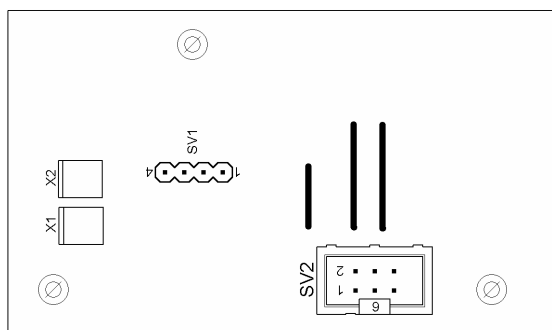


D.1.1: Motiv DPS s indikačními diodami LED, strana BOTTOM, (43,3 × 73,6) mm, M1:1

D.2 Rozmístění součástek na desce plošného spoje



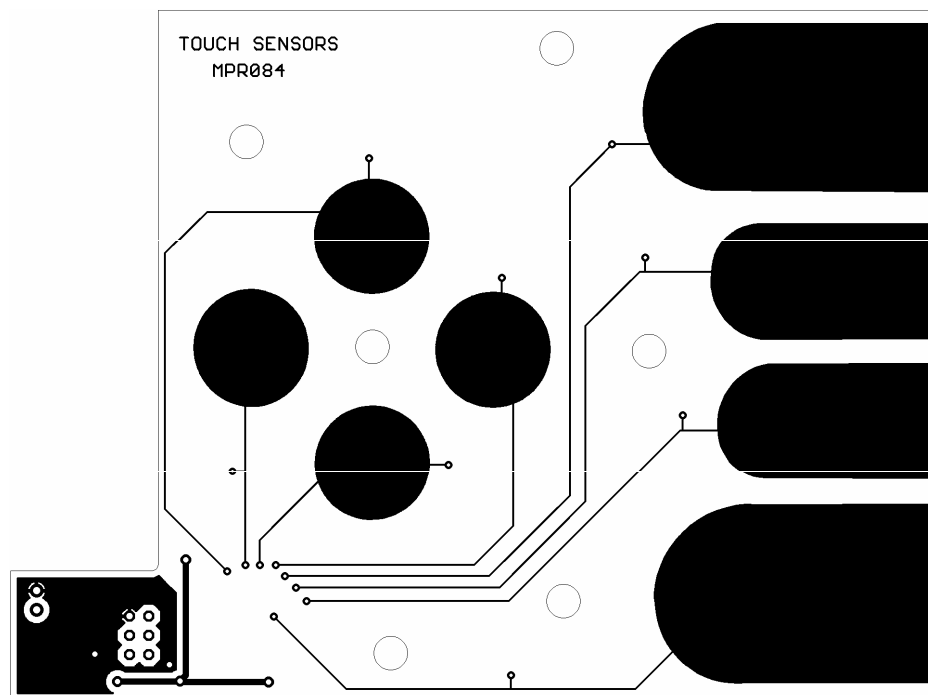
D.2.1: Rozmístění součástek na DPS s indikačními diodami LED, strana BOTTOM, (43,3 × 73,6) mm, M1:1



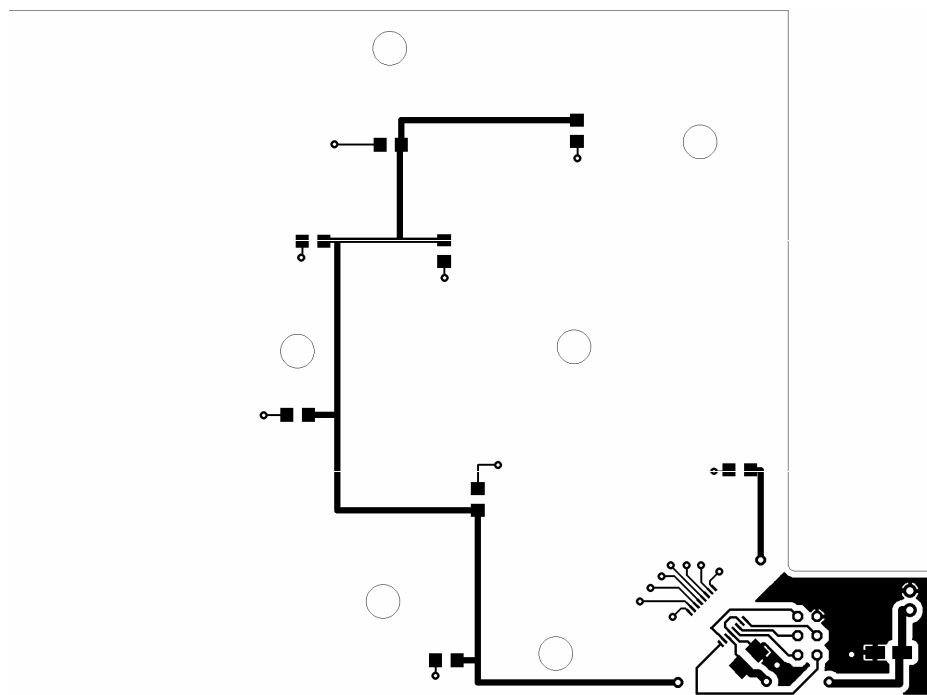
D.2.2: Rozmístění součástek na DPS s indikačními diodami LED, strana TOP, (43,3 × 73,6) mm, M1:1

E DOKUMENTACE DPS BLOKU UŽIVATELSKÉM ROZHRAŇÍ

E.1 Motiv desky plošného spoje

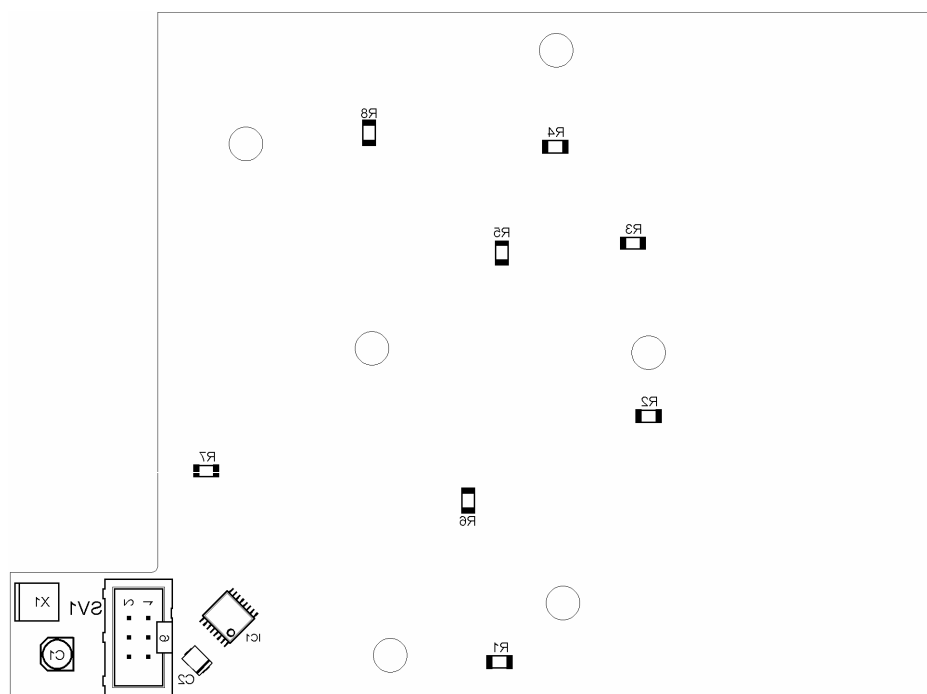


E.1.1: Motiv DPS bloku uživatelského rozhraní, strana TOP, (91,2 × 122,3) mm, M1:1



E.1.2: Motiv DPS bloku uživatelského rozhraní, strana BOTTOM, (91,2 × 122,3) mm, M1:1

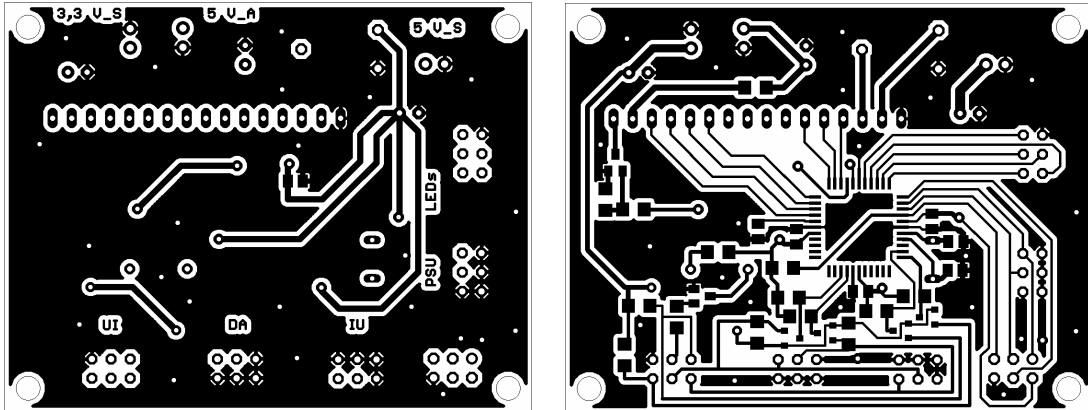
E.2 Rozmístění součástek na desce plošného spoje



E.2.1: Rozmístění součástek na DPS bloku uživatelského rozhraní, strana BOTTOM, (91,2 × 122,3) mm, M1:1

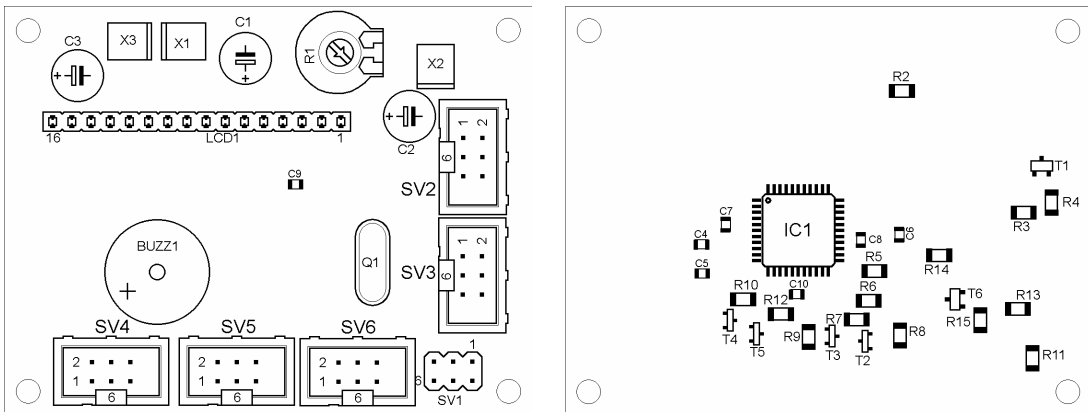
F DOKUMENTACE DPS BLOKU MCU

F.1 Motiv desky plošného spoje



F.1.1: Motiv DPS bloku MCU – vlevo strana TOP, vpravo strana BOTTOM, (54,3 × 69,9) mm, M1:1

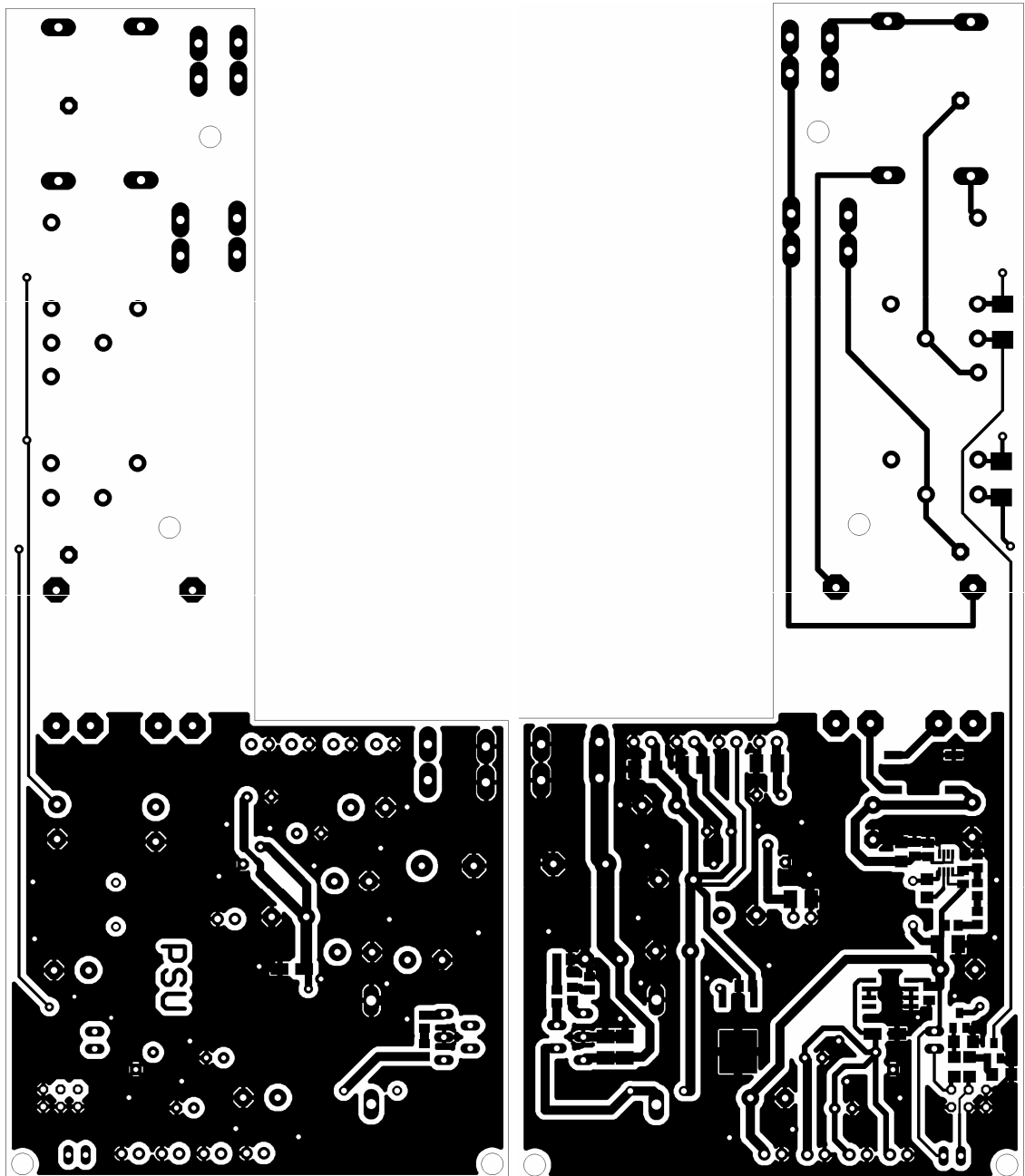
F.2 Rozmístění součástek na desce plošného spoje



F.2.1: Rozmístění součástek na DPS bloku MCU – vlevo strana TOP, vpravo strana BOTTOM, (54,3 × 69,9) mm, M1:1

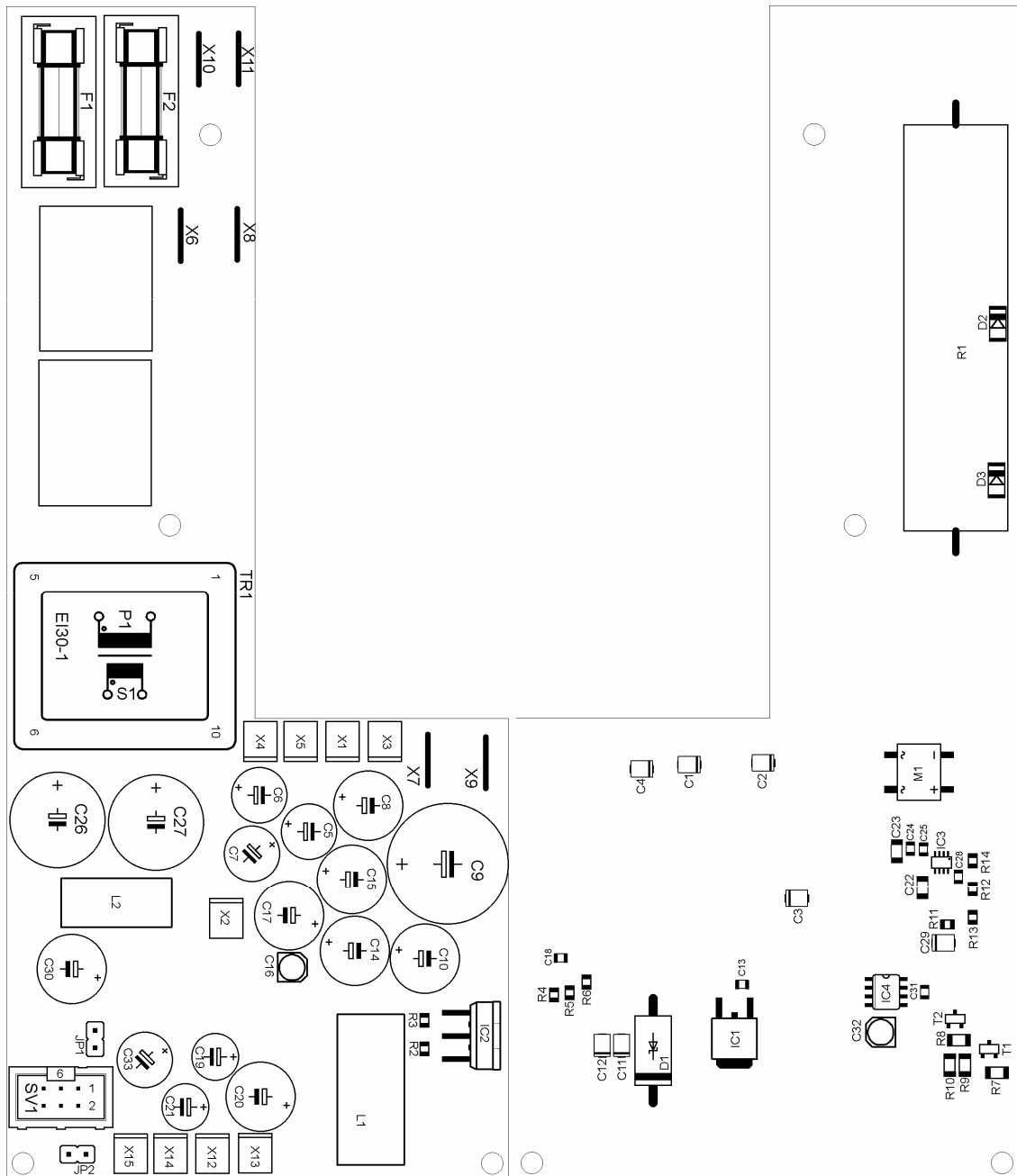
G DOKUMENTACE DPS BLOKU NAPÁJECÍ JEDNOTKY

G.1 Motiv desky plošného spoje



G.1.1: Motiv DPS bloku napájecí jednotky – vlevo strana TOP, vpravo strana BOTTOM, (171,3 × 73,8) mm, M1:1

G.2 Rozmístění součástek na desce plošného spoje



G.2.1: Rozmístění součástek na DPS bloku napájecí jednotky – vlevo strana TOP, vpravo strana BOTTOM, (171,3 × 73,8) mm, M1:1

H SEZNAM SOUČÁSTEK

H.1 Digitální výkonový zesilovač s LC filtrem

OZNAČENÍ	HODNOTA	POUZDRO
C1,C2,C3, C4,C5,C6,C10,C11,C13 C17,C19,C20, C25,C26,C29, C30, C31,C33, C34	100n (keramický)	SMD0805
C7,C11,C21,C24	680p (keramický)	SMD0805
C8,C22	470n (keramický)	SMD0805
C9,C23,C35	1n (keramický)	SMD0805
C14,C16	1u/63V (tantal.)	B
C15,C18,C27	10n (keramický)	SMD0805
C28	220p (keramický)	SMD0805
C32	22M/16V (elektrolyt.)	SMD standardní
C36	1000M/35V(elektrolyt.)	Radiální, RM = 7,5 mm
C37	1n2 (keramický)	SMD0805
C38	100p (keramický)	SMD0805
IC1	STA326	PowerSO-36
J1,J2	Faston 6,3x0,8	Přímý do DPS
L1,L2,L3,L5	viz text	-
L4,L6	600R@100MHz	SMD0805
R1,R4,R5,R8	6R2	SMD1206
R2,R3,R6,R7	10R	SMD1206
R9	10K	SMD1206
R10	3K9	SMD0805
SV1,SV2	MLW10G	-
X1,X2	Reprosvorky	Pérové do DPS
X3	PSH02-02PG	-
X4	Kolikova lista 2X0	-

H.2 USB převodník

<u>OZNAČENÍ</u>	<u>HODNOTA</u>	<u>POUZDRO</u>
C1,C2,C4	100n (keramický)	SMD0805
C3,C5	10M/16V (elektrolyt.)	SMD Standardní
C6	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
C7,C8	22p (keramický)	SMD0805
IC1	PCM2706	32TQFP
LED1	RED/2 mA	3mm
LED2	YELLOW/2 mA	3mm
PR	Prichyt DPS	-
Q1	12MHz	HC49US
R1,R5	1K5	SMD1206
R2,R4	22R	SMD1206
R3,R8	1M	SMD1206
R6	560R	SMD1206
R7	680R	SMD1206
SV1	Kolikova lista 13X90	-
T1	2N7002	SOT-23
U1	74AHC1G08DBV	SOT-23
X1	USB1X90B	-

H.3 Symetrický A/D převodník

<u>OZNAČENÍ</u>	<u>HODNOTA</u>	<u>POUZDRO</u>
C1,C2,C13,C15	100n (keramický)	SMD0805
C3,C4,C14, C16	10M/16V(tantal.)	B
C5,C6	100n/35V (tantal.)	A
C7,C8,C11,C12	1M/50V (elektrolyt.)	SMD Standardní
C9,C10	10n/100V (fóliový)	SMD1812
C17,C18	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
IC1	PCM1804	TSSOP28
LED1	YELLOW/2 mA	3 mm
PR	Prichyt DPS	-
R1	560R	SMD1206
R2	1M	SMD1206

SV1	Kolikova lista 13X90	-
T1	2N7002	SOT-23
X1,X2	NEUTRIK	NC3FAH1

H.4 Nesymetrický A/D převodník

OZNAČENÍ	HODNOTA	POUZDRO
C1,C2	1M/50V (elektrolyt.)	SMD Standardní
C3,C5,C7,C10	10M/16V (elektrolyt.)	SMD Standardní
C4,C6,C9	100n (keramický)	SMD0805
C11,C12	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
IC1	PCM1802	TSSOP20
LED1	YELLOW/2 mA	3 mm
PR	Prichyt DPS	-
R1,R2	10k	SMD1206
R3	1k	SMD1206
R4	560R	SMD1206
R5	1M	SMD1206
SV1	Kolikova lista 13X90	-
T1	2N7002	SOT-23
X1,X2	CINCH	Zásuvka do DPS 90°

H.5 S/PDIF převodník

OZNAČENÍ	HODNOTA	POUZDRO
C1	10M/16V (elektrolyt.)	SMD Standardní
C2,C4,C9,C10, C12,C13,C14	100n (keramický)	SMD0805
C3	68n (keramický)	SMD0805
C5,C11	10M/16V (elektrolyt.)	SMD Standardní
C6	4,7n (keramický)	SMD0805
C7,C8	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
IC1	DIR9001	TSSOP28
IC2	MCP120T-300I/TT	SOT-23
IC3	SN65176PS	SOIC-8
L1	47uH	SMD1210
LED1,LED2	RED/2 mA	3 mm
LED3	YELLOW/2 mA	3 mm

OR1	TORX177L	-
PR1	Prichyt DPS	-
R1,R2,R4	680R	SMD1206
R3	560R	SMD1206
R5	1M	SMD1206
R6	75R	SMD1206
SV1	Kolikova lista 13X90	-
SW1,SW2	TS5A3160	SOT-23
T1	2N7002	SOT-23
TR1	DA102C	4pin DIL
X1	CINCH	zásuvka do DPS 90°

H.6 Vstupní jednotka

<u>OZNAČENÍ</u>	<u>HODNOTA</u>	<u>POUZDRO</u>
C1,C2,C3, C4,C5,C6, C10,C11, C12, C13,C14,C21, C22,C23	100n (keramický)	SMD0805
C7,C19,C20	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
C8,C9	10M/16V (elektrolyt.)	SMD Standardní
C15,C16	22n (keramický)	SMD0805
C17,C18	22M/16V (tantal.)	B
IC1,IC2	TS3A4751	TSSOP14
IC3,IC4	ADG1611	TSSOP16
IC5,IC6	TS5A3166	SOT-23
IC7	74AHC1G86DBV	SOT-23
IC8,IC9	TS3A4751	TSSOP14
IC10	PCF8574TS	TSSOP20
IC11	PLL1707	TSSOP20
Q1	27MHz	HC49US
R1	510R	SMD1206
R2,R3,R4,R5	22R	SMD1206
R6	1M	SMD1206
R7,R8	4k7	SMD1206
SV1,SV2, SV5,SV6	Kolikova lista 13X90	-
SV3	Kolikova lista 4X0	-
SV4,SV7	MLW10G	-

T1	2N7002	SOT-23
X1,X2	PSH02-02PG	-

H.7 LCD displej a indikace

OZNAČENÍ	HODNOTA	POUZDRO
C1	100n (keramický)	SMD0805
D1	1N4007	MINIMELF
IC1	SN7407D	SOIC14
LD_COAX, LD_DADC, LD_OPT LD_SEADC, LD_USB	BLUE/25mA	5 mm
LD_DATA	YELLOW/25mA	5 mm
LD_PWR	RED/2mA	5 mm
R1	1k5	SMD1206
R2,R3,R4, R5,R6	100	SMD1206
SV1	Kolikova lista 4X0	-
SV2	MLW06G	-
X1,X2	PSH02-02PG	-
LCD	MC2004B-SBL/H	-

H.8 Uživatelské rozhraní

OZNAČENÍ	HODNOTA	POUZDRO
C1	10M/16V (elektrolyt.)	SMD Standardní
C11	1M/16V (tantal.)	B
IC1	MPR084	TSSOP16
R1,R4	750K	SMD1206
R2,R3	680K	SMD1206
R5,R6,R7,R8	560K	SMD1206
SV1	MLW06G	-
X1	PSH02-02PG	-

H.9 MCU

<u>OZNAČENÍ</u>	<u>HODNOTA</u>	<u>POUZDRO</u>
BUZZ1	KPE242	-
C1,C2,C3	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
C4,C5	18n (keramický)	SMD0805
C6,C7,C8, C9,C10	100n (keramický)	SMD0805
IC1	ATMEGA32A-AU	TQFP44
LCD1	LCD 20x4 BLUE	-
Q1	16MHz	HC49US
R1	10k	SMD1206
R2	10R	SMD1206
R3	8K2	SMD1206
R4	1M	SMD1206
R5,R6,R7, R8,R9,R10, R11,R12,R13	4K7	SMD1206
R14	100R	SMD1206
R15	150k	SMD1206
SV1	Kolikova lista 13X0X2	-
SV2,SV3,SV4,SV5,SV6	MLW06G	-
T1,T6	BC817-16	SOT-23
T2,T3,T4,T5	2N7002	SOT-23
X1,X2,X3	PSH02-02PG	-

H.10 Napájecí jednotka

<u>OZNAČENÍ</u>	<u>HODNOTA</u>	<u>POUZDRO</u>
C1,C2,C3, C4,C29	22M/16V (tantal.)	B
C5,C6,C7, C8	470M/10V (elektrolyt.)	Radiální, RM = 3,5 mm
C9	2200M/50V(elektrolyt.)	Radiální, RM = 7,5 mm
C10	220M/50V (elektrolyt.)	Radiální, RM = 5 mm
C11,C12	1M/50V (tantal.)	B
C13,C31	100n (keramický)	SMD0805
C14,C20,C30	470M/16V (elektrolyt.)	Radiální, RM = 5 mm
C15	1800M/16V (elektrolyt.)	Radiální, RM = 5 mm
C16,C32	2M2/16V (elektrolyt.)	SMD standardní
C17	1000M/10V (elektrolyt.)	Radiální, RM = 5 mm

C18	10n (keramický)	SMD0805
C19,C21	100M/16V (elektrolyt.)	Radiální, RM = 2,5 mm
C22	220n/50V (keramický)	SMD0805
C23	4M7/25V (keramický)	SMD1206
C24,C25	1M/25V (keramický)	SMD0805
C26	1000M/25V (elektrolyt.)	Radiální, RM = 2,5 mm
C27	470M/35V (elektrolyt.)	Radiální, RM = 5 mm
C28	22p/50V (keramický)	SMD0805
C33	330M/10V (elektrolyt.)	Radiální, RM = 3,5 mm
D1	MBR340	-
D2,D3	1N4007	MINIMELF
F1	T800mA*	5×20 mm
F2	T50mA*	5×20 mm
*	poj. držák s krytem	KS20SW
IC1	LF33CDT	TO252AA
IC2	LT1076	TO220-5
IC3	LT3470	TSOT-23
IC4	LE33CD	SOIC-8
JP1,JP2	Kolikova lista 2X0	-
L1	100uH/3A	Toroid
L2	33uH/1A	Toroid
M1	B250C1000	SMD
R1	27R/20W	-
R2,R4	2k7 (1 %)	SMD0805
R3	100R (1 %)	SMD0805
R5	2k2 (1 %)	SMD0805
R6	10R (1 %)	SMD0805
R7,R8	1M	SMD1206
R9,R10	15k	SMD1206
R11	1k (1 %)	SMD0805
R12	43k (1 %)	SMD0805
R13	560k (1 %)	SMD0805
R14	200k (1 %)	SMD0805
RE1,RE2	NT72-2	-
SV1	MLW06G	-
T1,T2	BC817-16	SOT-23

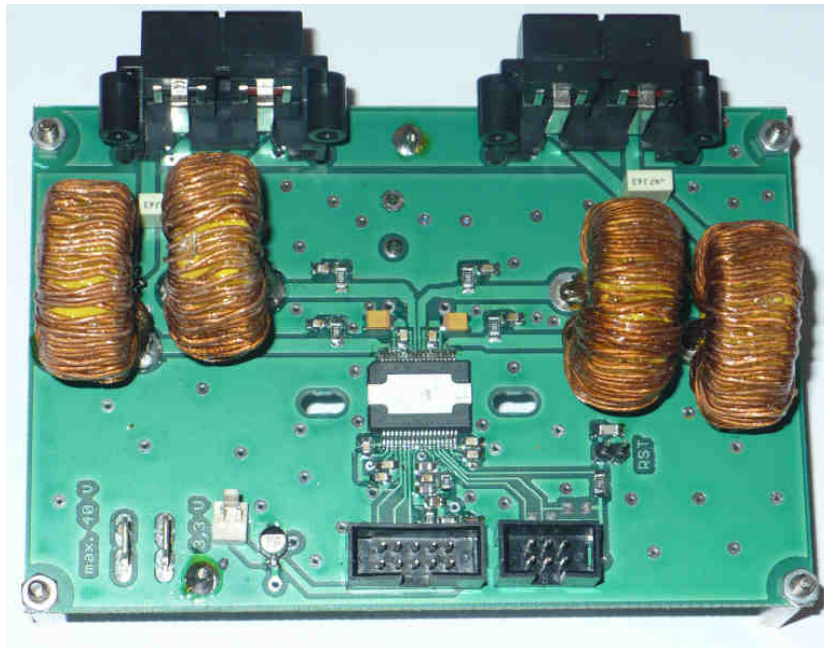
TR1	9V/3,2VA	EI do DPS
X1,X2,X3, X4,X5,X12, X13,X14,X15	PSH02-02PG	-
X6,X7,X8, X9,X10,X11	Faston 6,3x0,8	Přímý do DPS
Toroidní transformátor 24 V/150 VA		-
2 × Kondenzátor SAMXON 22000M/63V		Šroubové kontakty
Usměrňovací můstek 250V/35A		Kontakty Faston

H.11 Konstrukce zesilovače

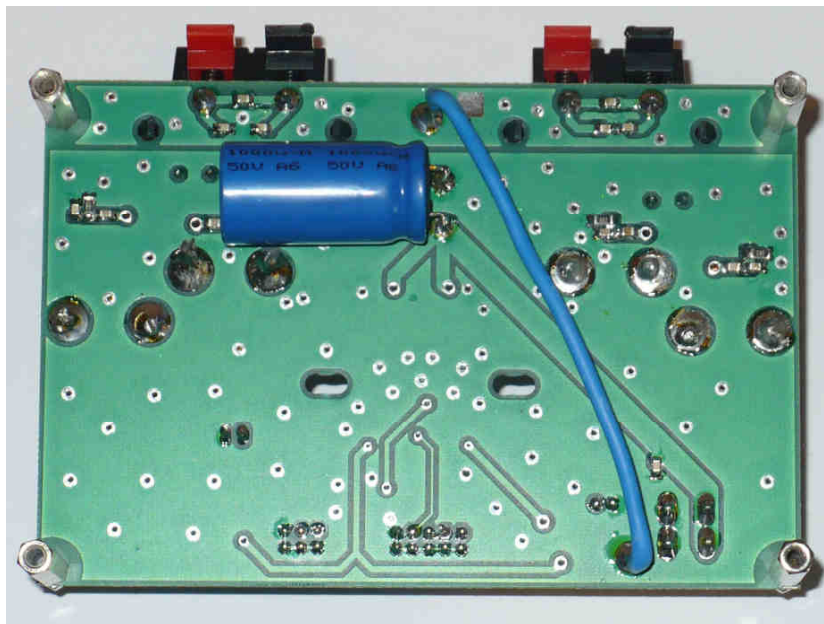
Přístrojová skříňka	CP-15-35
Hlavní vypínač	Kolébkový, 250 V/3 A
Síťový napájecí konektor	Mini konektor LW6130

I FOTODOKUMENTACE

I.1 Digitální výkonový zesilovač s LC filtrem

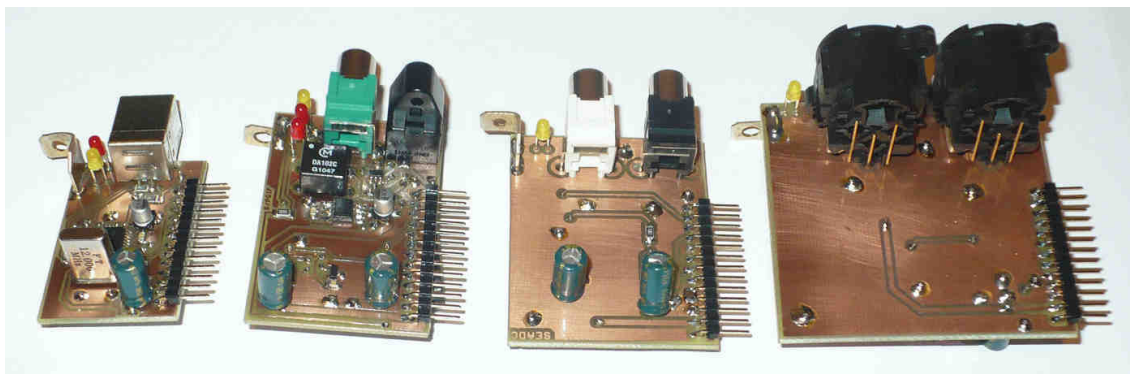


I.1.1: Osazená DPS bloku digitálního výkonového zesilovače s LC filtrem – strana TOP

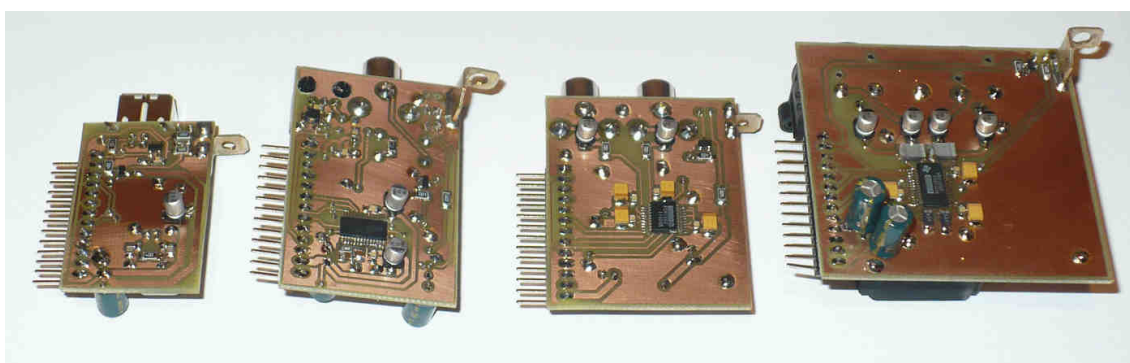


I.1.2: Osazená DPS bloku digitálního výkonového zesilovače s LC filtrem – strana BOTTOM

I.2 Vstupní audio převodníky

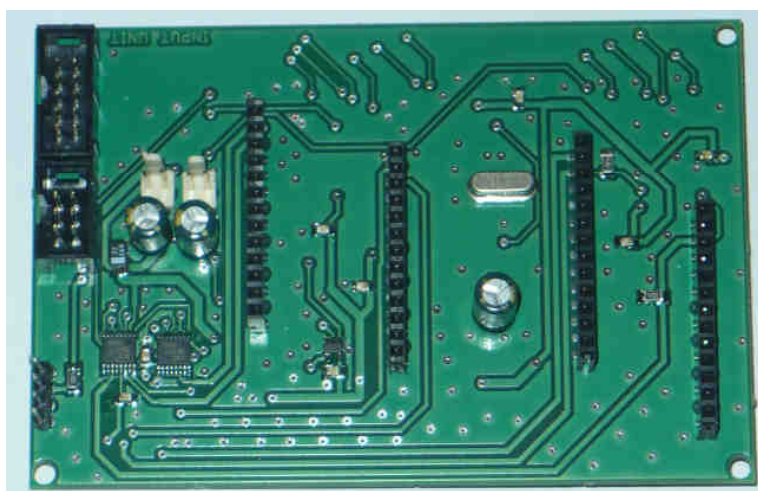


I.2.1: Osazené DPS jednotlivých audio převodníků – strana TOP – zleva USB převodník, S/PDIF převodník, nesymetrický A/D převodník a symetrický A/D převodník

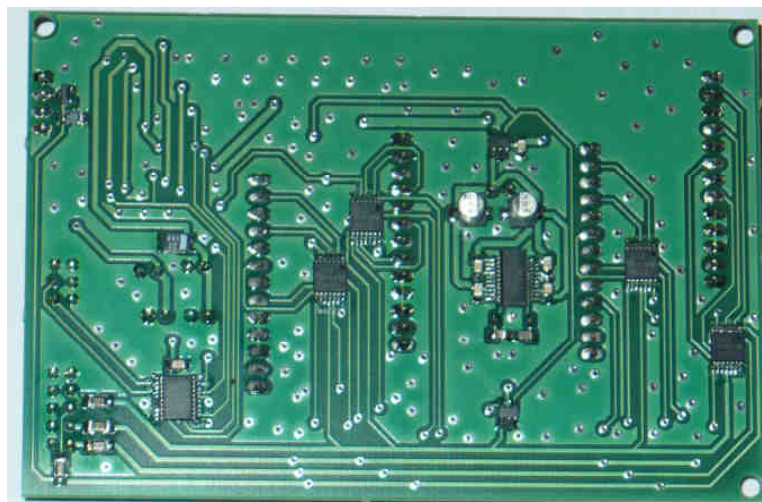


I.2.2: Osazené DPS jednotlivých audio převodníků – strana BOTTOM – zleva USB převodník, S/PDIF převodník, nesymetrický A/D převodník a symetrický A/D převodník

I.3 Vstupní jednotka

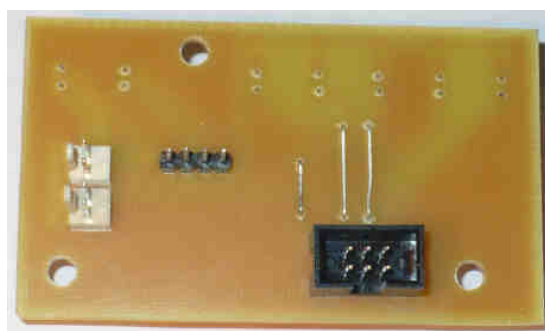


I.3.1: Osazená DPS bloku vstupní jednotky – strana TOP

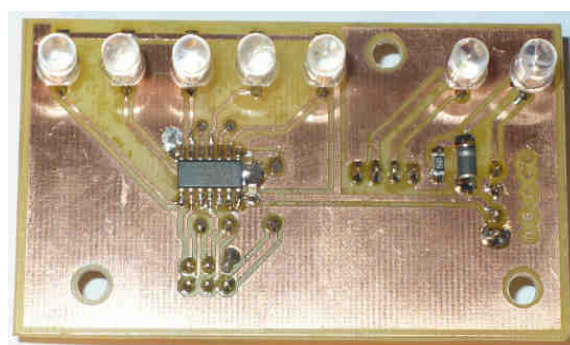


I.3.2: Osazená DPS bloku vstupní jednotky – strana BOTTOM

I.4 Blok indikace LED

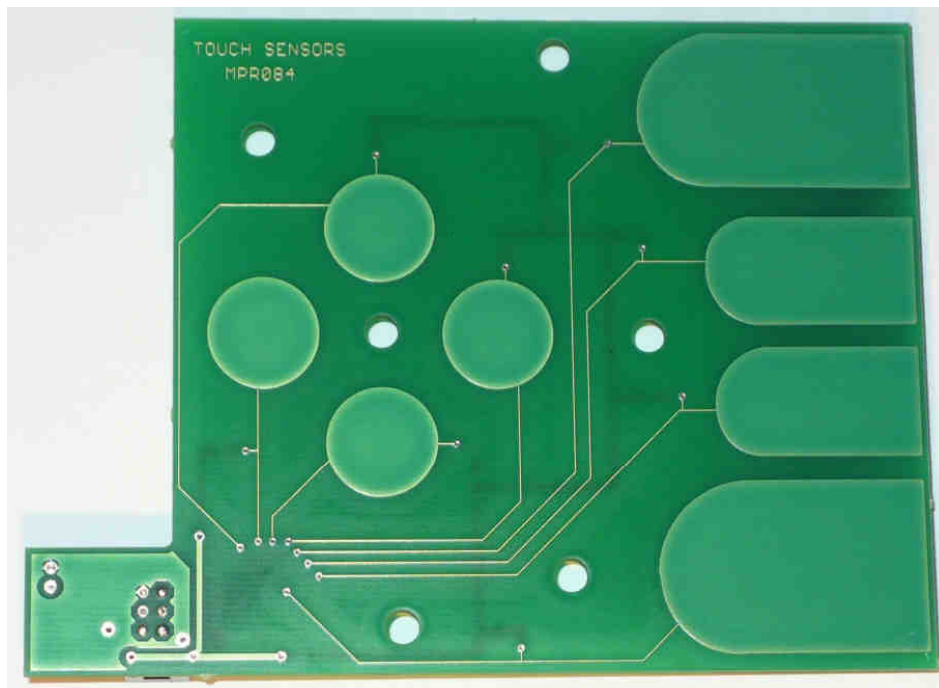


I.4.1: Osazená DPS bloku indikace LED – strana TOP

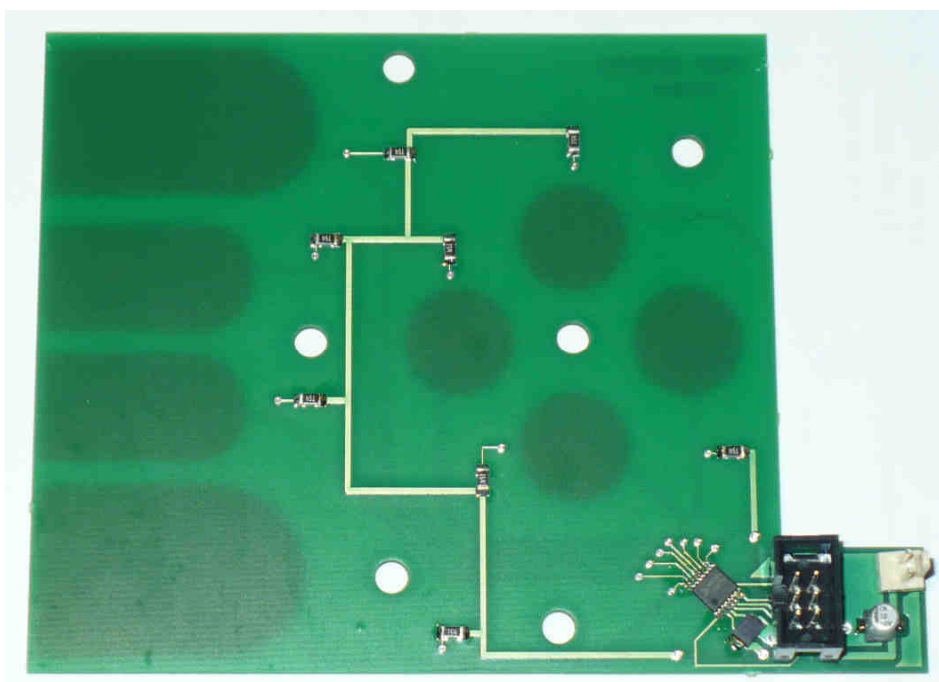


I.4.2: Osazená DPS bloku indikace LED – strana BOTTOM

I.5 Uživatelské rozhraní

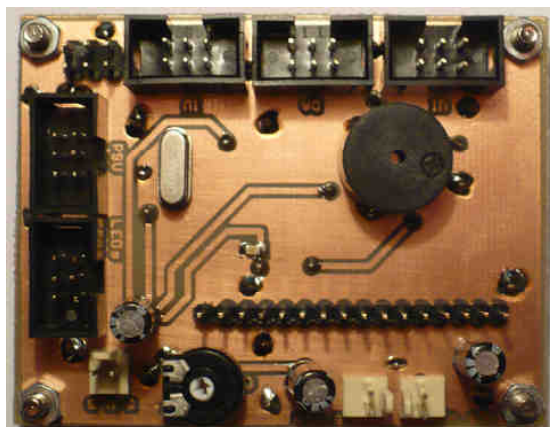


I.5.1: Osazená DPS bloku uživatelského rozhraní – strana TOP

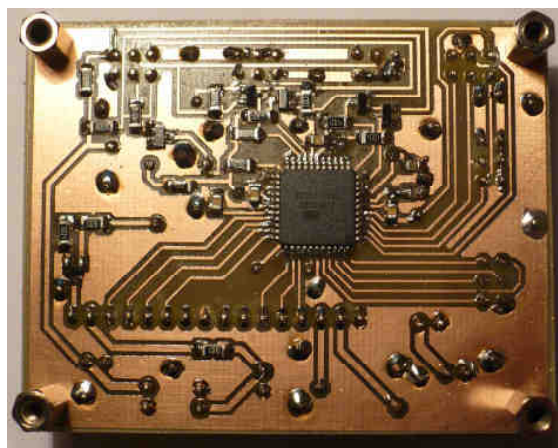


I.5.2: Osazená DPS bloku uživatelského rozhraní – strana BOTTOM

I.6 MCU



I.6.1: Osazená DPS bloku MCU – strana TOP

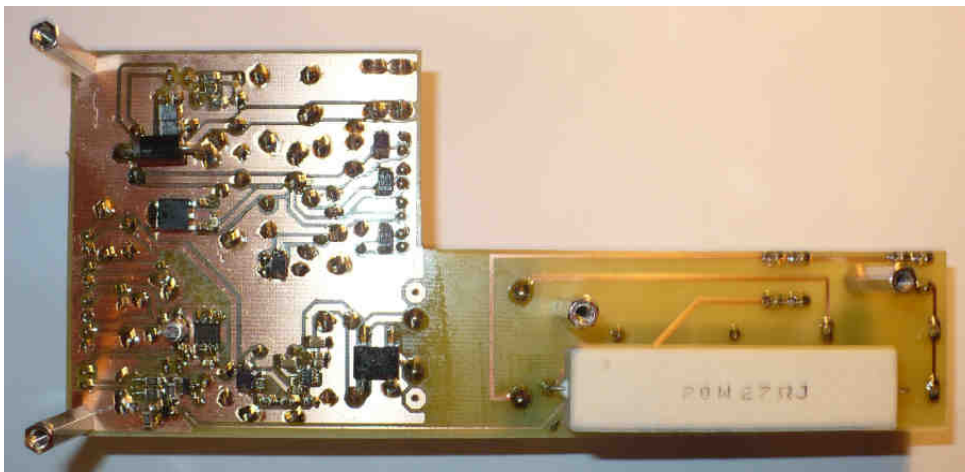


I.6.2: Osazená DPS bloku MCU – strana BOTTOM

I.7 Napájecí jednotka



I.7.1: Osazená DPS bloku napájecí jednotky – strana TOP



I.7.2: Osazená DPS bloku napájecí jednotky – strana BOTTOM

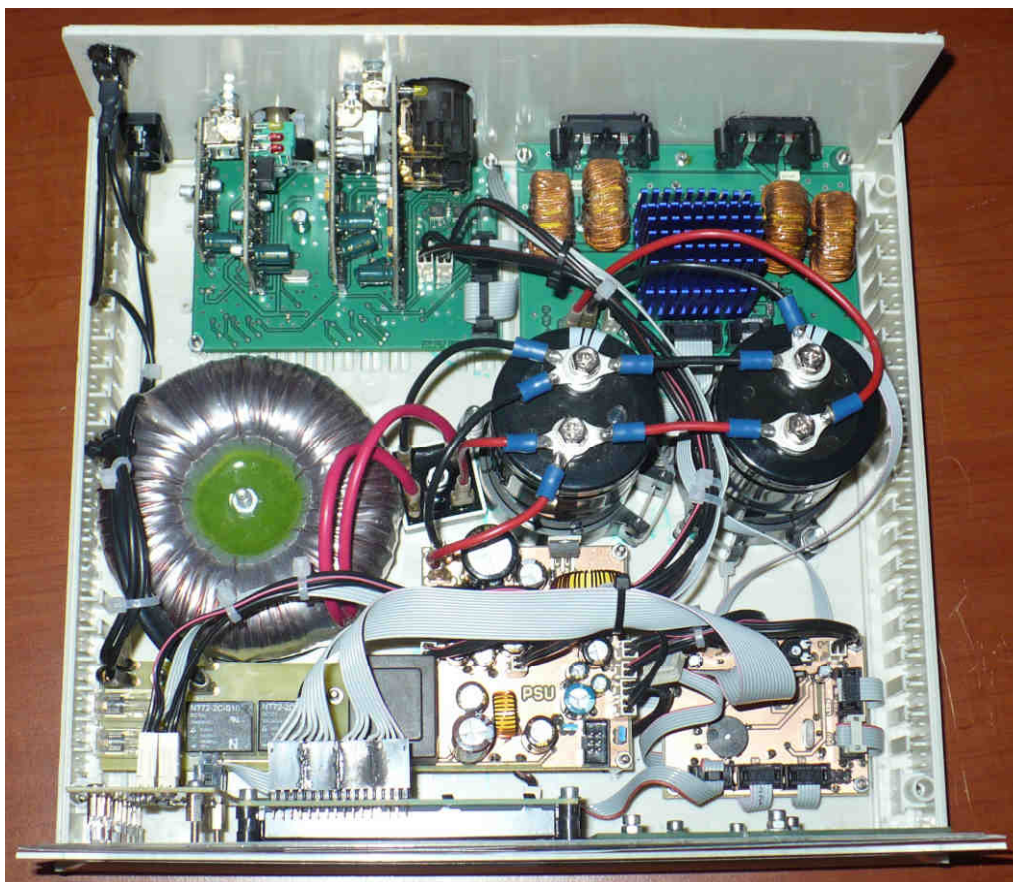
I.8 Zrealizovaný prototyp zesilovače



I.8.1: Zrealizovaný prototyp zesilovače bez horního krytu – pohled zleva



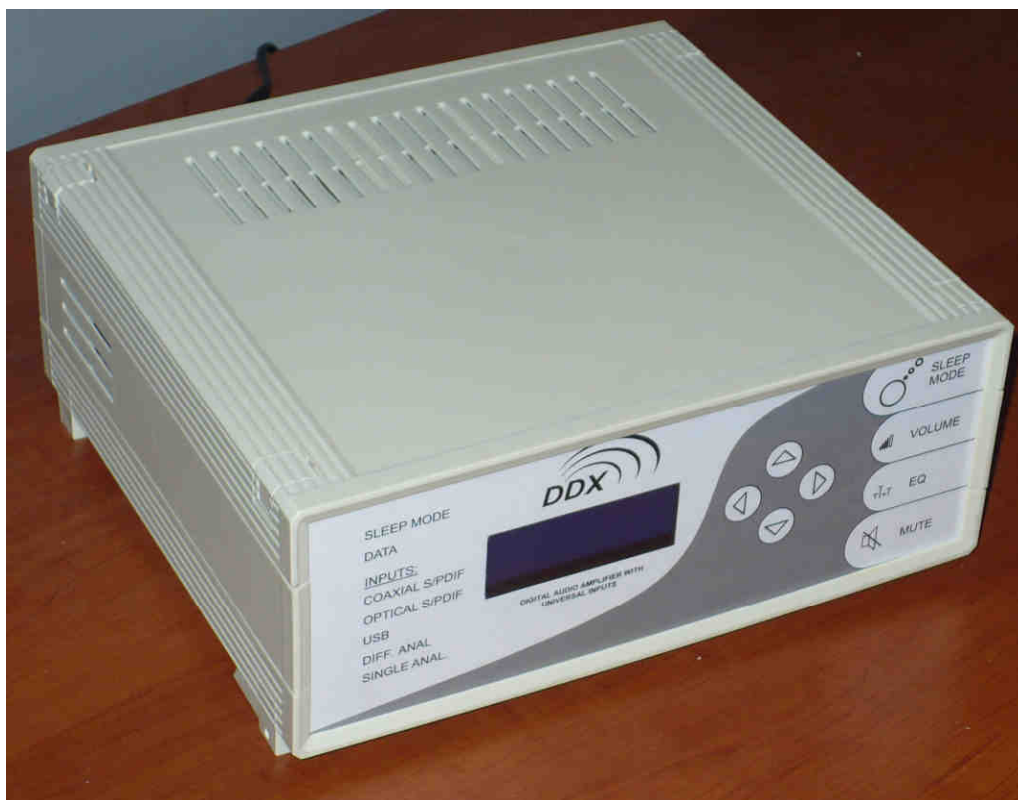
I.8.2: Zrealizovaný prototyp zesilovače bez horního krytu – pohled zprava



I.8.3: Zrealizovaný prototyp zesilovače bez horního krytu – pohled shora



I.8.4: Zrealizovaný prototyp zesilovače – pohled na čelní panel bez fólie



I.8.5: Zrealizovaný prototyp zesilovače – pohled zleva



I.8.6: Zrealizovaný prototyp zesilovače – pohled na zadní panel



I.8.7: Zrealizovaný prototyp zesilovače – pohled na čelní panel



I.8.8: Zrealizovaný prototyp zesilovače v provozu – pohled na čelní panel



I.8.9: Zrealizovaný prototyp zesilovače v režimu Stand-By – pohled na čelní panel