



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

## METODY MĚKKÉHO SPÍNÁNÍ A OPTIMALIZACE VÝSTUPNÍ ČÁSTI BUDIČE MOSFET TRANZISTORŮ

SOFT-SWITCHING METHODS AND OPTIMIZATION OF OUTPUT STAGE OF MOSFET DRIVER

### DIPLOMOVÁ PRÁCE

MASTER'S THESIS

### AUTOR PRÁCE

AUTHOR

**Bc. Vladimír Trojan**

### VEDOUCÍ PRÁCE

SUPERVISOR

**Ing. Roman Prokop, Ph.D.**

**BRNO 2023**

# Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

**Student:** Bc. Vladimír Trojan

**ID:** 211245

**Ročník:** 2

**Akademický rok:** 2022/23

**NÁZEV TÉMATU:**

## **Metody měkkého spínání a optimalizace výstupní části budiče MOSFET tranzistorů**

### **POKYNY PRO VYPRACOVÁNÍ:**

Prostudujte strukturu a spínací vlastnosti výkonových MOSFET tranzistorů a ve spolupráci s firmou Onsemi se seznámte s principem optimalizovaných struktur výstupní části budiče MOSFET tranzistorů.

Navrhněte a porovnejte možné způsoby optimalizace zapojení koncového stupně budiče MOSFET tranzistorů za účelem dosažení měkkého spínání. Parametry jednotlivých návrhů ověřte v simulátoru Spectre.

Jednotlivé struktury zrealizujte v 250 nm procesu firmy Onsemi. Provedte měření navržených struktur zapojených v pouzdru SOIC-16 a srovnajte naměřené a simulační výsledky.

### **DOPORUČENÁ LITERATURA:**

Podle pokynů vedoucího práce

**Termín zadání:** 6.2.2023

**Termín odevzdání:** 23.5.2023

**Vedoucí práce:** Ing. Roman Prokop, Ph.D.

**doc. Ing. Lukáš Fucik, Ph.D.**  
předseda rady studijního programu

### **UPOZORNĚNÍ:**

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## Abstrakt

Diplomová práce se zabývá návrhem a porovnáním metod optimalizace zapojení koncového stupně budiče MOSFET za účelem snížení rozkmitu napětí na parazitní sériové indukčnosti vývodů pouzdra budiče MOSFET. Navržené metody optimalizace jsou realizovány na čipu a zapojeny do pouzdra SOIC-16. Dále je pak v rámci této práce navržena testovací DPS, na kterou jsou osazeny realizované testovací struktury. Pomocí měřicí sestavy jsou následně zjišťovány reálné parametry navržených metod optimalizace. Návrh metod optimalizace probíhal v prostředí Cadence Virtuoso a testovací DPS byla realizována za pomoci programu Autodesk EAGLE.

## Klíčová slova

Spínání MOSFET, diskrétní výkonový MOSFET, měkké spínání, budič MOSFET, parazitní sériová indukčnost vývodů pouzdra, optimalizace  $di/dt$ , optimalizace rozkmitu napětí na parazitní indukčnosti, metody optimalizace budiče MOSFET, návrh DPS, měření reálných parametrů, testovací DPS, aproximace parazitních vlastností DPS

## Abstract

The diploma thesis deals with design and comparison of optimization methods for the circuit of output stage of the MOSFET gate driver, in order to reduce voltage swing induced on the parasitic series inductance of output terminals of the MOSFET gate driver package. The proposed optimization methods are implemented on-chip and integrated into an SOIC-16 package. Implemented test structures are then mounted on test PCB, which is designed as part of the thesis. The real parameters of the proposed optimization methods are then determined using the measurement setup. The design of the optimization methods was carried out in Cadence Virtuoso environment and the test PCB was designed using the Autodesk EAGLE program.

## Keywords

MOSFET switching, discrete power MOSFET, soft-switching, MOSFET gate driver, parasitic series inductance of package terminals, optimization of voltage swing on parasitic series inductance,  $di/dt$  optimization, optimization methods of MOSFET gate driver, test PCB, PCB design, approximation of PCB parasitic properties

## **Bibliografická citace**

TROJAN, Vladimír. *Metody měkkého spínání a optimalizace výstupní části budiče MOSFET tranzistorů* [online]. Brno, 2023 [cit. 2023-05-23]. Dostupné z: <https://www.vut.cz/studenti/zav-prace/detail/152480>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Roman Prokop.

# Prohlášení autora o původnosti díla

**Jméno a příjmení studenta:** *Vladimír Trojan*

**VUT ID studenta:** *211245*

**Typ práce:** *Diplomová práce*

**Akademický rok:** *2022/2023*

**Téma závěrečné práce:** *Metody měkkého spínání a optimalizace výstupní části budiče MOSFET tranzistorů*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 23. května 2023

-----  
podpis autora

## **Poděkování**

Děkuji vedoucímu diplomové práce Ing. Romanu Prokopovi, Ph.D. za pedagogickou a odbornou pomoc při psaní této práce. Dále také děkuji vedoucímu práce ve společnosti Onsemi Ing. Karlu Ptáčkovi, Ph.D za metodickou odbornou pomoc, rady při zpracování diplomové práce a ochotu při konzultacích.

V Brně dne: 23. května 2023

-----  
podpis autora

# Obsah

<b>ÚVOD</b> .....	<b>8</b>
<b>1 STRUKTURA MOSFET</b> .....	<b>9</b>
1.1 PRINCIP FUNKCE MOSFET .....	9
1.2 DISKRÉTNÍ VÝKONOVÝ MOSFET .....	12
1.3 VODIVOSTNÍ ZTRÁTY VÝKONOVÉHO MOSFET .....	14
1.4 SPÍNACÍ ZTRÁTY VÝKONOVÉHO MOSFET .....	16
1.4.1 <i>Spínání MOSFET</i> .....	17
1.4.2 <i>Spínací ztráty</i> .....	20
1.5 MĚKKÉ SPÍNÁNÍ – SOFT-SWITCHING .....	21
<b>2 SPÍNANÝ BUDIČ MOSFET</b> .....	<b>24</b>
2.1 FUNKCE BUDIČE MOSFET .....	25
<b>3 NÁVRH OPTIMALIZACE KONCOVÉHO STUPNĚ BUDIČE MOSFET</b> .....	<b>29</b>
3.1 PARAZITNÍ INDUKČNOSTI .....	29
3.2 SIMULAČNÍ ZAPOJENÍ BUDIČE MOSFET .....	30
3.3 ORIGINÁLNÍ OBVOD BUDIČE MOSFET (ORIG) .....	33
3.4 OPTIMALIZACE ROZMĚRŮ BUDÍČÍCH INVERTORŮ (OPT) .....	37
3.5 METODA POSTUPNÉHO SPÍNÁNÍ ZPOŽDOVACÍMI REZISTORY (RES) .....	42
3.6 METODA POSTUPNÉHO SPÍNÁNÍ ASYMETRICKÝMI INVERTORY (ASINV) .....	48
<b>4 REALIZACE TESTOVACÍCH STRUKTUR</b> .....	<b>54</b>
4.1 TESTOVACÍ OBVOD .....	54
4.2 TESTOVACÍ DPS .....	58
<b>5 MĚŘENÍ REÁLNÝCH PARAMETRŮ</b> .....	<b>61</b>
5.1 MĚŘICÍ SESTAVA .....	61
5.2 APROXIMACE PARAZITNÍCH VLASTNOSTÍ OBVODU .....	63
5.3 SROVNÁNÍ NAMĚŘENÝCH VÝSLEDKŮ .....	70
5.3.1 <i>Průběhy napětí na vývodech <math>U_{CC}</math> a <math>PGND</math></i> .....	70
5.3.2 <i>Průběh napětí na rezistoru <math>R_{SENSE}</math></i> .....	73
5.3.3 <i>Průběh napětí na vývodu <math>OUT</math> a propagační zpoždění</i> .....	75
<b>6 ZÁVĚR</b> .....	<b>80</b>
<b>LITERATURA</b> .....	<b>83</b>
<b>SEZNAM OBRÁZKŮ</b> .....	<b>86</b>
<b>SEZNAM TABULEK</b> .....	<b>88</b>
<b>SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>89</b>
<b>SEZNAM PŘÍLOH</b> .....	<b>92</b>

# ÚVOD

MOSFET, neboli Metal Oxid-Semiconductor-Field-Effect-Transistor, je jednou ze základních částí vysokofrekvenční techniky. Překvapivě tato technologie byla známa již na počátku 30. let minulého století, téměř dvacet let před vynalezením bipolárního tranzistoru. Avšak první MOSFET byl vyroben až na počátku 50. let a jeho výkonová varianta se stala komerčně dostupnou v 70. letech 20. století. Od té doby jsou běžně využívány v širokém spektru elektronických aplikací.

Jejich hlavní výhodou, v současné době za efektivitou a spotřebou, je možnost efektivního spínání bez nutnosti kontinuálních napájecích proudů. Tato výhoda je umocněna s rostoucími požadavky na nízkou dobu spínání, která se v současnosti může pohybovat v řádech jednotek a desítek nanosekund. Nevýhodou MOSFET je však parazitní kapacita gate oxidu, která komplikuje dosažení těchto spínaných časů. Za tímto účelem jsou v integrované technice navrhovány spínané budiče MOSFET, které jsou schopné dodat dostatek energie k sepnutí MOSFET při požadovaných frekvencích.

Spínání MOSFET při vysokých frekvencích však může mít svá úskalí, zejména pak kvůli parazitním indukčnostem vznikajícím na všech komerčně prodejných pouzdrech diskretních MOSFET a jejich budičů. S rychlým průběhem změn napětí a proudu na parazitních sériových indukčnostech vývodů součástek jsou pak spojeny problémy s EMI (elektromagnetická interference) zařízení a zákmity napětí na napájecích výstupech. Ke kompenzaci těchto problémů je pak nutné implementovat vnější diskretní součástky, kterými je brzděn náběh proudu na výstupu. Jedním z řešení jsou různé způsoby měkkého spínání, které upravují spínací charakteristiky MOSFET.

Tato práce se zabývá návrhem a porovnáním metod optimalizace měkkého spínání koncového stupně budiče MOSFET za účelem snížení úbytků napětí na parazitních indukčnostech vývodů pouzdra budiče MOSFET. Navržené metody jsou realizovány v 250 nm technologii firmy Onsemi a testovány za reálných podmínek na testovacím DPS (deska plošných spojů).

První část práce popisuje technologii, princip funkce a proces spínání MOSFET.

Druhá část popisuje princip funkce budiče MOSFET, uvádí rozbor jeho vnitřní struktury a zapojení jeho koncového stupně, včetně principu spínání.

Třetí část se zabývá problémem parazitní sériové indukčnosti pouzdra, simulačním zapojením pro testování obvodu, rozbořem simulačních výsledků, principem originálního zapojení a popisem jednotlivých metod optimalizace koncového stupně budiče MOSFET.

Čtvrtá část je věnována návrhu testovacího obvodu, který je realizován na čip. Součástí kapitoly je rovněž návrh testovacího DPS.

Pátá část popisuje měření reálných parametrů a aproximaci parazitních vlastností testovacích struktur. Měřené výsledky jsou zde pak porovnávány mezi sebou navzájem a simulací.



# 1 Struktura MOSFET

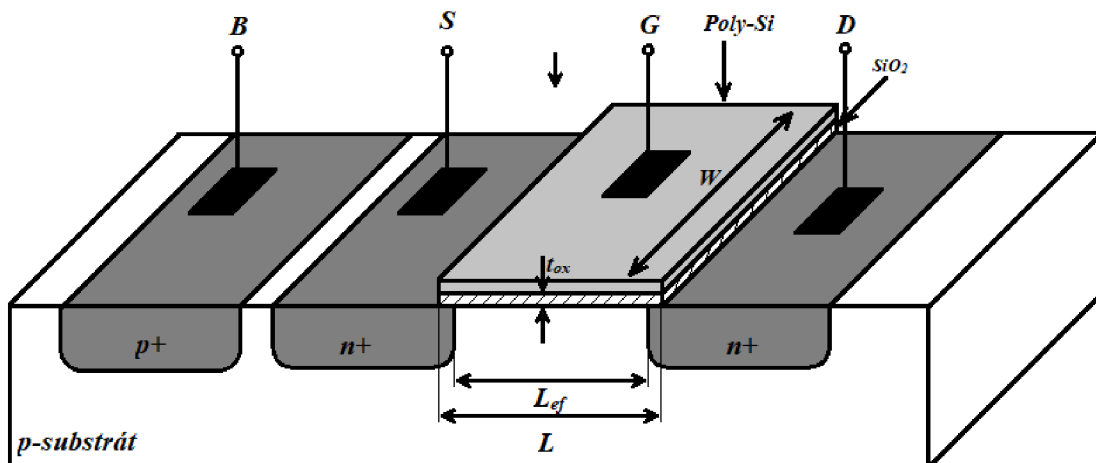
Tranzistory jsou základními stavebními prvky veškeré analogové a digitální techniky. Lze je na základě využívaných typů nosiče elektrického náboje rozdělit na bipolární tranzistory, které využívají oba typy nosičů (díry, elektrony) zároveň, a unipolární tranzistory, které k přenosu náboje využívají vždy jen jeden typ nosiče. Díky vysoké integraci a nižší spotřebě dané velkým vstupním odporem unipolárních tranzistorů jsou dominantními prvky v digitálních a kombinovaných obvodech s digitální i analogovou částí. V této práci bude řešen princip pouze tranzistoru typu MOSFET.

Struktura MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) se v základu dělí na typ NMOS a PMOS. Rozdíl mezi těmito MOSFET (MOS) tranzistory je v typu nosičů elektrického náboje, které zprostředkovávají vodivý kanál. U NMOS tranzistoru je vodivý kanál tvořen inverzní vrstvou elektronů, zatímco u PMOS ho umožňuje inverzní vrstva děr [1], [2], [3], [4].

## 1.1 Princip funkce MOSFET

Pro zjednodušení bude k analýze sloužit pouze NMOS tranzistor. U PMOS tranzistoru se aplikují stejné principy, avšak s opačným druhem vodivosti.

Struktura NMOS se vytváří na polovodičovém substrátu typu P s dvěma silně dopovanými oblastmi typu N, které tvoří kontakty source a drain. Na substrátu mezi source a drain je tenká izolační vrstva a nad ní vodivá elektroda, sloužící jako řídicí elektroda – gate (G). Názvy elektrod source (S) a drain (D) jsou dány jejich funkcí. Source je elektroda, která slouží jako zdroj nosičů náboje pro indukovaný kanál, zatímco elektroda drain je místem kam nosiče náboje odtékají. Jako substrát se používá většinou dopovaný monokrystalický křemík. Kontakt na substrát pak tvoří ohmický kontakt přes silně dopovanou p<sup>+</sup> oblast, který se nazývá bulk (B). Pro izolační vrstvu se používá jako izolant oxid křemičitý (SiO<sub>2</sub>). Řídicí elektroda je nejčastěji vyráběna z vodivého, silně dopovaného polykrystalického křemíku (poly-Si). Popsaná základní struktura NMOS je zobrazena na Obr. 1.1.



Obr. 1.1 Základní struktura NMOS tranzistoru [1]

**L** – zamýšlená vzdálenost oblastí drain a source

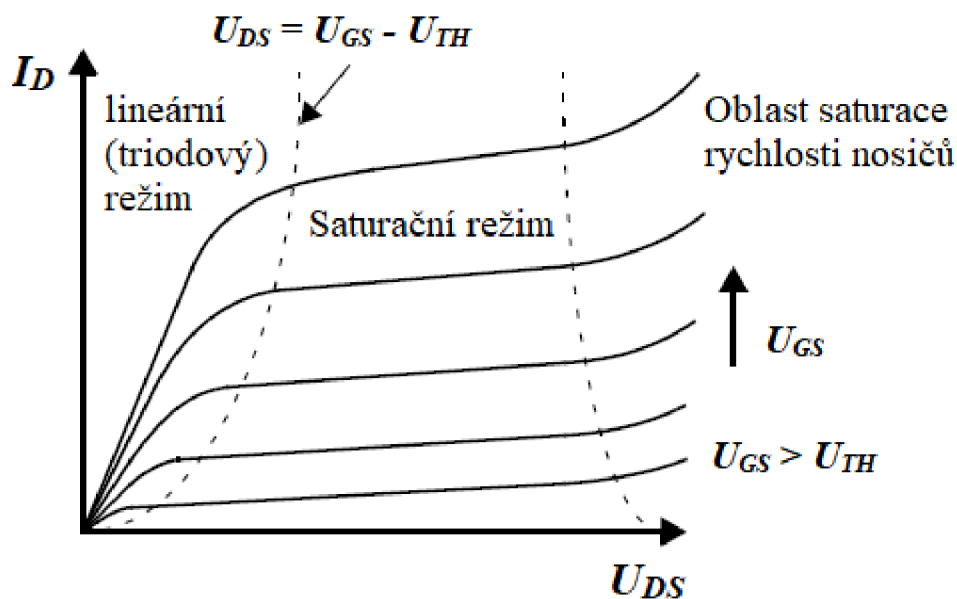
**L<sub>ef</sub>** – skutečná vzdálenost oblastí drain a source

**W** – šířka kanálu

**t<sub>ox</sub>** – tloušťka izolační vrstvy

Vzdálenost mezi drainem a sourcem je ve skutečnosti o něco menší, než je zamýšlená vzdálenost, jak je možné vidět na Obr. 1.1. Ke zkrácení délky dochází kvůli překryvu oblastí drain/source s hradlem. Tento překryv je důležitý pro zabezpečení vzniku vodivého kanálu, avšak v jeho důsledku vzniká parazitní kapacita mezi gate a elektrodami source/drain.

Je-li na řídicí elektrodu přiloženo dostatečné napětí  $U_{GS}$  správné polaroty, dojde pod vrstvou izolantu k přitažení minoritních nosičů a odpuzení majoritních nosičů p - substrátu. Tím se pod izolační vrstvou  $SiO_2$  vytváří inverzní vrstva elektronů, která vodivě spojí drain a source. Protože jde o rozhraní dielektrikum – polovodič, dojde pod hradlem k vytvoření depletiční oblasti. Přiložením napětí  $U_{GS}$  se vytvoří vodivý kanál spojující source a drain elektrodu. Napětí  $U_{GS}$ , při kterém se vytvoří pod gate oxidem vodivý kanál spojující drain se source, se nazývá prahové napětí  $U_{TH}$  (threshold voltage). Napětí  $U_{GS}$  tak určuje, zda MOS tranzistor již může vést proud. Určit na jakém napětí  $U_{GS}$  je MOS tranzistor v sepnutém nebo rozepnutém stavu lze však jen na základě proudu  $I_D$ , protékajícím mezi drain a source elektrodami. Aby však protékal proud  $I_D$ , musí být mezi elektrody drain - source přiloženo napětí  $U_{DS}$ . Proud  $I_D$  je tak závislý na hodnotě napětí  $U_{GS}$  a  $U_{DS}$ . Tuto závislost proudu  $I_D$  lze popsat na výstupní charakteristice NMOS tranzistoru na Obr. 1.2 [5], [6].



Obr. 1.2 Výstupní charakteristika MOSFET [7]

Z Obr. 1.2 je možné vidět, že MOSFET se v první oblasti své výstupní charakteristiky chová jako odpor řízený napětím, tedy závislost proudu  $I_D$  na  $U_{DS}$  je téměř lineární. To je způsobeno tím, že se zvyšujícím se napětím  $U_{DS}$  se snižuje rozdíl potenciálů mezi hradlem gate a oblastí drain. Tím se indukovaný kanál pod hradlem začne vlivem rozšiřující depleční oblasti okolo drain elektrody zužovat a rozšiřovat směrem k source elektrodě, protože potenciál přitahující elektrony je v této oblasti nižší než u source elektrody. Zúžením kanálu roste jeho odpor, avšak vlivem zvyšujícího napětí  $U_{DS}$  proud  $I_D$  stále lineárně roste. Při určitém napětí  $U_{DS} \geq U_{GS} - U_{TH}$  dojde k jeho zaškrcení a oddělení od drain elektrody, viz. Obr. 1.3. Toto napětí se nazývá saturační napětí  $U_{DSsat}$ . Pro oblast kdy platí  $U_{DS} \leq U_{GS} - U_{TH}$  jsou tak elektrody drain a source vodivě spojeny kanálem s konečným odporem a proud tranzistorem je řízen napětím  $U_{DS}$ . Tato oblast výstupní charakteristiky NMOS se nazývá **lineární (triodový) režim** a MOSFET může fungovat jako odpor řízený napětím. Proud v tomto režimu se řídí rovnicí (1.1):

$$I_D = KP \frac{W}{L} \left[ (U_{GS} - U_{TH}) U_{DS} - \frac{1}{2} U_{DS}^2 \right], \quad (1.1)$$

kde  $KP$  je transkonduktanční parametr a  $W/L$  poměr šířky a délky tranzistoru [4].

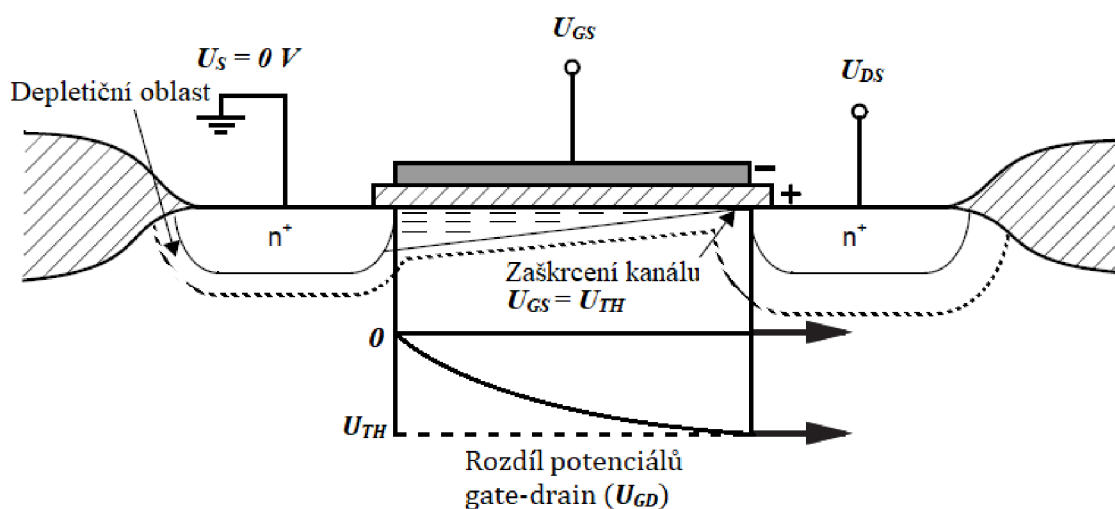
Po dosažení hodnoty napětí  $U_{DS} \geq U_{GS} - U_{TH}$  se indukovaný kanál u drain elektrody zaškrtí. Proud  $I_D$  nepřestane procházet, avšak již nesleduje průběh lineárního režimu (1.1), ale jeho hodnota se stane téměř konstantní s přechodem do **saturačního režimu**, viz. Obr. 1.2. Důvodem toho je, že po zaškrcení kanálu se již nezvyšuje množství náboje v indukovaném kanálu. Proud protékající kanálem je v tomto případě dán úbytkem napětí na indukovaném kanálu, který je od bodu zaškrcení stále konstantní, daný rozdílem

prahového napětí a napětí na source, tedy  $U_{TH} - U_S$ . Se zvyšujícím napětím  $U_{DS}$  se tak již v ideálním případě nezvyšuje proud  $I_D$  [3]. Proud  $I_D$  je v této oblasti určen rovnicí (1.2):

$$I_D = \frac{1}{2} KP \frac{W}{L} (U_{GS} - U_{TH})^2, \quad (1.2)$$

V závislosti na Obr. 1.2 je však vidět, že  $I_D$  není zcela konstantní, ale mění se se vzrůstajícím  $U_{DS}$ . To je způsobeno jevem modulace délky kanálu, kdy zkreslení elektrického pole okolo source a drain elektrod ovlivňuje elektrické pole v kanálu. Tento jev je možné limitovat zvětšením vzdáleností  $L$  obou elektrod.

Nosiče náboje přitažené potenciálem  $U_{DS}$  jsou při průchodu kanálem tímto napětím urychlovány. Při jejich přiblížení k bodu zaškrvení kanálu jsou pak ze zaškrvené inverzní vrstvy vystřeleny směrem k drainu skrze depletiční oblast.



Obr. 1.3 Princip zaškrcování kanálu NMOS tranzistoru

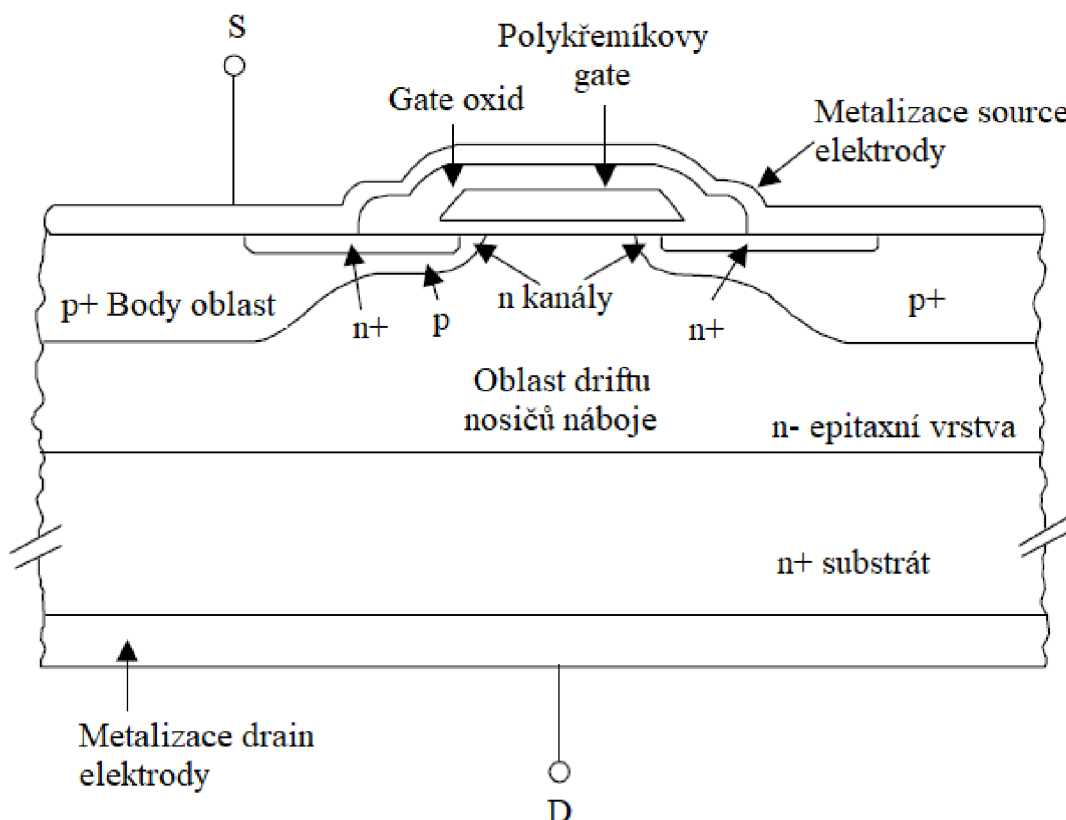
Poslední oblast výstupní charakteristiky NMOS na Obr. 1.2 se nazývá **oblast saturace rychlosti nosičů**. V této oblasti výstupní charakteristiky jsou nosiče potenciálem  $U_{DS}$  urychleny na svou maximální rychlost a indukovaný kanál je redukován až k elektrodě source. Protože již nemůže narůstat rychlost nosičů náboje, začne být proud  $I_D$  lineárně závislý na vzrůstajícím napětí  $U_{GS}$  ( $U_{DS}$ ) [1], [7].

## 1.2 Diskrétní výkonový MOSFET

Diskrétní výkonové MOSFET tranzistory fungují principiálně stejným způsobem jako MOSFET tranzistory v integrovaných obvodech, avšak liší se jejich struktura. Velikost napětí a proudu při jejich provozu jsou rovněž řádově vyšší než u integrovaných MOSFET. Výkonové MOSFET jsou s výhodou využívány ve vysokofrekvenčních aplikacích díky jejich nízké spotřebě při spínání/vypínání oproti výkonovým bipolárním tranzistorům. Díky možnosti využití NMOS typu tranzistoru je také možné dosáhnout vyšší rychlosti oproti PMOS nebo bipolárním protějškům, které využívají děrové

vodivosti. Jejich rychlost je pak limitována pohyblivostí děr, která je nižší než pohyblivost elektronů [8].

Na Obr. 1.4 je uvedena vertikální strukturu diskretního VD-NMOS (vertically double diffused NMOS) vytvořeném na n+ substrátu. Přiložením napětí  $U_{GS} \geq U_{TH}$  na gate elektrodu se vytvoří vodivý kanál mezi silně dopovanými n+ oblastmi a n- epitaxní vrstvou. Do Epitaxní n- vrstvy pak prochází přes vodivý kanál elektrony a je tak vytvořeno vodivé spojení mezi elektrodami source a drain. Odpor přechodu source – drain je minimální díky velké ploše přechodu VD-NMOS. Přenášený náboj využívá k průchodu celou plochu n- epitaxní vrstvy a n+ substrátu, čímž je možné dosáhnout přenosu vysokých proudů a zároveň je zajištěn dostatečný odvod tepla. Rovněž je dosaženo vyšší elektrické pevnosti přechodu drain – source díky jejich větší vzdálenosti oproti laterální struktuře NMOS na Obr. 1.1. Struktura VD-NMOS tranzistoru má parazitní substrátovou diodu, která se vytvoří mezi drain oblastí n+ substrátu a oblastí body p+. Tato dioda je v závěrném směru, avšak při přepólování tranzistoru může dojít k jejímu otevření a tranzistor se pak chová jako PN dioda. Kanál tranzistoru v takovém zapojení má odporový charakter, který je dán odporem v propustném stavu  $R_{DSON}$ . Díky tomu je možné výkonové VD-NMOS zapojovat bez problémů do paralelních kombinací [2].



Obr. 1.4 Struktura diskretního výkonového VD-NMOS [8]

### 1.3 Vodivostní ztráty výkonového MOSFET

Vodivostní ztráty výkonových MOSFET jsou dány jejich odporem přechodu v sepnutém stavu  $R_{DS(on)}$ , které jsou způsobeny průchodem proudu tranzistorem. Podle ohmova zákona pak pro úbytek napětí na odporu  $R_{DS(on)}$  platí:

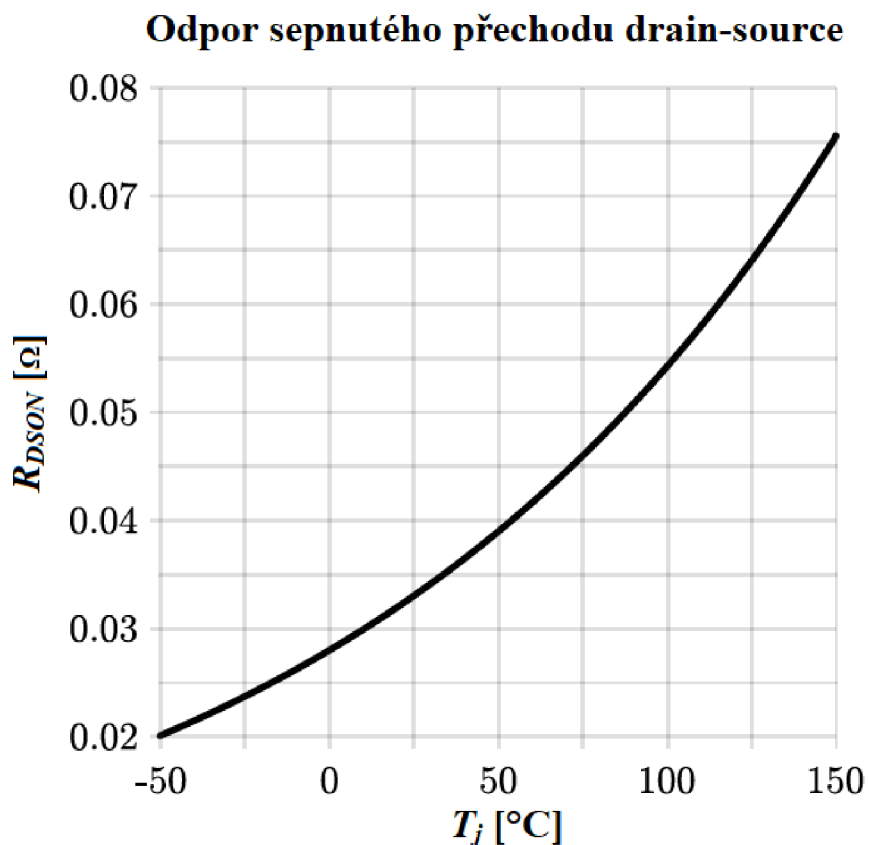
$$U_{DS} = I_D \cdot R_{DS(on)}, \quad (1.3)$$

kde  $U_{DS}$  je napětí mezi drain a source a  $I_D$  proud do drainu tranzistoru.

Ztrátový výkon lze pak získat ze vztahu pro výkon:

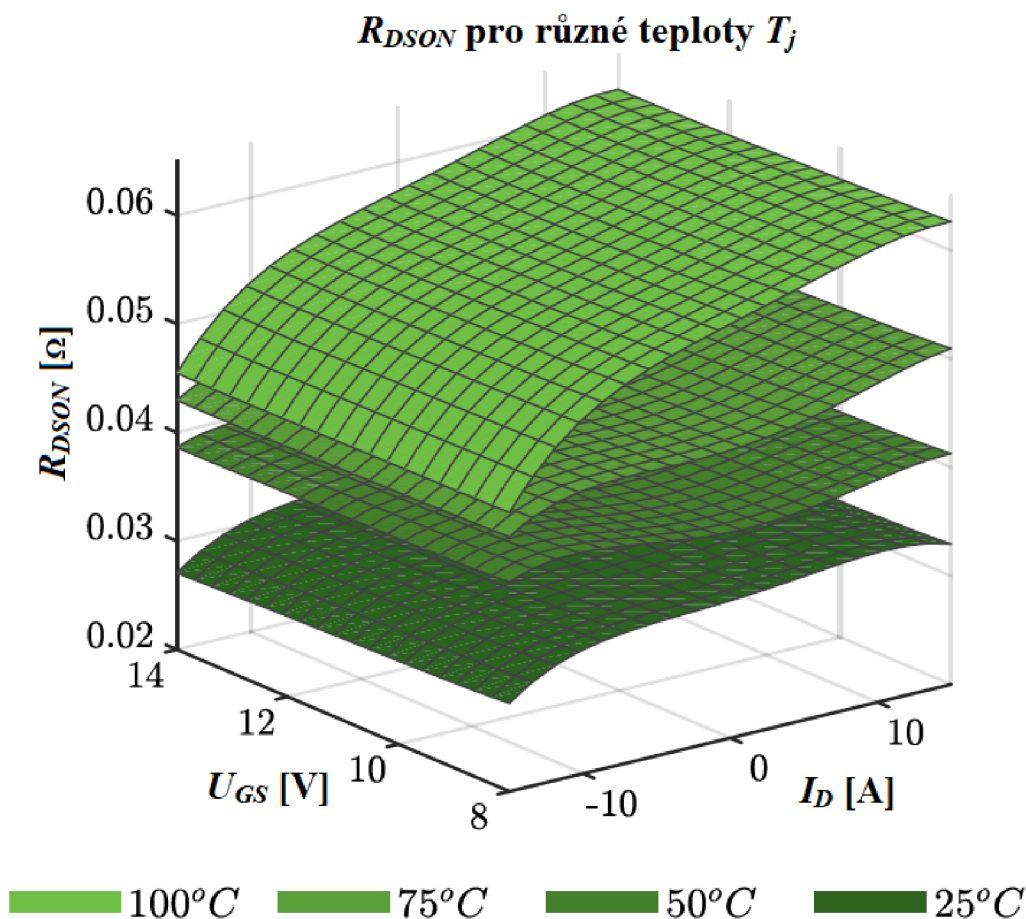
$$P_{R_{Loss}} = I_D \cdot U_{DS} = I_D^2 \cdot R_{DS(on)}. \quad (1.4)$$

V uvedených rovnicích (1.3) a (1.4) je  $R_{DS(on)}$ , pro zjednodušení pochopení závislosti vodivostních ztrát přechodu, brán jako konstanta, avšak tyto vztahy nevyjadřují jeho přesnou hodnotu. Při spínání výkonového MOSFET prochází tranzistorem proud, který zahřívá přechod, a zároveň jsou využívány v různě teplotně zatěžovaných aplikacích. Přesnější hodnota odporu  $R_{DS(on)}$  může být získána z jeho závislosti na teplotě přechodu  $T_j$ , viz. Obr. 1.5.



Obr. 1.5 Odpor sepnutého přechodu drain-source v závislosti na teplotě přechodu  $T_j$  [9]

Závislost na Obr. 1.5 však rovněž nevyjadřuje přesnou závislost odporu přechodu  $R_{DS(on)}$ . Nezanedbatelný vliv na odpor přechodu má i přiložené napětí  $U_{GS}$  a procházející proud  $I_D$ . V obvodech využívajících vysokofrekvenční spínání výkonových MOSFET se procházející proud  $I_D$  v čase rychle mění, stejně jako přiložené napětí  $U_{GS}$ . Pro přesné určení přechodového odporu  $R_{DS(on)}$  je tedy nutné tyto dvě veličiny uvažovat. Závislost odporu přechodu pro různé hodnoty  $U_{GS}$ ,  $I_D$  a  $T_j$  je možné vidět na Obr. 1.6.



Obr. 1.6 Odpor sepnutého přechodu drain-source v závislosti na  $U_{GS}$  a  $I_D$  pro různé teploty přechodu  $T_j$  [9]

Takto definovaný odpor  $R_{DS(on)}$  lze použít pro přesné určení ztrátového výkonu ve spínaných obvodech, protože jej je možné vyjádřit ze závislostí na Obr. 1.5 a Obr. 1.6 v každém pracovním bodě spínaného obvodu.

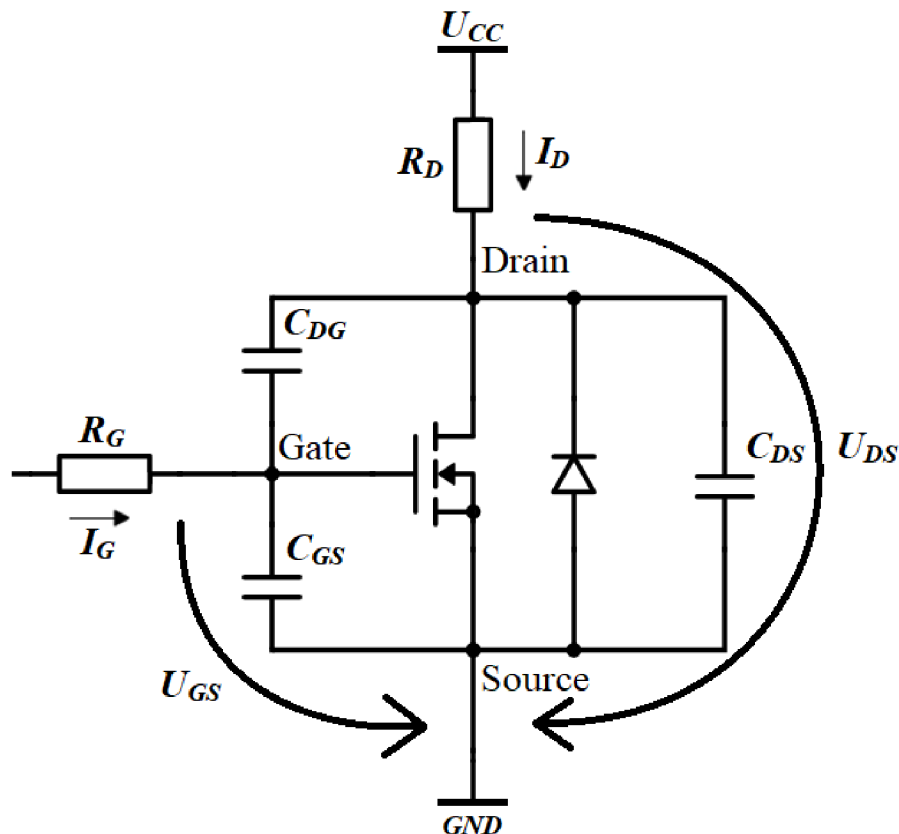
Protože vodivostní ztráty výkonových MOSFET jsou převážně určeny právě hodnotou  $R_{DS(on)}$ , je snahou ji co nejvíce snížit, často pomocí zapojení několika paralelních výkonových tranzistorů. Přestože dojde ke snížení odporu a většímu rozložení tepla produkovaného ztrátovým výkonem, je tím rovněž dosaženo několikanásobného zvýšení rozměrů obvodu a tím i zvýšení parazitních kapacit, které je nutné při spínání s další ztrátou nabíjet a vybíjet [9], [10].

## 1.4 Spínací ztráty výkonového MOSFET

Při uvažování rychlého spínání výkonového MOSFET je cílem spínat mezi stavy s nejvyšším a nejnižším odporem  $R_{DS(ON)}$  v co nejkratším časovém intervalu. Reálný čas zapínání a vypínání výkonového MOSFET se může pohybovat v řádech desítek nanosekund až po několik mikrosekund. Navzdory těmto krátkým spínacím časům vzniká při spínání další okamžitý ztrátový výkon na kapacitních vlastnostech MOSFET struktury.

Tranzistor MOSFET je nábojem kontrolovaná struktura a jeho stav vodivosti závisí na množství náboje nahromaděného v jeho vodivém kanálu a na gate elektrodě, jak bylo popsáno v kapitole (1.1). Spínací časy jsou pak ovlivňované množstvím hromaděného řídicího náboje. Další hromadění náboje nastává na výstupních parazitních kapacitách a parazitních indukčnostech. Tento náboj je pak neúčinně vybit během spínacího procesu MOSFET a dochází tak k dalším výkonovým ztrátám.

Model spínaného MOSFET s kapacitními parametry je uveden na Obr. 1.7. Uvedené kapacity  $C_{DG}$  a  $C_{GS}$  vznikají na izolačním oxidu gate elektrody, zatímco kapacita  $C_{DS}$  reprezentuje kapacitanci parazitní body diody přechodu MOSFET tranzistoru.



Obr. 1.7 Model MOSFET tranzistoru s kapacitními parametry



Tyto kapacity nebývají běžně přímo uváděny v produktové specifikaci zařízení a jsou převážně uváděny nepřímo pomocí parametrů  $C_{ISS}$  (vstupní kapacita při  $U_{DS} = 0$  V),  $C_{RSS}$  (reverzní kapacita při  $U_{GS} = 0$  V) a  $C_{OSS}$  (výstupní kapacita při  $U_{GS} = 0$  V), které jsou přímo měřitelné na struktuře MOSFET. Jejich vztah mezi kapacitami  $C_{DG}$ ,  $C_{GS}$  a  $C_{DS}$  je uveden v rovnicích (1.5), (1.6) a (1.7) [10], [11]:

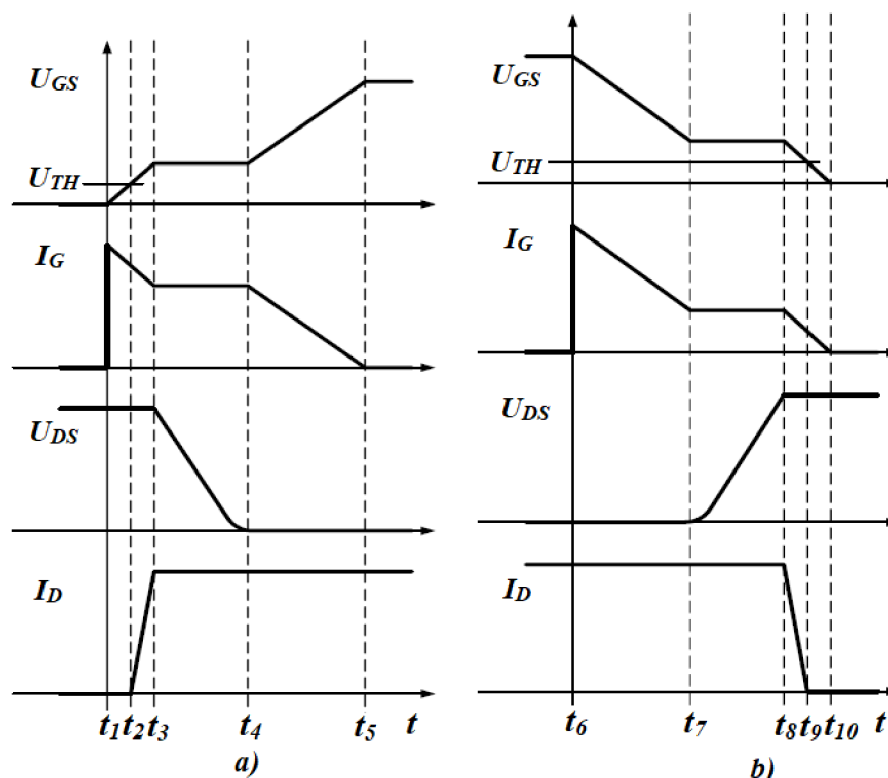
$$C_{RSS} = C_{DG} , \quad (1.5)$$

$$C_{ISS} = C_{GS} + C_{DG} \rightarrow C_{GS} = C_{ISS} - C_{RSS} , \quad (1.6)$$

$$C_{OSS} = C_{DS} + C_{DG} \rightarrow C_{DS} = C_{OSS} - C_{RSS} . \quad (1.7)$$

### 1.4.1 Spínání MOSFET

Pro bližší porozumění spínacích ztrát je nutné prozkoumat spínací charakteristiku MOSFET tranzistoru. Linearizovaný model časového průběhu spínání je možné vidět na Obr. 1.8. Tento model zanedbává parazitní indukčnosti, jimž bude pozornost věnována později, a uvažuje, že výše uvedené kapacity  $C_{DG}$ ,  $C_{GS}$  a  $C_{DS}$  jsou konstantní a nezávislé na napětí a teplotě. Tento předpoklad je nerealistický, avšak postačí k aproximaci reálného chování MOSFET při spínání.



Obr. 1.8 Linearizovaný model časového průběhu a) zapínání b) vypínání MOSFET [11]

Zapínání tranzistoru MOSFET je vykresleno na Obr 1.8 a). Během časového intervalu  $t_1 - t_2$  proud  $I_G$ , tekoucí do gate přes gate odpor  $R_G$ , nabíjí vstupní kapacitu MOSFET, danou paralelní kombinací kapacit  $C_{GS}$  a  $C_{DG}$  (kapacita  $C_{ISS}$ ), z napětí 0 V na úroveň  $U_{TH}$ . Napětí  $U_{GS}$  v čase je v této periodě vyjádřeno vztahem:

$$U_{GS}(t) = U_{GS} \cdot \left(1 - e^{-\frac{t}{R_G \cdot C_{ISS}}}\right). \quad (1.8)$$

Tento interval představuje spínací zpoždění tranzistoru, protože proud  $I_D$  přes MOSFET neprotéká a napětí  $U_{DS}$  zůstává neměnné. V časovém bodě  $t_2$  dosáhne napětí  $U_{GS}$  na gate kapacity hodnoty  $U_{TH}$  a vytvoří se vodivý kanál. Čas  $t_2$  pak lze určit vztahem:

$$t_2 = R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GS} - U_{TH}}\right). \quad (1.9)$$

V průběhu intervalu  $t_2 - t_3$  je nadále nabíjena gate kapacita  $C_{ISS}$  a napětí  $U_{GS}$  je již nad hodnotou prahového napětí  $U_{TH}$ . Tranzistorem tak začne protékat proud  $I_D$  vlivem rozšiřujícího se vodivého kanálu. V čase  $t_3$  napětí  $U_{GS}$  dosáhne takové hodnoty, že dojde k dostatečnému vybuzení vodivého kanálu a proud  $I_D$  nabývá své maximální hodnoty. Tato hodnota napětí  $U_{GS}$  se nazývá Millerovo napětí  $U_{GSMiller}$ . Tranzistor pak v čase  $t_3$  přechází do saturačního režimu, protože pro napětí platí  $U_{DS} \geq U_{GS} - U_{TH}$ . Čas  $t_3$  lze vyjádřit obdobně jako  $t_2$  rovnicí:

$$t_3 = R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GS} - U_{GSMiller}}\right). \quad (1.10)$$

V intervalu  $t_3 - t_4$  je napětí  $U_{GS}$  na úrovni napětí  $U_{GSMiller}$  a tranzistor pracuje v saturačním režimu, pro který platí  $U_{GS} \geq U_{GSMiller}$  a  $U_{GD} \leq U_{GSMiller}$ . Proud  $I_D$  je v tomto intervalu konstantní. Poklesem napětí  $U_{DS}$  dochází k vybíjení drain-gate kapacity  $C_{DG}$  (kapacita  $C_{RSS}$ ) pomocí dostupného gate proudu  $I_G$ . Napětí  $U_{GS}$  je tak v tomto intervalu konstantní. S vybíjením kapacity  $C_{RSS}$  klesá i napětí  $U_{DS}$  až do času  $t_4$ , kdy napětí  $U_{DS}$  dosáhne minimální hodnoty a kapacita  $C_{RSS}$  je zcela vybita. Délku tohoto intervalu lze vyjádřit rovnicí:

$$t_4 - t_3 = \frac{(U_{CC} - U_{DS}) \cdot R_G \cdot C_{RSS}}{U_{GS} - U_{GSMiller}}, \quad (1.11)$$

Časový interval mezi  $t_2 - t_4$  lze také označit jako náběžný čas MOSFET  $t_{rise}$ , protože v tomto intervalu dochází k náběhu proudu  $I_D$  a snižování napětí  $U_{DS}$  až na minimální hodnotu. Při tomto procesu se na tranzistoru vytváří náběžná hrana jeho výstupního napětí, které je v případě NMOS odebíráno z jeho drainu. V tomto časovém intervalu rovněž dochází k většině spínacích ztrát.

Čas náběhu  $t_{rise}$  lze vyjádřit ze vztahů pro časové intervaly dané rovnicemi (1.9),(1.10) a (1.11):

$$t_{rise} = t_4 - t_2 = (t_4 - t_3) + t_3 - t_2, \quad (1.12)$$

$$t_{rise} = \frac{U_{CC} \cdot R_G \cdot C_{RSS}}{U_{GS} - U_{GSMiller}} + R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GS} - U_{GSMiller}}\right) - R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GS} - U_{TH}}\right), \quad (1.13)$$

$$t_{rise} = \frac{U_{CC} \cdot R_G \cdot C_{RSS}}{U_{GS} - U_{GSMiller}} + R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS} - U_{TH}}{U_{GS} - U_{GSMiller}}\right). \quad (1.14)$$

V intervalu  $t_4 - t_5$  dochází opětovnému nabíjení kapacity  $C_{ISS}$  proudem  $I_G$ , dokud napětí  $U_{GS}$  nedosáhne svého maxima nebo velikosti napájecího napětí  $U_{CC}$ . K tomu dojde v časovém bodě  $t_5$ . V tomto bodě je gate kapacita  $C_{ISS}$  nabita na maximální potenciál a vodivý kanál MOSFET dosahuje svého minimálního odporu, zatímco napětí  $U_{DS}$  ani proud  $I_D$  se již nemění.

Vypínání MOSFET tranzistoru je vykresleno na Obr. 1.8 b). Interval  $t_6 - t_7$  je možné také nazvat vypínací zpoždění. Vypínací zpoždění reprezentuje čas, který trvá při vypínání tranzistoru vybití gate kapacity  $C_{ISS}$ , z potenciálu získaného v intervalu  $t_4 - t_5$ , na potenciál  $U_{GSMiller}$ . Proud  $I_G$  v intervalu  $t_6 - t_7$  vytéká z kapacity  $C_{ISS}$  při jejím vybíjení. Kvůli snižování napětí  $U_{GS}$  dochází k mírnému nárůstu napětí  $U_{DS}$ , avšak je stále zanedbatelný. Proud  $I_D$  v tomto intervalu zůstává stále nezměněn. Čas  $t_7$ , kdy napětí  $U_{GS}$  dosáhne hodnoty  $U_{GSMiller}$ , je možné vyjádřit rovnicí:

$$t_7 = R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GSMiller}}\right). \quad (1.15)$$

V čase  $t_7$  vstoupí MOSFET do saturačního režimu a napětí  $U_{DS}$  se začne zvyšovat až na hodnotu napětí  $U_{CC}$  v čase  $t_8$ . V tomto časovém intervalu, obdobně jako při spínání MOSFET, je dostupným proudem  $I_G$  nabíjena kapacita  $C_{RSS}$  mezi gate – drain elektrodami a napětí  $U_{GS}$  je tak stále konstantní, dokud není v čase  $t_8$  kapacita  $C_{RSS}$  plně nabita. Časový interval  $t_7 - t_8$  a čas  $t_8$  lze vyjádřit podle rovnic (1.16),(1.17) a (1.18):

$$t_8 - t_7 = \frac{(U_{CC} - U_{DS}) \cdot R_G \cdot C_{RSS}}{U_{GSMiller}}, \quad (1.16)$$

$$t_8 = (t_8 - t_7) + t_7, \quad (1.17)$$

$$t_8 = \frac{(U_{CC} - U_{DS}) \cdot R_G \cdot C_{RSS}}{U_{GSMiller}} + R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GSMiller}}\right). \quad (1.18)$$

Po nabití kapacity  $C_{RSS}$  v čase  $t_8$  se opět začne vybíjet gate kapacita  $C_{GS}$  a napětí  $U_{GS}$  začne opět klesat až na hodnotu  $U_{TH}$  v čase  $t_9$ . V intervalu  $t_8 - t_9$  se tak MOSFET nachází v lineárním režimu a proud  $I_D$  klesá v závislosti na  $U_{GS}$ , až do času  $t_9$ , kdy je prakticky nulový. Délku časového intervalu  $t_8 - t_9$  lze určit rozdílem časů  $t_9$  a  $t_8$ , viz rovnice:

$$t_9 - t_8 = \frac{U_{GSMiller} \cdot R_G \cdot C_{ISS}}{U_{TH}}. \quad (1.19)$$

Obdobně jako při spínání MOSFET, většina spínacích ztrát, spolu s nárůstem  $U_{DS}$  a poklesem  $I_D$ , se odehrává během časového intervalu  $t_7-t_9$ . Délka tohoto intervalu se nazývá sestupný čas MOSFET  $t_{fall}$ . Opět je možné ho vyjádřit pomocí rovnic (1.20),(1.21) a (1.22):

$$t_{fall} = t_9 - t_7 = (t_9 - t_8) + t_8 - t_7, \quad (1.20)$$

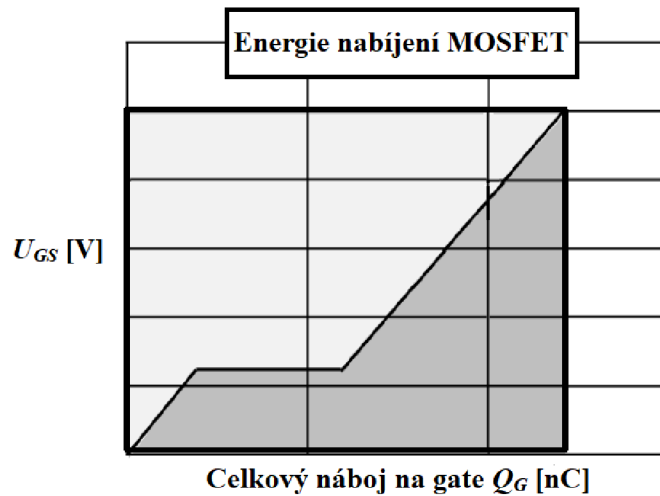
$$t_{fall} = \frac{U_{GSMiller} \cdot R_G \cdot C_{ISS}}{U_{TH}} + \frac{U_{CC} \cdot R_G \cdot C_{RSS}}{U_{GSMiller}} + R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GSMiller}}\right) - R_G \cdot C_{ISS} \cdot \ln\left(\frac{U_{GS}}{U_{GSMiller}}\right), \quad (1.21)$$

$$t_{fall} = R_G \cdot \left( \frac{U_{GSMiller} \cdot C_{ISS}}{U_{TH}} + \frac{U_{CC} \cdot C_{RSS}}{U_{GSMiller}} \right). \quad (1.22)$$

V posledním intervalu  $t_9 - t_{10}$  se dále vybíjí kapacita  $C_{ISS}$ , čímž se dále snižuje napětí  $U_{GS}$  pod úroveň  $U_{TH}$ , až dosáhne hodnoty 0 V. Vodivý kanál pod hradlem pak zaniká. Přes tranzistor tak v tomto intervalu neteče žádný proud  $I_D$  a napětí  $U_{DS}$  zůstává na své maximální hodnotě ( $U_{CC}$ ) [11], [12], [13].

#### 1.4.2 Spínací ztráty

Prvním příspěvkem ke ztrátám během spínání je náboj  $Q_G$ , který se nahromadí na gate kapacitě  $C_{ISS}$  během nabíjení tranzistoru. Průběh akumulace náboje na gate kapacitě je možné vidět na Obr. 1.9.



Obr. 1.9 Akumulace náboje na gate kapacitě  $C_{ISS}$  [12]

Plocha pod křivkou na Obr. 1.9 reprezentuje energii  $E_G$ , kterou je nutné dodat k sepnutí tranzistoru. Nahromaděný náboj na gate kapacitě  $Q_G$  je následně přes gate odpor  $R_G$  vybit při vypínání tranzistoru a při dalším sepnutí je nutné jej znovu dodat. Takto vzniklé ztráty na gate kapacitě lze vyjádřit rovnicí:

$$P_{GLoss} = E_G \cdot f_{SW} = U_{GSamp} \cdot Q_G \cdot f_{SW} = C_{ISS} \cdot U_{GSamp}^2 \cdot f_{SW}, \quad (1.23)$$

kde  $f_{SW}$  je frekvence spínání MOSFET a  $U_{GSamp}$  amplituda spínacího napětí  $U_{GS}$ .

Další příspěvek ke spínacím ztrátám, vlivem zapínání a vypínání MOSFET, lze vyjádřit pomocí získaných časů náběhu  $t_{rise}$  a sestupu  $t_{fall}$ , jako množství energie spotřebované na výstupu tranzistoru během spínacích procesů. V závislosti na frekvenci jeho spínání  $f_{SW}$ , výsledném rozkmitu napětí  $U_{DS}$  ( $U_{CC}$ ) a drain proudu  $I_D$  je pak výsledný vztah:

$$P_{OLoss} = \frac{t_{rise} + t_{fall}}{2} \cdot U_{CC} \cdot I_D \cdot f_{SW}. \quad (1.24)$$

Výsledná hodnota spínacích ztrát může být pak vyjádřena pomocí součtu těchto dvou dílčích příspěvků:

$$P_{SWLoss} = P_{GLoss} + P_{OLoss} = f_{SW} \cdot \left( C_{ISS} \cdot U_{GSamp}^2 + \frac{t_{rise} + t_{fall}}{2} \cdot U_{CC} \cdot I_D \right). \quad (1.25)$$

Z popsaných rovnic lze získat přibližnou hodnotu ztrátového výkonu při spínání MOSFET, avšak přesnou hodnotu je prakticky nemožné získat, protože parazitní indukčnosti zařízení mají zásadní vliv na průběh napětí a proudu na součástce, stejně jako na její spínací časy.

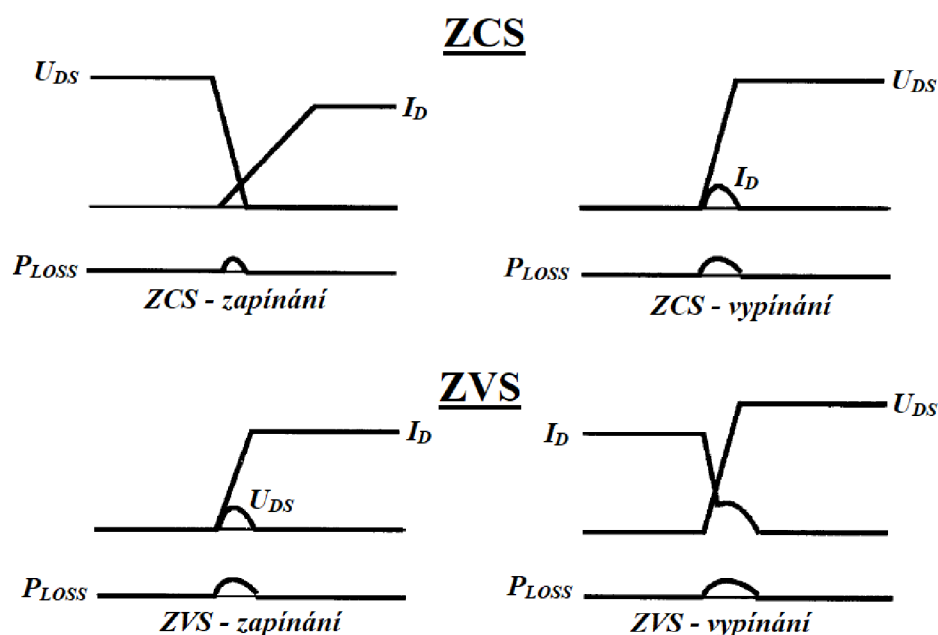
Popsané principy počítají s takzvaným „tvrdým“ spínáním, kdy je snahou co nejrychleji sepnout tranzistor přes jeho vlastní parametry. Při využití výkonového MOSFET pro vysokofrekvenční aplikace se uplatňují především spínací ztráty. Spolu s nimi se objevují další problémy v podobě rychlých změn napětí a proudu v čase na výstupu tranzistoru, které způsobují rozkmit napětí a proudu na parazitních indukčnostech a kapacitách součástek. Na těchto parazitních vlastnostech pak mohou vznikat další ztráty vlivem vyzáření energie do okolí v podobě elektromagnetického pole. Pro minimalizaci těchto ztrát jsou proto implementovány různé metody „měkkého“ spínání, které upravují spínací parametry MOSFET. Těmito parametry jsou především délky spínacích časů  $t_{rise}$  a  $t_{fall}$ , během kterých dochází k většině spínacích ztrát [10], [11], [12], [13].

## 1.5 Měkké spínání – soft-switching

Jak bylo popsáno v předešlé kapitole 1.4.2, při využití výkonového MOSFET ve vysokofrekvenčních aplikacích jsou hlavním zdrojem výkonových ztrát právě spínací ztráty. Zatímco se ztrátami vzniklými v důsledku zapínání a vypínání MOSFET nic nezmůžeme, protože k sepnutí MOSFET je nutné dodat potřený náboj k nabití jeho kapacit, je možné optimalizovat ztráty vzniklé na výstupu tranzistoru v průběhu spínacího procesu. Tyto ztráty převážně vznikají překryvem náběžných a sestupných hran napětí  $U_{DS}$  a proudu  $I_D$ , viz. Obr. 1.8 a rovnice (1.24). Minimalizace těchto ztrát lze dosáhnout aplikováním tzv. „měkkého“ spínání (anglicky soft-switching), které má za úkol tento překryv minimalizovat. Pro tento účel jsou nejrozšířenější dvě metody spínání:

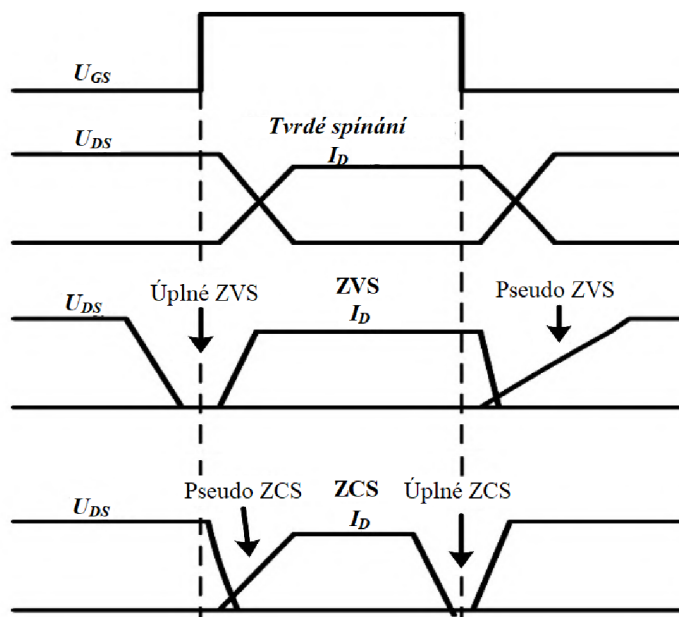
- Spínání při nulovém napětí (ZVS – zero voltage switching)
- Spínání při nulovém proudu (ZCS – zero current switching)

Fungování těchto dvou metod je popsáno na Obr. 1.10. V případě metody ZCS je při zapínání MOSFET proud  $I_D$  zpožděn, např. pomocí sériové indukčnosti, tak aby napětí  $U_{DS}$  bylo při jeho náběhu téměř nulové. Při vypínání je pak proud  $I_D$  téměř nulový před ukončením náběhu napětí  $U_{DS}$ . Při použití metody ZVS je napětí  $U_{DS}$  při zapínání MOSFET nulové před dokončením náběhu proudu  $I_D$ . Toho může být dosaženo vedením proudu přes bypass diodu. Následné vypínání MOSFET probíhá zpožděním napětí  $U_{DS}$  pomocí předřazené kapacity. Náběh  $U_{DS}$  je zpožděný ideálně až po ukončení poklesu proudu  $I_D$  na výstupu [14].



Obr. 1.10 ZCS a ZVS metoda spínání MOSFET [14]

Obě tyto metody jsou však schopné dosáhnout maximálního potlačení spínacích ztrát jen při jednom z procesů zapínání/vypínání, viz. Obr. 1.11. Proto je využívána kombinace tohoto spínání v tzv. ZVZCS – zero voltage zero current switching. U této metody je využito zapínání MOSFET pomocí metody ZVS, kdy jsou ztráty při spínacím procesu minimální. Minimálních ztrát při vypínání MOSFET je pak dosaženo metodou ZCS.



Obr. 1.11 Srovnání ZVS vs ZCS a princip spínání ZVZCS [15]

Další výhodou užití těchto metod je, že zpomalením náběhu napětí  $U_{DS}$  a proudu  $I_D$  při zapínání/vypínání MOSFET se zmenšuje změna napětí  $du/dt$  a proudu  $di/dt$  v čase, které mohou způsobit elektromagnetickou interferenci v obvodu (EMI). Vysoké  $di/dt$  mohou indukovat na parazitní indukčnosti, podle vzorce (1.26), rozkmit napětí, který může ovlivnit okolní a přímo připojené obvody.

$$u(t) = L \cdot \frac{di(t)}{dt}. \quad (1.26)$$

Obdobně vysoké  $du/dt$  může v obvodu vyvolat na parazitních kapacitách proudové špičky, viz vzorec (1.27), které mohou negativně ovlivnit spínací obvod, porušit izolaci, nebo vyvolávat další rozkmit napětí na parazitních indukčnostech podle vzorce (1.26) [14], [15].

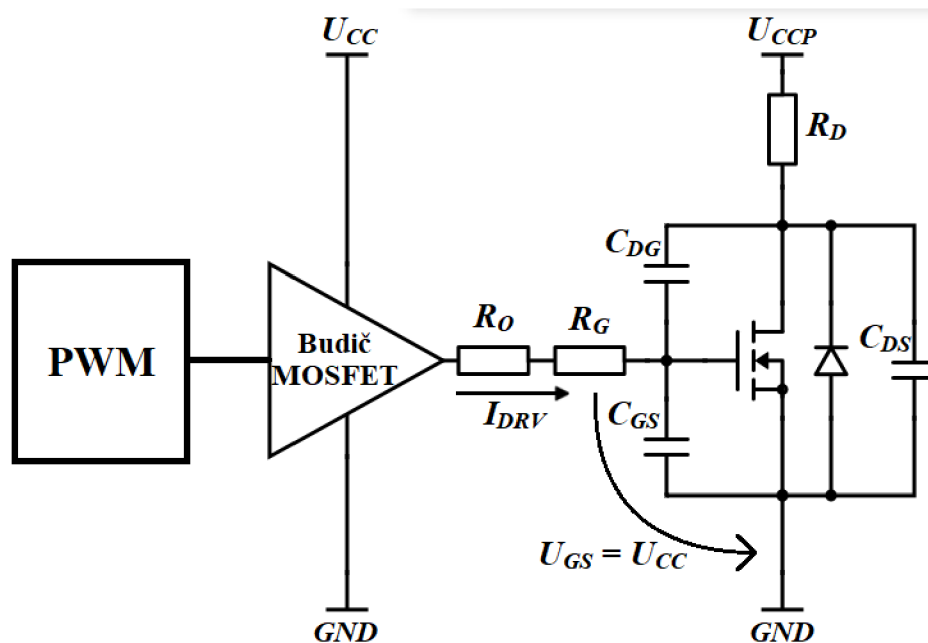
$$i(t) = C \cdot \frac{du(t)}{dt}. \quad (1.27)$$

## 2 Spínaný budič MOSFET

Současným trendem při spínání výkonových MOSFET je zvyšování frekvence spínání, snižování spotřeby, snižování ohřevu součástek a integrace obvodu. Jak bylo popsáno v kapitolách 1.3 a 1.4, zásadní vliv na účinnost procesu spínání MOSFET mají vodivostní a spínací ztráty. Zatímco vodivostní ztráty jsou dány především technologickými parametry MOSFET, spínací ztráty jsou závislé na spínacím procesu, konkrétně pak na spínacích časech  $t_{rise}$  a  $t_{fall}$ .

Vodivostní ztráty mohou být redukovány zvětšením plochy MOSFET, nebo paralelním zapojením více MOSFET, čímž je dosaženo snížení odporu přechodu v sepnutém stavu  $R_{DS(ON)}$ . Tato technika snižování vodivostních ztrát má však za následek zvětšení gate kapacit spínaných MOSFET a tím i spínací ztráty vlivem kumulovaného náboje. Také jsou tímto prodlouženy spínací časy MOSFET..

Pro redukcí spínacích časů, zvýšení frekvence spínání a možnost řízení MOSFET nízkovýkonovým kontrolerem je využíváno spínaných budičů MOSFET. Jejich účelem je přivést na gate spínaného výkonového MOSFET s minimálním zpožděním napětí  $U_{GS}$ , které bude dostatečně větší než napětí  $U_{TH}$ , a dodat v co nejkratším čase proud  $I_{DRV}$  nutný k nabití gate kapacit. Principiální zapojení je možné vidět na Obr. 2.1, kde budič dodává na gate spínaného MOSFET budící proud  $I_{DRV}$  a přivádí napětí  $U_{GS}$ , které je v ideálním případě rovno napájecímu napětí budiče  $U_{CC}$  [12], [16].



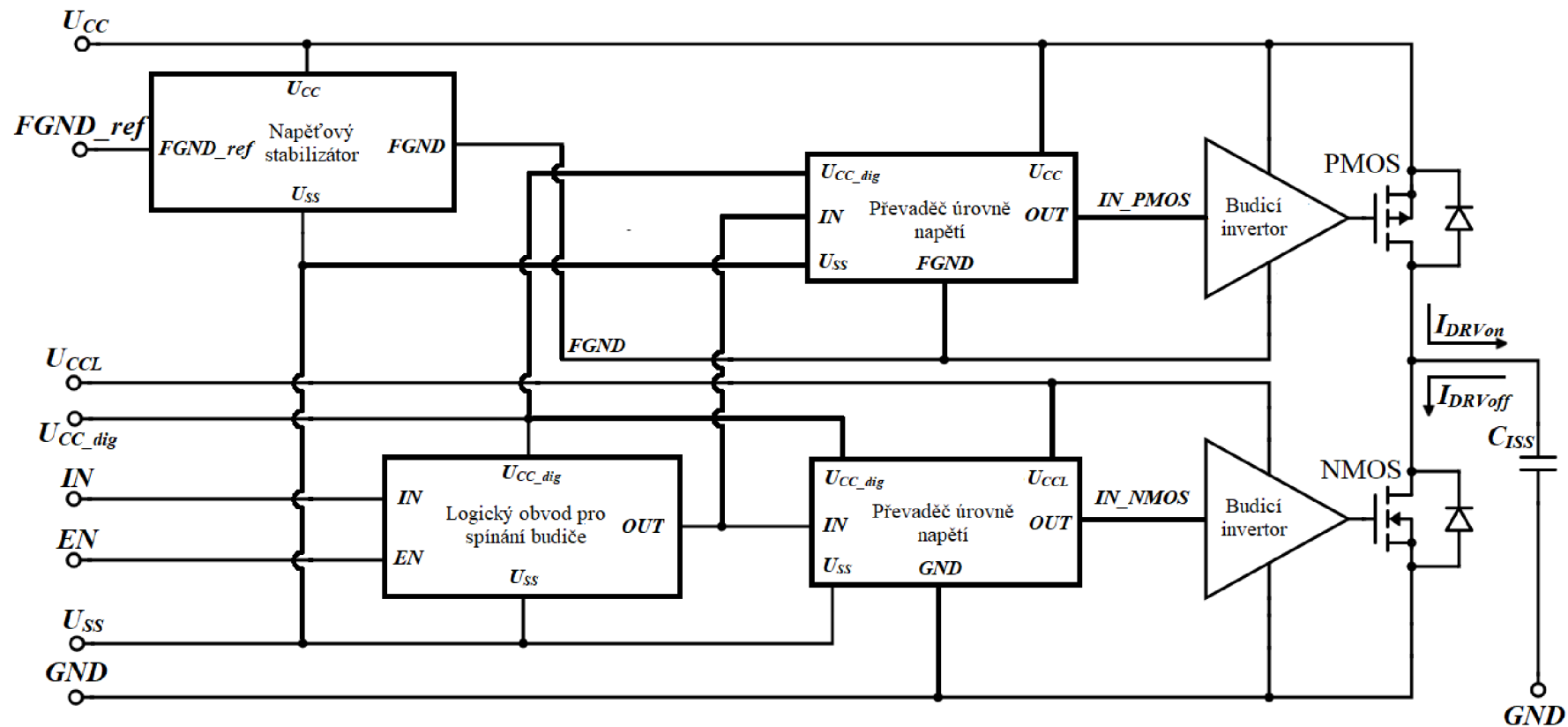
Obr. 2.1 Principiální zapojení budiče MOSFET



## 2.1 Funkce budiče MOSFET

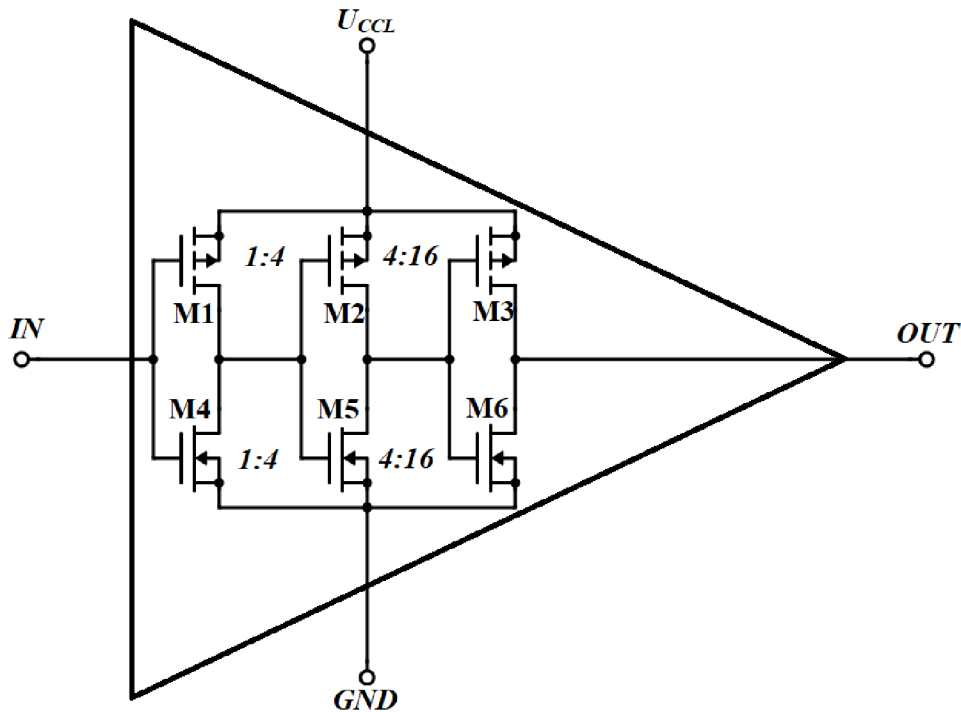
Výše popsané funkce budiče může být dosaženo zapojením totem-pole, viz Obr. 2.2. V této struktuře je při zapínání výkonového MOSFET jeho kapacita  $C_{ISS}$  připojena sepnutím výstupního PMOS přímo na napájecí napětí  $U_{CC}$ . Přes PMOS, který je obvykle velikostně navržen pro proudovou schopnost několika ampér, pak projde budící proud  $I_{DRVon}$ , který dodá potřebný náboj k nabití gate kapacity  $C_{ISS}$  v řádech jednotek až desítek nanosekund. Při následném vypínání výkonového MOSFET je sepnut NMOS na výstupu budiče, který přivede na kapacitu  $C_{ISS}$  potenciál země  $U_{SS}$ . Přes otevřený tranzistor NMOS se pak vybije kapacita  $C_{ISS}$  proudem  $I_{DRVoff}$  [16], [17].

Časy sepnutí jednotlivých výstupních tranzistorů jsou řízeny logickým obvodem, který generuje definovaný spínací signál. Nevýhodou však je, že užitím PMOS-NMOS výstupu budič invertuje signál z logického generátoru signálu, a proto je nutné předřadit před výstup invertor. Digitální spínací signál by měl být oddělen od výkonové spínací části, a proto je napájen z vlastního zdroje  $U_{CC\_dig}$  vůči napětí  $U_{SS}$ . Proto musí být spínací signál z generátoru převeden na adekvátní napěťovou úroveň pro spínání výstupního PMOS, resp. NMOS, pomocí převaděčů úrovně napětí. Pro spínání PMOS je nutné signál  $IN$  posunout na úroveň napětí  $U_{CC} - FGND$ . Plovoucí napětí  $FGND$  je posunuto vůči  $U_{CC}$  tak, aby jejich rozdíl nepřesahoval maximální dovolené napětí na gate výstupního PMOS. Pro spínání NMOS je  $IN$  signál nutné převést na úroveň napětí  $U_{CCL} - GND$ . Do obvodu rovněž může být zaveden spouštěcí signál  $EN$ .



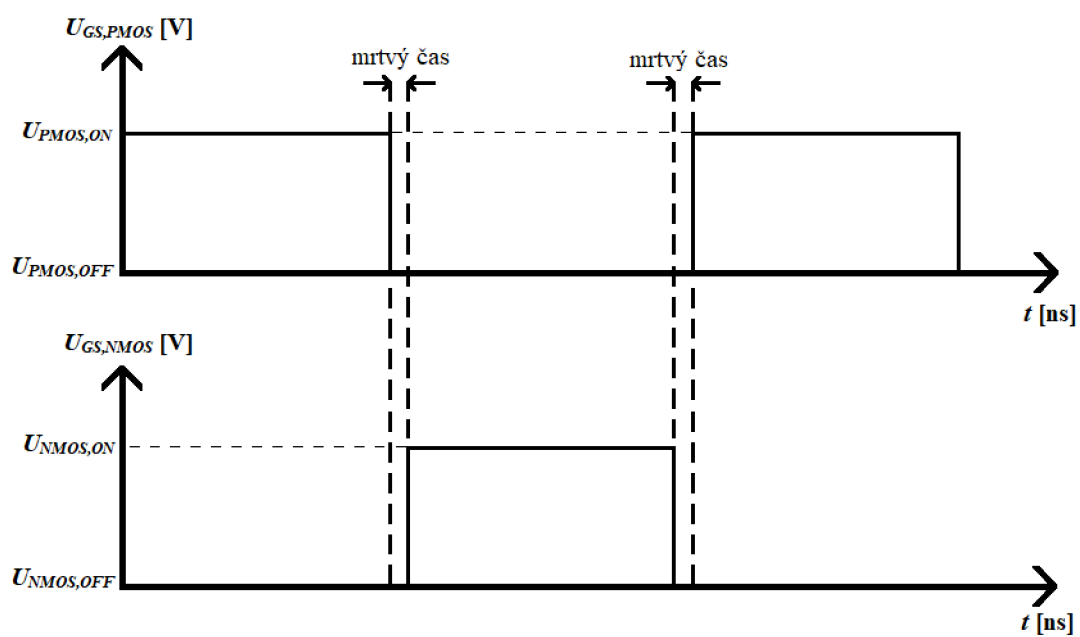
Obr. 2.2 Totem pole struktura budiče MOSFET s PMOS a NMOS

Výstupní tranzistory budiče rovněž mají nezanedbatelnou gate kapacitu a logický obvod nemusí mít proudovou schopnost k jejich spínání. Aby tak byla zachována rychlost spínání, je možné pro výstupní tranzistory vytvořit vlastní budič, který bude možné spínat logickým obvodem. Toho může být dosaženo předřazením kaskády postupně se zvětšujících invertorů, které fungují jako invertující budiče MOSFET se stupňující se proudovou schopností [18]. Možné provedení tohoto řešení je vidět na Obr.2.3, kde je naznačeno stupňování velikosti tranzistorů v invertorech. Nejmenší z invertorů M1, M4 je dostatečně malý na to, aby byl rychle spínán nízkovýkonovým logickým signálem. Jeho rozměry však dovolují průchod proudu, který je schopný sepnout stejnou rychlostí již 4x větší invertor M2, M5. Stejným principem je pak sepnut invertor na výstupu M3, M6, který je však již 16x větší než vstupní invertor a dodává tak již dostatečný proud pro spínání výstupních PMOS a NMOS budiče.



Obr. 2.3 Kaskáda invertorů jako stupňující se budiče MOSFET

Protože proudy výstupními tranzistory budiče se pohybují v řádech jednotek ampér, je nutné brát v potaz ztrátový proud, který přes ně prochází při překlápění výstupního napětí. V tomto ohledu lze pohlížet na budič popsaný na Obr. 2.2 jako na invertor. Při současném zapínání/vypínání PMOS a NMOS se tak oba po dobu spínacího procesu nachází současně v saturačním režimu a mezi  $U_{CC}$  a  $GND$  prochází ztrátový proud  $I_D$ . Tento proud pak značně přispívá ke spotřebě obvodu. Pro jeho eliminaci je proto pomocí logického obvodu budiče zaveden tzv. mrtvý čas (anglicky Dead time), který zajistí, že PMOS tranzistor je vždy vypnut dříve, než se zapne tranzistor NMOS a obráceně. Toto spínání je znázorněné na Obr. 2.4.



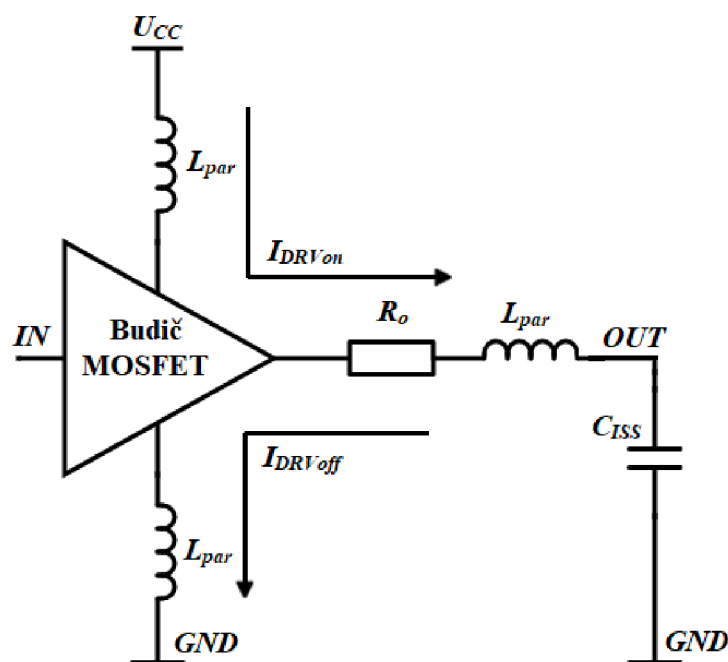
Obr. 2.4 Napětí  $U_{GS}$  na gate výstupních tranzistorů PMOS a NMOS budiče MOSFET s vloženým mrtvým časem mezi jejich spínáním

### 3 Návrh optimalizace koncového stupně budiče MOSFET

V rámci této kapitoly bude řešen problém rozkmitu napětí na parazitní sériové indukčnosti vývodu pouzdra budiče MOSFET a návrh metod optimalizace tohoto rozkmitu.

#### 3.1 Parazitní indukčnosti

Jak bylo popsáno v kapitole 1.5, měkkého spínání MOSFET lze dosáhnout vnějšími předřazenými prvky před spínaný MOSFET. Cílem této práce je navrhnout optimalizaci koncového stupně budiče MOSFET, tak aby pomocí něj bylo dosaženo měkkého spínání, konkrétně pak snížení rozkmitu napětí  $u(t)$  na parazitních indukčnostech vývodů  $L_{par}$  budiče MOSFET. Tyto indukčnosti mohou být v jednotkách nH. Adekvátní schéma budiče MOSFET s parazitními indukčnostmi je znázorněno na Obr. 3.1. Spínaný MOSFET byl pro zjednodušení nahrazen kondenzátorem  $C_{ISS}$ , který reprezentuje jeho gate kapacitu.



Obr. 3.1 Budič MOSFET s parazitními indukčnostmi

Budič MOSFET při nabíjení gate kapacity  $C_{ISS}$  dodává proud  $I_{DRVon}$ , který přes něj protéká z napájení  $U_{CC}$ . Při následném vybíjení kapacity teče přes budič z kapacity  $C_{ISS}$  proud  $I_{DRVoff}$  do země  $GND$ . V cestě nabíjecího resp. vybíjecího proudu  $I_{DRV}$  se tak nachází vždy dvě parazitní indukčnosti vývodů budiče  $L_{par}$ , na kterých podle vzorce (3.1) dochází k indukci napětí  $u(t)$  v závislosti na změně proudu  $I_{DRV}$  v čase  $di/dt$ .

$$u(t) = L \cdot \frac{di(t)}{dt}. \quad (3.1)$$

K největší změně proudu v čase  $di/dt$  na indukčnostech, a tedy největšímu rozkmitu napětí  $u(t)$ , pak bude docházet v momentě, kdy se sepne PMOS resp. NMOS. Přes budič MOSFET tak začne téct rostoucí nabíjecí, resp. vybíjecí, proud  $I_{DRVon}$ , resp.  $I_{DRVoff}$ , až do bodu jeho ustálení na maximální hodnotě, která je dána proudovou schopností výstupních tranzistorů budiče. Výsledný rozkmit napětí  $u(t)$ , indukovaný tímto proudem na indukčnostech  $L_{par}$ , se pak projeví jako zvlnění napájecího napětí  $U_{CC}$ , zemního potenciálu  $GND$ , a výstupu budiče  $OUT$ . Výsledné zvlnění napětí se může pohybovat v řádech několika voltů, což u některých aplikací může způsobit poškození, generaci falešných signálů a nebo narušení funkce dalších součástek.

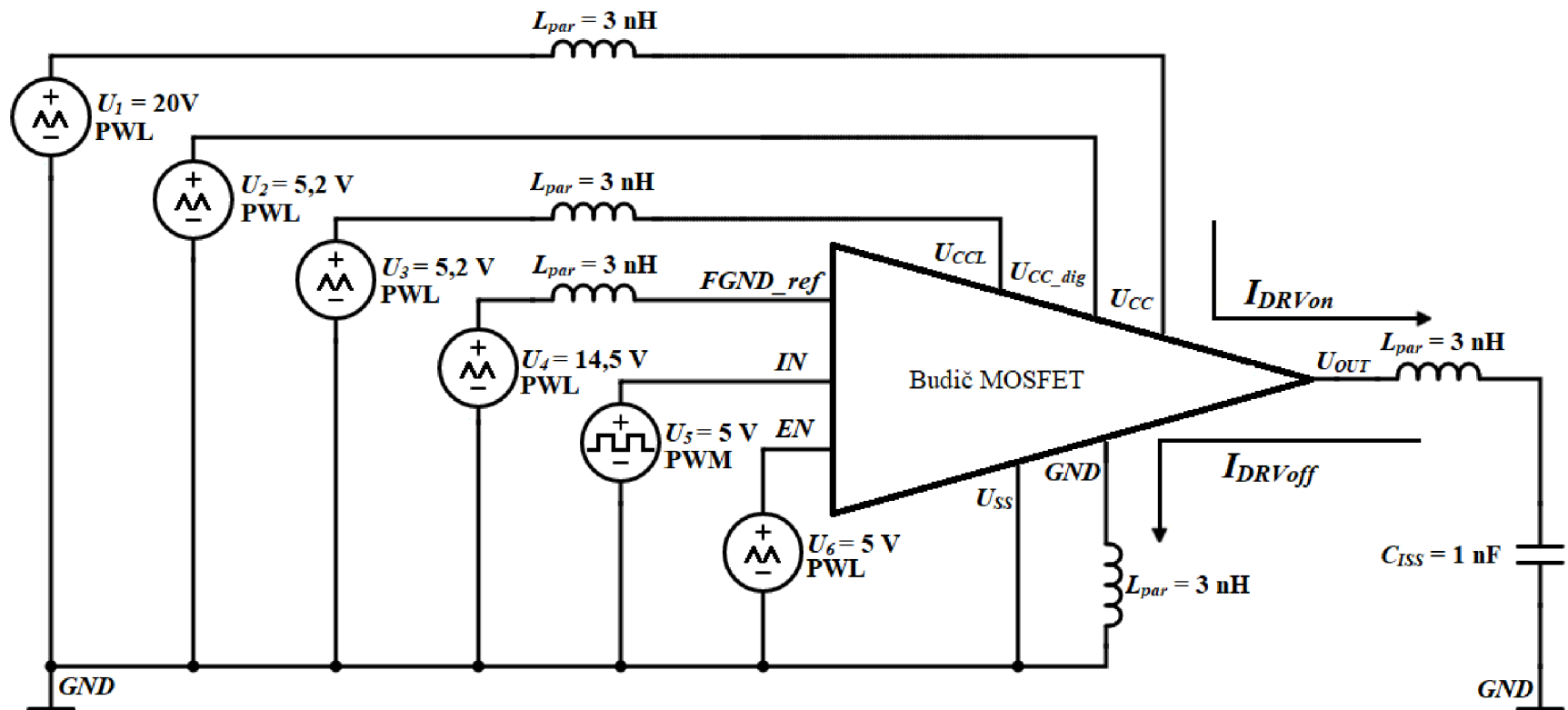
Za průběh proudu  $I_{DRV}$  a jeho strmosti  $di/dt$  je přímo odpovědný spínací proces výstupního PMOS a NMOS tranzistoru budiče MOSFET. Úpravou jejich spínacího obvodu je tak možné upravit velikost  $di/dt$  na výstupu budiče a tím i výsledné zvlnění napětí  $u(t)$ .

### 3.2 Simulační zapojení budiče MOSFET

Parametry budiče MOSFET budou zjišťovány ze simulačního zapojení na Obr. 3.2 pomocí časové analýzy v rozmezí 30  $\mu$ s. Simulace probíhala v prostředí Cadence Virtuoso pomocí simulátoru Spectre. Budič MOSFET je zde napájen pomocí ideálních PWL (piecewise linear) napěťových zdrojů  $U_{1,3,4}$ . U těchto napěťových PWL zdrojů je předpokládán větší proudový odběr, a proto mají do série zapojenou parazitní indukčnost  $L_{par} = 3$  nH. Tato hodnota byla zvolena jako maximální předpokládaná parazitní indukčnost na vývodech pouzdra součástky. Sériová indukčnost  $L_{par}$  byla rovněž připojena na vývod  $GND$ , přes který je sváděn vybíjecí proud  $I_{DRVoff}$ .

Jako zdroj vstupního signálu  $IN$  pro spínání výstupu byl použit PWM (pulse width modulation) zdroj obdélníkových impulsů  $U_5$ . Pro spouštěcí signál  $EN$  byl opět použit ideální PWL napěťový zdroj  $U_6$ . U těchto dvou zdrojů nebyla připojena parazitní indukčnost  $L_{par}$ , protože slouží jako nízkovýkonové digitální signály a není na nich očekáván výrazný odběr proudu. Ze stejného důvodu nebyla připojena parazitní indukčnost  $L_{par}$  na vývod  $U_{SS}$  a zdroj  $U_2$ , který slouží jako zemní potenciál a napájení pro digitální část obvodu budiče MOSFET.

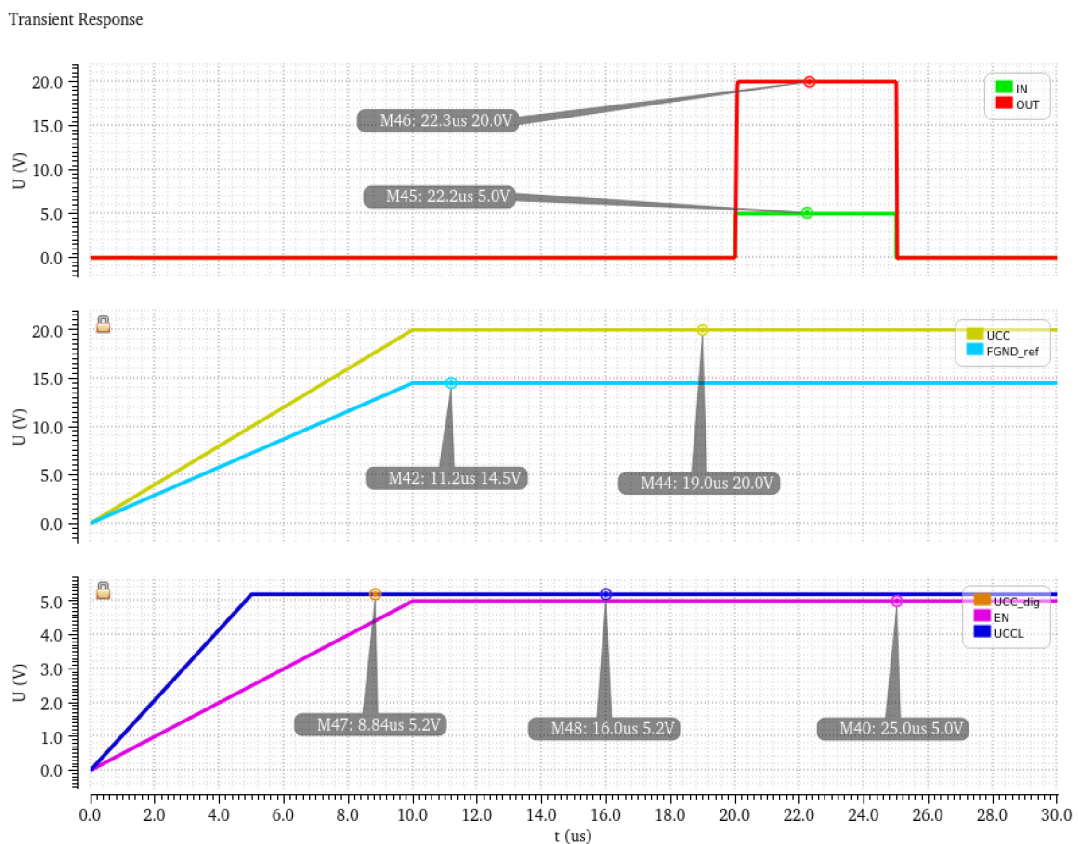
Výstup budiče MOSFET je připojen přes sériovou parazitní indukčnost vývodů  $L_{par}$  na kapacitu  $C_{ISS} = 1$  nF. Tato kapacita má reprezentovat gate kapacitu výkonového MOSFET, který je spínán budičem MOSFET. Kompletní zapojení navržené v prostředí Cadence Virtuoso je pak možné vidět v příloze A.1.



Obr. 3.2 Simulační zapojení pro ověření parametrů budiče MOSFET

Napěťové zdroje PWL byly použity pro účely časové analýzy, aby bylo možné simulovat reálné startování obvodu. Hodnoty napětí u jednotlivých napěťových zdrojů na Obr. 3.2 udávají amplitudu daného zdroje. V případě PWL zdrojů  $U_1$ ,  $U_2$ ,  $U_3$ ,  $U_4$  a  $U_6$  jejich průběh začíná na 0 V a lineárně roste až do jejich uvedené nominální hodnoty napětí, na které setrvávají až do konce časového průběhu simulace. Tyto průběhy jsou znázorněny na Obr. 3.3.

Napěťový PWM zdroj  $U_5$  slouží jako generátor signálu  $IN$ . Jeho počáteční hodnota je na potenciálu 0 V. Na tomto potenciálu setrvává do doby, než dosáhnou všechna napájecí napětí své nominální hodnoty a obvod se neustálí. Poté je na vstupu  $IN$  v čase 20  $\mu\text{s}$  vygenerován obdélníkový puls o šířce 5  $\mu\text{s}$ . Po zbytek simulace je signál  $IN$  nulový. Časový průběh signálu  $IN$  a na něm závislého napětí  $U_{OUT}$  je vyobrazen na Obr. 3.3.



Obr. 3.3 Časový průběh napájecích napětí  $U_{CC}$ ,  $U_{CC_{L}}$ ,  $U_{CC_{dig}}$ ,  $FGND_{ref}$ , signálů  $IN$  a  $EN$  a výstupního napětí budiče  $U_{OUT}$

Na výše popsaném simulačním zapojení bude testován originální obvod koncového stupně budiče MOSFET a navržené metody optimalizace.



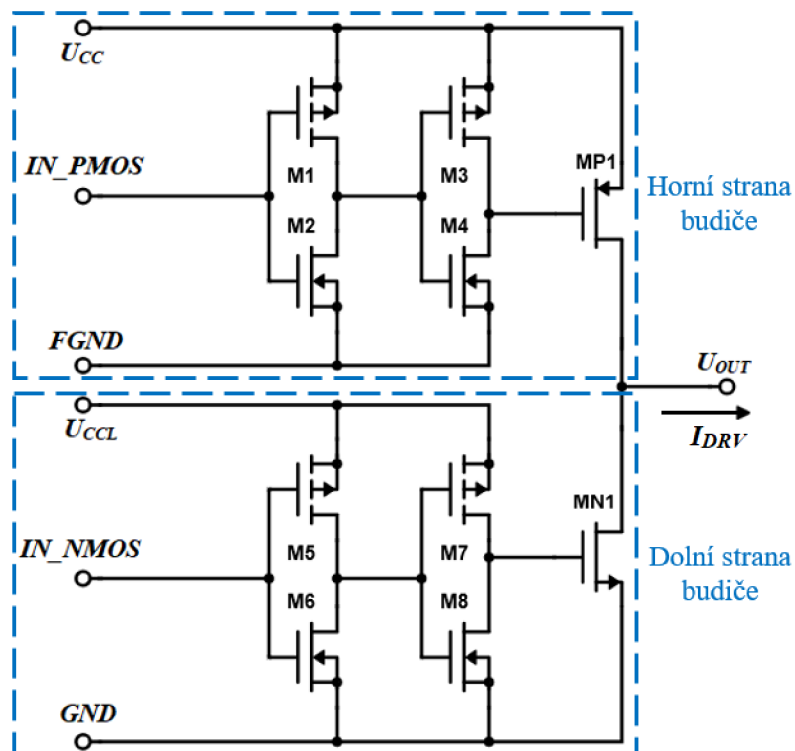
### 3.3 Originální obvod budiče MOSFET (ORIG)

Účelem optimalizace koncového stupně budiče MOSFET v této práci je snížení rozkmitu napětí  $u(t)$  na parazitních indukčnostech  $L_{par}$  vývodů pouzdra budiče. Toho je dosaženo úpravou časového průběhu proudu  $I_{DRV}$ , a tím i  $di/dt$ , na výstupu budiče MOSFET, který je závislý na parametrech spínání výstupních tranzistorů PMOS a NMOS budiče.

Aby bylo možné určit efektivitu navržených metod optimalizace koncového stupně budiče, je nutné je srovnat s parametry originálního optimalizovaného obvodu.

Originální obvod určený pro optimalizaci byl budič MOSFET s PMOS – NMOS výstupem, spínáným pomocí budících invertorů. Schematické zapojení originálního koncového stupně budiče MOSFET je znázorněno na Obr. 3.4. Budič je zde rozdělen na horní stranu s budícími invertory pro PMOS a obdobně na dolní stranu pro výstupní NMOS. Budící inverter pro výstupní PMOS je tvořen kaskádou dvou invertorů M1, M2 a M3, M4 se stupňující se proudovou schopností. Obdobně je tvořen budící inverter pro výstupní NMOS tranzistory M5, M6 a M7, M8. Takto navržená kaskáda budících invertorů přenáší signál k výstupním tranzistorům nezměněný. Proto jsou jejich vstupní signály  $IN\_PMOS$  a  $IN\_NMOS$  invertovány oproti vstupnímu signálu  $IN$  již na výstupu převaděčů úrovně napětí.

Rozměry jednotlivých tranzistorů jsou uvedeny v tabulce 3.1. Parametry  $W_g$ ,  $N_g$ ,  $W_{tot}$  a  $L_g$  zde reprezentují šířku gate segmentu tranzistoru, počet gate segmentů tranzistoru, celkovou šířku tranzistoru a délku gate segmentu tranzistoru.

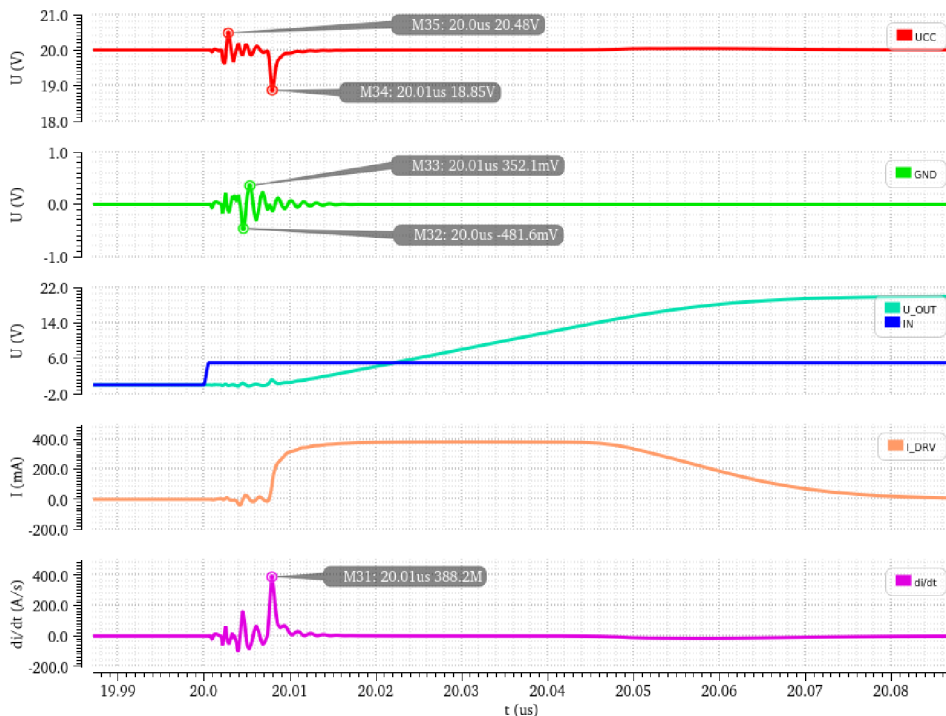


Obr. 3.4 Originální zapojení výstupní části budiče MOSFET

Tabulka 3.1 Parametry součástek originálního zapojení budiče MOSFET

Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M1	10	3	30	0,5	M5	8,06	6	48,36	0,5
M2	8,2	2	16,4	0,5	M6	6,75	4	27	0,5
M3	12	24	288	0,5	M7	8	35	280	0,5
M4	10	10	100	0,5	M8	10	13	130	0,5
MP1	53	48	2544	0,6	MN1	53	48	2544	0,6

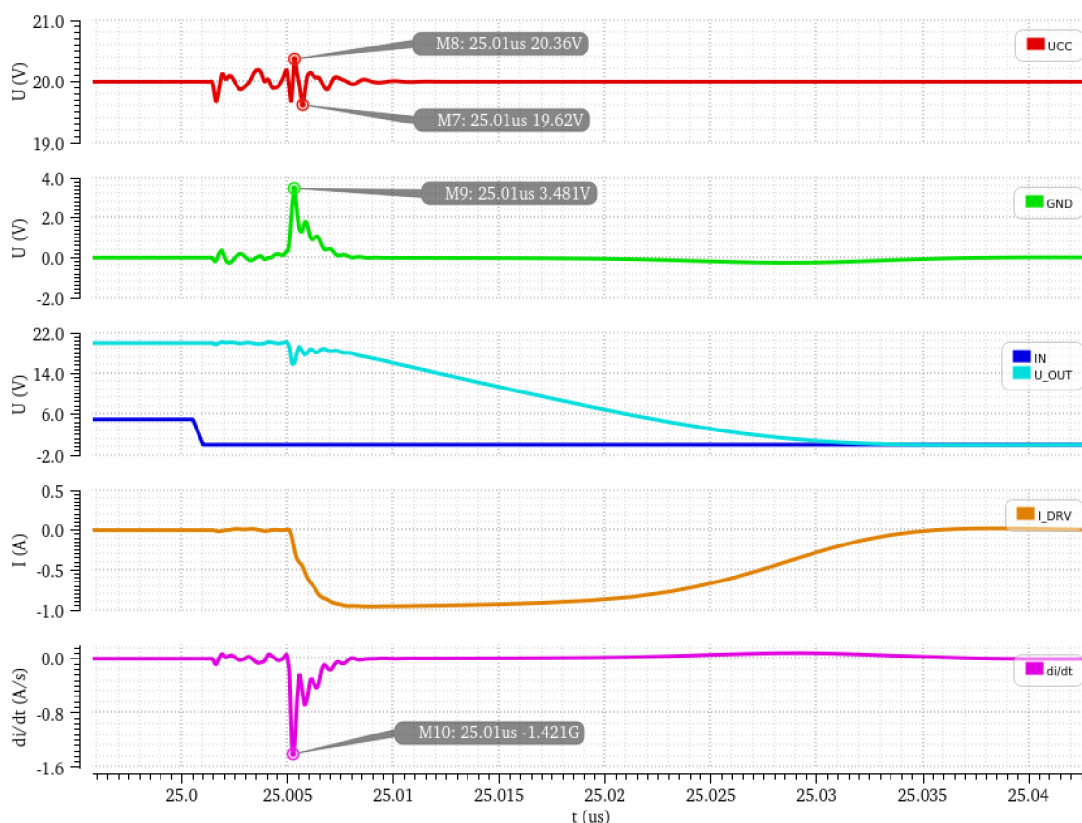
Originální obvod je simulován v simulačním zapojení popsaném v kapitole 3.2. Velikost rozkmitu napětí  $u(t)$ , vyvolaném na parazitních indukčnostech  $L_{par}$  průchodem proudem  $I_{DRV}$ , byla sledována na časových průbězích napětí  $U_{CC}$  a  $GND$ . Dále byl sledován signál  $IN$  a výstupní napětí budiče  $U_{OUT}$ , které byly vloženy do jednoho grafu pro porovnání. Byl rovněž sledován časový průběh proudu  $I_{DRV}$ . Derivací časového průběhu proudu  $I_{DRV}$  byla pak určena jeho strmost změny proudu v čase  $di/dt$ , která je podle vzorce (3.1) přímo zodpovědná za zvlnění napětí na výstupu  $U_{OUT}$  a napájecích napětích  $U_{CC}$  a  $GND$ . Popsané časové průběhy je možné vidět na Obr 3.5 při změně napětí  $U_{OUT}$  z LO do HO, a na Obr. 3.6 při změně z HO do LO..



Obr. 3.5 Časové průběhy napájecích napětí  $U_{CC}$ ,  $GND$ , výstupního napětí budiče  $U_{OUT}$ , signálu  $IN$ , budičícího proudu  $I_{DRV}$  a jeho změna proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z LO do HO pro zapojení **ORIG**

Při změně napětí  $U_{OUT}$  z LO do HO je zapínán výstupní PMOS budiče MOSFET a výstupní NMOS je vypnut. Z časových průběhů na Obr. 3.5 je možné vidět, že při sepnutí PMOS začne narůstat proud  $I_{DRV}$ , který je sváděn z napájení  $U_{CC}$  do kapacity  $C_{ISS}$  přes sériovou parazitní indukčnost  $L_{par}$  vstupu  $U_{CC}$  a výstupu  $U_{OUT}$  budiče MOSFET. Na těchto indukčnostech pak vlivem změny proudu v čase  $di/dt$  vzniká úbytek napětí, což se na  $U_{CC}$  projeví jako zvlnění napětí. Z časového průběhu  $di/dt$  je zřejmé, že největší strmost změny proudu v čase nastává právě při počátku náběhu  $I_{DRV}$  do své maximální hodnoty. V čase, kdy je  $di/dt$  maximální, je rovněž možné vidět maximální zvlnění napětí na časovém průběhu  $U_{CC}$ . Paralelně s napětím  $U_{CC}$  je možné vidět i zvlnění napětí na výstupním průběhu  $U_{OUT}$ .

Zvlnění napětí na  $U_{CC}$  a  $GND$  před náběhem proudu  $I_{DRV}$  je způsobeno kapacitními proudy z parazitních kapacit výstupních MOSFET budiče a spínáním budících invertorů předřazených před výstupní PMOS a NMOS.



Obr. 3.6 Časové průběhy napájecích napětí  $U_{CC}$ ,  $GND$ , výstupního napětí budiče  $U_{OUT}$ , signálu  $IN$ , budícího proudu  $I_{DRV}$  a jeho změna proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z HO do LO pro zapojení ORIG

Při změně napětí  $U_{OUT}$  z HO do LO je zapínán výstupní NMOS, zatímco výstupní PMOS je vypnutý. Z časových průběhů na Obr. 3.6 je zřejmé, že při sepnutí výstupního NMOS začne z kapacity  $C_{ISS}$  téct přes budič proud  $I_{DRV}$ . Proud  $I_{DRV}$  je sváděn do  $GND$  a protéká přes budič a jeho sériové parazitní indukčnosti připojené na  $GND$  a  $U_{OUT}$ . Ze

závislosti na Obr. 3.6 je vidět, že amplituda proudu  $I_{DRV}$  je při vybíjení kapacity  $C_{ISS}$  větší než při jejím nabíjení přes výstupní PMOS. To je dáno tím, že rozměry  $W_{tot}$  výstupních PMOS a NMOS jsou stejné, avšak proudová schopnost výstupního PMOS je až 3x nižší než proudová schopnost výstupního NMOS vlivem nižší pohyblivosti děr oproti elektronům. Časová změna proudu  $di/dt$ , vznikající na tomto proudu  $I_{DRV}$ , tak vyvolá větší úbytek napětí na parazitních indukčnostech, než v případě průběhu při změně napětí  $U_{OUT}$  z LO do HO. To je možné vidět na časových průbězích napětí  $U_{OUT}$  a  $GND$ . Ze závislosti napětí  $U_{OUT}$  a  $GND$  je zřejmé, že největší zvlnění napětí vzniká na počátku náběhu proudu  $I_{DRV}$ , když je jeho  $di/dt$  maximální.

Zvlnění napětí na  $U_{CC}$  a  $GND$  před náběhem proudu  $I_{DRV}$  je opět způsoben kapacitními proudy a spínáním budicích invertorů pro PMOS a NMOS.

Ze závislosti pro náběžnou hranu, resp. sestupnou hranu, na Obr. 3.5, resp. Obr. 3.6, byly následně určeny parametry propagačního zpoždění  $D_{rise}$ , resp.  $D_{fall}$ . Jejich hodnota byla odečtena jako časový rozdíl mezi úrovní, kdy signál  $IN$  dosáhne 50 % (2,5 V) své nominální hodnoty (5 V), a úrovní, kdy napětí  $U_{OUT}$  vzroste, resp. poklesne, o 10 % (2 V pro nástupnou hranu, 18 V pro sestupnou hranu) své nominální hodnoty (20 V).

Dále byla rovněž odečtena amplituda rozkmitu napětí na napětích  $U_{CC}$  a  $GND$ .

Posledním odečteným parametrem byla hodnota  $di/dt_{rise}$  a  $di/dt_{fall}$  při změně napětí  $U_{OUT}$  z LO do HO a z HO do LO. Na rozdíl od závislosti  $di/dt$  v časových průbězích na Obr. 3.5 a Obr. 3.6, nebyla vypočtená hodnota  $di/dt$  zjištěna derivací proudu  $I_{DRV}$ . Odečtená hodnota  $di/dt$  je zjištěna jako změna proudu  $I_{DRV}$  mezi 10 % a 60 % jeho maximální hodnoty (nejstrmější část náběhu proudu  $I_{DRV}$ ), podělená časem uplynulým mezi těmito hodnotami, viz. následující rovnice:

$$\frac{di}{dt} = \frac{I_{60\%} - I_{10\%}}{t_{60\%} - t_{10\%}} \quad (3.2)$$

Popsané vypočtené parametry originálního obvodu koncového stupně budiče MOSFET jsou uvedeny v tabulce 3.2.

Tabulka 3.2 Odečtené parametry originálního obvodu zapojení budiče MOSFET

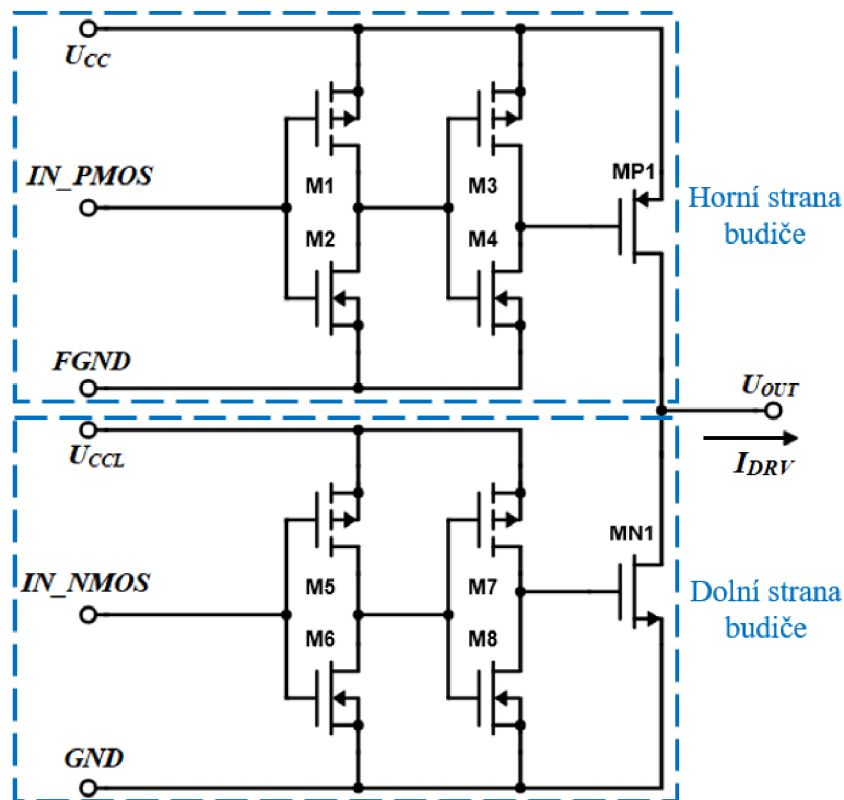
Parametry originálního zapojení budiče MOSFET					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
13,97	7,19	1,15	3,48	0,278	0,709

### 3.4 Optimalizace rozměrů budících inverterů (OPT)

Rozkmit napětí  $u(t)$  na parazitních indukčnostech  $L_{par}$  je možné snížit redukcí  $di/dt$  na výstupu budiče MOSFET při jeho spínání. Toho může být dosaženo úpravou spínacích parametrů výstupních PMOS a NMOS tranzistorů originálního budiče MOSFET. Metody optimalizace jsou tak zaměřené na úpravu spínacího obvodu (budící invertory) pro výstupní tranzistory budiče.

Optimalizace rozměrů tranzistorů budících inverterů pro výstupní PMOS a NMOS tranzistory budiče přímo neupravuje schéma originálního obvodu. Zapojení koncového stupně je tak stejné jako u obvodu ORIG, viz. Obr. 3.7. Srovnání rozměrů jednotlivých tranzistorů vůči originálnímu zapojení je uvedeno v tabulce 3.3.

Zmenšením tranzistorů budících inverterů je dosaženo snížení proudové schopnosti jednotlivých inverterů M1, M2 a M3, M4, resp. M5, M6 a M7, M8. Tím se zpomalí proces spínání výstupních tranzistorů budiče a inverterů M3, M4 a M7, M8. Výsledkem je pomalejší nárůst proudu  $I_{DRV}$  na výstupu budiče, čímž se sníží i  $di/dt$ .



Obr. 3.7 Zapojení koncového stupně budiče MOSFET pro metodu **OPT**

Tabulka 3.3 Srovnání parametrů součástek originálního zapojení a zapojení OPT budiče MOSFET

Originální zapojení budiče MOSFET									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M1	10	3	30	0,5	M5	8,06	6	48,36	0,5
M2	8,2	2	16,4	0,5	M6	6,75	4	27	0,5
M3	12	24	288	0,5	M7	8	35	280	0,5
M4	10	10	100	0,5	M8	10	13	130	0,5
MP1	53	48	2544	0,6	MN1	53	48	2544	0,6
Zapojení optimalizace rozměrů budících invertorů									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M1	5,5	2	11	0,5	M5	7	3	21	0,5
M2	6	2	12	0,5	M6	4	2	8	0,5
M3	14	6	84	0,5	M7	6,1	5	30,5	0,5
M4	5	4	20	0,5	M8	6	5	30	0,5
MP1	53	48	2544	0,6	MN1	53	48	2544	0,6

Návrh rozměrů jednotlivých tranzistorů optimalizovaného zapojení probíhal na základě simulace krokováním jejich parametrů šířky  $W_{tot}$ . Zmenšováním rozměru  $W_g$  tranzistorů docházelo ke zpomalování procesu spínání výstupních PMOS a NMOS, čímž byl zpomalován i náběh proudu  $I_{DRV}$ . Zpomalením náběhu proudu  $I_{DRV}$  se ovšem zpomaluje i nabíjení kapacity  $C_{ISS}$ , což zvětšuje délku náběžné a sestupné hrany výstupního napětí  $U_{OUT}$  a prodlužuje propagačním zpoždění  $D_{rise}$  a  $D_{fall}$ . Optimalizace je tak kompromisem mezi propagačním zpožděním obvodu a redukcí  $di/dt$  na výstupu budiče.

Protože při tomto způsobu optimalizace platí, že čím menší rozměry  $W_g$  tranzistorů v invertorech budou, tím menší bude  $di/dt$  na výstupu, byl jejich rozměr  $W_g$  omezen hodnotou propagačního zpoždění  $D_{rise}$  a  $D_{fall}$ . Jako omezení pro rozměry byl zvolen nárůst propagačního zpoždění  $D_{rise}$  a  $D_{fall}$  o cca 1 ns při náběžné i sestupné hraně oproti  $D_{rise}$  a  $D_{fall}$  v originálnímu zapojení.

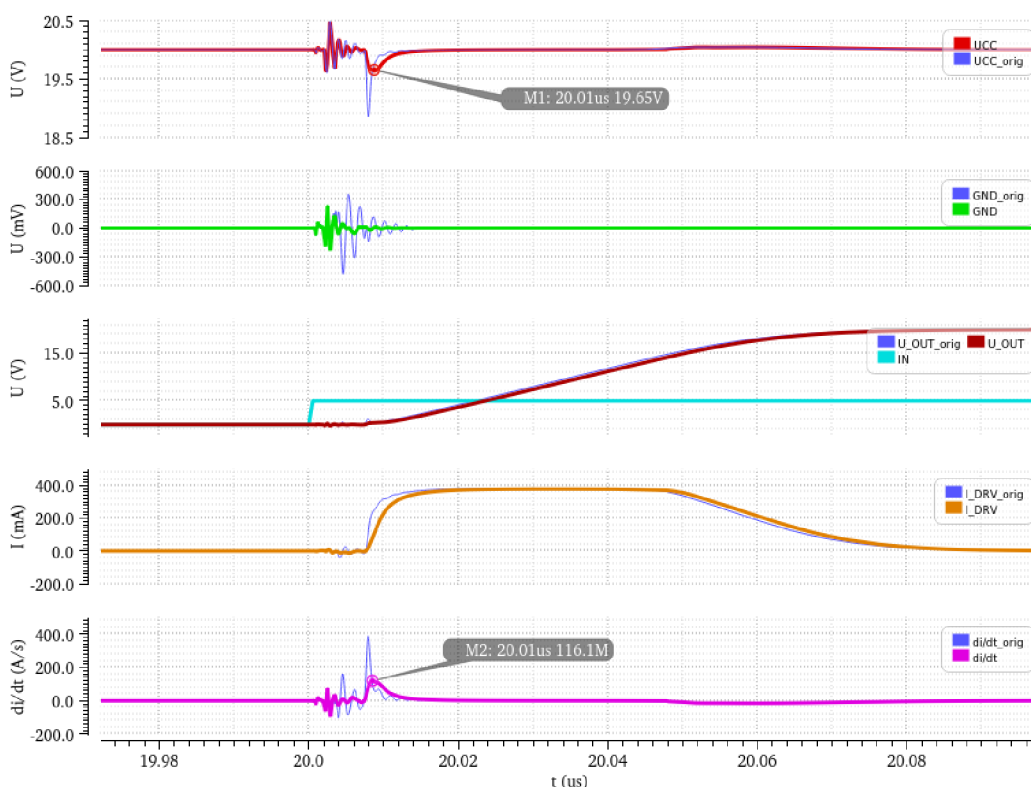
Zmenšování tranzistorů v zapojení na Obr. 3.7 probíhalo následovně. Tranzistory M4 a M7 nabíjí gate kapacitu výstupních tranzistorů MP1 a MN1. Tím řídí jejich zapínání a strmost náběhu proudu  $I_{DRV}$  na výstupu budiče, a tedy i propagační zpoždění  $D_{rise}$  a  $D_{fall}$ . Jejich šířka  $W_{tot}$  tak byla zmenšována dokud propagační zpoždění  $D_{rise}$  a  $D_{fall}$  nenarostlo o 1 ns oproti originálnímu zapojení. Velikost tranzistorů MP1 a MN1 zůstala nezměněna.

Tranzistory M3 a M8 vybíjí gate kapacitu výstupních tranzistorů MP1 a MN1, čímž řídí jejich vypínání. Zmenšováním jejich rozměru  $W_g$  se prodlužuje vypínání tranzistorů MP1 a MN1. Tím se zkracuje vložená prodleva, tzv. mrtvý čas, mezi vypnutím tranzistoru

MP1 a zapnutím tranzistoru MN1, a obráceně. Jejich rozměry  $Wg$  tak byly zmenšovány tak, aby mezi sepnutím tranzistoru MP1 a MN1 byl stále vložen mrtvý čas alespoň 1 ns. Tím bylo zajištěno, že při spínání výstupu budiče neproteče žádný proud mezi  $U_{CC}$  a  $GND$ .

Tranzistory M1, M2 a M5, M6 nabíjí a vybíjí gate kapacity inverterů M3, M4 a M7, M8. Protože již přímo neřídí spínání tranzistorů MP1 a MN2, byly rozměry  $Wg$  těchto tranzistorů zmenšeny tak, aby neovlivnily rychlost spínání tranzistorů M3, M4, M7, a M8.

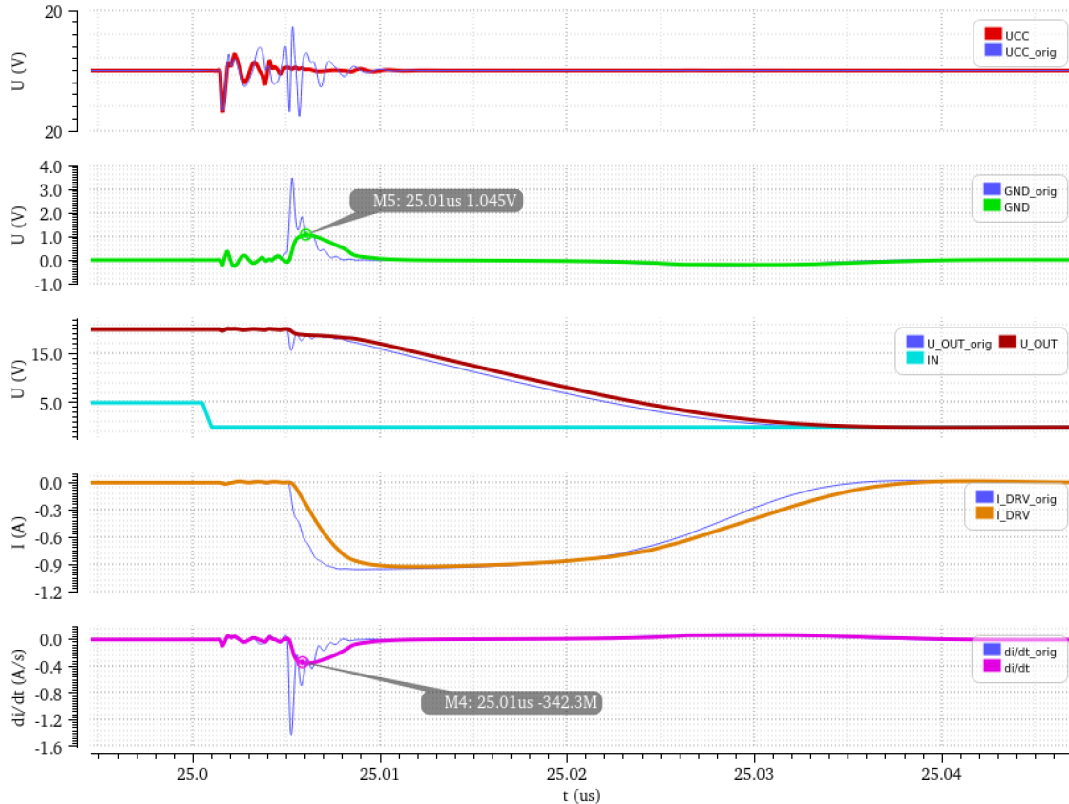
Parametry optimalizovaného obvodu byly následně simulovány na simulačním zapojení popsaném v kapitole 3.2. Výsledky časových průběhů optimalizovaného obvodu při změně napětí  $U_{OUT}$  z LO do HO a z HO do LO jsou uvedeny v závislostech na Obr. 3.8 a Obr. 3.9 Časové průběhy optimalizovaného obvodu jsou zde porovnány s časovými průběhy originálního obvodu.



Obr. 3.8 Srovnání časových průběhů napětí  $U_{CC}$ ,  $GND$ ,  $U_{OUT}$ ,  $IN$ , proudu  $I_{DRV}$  a jeho změny proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z LO do HO mezi zapojením OPT a ORIG

Na časových průbězích při změně napětí  $U_{OUT}$  z LO do HO, na Obr. 3.8, je možné vidět, že popsáním zmenšením rozměru  $Wg$  tranzistorů horní strany budiče MOSFET bylo dosaženo snížení strmosti  $di/dt$  nárůstu proudu  $I_{DRV}$  při nabíjení kapacity  $C_{ISS}$  oproti originálnímu zapojení. Toho bylo dosaženo při zachování stejné nominální hodnoty

proudu  $I_{DRV}$ . Snížením hodnoty  $di/dt$  bylo dosaženo výrazného snížení zvlnění napětí  $U_{CC}$  a  $GND$  oproti originálnímu zapojení. Zpoždění výstupního napětí  $U_{CC}$  oproti originálnímu zapojení je zde 1,1 ns, což je z pohledu aplikace zanedbatelné.



Obr. 3.9 Srovnání časových průběhů napětí  $U_{CC}$ ,  $GND$ ,  $U_{OUT}$ ,  $IN$ , proudu  $I_{DRV}$  a jeho změny proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z HO do LO mezi zapojením OPT a ORIG

Z časových průběhů při změně napětí  $U_{OUT}$  z HO do LO, na Obr. 3.9, je rovněž možné vidět, že zmenšením rozměru  $Wg$  tranzistorů v dolní straně budiče bylo dosaženo zpomalení náběhu proudu  $I_{DRV}$  ve srovnání s originálním zapojením. Amplituda proudu  $I_{DRV}$  při vybíjení kapacity  $C_{ISS}$  přes výstupní NMOS byla rovněž zachována na původní hodnotě. Tímto byla výrazně snížena i velikost  $di/dt$ . Na napájecích napětích  $U_{CC}$  a  $GND$  je možné vidět, že metoda OPT při změně výstupu z HO do LO téměř eliminovala zvlnění napětí na  $U_{CC}$  a na  $GND$  je snížen téměř na třetinu oproti originálnímu zapojení. Zpoždění sestupné hrany  $U_{CC}$  oproti originálnímu zapojení je zde 1,02 ns.



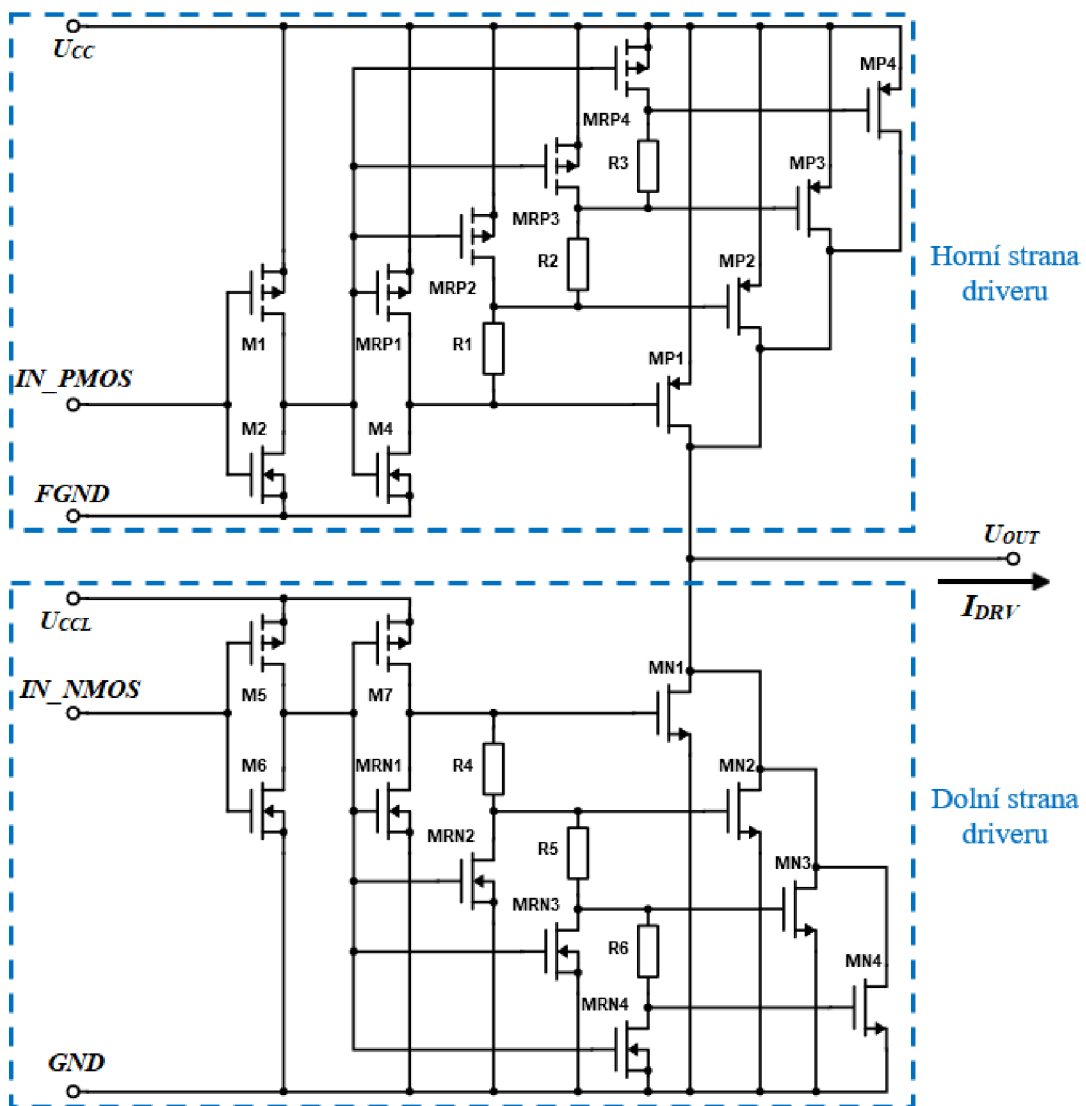
Z časových průběhů Obr. 3.8 a Obr. 3.9 byly odečteny parametry  $D_{rise}$ ,  $D_{fall}$ , amplitudy rozkmitu napětí na  $U_{CC}$  a  $PGND$ ,  $di/dt_{rise}$  a  $di/dt_{fall}$  pro zapojení metody OPT. Jejich hodnoty a srovnání s parametry originálního obvodu jsou uvedeny v tabulce 3.4.

Tabulka 3.4 Srovnání parametrů zapojení metody OPT s originálním zapojením budiče MOSFET

Parametry originálního zapojení budiče MOSFET					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
13,97	7,19	1,15	3,48	0,278	0,709
Parametry metody OPT					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
15,07	8,21	0,35	1,05	0,104	0,333

### 3.5 Metoda postupného spínání zpožd'ovacími rezistory (RES)

Tato metoda spínání koncového stupně budiče upravuje spínací charakteristiku výstupních PMOS a NMOS tranzistorů pomocí zpožd'ovacích rezistorů vložených do struktury budících invertorů. Pro účely této metody jsou původní výstupní tranzistory PMOS a NMOS rozděleny na čtyři paralelně zapojené tranzistory MP1, MP2, MP3, MP4 a MN1, MN2, MN3, MN4 s odstupňovanou velikostí. Tato úprava již výrazně mění zapojení koncového stupně budiče MOSFET oproti originálnímu zapojení. Schematické zapojení metody RES je na Obr. 3.10. Parametry jednotlivých součástek zapojení jsou pak uvedeny v tabulce 3.5.

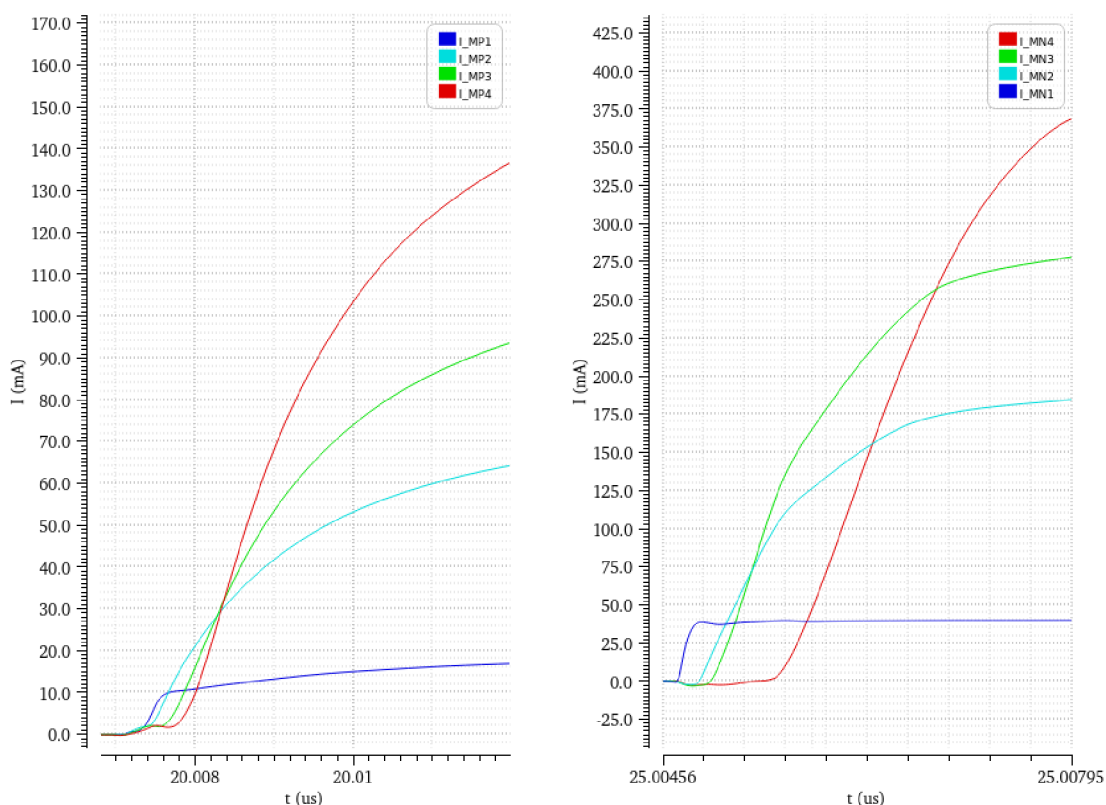


Obr. 3.10 Zapojení koncového stupně budiče MOSFET pro metodu **RES**

Tabulka 3.5 Parametry součástek zapojení metody RES

Zapojení optimalizace spínáním odstupňovaného výstupu zpožděvacími rezistory										
Horní strana budiče					Dolní strana budiče					
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]	
M1	7	3	21	0,5	M5	6	4	24	0,5	
M2	6,2	2	12,4	0,5	M6	5	4	20	0,5	
M4	10	10	100	0,5	M7	7	30	210	0,5	
MRP1	9,5	2	19	0,5	MRN1	3,4	1	3,4	0,5	
MRP2	9,5	4	38	0,5	MRN2	3,4	2	6,8	0,5	
MRP3	9,5	6	57	0,5	MRN3	3,4	3	10,2	0,5	
MRP4	9,5	8	76	0,5	MRN4	3,4	4	13,6	0,5	
MP1	6,4	20	128	0,6	MN1	4,8	20	96	0,6	
MP2	25,4	20	508	0,6	MN2	25,1	20	502	0,6	
MP3	38,3	20	766	0,6	MN3	40	20	800	0,6	
MP4	57,1	20	1142	0,6	MN4	57,3	20	1146	0,6	
Celková šířka $W$ výstupních PMOS [ $\mu\text{m}$ ]				2544	Celková šířka $W$ výstupních NMOS [ $\mu\text{m}$ ]				2544	
Rezistory					Rezistory					
	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Odpor [ $\Omega$ ]			$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Odpor [ $\Omega$ ]		
R1	15,36	3,82	90		R4	4,8	3	240		
R2	15,36	2,23	60		R5	38,32	7	60		
R3	15,36	3,29	80		R6	7,06	10	450		

Snížení strmosti proudu  $I_{DRV}$  na výstupu budiče, tedy  $di/dt$ , zde bylo dosaženo pomocí rozložení výstupních tranzistorů na čtyři paralelně zapojené odstupňované segmenty (MP1-4 a MN1-4) a jejich postupným spínáním. Součet jejich velikostí je stejný jako velikost originálních výstupních tranzistorů budiče. Tím byla zachována stejná proudová schopnost budiče MOSFET jako u originálního zapojení. Velikost jednotlivých segmentů tranzistorů MP1-4 a MN1-4 byla odstupňována cca podle poměru 1/20, 4/20, 6/20 a 9/20. Tento poměr byl určen experimentálně za pomoci simulátoru. Velikosti jednotlivých tranzistorů pak byly ještě mírně upraveny na základě výsledků simulací, aby bylo dosaženo ideálního výsledku. Takto odstupňovaný výstup byl následně postupně spínán vložением zpoždění mezi sepnutím jednotlivých segmentů MP1-4 a MN1-4. Jako první byly spínány bez zpoždění tranzistory MP1 a MN1, které mají nejmenší rozměr  $W_{tot}$  a jejich sepnutím je dodána na výstup budiče pouze cca 1/20 nominální hodnoty proudu  $I_{DRV}$ . Se stupňujícím zpožděním mezi jednotlivými segmenty jsou následně spínány zbylé tranzistory MP2-4 a MN2-4, které postupně dodávají 4/20, 6/20 a 9/20 nominálního proudu  $I_{DRV}$  na výstup budiče. Postupné spínání výstupních tranzistorů je vyobrazeno v grafu na Obr. 3.11.



Obr. 3.11 Časový průběh postupného spínání proudů přes tranzistory MP1-4 a MN1-4 v zapojení metody **RES**

Spínáním odstupňovaného výstupu je tak dosaženo postupného náběhu proudu  $I_{DRV}$  na výstupu budiče.

Zpoždění mezi sepnutím jednotlivých tranzistorů je vytvářeno vložení zpožďovacích rezistorů mezi gate jednotlivých výstupních tranzistorů MP1-4 a MN1-4. Princip spínání spočívá ve vytvoření RC článků, které jsou složeny z gate kapacit výstupních tranzistorů a vložených zpožďovacích odporů R1, R2, R3 a R4, R5, R6.

Aby byly jednotlivé gate výstupních PMOS a NMOS od sebe odděleny zpožďovacím odporem, byly rovněž rozděleny a odstupňovány jejich vypínací tranzistory MRP1-4 a MRN1-4. Vypínací tranzistory byly rozděleny na čtyři odstupňované segmenty se stejnou šířkou gate segmentů  $Wg$  gate, avšak s násobným růstem počtu gate segmentů  $ng$ . Celková velikost tranzistorů MRP1-4 a MRN1-4 je stejná jako velikost původních tranzistorů M3 a M8. Velikost jednotlivých tranzistorů MRP1-4 a MRN1-4 je pak dána poměrem velikosti segmentu výstupního tranzistoru, který je jimi vypínán, vůči celkové velikosti výstupního tranzistoru.

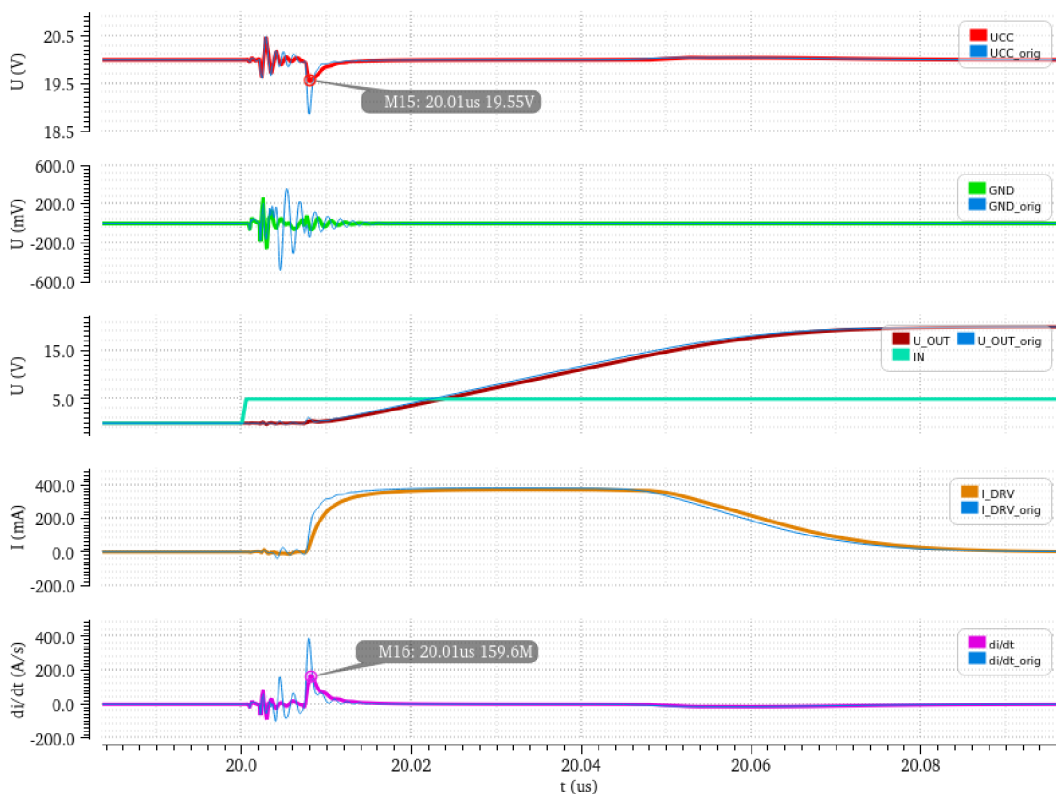
Na vytvořených RC člancích vzniká zpoždění vlivem zpomaleného nabíjení gate kapacity tranzistoru přes vložený odpor. Protože gate kapacita výstupních tranzistorů je dána jejich velikostí, bylo zpoždění řízeno hodnotou odporu zpožďovacích rezistorů. Hodnota odporu jednotlivých rezistorů byla určena na základě simulace jeho krokováním.

Optimálního výsledku redukce strmosti proudu  $I_{DRV}$  na výstupu budiče bylo pak dosaženo rovněž za pomoci simulátoru, kde bylo krokováno zpoždění mezi sepnutím jednotlivých tranzistorů MP1-4 a MN1-4.

Tranzistory M4 a M7, zodpovědné za zapínání výstupních PMOS a NMOS, zůstaly nezměněny. Tranzistory M1, M2 a M5, M6 tvořící první budící inverter v kaskádě, byly zmenšovány podle simulačních výsledků do bodu, kdy jejich rozměry  $W_{tot}$  neovlivnily rychlost spínání výstupních tranzistorů PMOS a NMOS.

Aby bylo možné porovnat použitou metodu postupného spínání oproti dalším použitým metodám, byla rovněž zvolena mezní hodnota nárůstu propagačního zpoždění  $D_{rise}$  a  $D_{fall}$  o 1 ns oproti originálnímu zapojení. Velikost redukce  $di/dt$  na výstupu budiče tak byla rovněž omezena hodnotou propagačního zpoždění  $D_{rise}$  a  $D_{fall}$ .

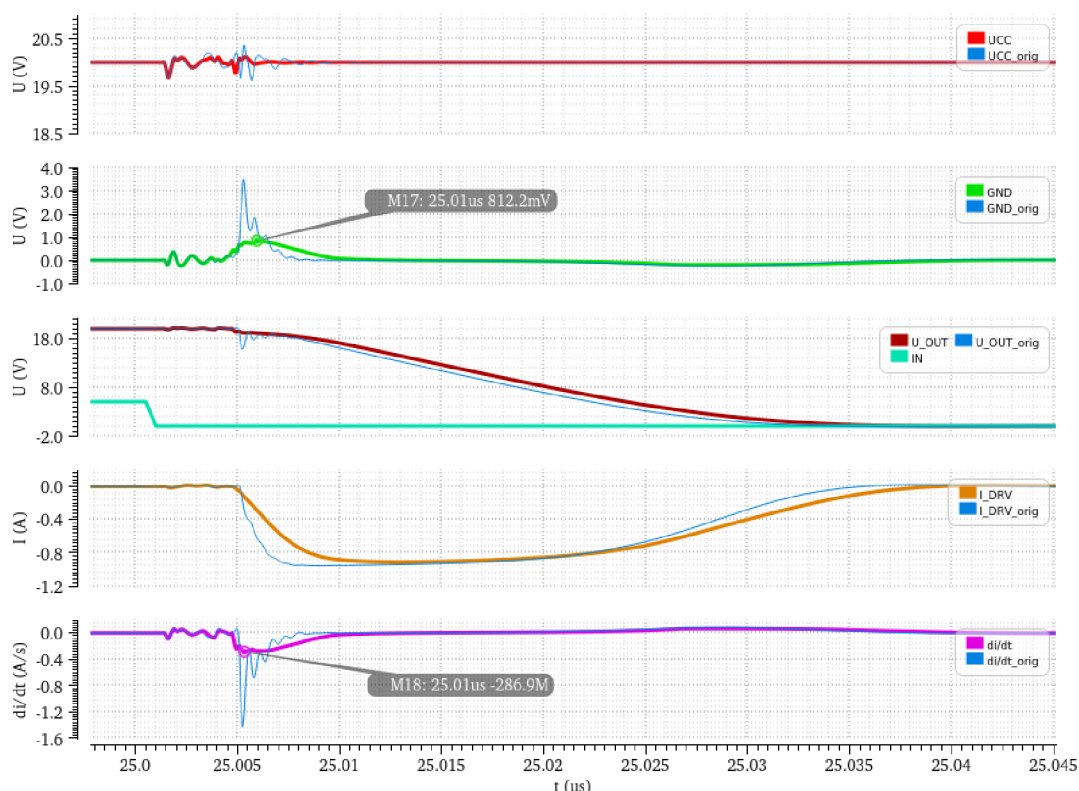
Parametry obvodu byly opět ověřovány na simulačním zapojení popsaném v kapitole 3.2. Výsledky časových průběhů napětí  $U_{OUT}$  při změně z LO do HO i z HO do LO u metody RES jsou uvedeny v závislostech na Obr. 3.12 a Obr. 3.13. Výsledky jsou zde opět srovnány s výsledky originálního zapojení budiče MOSFET.



Obr. 3.12 Srovnání časových průběhů napětí  $U_{CC}$ ,  $GND$ ,  $U_{OUT}$ ,  $IN$ , proudu  $I_{DRV}$  a jeho změny proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z LO do HO mezi zapojením RES a ORIG

Z časových průběhů při změně  $U_{OUT}$  z LO do HO u metody RES, na Obr. 3.12, je zřejmé, že postupné spínání proudů na výstupních PMOS (MP1-4) budiče snížilo strmost

$di/dt$  náběhu proudu  $I_{DRV}$ , zatímco amplituda proudu byla zachována. Zvlnění napětí na  $GND$  tak při změně výstupu z LO do HO bylo téměř eliminováno, zatímco zvlnění napětí na  $U_{CC}$  bylo sníženo oproti originálnímu průběhu na polovinu. Zvlnění na výstupním napětí  $U_{OUT}$  bylo rovněž téměř eliminováno. Nárůst zpoždění náběžné hrany napětí  $U_{OUT}$  oproti originálnímu zapojení je zde 1,29 ns.



Obr. 3.13 Srovnání časových průběhů napětí  $U_{CC}$ ,  $GND$ ,  $U_{OUT}$ ,  $IN$ , proudu  $I_{DRV}$  a jeho změny proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z HO do LO mezi zapojením RES a ORIG

Z časového průběhu metody RES při změně napětí  $U_{OUT}$  z HO do LO, na Obr. 3.13, je možné opět pozorovat výrazné snížení strmosti  $di/dt$  proudu  $I_{DRV}$  na výstupu budiče oproti originálnímu zapojení. Proudová schopnost odstupňovaného NMOS výstupu (MN1-4) je zde v porovnání s originálním zapojením rovněž zachována. Snížením  $di/dt$  touto metodou pak bylo při změně výstupu z HO do LO téměř eliminováno zvlnění napětí na  $U_{CC}$ , zatímco zvlnění napětí na  $GND$  bylo oproti originálnímu zapojení zredukováno na třetinu. Tento trend sleduje i zvlnění napětí  $U_{OUT}$ . Zpoždění výstupu při sestupné hraně je zde 1,08 ns.

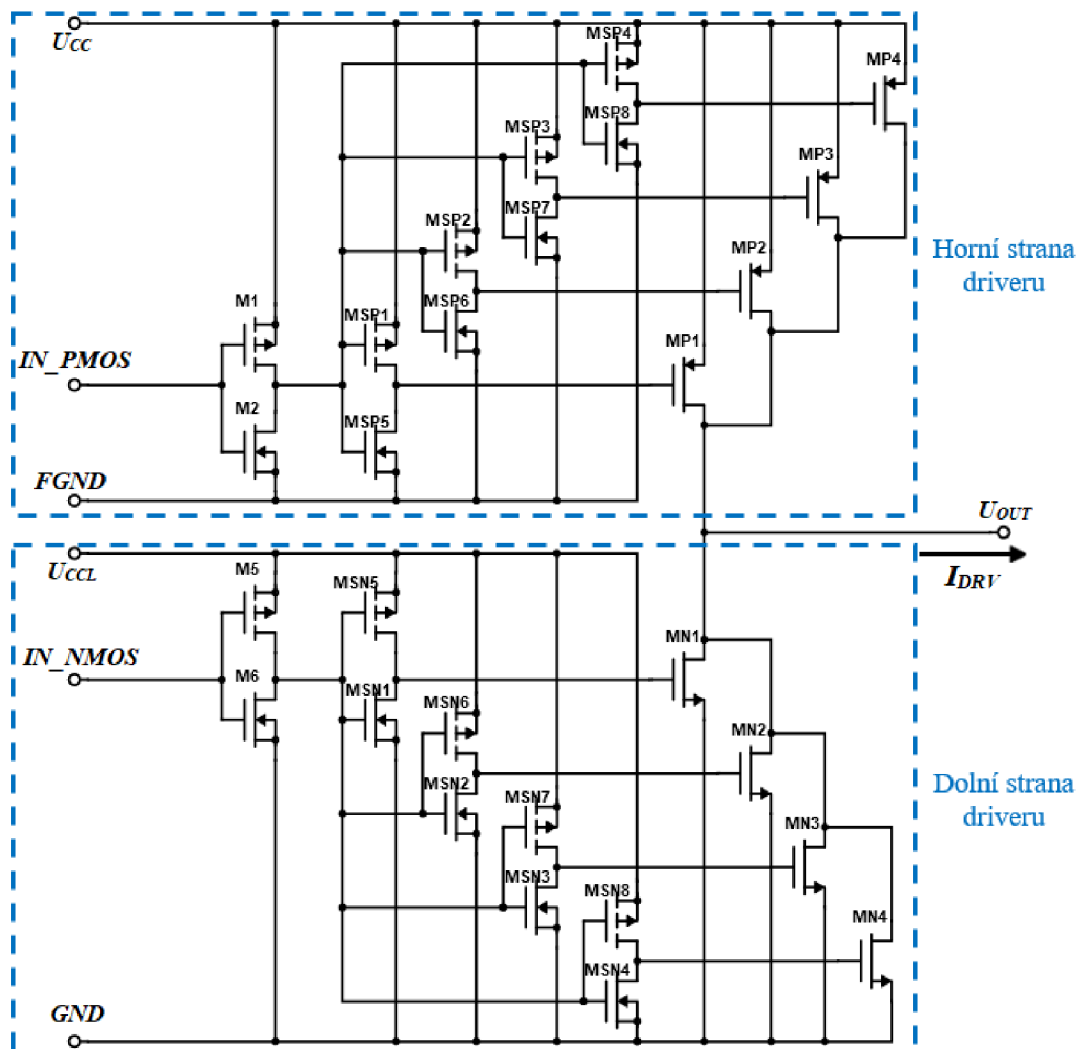
Z časových průběhů Obr. 3.12 a Obr. 3.13 byly opět vypočteny parametry  $D_{rise}$ ,  $D_{fall}$ , amplituda rozkmitu na  $U_{CC}$  a  $PGND$ ,  $di/dt_{rise}$  a  $di/dt_{fall}$  pro zapojení metody RES. Jejich hodnoty a srovnání s parametry originálního obvodu jsou uvedeny v tabulce 3.6.

Tabulka 3.6 Srovnání parametrů zapojení metody RES a originálním zapojením budiče MOSFET

<b>Parametry originálního zapojení budiče MOSFET</b>					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
13,97	7,19	1,15	3,48	0,278	0,709
<b>Parametry metody RES</b>					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
15,26	8,27	0,45	0,81	0,106	0,261

### 3.6 Metoda postupného spínání asymetrickými invertory (AsInv)

Metoda postupného spínání asymetrickými invertory využívá obdobné úpravy spínací charakteristiky výstupních PMOS a NMOS tranzistorů, jako v případě metody RES z předešlé kapitoly 3.5. Výstupní tranzistory jsou v případě tohoto řešení rovněž rozděleny do čtyř paralelně zapojených segmentů MP1-4 a MN1-4, s odstupňovanou velikostí. Rozdílem oproti metodě RES je, že zpoždění mezi spínáním jednotlivých výstupních tranzistorů je vkládáno pomocí separátních budících invertorů pro daný výstupní tranzistor. Zpoždění mezi spínáním výstupních tranzistorů je tak místo zpožďovacích rezistorů řízeno odporem kanálu tranzistorů v budících invertorech. Upravené zapojení koncového stupně budiče MOSFET je znázorněno na Obr. 3.14. Parametry jednotlivých součástek jsou pak uvedeny v tabulce 3.7.



Obr. 3.14 Zapojení koncového stupně budiče MOSFET pro metodu AsInv

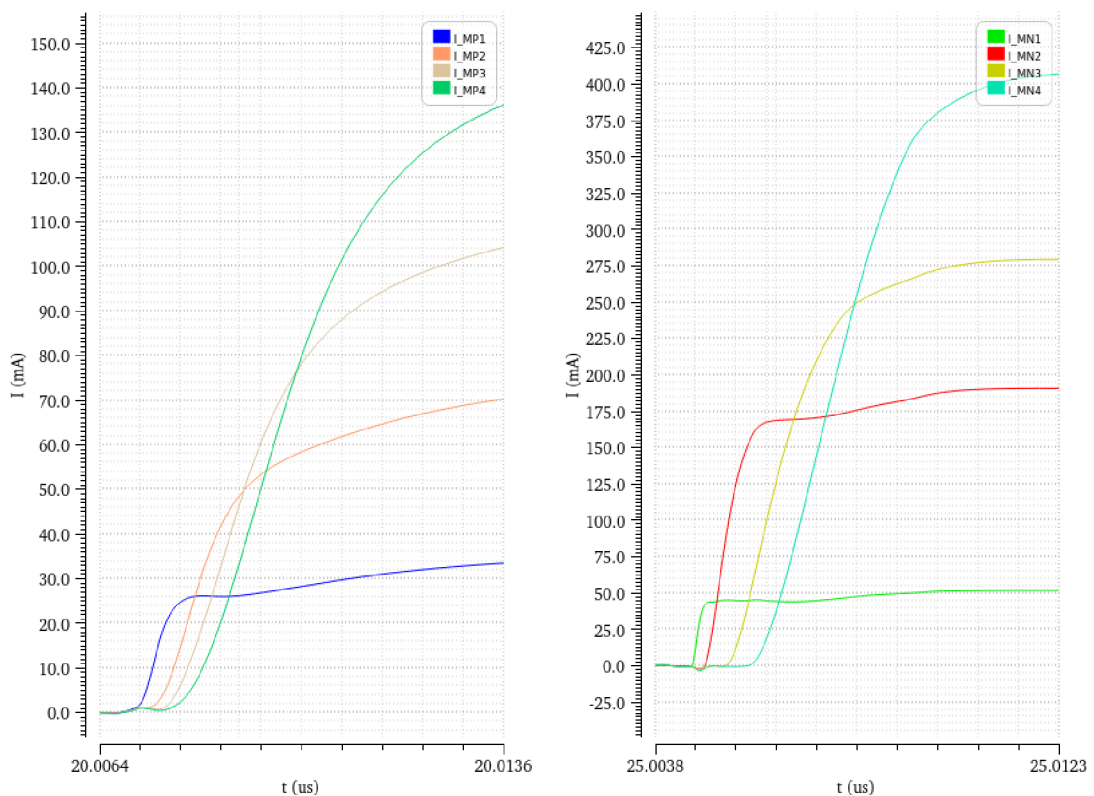


Tabulka 3.7 Parametry součástek zapojení metody AsInv

Zapojení optimalizace spínáním odstupňovaného výstupu a budících invertorů										
Horní strana budiče					Dolní strana budiče					
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]	
M1	5,5	3	16,5	0,5	M5	4	2	8	0,5	
M2	5	2	10	0,5	M6	3,5	2	7	0,5	
MSP1	9	2	18	0,5	MSN1	1,6	1	1,6	0,5	
MSP2	9	4	36	0,5	MSN2	3,1	2	6,2	0,5	
MSP3	9	6	54	0,5	MSN3	3,1	3	9,3	0,5	
MSP4	9	8	72	0,5	MSN4	3,52	4	14,08	0,5	
MSP5	5	2	10	0,5	MSN5	7	2	14	0,5	
MSP6	3,9	2	7,8	0,5	MSN6	7	2	14	0,5	
MSP7	3,8	2	7,6	0,5	MSN7	4,6	2	9,2	0,5	
MSP8	3,7	2	7,4	0,5	MSN8	4,3	2	8,6	0,5	
MP1	12,7	20	254	0,6	MN1	6,4	20	128	0,6	
MP2	25,4	20	508	0,6	MN2	25,4	20	508	0,6	
MP3	38,1	20	762	0,6	MN3	38,2	20	764	0,6	
MP4	51	20	1020	0,6	MN4	57,2	20	1144	0,6	
Celková šířka $W$ výstupních PMOS [ $\mu\text{m}$ ]				2544	Celková šířka $W$ výstupních NMOS [ $\mu\text{m}$ ]				2544	

Redukce  $di/dt$  na výstupu budiče MOSFET je zde rovněž dosaženo postupným spínáním paralelně zapojených výstupních tranzistorů MP1-4 a MN1-4 budiče. Celková kombinovaná šířka výstupních tranzistorů MP1-4 a MN1-4 je rovněž zachována. Tím je opět zajištěno, že nominální hodnota proudu  $I_{DRV}$  bude stejná jako u originálního zapojení. Poměr odstupňování výstupních tranzistorů zde byl zvolen pro horní a dolní stranu budiče jiný. Důvodem je jiná proudová schopnost výstupních PMOS tranzistorů MP1-4 v horní straně budiče a výstupních NMOS tranzistorů MN1-4 v dolní straně budiče. Při vybíjení kapacity  $C_{ISS}$  má tak proud  $I_{DRV}$ , tekoucí budičem přes výstupní NMOS, až dvojnásobnou amplitudu, než při nabíjení kapacity  $C_{ISS}$  přes výstupní PMOS. V důsledku toho je strmost  $di/dt$  proudu  $I_{DRV}$  při vybíjení kapacity  $C_{ISS}$  vyšší než při jejím nabíjení přes PMOS. Z toho důvodu byl poměr pro odstupňování výstupních tranzistorů MP1-4 zvolen 1/10, 2/10, 3/10 a 4/10, zatímco pro tranzistory MN1-4 tento poměr byl 1/20, 4/20, 6/20 a 9/20. Výhodou tohoto odstupňování dolní strany je, že tranzistor MN1, který je ze čtveřice nejmenší, je sepnut jako první bez zpoždění a dodá pouze 1/20 nominální hodnoty proudu  $I_{DRV}$ . Tím je dodatečně zredukována hodnota  $di/dt$  při počátku spínání NMOS výstupu budiče MOSFET.

Stejně jako v případě předešlé metody RES, popsané v kapitole 3.5, jsou odstupňované tranzistory postupně spínány vložением zpoždění mezi jednotlivé segmenty tranzistorů MP1-4 a MN1-4. Výsledná sekvence spínání výstupních tranzistorů je zobrazena na Obr. 3.15. Postupným spínáním výstupních tranzistorů MP1-4 a MN1-4 je tak dosaženo postupného náběhu proudu  $I_{DRV}$ .



Obr. 3.15 Časový průběh postupného spínání proudů přes tranzistory MP1-4 a MN1-4 v zapojení metody **AsInv**

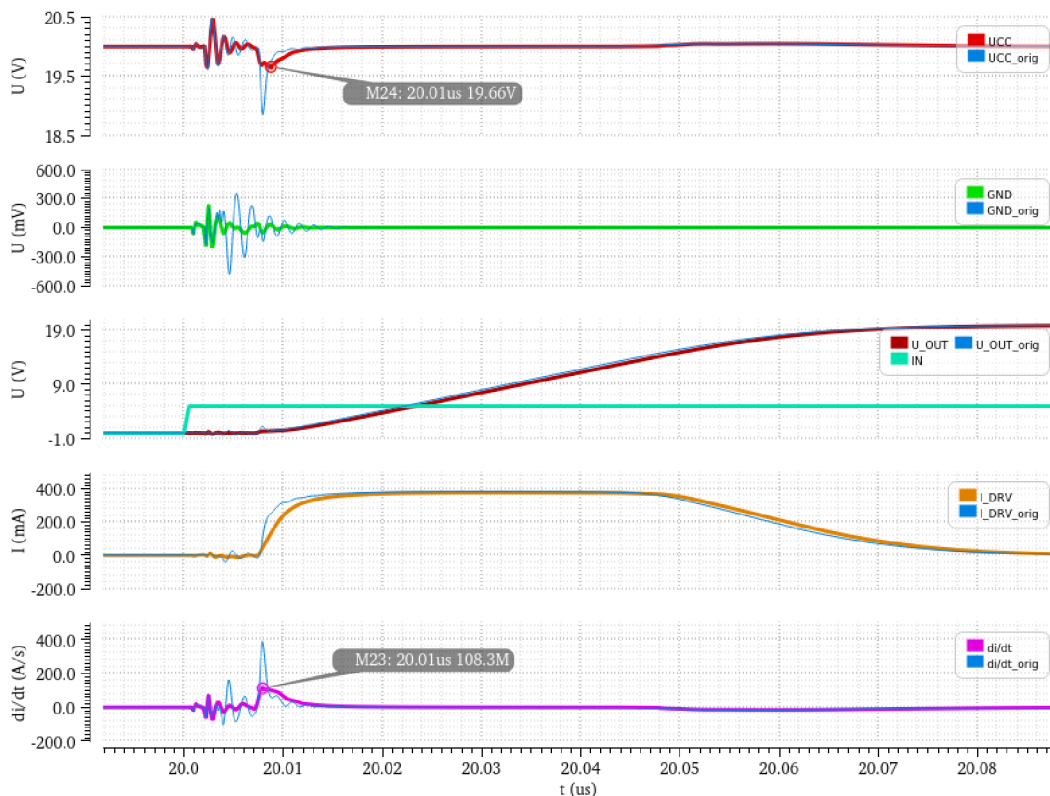
U metody AsInv je však zpoždění mezi sepnutím jednotlivých výstupních tranzistorů vytvářeno separátními budícími invertory. Místo aby byly odstupňované výstupní tranzistory MP1-4 a MN1-4 spínány pouze jedním předřazeným budícím invertorem, jako v případě předešlých metod, byl pro každý výstupní tranzistor navržen vlastní budící invertor. Pro výstupní PMOS tranzistory MP1-4 tvoří separátní budící invertory tranzistory MSP1-8 a pro výstupní MN1-4 jsou to tranzistory MSN1-8, viz Obr. 3.14. Velikost zpoždění mezi sepnutím jednotlivých výstupních tranzistorů pak byla ovládána velikostí zapínacích tranzistorů MSP1-4 a MSN5-8. Princip tohoto spínání je, že zmenšováním rozměru  $Wg$  tranzistorů MSP1-4 a MSN5-8 je snižována maximální hodnota proudu, kterým je nabíjena gate kapacita jednotlivých segmentů výstupního tranzistoru. Tímto způsobem byl podle simulačních výsledků krokováním rozměru  $Wg$  tranzistorů MSP1-4 a MSN5-8 nastaven ideální rozestup mezi spínáním výstupních PMOS a NMOS tranzistorů.

Vypínací tranzistory MSP5-8 a MSN1-4 byly rovněž odstupňovány v závislosti na velikosti výstupního tranzistoru, který vypínají. Jejich rozměry  $Wg$  pak byly zmenšovány tak aby byl zachován dostatečný mrtvý čas mezi sepnutím MP1 a vypnutím MN4, resp. sepnutím MN1 a vypnutím MP4. Jejich celkový rozměr  $Wg$  byl tak oproti originálnímu zapojení zmenšen.

Při návrhu metody AsInv byl rovněž zvolen mezní povolený 1 ns nárůst propagačního zpoždění  $D_{rise}$  a  $D_{fall}$  oproti originálnímu obvodu. Snižování  $di/dt$  tak bylo omezeno tímto parametrem.

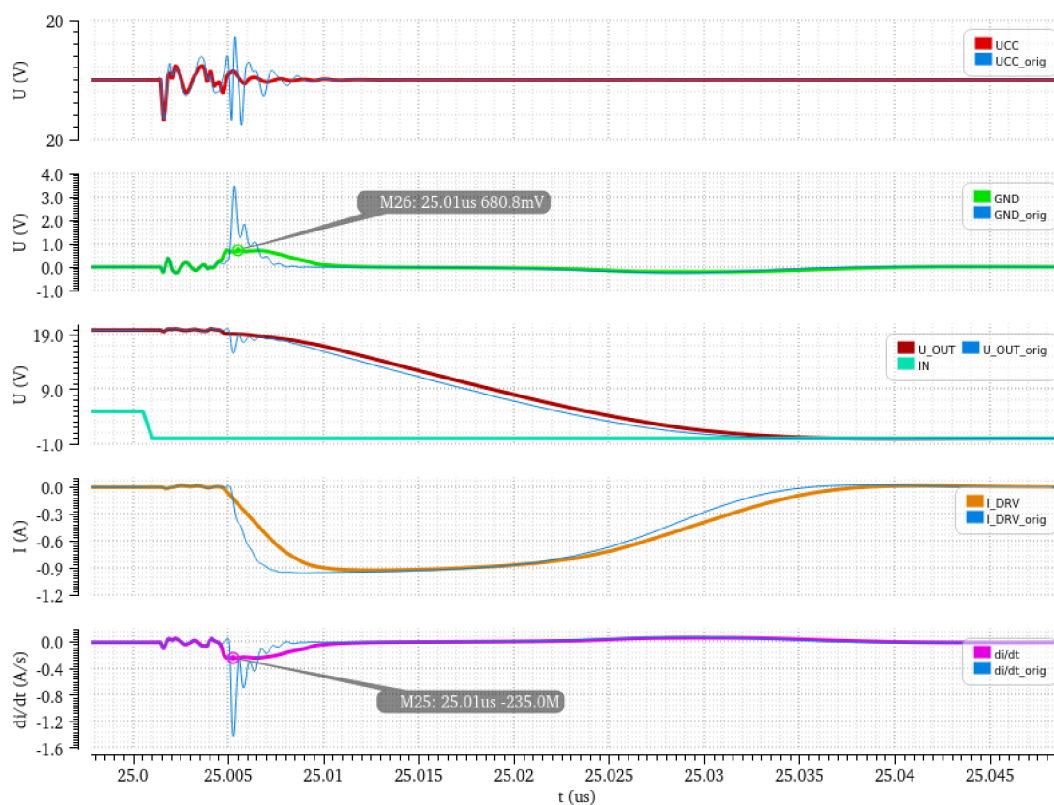
Tranzistory M1, M2 a M5, M6 byly následně krokovaním jejich rozměru  $Wg$  za pomoci simulátoru zmenšovány do bodu, kdy jejich rozměr  $Wg$  stále neovlivňoval spínání výstupních tranzistorů MP1-4 a MN1-4.

Parametry navržené metody AsInv byly následně ověřovány na simulačním zapojení popsaném v kapitole 3.2. Výsledky časových průběhů při změně napětí  $U_{OUT}$  z LO do HO i z HO do LO jsou vyneseny v Obr. 3.16 a Obr. 3.17. Časové průběhy jsou zde porovnány s průběhy originálního obvodu.



Obr. 3.16 Srovnání časových průběhů napětí  $U_{CC}$ ,  $GND$ ,  $U_{OUT}$ ,  $IN$ , proudu  $I_{DRV}$  a jeho změny proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z LO do HO mezi zapojením **AsInv** a **ORIG**

Časové průběhy při změně napětí  $U_{OUT}$  z LO do HO na Obr. 3.16 ukazují, že touto metodou bylo dosaženo dosud nejvýraznějšího snížení  $di/dt$  vlivem postupného náběhu proudu  $I_{DRV}$ . Je rovněž možné vidět, že amplituda proudu  $I_{DRV}$  zůstala v porovnání s originálním zapojením nezměněna. Zvlnění na napětí  $U_{OUT}$  a  $GND$  je téměř eliminováno, zatímco zvlnění napětí  $U_{CC}$  je oproti originálu sníženo na čtvrtinu. Zpoždění náběžné hrany napětí  $U_{OUT}$  oproti originálu je zde 1,18 ns.



Obr. 3.17 Srovnání časových průběhů napětí  $U_{CC}$ ,  $GND$ ,  $U_{OUT}$ ,  $IN$ , proudu  $I_{DRV}$  a jeho změny proudu v čase  $di/dt$  při změně napětí  $U_{OUT}$  z HO do LO mezi zapojením AsInv a ORIG

Z průběhů při změně napětí  $U_{OUT}$  z HO do LO, na Obr. 3.17, je opět možné vidět výrazné snížení strmosti  $di/dt$  proudu  $I_{DRV}$  oproti originálnímu průběhu. Ve srovnání s ostatními metodami optimalizace tím bylo dosaženo doposud nejlepší redukce  $di/dt$  při změně výstupu z HO do LO. Z průběhu proudu  $I_{DRV}$  je rovněž možné vidět, že jeho amplituda zůstala zachována. Zvlnění napětí na  $U_{OUT}$  a  $U_{CC}$  je opět téměř eliminováno, zatímco na průběhu napětí  $GND$  je redukováno na čtvrtinu originální hodnoty. Zpoždění výstupního napětí  $U_{OUT}$  oproti originálu zde dosahuje 1,01 ns.

Z výše uvedených časových průběhů na Obr. 3.16 a Obr. 3.17 byly opět vypočteny parametry obvodu  $D_{rise}$ ,  $D_{fall}$ , amplituda rozkmitu napětí na  $U_{CC}$ ,  $PGND$ ,  $di/dt_{rise}$  a  $di/dt_{fall}$ . Jejich hodnoty jsou uvedeny v tabulce 3.8.

Tabulka 3.8 Srovnání parametrů zapojení metody AsInv s originálním zapojením budiče MOSFET

<b>Parametry originálního zapojení budiče MOSFET</b>					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
13,97	7,19	1,15	3,48	0,278	0,709
<b>Parametry metody AsInv</b>					
$D_{rise}$ [ns]	$D_{fall}$ [ns]	$U_{CC}$ [V]	$GND$ [V]	$di/dt_{rise}$ [A/ns]	$di/dt_{fall}$ [A/ns]
15,15	8,20	0,34	0,68	0,097	0,230

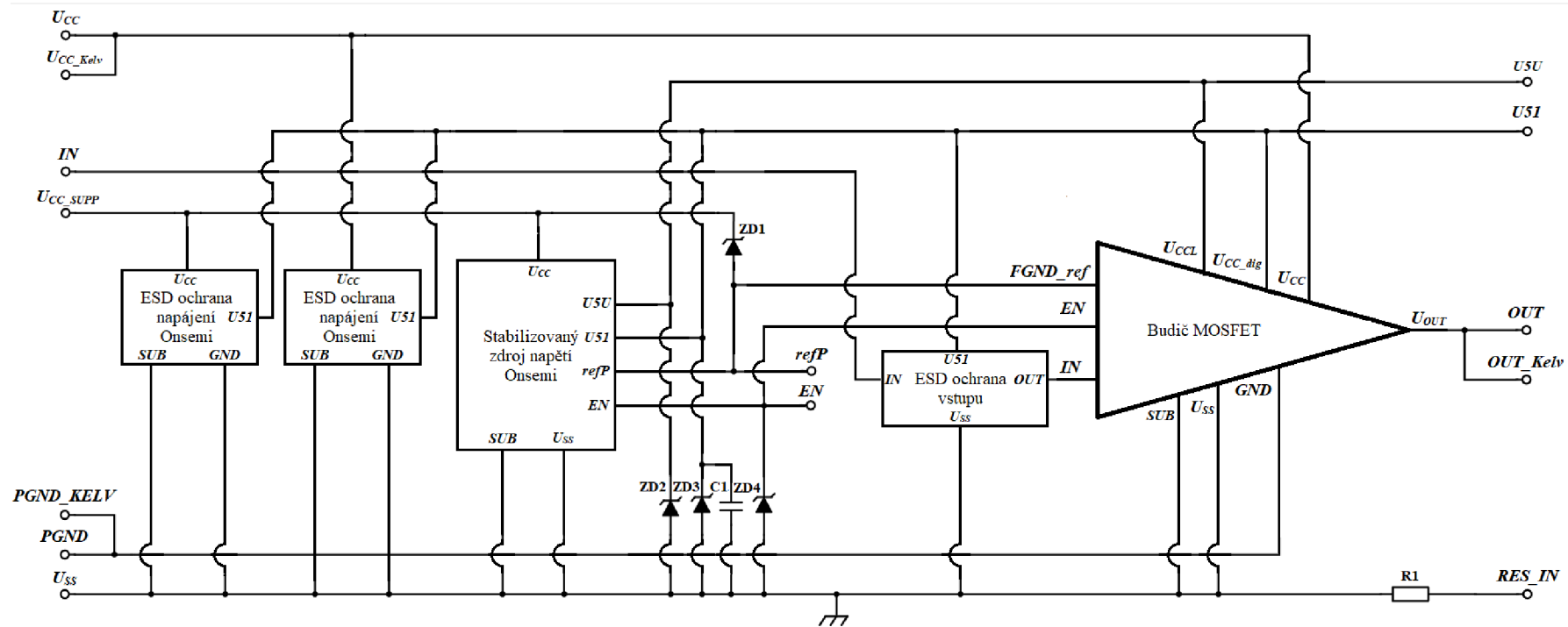
## 4 Realizace testovacích struktur

Parametry navržených optimalizačních struktur byly simulovány v zapojení s ideálními zdroji napětí, viz. Obr. 3.2. Budiče MOSFET používané v reálných aplikacích jsou však napájeny pomocí reálných zdrojů napětí a proudu s parazitními vlastnostmi a neideálními průběhy napětí a proudu. Parazitní indukčnosti vývodu pouzdra, v zapojení na Obr. 3.2, jsou rovněž pouze odhadem reálných hodnot. Aby bylo možné ověřit reálné parametry a funkčnost optimalizačních metod, je nutné navrhnout testovací obvod s reálnými prvky a neideálními zdroji napájení. Tento obvod by měl být vyroben v 250 nm technologii firmy Onsemi a zapojen do vývodového pouzdra, v tomto případě SOIC-16, s reálnou parazitní sériovou indukčností vývodů. Takto vyrobený a zapouzdřený obvod je pak implementován na testovací desku plošných spojů (DPS), na níž budou měřeny reálné parametry obvodu.

### 4.1 Testovací obvod

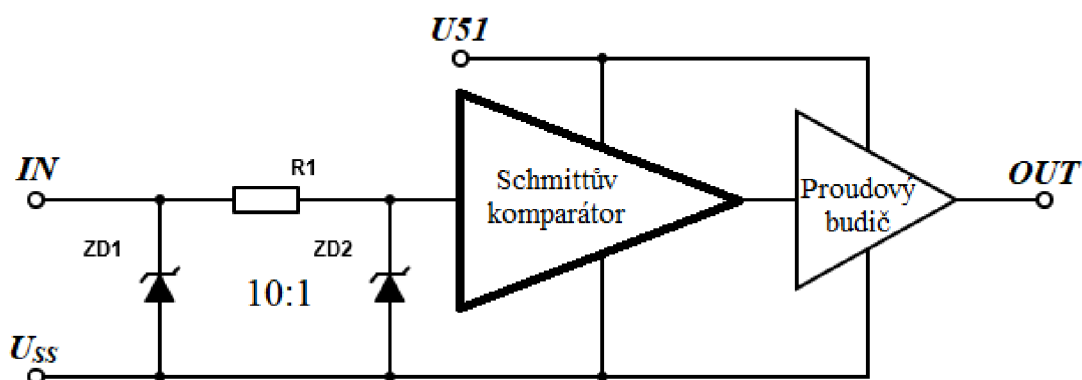
Za účelem ověření reálných parametrů simulovaných optimalizačních metod, byl navržen testovací obvod, který je možné vidět na Obr. 4.1. Oproti simulačnímu zapojení z Obr. 3.2 je zde budič MOSFET napájen reálným stabilizovaným zdrojem napětí, který nahrazuje ideální PWL zdroje napětí. Vnitřní struktura tohoto zdroje byla převzata od firmy Onsemi a její návrh nebyl řešen v rámci této diplomové práce.

Aby bylo možné bezpečně připojit testovací obvod na vnější stabilizovaný zdroj napětí a generátor signálu, je nutné funkční součásti chránit před ESD. Za tímto účelem je mezi napájení budiče  $U_{CC}$ , resp. napájení stabilizovaného zdroje napětí  $U_{CC\_SUPP}$ , a uzemnění  $U_{SS}$ , spojené se substrátem, připojena ESD ochrana napájení. Tato ESD ochrana je rovněž převzata od firmy Onsemi a je určena pro spínaný budič MOSFET s napájením do 25 V. Bylo rovněž nutné ochránit před ESD napájecí vstupy budiče  $U_{CCL}$ , resp.  $U_{CC\_dig}$ , které jsou napájeny stabilizovaným zdrojem napětí z výstupů  $U5U$ , resp.  $U51$ . Stejně jako v kapitole 3.2, je pro vstupy budiče  $U_{CCL}$  a  $U_{CC\_dig}$  počítáno s napětím 5,2 V, a proto byly jako ESD ochrana použity 5,5 V zenerovy diody ZD2 a ZD3, které jsou připojeny mezi napájecí výstupy  $U5U$ ,  $U51$  a zemění  $U_{SS}$ . Tyto diody jsou součástí 250 nm technologie Onsemi, v níž byly navrhovány optimalizované struktury. Stejně zenerovy diody ZD1 a ZD4 byly využity i jako ESD ochrana vstupu pro signál  $EN$  a referenční napětí  $FGND\_ref$ , protože pro signál  $EN$  je ze stabilizovaného zdroje dodáváno napětí 5 V a referenční napětí  $FGND\_ref$  má odstup od  $U_{CC}$  rovněž přibližně 5 V. Ochranná dioda ZD1 je tak zapojena mezi vstup  $FGND\_ref$  a napájení  $U_{CC}$ . Dioda ZD4 pak mezi vstup pro signál  $EN$  a zemění  $U_{SS}$ . Protože vstup  $U_{CCL}$  slouží jako napájení pro digitální část obvodu, je paralelně k diodě ZD3 rovněž připojen kondenzátor C1 s kapacitou 10 pF, který slouží k odfiltrování rušení z napájecího zdroje.



Obr. 4.1 Schéma zapojení testovacího obvodu budiče MOSFET

ESD ochrana je rovněž připojena na vývod pro signál *IN*. Vnitřní strukturu této ESD ochrany je zobrazena na Obr. 4.2. Vstupní signál *IN* je zde přiváděn na dvě paralelně zapojené zenerovy diody, které jsou oddělené rezistorem. Použité zenerovy diody ZD1 a ZD2 jsou stejného typu jako v případě Obr. 4.1. První zenerova dioda ZD1 má za úkol v případě ESD výboje na *IN* svést většinu vygenerovaného proudu na  $U_{SS}$ . Pokud dioda ZD1 není schopná přes svůj dynamický odpor svést veškerý proud vygenerovaný ESD výbojem, vyvolá zbylý proud úbytek napětí na R1. Pokud pak napětí na ZD2 přesáhne průrazné napětí, je zbylý proud z výboje sveden přes ni. Protože dioda ZD1 odvádí většinu proudu vygenerovaného výbojem, je navržena jako 10x větší než dioda ZD2. Takto navržená ESD ochrana zabraňuje poškození schmittova komparátoru, který vstupní *IN* signál převede na obdélníkový signál mezi potenciály  $U_{51}$  a  $U_{SS}$ . Komparátor také funguje jako impedanční oddělení vstupu *IN* od digitálního vstupu budiče MOSFET. Struktura schmittova komparátoru je rovněž převzata od firmy Onsemi. Signál ze schmittova komparátoru je následně výkonově zesílen pomocí proudového budiče, aby byl schopný dodat dostatečný proud pro rychlé spínání tranzistorů v logickém obvodu budiče MOSFET. Proudový budič může být opět ve formě kaskády dvou invertorů s požadovanou proudovou schopností.



Obr. 4.2 Schéma zapojení ESD ochrany vstupu

Aby bylo možné při měření ověřit všechna nastavená napětí a signály na vstupech budiče MOSFET, jsou všechny jeho vstupní piny vyvedeny, včetně napájecích výstupů ze stabilizovaného zdroje napětí. Jak je možné vidět na Obr. 4.1, piny  $U_{CC}$ ,  $PGND$ , a  $OUT$  mají přidružený druhý paralelně zapojený pin. Tyto piny slouží jako kelvinův kontakt, přes které bude možné měřit diferenčně hodnoty rozkmitu napětí na parazitní indukčnosti vývodu pouzdra. Kelvinovy kontakty byly k těmto vývodům přidány, protože právě na těchto vývodech budou měřeny reálné parametry budiče MOSFET.

Do obvodu na Obr. 4.1 byl rovněž přidán pin  $RES\_IN$ , přes který je spojen rezistor R1 se zeměním  $U_{SS}$ . Rezistor R1 slouží jako rozlišovací rezistor pro struktury jednotlivých typů optimalizace, které mají přiřazenou svou specifickou hodnotu odporu uvedenou v tabulce 4.1. Připojením ohmmetru na tento pin pak bude možné určit



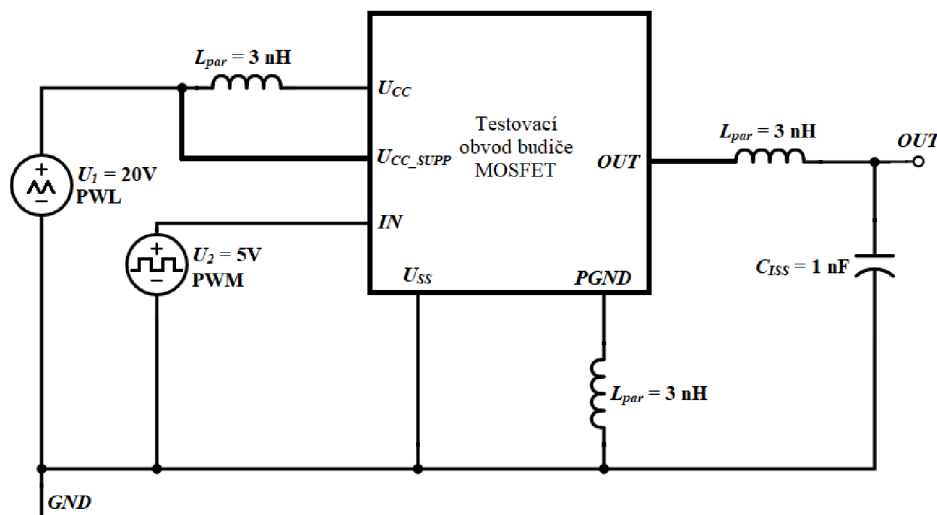
strukturu, která je v daném pouzdře zapojena v případě, že by došlo k chybě při pouzdření vyrobených struktur a byly zapojeny pod jiným názvem. V takovém případě by jinak nebylo možné žádným jednoduchým způsobem z vnějšku určit, jaká struktura se v pouzdře nachází.

Tabulka 4.1 Specifické hodnoty rozlišovacích rezistorů pro jednotlivé typy optimalizace

Obvod	Hodnota odporu R1 [ $\Omega$ ]
ORIG	10k
OPT	20k
RES	30k
AsInv	40k

Takto navržený testovací obvod byl následně verifikován na simulačním zapojení na Obr. 4.3. Budič MOSFET zde má méně vývodů, než je naznačeno v zapojení na Obr. 4.1, protože k ověření parametrů budiče MOSFET jsou nutné pouze vývody  $U_{CC}$ ,  $U_{CC\_SUPP}$ ,  $IN$ ,  $OUT$ ,  $U_{SS}$  a  $PGND$ . Zbylé vývody jsou tak v rámci simulace nevyvedeny a jsou jen naznačeny pomocí vývodových plošek. Realizaci tohoto testovacího zapojení v prostředí Cadence Virtuoso je možné vidět v příloze A.2.

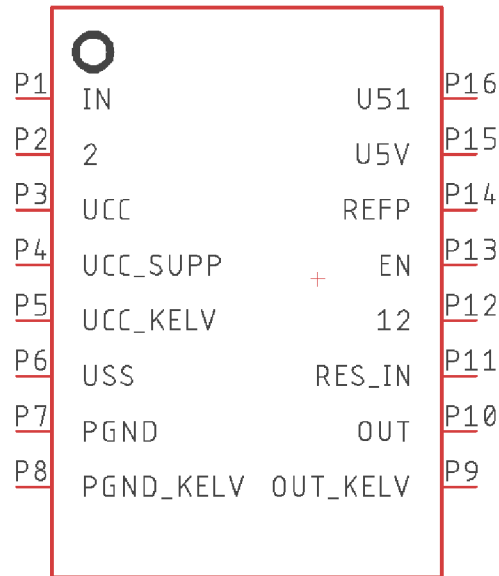
Jako v případě simulačního zapojení pro obvody s ideálními zdroji napětí na Obr. 3.2, je zde počítáno s parazitní sériovou indukčností vývodů o hodnotě 3 nH a zatěžovací kapacitou 1 nF. Indukčnost napájecích vývodů  $U_{CC\_SUPP}$  a  $U_{SS}$  byla zanedbána, protože přes ně neprotéká proud  $I_{DRV}$  odebíraný koncovým stupněm budiče. Budič MOSFET je zde napájen jedním ideálním PWL zdrojem napětí  $U_1 = 20$  V. Jako zdroj signálu opět slouží ideální PWM zdroj napětí  $U_2$ .



Obr. 4.3 Simulační zapojení testovacího obvodu

Na základě simulačních výsledků z tohoto zapojení byly následně upraveny navržené struktury koncového stupně budiče MOSFET tak, aby dosahovaly optimálních výsledků při napájení ze stabilizovaného zdroje napětí namísto ideálních zdrojů napětí. Upravené struktury a jejich rozměry jsou pak ukázány v přílohách A.3 až A.8.

Testovací obvody s navrženými optimalizačními strukturami byly následně vyrobeny v 250 nm technologii firmy Onsemi. Vyrobené obvody byly následně zapojeny do pouzdra SOIC-16. Výsledné rozložení pinů na vývodech pouzdra SOIC-16 je na Obr. 4.4.



Obr. 4.4 Rozložení pinů testovacího obvodu na pouzdře SOIC-16

## 4.2 Testovací DPS

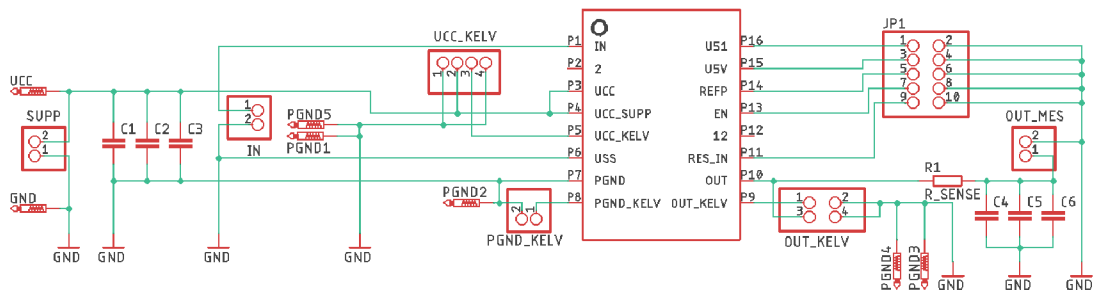
Aby bylo možné změřit vlastnosti navržených struktur s reálnými parazitními vlastnostmi pouzdra, byl vytvořen testovací substrát, na kterém budou testovací struktury osazeny a měřeny.

Návrh testovacího DPS probíhal v prostředí programu Autodesk Eagle. Schematické znázornění navrženého obvodu na testovacím DPS je na Obr. 4.5. Obvod se zde skládá z pouzdra SOIC-16, ve kterém je zapojen vyrobený testovací obvod s příslušnou optimalizační strukturou. Na napájecí vývody pouzdra  $U_{CC}$  a  $U_{CC\_SUPP}$  jsou zde připojeny tři 100 nF blokovací kondenzátory C1, C2 a C3, které redukuje potenciální rušení na napájecím napětí. Výstup budiče MOSFET  $OUT$  je připojen na zatěžovací kondenzátory C4, C5 a C6. Ačkoli je počítáno, že na výstupu bude jen jeden 1 nF zatěžovací kondenzátor, jsou zde připojeny tři kondenzátory, aby bylo možné v případě potřeby připojit na výstup libovolnou paralelní kombinaci zatěžovacích kondenzátorů. Mezi vývod  $OUT$  a zatěžovací kondenzátory C4, C5 a C6 je pak připojen snímací rezistor  $R\_SENSE$ , na kterém má být diferenčně měřen úbytek napětí při průchodu proudu z budiče MOSFET do zatěžovací kapacity. Velikost rezistoru  $R\_SENSE$  byla zvolena

1,5  $\Omega$ . Na základě ohmova zákona, viz rovnice (4.1), bude časový průběh úbytku napětí na rezistoru  $R\_SENSE$  odpovídat 1,5 násobku procházejícího proudu  $I_{DRV}$  z budiče MOSFET do kapacitní zátěže  $C_{ISS}$ .

$$i(t) = \frac{du(t)}{dt} \cdot \frac{1}{R_{SENSE}} \quad (4.1)$$

Vývody testovací DPS pro napájení, generátor signálu i pro měřicí sondy jsou realizovány pomocí kolíkových lišt. Pro měřicí vývody  $U_{CC}$  a  $U_{CC\_KELV}$  je použita kolíková lišta 4x1 (lišta  $U_{CC\_KELV}$ ). Na měřicí vývod  $PGND\_KELV$  a stejně tak na zatěžovací kondenzátory C4-6 jsou připojeny kolíkové lišty 2x1 (lišty  $PGND\_KELV$  a  $OUT\_MES$ ), přes které je možné měřit dané signály vůči potenciálu analogové země  $GND$ . Stejně kolíkové lišty 2x1 jsou použity i pro připojení napájení  $U_{CC}$  (lišta  $SUPP$ ) a pro generátor vstupního signálu  $IN$  (lišta  $IN$ ). Pro měření výstupního signálu budiče MOSFET ještě před rezistorem  $R\_SENSE$  je pak připojena kolíková lišta 2x2 na výstupy  $OUT$  a  $OUT\_KELV$  (lišta  $OUT\_KELV$ ). Vnitřní napájecí signály  $U51$ ,  $U5U$ ,  $refP$ ,  $EN$  a vývod  $RES\_IN$  jsou připojeny na kolíkovou lištu 5x2, přes níž bude možné rovněž dané signály měřit vůči analogové zemi. Ke každému kontaktu na napájení  $U_{CC}$  a  $GND$  byly vytvořeny pájecí plošky  $U_{CC}$ ,  $GND$  a  $PGND1-5$ , aby v případě potřeby bylo možné připájet dodatečné vývody nebo drátky pro měření.

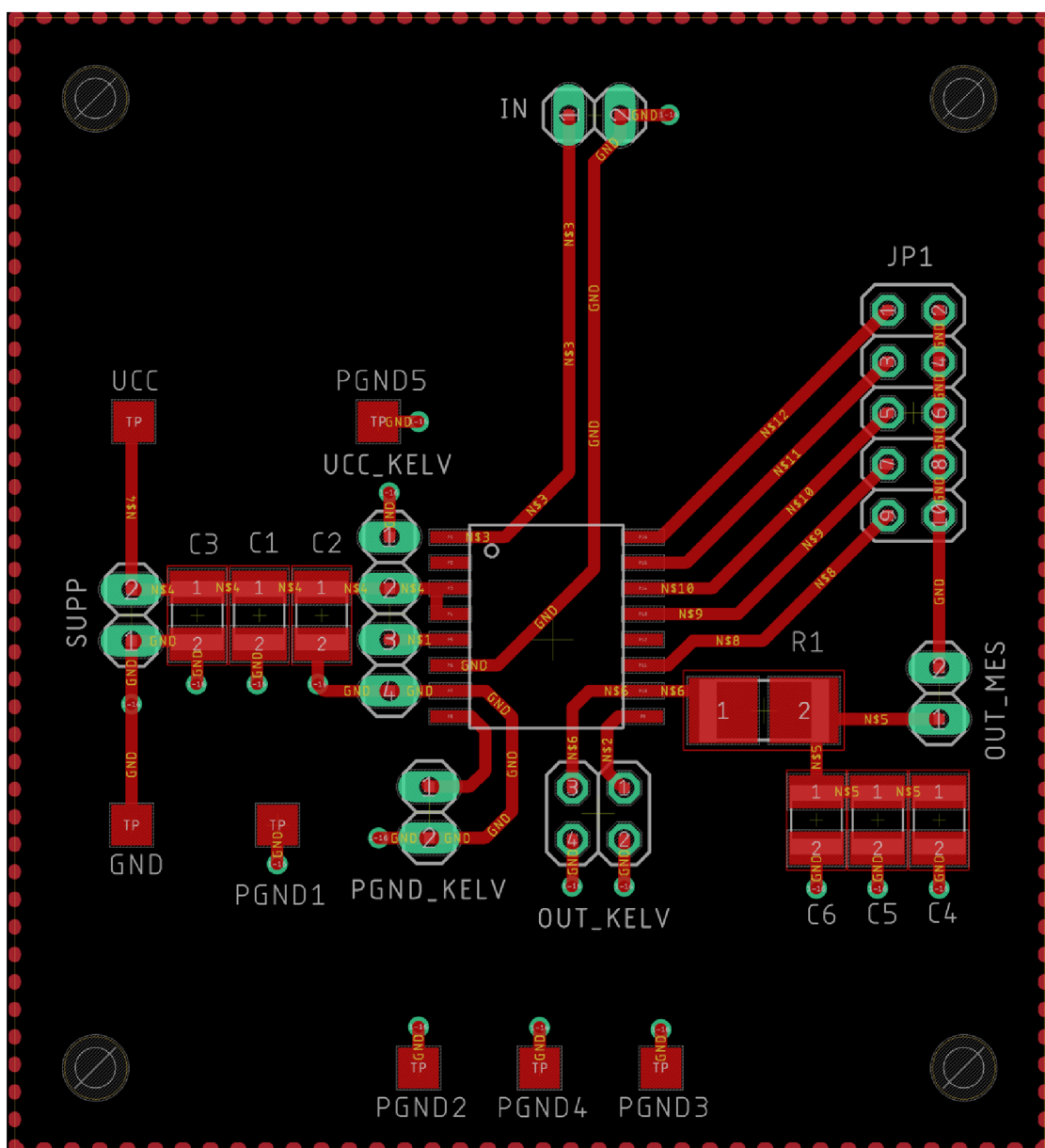


Obr. 4.5 Schematické zapojení obvodu na testovacím DPS

Následně byly pro navržený obvod zvoleny pouzdra součástek a navržen layout testovací DPS, který je možné vidět na Obr. 4.6. Pro blokovací kondenzátory C1-3 a zatěžovací kondenzátory C4-6 bylo zvoleno SMD pouzdro C1210. Pouzdro snímacího rezistoru  $R\_SENSE$  pak bylo zvoleno R2512. Velikost tohoto pouzdra byla zvolena s ohledem na maximální proudovou zatížitelnost, jelikož proud na výstupu budiče MOSFET v pulsním režimu dosahuje až 700 mA. V tomto případě vybraný rezistor disponoval maximální výkonovou zatížitelností 2 W.

Při návrhu rozložení součástek na desce byl kladen důraz na co nejkratší vodivé cesty mezi měřicími vývody a pouzdrům budiče MOSFET. Z toho důvodu byly kolíkové lišty

UCC\_KELV, OUT\_KELV a PGND\_KELV umístěny co nejbliže k pouzdru budiče MOSFET. Rovněž kolíkové lišty pro napájení byly umístěny co nejbliže blokovacím kondenzátorům. Tímto rozmístěním má být dosaženo minimalizace parazitních indukčností a kapacit na desce. Rozměry navrženého testovacího substrátu jsou 5,6 x 5,1 cm. Kompletní layout testovací DPS včetně rozlité vrchní a spodní vrstvy je uveden v příloze A.9. Dodatečně pak byla na pájecí plošky pro rezistor R\_SENSE připájena 2x1 kolíková lišta, aby přes ni bylo možné měřit rozkmit napětí na rezistoru pomocí diferenciální napěťové sondy. To je možné vidět na obrázku osazeného substrátu v příloze A.10.



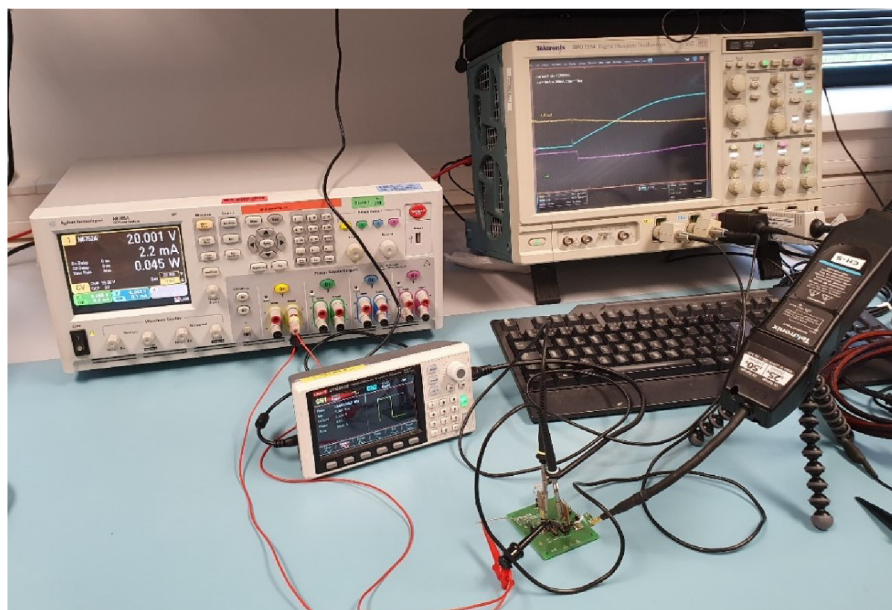
Obr. 4.6 Layout testovacího substrátu

## 5 Měření reálných parametrů

Měření vyrobených struktur v reálných podmínkách s reálnými parazitními vlastnostmi probíhalo na navrženém testovacím substrátu, který je popsán v kapitole 4.2. Na základě naměřených časových průběhů signálů na výstupech reálných struktur budiče MOSFET je pak možné vyhodnotit efektivitu jednotlivých metod optimalizace srovnáním měřených výsledků mezi sebou navzájem. Aby však bylo možné srovnat měřené výsledky s výsledky simulace a potvrdit, že navržené metody skutečně fungují, je třeba odhadnout a následně aproximovat parazitní vlastnosti obvodu na testovací DPS. Pro jednodušší analýzu naměřených dat a následné srovnání pak je možné výsledky z osciloskopu importovat do prostředí Cadence Virtuoso v podobě CSV souboru. Zjištěné parazitní vlastnosti je pak nutné implementovat do simulačního zapojení pro testovací obvod. Simulační výsledky z tohoto zapojení pak mohou být porovnány s naměřenými výsledky.

### 5.1 Měřicí sestava

Parametry struktur osazených na testovacím DPS byly měřeny pomocí testovací sestavy na Obr. 5.1. Sestava se skládá z testovací DPS s osazeným testovacím obvodem v pouzdře SOIC-16, generátoru signálu UNI-T UTG962E [19], laboratorního napájecího zdroje N6705A DC power Analyzer [20], osciloskopu Tektronix DPO7254 Digital Phosphor Oscilloscope [21], 500 MHz diferenční napěťové sondy TIVH05 [22] a speciálních nasazovacích nástavců pro sondy osciloskopu na připravené vývody z lištových kolíků.



Obr. 5.1 Sestava pro měření reálných parametrů budiče MOSFET

Obvod je zde napájen z napájecího zdroje připojeného pomocí háčků na vodivé drátky, které jsou připájeny k nasazovací dutinkové liště 2x1. Takto připravené nasazovací dutinky jsou nasazeny na připravenou 2x1 kolíkovou lištu SUPP. Díky tomu, že napájecí vývody jsou jednoduše nasazeny na připravenou lištu SUPP, je možné snadno přepojovat napájecí zdroj z jedné testovací DPS na druhou.

Jako zdroj signálu pro budič MOSFET slouží frekvenční generátor, který dodává obdélníkový signál se střídou 50% a frekvencí 100 kHz. Signál je na testovací DPS přiváděn přes BNC kabel. Využitý BNC kabel je na jednom konci uříznut a odizolován. Na odhalený zemní drát a signálový drát je pak připájena stejná nasazovací kruhová dutinka jako v případě napájecího zdroje. Pomocí připájených nasazovacích dutinek je pak BNC kabel nasazen na připravenou kolíkovou lištu IN.

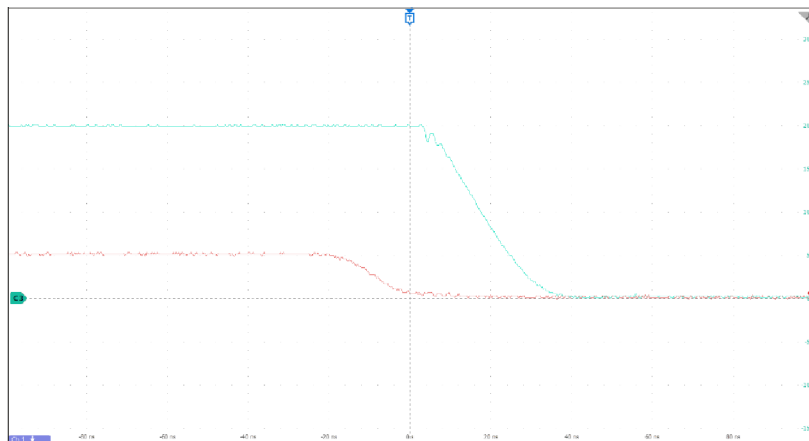
Měření časových průběhů na měřicích výstupech budiče MOSFET probíhalo pomocí osciloskopu s 500 MHz napěťovými sondami. K měření byl použit hrot sondy, který byl zasunut do dutinového nástavce připájeného k malé destičce s připojenou dutinkovou lištou 2x1. Dutinková lišta má jeden z kolíků připojený k hrotu sondy a slouží jako snímací vývod. Druhý kolík dutinkové lišty je pak připojen na rozlitou zem na destičce a slouží jako kontakt na zemní potenciál pro sondu. Takto připravená destička se zasunutou sondou je pak pomocí dutinkové lišty nasazována na připravené měřicí kolíkové lišty. Tím je dosaženo jednoduchého připojení sond osciloskopu k testovací DPS a je možné je snadno přepojovat mezi různými vývody.

Fotografie provedení těchto připojení je uvedena v příloze A.11.

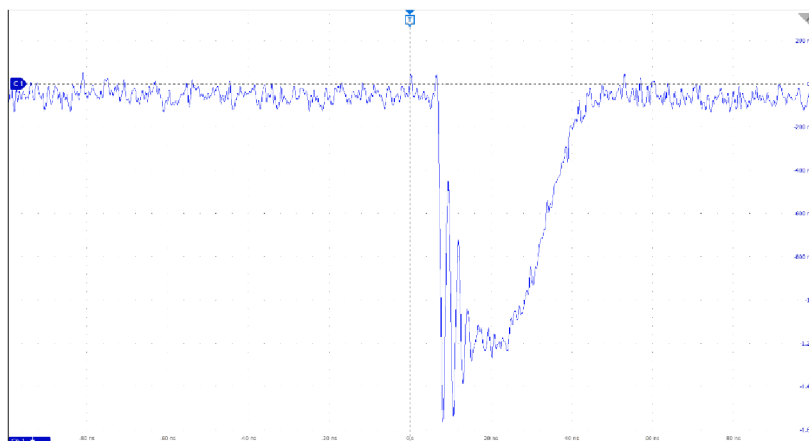
Dále byla za účelem měření průběhu proudu na výstupu budiče MOSFET použita 500 MHz diferenční napěťová sonda TIVH05 od firmy Tektronix. Za tímto účelem byla na pájecí plošky snímacího rezistoru R\_SENSE připájena kolíková lišta 2x1, jejíž provedení je možné vidět na obrázku osazené DPS v příloze A.10. Na tuto kolíkovou lištu byla následně nasazena diferenční napěťová sonda, jejíž výstup byl pak připojen do osciloskopu. Průběh napětí na diferenční napěťové sondě pak dle ohmova zákona reprezentuje průběh proudu na rezistoru, který je znásobený velikostí jeho odporu.

## 5.2 Aproximace parazitních vlastností obvodu

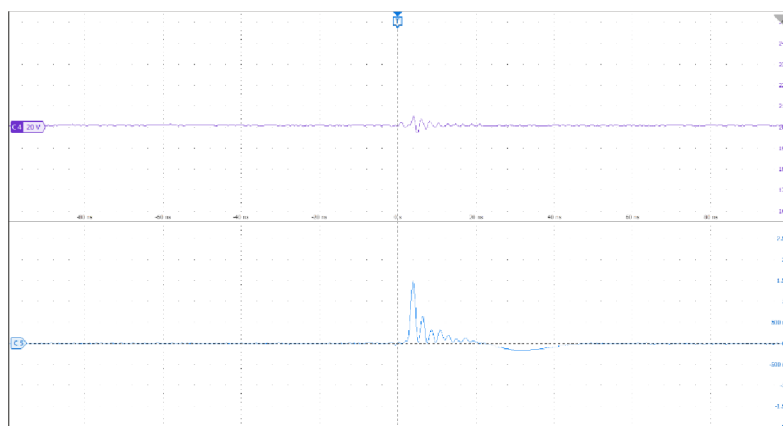
Na měřicí sestavě popsané v předešlé kapitole byly následně měřeny reálné průběhy napětí na vývodech pouzdra vyrobených struktur. Vlivem parazitních vlastností testovací DPS jsou však naměřené průběhy značně zarušené a rozkmitávají se na parazitních indukčnostech a kapacitách DPS. Kvůli rozkmitanému průběhu pak není možné přímo odečíst parametr  $di/dt$  na výstupu budiče MOSFET a ani věrně porovnat výsledky s původní simulací. Nejlépe je vliv parazitních vlastností obvodu možné vidět na průbězích napětí naměřených na testovacím DPS s originálním obvodem koncového stupně budiče MOSFET. Nejvíce se pak zarušení projevuje při změně výstupu budiče z HO do LO, kdy je spínána dolní strana koncového stupně budiče MOSFET, která se vyznačuje vyšší proudovou schopností. Ukázky naměřených průběhů na testovacím DPS s originálním obvodem jsou uvedeny na Obr. 5.2, 5.3 a 5.4. Kompletní výčet naměřených výsledků z osciloskopu je pak uveden v přílohách B.1-B.16.



Obr. 5.2 Průběh napětí na vývodu *OUT* (tyrkysová) a *IN* (červená) při změně výstupu budiče MOSFET z HO do LO



Obr. 5.3 Průběh napětí na rezistoru *R\_SENSE* při změně výstupu budiče MOSFET z HO do LO

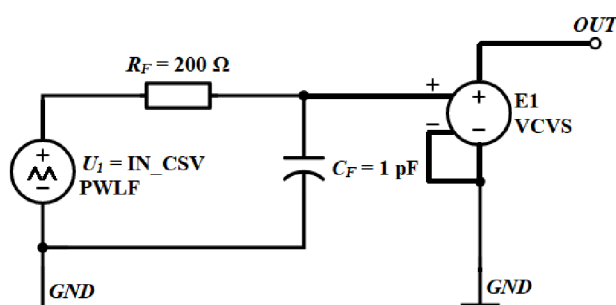


Obr. 5.4 Průběh napětí na vývodu  $U_{CC}$  (fialová) a  $PGND$  (modrá) při změně výstupu budiče MOSFET z HO do LO

V rámci měření parametrů byla sledována napětí na  $OUT$ ,  $IN$ ,  $U_{CC}$ , a  $PGND$  vývodech budiče MOSFET. Dále byl měřen diferenčně úbytek napětí na rezistoru  $R\_SENSE$ , který reprezentuje průběh proudu  $I_{DRV}$ . Tyto průběhy napětí byly sledovány pro případy změny napětí výstupu  $OUT$  z LO do HO i z HO do LO.

Aby bylo možné vyhodnotit naměřené výsledky a srovnat je se simulací, je nutné aproximovat parazitní vlivy na testovacím DPS a zanést jejich vliv i do simulačního zapojení, které bylo uvedeno na Obr. 4.3.

Za účelem analýzy a vyhodnocení výsledků byly časové průběhy naměřené na osciloskopu vyexportovány v podobě CSV souboru, pomocí nichž pak mohou být vloženy do prostředí Cadence Virtuoso. S vloženými průběhy je pak možné zacházet jako s jakýmkoli jiným simulovaným výsledkem. Pro importování časových průběhů napětí z osciloskopu byl užit obvod na Obr. 5.5.



Obr. 5.5 Obvod pro importování průběhů napětí z osciloskopu do Cadence Virtuoso

Soubory CSV jsou zde importovány pomocí ideálního zdroje napětí PWLF, který svůj výstupní průběh napětí určuje na základě dat ve vloženém CSV souboru. Zdroj je připojen na RC filtr, jehož mezní frekvence  $f_c = 795,8$  MHz, viz. rovnice (5.1):

$$f_c = \frac{1}{2\pi R_F C_F} = \frac{1}{2\pi \cdot 200 \cdot 1p} = 795,8 \text{ MHz} . \quad (5.1)$$

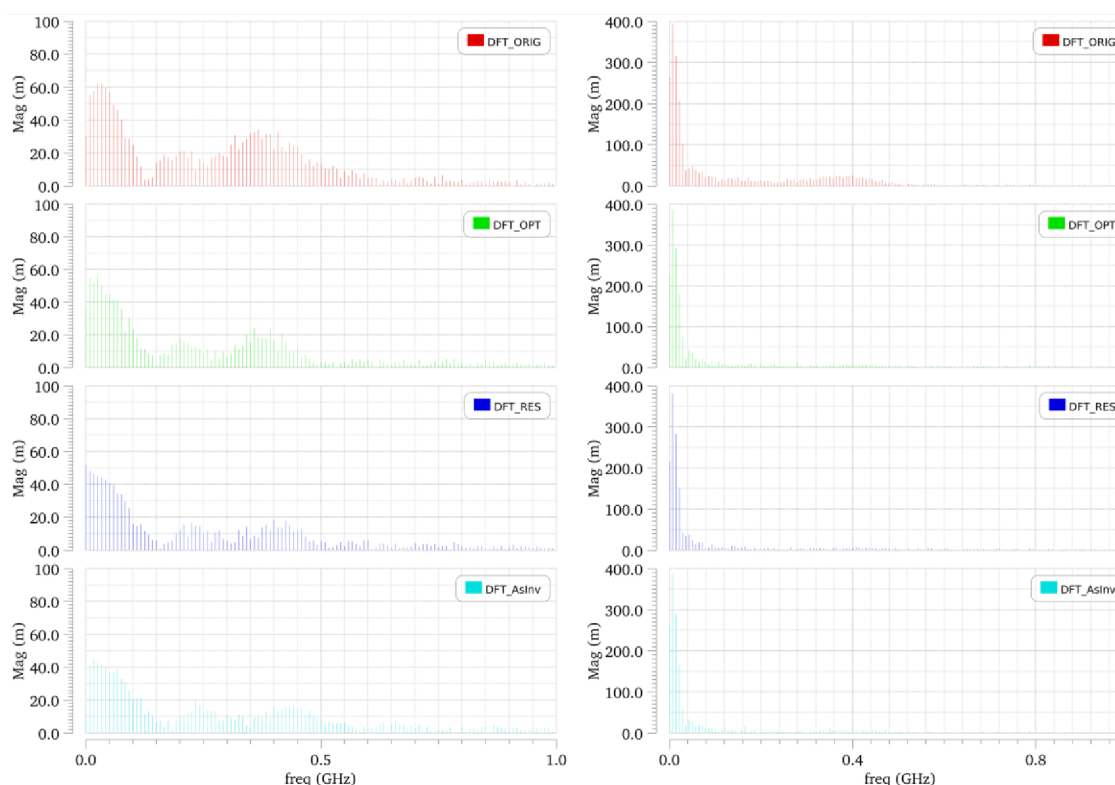


Filtr je zde využit za účelem omezení frekvence signálu generovaného z CSV souboru, který jej definuje pomocí bodů na časové ose. Simulátor pak při vytváření průběhu napětí na PWLF tyto body spojuje příмыми spojnicemi. Tím je generován signál s ostrými hranami, který je tvořen vysokofrekvenčními složkami v řádech až desítek GHz. Takovýto signál pak neodpovídá realitě a má za následek problémy s konvergencí výpočtů při simulaci. Omezením frekvenční složky signálu PWLF zdroje na 795,8 MHz jsou tak tyto problémy odstraněny a zároveň nedochází ke zkreslení průběhu signálu, jelikož maximální měřitelná frekvence sondy osciloskopu byla 500 MHz.

Signál z filtru je pak převáděn přes ideální zdroj napětí řízený napětím VCVS na výstup, ze kterého je vložený průběh napětí snímán.

Tímto způsobem pak byly importovány do prostředí Cadence Virtuoso všechny naměřené průběhy napětí u jednotlivých testovacích struktur.

Aby bylo možné porovnat naměřené výsledky se simulací, bylo nutné odhadnout velikost parazitních indukčností a kapacit na testovacím DPS a implementovat je do simulačního obvodu. Za tímto účelem byla provedena DFT analýza diferenčního napětí naměřeného na rezistoru R\_SENSE pro všechny vyrobené struktury. Srovnání výsledků pro jednotlivé struktury je uvedeno na Obr. 5.6.



Obr 5.6 Výsledky DFT analýzy průběhu napětí na rezistoru R\_SENSE pro všechny měřené struktury při změně výstupu budiče z LO do HO (vlevo) a z HO do LO (vpravo)

Na základě porovnání výsledků DFT analýzy mezi jednotlivými strukturami je možné vidět, že dominantní frekvenční složka se nachází na nejnižších kmitočtech. Tato složka reprezentuje náběh proudu  $I_{DRV}$ , kdy je na rezistoru R\_SENSE generován největší úbytek napětí. V ideálním případě je tento náběh plynulý bez vysokofrekvenčních kmitů, a proto bude rozložen na nejnižších frekvencích spektra.

Zbylé frekvenční složky jsou pak kmity vyvolané parazitními vlastnostmi obvodu a kmitají okolo hladiny průběhu proudu  $I_{DRV}$ . Tyto parazitní vlivy by měly být společné pro všechny testovací struktury. Dominantní složka parazitních kmitů pak má frekvenci od 200 MHz do 400 MHz, přičemž zákmity s nejvyšší amplitudou mají frekvenci cca 400 MHz. Toto je možné vidět na Obr. 5.6 hlavně při změně výstupu z LO do HO (vlevo). Stejný výsledek je možné pozorovat i v grafu při změně výstupu z HO do LO (vpravo), ale kvůli vyšší amplitudě náběhu proudu  $I_{DRV}$  je zde výrazná hlavně dominantní složka signálu, zatímco ostatní složky jsou nevýrazné. Tyto kmity pak vznikají na kombinaci parazitních indukčností a kapacit součástek na DPS, které tvoří rezonanční LC články. Na základě toho je pak možné podle vzorce (5.2) odhadnout reálnou hodnotu parazitních indukčností a kapacit.

$$f_R = \frac{1}{2\pi\sqrt{LC}} \rightarrow LC = \left(\frac{1}{2\pi f_R}\right)^2. \quad (5.2)$$

Po dosazení do rovnice pak:

$$LC = \left(\frac{1}{2\pi \cdot 400M}\right)^2 = 1,58 \cdot 10^{-19} FH. \quad (5.3)$$

Z výsledku rovnice (5.3) je pak možné odhadnout kombinaci parazitní kapacity a indukčnosti v cestě měřeného signálu. V tomto případě je možná kombinace kapacity 50 – 150 pF, resp. 1 – 3 nF, a indukčnosti v řádu 1 – 3 nH, resp. 50 – 150 pH. S ohledem na fyzikálně reálné parazitní vlastnosti součástek je tímto vyloučena možnost vzniku takovéhoho parazitního LC článku na indukčnost vývodů pouzdra budiče MOSFET, pro něž je tato kombinace kapacity a indukčnosti nereálná. Parazitní kmity na LC článku vývodů pouzdra by se pak projevovaly až v řádu GHz. Tato kombinace však může vznikat na parazitních vlastnostech zatěžovacího SMD kondenzátoru, jehož kapacita má velikost  $C_{ISS} = 1$  nF. Velikost jeho parazitní sériové indukčnosti  $L_{ESL}$  pak může dosahovat až 0,5 nH. Parazitní sériový odpor kapacitoru  $R_{ESR}$  má pak velikost v řádu miliohmů, zatímco parazitní paralelní odpor  $R_{Leak}$  je v řádech gigaohmů [23]. Požadované frekvenci pak odpovídá kombinace  $C_{ISS} = 1$  nF a  $L_{ESL} = 0,15$  nH.

Další zdrojem parazitních kmitů může být LC článek tvořený kombinací kapacity diferenční sondy a sériové indukčnosti SMD rezistoru R\_SENSE. Kapacita diferenční napěťové sondy dle katalogového listu může být v řádech  $C_{dif} = 35 - 70$  pF. Vzhledem k tomu, že velikost odporu rezistoru R\_SENSE je pouze 1,5  $\Omega$ , je možné jeho chování přiblížit chování vodiče. V takovém případě po dosazení do rovnice (5.4) vyplývá, že

indukčnost SMD rezistoru při použití pouzdra R2512, s rozměry 6,4 x 3,1 mm, může dosahovat až 2 nH [24].

$$L_{SENSE} = 2l \cdot \left\{ \ln \left[ \left( \frac{2l}{d} \right) \cdot \left( 1 + \sqrt{1 + \left( \frac{d}{2l} \right)^2} \right) \right] - \sqrt{1 + \left( \frac{d}{2l} \right)^2} \cdot \frac{1}{4} + \frac{d}{2l} \right\}, \quad (5.4)$$

kde  $d$  je průměr rezistoru a  $l$  délka rezistoru.

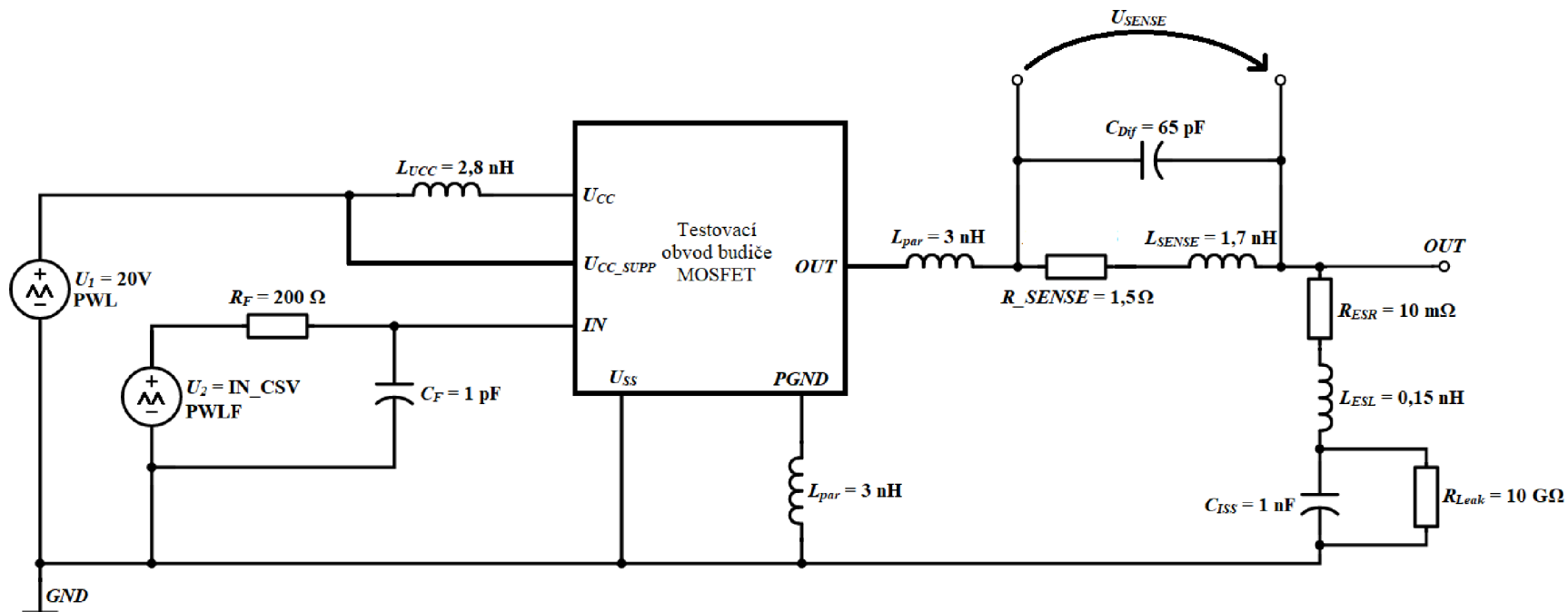
Na základě těchto předpokladů byla pomocí krokování parametrů parazit stanovena ze simulace hodnota parazitní indukčnosti  $L_{SENSE} = 1,7$  nH a kapacita diferenční napěťové sondy  $C_{dif} = 65$  pF. Konečné velikosti parazitních vlastností  $R_{SENSE}$  a zatěžovací kapacity  $C_{ISS}$  byly určeny porovnáváním simulovaných výsledků s naměřenými průběhy diferenčního napětí  $U_{SENSE}$  na testovacích strukturách. Výsledné parametry pak odpovídají hodnotám, kdy se frekvence parazitních kmitů přibližně shodovala s frekvencí kmitů na naměřených průbězích napětí  $U_{SENSE}$ .

Zjištěné hodnoty parazitních vlastností testovací DPS byly následně zakomponovány do simulačního zapojení pro testovací struktury. Výsledné simulační zapojení s implementovanými parazitními vlastnostmi je na Obr. 5.7.

Dalším krokem při aproximaci parazitních vlastností testovacích struktur bylo určení parazitní sériové indukčnosti vývodů pouzdra budiče MOSFET. Stejně jako v původních simulačních zapojeních na Obr. 3.2 a 4.3 je zde použit prvotní odhad sériové indukčnosti vývodů  $L_{par}$  jako 3 nH. Velikost hodnoty  $L_{par}$  pak byla krokována od 1 nH do 4 nH. Následně byly porovnávány výsledky simulovaných průběhů napětí na vývodech  $U_{CC}$  a  $PGND$  s měřenými průběhy napětí z osciloskopu. Podle bonding diagramu, uvedeném v příloze A.13, však vyplývá, že délky vývodů a bondovacích drátků nejsou zcela stejné, a proto se může parazitní indukčnost na jednotlivých vývodech lišit. Z toho důvodu byla na základě porovnání amplitud rozkmitu napětí na parazitní sériové indukčnosti vývodů pouzdra budiče MOSFET stanovena odpovídající hodnota  $L_{par}$  pro vývody  $PGND$  a  $U_{CC}$  separátně. Pro vývod  $PGND$  nejlepší shody dosáhla amplituda rozkmitu napětí pro hodnotu  $L_{par} = 3$  nH, což s výhodou koresponduje s původním odhadem použitým v simulačních zapojeních na Obr. 3.2 a 4.3. Pro vývod  $U_{CC}$  pak bylo dosaženo nejlepší shody při hodnotě  $L_{UCC} = 2,8$  nH.

Dále pak byla stanovena parazitní sériová indukčnost vývodu  $OUT$ . Její hodnota byla stanovena shodně s jako  $L_{par} = 3$  nH. Tato hodnota byla určena na základě bonding diagramu v příloze A.13. Jelikož piny  $PGND$  i  $OUT$  mají stejně dlouhé bondovací drátky i vývody, je tak možné předpokládat, že jejich parazitní sériová indukčnost bude stejná.

Zakomponované parazitní sériové indukčnosti vývodů pouzdra je pak opět možné vidět na Obr. 5.7.

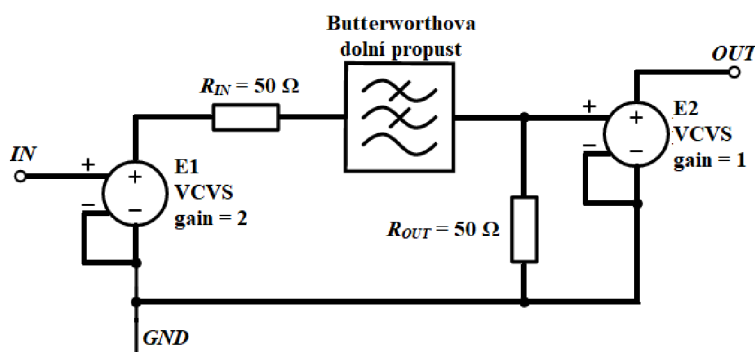


Obr. 5.7 Simulační zapojení testovacího obvodu s implementovanými parazitními vlastnostmi součástek na DPS

Simulační obvod s implementovanými parazitními vlastnostmi součástek na DPS, viz. Obr. 5.7, byl následně použit pro porovnání simulovaných průběhů s naměřenými.

Na rozdíl od reálného měření, kde je frekvence měřených průběhů omezena maximální snímací frekvencí napěťových sond na 500 MHz, však simulátor Spectre takové omezení nemá. V rámci simulovaných průběhů se tak projevují do výsledku vysokofrekvenční složky v řádu jednotek GHz, které vznikají na kombinaci parazitních kapacit součástek uvnitř budiče MOSFET a parazitních sériových indukčností přidanych do simulačního obvodu.

Pro další aproximaci podmínek simulace je tak využít obvod ideálního filtru s butterworthovou aproximací, který je uveden na Obr. 5.8. Obvod se skládá ze dvou zdrojů napětí řízenými napětím VCVS, které slouží jako impedanční oddělení filtru od simulovaného obvodu. Signál ze zdroje E1 je parametrem gain 2x zesílen a následně přenášen přes ideální filtr s butterworthovou aproximací 5. řádu, u nějž byla zvolena vstupní i výstupní impedance 50 Ω. Dvojnásobné zesílení zdroje E1 je zvoleno za účelem zachování stejné amplitudy filtrovaného signálu, protože filtr s butterworthovou aproximací dosahuje maximálního přenosu -6 dB (0,5) [25]. Přivedením signálu s dvojnásobnou amplitudou na vstup filtru je zajištěno, že na jeho výstupu bude mít signál amplitudu původního signálu *IN*. Mezní frekvence filtru je nastavena na 800 MHz, stejně jako v případě filtru pro importování signálů z CSV souboru. Tímto způsobem je zajištěno, že vysokofrekvenční GHz složky signálu, vznikající na vnitřních kapacitách budiče MOSFET, budou odfiltrovány, zatímco složky do 500 MHz, které by byly jinak změřeny i pomocí napěťových sond použitých při měření, budou neovlivněny. Signál z výstupu filtru je pak přenášen zdrojem E2 na výstup.



Obr. 5.8 Ideální filtr s Butterworthovou aproximací pro odfiltrování GHz složek ze simulovaného průběhu napětí

Simulované průběhy napětí na vývodech *U<sub>CC</sub>*, *PGND*, *OUT* a *U<sub>SENSE</sub>* pak byly převáděny přes tento filtr a až následně srovnány s měřenými průběhy. Kompletní zapojení simulačního obvodu s implementovanými aproximačními parametry je možné vidět v příloze A.12.

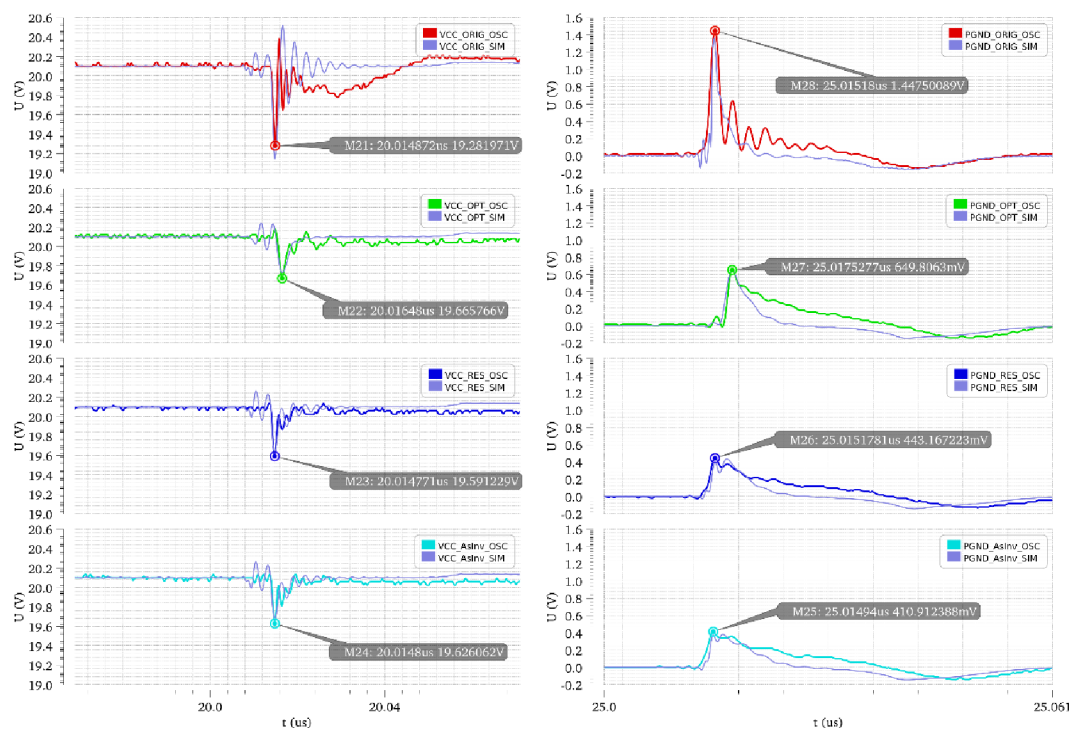
## 5.3 Srovnání naměřených výsledků

Výsledky průběhu napětí naměřených na měřicí sestavě, popsané v kapitole 5.1, byly následně porovnávány s výsledky simulovaných průběhů napětí. Simulované průběhy pak vychází ze simulačního zapojení, popsaného v kapitole 5.2, které aproximuje podmínky simulace vůči reálným podmínkám měření.

### 5.3.1 Průběhy napětí na vývodech $U_{CC}$ a $PGND$

Hlavní parametr určující efektivitu optimalizace je rozkmit napětí na parazitní sériové indukčnosti napájecích vývodů budiče MOSFET. Tento rozkmit může ovlivnit další součástky obvodu (např. napěťového regulátoru nebo převaděč úrovně napětí) omezením jejich napěťového prostoru

Jednotné porovnání naměřeného a simulovaného rozkmitu napětí na jednotlivých testovacích strukturách je pak ukázáno na Obr. 5.9. Uvedené průběhy napětí jsou výsledky měření pomocí osciloskopu, které byly importovány do prostředí Cadence Virtuoso, a odpovídající průběhy aproximovaného simulačního zapojení.



Obr. 5.9 Srovnání reálných a simulovaných průběhů napětí na vývodu  $U_{CC}$  při změně výstupu budiče MOSFET z LO do HO (vlevo) a na vývodu  $PGND$  při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury

Pro změnu výstupu budiče MOSFET z LO do HO je uveden (vlevo) průběh napětí na vývodu  $U_{CC}$ , protože je v této fázi zatěžovací kapacita  $C_{ISS}$  nabíjena přes horní stranu budiče MOSFET a výstupní proud  $I_{DRV}$  je odebrán z napájení  $U_{CC}$ . Z toho důvodu je v této fázi největší rozkmit napětí na parazitní sériové indukčnosti vývodu  $U_{CC}$ . Pro

změnu výstupu budiče z HO do LO je pak uveden (vpravo) průběh napětí na *PGND*, protože je v této fázi zatěžovací kapacita  $C_{ISS}$  vybíjena přes dolní stranu budiče MOSFET do analogové země *PGND*. Největší rozkmit napětí při průchodu proudu  $I_{DRV}$  pak bude právě na vývodu *PGND*.

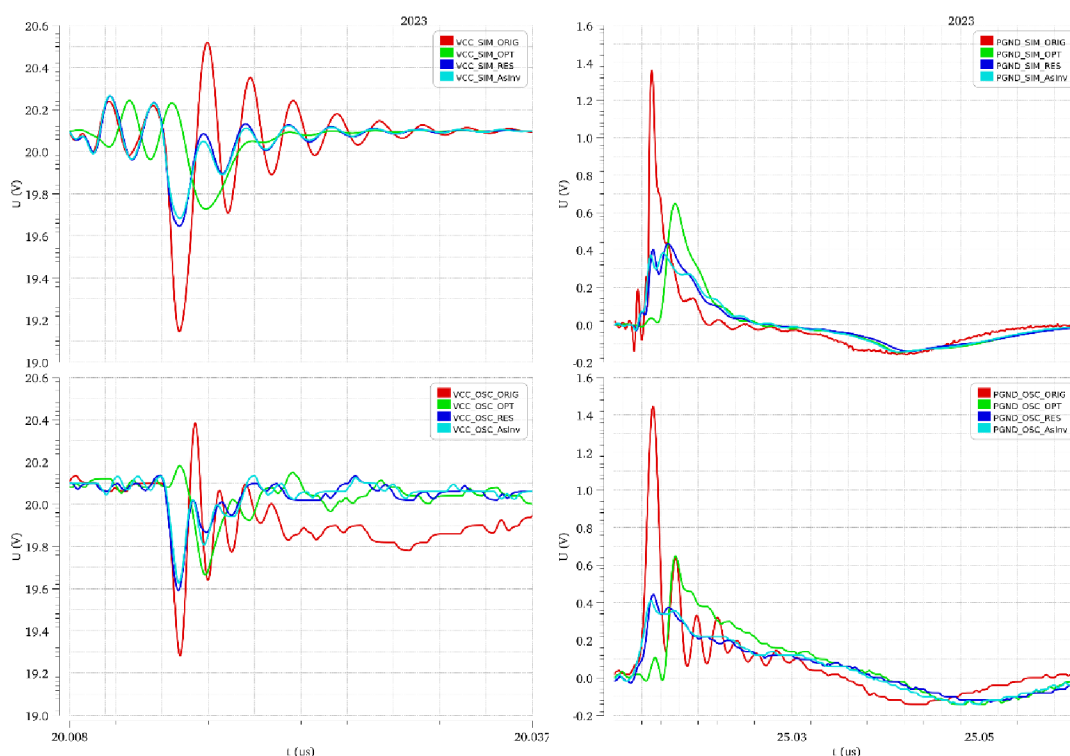
Pojmenování průběhů na Obr. 5.9 pak koresponduje s názvem optimalizačních metod, kde **ORIG** značí strukturu s originálním obvodem budiče MOSFET, **OPT** je struktura s obvodem optimalizace rozměrů budících invertorů, **RES** reprezentuje strukturu s obvodem metody postupného spínání zpoždovacími rezistory a **AsInv** pak strukturu s metodou postupného spínání asymetrickými invertory. Přívlastek **OSC** pak značí, že tento průběh je importován z osciloskopu. Obdobně pak přívlastek **SIM** bude označovat simulované průběhy. Ty jsou navíc v každém z vyobrazených průběhů vyznačeny **bledě modrou** barvou. Tento typ značení je použit u všech ukázaných průběhů v této i dalších kapitolách.

Podle vyznačených hodnot napětí na  $U_{CC}$  je amplituda původního rozkmitu 0,72 V. Na základě odečtených hodnot amplitudy rozkmitu napětí na ostatních strukturách pak vychází, že vlivem optimalizace došlo ke snížení amplitudy rozkmitu až na 0,33 V v případě metody OPT. Pro metodu RES, resp. AsInv, je pak amplituda rozkmitu napětí 0,41 V, resp. 0,38 V. Vzhledem k tomu, že se tyto hodnoty liší jen o 0,08 V, lze prohlásit, že dosahují srovnatelného výsledku při optimalizaci horní strany budiče MOSFET. Je nutné však podotknout, že horní strana budiče MOSFET má nižší proudovou schopnost a tudíž je na jejím výstupu i nižší hodnota  $di/dt$ , než na dolní straně budiče.

Rozdíl efektivity optimalizací je pak možné vidět právě na průbězích napětí na *PGND*, kdy je aktivní právě dolní strana budiče MOSFET s vyšší proudovou schopností. Amplituda rozkmitu na parazitní sériové indukčnosti vývodu originálního obvodu zde dosáhla 1,45 V. Nejlepšího výsledku pak dosáhly metody RES a AsInv, u kterých amplituda rozkmitu napětí dosáhla 0,44 V a 0,41 V. Metoda OPT pak zredukovala amplitudu rozkmitu na 0,65 V, což je o 0,21 V, resp. 0,24 V, méně, než zbylé dvě metody.

Porovnáním průběhů napětí z osciloskopu spolu se simulovanými průběhy pak ukazuje, že amplitudy rozkmitu napětí na  $U_{CC}$  a *PGND* se téměř shodují. Lze tak prohlásit, že měřené výsledky rozkmitu napětí souhlasí se simulovaným předpokladem a navržené metody optimalizace fungují dle stanovených parametrů. Bližší porovnání simulovaných a měřených průběhů *PGND* a  $U_{CC}$  je uvedeno v přílohách C.1 - C.4.

Porovnání efektivity jednotlivých metod optimalizace je možné vidět i na Obr. 5.10, kde jsou průběhy napětí z osciloskopu uvedeny v jednom grafu. Z obrázku je zde zřejmé, že v porovnání s průběhem napětí na  $U_{CC}$  a *PGND* originálního obvodu (**červená**) dosáhly použité metody optimalizace výrazného snížení rozkmitu napětí. V případě napětí  $U_{CC}$  pak dosahuje nejnižší amplitudy metoda OPT (**zelená**) druhá pak metoda AsInv (**tyrkysová**) a poslední metoda RES (**modrá**) V případě napětí na vývodu *PGND* nejlepšího výsledku dosáhla metoda AsInv, srovnatelného výsledku pak metoda RES a nejhůře si vedla metoda OPT.



Obr. 5.10 Vzájemné porovnání simulovaných resp. reálných průběhů napětí na vývodu  $U_{cc}$  při změně výstupu budiče MOSFET z LO do HO (vlevo) a na vývodu  $PGND$  při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury

Porovnáním naměřených amplitud rozkmitu napětí pak vychází, že nejlepšího výsledku dosahuje metoda postupného spínání asymetrickými invertory (AsInv), která dosáhla nejlepšího výsledku při redukci rozkmitu napětí na  $PGND$ , zatímco při rozkmitu napětí na  $U_{cc}$  dosáhla jen o 0,05 V nižší redukce než metoda OPT. Metoda OPT však dosáhla o 0,24 V horšího výsledku při redukci rozkmitu napětí na vývodu  $PGND$ . Srovnatelných výsledků jako metoda AsInv pak dosahovala i metoda RES. Toto porovnání pak koresponduje s výsledky z kapitoly 3, kde nejlepšího výsledku při redukci rozkmitu napětí na  $PGND$  a  $U_{cc}$  dosáhla rovněž metoda AsInv. Srovnání měřených výsledků amplitudy rozkmitu napětí na vývodech  $U_{cc}$  a  $PGND$  je pak uvedeno v tabulce 5.1.

Tabulka 5.1 Amplitudy rozkmitu napětí na vývodech  $U_{cc}$  a  $PGND$  a rozdílu velikosti amplitudy vůči originálnímu obvodu

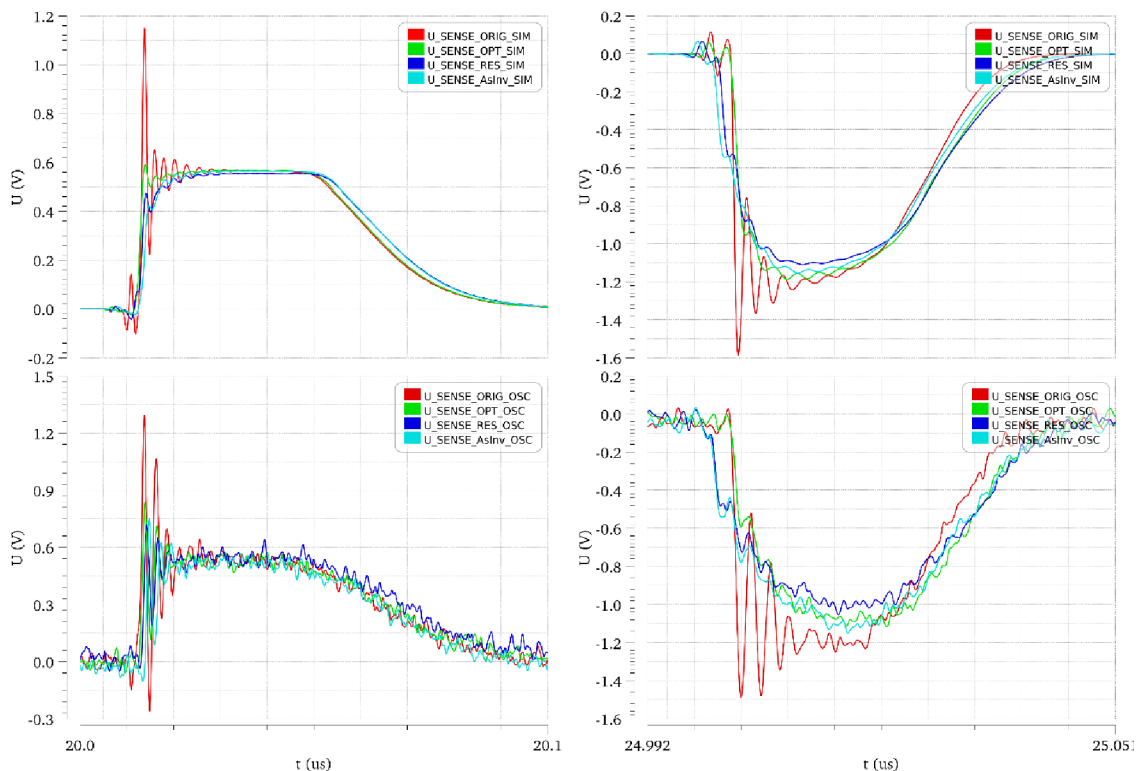
	ORIG	OPT	RES	AsInv
$U_{cc}$ [V]	0,72	0,33	0,41	0,38
$U_{cc\_diff}$ [V]	-	0,39	0,31	0,34
$PGND$ [V]	1,45	0,65	0,44	0,41
$PGND_{diff}$ [V]	-	0,8	1,01	1,04



### 5.3.2 Průběh napětí na rezistoru R\_SENSE

Efektivitu optimalizace lze nepřímo zhodnotit i z průběhu napětí na snímacím rezistoru R\_SENSE, tedy z průběhu napětí  $U_{SENSE}$ . Toto napětí reprezentuje průběh proudu  $I_{DRV}$  na výstupu budiče MOSFET, který protéká přes rezistor R\_SENSE a vytváří úbytek napětí  $U_{SENSE}$ . Protože je R\_SENSE zvolen  $1,5 \Omega$ , odpovídá průběh napětí  $U_{SENSE}$  podle ohmova zákona 1,5 násobku proudu  $I_{DRV}$ , viz. rovnice (4.1). Jak bylo vysvětleno v kapitole 3.1, rozkmit napětí na parazitní sériové indukčnosti vývodů pouzdra je způsoben průchodem proudu  $I_{DRV}$  a je přímo úměrný jeho strmosti nárůstu  $di/dt$ . Navržené metody optimalizace tak cílí právě na redukci  $di/dt$  a byly podle něj rovněž nastavovány jejich parametry. Strmost  $di/dt$  proudu  $I_{DRV}$  je tak také ukazatelem efektivity optimalizace.

Na rozdíl od simulačních výsledků ideálního obvodu zapojení budiče MOSFET, který je popsán v kapitole 3.2, však u naměřených výsledků není možné odečíst přesnou hodnotu  $di/dt$  vlivem zarušení a parazitních kmitů. Vyhodnocení redukce  $di/dt$  tak může být provedeno jen na základě srovnání průběhů napětí  $U_{SENSE}$  naměřených na testovacích strukturách. Porovnáním jednotlivých průběhů  $U_{SENSE}$  je pak možné určit, zda je náběžná hrana proudu na výstupu optimalizačních struktur pomalejší než u struktury originálního obvodu. Srovnání měřených i simulovaných průběhů napětí  $U_{SENSE}$  je uvedeno na Obr. 5.11.



Obr. 5.11 Vzájemné porovnání simulovaných, resp. reálných průběhů napětí  $U_{SENSE}$  při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury

Barevné rozlišení i značení jednotlivých průběhů je na Obr. 5.11 stejné jako v předešlé podkapitole 5.3.1.

Z výsledků na Obr. 5.11 vyplývá, že v porovnání s průběhem napětí  $U_{SENSE}$  pro ORIG (**červená**) dosáhly jednotlivé metody snížení strmosti nárůstu  $di/dt$  proudu  $I_{DRV}$ . To je pak nejzřetelnější na průbězích pro změnu výstupu budiče MOSFET z HO do LO, kdy je amplituda proudu na výstupu největší.

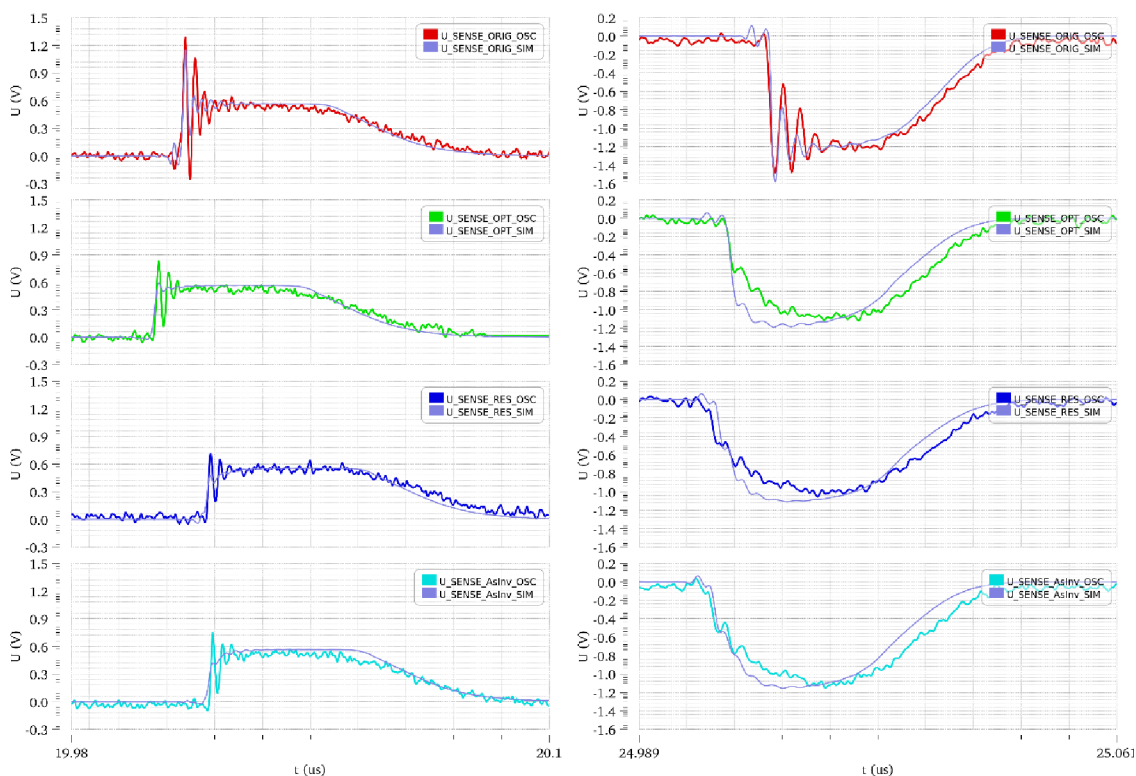
Stejně jako v případě pro průběhy napětí na vývodech  $PGND$  a  $U_{CC}$ , uvedených v podkapitole 5.3.1, je zde možné vidět, že metody RES (**modrá**) a AsInv (**tyrkysová**) sledují podobný průběh a výrazně zpomalují náběh proudu. Za povšimnutí pak stojí počátek náběhu proudu  $I_{DRV}$  u těchto dvou metod, kdy v porovnání s originálním průběhem startuje náběh proudu  $I_{DRV}$  dříve. To je způsobeno právě odstupňováním výstupního tranzistoru, kdy jeho nejmenší segment je spínán jako první bez zpoždění a stejným ekvivalentním proudem jako u originálního zapojení. Gate kapacita tohoto segmentu je však mnohem nižší než u originálního zapojení, a proto dochází ke zkrácení spínacích period  $t_1$  a  $t_2$ , které jsou popsány v kapitole 1.4.1. Tento jev je možné vidět u měřeného i simulovaného průběhu  $U_{SENSE}$ . Tyto metody tak dosahují sepnutí výstupu dříve než originální zapojení. Dodatečný čas, který je tímto získán, lze využít pro brzdění náběhu proudu  $I_{DRV}$ , aniž by tím došlo ke zvýšení zvoleného dodatečného 1 ns propagačního zpoždění.

Naproti tomu metoda OPT (**zelená**) sleduje náběh proudu pro originální zapojení a postupně ho zpomaluje, čímž jak je zpomalováno spínání výstupního tranzistoru, čímž je omezena na 1 ns dodatečného propagačního zpoždění.

Porovnáním jednotlivých průběhů  $U_{SENSE}$  tak rovněž vyplývá, že, stejně jako v předešlé podkapitole, dosáhly při změně výstupu budiče MOSFET z LO do HO všechny typy optimalizace přibližně stejného snížení  $di/dt$ . Při změně výstupu z HO do LO pak nejlepšího výsledku dosáhly srovnatelně metody RES a AsInv. Metoda OPT pak rovněž dosáhla snížení  $di/dt$ , avšak ne tak výrazného jako zbylé metody.

Snížení  $di/dt$  je také možné odvodit na základě amplitudy kmitů napětí na průběhu  $U_{SENSE}$ , kde optimalizované metody tuto amplitudu mají výrazně nižší než originální obvod. To je rovněž důsledkem snížení  $di/dt$  výstupního proudu  $I_{DRV}$ . Tento jev však není možné porovnat se simulovaným průběhem, protože se nepodařilo vystihnout všechny parazitní vlastnosti reálného obvodu a amplituda kmitů simulovaných průběhů  $U_{SENSE}$  se výrazně liší od těch měřených. Názornější srovnání simulovaných a měřených průběhů  $U_{SENSE}$  je na Obr. 5.12. Z uvedených průběhů je pak možné vidět, že věrně aproximovat průběh napětí  $U_{SENSE}$  se podařilo pouze u originálního obvodu. Zbylé aproximované průběhy  $U_{SENSE}$  pak pouze sledují frekvenci kmitů reálných průběhů naměřených na osciloskopu, avšak amplituda kmitů se výrazně liší. Bližší porovnání měřených a simulovaných průběhů je uvedeno v přílohách C.5 - C.8.

Obecně však lze prohlásit, že měřené průběhy  $U_{SENSE}$  sledují průběhy simulované a rovněž potvrzují, že metody optimalizace snižují strmost nárůstu proudu  $di/dt$ .



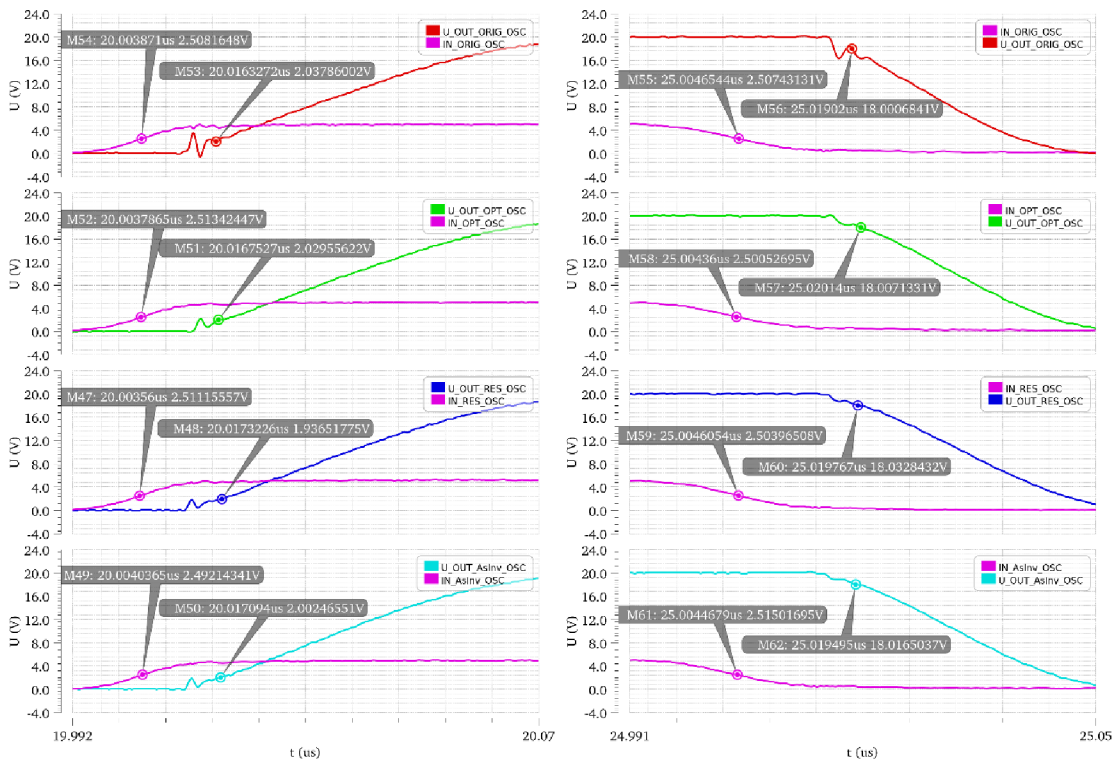
Obr. 5.12 Srovnání reálných průběhů napětí  $U_{SENSE}$  se simulovanými při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury

### 5.3.3 Průběh napětí na vývodu *OUT* a propagační zpoždění

Dalším určujícím parametrem budiče MOSFET je propagační zpoždění  $D_{rise}$ , resp.  $D_{fall}$ , pro náběžnou, resp. sestupnou, hranu napětí na výstupu *OUT*. Navržené metody optimalizace jsou však kompromisem mezi snížením  $di/dt$  výstupního proudu  $I_{DRV}$  a nárůstem propagačního zpoždění  $D_{rise}$ , resp.  $D_{fall}$ . Proto byl v rámci návrhu metod optimalizace zvolen limitní nárůst propagačního zpoždění 1 ns oproti originálnímu zapojení. Nárůst  $D_{rise}$ , resp.  $D_{fall}$ , o 1 ns oproti originálu byl zvolen, aby byl stanoven limitní parametr pro optimalizaci a jednotlivé metody bylo možné mezi sebou porovnat. Dalším důvodem bylo, že nárůst o 1 ns nepředstavuje velkou změnu propagačního zpoždění a tento nárůst spadá stále do rozsahu změn, které mohou být způsobeny i změnou operační teploty, reálnými parazitními vlastnostmi nebo odchylkou výrobního procesu. Právě kvůli těmto odchylkám se však reálná hodnota nárůstu zpoždění u jednotlivých testovacích struktur může lišit.

Propagační zpoždění je určováno z průběhů napětí na vývodech budiče *IN* a *OUT*. Hodnoty  $D_{rise}$ , resp.  $D_{fall}$ , byly odečteny jako časový rozdíl mezi úrovní, kdy signál na vývodu *IN* dosáhne 50 % (2,5 V) své nominální hodnoty (5 V), a úrovní, kdy napětí vývodu *OUT* vzroste, resp. poklesne, o 10 % (2 V pro nástupnou hranu, 18 V pro

sestupnou hranu) své nominální hodnoty (20 V). Průběhy napětí na vývodech *IN* a *OUT* a odečtené hodnoty na těchto hladinách pro všechny měřené struktury jsou uvedeny na Obr. 5.13.



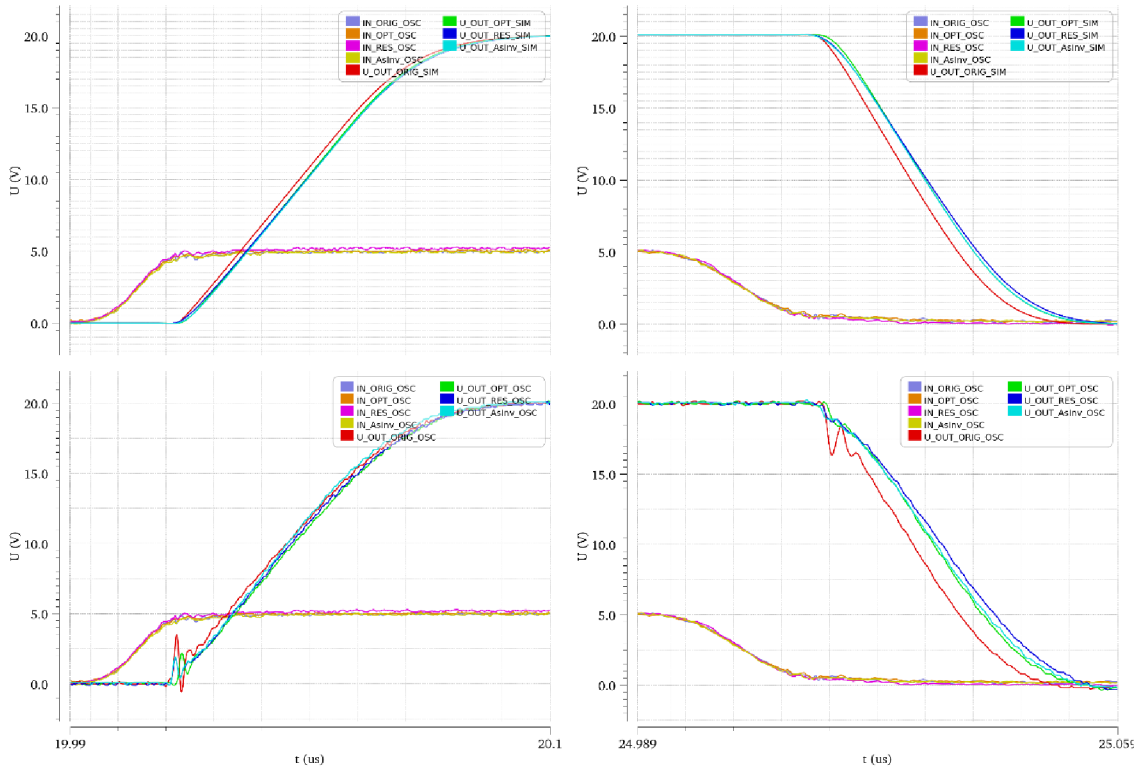
Obr. 5.13 Srovnání reálných průběhů napětí na vývodech *IN* a *OUT* při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury

Odečtené hodnoty z průběhů napětí na *IN* a *OUT* pak ukazují, že měřené propagační zpoždění originálního obvodu je  $D_{rise} = 12,46$  ns, resp.  $D_{fall} = 14,37$  ns. Ze srovnání odečtených hodnot při náběžné hraně napětí na vývodu *OUT* vyplývá, že metody OPT a AsInv dosahují přibližně stejného nárůstu propagačního zpoždění  $D_{rise\_dif} = 0,5$  ns a  $0,59$  ns oproti originálnímu obvodu. Struktura s metodou RES pak dosahuje hodnoty  $D_{rise\_dif} = 1,3$  ns, což je výrazně horší výsledek. V případě sestupné hrany napětí na vývodu *OUT* pak dosahují přibližně stejného výsledku metody AsInv a RES, kdy jejich nárůst propagačního zpoždění oproti originálnímu obvodu byl  $D_{fall\_dif} = 0,66$  ns a  $0,79$  ns. Zde naopak metoda OPT dosáhla výrazně horšího výsledku  $D_{fall\_dif} = 1,41$  ns.

Takto naměřené nárůsty propagačního zpoždění neodpovídají přesně navržené hodnotě 1 ns, ale jak bylo uvedeno, tento parametr může být ovlivněn výrobními odchylkami i vlivem parazitních vlastností na desce. Pokud však vezmeme v potaz výsledky pro všechny měřené optimalizační struktury, lze pak prohlásit, že hodnota parametrů  $D_{rise\_dif}$  a  $D_{fall\_dif}$  se vždy nachází okolo hodnoty 1 ns s odchylkou  $\pm 0,5$  ns. Zároveň nenastala situace, že by se hodnoty propagačního zpoždění optimalizovaných struktur blížily originálnímu obvodu, nebo ho dokonce předbíhaly. Na základě toho lze

pak říci, že optimalizační metody s určitou odchylkou odpovídají navrženému předpokladu.

Správné nastavení nárůstu propagačního zpoždění je pak možné vidět na srovnání simulovaných a měřených průběhů na Obr. 5.14. Z průběhů na obrázku je viditelné, že simulované i reálné průběhy napětí na vývodu *OUT* jsou oproti struktuře s metodou **ORIG (červená)** posunuty o cca stejný časový interval. Porovnání jednotlivých průběhů s aproximovanými simulačními průběhy je pak uvedeno v přílohách C.9 - C.12.



Obr. 5.14 vzájemné porovnání simulovaných a reálných průběhů napětí na vývodech *IN* a *OUT* při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury

Protože se naměřené hodnoty nárůstu propagačního zpoždění oproti originálu u jednotlivých metod liší, je pro jejich porovnání možné zavést parametr  $E_{f_{rise}}$  pro náběžnou hranu a  $E_{f_{fall}}$  pro sestupnou hranu napětí na vývodu *OUT*. Za předpokladu, že vyrobené struktury dosáhly redukce rozkmitu napětí, uvedených v tabulce 5.1, při odečteném nárůstu propagačního zpoždění  $D_{rise\_dif}$  a  $D_{fall\_dif}$ , lze pak stanovit efektivitu využití tohoto nárůstu propagačního zpoždění vůči dosažené redukci amplitudy rozkmitu napětí na vývodech  $U_{CC}$  a  $PGND$ . Tento přepočít je uveden v rovnici (5.5):

$$E_{f_{rise}} = \frac{U_{CC\_dif}}{D_{rise\_dif}}, E_{f_{fall}} = \frac{PGND_{dif}}{D_{fall\_dif}}, \quad (5.5)$$

kde  $U_{CC\_dif}$ , resp.  $PGND_{dif}$ , je rozdíl amplitudy rozkmitu napětí  $U_{CC}$ , resp.  $PGND$ , u optimalizovaných struktur vůči originálnímu obvodu. Hodnoty tohoto rozdílu jsou uvedeny v souhrnu v tabulce 5.2.

Na základě tohoto výpočtu pak byly určeny hodnoty efektivity využití nárůstu propagačního zpoždění  $E_{f_{rise}}$  a  $E_{f_{fall}}$  jednotlivých testovacích struktur. Z hodnot, uvedených v souhrnné tabulce 5.2, vyplývá, že nejlepšího výsledku pak dosahovala metoda AsInv, která v případě redukce rozkmitu napětí na vývodu  $U_{CC}$  dosáhla jen o 0,21 V/ns horší efektivity než metoda OPT, avšak s hodnotou  $E_{f_{fall}} = 1,58$  V/ns při redukci rozkmitu napětí na vývodu  $PGND$  dosáhla zdaleka nejlepšího výsledku, zatímco metoda OPT dosáhla jen  $E_{f_{fall}} = 0,57$  V/ns. Z tohoto porovnání pak vyplývá, že nejlepší se z hlediska redukce rozkmitu napětí na parazitní sériové indukčnosti vývodů jeví metoda AsInv, která podává při nižší proudové schopnosti srovnatelné výsledky s ostatními metodami, zatímco se zvyšující se proudovou schopností dolní strany budiče je zdaleka nejlepší.

Špatné výsledky metody RES jsou pak pravděpodobně ovlivněny výrobním rozptylem použitých rezistorů a špatnou nastavitelností rozestupu mezi spínáním segmentů výstupních tranzistorů.

Tabulka 5.2 Shrnutí parametrů idealizované simulace optimalizačních metod a reálných měřených parametrů

Výsledky idealizované simulace				
Obvod:	ORIG	OPT	RES	AsInv
<b>Propagační zpoždění</b>				
$D_{rise}$ [ns]	13,97	15,07	15,26	15,15
$D_{rise\_dif}$ [ns]	-	1,10	1,29	1,18
$D_{fall}$ [ns]	7,19	8,21	8,27	8,20
$D_{fall\_dif}$ [ns]	-	1,02	1,08	1,01
<b>Rozkmit napětí na <math>U_{CC}</math> a <math>GND</math></b>				
$U_{CC}$ [V]	1,15	0,35	0,45	0,34
$U_{CC\_diff}$ [V]	-	0,80	0,70	0,81
$GND$ [V]	3,48	1,05	0,81	0,68
$GND_{diff}$ [V]	-	2,43	2,67	2,80
<b>Strmost nárůstu proudu <math>di/dt</math></b>				
$di/dt_{rise}$ [A/ns]	0,278	0,116	0,160	0,108
$di/dt_{rise\_dif}$ [A/ns]	-	0,162	0,118	0,170
$di/dt_{fall}$ [A/ns]	0,709	0,342	0,287	0,235
$di/dt_{fall\_dif}$ [A/ns]	-	0,367	0,422	0,474

Výsledky měření testovacích struktur				
Struktura s obvodem:	ORIG	OPT	RES	AsInv
<b>Propagační zpoždění</b>				
$D_{rise}$ [ns]	12,46	12,96	13,76	13,05
$D_{rise\_dif}$ [ns]	-	0,5	1,3	0,59
$D_{fall}$ [ns]	14,37	15,78	15,16	15,03
$D_{fall\_dif}$ [ns]	-	1,41	0,79	0,66
<b>Rozkmit napětí na <math>U_{CC}</math> a <math>PGND</math></b>				
$U_{CC}$ [V]	0,72	0,33	0,41	0,38
$U_{CC\_diff}$ [V]	-	0,39	0,31	0,34
$PGND$ [V]	1,45	0,65	0,44	0,41
$PGND_{diff}$ [V]	-	0,8	1,01	1,04
<b>Efektivita optimalizačních metod</b>				
$Ef_{rise}$ [V/ns]	-	0,78	0,24	0,58
$Ef_{fall}$ [V/ns]	-	0,57	1,28	1,58

## 6 Závěr

Cílem této diplomové práce bylo navrhnout a otestovat metody optimalizace koncového stupně budiče MOSFET od firmy Onsemi. Účelem optimalizace bylo snížení rozkmitu napětí na parazitní sériové indukčnosti vývodů pouzdra budiče. Návrh a ověřování parametrů navržených metod probíhalo v programu Cadence Virtuoso za pomoci simulátoru Spectre.

Rešerše diplomové práce obsahuje popis struktury a spínacích vlastností MOSFET. Následně zde byla rozebrána vnitřní struktura koncového stupně budiče MOSFET, který byl určen k optimalizaci. V kapitole 3.1 je pak nastíněn problém rozkmitu napětí na parazitní sériové indukčnosti vývodů pouzdra budiče MOSFET a jeho příčiny.

Dále byl v kapitole 3.2 navržen a popsán ideální simulační obvod spolu s jeho parametry zátěže a předpokládané parazitní sériové indukčnosti pouzdra. Na tomto testovacím obvodu byly v kapitole 3.3 charakterizovány vlastnosti originálního obvodu (ORIG). Součástí kapitoly pak bylo popsání parametrů jako  $di/dt$  výstupního proudu  $I_{DRV}$ , propagační zpoždění  $D_{rise}$  a  $D_{fall}$ , které jsou klíčové pro návrh optimalizace. Tato diplomová práce celkem představuje tři navržené metody optimalizace koncového stupně budiče MOSFET.

První navržená metoda je Optimalizace rozměrů budících invertorů (OPT), která je podrobně popsána v kapitole 3.4. Tato metoda optimalizace využívá zmenšování rozměrů tranzistorů spínajících výstupní PMOS a NMOS budiče MOSFET. Tím je dosaženo zpomalení spínacího procesu výstupních tranzistorů budiče a snížení  $di/dt$  na výstupu budiče.

Jako druhá byla navržena Metoda postupného spínání zpožděvacími rezistory (RES), jejíž návrh je nastíněn v kapitole 3.5. Tato metoda využívala rozložení výstupních tranzistorů na čtyři menší paralelně zapojené segmenty. Mezi spínání jednotlivých segmentů je pak vloženo zpoždění dané RC články, které jsou tvořeny zpožděvacími rezistory a gate kapacitami segmentů výstupních tranzistorů budiče. Tím je dosaženo postupného náběhu výstupního proudu  $I_{DRV}$  a redukce  $di/dt$ .

Třetí navrženou optimalizací byla Metoda postupného spínání asymetrickými invertory (AsInv), která je popsána v kapitole 3.6. Stejně jako metoda RES, i tato metoda využívá postupného spínání segmentů výstupních tranzistorů budiče. Zpoždění mezi spínáním jednotlivých segmentů výstupních tranzistorů je však vloženo separátními budícími invertory, které jsou navrženy pro každý segment zvlášť.

Všechny navržené metody představují kompromis mezi snížením rozkmitu napětí na parazitní indukčnosti a nárůstem propagačního zpoždění. Proto byly optimalizační metody navrženy tak, aby jejich propagační zpoždění vzrostlo oproti originálnímu zapojení cca o 1 ns.

Ze simulovaných hodnot, uvedených v tabulce 5.2 a popsáných v kapitole 3.2, pak vyplývá, že všechny navržené metody optimalizace dosáhly značného snížení rozkmitu



napětí na parazitních sériových indukčnostech vývodů pouzdra. Z porovnání jednotlivých metod optimalizace však vychází, že nejlepších výsledků dosahuje metoda AsInv, která rozkmit napětí  $U_{CC}$  redukuje o 0,81 V a  $PGND$  o 2,8 V, přičemž zachovává nastavený mezní nárůst propagačního zpoždění.

Tyto optimalizační metody byly následně realizovány v 250 nm procesu firmy Onsemi a zapojeny do pouzdra SOIC-16. Pro tento účel byl pro jejich implementaci na čip navržen v kapitole 4.1 testovací obvod se zavedenými ESD ochranami a napájením ze stabilizovaného zdroje napětí, jehož struktura byla převzata od firmy Onsemi. Ověření funkčnosti testovacího obvodu pak bylo prováděno na upraveném simulačním zapojení, které již počítá jen s vnějším zdrojem napětí a generátorem signálu.

Zapouzdřený testovací obvod pak byl osazen na testovací DPS, která je popsána v kapitole 4.2. Návrh testovací DPS probíhal v programu Autodesk Eagle. Tato testovací struktura se skládá z osazeného testovacího obvodu v pouzdře SOIC-16, ze tří 100 nF blokovacích kondenzátorů, 1 nF zatěžovacího kondenzátoru a snímacího 1,5  $\Omega$  rezistoru na výstupu budiče MOSFET. Napájecí a měřicí vývody zde byly realizovány pomocí kruhových kolíkových lišt.

Na této testovací struktuře byly zjišťovány reálné vlastnosti navržených optimalizačních metod pomocí měřicí sestavy. Měřicí sestava byla tvořena osciloskopem s 500 MHz napěťovými sondami, 500 MHz diferenční napěťovou sondou, generátorem signálu a stabilizovaným napájecím zdrojem. Součástí sestavy jsou rovněž speciální dutinové nástavce na hrot sondy osciloskopu, které je možné nasadit na osazené kruhové kolíkové lišty. Přes kolíkové lišty byl rovněž přiváděn vstupní signál z generátoru a napájecí napětí ze zdroje. Celkové složení měřicí sestavy je pak popsáno v kapitole 5.1.

Zhodnocení funkčnosti a měřených parametrů vyrobených testovacích struktur proběhlo na základě porovnání měřených výsledků mezi sebou navzájem a simulovanými výsledky. Za tím účelem byl navržen testovací obvod s aproximovanými parazitními vlastnostmi reálné testovací struktury. Postup aproximace je popsán v kapitole 5.2. Do simulačního zapojení testovacího obvodu pak byly zakomponovány parazitní sériové indukčnosti  $L_{par} = 3$  nH u vývodů  $PGND$  a  $OUT$ ,  $L_{UCC} = 2,8$  nH pro vývod  $U_{CC}$ . Dále byly přidány parazitní vlastnosti SMD snímacího rezistoru  $L_{SENSE} = 1,7$  nH a  $C_{dif} = 65$  pF. Parazitní sériová indukčnost zatěžovací SMD kapacity byla zvolena  $L_{ESL} = 0,15$  nH. Výsledky simulace z takto upraveného simulačního obvodu byly srovnány s měřenými výsledky, které byly importovány do prostředí Cadence Virtuoso pomocí CSV souborů.

Na konci diplomové práce v kapitole 5.3 je ukázáno porovnání měřených a simulovaných výsledků získaných na testovacích strukturách. Z porovnání průběhů napětí na vývodech  $U_{CC}$  a  $PGND$  vyplynulo, že měřené výsledky odpovídají simulovanému předpokladu a lze tak návrh z hlediska redukce rozkmitu napětí na parazitních indukčnostech považovat za funkční. Měřená amplituda rozkmitu napětí pro originální obvod dosáhla hodnot  $U_{CC} = 0,72$  V a  $PGND = 1,45$  V. Porovnáním průběhů napětí jednotlivých metod vůči sobě pak vyplývá, že stejně jako v případě simulace

idealizovaného obvodu dosahuje nejlepších výsledků metoda AsInv, která dosáhla snížení amplitudy rozkmitu napětí o  $U_{CC\_dif} = 0,34$  V a  $PGND_{dif} = 1,04$  V.

Dále byly srovnány průběhy diferenčního napětí  $U_{SENSE}$  (proud  $I_{DRV}$ ) na snímacím rezistoru. Simulované a měřené průběhy se zde však výrazně liší, protože se nepodařilo věrně aproximovat parazitní vlastnosti reálné testovací struktury. Z měřených průběhů však vyplývá, že s výjimkou kmitů na parazitních LC člancích přibližně sledují simulované průběhy. Na základě toho lze opět prohlásit, že jsou vyrobené struktury funkční.

Sledováním průběhů napětí na vývodu  $OUT$  pak byly zjištěny reálné hodnoty nárůstu propagačního zpoždění oproti originálnímu obvodu  $D_{rise\_dif}$  a  $D_{fall\_dif}$ . Srovnáním odečtených hodnot lze říci, že všechny vyrobené testovací struktury si zachovaly svůj nárůst propagačního zpoždění s odchylkou  $\pm 0,5$  ns. Porovnáním parametru efektivity optimalizace  $E_{frise}$  a  $E_{ffall}$ , pak vyplývá, že opět nejlepšího výsledku dosáhla metoda AsInv, jež dosáhla na hodnoty  $E_{frise} = 0,58$  V/ns a  $E_{ffall} = 1,58$  V/ns. Souhrnné srovnání všech metod je pak uvedeno v tabulce 5.2.

V diplomové práci tak byly úspěšně navrženy, vyrobeny a otestovány funkční metody optimalizace koncového stupně budiče MOSFET. Tyto metody úspěšně redukuje rozkmit napětí na parazitní sériové indukčnosti vývodů pouzdra budiče. Všechny body zadání diplomové práce tak byly splněny.

## LITERATURA

- [1] TROJAN, Vladimír. *DESIGN OF DIFFERENTIAL DIFFERENCE AMPLIFIER IN CMOS TECHNOLOGY* [online]. Brno, 2021 [cit. 2022-10-20]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/134684>. BACHELOR'S THESIS. BUT. Vedoucí práce Ing. Vilém Kledrowetz, Ph.D.
- [2] BOUŠEK, Jaroslav, Petr KOSINA a Barbora MOJROVÁ. *Elektronické součástky*. Brno, 2015. Skriptum. Vysoké učení technické v Brně.
- [3] COLINGE, J. a C. COLINGE. *PHYSICS OF SEMICONDUCTOR DEVICES*. XIII. USA: Kluwer Academic Publishers, 2002. ISBN 1-4020-7018-7.
- [4] SZE, S.M. a K.Ng. KWOK. *Physics of Semiconductor Devices*. Third edition. San Jose, California: A JOHN WILEY & SONS, INC., PUBLICATION, 2006. ISBN 978-0-47 1-1 4323-9.
- [5] RAZAVI, Behzad. *Design of CMOS analog integrated circuits*. 2. vydání. Los Angeles, California, USA: byMcGraw-Hill Education, 2017. ISBN 978-0-07-252493-2.
- [6] ALLEN, Phillip a Douglas HOLBERG. *CMOS Analog Circuit Design*. 2nd Edition. New York: University Press, 2002. ISBN 0-19-511-644-5.
- [7] CARUSONE, Tony, David JOHNS a Kenneth MARTIN. *Analog integrated circuit design*. Second edition. USA: John Wiley & Sons, Inc., 2012. ISBN 978-0-470-77010-8.
- [8] BARKHORDARIAN, Vrej. *Power MOSFET Basics* [online]. USA, 2015 [cit. 2022-11-05]. Dostupné z: <https://www.infineon.com/dgdl/mosfet.pdf?fileId=5546d462533600a4015357444e913f4f> FJ-. Manual. El Segundo, Ca.
- [9] GLITZ, Ettore, Matthieu AMYOTTE, Maria PEREZ a Martin ORDONEZ. LLC converters: Beyond datasheets for MOSFET power loss estimation. In: *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)* [online]. San Antonio, TX, USA: IEEE, 2018, s. 464-468 [cit. 2022-11-19]. ISBN 978-1-5386-1180-7. ISSN 2470-6647. Dostupné z: doi:10.1109/APEC.2018.8341052
- [10] PTÁČEK, Karel. *HIGH-VOLTAGE STRUCTURES FOR GALVANIC ISOLATION IN INTEGRATED CIRCUITS* [online]. Brno, 2021 [cit. 2022-11-10]. Dostupné z: <https://www.vut.cz/studenti/zav-prace/detail/122324>. Doctoral Thesis. Brno University of Technology, Faculty of Electrical Engineering and Communications. Vedoucí práce Jaroslav Boušek.

- [11] BALOGH, Laszlo. *Fundamentals of MOSFET and IGBT Gate Driver Circuits* [online]. Bedford, New Hampshire, USA, 2018 [cit. 2022-11-20]. Dostupné z: <https://www.ti.com/lit/slva618> Application Report. Texas Instruments.
- [12] *MOSFET Gate Drive Circuit* [online]. USA, 2018 [cit. 2022-11-22]. Dostupné z: <https://toshiba.semicon-storage.com/info/docget.jsp?did=59460> Application Note. TOSHIBA.
- [13] *Properly Sizing MOSFETs for PWM Controllers*. USA, 2006. Application Note. Sipex Corporation.
- [14] BOSE, Bimal K. *Modern power electronics and AC drives*. Upper Saddle River, NJ: Prentice Hall, 2002. ISBN 0-13-016743-6.
- [15] ROY, Abhishek a Mukti BARAI. Study and Design of Soft-Switched PWM DC-DC Buck Converter. In: *2019 International Conference on Power Electronics Applications and Technology in Present Energy Scenario (PETPES)* [online]. Mangalore, India: IEEE, 2019, s. 1-6 [cit. 2022-12-04]. ISBN 978-1-7281-2655-5. Dostupné z: doi:10.1109/PETPES47060.2019.9003758
- [16] D. PATHAK, Abhijit. *MOSFET/IGBT DRIVERS THEORY AND APPLICATIONS*. USA, 2001. Dostupné také z: <https://www.ixys.com/Documents/AppNotes/IXAN0010.pdf>. Application Note. IXYS.
- [17] ZOREJ, Bernhard. *CoolMOS™ gate drive and switching dynamics* [online]. Munich, Germany, 2020 [cit. 2022-12-05]. Dostupné z: [https://www.infineon.com/dgdl/Infineon-MOSFET\\_CoolMOS\\_gate\\_drive\\_switching\\_dynamics-ApplicationNotes-v01\\_00-EN.pdf?fileId=5546d4626f229553016fb392d5e7749f](https://www.infineon.com/dgdl/Infineon-MOSFET_CoolMOS_gate_drive_switching_dynamics-ApplicationNotes-v01_00-EN.pdf?fileId=5546d4626f229553016fb392d5e7749f). Infineon Technologies AG.
- [18] ZHOU, Zekun, Junyuan RONG, Jianwen CAO, Dengwei LI, Bo ZHANG a Yue SHI. A Fully Integrated Floating Gate Driver with Adaptive Gate Drive Technique for High-Voltage Applications. In: *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)* [online]. China: IEEE, 2018, s. 109-112 [cit. 2022-12-06]. ISBN 978-1-5386-7392-8. ISSN 1558-3899. Dostupné z: doi:10.1109/MWSCAS.2018.8624041
- [19] UNI-T UTG962E - Generátor. *Promertech.cz* [online]. Česká republika: Promertech.cz, 2023 [cit. 2023-05-15]. Dostupné z: <https://promertech.cz/uni-t-utg962e-generator>
- [20] *N6700 Modular Power System Family*. In: . USA: Keysight Technologies, 2023, ročník 2017-2023, 5989-6319EN. Dostupné také z:

<https://www.keysight.com/us/en/assets/7018-01522/data-sheets/5989-6319.pdf>

- [21] DPO7000 Series. *Tektronix* [online]. USA: TEKTRONIX, 2023 [cit. 2023-05-15]. Dostupné z: <https://www.tek.com/en/datasheet/dpo7000-series>
- [22] Isolated Measurement Systems. *Tek* [online]. USA: Tektronik, 2023 [cit. 2023-05-05]. Dostupné z: <https://www.tek.com/en/datasheet/isolated-measurement-systems-0>
- [23] LALLÉCHÈRE, Sébastien, Blaise RAVELO a Atul THAKUR. Statistical Performances of Resistive Active Power Splitter. IOP Conference Series: Materials Science and Engineering [online]. 2016, 120(1), 3 [cit. 2023-05-06]. ISSN 1757-8981. Dostupné z: doi:10.1088/1757-899X/120/1/012015
- [24] GROVER, F. W. Inductance Calculations: Working Formulas and Tables. 1946 ed. USA: Dover Publications, 2004. ISBN 0486495779.
- [25] Butterworth Filter Design. ElectronicsTutorials [online]. USA: AspenCore, 2023 [cit. 2023-05-07]. Dostupné z: [https://www.electronicstutorials.ws/filter/filter\\_8.html](https://www.electronicstutorials.ws/filter/filter_8.html)

# SEZNAM OBRÁZKŮ

1.1	Základní struktura NMOS tranzistoru [1] .....	10
1.2	Výstupní charakteristika MOSFET [7] .....	11
1.3	Princip zaškrfování kanálu NMOS tranzistoru .....	12
1.4	Struktura diskrétního výkonového VD-NMOS [8] .....	13
1.5	Odpor sepnutého přechodu drain-source v závislosti na teplotě přechodu $T_j$ [9] .....	14
1.6	Odpor sepnutého přechodu drain-source v závislosti na $U_{GS}$ a $I_D$ pro různé teploty přechodu $T_j$ [9] .....	15
1.7	Model MOSFET tranzistoru s kapacitními parametry .....	16
1.8	Linearizovaný model časového průběhu a) zapínání b) vypínání MOSFET [11] .....	17
1.9	Akumulace náboje na gate kapacitě $C_{ISS}$ [12] .....	20
1.10	ZCS a ZVS metoda spínání MOSFET [14] .....	22
1.11	Srovnání ZVS vs ZCS a princip spínání ZVZCS [15] .....	23
2.1	Principiální zapojení budiče MOSFET .....	24
2.2	Totem pole struktura budiče MOSFET s PMOS a NMOS .....	26
2.3	Kaskáda invertorů jako stupňující se budiče MOSFET .....	27
2.4	Napětí $U_{GS}$ na gate výstupních tranzistorů PMOS a NMOS budiče MOSFET s vloženým mrtvým časem mezi jejich spínáním .....	28
3.1	Budič MOSFET s parazitními indukčnostmi .....	29
3.2	Simulační zapojení pro ověření parametrů budiče MOSFET .....	31
3.3	Časový průběh napájecích napětí $U_{CC}$ , $U_{CCL}$ , $U_{CC\_dig}$ , $FGND\_ref$ , signálů $IN$ a $EN$ a výstupního napětí budiče $U_{OUT}$ .....	32
3.4	Originální zapojení výstupní části budiče MOSFET .....	33
3.5	Časové průběhy napájecích napětí $U_{CC}$ , $GND$ , výstupního napětí budiče $U_{OUT}$ , signálu $IN$ , budičícího proudu $I_{DRV}$ a jeho změna proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>LO do HO</b> pro zapojení <b>ORIG</b> .....	34
3.6	Časové průběhy napájecích napětí $U_{CC}$ , $GND$ , výstupního napětí budiče $U_{OUT}$ , signálu $IN$ , budičícího proudu $I_{DRV}$ a jeho změna proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>HO do LO</b> pro zapojení <b>ORIG</b> .....	35
3.7	Zapojení koncového stupně budiče MOSFET pro metodu <b>OPT</b> .....	37
3.8	Srovnání časových průběhů napětí $U_{CC}$ , $GND$ , $U_{OUT}$ , $IN$ , proudu $I_{DRV}$ a jeho změny proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>LO do HO</b> mezi zapojením <b>OPT</b> a <b>ORIG</b> .....	39
3.9	Srovnání časových průběhů napětí $U_{CC}$ , $GND$ , $U_{OUT}$ , $IN$ , proudu $I_{DRV}$ a jeho změny proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>HO do LO</b> mezi zapojením <b>OPT</b> a <b>ORIG</b> .....	40
3.10	Zapojení koncového stupně budiče MOSFET pro metodu <b>RES</b> .....	42
3.11	Časový průběh postupného spínání proudů přes tranzistory MP1-4 a MN1-4 v zapojení metody <b>RES</b> .....	44
3.12	Srovnání časových průběhů napětí $U_{CC}$ , $GND$ , $U_{OUT}$ , $IN$ , proudu $I_{DRV}$ a jeho změny proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>LO do HO</b> mezi zapojením <b>RES</b> a <b>ORIG</b> .....	45
3.13	Srovnání časových průběhů napětí $U_{CC}$ , $GND$ , $U_{OUT}$ , $IN$ , proudu $I_{DRV}$ a jeho změny proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>HO do LO</b> mezi zapojením <b>RES</b> a <b>ORIG</b> .....	46
3.14	Zapojení koncového stupně budiče MOSFET pro metodu <b>AsInv</b> .....	48
3.15	Časový průběh postupného spínání proudů přes tranzistory MP1-4 a MN1-4 v zapojení metody <b>AsInv</b> .....	50
3.16	Srovnání časových průběhů napětí $U_{CC}$ , $GND$ , $U_{OUT}$ , $IN$ , proudu $I_{DRV}$ a jeho změny proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>LO do HO</b> mezi zapojením <b>AsInv</b> a <b>ORIG</b> .....	51
3.17	Srovnání časových průběhů napětí $U_{CC}$ , $GND$ , $U_{OUT}$ , $IN$ , proudu $I_{DRV}$ a jeho změny proudu v čase $di/dt$ při změně napětí $U_{OUT}$ z <b>HO do LO</b> mezi zapojením <b>AsInv</b> a <b>ORIG</b> .....	52

4.1	Schéma zapojení testovacího obvodu budiče MOSFET .....	55
4.2	Schéma zapojení ESD ochrany vstupu .....	56
4.3	Simulační zapojení testovacího obvodu .....	57
4.4	Rozložení pinů testovacího obvodu na pouzdrě SOIC-16.....	58
4.5	Schematické zapojení obvodu na testovacím DPS.....	59
4.6	Layout testovacího substrátu .....	60
5.1	Sestava pro měření reálných parametrů budiče MOSFET .....	61
5.2	Průběh napětí na vývodu <i>OUT</i> (tyrkysová) a <i>IN</i> (červená) při změně výstupu budiče MOSFET z HO do LO .....	63
5.3	Průběh napětí na rezistoru <i>R_SENSE</i> při změně výstupu budiče MOSFET z HO do LO .....	63
5.4	Průběh napětí na vývodu <i>U<sub>CC</sub></i> (fialová) a <i>PGND</i> (modrá) při změně výstupu budiče MOSFET z HO do LO .....	64
5.5	Obvod pro importování průběhů napětí z osciloskopu do Cadence Virtuoso .....	64
5.6	Výsledky DFT analýzy průběhu napětí na rezistoru <i>R_SENSE</i> pro všechny měřené struktury při změně výstupu budiče z LO do HO (vlevo) a z HO do LO (vpravo).....	65
5.7	Simulační zapojení testovacího obvodu s implementovanými parazitními vlastnostmi součástek na DPS .....	68
5.8	Ideální filtr s Butterworthovou aproximací pro odfiltrování GHz složek ze simulovaného průběhu napětí.....	69
5.9	Srovnání reálných a simulovaných průběhů napětí na vývodu <i>U<sub>CC</sub></i> při změně výstupu budiče MOSFET z LO do HO (vlevo) a na vývodu <i>PGND</i> při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury .....	70
5.10	Vzájemné porovnání simulovaných resp. reálných průběhů napětí na vývodu <i>U<sub>CC</sub></i> při změně výstupu budiče MOSFET z LO do HO (vlevo) a na vývodu <i>PGND</i> při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury .....	72
5.11	Vzájemné porovnání simulovaných, resp. reálných průběhů napětí <i>U<sub>SENSE</sub></i> při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury .....	73
5.12	Srovnání reálných průběhů napětí <i>U<sub>SENSE</sub></i> se simulovanými při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury ...	75
5.13	Srovnání reálných průběhů napětí na vývodech <i>IN</i> a <i>OUT</i> při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury .....	76
5.14	vzájemné porovnání simulovaných a reálných průběhů napětí na vývodech <i>IN</i> a <i>OUT</i> při změně výstupu budiče MOSFET z LO do HO (vlevo) a při změně výstupu z HO do LO (vpravo) pro všechny testovací struktury .....	77

## SEZNAM TABULEK

3.1	Parametry součástek originálního zapojení budiče MOSFET .....	34
3.2	Odečtené parametry originálního obvodu zapojení budiče MOSFET .....	36
3.3	Srovnání parametrů součástek originálního zapojení a zapojení OPT budiče MOSFET .....	38
3.4	Srovnání parametrů zapojení metody OPT s originálním zapojením budiče MOSFET .....	41
3.5	Parametry součástek zapojení metody RES .....	43
3.6	Srovnání parametrů zapojení metody RES a originálním zapojením budiče MOSFET .....	47
3.7	Parametry součástek zapojení metody AsInv .....	49
3.8	Srovnání parametrů zapojení metody AsInv s originálním zapojením budiče MOSFET .....	53
4.1	Specifické hodnoty rozlišovacích rezistorů pro jednotlivé typy optimalizace .....	57
5.1	Amplitudy rozkmitu napětí na vývodech $U_{CC}$ a $PGND$ a rozdílu velikosti amplitudy vůči originálnímu obvodu .....	72
5.2	Shrnutí parametrů idealizované simulace optimalizačních metod a reálných měřených parametrů .....	79



## SEZNAM SYMBOLŮ A ZKRATEK

Symbol/zkratka	Popis	Jednotka
ASInv	Metoda postupného spínání asymetrickými inventory	-
$C_{DS}$	Drain-source kapacita MOSFET	[nF]
$C_{GD}$	Gate-drain kapacita MOSFET	[nF]
$C_{GS}$	Gate-source kapacita MOSFET	[nF]
$C_{ISS}$	Vstupní kapacita MOSFET	[nF]
$C_{OSS}$	Výstupní kapacita MOSFET	[nF]
$C_{RSS}$	Reverzní kapacita MOSFET	[nF]
CSV	Typ souboru s hodnotami oddělenými čárkami(Coma Separated Values)	-
$D_{fall}$	Propagační zpoždění při sestupné hraně napětí $U_{OUT}$	[ns]
$D_{fall\_dif}$	Nárůst propagačního zpoždění optimalizační metody vůči originálnímu obvodu při změně výstupu budiče z HO do LO	[ns]
DFT	Diskrétní fourierova analýza	-
$di/dt$	Změna proudu v čase (derivace časového průběhu proudu)	[A/s]
$di/dt_{fall}$	Strmost proudu $I_{DRV}$ mezi 10 % a 60 % jeho maximální hodnoty při sestupné hraně napětí $U_{OUT}$	[A/ns]
$di/dt_{rise}$	Strmost proudu $I_{DRV}$ mezi 10 % a 60 % jeho maximální hodnoty při náběžné hraně napětí $U_{OUT}$	[A/ns]
DPS	Deska plošných spojů	-
$D_{rise}$	Propagační zpoždění při náběžné hraně napětí $U_{OUT}$	[ns]
$D_{rise\_dif}$	Nárůst propagačního zpoždění optimalizační metody vůči originálnímu obvodu při změně výstupu budiče z LO do HO	[ns]
$du/dt$	Změna napětí v čase (derivace časového průběhu napětí)	[V/s]
$E_{fall}$	Efektivita využití nárůstu propagačního zpoždění pro redukcii rozkmitu napětí na parazitní indukčnosti při výstupu budiče z HO do LO	[V/ns]
$E_{rise}$	Efektivita využití nárůstu propagačního zpoždění pro redukcii rozkmitu napětí na parazitní indukčnosti při výstupu budiče z LO do HO	[V/ns]
$E_g$	Energie nutná k dodání celkového náboje gate	[J]
EMI	Elektromagnetická interference	-
EN	Spouštěcí signál budiče MOSFET	[V]
FGND	Plovoucí zemnicí potenciál	[V]
FGND_ref	Referenční napětí pro plovoucí zemnicí potenciál	[V]
$f_{sw}$	Frekvence spínání MOSFET	[Hz]
GND	Zemnicí potenciál	[V]
HO	Logická hodnota výstupu je na High (High output)	-
$I_D$	Proud do drainu	[A]
$I_{DRV}$	Budící proud budiče MOSFET	[A]
$I_{DRVoff}$	Vypínací proud budiče MOSFET	[A]
$I_{DRVon}$	Zapínací proud budiče MOSFET	[A]

$I_G$	Proud od gate	[A]
$I_N$	Vstupní řídicí signál budiče MOSFET	[V]
$I_{N\_NMOS}$	Řídicí signál pro výstupní NMOS	[V]
$I_{N\_PMOS}$	Řídicí signál pro výstupní PMOS	[V]
$L$	Zamýšlená vzdálenost oblastí drain a source	[ $\mu\text{m}$ ]
$L_{ef}$	Skutečná vzdálenost oblastí drain a source	[ $\mu\text{m}$ ]
$L_g$	Délka gate segmentu	[ $\mu\text{m}$ ]
$LO$	Logická hodnota výstupu je na Low (Low output)	-
$L_{par}$	Parazitní indukčnost vývodu pouzdra budiče MOSFET	[nH]
$L_{UCC}$	Parazitní sériová indukčnost vývodu $U_{CC}$	[nH]
$MOSFET$	Metal-Oxid-Semiconductor-Field-Effect-Transistor	-
$N_g$	Počet gate segmentů	-
$OPT$	Optimalizace rozměrů budičích invertorů	-
$ORIG$	Originální obvod	-
$P_{GLoss}$	Spínací ztráty na gate kapacitě	[W]
$PGND$	Výkonová analogová zem	[V]
$PGND_{dif}$	Rozdíl amplitudy rozkmitu napětí optimalizační metody na vývodu $PGND$ vůči originálnímu obvodu	[V]
$P_{Loss}$	Ztrátový výkon	[W]
$P_{OLoss}$	Spínací ztráty na výstupu tranzistoru	[W]
$P_{RLoss}$	Vodivostní ztrátový výkon	[W]
$P_{SWLoss}$	Spínací ztrátový výkon	[W]
$PWL$	Zdroj tvarových impulsů (piecewise linear)	-
$PWLF$	Zdroj tvarových pulsů definovaný souborem (PWL-File)	-
$PWM$	Zdroj obdélníkového signálu (pulse width modulation)	-
$Q_g$	Náboj na gate	[nC]
$R_{SENSE}$	Snímací rezistor	[ $\Omega$ ]
$R_D$	Odporová zátěž	[ $\Omega$ ]
$R_{DSON}$	Odpor sepnutého přechodu drain-source	[ $\Omega$ ]
$RES$	Metoda postupného spínání zpožděvacími rezistory	-
$R_{ESR}$	Parazitní sériový odpor kapacitoru	[ $\Omega$ ]
$R_F$	Odpor RC filtru	[ $\Omega$ ]
$R_G$	Vstupní odpor gate	[ $\Omega$ ]
$R_{IN}$	Vstupní impedance filtru	[ $\Omega$ ]
$R_{Leak}$	Parazitní paralelní odpor kapacitoru	[ $\Omega$ ]
$R_O$	Výstupní odpor	[ $\Omega$ ]
$R_{OUT}$	Výstupní impedance filtru	[ $\Omega$ ]
$t_{fall}$	Sestupný čas MOSFET	[ns]
$T_j$	Teplota přechodu	[ $^{\circ}\text{C}$ ]
$t_{ox}$	Tloušťka izolační oxidové vrstvy	[ $\mu\text{m}$ ]
$t_{rise}$	Náběžný čas MOSFET	[ns]
$u(t)$	Časová závislost napětí	[V]
$U_{CC}$	Napájecí napětí	[V]

$U_{CC\_dif}$	Rozdíl amplitudy rozkmitu napětí optimalizační metody na vývodu $U_{CC}$ vůči originálnímu obvodu	[V]
$U_{CC\_dig}$	Napájecí napětí logického obvodu budiče MOSFET	[V]
$U_{CC\_SUPP}$	Napájecí napětí pro stabilizovaný zdroj	[V]
$U_{CCL}$	Napájecí napětí spodní strany budiče MOSFET	[V]
$U_{DS}$	Napětí mezi drain-source	[V]
$U_{DSsat}$	Saturační napětí mezi drain-source	[V]
$U_{GD}$	Napětí gate-drain	[V]
$U_{GS}$	Napětí mezi gate-source	[V]
$U_{GS,NMOS}$	Napětí $U_{GS}$ na výstupním NMOS	[V]
$U_{GS,PMOS}$	Napětí $U_{GS}$ na výstupním PMOS	[V]
$U_{GSamp}$	Amplituda napětí $U_{GS}$	[V]
$U_{GSMiller}$	Millerovo napětí gate-source	[V]
$U_{NMOS,OFF}$	Hladina napětí $U_{GS}$ při vypnutém NMOS	[V]
$U_{NMOS,ON}$	Hladina napětí $U_{GS}$ při zapnutém NMOS	[V]
$U_{OUT}$	Výstupní napětí budiče MOSFET	[V]
$U_{PMOS,OFF}$	Hladina napětí $U_{GS}$ při vypnutém PMOS	[V]
$U_{PMOS,ON}$	Hladina napětí $U_{GS}$ při zapnutém PMOS	[V]
$U_S$	Napětí přiložené na source	[V]
$U_{SS}$	Zemnicí potenciál pro nízkovýkonové komponenty	[V]
$U_{TH}$	Prahové napětí	[V]
$W$	Šířka kanálu	[ $\mu\text{m}$ ]
$W_g$	Šířka gate segmentu	[ $\mu\text{m}$ ]
$W_{tot}$	Celková šířka tranzistoru	[ $\mu\text{m}$ ]
$ZCS$	Spínání při nulovém proudu (Zero current switching)	-
$ZVS$	Spínání při nulovém napětí (Zero voltage switching)	-
$ZVZCS$	Spínání při nulovém napětí a proudu (Zero voltage zero current switching)	-

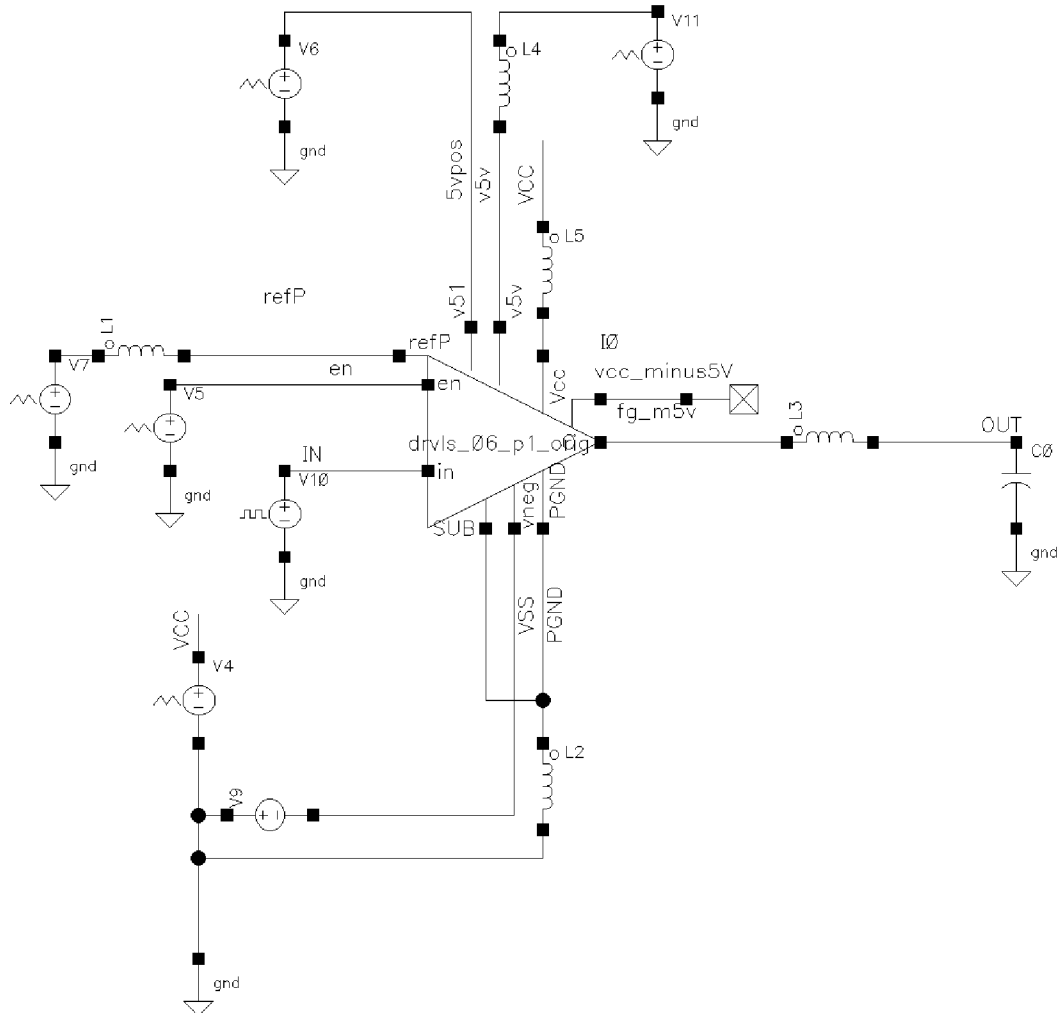
# SEZNAM PŘÍLOH

<b>PŘÍLOHA A - SCHÉMATA, NÁVRHY, STRUKTURY A DPS</b> .....	<b>94</b>
A.1 SIMULAČNÍ ZAPOJENÍ S IDEÁLNÍMI ZDROJI .....	94
A.2 ZAPOJENÍ TESTOVACÍHO OBVODU .....	95
A.3 ZAPOJENÍ ORIGINÁLNÍHO OBVODU KONCOVÉHO STUPNĚ BUDIČE MOSFET A OBVODU OPTIMALIZACE ROZMĚRŮ BUDÍCÍCH INVERTORŮ .....	96
A.4 PARAMETRY OBVODU V PŘÍLOZE A.3 .....	97
A.5 ZAPOJENÍ METODY POSTUPNÉHO SPÍNÁNÍ ZPOŽĎOVACÍMI REZISTORY .....	98
A.6 PARAMETRY OBVODU V PŘÍLOZE A.1 .....	100
A.7 ZAPOJENÍ METODY POSTUPNÉHO SPÍNÁNÍ ASYMETRICKÝMI INVERTORY .....	101
A.8 PARAMETRY OBVODU V PŘÍLOZE 0.....	103
A.9 LAYOUT TESTOVACÍ DPS .....	104
A.10 VYROBENÁ TESTOVACÍ DPS .....	105
A.11 UPRAVENÝ BNC KABEL, NAPÁJECÍ VÝVODY A DUTINOVÝ NÁSTAVEC NA SONDU OSCILOSKOPU 106	
A.12 KOMPLETNÍ TESTOVACÍ OBVOD S IMPLEMENTOVANÝMI PARAZITNÍMI VLASTNOSTMI OBVODU NA DPS 107	
A.13 BONDING DIAGRAM TESTOVACÍHO OBVODU V POUZDŘE SOIC-16.....	108
<b>PŘÍLOHA B - VÝSLEDKY MĚŘENÍ A SIMULACÍ</b> .....	<b>109</b>
B.1 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD <b>ORIG</b> .....	109
B.2 PRŮBĚH NAPĚTÍ NA VÝVODECH U <sub>CC</sub> (FIALOVÁ) A PGND (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD <b>ORIG</b> .....	109
B.3 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD <b>ORIG</b> .....	110
B.4 PRŮBĚH NAPĚTÍ NA VÝVODECH U <sub>CC</sub> (FIALOVÁ) A PGND (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD <b>ORIG</b> .....	110
B.5 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD S METODOU <b>OPT</b> .....	111
B.6 PRŮBĚH NAPĚTÍ NA VÝVODECH U <sub>CC</sub> (FIALOVÁ) A PGND (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD S METODOU <b>OPT</b> .....	111
B.7 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD S METODOU <b>OPT</b> .....	112
B.8 PRŮBĚH NAPĚTÍ NA VÝVODECH U <sub>CC</sub> (FIALOVÁ) A PGND (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD S METODOU <b>OPT</b> .....	112
B.9 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD S METODOU <b>RES</b> .....	113
B.10 PRŮBĚH NAPĚTÍ NA VÝVODECH U <sub>CC</sub> (FIALOVÁ) A PGND (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD S METODOU <b>RES</b> .....	113
B.11 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD S METODOU <b>RES</b> .....	114
B.12 PRŮBĚH NAPĚTÍ NA VÝVODECH U <sub>CC</sub> (FIALOVÁ) A PGND (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD S METODOU <b>RES</b> .....	114
B.13 PRŮBĚH NAPĚTÍ NA VÝVODECH IN (ČERVENÁ), OUT (TYRKYSOVÁ) A REZISTORU R_SENSE (MODRÁ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD S METODOU <b>ASINV</b> .....	115

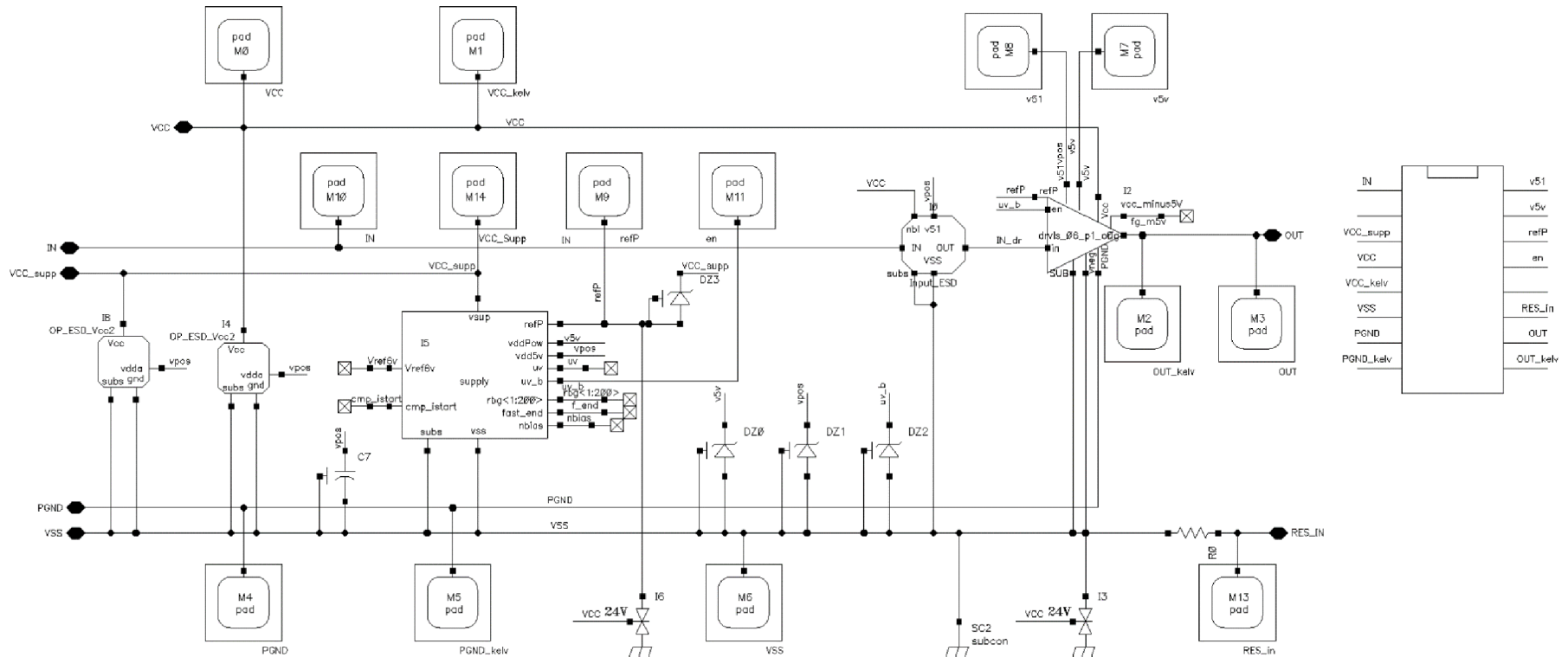
B.14	PRŮBĚH NAPĚTÍ NA VÝVODECH $U_{CC}$ ( <b>FIALOVÁ</b> ) A PGND ( <b>MODRÁ</b> ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>LO</b> DO <b>HO</b> PRO OBVOD S METODOU <b>ASINV</b> .....	115
B.15	PRŮBĚH NAPĚTÍ NA VÝVODECH IN ( <b>ČERVENÁ</b> ), OUT ( <b>TYRKYSOVÁ</b> ) A REZISTORU R_SENSE ( <b>MODRÁ</b> ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD S METODOU <b>ASINV</b> .....	116
B.16	PRŮBĚH NAPĚTÍ NA VÝVODECH $U_{CC}$ ( <b>FIALOVÁ</b> ) A PGND ( <b>MODRÁ</b> ) PŘI ZMĚNĚ VÝSTUPU BUDIČE Z <b>HO</b> DO <b>LO</b> PRO OBVOD S METODOU <b>ASINV</b> .....	116
<b>PŘÍLOHA C - SROVNÁNÍ MĚŘENÝCH A SIMULOVANÝCH VÝSLEDKŮ</b> .....		<b>117</b>
C.1	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA PGND (VLEVO) A $U_{CC}$ (VPRAVO) PRO OBVOD <b>ORIG</b> .....	117
C.2	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA PGND (VLEVO) A $U_{CC}$ (VPRAVO) PRO OBVOD <b>OPT</b> .....	117
C.3	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA PGND (VLEVO) A $U_{CC}$ (VPRAVO) PRO OBVOD <b>RES</b> .....	118
C.4	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA PGND (VLEVO) A $U_{CC}$ (VPRAVO) PRO OBVOD <b>ASINV</b> .....	118
C.5	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ $U_{SENSE}$ PRO OBVOD <b>ORIG</b> .....	119
C.6	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ $U_{SENSE}$ PRO OBVOD <b>OPT</b> .....	119
C.7	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ $U_{SENSE}$ PRO OBVOD <b>RES</b> .....	120
C.8	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ $U_{SENSE}$ PRO OBVOD <b>RES</b> .....	120
C.9	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA VÝVODU <i>OUT</i> PRO OBVOD <b>ORIG</b> .....	121
C.10	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA VÝVODU <i>OUT</i> PRO OBVOD <b>OPT</b> .....	121
C.11	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA VÝVODU <i>OUT</i> PRO OBVOD <b>RES</b> .....	122
C.12	SROVNÁNÍ MĚŘENÉHO ( <b>ČERVENÁ</b> ) A SIMULOVANÉHO ( <b>TYRKYSOVÁ</b> ) PRŮBĚHU NAPĚTÍ NA VÝVODU <i>OUT</i> PRO OBVOD <b>ASINV</b> .....	122

# Příloha A - Schémata, návrhy, struktury a DPS

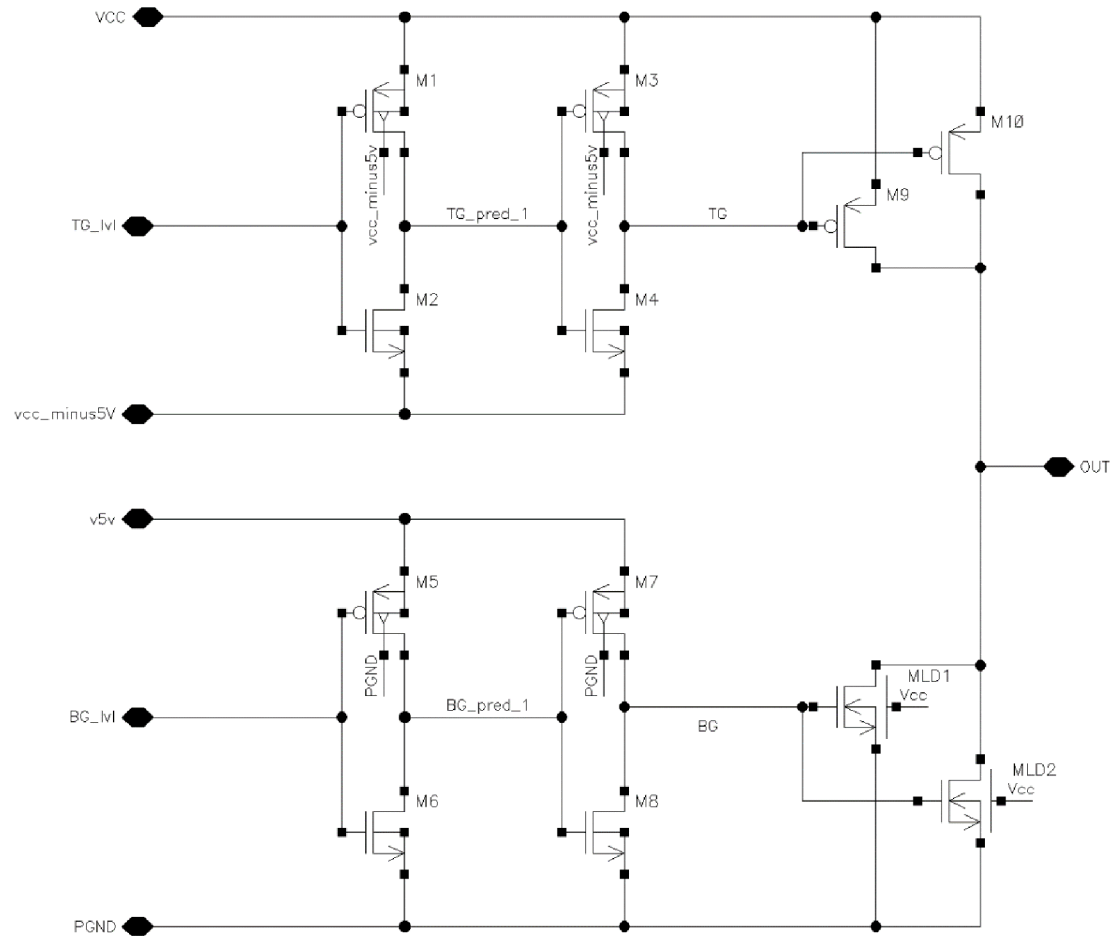
## A.1 Simulační zapojení s ideálními zdroji



## A.2 Zapojení testovacího obvodu



### A.3 Zapojení originálního obvodu koncového stupně budiče MOSFET a obvodu optimalizace rozměrů budících invertorů

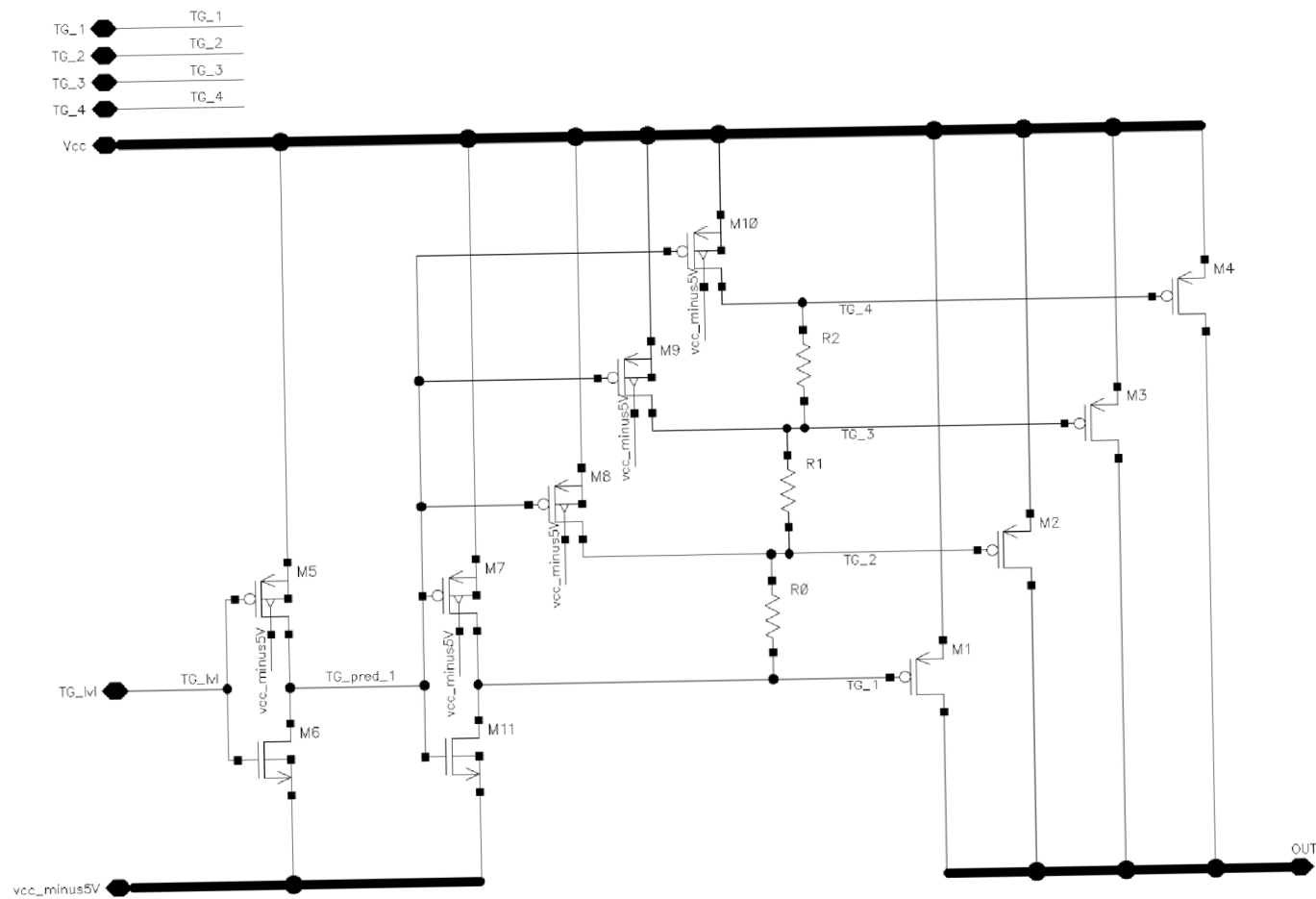




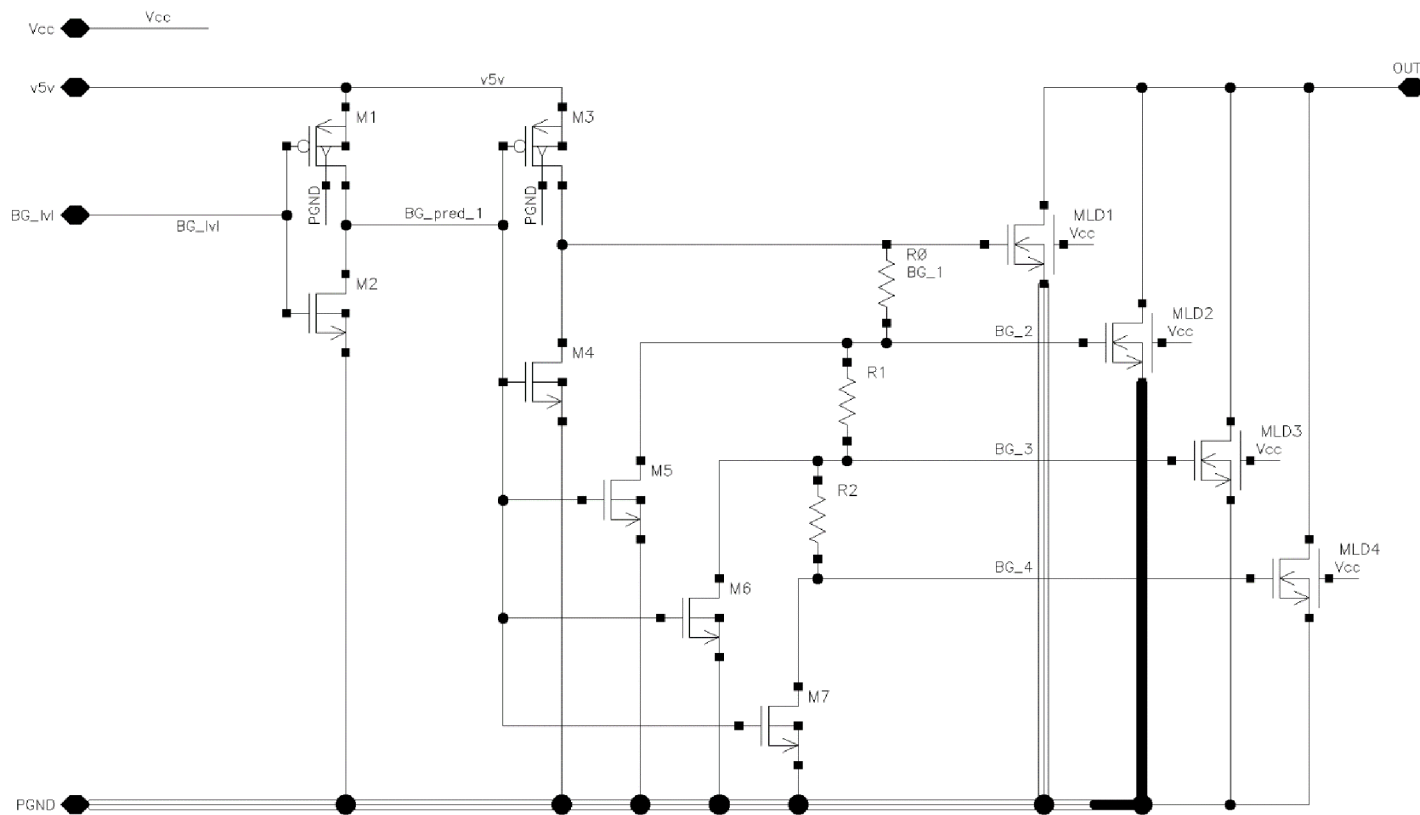
## A.4 Parametry obvodu v příloze A.3

Originální zapojení budiče MOSFET									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M1	10	3	30	0,5	M5	8,06	6	48,36	0,5
M2	8,2	2	16,4	0,5	M6	6,75	4	27	0,5
M3	12	24	288	0,5	M7	8	35	280	0,5
M4	10	10	100	0,5	M8	10	13	130	0,5
M9	53	24	1272	0,6	MLD1	53	24	1272	0,6
M10	53	24	1272	0,6	MLD2	53	24	1272	0,6
Zapojení metody OPT - idealizované zapojení									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M1	5,5	2	11	0,5	M5	7	3	21	0,5
M2	6	2	12	0,5	M6	4	2	8	0,5
M3	14	6	84	0,5	M7	6,1	5	30,5	0,5
M4	5	4	20	0,5	M8	6	5	30	0,5
M9	53	24	1272	0,6	MLD1	53	24	1272	0,6
M10	53	24	1272	0,6	MLD2	53	24	1272	0,6
Zapojení metody OPT - reálné parametry testovací struktury									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M1	5,5	2	11	0,5	M5	7	3	21	0,5
M2	6	2	12	0,5	M6	4	2	8	0,5
M3	14	6	84	0,5	M7	6,1	5	30,5	0,5
M4	5	4	20	0,5	M8	6	5	30	0,5
M9	53	24	1272	0,6	MLD1	53	24	1272	0,6
M10	53	24	1272	0,6	MLD2	53	24	1272	0,6

## A.5 Zapojení metody postupného spínání zpožd'ovacími rezistory Horní strana budiče MOSFET



## Dolní strana budiče MOSFET

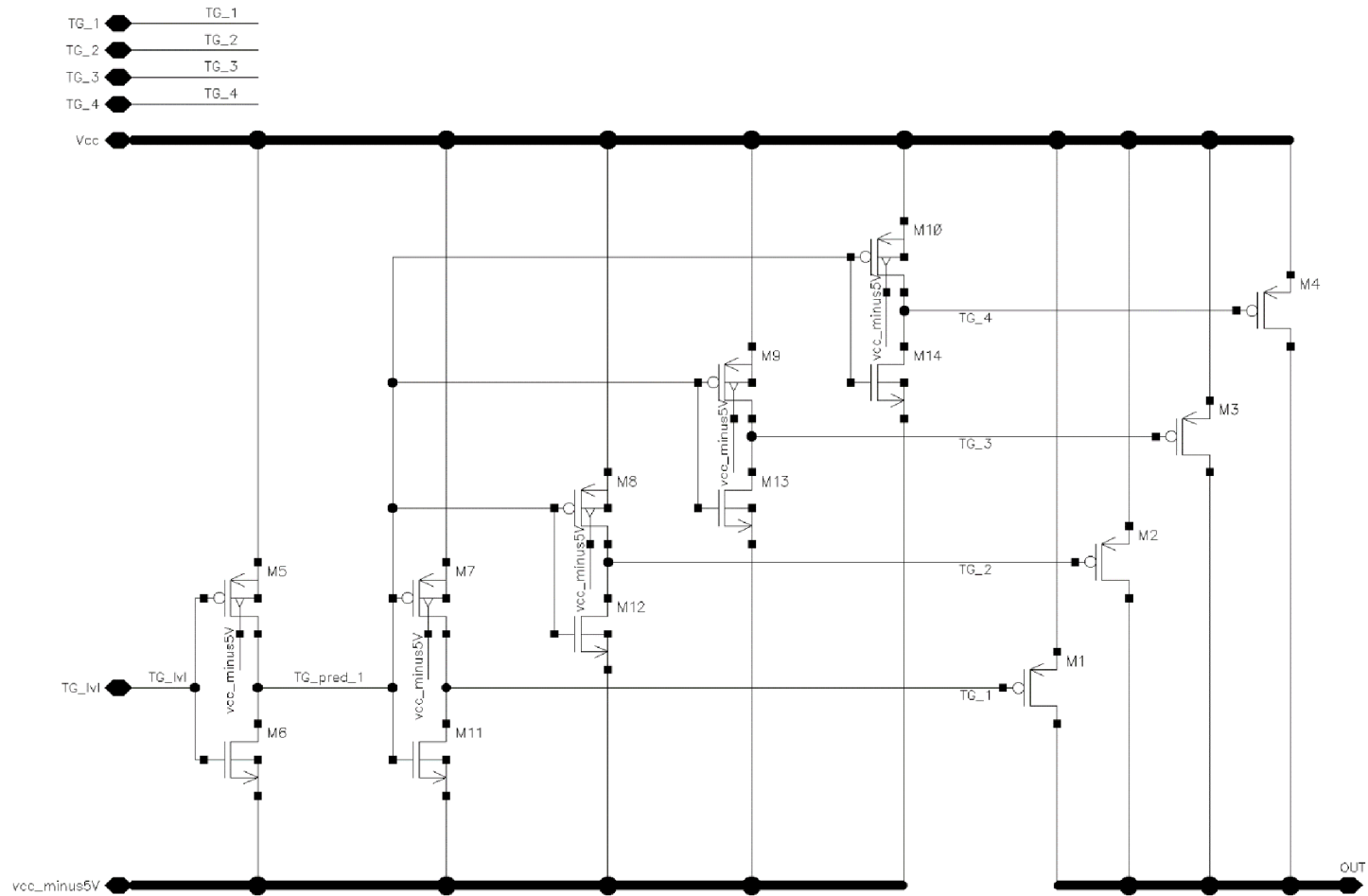


## A.6 Parametry obvodu v příloze A.1

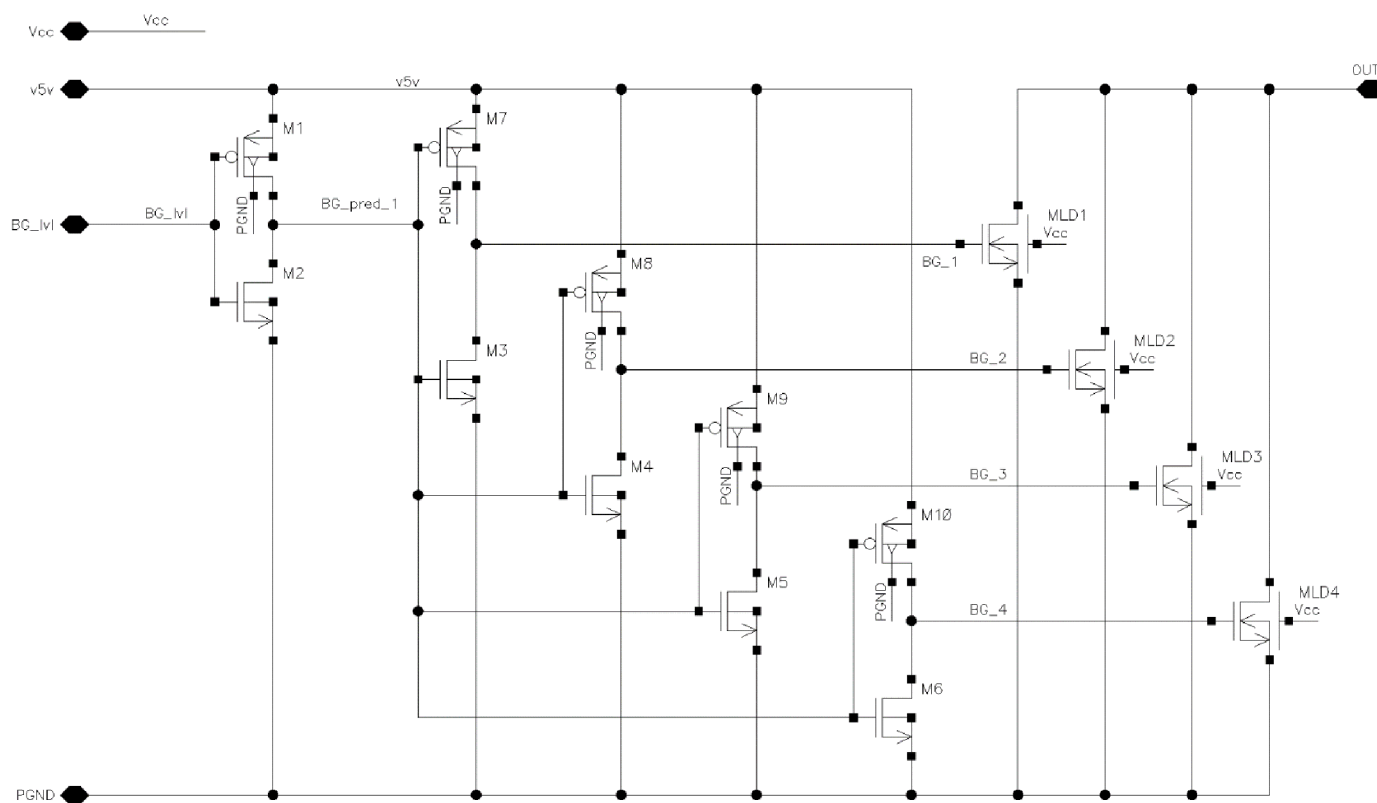
Zapojení metody RES - idealizované zapojení									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M5	7	3	21	0,5	M1	6	4	24	0,5
M6	6,2	2	12,4	0,5	M2	5	4	20	0,5
M11	10	10	100	0,5	M3	7	30	210	0,5
M7	9,5	2	19	0,5	M4	3,4	1	3,4	0,5
M8	9,5	4	38	0,5	M5	3,4	2	6,8	0,5
M9	9,5	6	57	0,5	M6	3,4	3	10,2	0,5
M10	9,5	8	76	0,5	M7	3,4	4	13,6	0,5
M1	6,4	20	128	0,6	MLD1	4,8	20	96	0,6
M2	25,4	20	508	0,6	MLD2	25,1	20	502	0,6
M3	38,3	20	766	0,6	MLD3	40	20	800	0,6
M4	57,1	20	1142	0,6	MLD4	57,3	20	1146	0,6
Celková šířka $W$ výstupních PMOS [ $\mu\text{m}$ ]				2544	Celková šířka $W$ výstupních NMOS [ $\mu\text{m}$ ]				2544
Rezistory					Rezistory				
	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Odpor [ $\Omega$ ]			$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Odpor [ $\Omega$ ]	
R0	15,36	3,82	90		R0	4,8	3	240	
R1	15,36	2,23	60		R1	38,32	7	60	
R2	15,36	3,29	80		R2	7,06	10	450	
Zapojení metody RES - reálné parametry testovací struktury									
Horní strana budiče					Dolní strana budiče				
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]
M5	10	3	30	0,5	M1	7	4	28	0,5
M6	5,2	2	10,4	0,5	M2	6,75	4	27	0,5
M11	10	10	100	0,5	M3	8	19	152	0,5
M7	6,2	2	12,4	0,5	M4	6,2	1	6,2	0,5
M8	6,2	4	24,8	0,5	M5	6,2	2	12,4	0,5
M9	6,2	6	37,2	0,5	M6	6,2	3	18,6	0,5
M10	6,2	8	49,6	0,5	M7	6,2	4	24,8	0,5
M1	42,4	6	254,4	0,6	MLD1	42,4	6	254,4	0,6
M2	42,4	12	508,8	0,6	MLD2	42,4	12	508,8	0,6
M3	42,4	18	763,2	0,6	MLD3	42,4	18	763,2	0,6
M4	42,4	24	1017,6	0,6	MLD4	42,4	24	1017,6	0,6
Celková šířka $W$ výstupních PMOS [ $\mu\text{m}$ ]				2544	Celková šířka $W$ výstupních NMOS [ $\mu\text{m}$ ]				2544
Rezistory					Rezistory				
	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Odpor [ $\Omega$ ]			$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Odpor [ $\Omega$ ]	
R0	15,36	3,82	90		R0	12,8	7,89	200	
R1	15,36	2,23	60		R1	5,92	5,16	300	
R2	15,36	3,29	80		R2	5,06	9,49	600	

## A.7 Zapojení metody postupného spínání asymetrickými invertory

### Horní strana budiče MOSFET



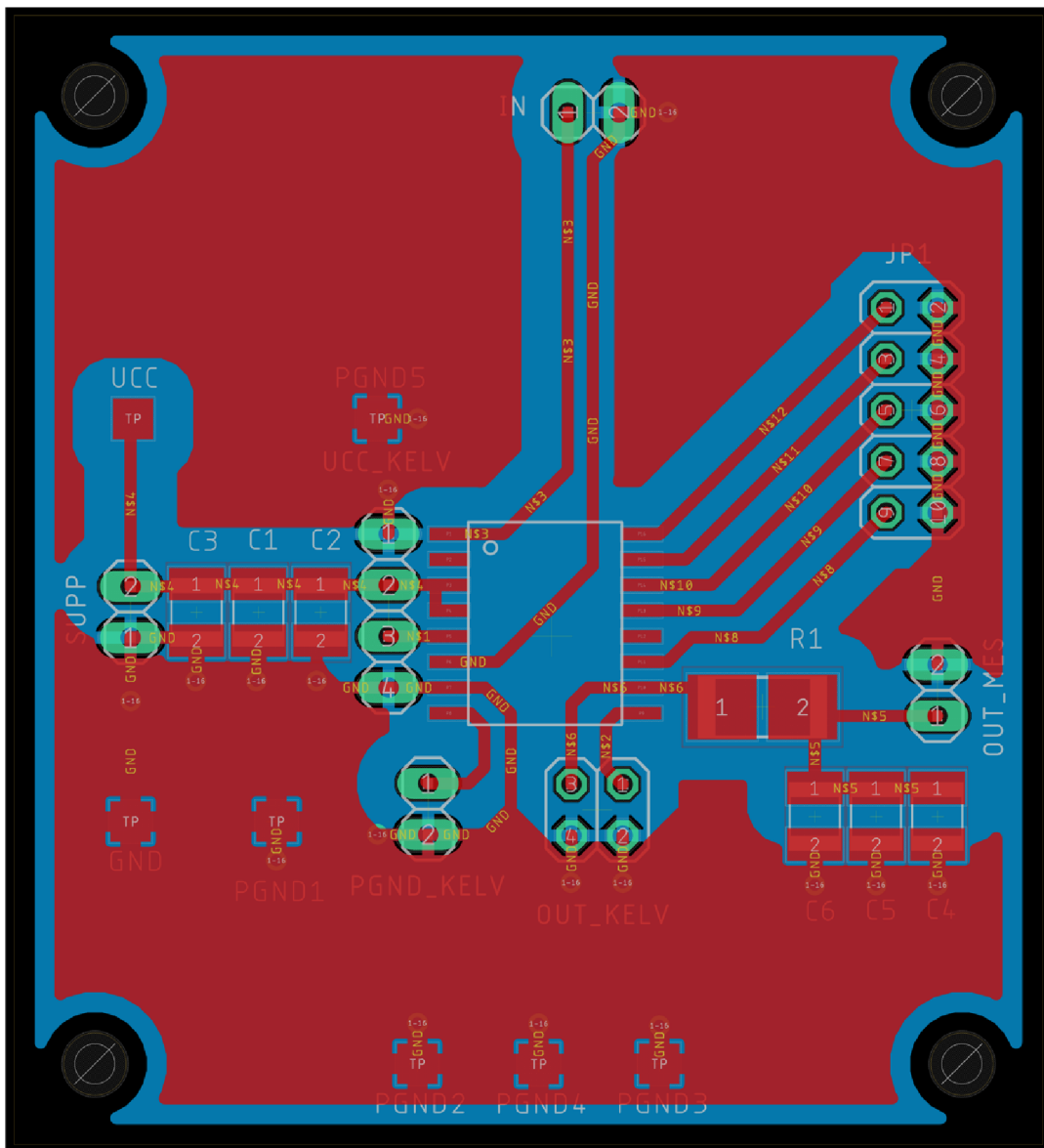
## Dolní strana budiče MOSFET



## A.8 Parametry obvodu v příloze 0

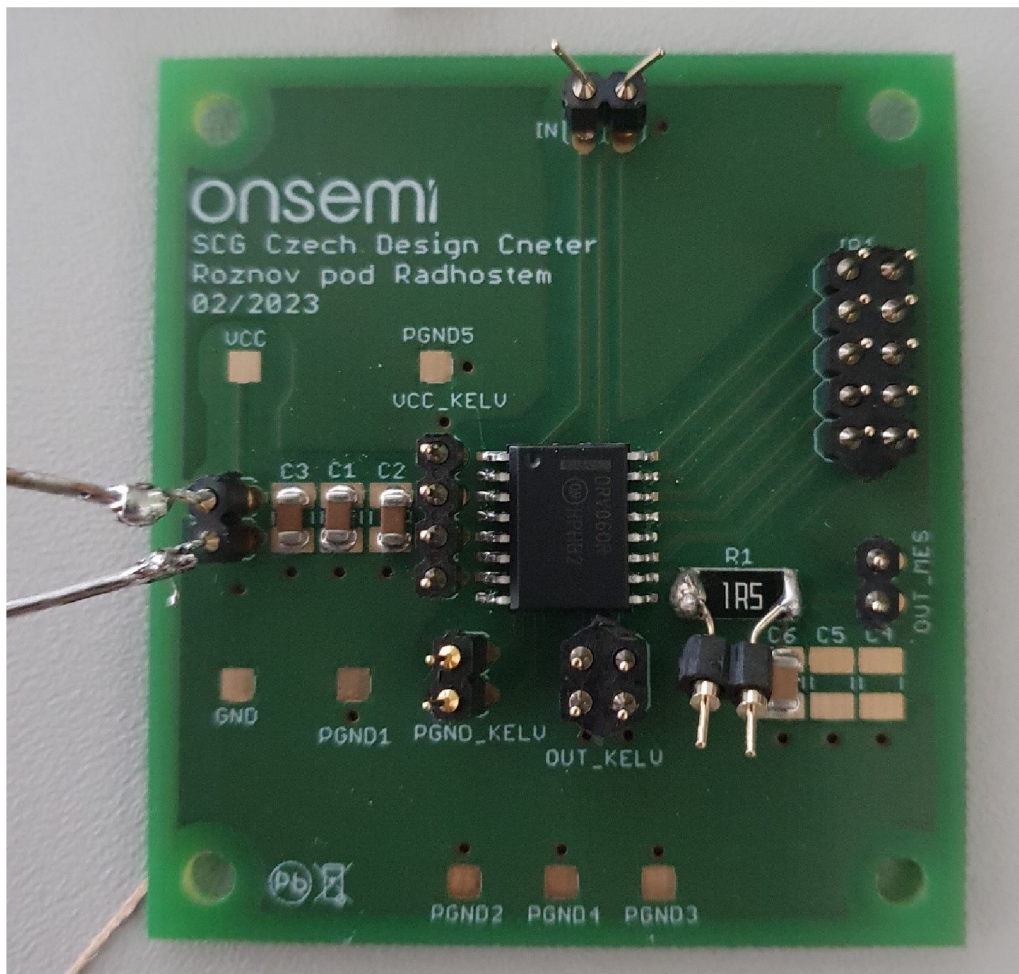
Zapojení metody AsInv - idealizované zapojení										
Horní strana budiče					Dolní strana budiče					
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]	
M5	5,5	3	16,5	0,5	M1	4	2	8	0,5	
M6	5	2	10	0,5	M2	3,5	2	7	0,5	
M7	9	2	18	0,5	M3	1,6	1	1,6	0,5	
M8	9	4	36	0,5	M4	3,1	2	6,2	0,5	
M9	9	6	54	0,5	M5	3,1	3	9,3	0,5	
M10	9	8	72	0,5	M6	3,52	4	14,08	0,5	
M11	5	2	10	0,5	M7	7	2	14	0,5	
M12	3,9	2	7,8	0,5	M8	7	2	14	0,5	
M13	3,8	2	7,6	0,5	M9	4,6	2	9,2	0,5	
M14	3,7	2	7,4	0,5	M10	4,3	2	8,6	0,5	
M1	12,7	20	254	0,6	MLD1	6,4	20	128	0,6	
M2	25,4	20	508	0,6	MLD2	25,4	20	508	0,6	
M3	38,1	20	762	0,6	MLD3	38,2	20	764	0,6	
M4	51	20	1020	0,6	MLD4	57,2	20	1144	0,6	
Celková šířka $W$ výstupních PMOS [ $\mu\text{m}$ ]				2544	Celková šířka $W$ výstupních NMOS [ $\mu\text{m}$ ]				2544	
Zapojení metody AsInv - reálné parametry testovací struktury										
Horní strana budiče					Dolní strana budiče					
	$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]		$W_g$ [ $\mu\text{m}$ ]	$ng$ [-]	$W_{tot}$ [ $\mu\text{m}$ ]	$L_g$ [ $\mu\text{m}$ ]	
M5	10	2	20	0,5	M1	4,5	2	9	0,5	
M6	4	1	4	0,5	M2	3	2	6	0,5	
M7	7	2	14	0,5	M3	4	1	4	0,5	
M8	7	4	28	0,5	M4	4	2	8	0,5	
M9	7	6	42	0,5	M5	4	3	12	0,5	
M10	7	8	56	0,5	M6	4	4	16	0,5	
M11	5	2	10	0,5	M7	12	2	24	0,5	
M12	4,3	2	8,6	0,5	M8	7	2	14	0,5	
M13	3,5	2	7	0,5	M9	5	2	10	0,5	
M14	2,5	2	5	0,5	M10	3	2	6	0,5	
M1	42,4	6	254,4	0,6	MLD1	42,4	6	254,4	0,6	
M2	42,4	12	508,8	0,6	MLD2	42,4	12	508,8	0,6	
M3	42,4	18	763,2	0,6	MLD3	42,4	18	763,2	0,6	
M4	42,4	24	1017,6	0,6	MLD4	42,4	24	1017,6	0,6	
Celková šířka $W$ výstupních PMOS [ $\mu\text{m}$ ]				2544	Celková šířka $W$ výstupních NMOS [ $\mu\text{m}$ ]				2544	

## A.9 Layout testovací DPS





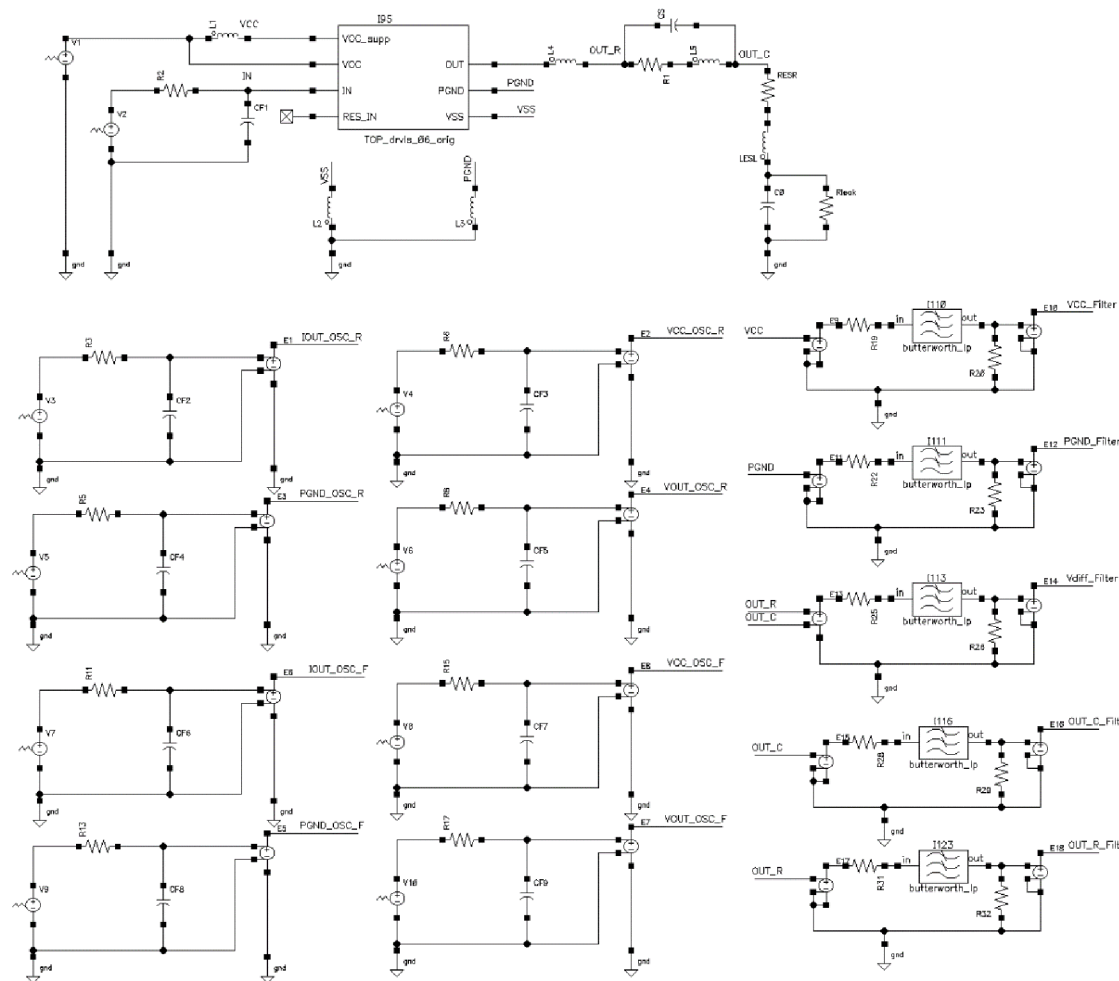
## A.10 Vyrobena testovací DPS



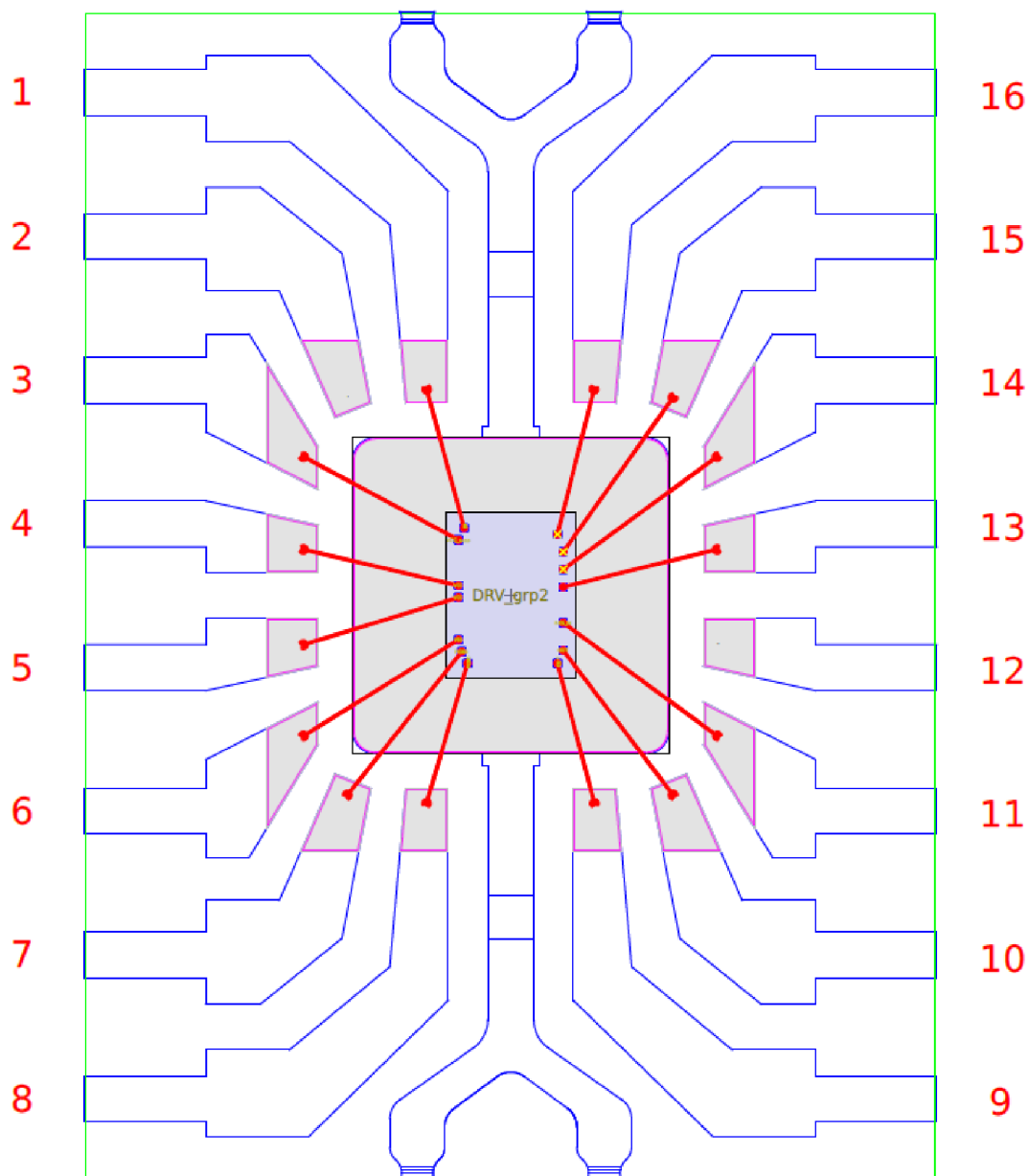
A.11 Upravený BNC kabel, napájecí vývody a dutinový nástavec na sondu osciloskopu



## A.12 Kompletní testovací obvod s implementovanými parazitními vlastnostmi obvodu na DPS

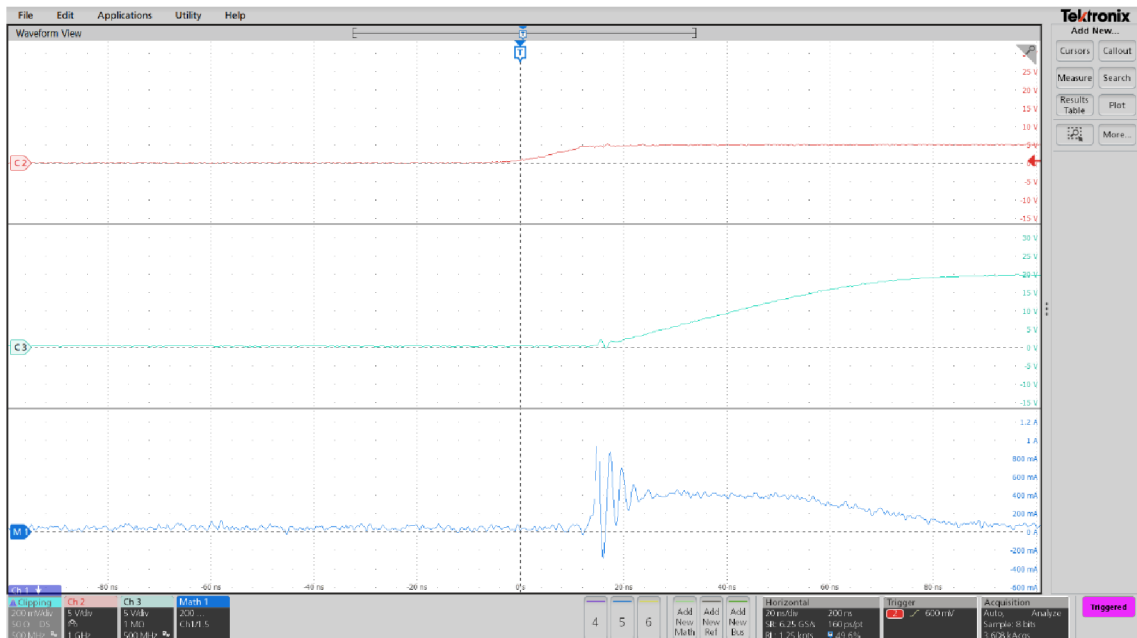


### A.13 Bonding diagram testovacího obvodu v pouzdře SOIC-16

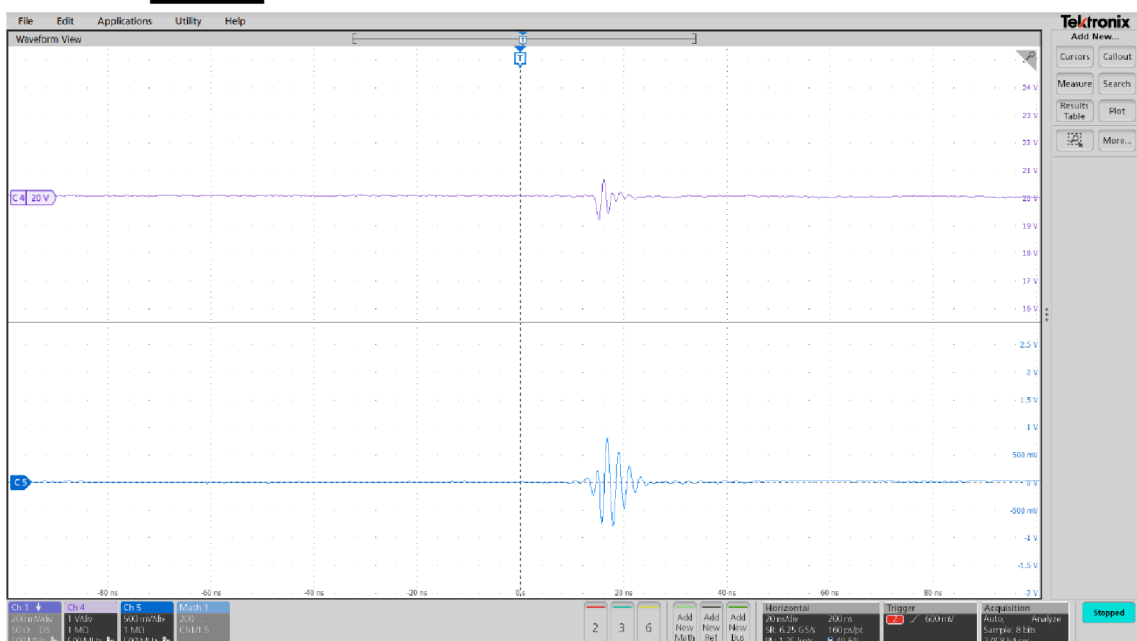


## Příloha B - Výsledky měření a simulací

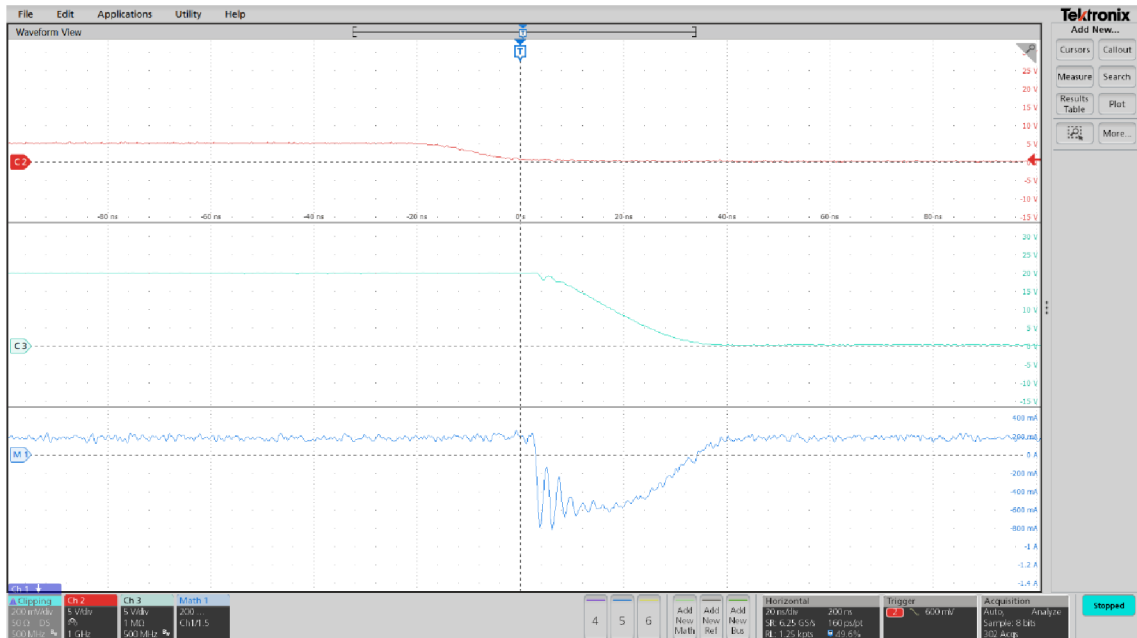
B.1 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z LO do HO pro obvod **ORIG**



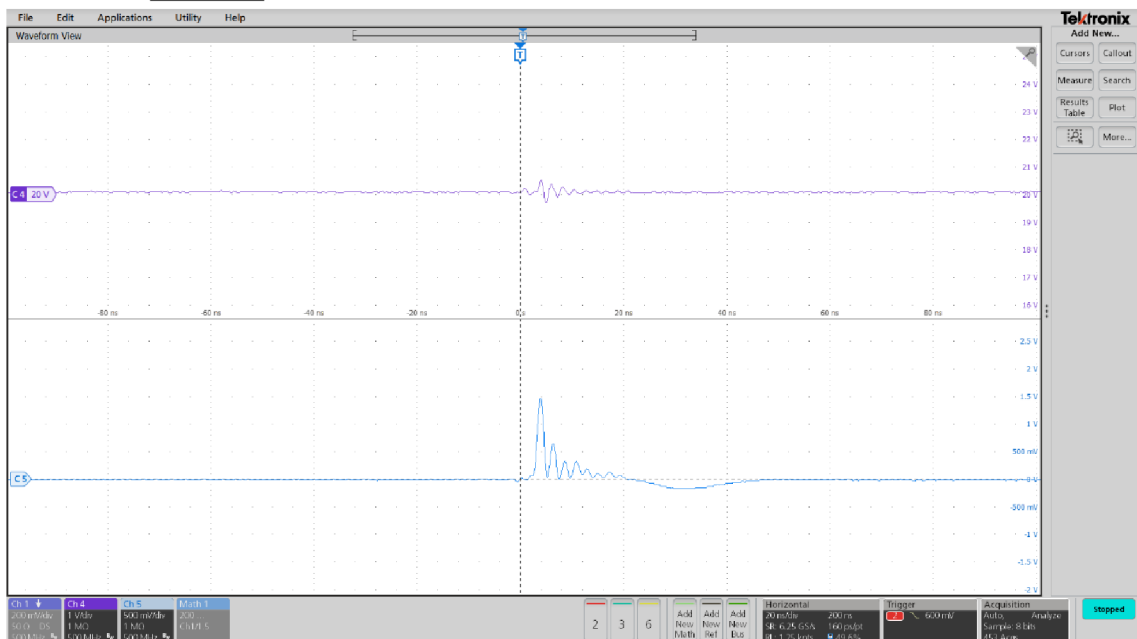
B.2 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z LO do HO pro obvod **ORIG**



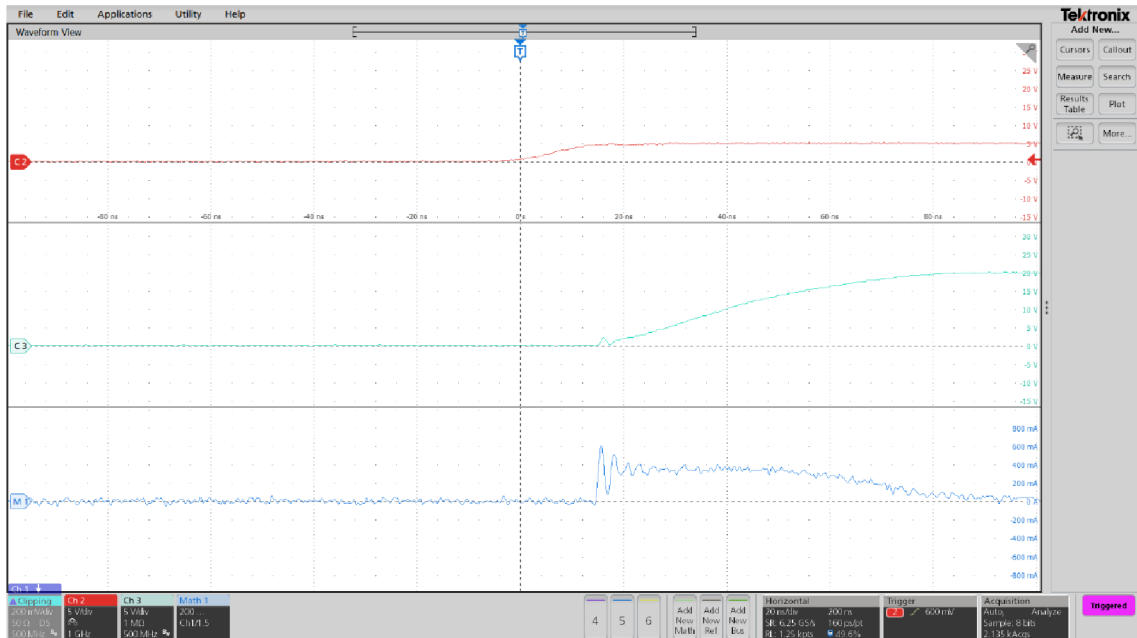
### B.3 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod **ORIG**



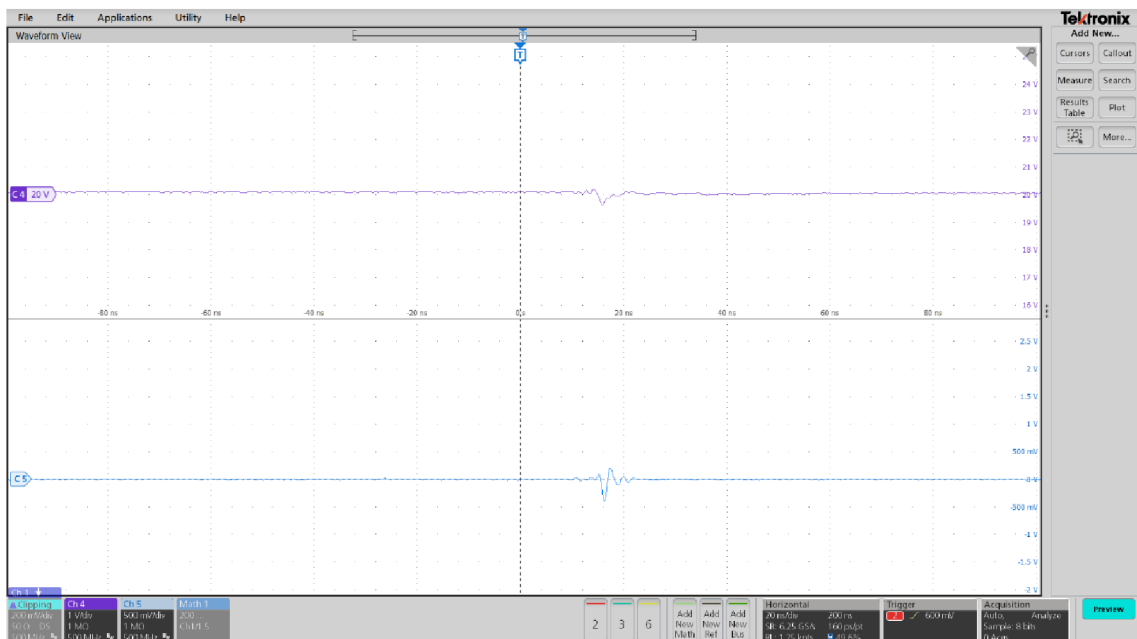
### B.4 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z **LO** do **HO** pro obvod **ORIG**



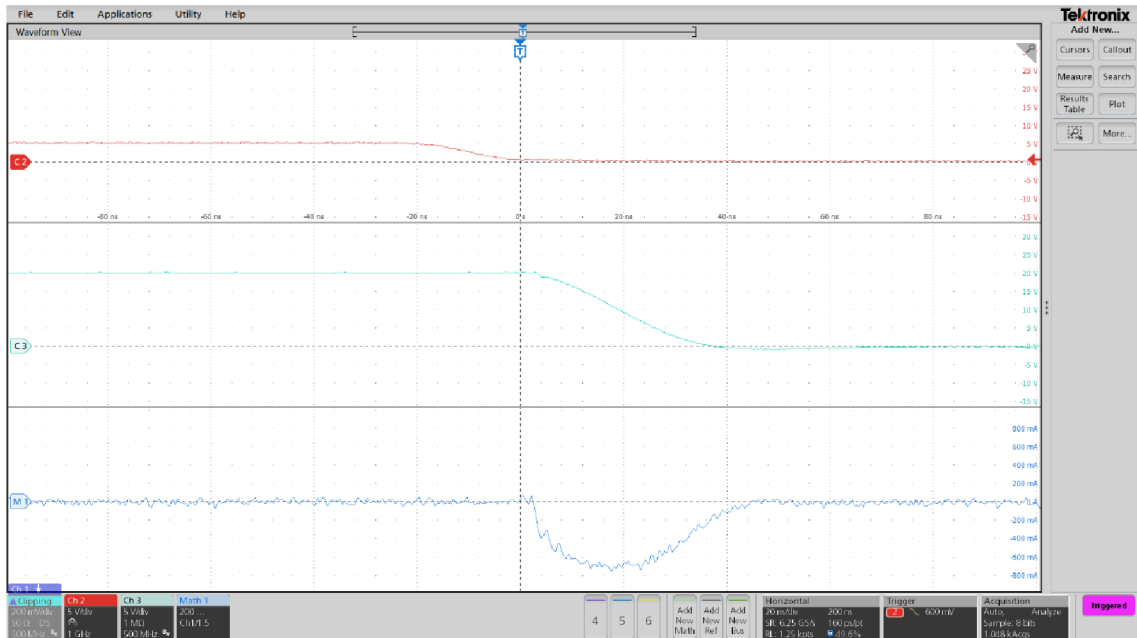
### B.5 Průběh napětí na vývodech IN (červená), OUT (tyrkysová) a rezistoru R\_SENSE (modrá) při změně výstupu budiče z LO do HO pro obvod s metodou OPT



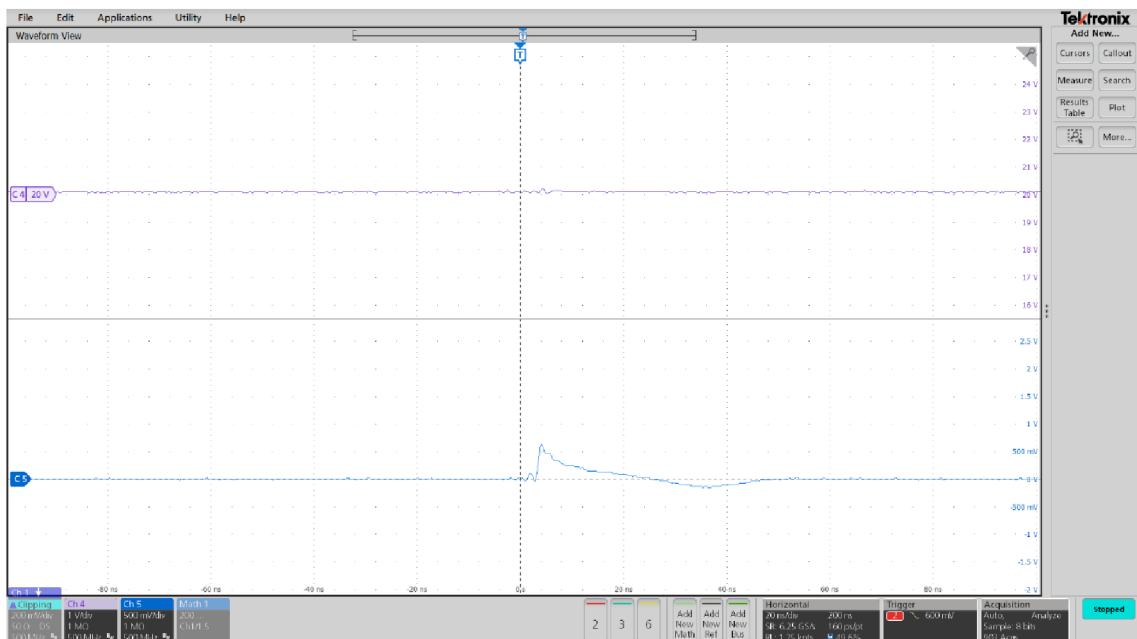
### B.6 Průběh napětí na vývodech U<sub>CC</sub> (fialová) a PGND (modrá) při změně výstupu budiče z LO do HO pro obvod s metodou OPT



B.7 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod s metodou **OPT**

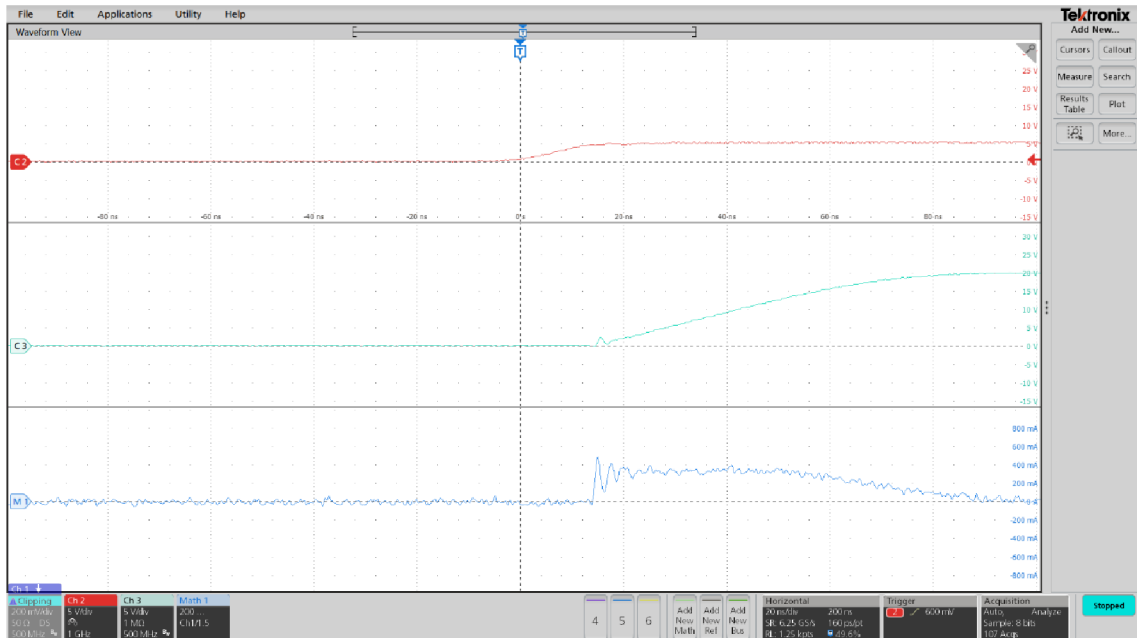


B.8 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod s metodou **OPT**

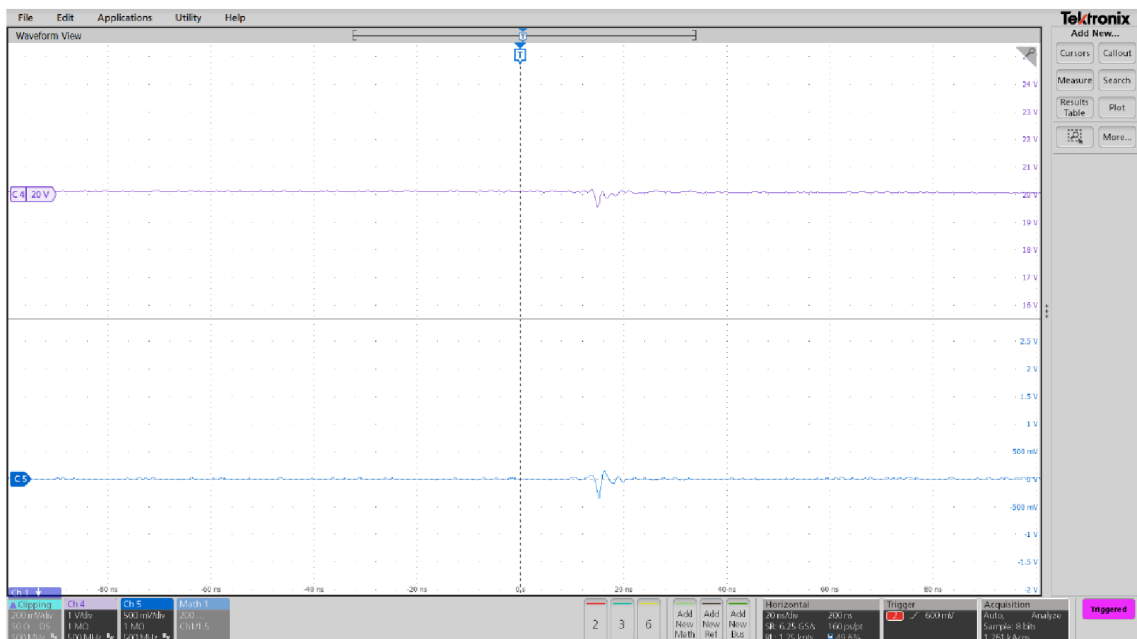




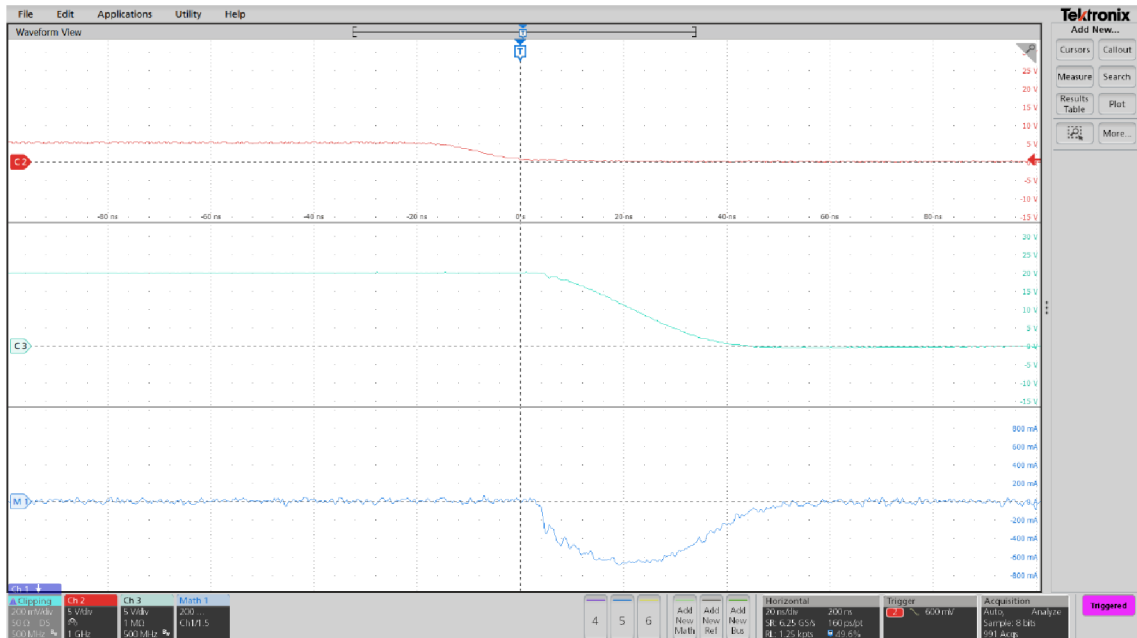
B.9 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z LO do HO pro obvod s metodou **RES**



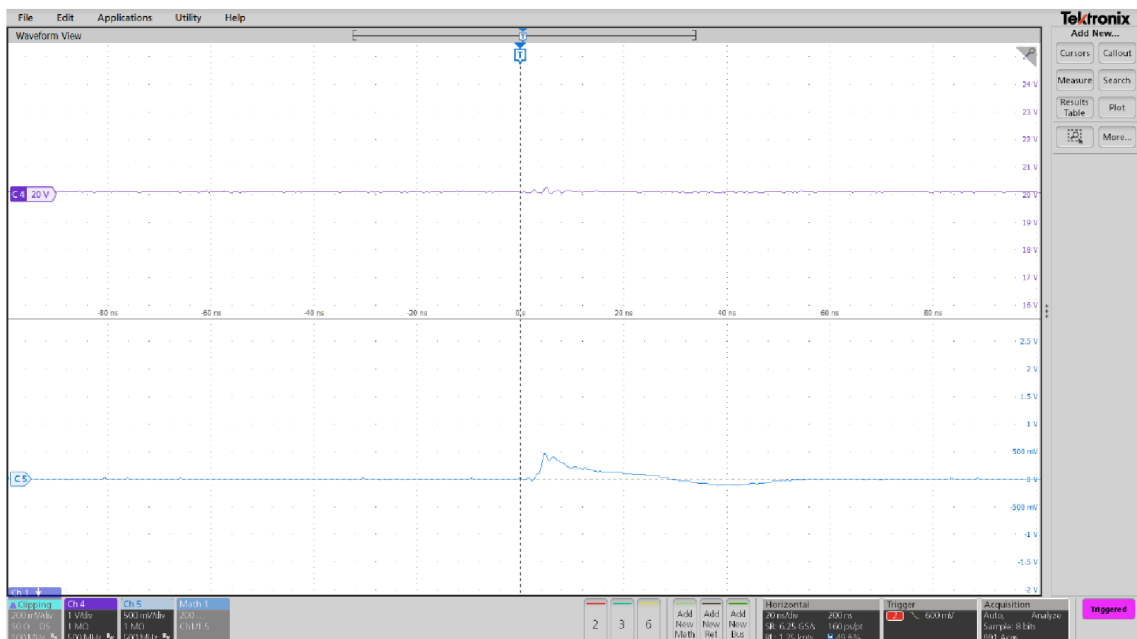
B.10 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z LO do HO pro obvod s metodou **RES**



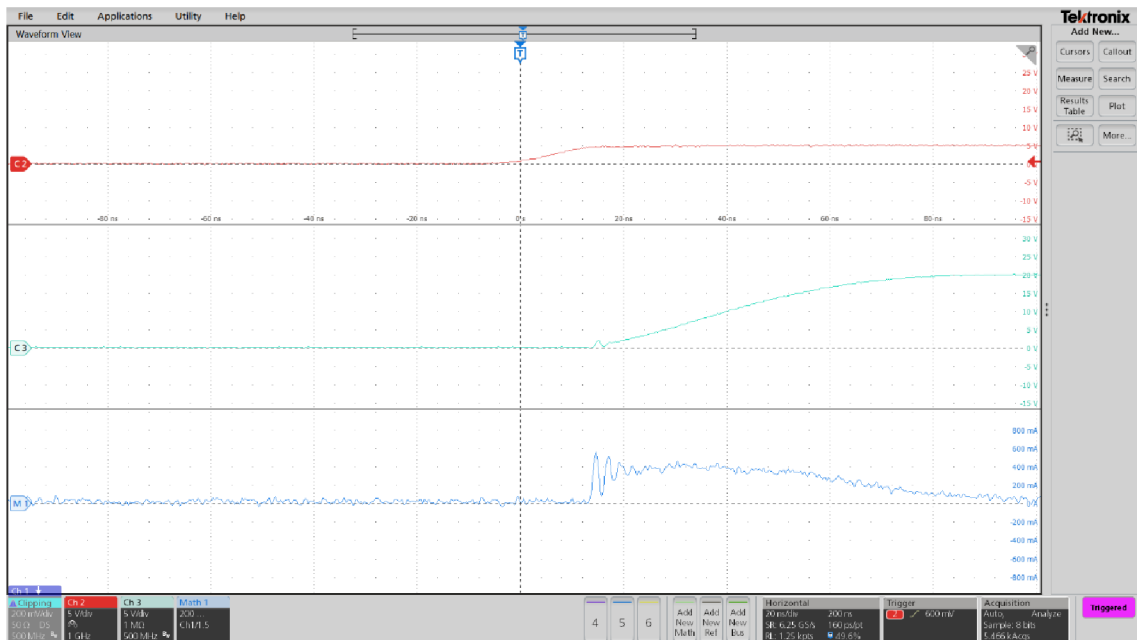
B.11 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod s metodou **RES**



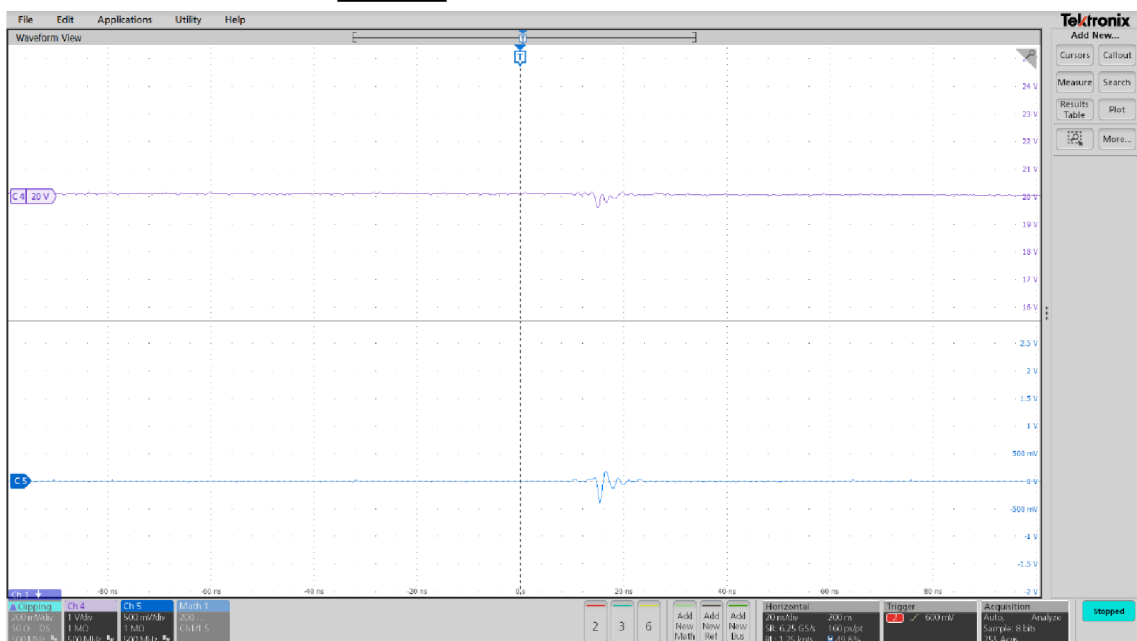
B.12 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod s metodou **RES**



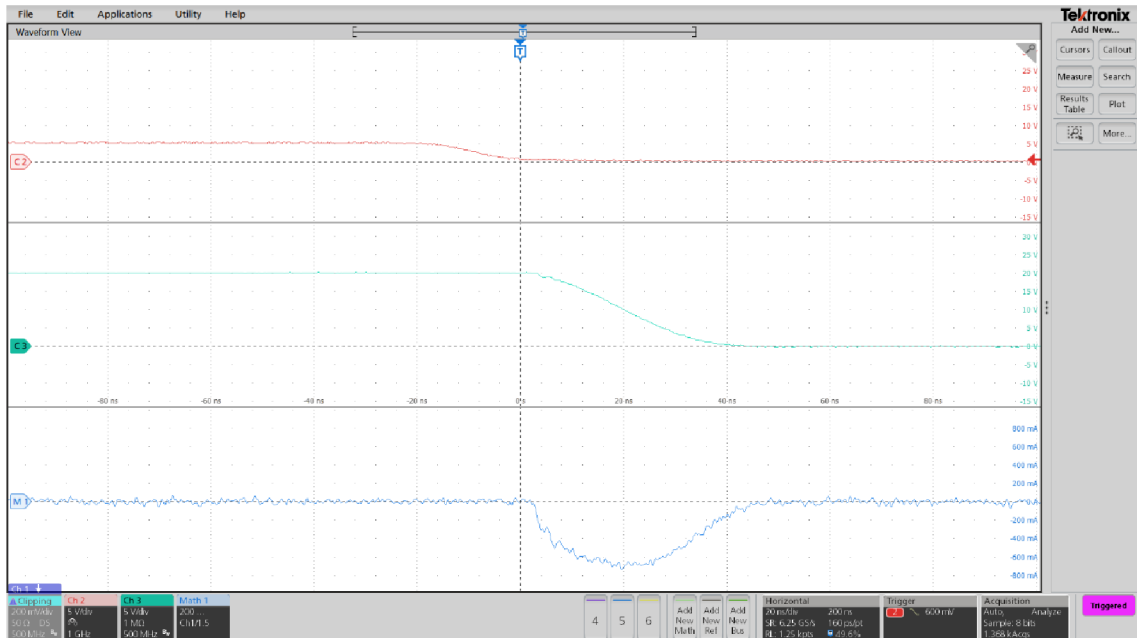
B.13 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z LO do HO pro obvod s metodou AsInv



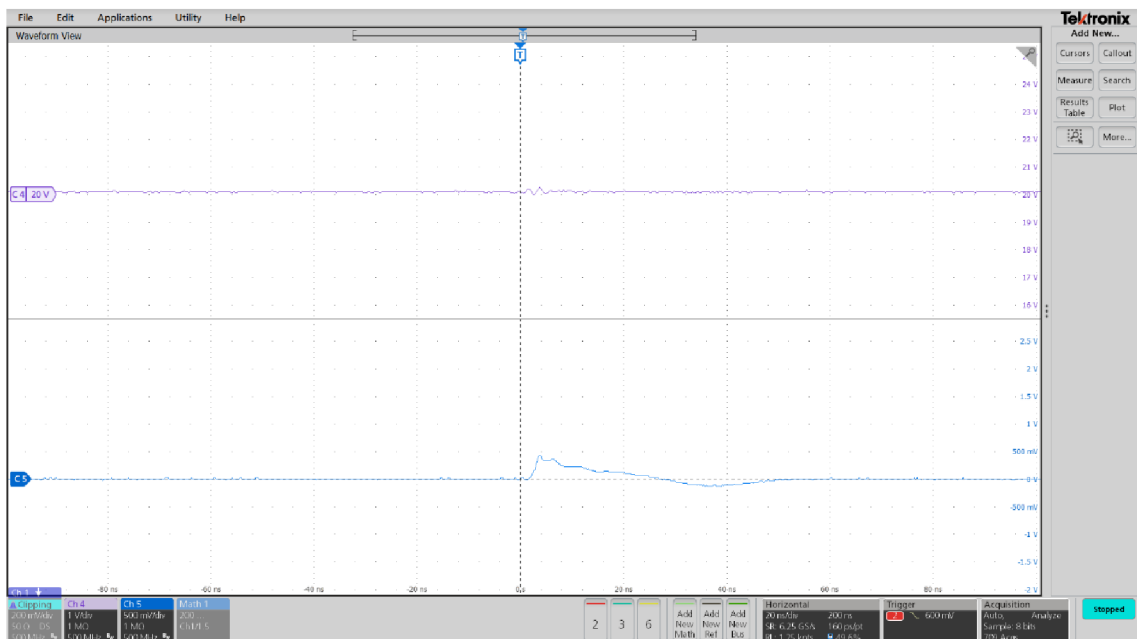
B.14 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z LO do HO pro obvod s metodou AsInv



B.15 Průběh napětí na vývodech IN (**červená**), OUT (**tyrkysová**) a rezistoru R\_SENSE (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod s metodou **AsInv**

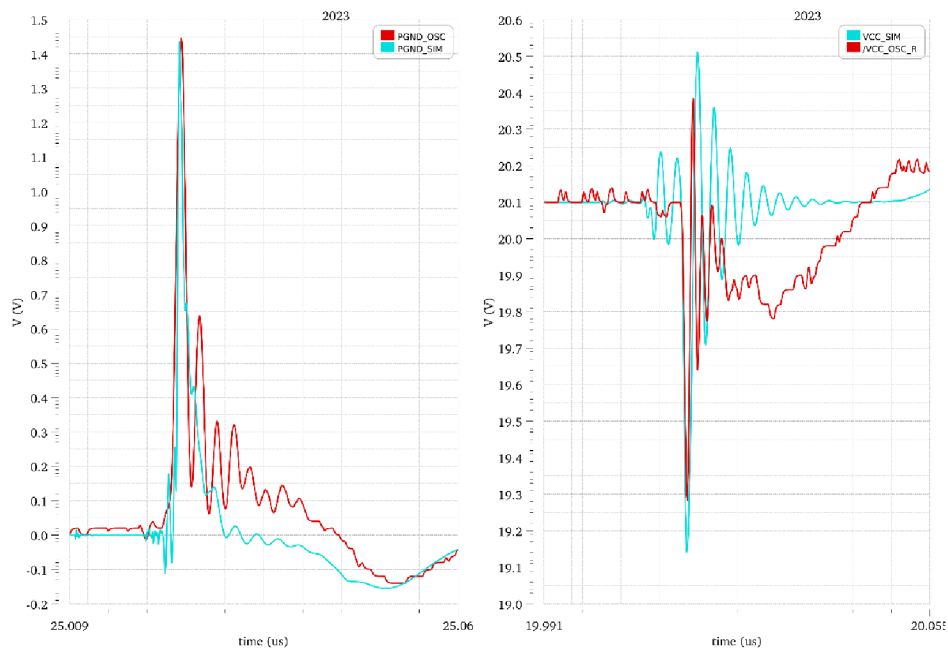


B.16 Průběh napětí na vývodech U<sub>CC</sub> (**fialová**) a PGND (**modrá**) při změně výstupu budiče z **HO** do **LO** pro obvod s metodou **AsInv**

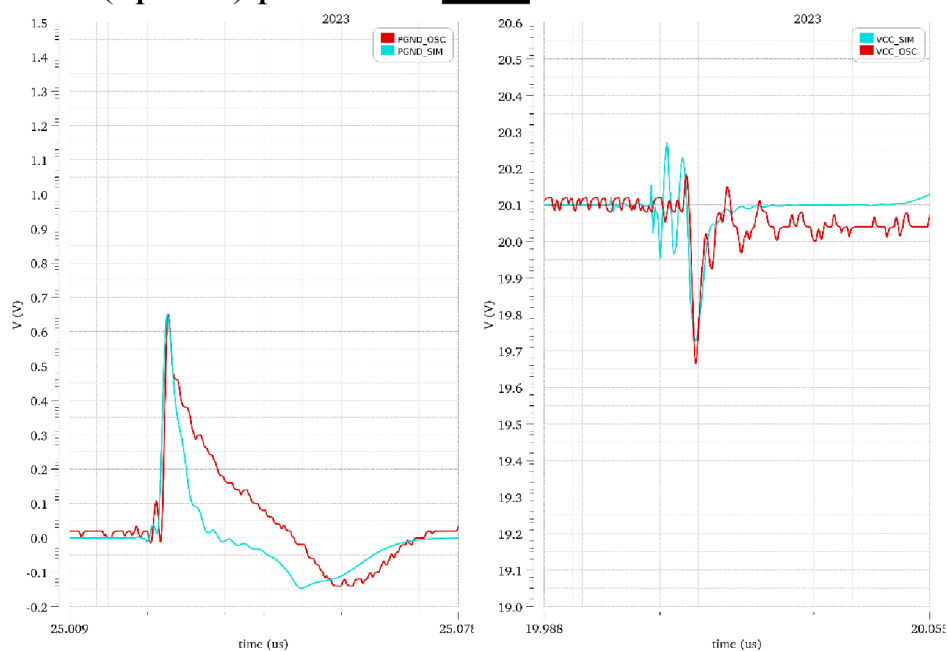


# Příloha C - Srovnání měřených a simulovaných výsledků

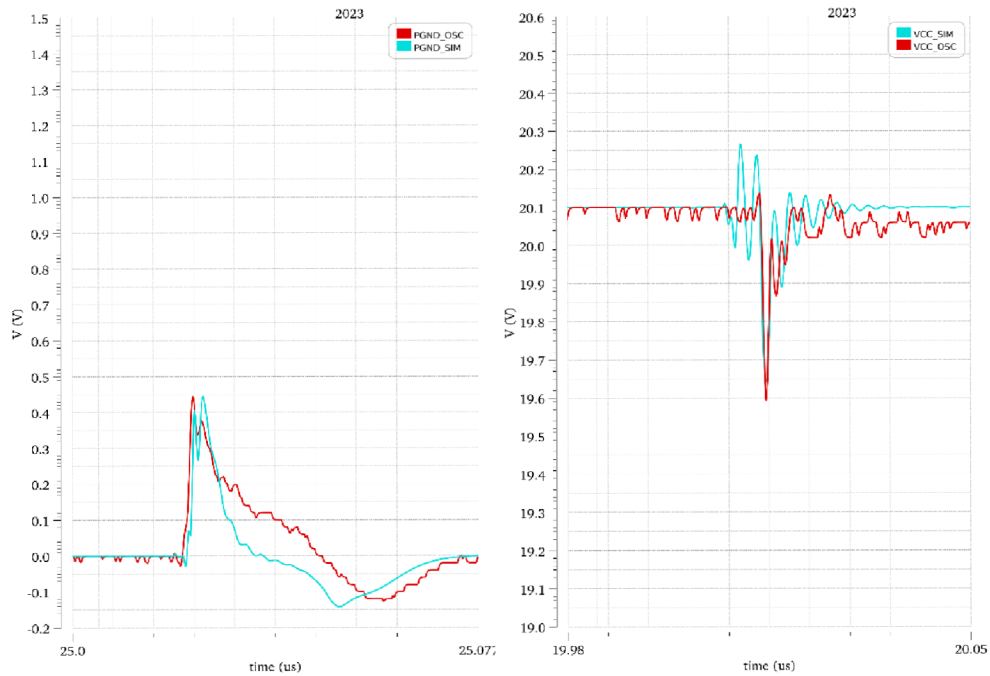
## C.1 Srovnání měřeného (červená) a simulovaného (tyrkysová) průběhu napětí na PGND (vlevo) a $U_{CC}$ (vpravo) pro obvod ORIG



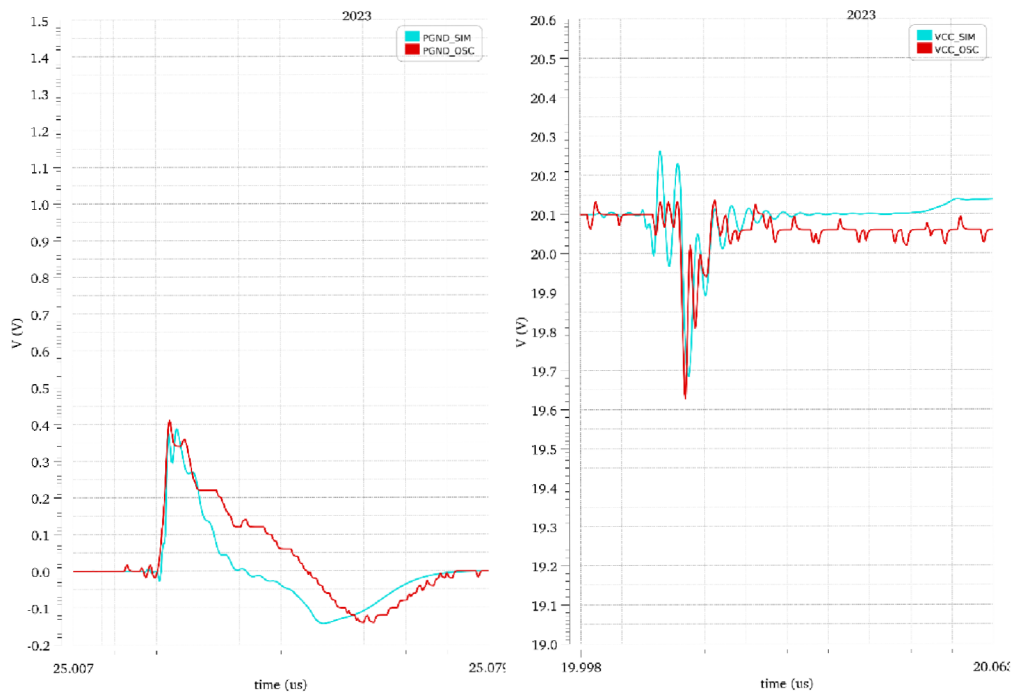
## C.2 Srovnání měřeného (červená) a simulovaného (tyrkysová) průběhu napětí na PGND (vlevo) a $U_{CC}$ (vpravo) pro obvod OPT



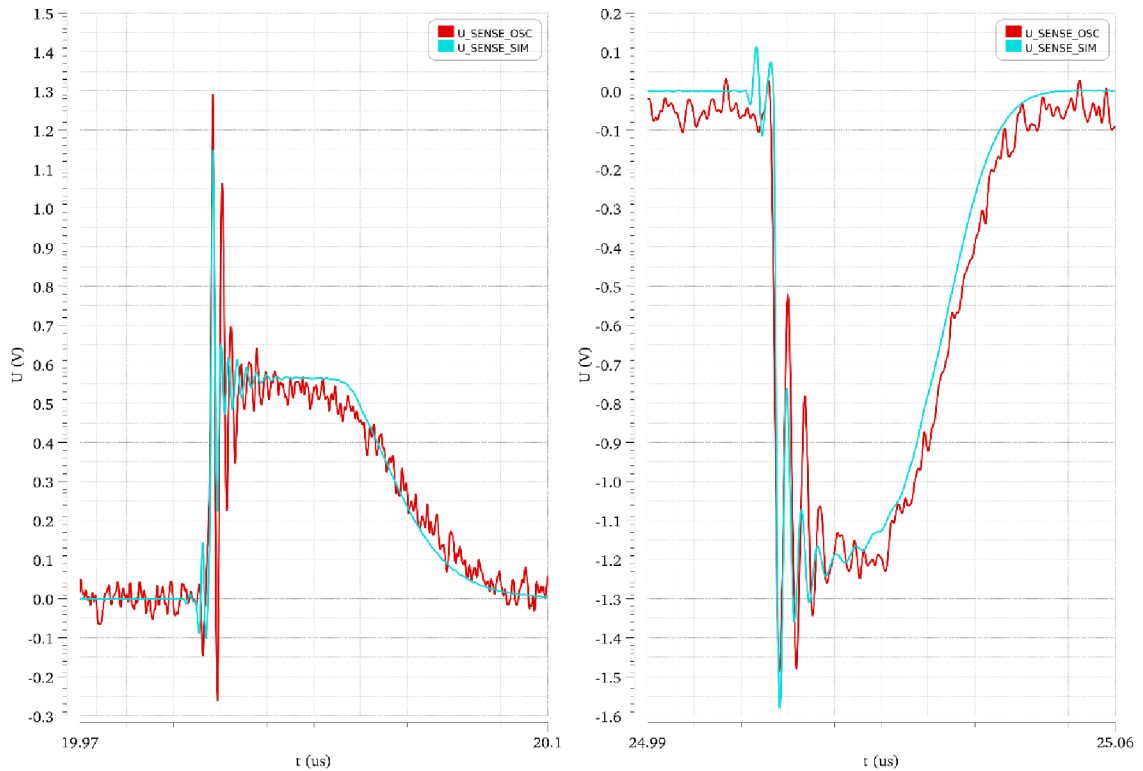
### C.3 Srovnání měřeného (**červená**) a simulovaného (**tyrkysová**) průběhu napětí na PGND (vlevo) a $U_{CC}$ (vpravo) pro obvod RES



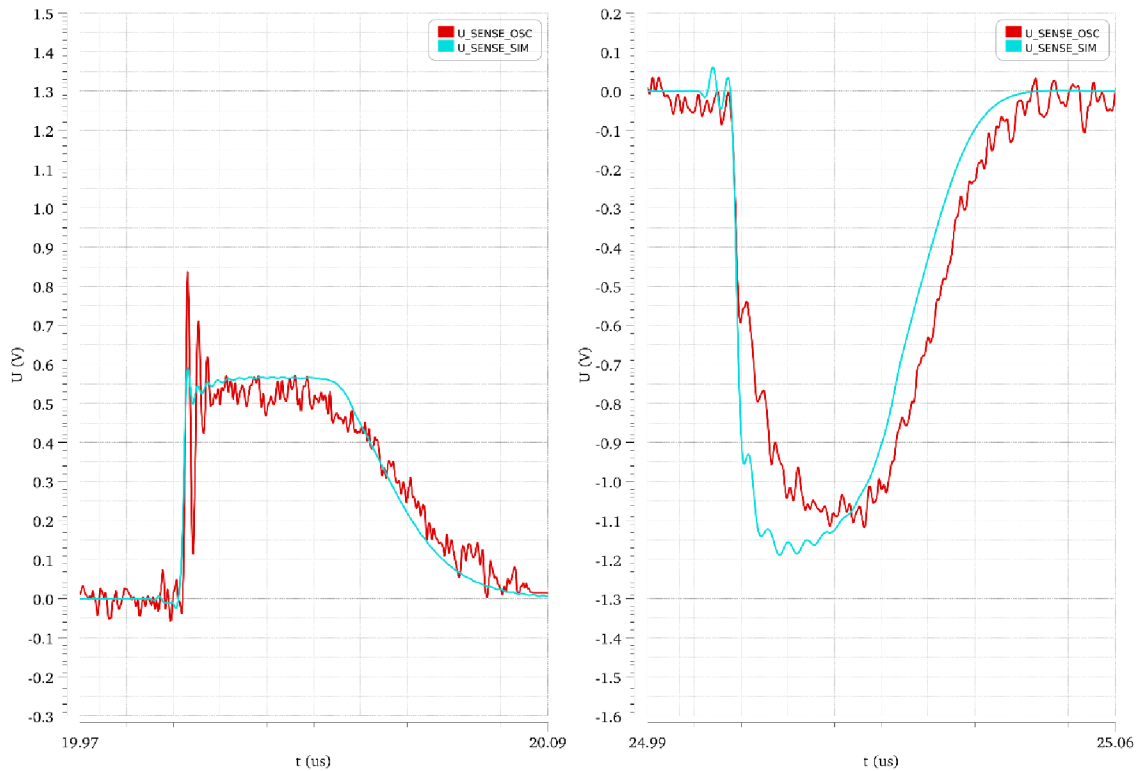
### C.4 Srovnání měřeného (**červená**) a simulovaného (**tyrkysová**) průběhu napětí na PGND (vlevo) a $U_{CC}$ (vpravo) pro obvod AsInv



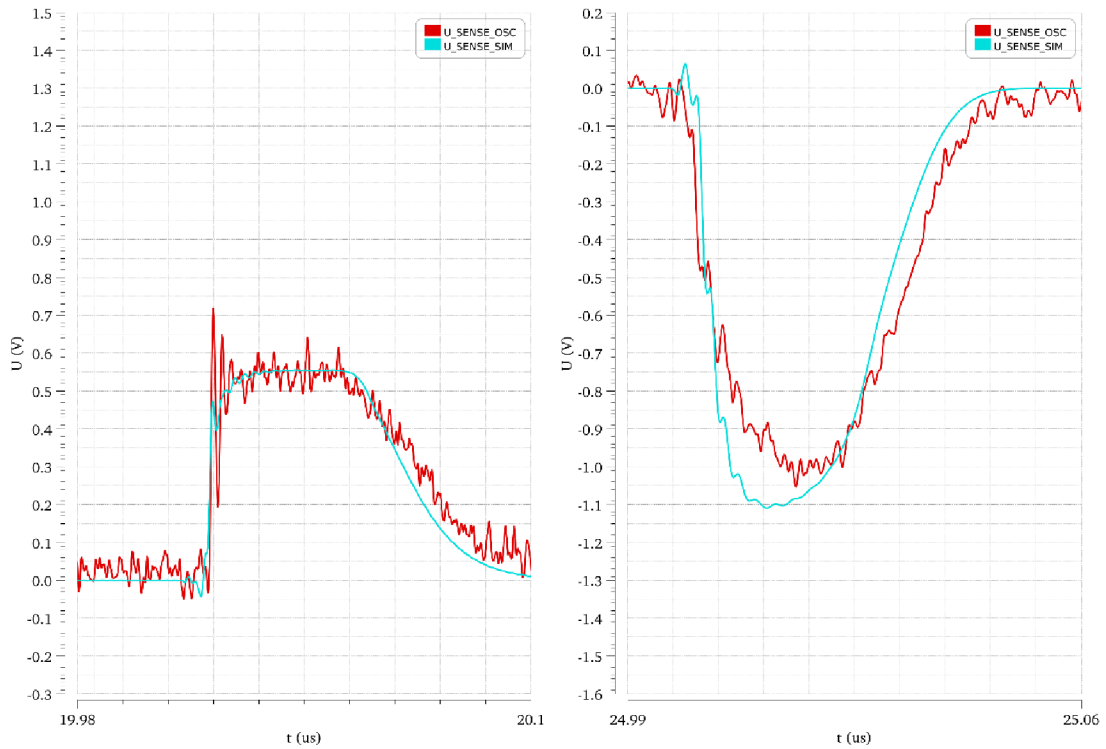
### C.5 Srovnání měřeného (červená) a simulovaného (tyrkysová) průběhu napětí $U_{SENSE}$ pro obvod ORIG



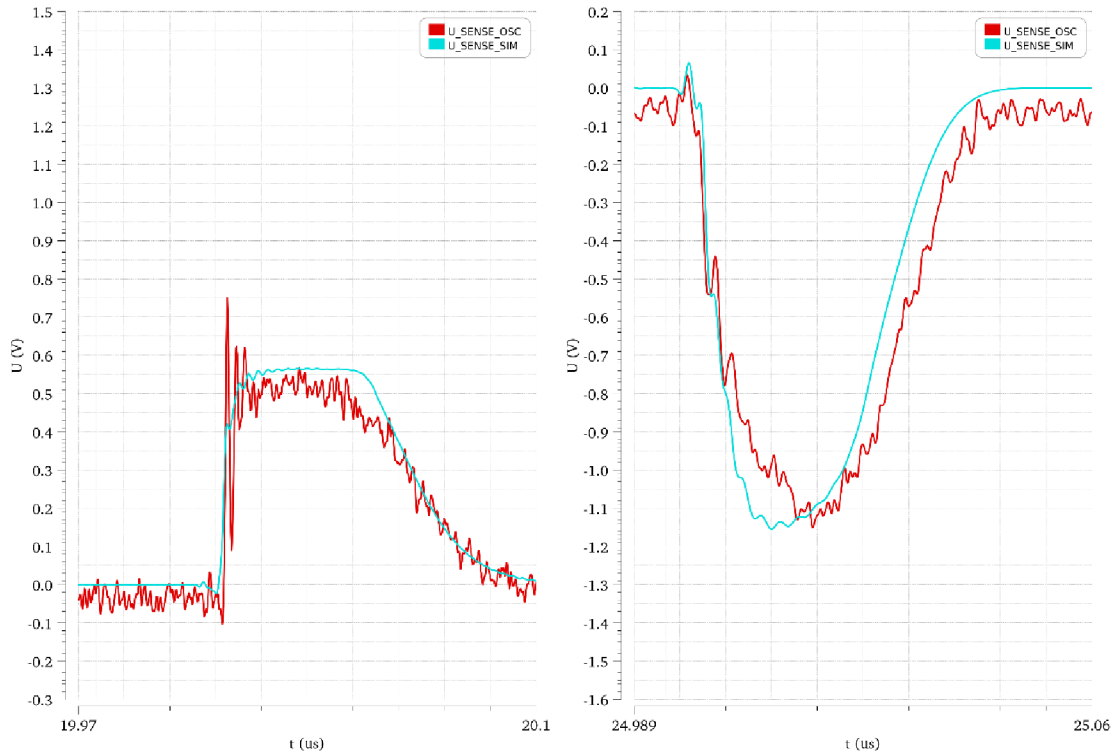
### C.6 Srovnání měřeného (červená) a simulovaného (tyrkysová) průběhu napětí $U_{SENSE}$ pro obvod OPT



### C.7 Srovnání měřeného (červená) a simulovaného (tyrkysová) průběhu napětí $U_{SENSE}$ pro obvod RES

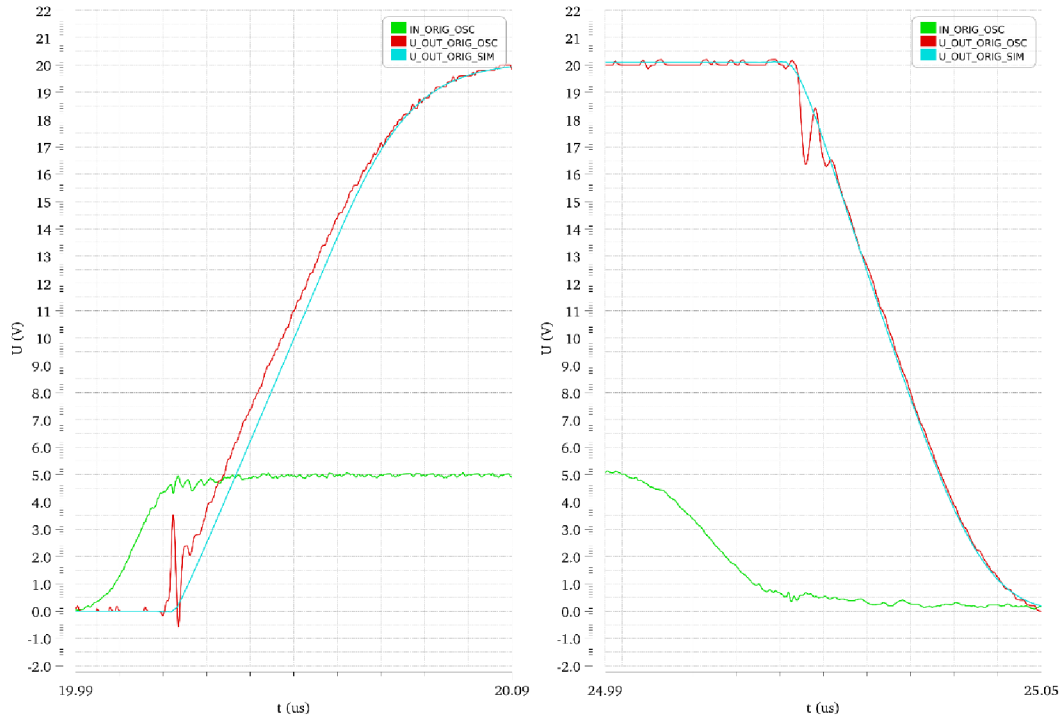


### C.8 Srovnání měřeného (červená) a simulovaného (tyrkysová) průběhu napětí $U_{SENSE}$ pro obvod RES

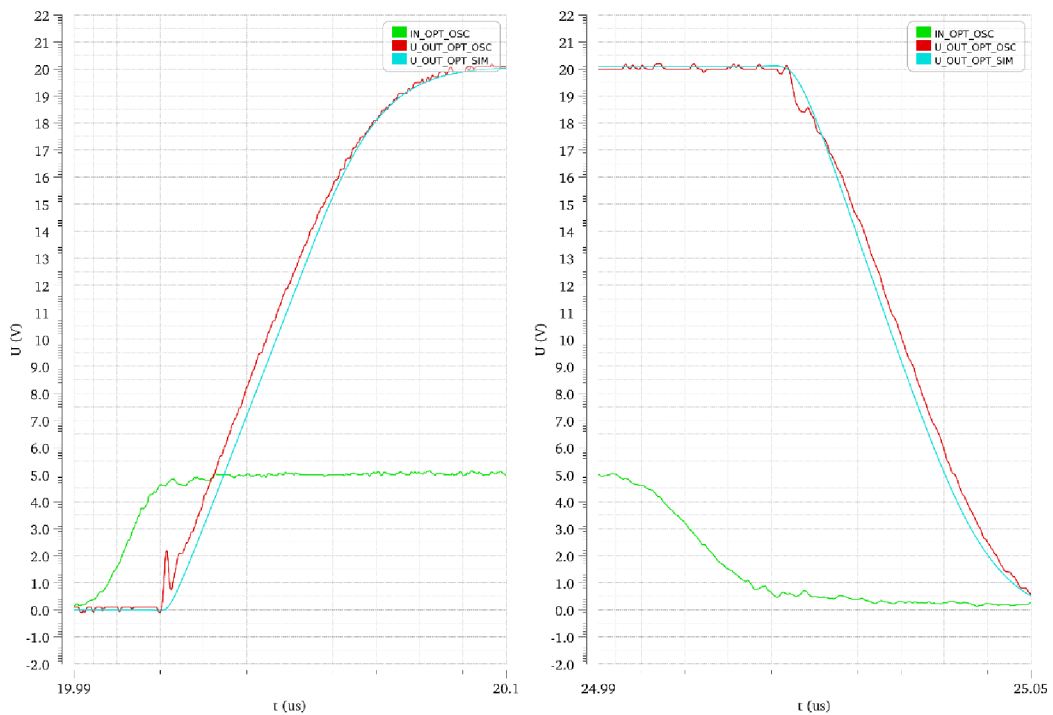




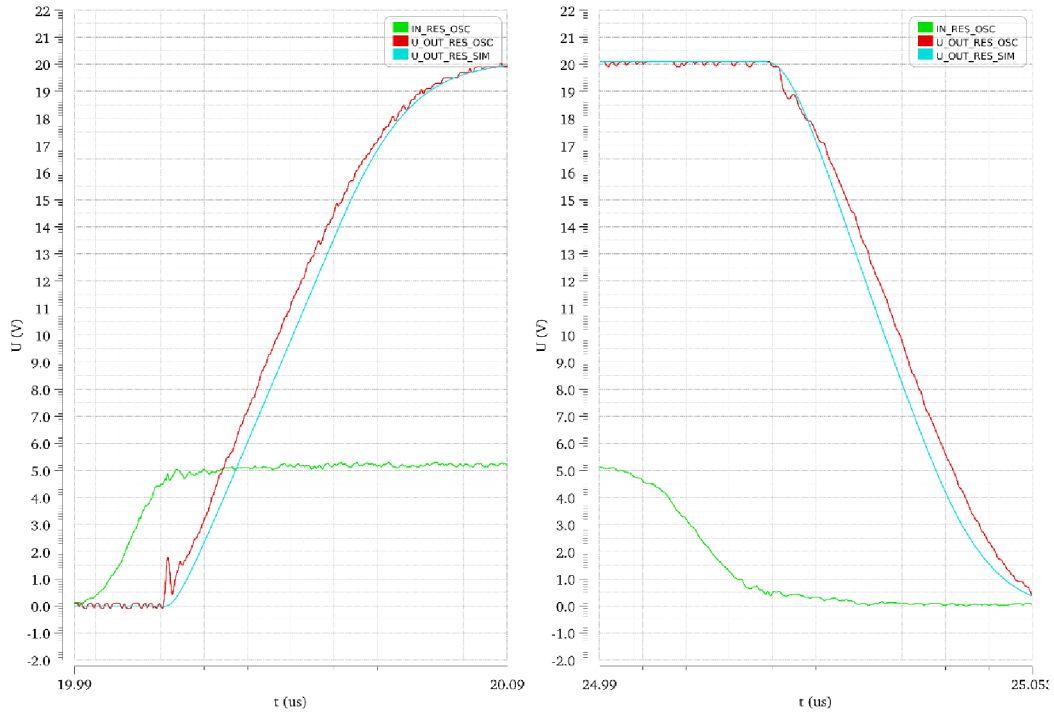
### C.9 Srovnání měřeného (**červená**) a simulovaného (**tyrkysová**) průběhu napětí na vývodu *OUT* pro obvod **ORIG**



### C.10 Srovnání měřeného (**červená**) a simulovaného (**tyrkysová**) průběhu napětí na vývodu *OUT* pro obvod **OPT**



### C.11 Srovnání měřeného (**červená**) a simulovaného (**tyrkysová**) průběhu napětí na vývodu *OUT* pro obvod RES



### C.12 Srovnání měřeného (**červená**) a simulovaného (**tyrkysová**) průběhu napětí na vývodu *OUT* pro obvod AsInv

