



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

TESTOVACÍ ROZHRANÍ INTEGROVANÝCH OBVODŮ S MALÝM POČTEM VÝVODŮ

A TEST INTERFACE FOR INTEGRATED CIRCUITS WITH THE SMALL NUMBER OF PINS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Jakub Tománek

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Martin Šťáva, Ph.D.

BRNO 2017

Prohlášení

Prohlašuji, že svou diplomovou práci na téma „**Testovací rozhraní integrovaných obvodů s malým počtem vývodů**“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 25. května 2017

.....
podpis autora

Poděkování

Děkuji vedoucímu diplomové práce Ing. Martinu Šťávovi, Ph.D., za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování práce.

Děkuji Jozefu Bednárikovi za věcné rady při zpracování projektu a za poskytnutí metod vynechání resetovacího vývodu a trojúrovňové logiky s využitím dvou komparátorů.

Děkuji Pavlu Londákovi za věcné rady při zpracování projektu a za poskytnutí metody spínání rezistoru.

Děkuji Jiřímu Forejtkovi za věcné rady při zpracování projektu a za poskytnutí metody převodníku PWM2SPI.

Děkuji Petru Kadaňkovi za věcné rady při zpracování projektu a za poskytnutí metody trojúrovňové logiky s využitím proudových zdrojů.

Děkuji Václavu Peroutkovi za účinnou metodickou a odbornou pomoc a další cenné rady při zpracování práce

V Brně dne 25. května 2017

.....
podpis autora

Experimentální část této diplomové práce byla podpořena výzkumnou infrastrukturou
vybudovanou v rámci projektu CZ.1.05/2.1.00/03.0072

Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

Abstrakt

Práce prozkoumává možnosti snížení počtu potřebných vývodů pro testovací rozhraní zákaznických integrovaných obvodů (ASIC). V první části práce jsou popsána existující řešení a shrnuty principy, které je možné za tímto účelem využít. V druhé části práce konkrétní řešení čtyřvodičové, třívodičové, dvouvodičové, jednovodičové a nulavodičové rozhraní. Na závěr jsou shrnuty výhody a nevýhody jednotlivých přístupů pro řešení problematiky a navržených řešení.

Abstract

This study explores the possibilities for reducing the number of pins needed for scan mode interface. In the first part of this paper the existing solutions and methods that are usable for this purpose are described. Specific four pin, three pin, two pin, one pin and zero pin interfaces are designed in second part. Advantages and disadvantages of existing solutions and methods as well as designed and proposed interface are summarized in the conclusion.

Klíčová slova:

Skenovací řetězec, vložené deterministické testování, kontrolér pro testování s nízkým množstvím vývodů, trojúrovňová logika, scan mód, testovatelný návrh

Keywords:

Scan chain, Embedded deterministic testing, Low Pin Count Test (LPCT) controller, three-state logic, scan mod, Design for Testability (DFT)

Bibliografická citace díla

TOMÁNEK, Jakub. *Testovací rozhraní integrovaných obvodů s malým počtem vývodů*. Brno, 2017. 46 s. Diplomová práce. Vysoké učení technické v Brně. Fakulta elektrotechniky a komunikačních technologií. Ústav mikroelektroniky. Vedoucí práce Martin ŠTÁVA.

Obsah

SEZNAM OBRÁZKŮ	8
SEZNAM ZKRATEK	10
ÚVOD	11
1 TEORETICKÉ ZÁKLADY SKENOVACÍCH ŘETĚZCŮ	12
1.1 SKENOVATELNÁ BUŇKA	12
1.2 SKENOVACÍ ŘETĚZEC	12
1.3 APLIKOVÁNÍ TESTOVACÍCH VEKTORŮ	13
1.4 TESTOVÁ KOMPRESSE	14
1.5 EMBEDDED DETERMINISTIC TESTING	15
1.6 PRINCIP FUNGOVÁNÍ TESTERU	15
1.7 OMEZENÍ TESTOVACÍ RYCHLOSTI	17
2 SOUČASNÝ STAV PROBLEMATIKY ŘEŠENÉ A SOUVISEJÍCÍ	19
2.1 MENTOR GRAPHICS TESSANT TESTKOMPRESS	19
2.1.1 LPCT kontrolér pro rozhraní se čtyřmi vývody	19
2.1.2 LPCT kontrolér pro rozhraní se třemi vývody	20
2.2 VYNECHÁNÍ RESETOVACÍHO VÝVODU	22
2.3 TROJÚROVNĚVÁ LOGIKA S VYUŽITÍM DVOU KOMPARÁTORŮ	22
2.4 BALANCOVANÉ RECYKLOVÁNÍ NÁBOJE	23
2.5 KÓDOVÁNÍ MANCHESTER	24
2.6 PŘEVODNÍK PWM2SPI	25
2.7 SPÍNÁNÍ REZISTORU	25
2.8 ANTÉNA NA ČIPU	26
2.9 VSTUPNĚ-VÝSTUPNÍ VÝVOD	27
2.10 1-WIRE SBĚRNICE	27
3 NÁVRH METOD PRO ŘEŠENÍ PROBLÉMU	29
3.1 TROJÚROVNĚVÁ LOGIKA S VYUŽITÍM DVOU KOMPARÁTORŮ PRO PŘENOS INFORMACE NAPÁJECÍM NAPĚTÍM	29
3.2 TROJÚROVNĚVÁ LOGIKA S VYUŽITÍM PROUDOVÝCH ZDROJŮ	30
3.3 VYUŽITÍ BALANCOVANÉHO RECYKLOVÁNÍ NÁBOJE PRO TROJÚROVNĚVOU LOGIKU ...	30
3.4 VYUŽITÍ TROJÚROVNĚVÉ LOGIKY PRO PŘENOS DATOVÉHO A HODINOVÉHO SIGNÁLU	31
3.5 VYUŽITÍ KLOPNÉHO OBVODU AKTIVNÍHO NA SESTUPNOU HRANU PRO SLOUČENÍ SIGNÁLŮ SM_SE_I A SM_SI_I	32
4 NAVRŽENÁ ŘEŠENÍ	34
4.1 ČTYŘVODIČOVÉ ROZHRAŇÍ	34
4.2 TŘÍVODIČOVÉ ROZHRAŇÍ	35
4.3 RYCHLÉ TŘÍVODIČOVÉ ROZHRAŇÍ	37
4.4 DVOUVODIČOVÉ ROZHRAŇÍ	39
4.5 JEDNOVODIČOVÉ ROZHRAŇÍ	41
4.6 NULAVODIČOVÉ ROZHRAŇÍ	44

ZÁVĚR	45
SEZNAM POUŽITÝCH ZDROJŮ.....	46

Seznam obrázků

Obrázek 1: Normální klopný obvod typu D a skenovatelný klopný obvod typu D [2]	12
Obrázek 2: Spojení skenovatelných klopných obvodů do skenovacího řetězce [2].....	13
Obrázek 3: Postup aplikace testovacích vektorů [3]	14
Obrázek 4: Rozdělení návrhu na více testovacích řetězců pro testovou kompresi [4].....	14
Obrázek 5: Schéma zapojení EDT logiky pro testovou kompresi [4].....	15
Obrázek 6: Příklad vygenerovaných vektorů ve formátu wgl.....	16
Obrázek 7: Princip rozdělení testování do cyklů [5]	16
Obrázek 8: Přehled formátů vývodů podporovaných testerem ETS-364 [6]	17
Obrázek 9: Zjednodušené schéma zapojení čipu pro testování	18
Obrázek 10: Schéma zapojení pro LPCT kontrolér pro čtyři vývody [7]	19
Obrázek 11: Generované signály LPCT kontrolérem pro čtyři vývody [7].....	20
Obrázek 12: LPCT kontrolér pro rozhraní se třemi vývody [7].....	21
Obrázek 13: Trojúrovňová logika s využitím dvou komparátorů	22
Obrázek 14: Balanced charge-recycling bus [8].....	23
Obrázek 15: Kódování manchester [9].....	24
Obrázek 16: Princip převodníku PWM2SPI	25
Obrázek 17: Schéma zapojení spínaného rezistoru	26
Obrázek 18: Anténa na čipu [10].....	26
Obrázek 19: Rozhraní 1-wire sběrnice [11]	27
Obrázek 20: Trojúrovňová logika s využitím dvou komparátorů pro přenos informace napájecím napětím	29
Obrázek 21: Trojúrovňová logika s využitím proudových zdrojů	30
Obrázek 22: Využití balancovaného recyklování náboje pro víceúrovňovou logiku	31
Obrázek 23: Princip využití trojúrovňové logiky pro přenos datového a hodinového signálu	32
Obrázek 24: Navržené čtyřvodičové rozhraní	34
Obrázek 25: Capture fáze čtyřvodičového rozhraní	34

Obrázek 26:Navržené třívodičové rozhraní.....	35
Obrázek 27:Capture fáze třívodičového rozhraní.....	36
Obrázek 28:Generování resetovacího signálu u třívodičového rozhraní.....	36
Obrázek 29:Schéma zapojení rychlého třívodičového rozhraní.....	37
Obrázek 30:Capture fáze rychlého třívodičového rozhraní.....	38
Obrázek 31:Generování resetovacího signálu u rychlého třívodičové rozhraní.....	38
Obrázek 32:Navržené dvouodičové rozhraní	39
Obrázek 33:Capture fáze dvouodičového rozhraní	40
Obrázek 34:Generování resetovacího signálu u dvouodičového rozhraní	40
Obrázek 35:Schéma navrženého jednovodičového rozhraní.....	41
Obrázek 36:Digitální část jednovodičového rozhraní	42
Obrázek 37:Capture fáze jednovodičového rozhraní	43
Obrázek 38: Generování resetovacího signálu u jednovodičového rozhraní	43
Obrázek 39:Schéma navrženého nulavodičového rozhraní.....	44

Seznam zkratek

EDT	Embedded Deterministic Testing
DFT	Design for Testability
LPCT	Low Pin Count Test
ASIC	Application Specific Integrated Circuit
ATPG	Automatic Test Pattern Generation
RTL	Register Transfer Level

Úvod

U všech vyrobených čipů je potřeba ověřit, jestli se na nich nenachází nějaký výrobní defekt předtím, než se prodají zákazníkovi. K účelu odhalování výrobních defektů slouží různé metody Design for Testability (DFT). Nejpoužívanější metodou DFT pro digitální návrhy je metoda skenovacích řetězců. Pro běžně používanou implementaci metody skenovacích řetězců je potřeba minimálně pět vývodů: scan clock (sm_clk_i), scan reset (sm_rst_i), scan enable (sm_se_i), scan input (sm_si_i), scan output (sm_so_o).

Tato práce se zabývá způsoby, pomocí nichž je možné implementovat metodu skenovacích řetězců na čipy s méně než pěti volnými vývody pro realizaci této metody. Hlavním cílem práce je navrhnout konkrétní čtyřvodičové, třívodičové, dvouvodičové, jednovodičové a nulavodičové rozhraní pro skenovací řetězce. Hlavními požadavky jsou jednoduchost a co nejmenší snížení testovací rychlosti. Vzhledem k tomu, že skenovací řetězce slouží pro testování digitálních obvodů, je vhodné, aby tato rozhraní taktéž byla čistě digitální, ale je možné využít i analogové části v případě, že je to nezbytné.

Na začátku práce je popsán princip jedné konkrétní metody DFT pro testování čipů – skenovací řetězce. V první části práce jsou uvedena existující řešení pro snížení potřebných vývodů a jsou shrnuty existující způsoby, které je možné využít. Je čerpáno z průmyslových řešení a internetových zdrojů. Jsou také navrženy další způsoby pro řešení této problematiky.

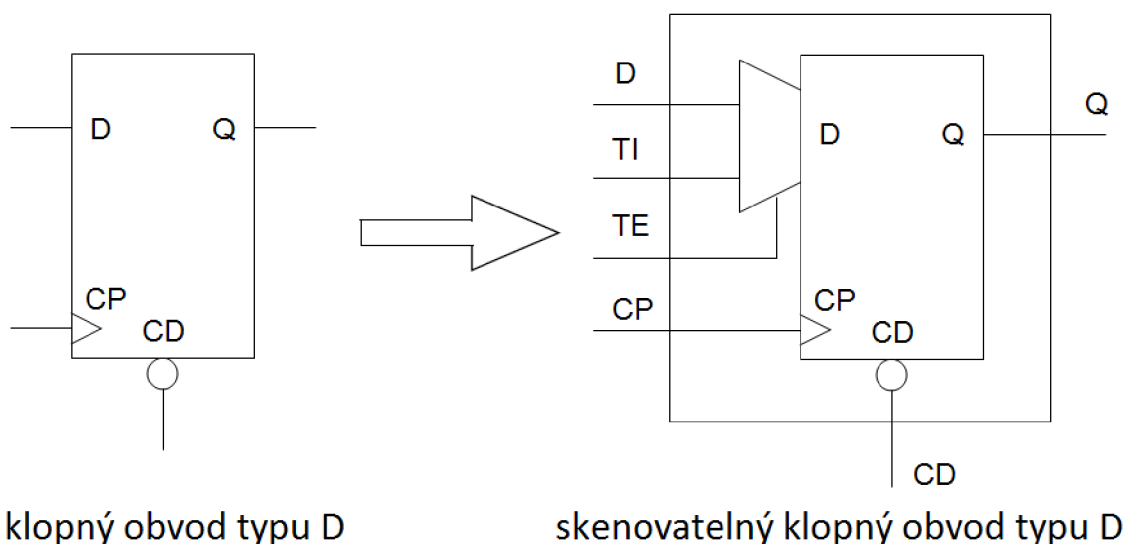
V druhé části práce jsou navržena konkrétní čtyřvodičové, třívodičové, dvouvodičové, jednovodičové a nulavodičové rozhraní. Zároveň jsou shrnuty výhody a nevýhody jednotlivých řešení.

1 Teoretické základy skenovacích řetězců

Metoda skenovacích řetězců je nejpůlárnější technika DFT [1]. Má největší potenciál pro vysoké pokrytí možných poruch a odhalení chyb. Tato metoda umožňuje rozdělení návrhu do plně izolovaných kombinačních bloků (úplné skenování) nebo do částečně izolovaných kombinačních bloků (částečné skenování), a díky tomu je možné zjednodušit generování testovací posloupnosti. Tato technika spočívá v modifikování existujících sekvenčních prvků tak, aby navíc k jejich normální funkčnosti měly možnost sériového posouvání dat.

1.1 Skenovatelná buňka

Skenovatelný klopný obvod typu D je vytvořen tak, že je na vstup normálního klopného obvodu typu D připojen multiplexor. Tento multiplexor má datový vstup (D) testový vstup (sm_si_i) a povolovací vstup (sm_se_i) (obrázek 1). Výstup skenovatelné buňky je připojen na testový vstup další buňky, což umožňuje sériové posouvání dat.



Obrázek 1: Normální klopný obvod typu D a skenovatelný klopný obvod typu D [2]

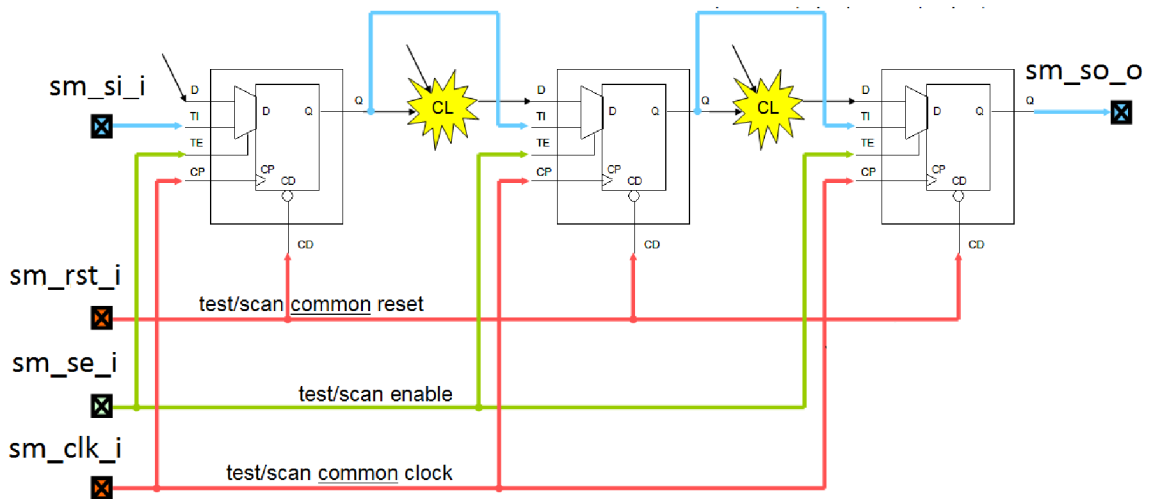
1.2 Skenovací řetězec

Skenovatelné klopné obvody typu D jsou navzájem zapojené tak, že vytváří jeden nebo více skenovacích řetězců (obrázek 2). Přidání skenovacích řetězců do návrhu má následující dopady:

- Zvětší se plocha obvodu a energetická spotřeba, protože skenovatelné klopné obvody jsou větší než nahrazované klopné obvody. Propojení potřebné pro realizaci skenovacího řetězce zabírají další plochu.

- Maximální dosažitelná frekvence obvodu se snižuje, protože skenovatelné buňky mírně prodlužují kritickou cestu.
- Globální testovací signály, které řídí velké množství sekvenčních elementů, mohou vyžadovat přídavné buffery.

Kompilační nástroje pro DFT mohou minimalizovat tyto dopady, pokud je DFT integrováno v rámci syntézy.



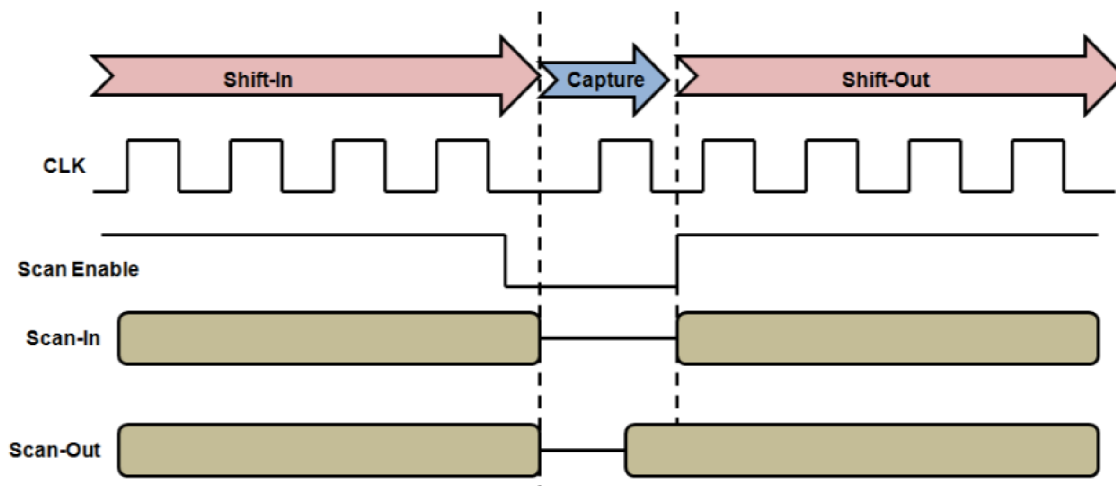
Obrázek 2: Spojení skenovatelných klopných obvodů do skenovacího řetězce [2]

1.3 Aplikování testovacích vektorů

Skenovatelné buňky pracují buďto v capture nebo v shift fázi. Poté, co se čip přepne do skenovacího režimu, je možné mezi těmito fázemi přepínat vstupem `sm_se_i` (obrázek 2). V capture fázi vstup do každé skenovatelné buňky přichází z kombinační logiky. V shift fázi vstup přichází z výstupu z předchozí skenovatelné buňky nebo ze vstupu řetězce. Testování probíhá v těchto krocích:

1. Vstupem `sm_se_i` se vybere shift fáze
2. Vstupem `sm_si_i` se nasune testovací vektor do klopných obvodů
3. Invertováním vstupu `sm_se_i` se přepne do capture fáze.
4. Poté se aplikuje jeden nebo dva pulzy na vstupu `sm_clk_i`, čímž se uloží výsledky kombinační logiky do klopných obvodů.
5. Invertováním vstupu `sm_se_i` se přepne do shift fáze.
6. Data jsou vysunuta výstupem `sm_so_o` z obvodu a jsou porovnána s očekávanou odezvou obvodu.

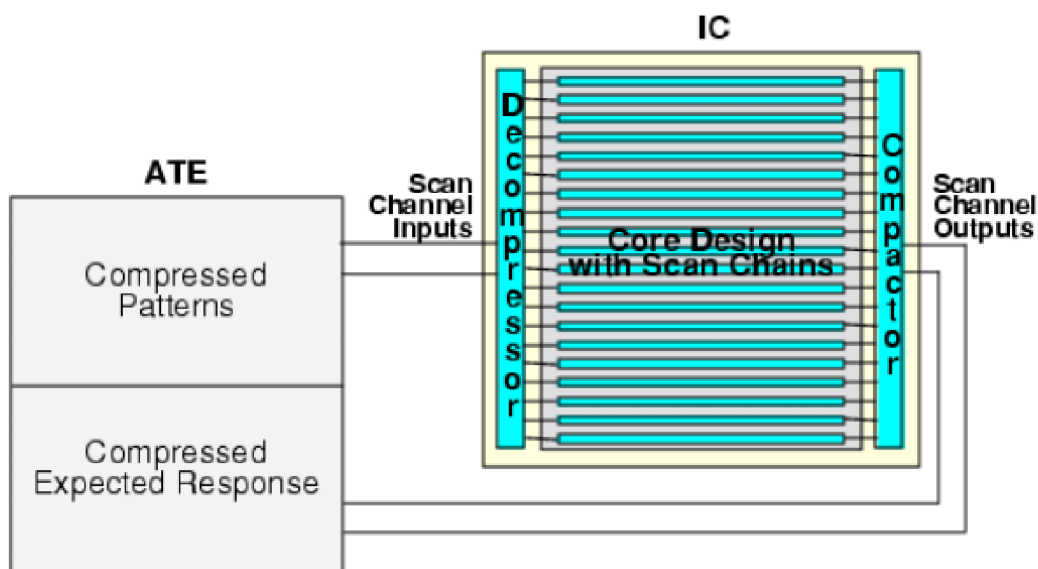
Celý postup je znázorněn na obrázku 3.



Obrázek 3: Postup aplikace testovacích vektorů [3]

1.4 Testová komprese

Vyrobené čipy se testují pomocí automatického testovacího přístroje (ATE), který do čipu posílá testovací vektory [4]. Tento přístroj má omezenou paměť, rychlost a množství vstupně výstupních kanálů. Množství dostupných kanálů a jejich rychlost přenosu dat udává maximální datovou propustnost mezi testovacím přístrojem a čipem, a tedy zároveň i maximální rychlost testování čipu. Tento problém řeší komprese testovacích vektorů. Tato metoda spočívá v tom, že se za vstupní vývody čipu implementuje dekompressor, který rozbalí vstupní vektory na více testovacích vektorů. Díky tomu je možné testovanou logiku rozdělit na větší množství kratších skenovacích řetězců. Za výstupy z těchto řetězců je implementován kompaktor, který slučuje výstupní řetězce do malého množství výstupních vývodů (obrázek 4).

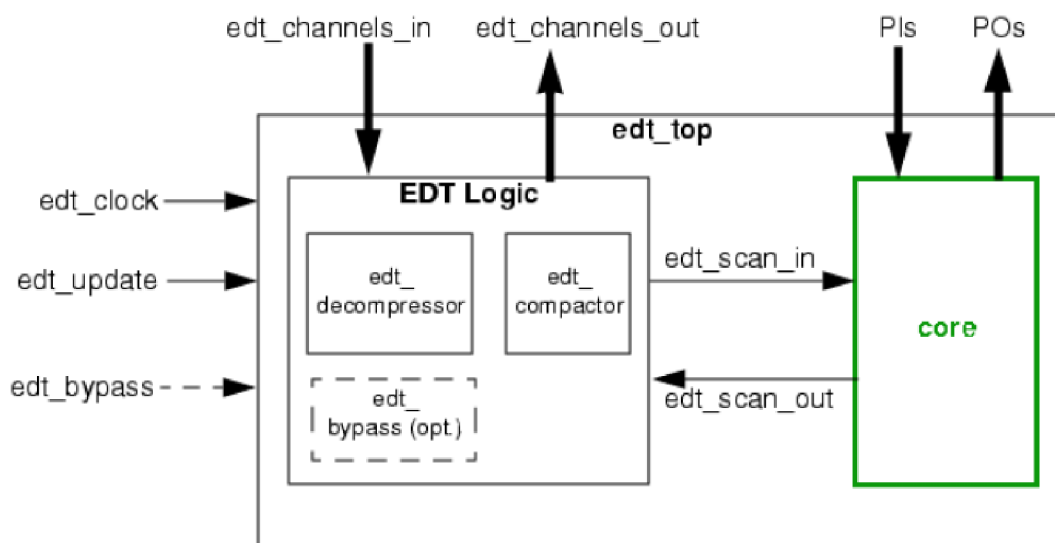


Obrázek 4: Rozdělení návrhu na více testovacích řetězců pro testovou kompresi [4]

Díky této kompresi je možné snížit paměťovou náročnost na testovací přístroj, a hlavně výrazně zvýšit rychlost testování čipů. Tato komprese je bezztrátová, takže nedochází ke snížení množství odhalitelných poruch.

1.5 Embedded Deterministic Testing

Embedded Deterministic Testing (EDT) je varianta testové komprese použitá v nástroji Tessent TestKompress [4]. Tento nástroj automaticky vytváří veškerou strukturu potřebnou pro testovou kompresi. Schéma zapojení je na obrázku 5.



Obrázek 5: Schéma zapojení EDT logiky pro testovou kompresi [4]

Logika EDT využívá kromě vývodů primary inputs a primary outputs (PIs, POs) ještě další signály. Signály `edt_channels_in` a `edt_channels_out` slouží pro vstupy a výstupy komprimovaných testovacích vektorů. Signál `edt_clock` slouží jako hodinový signál pro logiku EDT, která pracuje na jiném hodinovém signálu než testovaná logika. `Edt_update` slouží k resetování dekompresoru na začátku každého testovacího vektoru. Uvnitř logiky EDT může být volitelně blok určený k obcházení testové komprese. Jakmile je tento blok povolen signálem `edt_bypass`, dochází k vypnutí testové komprese. Skenovatelné buňky jsou zapojeny do množství skenovacích řetězců odpovídajícímu počtu párů vstupních a výstupních testovacích kanálů a může proběhnout normální test bez komprese.

1.6 Princip fungování testeru

Automatic Test Patter Generation (ATPG) software generuje testovací vektory pro tester v několika různých formátech. Pro potřeby této práce byl použit formát `.wgl`. Příklad vygenerovaných vektorů v tomto formátu je na obrázku 6.

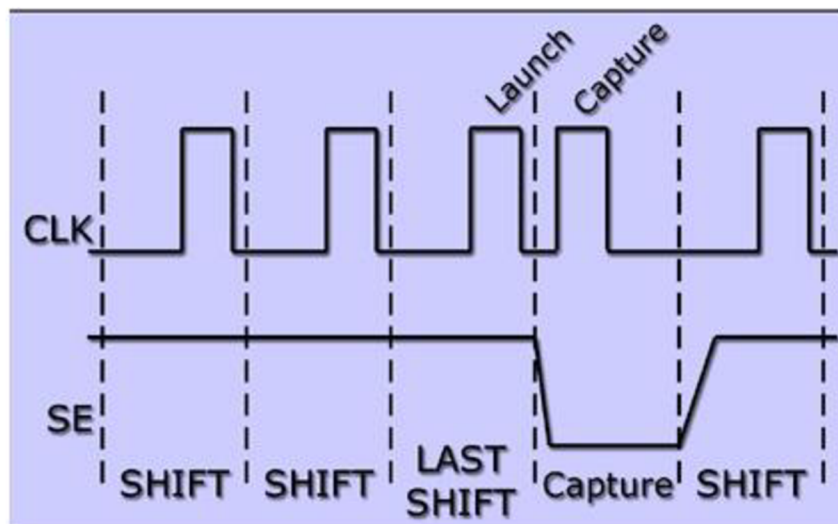

```

vector(+, tp1) := [ 1 1 1 1 0 ];
vector(+, tp1) := [ 1 1 1 1 0 ];
vector(+, tp1) := [ 1 1 0 1 0 ];
vector(+, tp1) := [ 1 1 1 1 0 ];
vector(+, tp1) := [ 1 1 0 1 1 ];
vector(+, tp1) := [ 1 1 1 1 1 ];
vector(+, tp1) := [ 1 1 0 1 0 ];
vector(+, tp1) := [ 1 1 0 1 0 ];
vector(+, tp1) := [ 1 1 0 1 1 ];
vector(+, tp1) := [ 1 1 0 1 1 ];
vector(+, tp1) := [ 1 1 1 1 1 ];
vector(+, tp1) := [ 1 1 0 1 1 ];
vector(+, tp1) := [ 1 1 1 1 1 ];
vector(+, tp1) := [ 1 1 0 1 0 ];
vector(+, tp1) := [ 1 1 1 1 0 ];
vector(+, tp1) := [ 1 1 1 1 0 ];
vector(+, tp1) := [ 1 1 0 1 1 ];
vector(+, tp1) := [ 1 1 0 1 0 ];
vector(+, tp1) := [ 1 1 1 1 1 ];

```

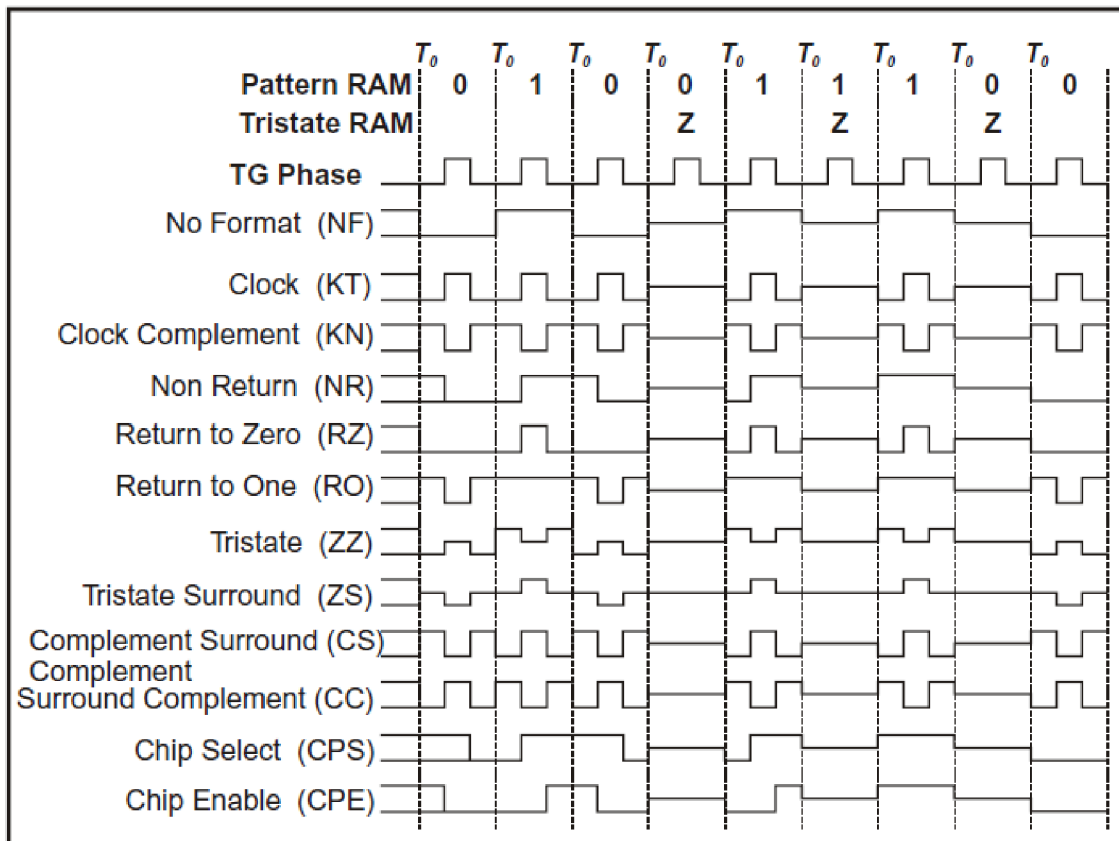
Obrázek 6: Příklad vygenerovaných vektorů ve formátu wgl

Hodnoty v prvním sloupci odpovídají vývodu `sm_se_i`, v druhém sloupci `sm_clk_i`, v třetím sloupci `sm_si_i`, ve čtvrtém sloupci `sm_rst_i` a v posledním sloupci `sm_so_o`. Je vidět, že všechny hodnoty hodinového signálu jsou v úrovni jedna. Je to z toho důvodu, že tester pracuje v cyklech. Hodnoty jednotlivých vývodů tedy neznamenají, že má být signál v dané úrovni po celou dobu cyklu, ale pouze, že do této úrovně má přejít v rámci cyklu. Jinými slovy, jsou vektory vygenerované tak, aby v případě, že je na dané pozici vektoru 1, signál přešel do úrovně jedna a následně se vrátil zpět do úrovně nula. Pokud je ve vektoru hodnota 0, signál zůstává v úrovni nula. Tento princip je ilustrován na obrázku 7.



Obrázek 7: Princip rozdělení testování do cyklů [5]

Samotný tester umožňuje měnit interpretaci vygenerovaných testovacích vektorů. Ke každému vývodu je možné přiřadit rozdílnou interpretaci vývodů neboli formát. V této práci byl použit tester ETS-364 od firmy Eagle Test Systems. Na obrázku 8 je přehled všech formátů, které tento tester podporuje.

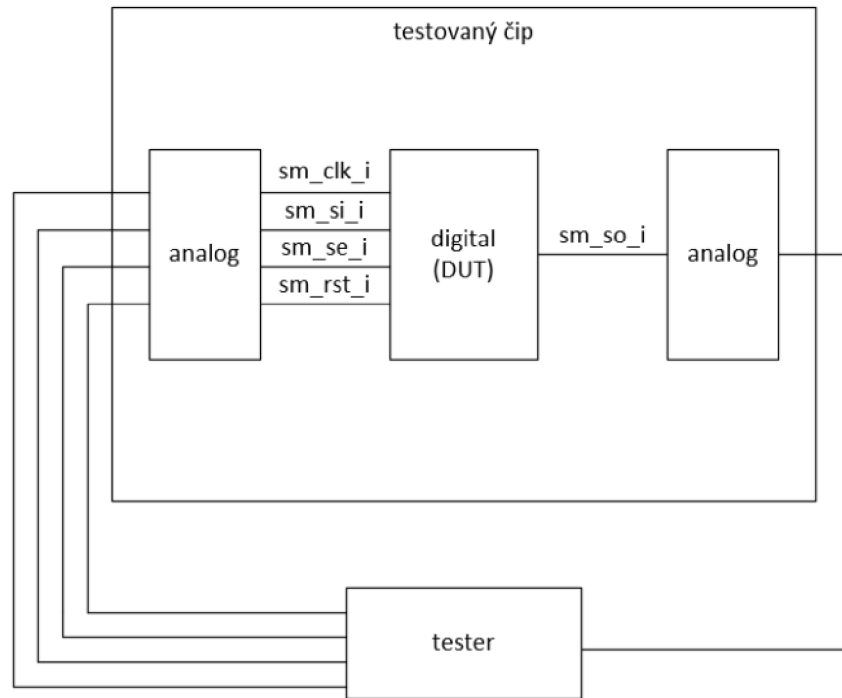


Obrázek 8: Přehled formátů vývodů podporovaných testerem ETS-364 [6]

Pro každý vývod se dále definuje timeset. To je definice času jednotlivých akcí, které má tester provést na daném vývodu (náběžná hrana, sestupná hrana, čtení výstupu atd.) v rámci jednoho cyklu.

1.7 Omezení testovací rychlosti

Rychlost testování může být omezena různými faktory. Na obrázku 9 je znázorněno zjednodušené schéma zapojení čipu pro testování.



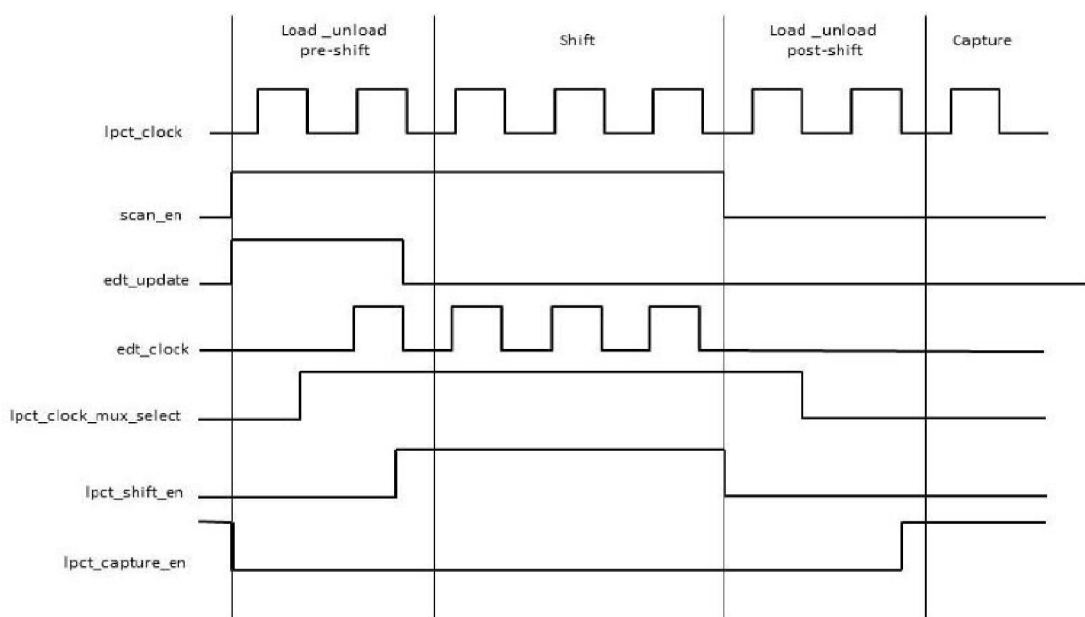
Obrázek 9: Zjednodušené schéma zapojení čipu pro testování

První významné omezení rychlosti je samotný tester. Každý tester má nějakou maximální rychlost, s kterou je schopný generovat vstupní data do čipu. U testeru ETS-364 je to 66 MHz. Další omezení rychlosti mohou představovat vodiče spojující tester a čip. Tyto vodiče mohou mít nezanedbatelnou časovou konstantu, což může mít za příčinu snížení maximální testovací rychlosti. Nejvýznamnější omezení testovací rychlosti na čipech, pro které je určena praktická část této práce, jsou analogové obvody mezi vstupy čipu a testovanou digitální logikou. Tyto analogové obvody dokážou propustit pouze signály o frekvenci maximálně okolo 1 MHz. Další omezení testovací rychlosti může být způsobeno poklesem napájecího napětí čipu v důsledku proudových špiček způsobených přepínáním klopných obvodů.

Je snaha testovat čipy co nejrychleji, a to z důvodu vysoké ceny testovacího času.

Je vidět, že hlavní důvod, proč si tento přístup vystačí pouze se čtyřmi vývody, je ten, že vývod `sm_rst_i` je vynechán. Samotný kontrolér zabírá plochu přibližně 14 NAND hradel nezávisle na velikosti testované logiky. Průběh signálů generovaných tímto kontrolérem je na obrázku 11. Je vidět, že přechody mezi `shift` a `capture` fází jsou odděleny dvěma hodinovými periodami.

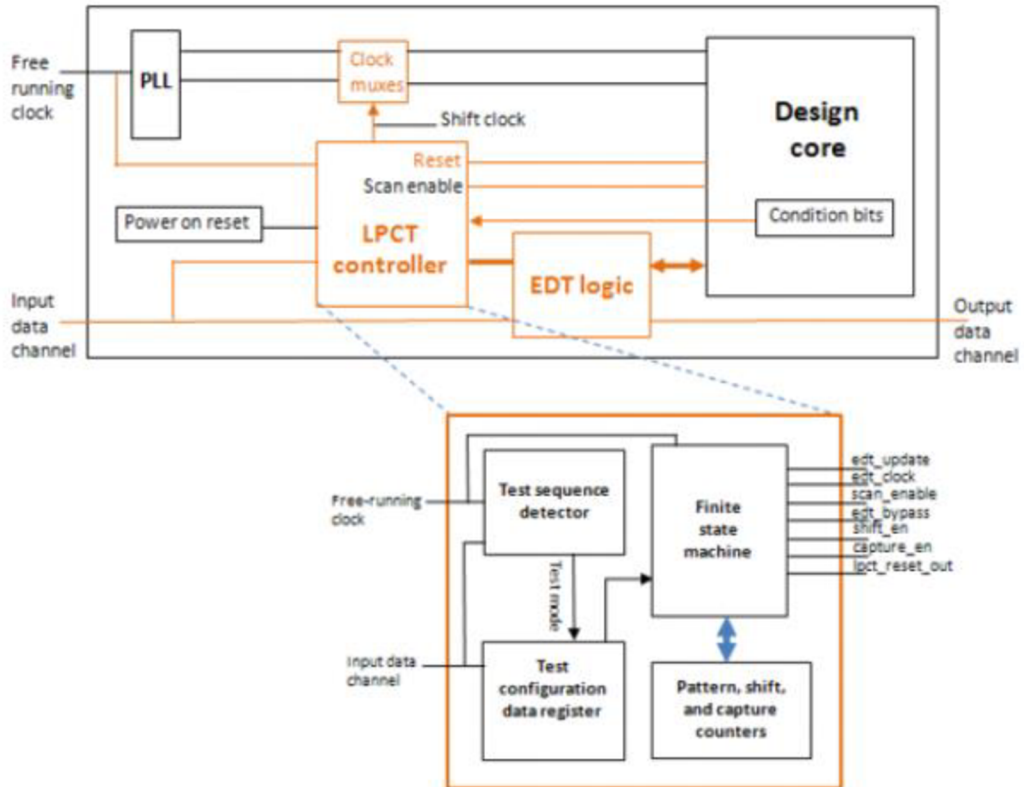
Nevýhodou tohoto kontroléru je, že je snížení potřebného množství vývodů dosaženo vynecháním resetovacího vývodu z rozhraní. Výhodou tohoto kontroléru je, že zabírá plochu pouze 14 NAND hradel, a zároveň umožňuje testovou kompresi.



Obrázek 11: Generované signály LPCT kontrolérem pro čtyři vývody [7]

2.1.2 LPCT kontrolér pro rozhraní se třemi vývody

Pro tento kontrolér je potřeba, aby v návrhu byly vývody `sm_si_i`, `sm_so_o` a `sm_clk_i` [7]. Pro generování kontrolních signálů jsou využity pouze vývody `sm_clk_i` a `sm_si_i`. Vývod `sm_so_o` je využit pro výstup testovacích vektorů. Tento kontrolér vyžaduje, aby byla na čipu smyčka fázového závěsu (PLL). Schéma zapojení je na obrázku 12.



Obrázek 12: LPCT kontrolér pro rozhraní se třemi vývody [7]

Kontrolér se skládá z následujících částí:

- Detektor vstupní testovací posloupnosti – Detekuje specifickou sekvenci na vstupním vývodu `sm_si_i`, která zapne testovací mód. Tato část může být vynechána a nahrazena jiným způsobem přechodu do testovacího módu.
- Konfigurační registr testovacích dat – Tento registr obsahuje informace o počtu skenovacích řetězců a skenovacích testů, shift a capture cyklech a všech potřebných informacích o kompresní logice. Velikost tohoto registru je přibližně 50 bitů a je závislá na testovací proceduře.
- Konečný stavový automat – Generuje kontrolní signály.
- Čítače testovacích vektorů, capture a shift fáze – Čítače potřebné pro přechody mezi stavy konečného stavového automatu

Tento kontrolér zabírá na čipu plochu přibližně 1200 NAND hradel nezávisle na velikosti testované logiky. Na rozdíl od LPCT kontroléru pro čtyři vývody tento kontrolér dokáže generovat i signál `sm_rst_i` pro resetování testované logiky bez přídavného vnějšího vývodu.

LPCT kontrolér pro rozhraní se třemi vývody má nevýhodu, že je poměrně náročný na plochu a potřebuje smyčku fázového závěsu. Výhodou je, že toto řešení umožňuje testovou kompresi.

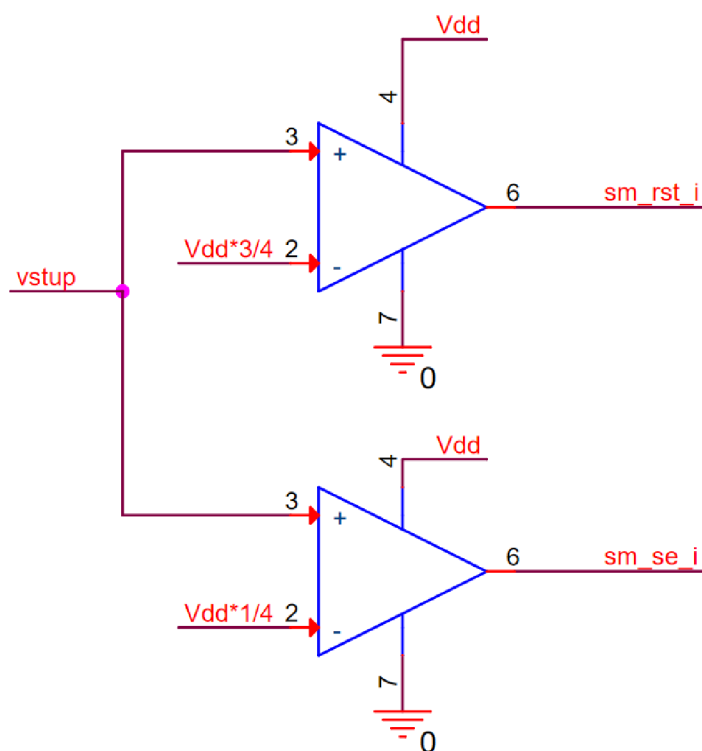
2.2 Vynechání resetovacího vývodu

Tato metoda spočívá ve vynechání vývodu pro resetovací signál z testovacího rozhraní, a tudíž i v úplném vynechání resetovacího signálu z testování.

Výhodou této metody je jednoduchost. Nevýhodou této metody je, že všechny resetovací cesty zůstávají neotestované.

2.3 Trojúrovňová logika s využitím dvou komparátorů

S využitím trojúrovňové logiky je možné signály `sm_rst_i` a `sm_se_i` sloučit do jednoho, protože není možné, aby nastala situace, kdy jsou oba aktivní zároveň. Z toho důvodu pro řízení těchto dvou signálů stačí pouze tři logické úrovně. Jeden ze způsobů, jak realizovat vstup pro trojúrovňovou logiku, je využít dvou komparátorů. Schéma zapojení je na obrázku 13.



Obrázek 13: Trojúrovňová logika s využitím dvou komparátorů

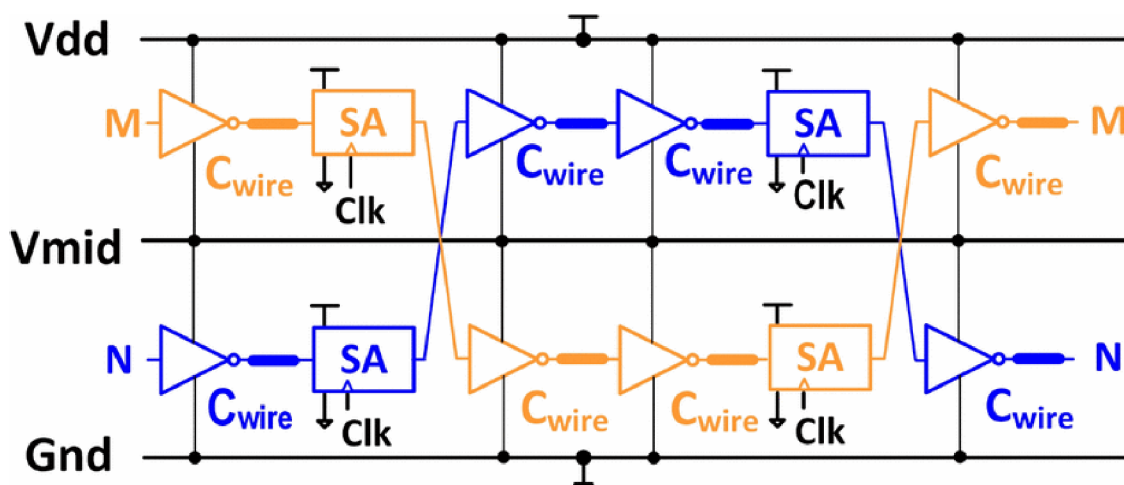
Toto zapojení vyžaduje, aby během testování byl buďto celý čip, anebo alespoň tento blok na dostatečně vysokém napájecím napětí. Dále je potřeba, aby byla k dispozici referenční napětí zhruba tři čtvrtiny a jedna čtvrtina z napájecího napětí. Vstupní napětí se mění mezi

hodnotami 0 V, polovina napájecího napětí a celé napájecí napětí. Díky tomu je možné ovládat signál sm_se_i nezávisle na signálu sm_rst_i .

Metoda trojúrovňové logiky s využitím dvou komparátorů má nevýhodu ve vysoké náročnosti na plochu na čipu. Výhodou je, že je možné tuto metodu modifikovat pro přenos vstupních informací pomocí napájecího napětí (kapitola 3.1).

2.4 Balancované recyklování náboje

Princip balancovaného recyklování náboje, který se normálně používá za účelem snížení energetické náročnosti přenosu dat na čipu, by mohl být využit pro realizaci trojúrovňové logiky bez nutnosti analogových obvodů. U velkých čistě digitálních čipů je často velká snaha co nejvíce snižovat spotřebu [8]. Největší část energie je ovšem spotřebována na pouhé přemísťování dat z jedné části čipu do druhé. Proto byla vyvinuta technika balancovaného recyklování náboje, která několikanásobně snižuje energetickou náročnost tohoto přenosu dat. Jedná se o zapojení dvou datových cest nad sebe mezi napájení a zemí tak, že vývody horní logiky, které jsou normálně zapojené na zem, jsou zapojené jako napájecí linka spodní logiky (obrázek 14).



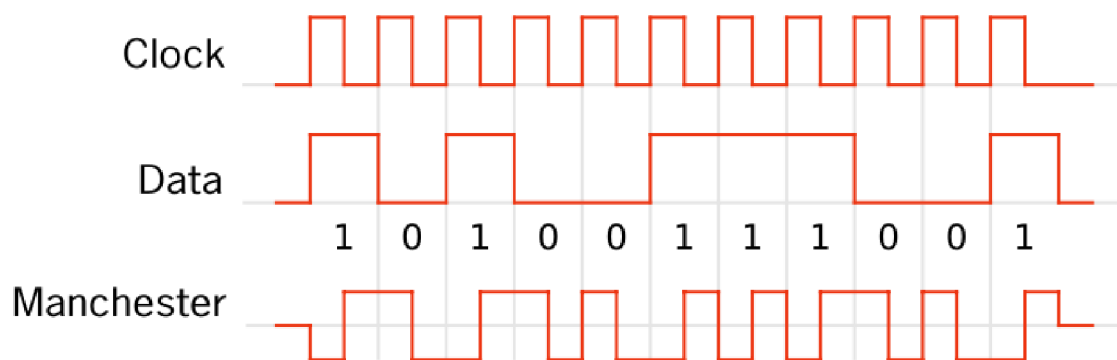
Obrázek 14: Balanced charge-recycling bus [8]

Toto zapojení má samoregulující činnost. V uzlu V_{mid} se samo drží napětí rovné polovině napájecího napětí. Na horní lince může docházet k jiné datové aktivitě než na spodní, což by způsobilo rozdílný úbytek napětí horní linky od spodní a v tom důsledku i odchýlení V_{mid} od poloviny napájecího napětí, proto jsou datové cesty doplněny o měniče napěťových úrovní, které umožňují střídání datových cest mezi spodní a horní linkou. Díky tomu je vždy na horní i dolní lince stejný úbytek napětí, a tudíž se i V_{mid} drží přibližně na polovině V_{dd} bez nutnosti regulátoru napětí.

Princip samoregulačního napětí na lince Vmid by mohl být využit pro konstrukci trojúrovňové logiky bez použití analogových prvků.

2.5 Kódování manchester

Toto kódování umožňuje přenášet data takovým způsobem, aby bylo možné obnovit hodinový signál z přenášených dat [9]. Tento princip by mělo být možné využít pro vynechání signálu sm_clk_i na rozhraní. Na obrázku 15 je příklad průběhu tohoto kódování.



Obrázek 15: Kódování manchester [9]

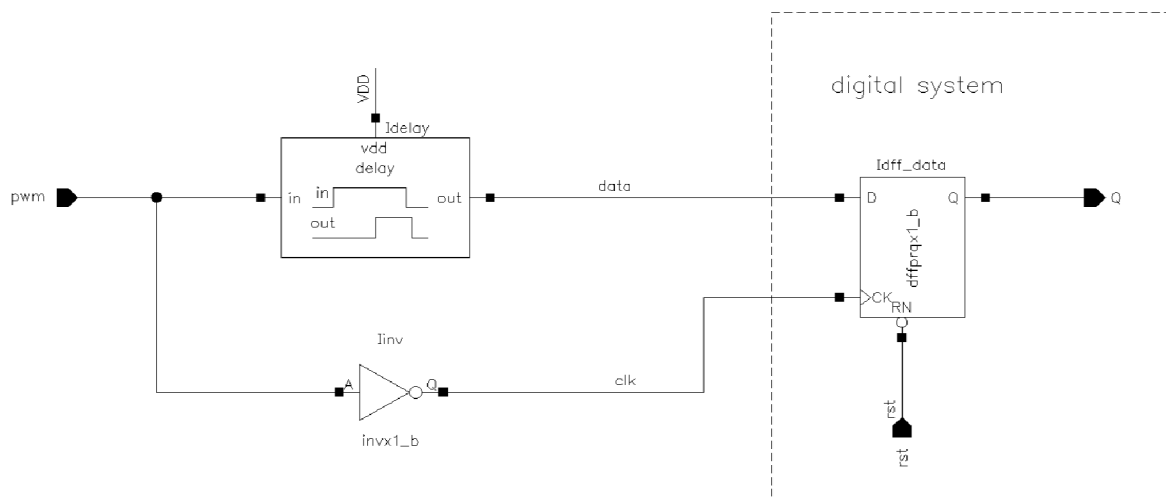
Princip tohoto kódování spočívá v tom, že data nejsou vyjádřena logickou úrovní signálu, ale jsou vyjádřena pomocí přechodu mezi logickými úrovněmi. Logická jednička je reprezentována náběžnou hranou signálu a logická nula sestupnou hranou. V případě, kdy se přenáší více stejných bitů za sebou, je nutné provést ještě opačnou změnu signálu mezi těmito bity. Díky tomu je střední hodnota přenášeného signálu vždy nulová při kterýchkoliv přenášených datech, a proto je možné rekonstruovat hodinový signál za použití digitálního fázového závěsu. Digitální fázový závěs je realizován jako posuvný registr, který vzorkuje příchozí komunikaci za použití lokálního hodinového signálu. Pokud je lokální hodinový signál synchronní s hodinovým signálem vysílače, tak bude v každý okamžik v posuvném registru stejné množství nul i jedniček. V opačném případě je upravena frekvence lokálního hodinového signálu na základě rozdílu v počtu nul a jedniček. Z tohoto důvodu je potřeba, aby komunikace začínala synchronizačním slovem. Vysílač pro toto kódování je realizován XOR hradlem, na které je přiveden datový a hodinový signál. V případě využití kódování manchester pro sloučení signálů sm_clk_i a sm_si_i je synchronizován vnitřní generátor hodinového signálu na čipu s hodinovým signálem testeru. V případě využití pro výstupní data a hodinový signál (například pro jednovodičové rozhraní) je potřeba synchronizovat hodinový signál testeru podle vnitřního signálu na čipu.

Kódování manchester má nevýhodu potřebného oscilátoru na čipu. V případě kódování vstupních informací je dále nevýhoda potřebné dodatečné logiky pro synchronizaci vnitřního

oscilátoru. V případě kódování výstupní informace může být nevýhoda omezené rychlosti testování kvůli omezené rychlosti oscilátoru testeru, popřípadě potřeba dodatečné testovací desky. Výhodou je, že se jedná o digitální řešení a v případě použití pro výstupní informaci i minimální náročnost na plochu na čipu.

2.6 Převodník PWM2SPI

Převodník PWM2SPI slouží ke sloučení datového a hodinového signálu do jednoho signálu za využití spoždění datového signálu. Princip převodníku je znázorněn na obrázku 16.



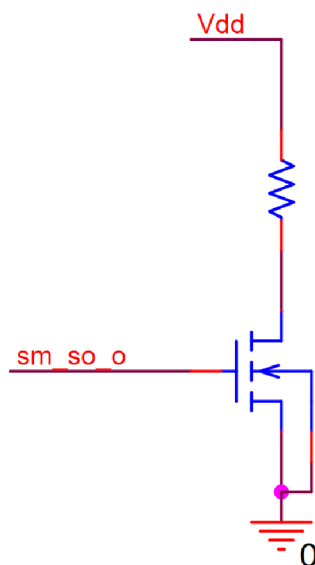
Obrázek 16: Princip převodníku PWM2SPI

Impulz na vstupním vývodu je přiveden přes invertor na hodinový vstup klopného obvodu a přes zpožďovací obvod na datový vstup. Zpožďovací obvod může být realizován například několika buffery. Pokud je vstupní impulz dostatečně krátký, tak přijde nástupná hrana na vstup klopného obvodu dříve, než stihne impulz projít zpožďovacím členem a do klopného obvodu bude uložena logická nula. V opačném případě bude do klopného obvodu uložena logická jednička.

Převodník PWM2SPI má nevýhodu, že neumožňuje tak vysokou přenosovou rychlost dat jako komunikace přes dva vodiče. Výhodou je, že se jedná o ověřené řešení.

2.7 Spínání rezistoru

Data z výstupu skenovacího řetězce je možné vyčítat z vývodu napájecího napětí (viz obr. 17) na místo vyhrazeného vývodu.



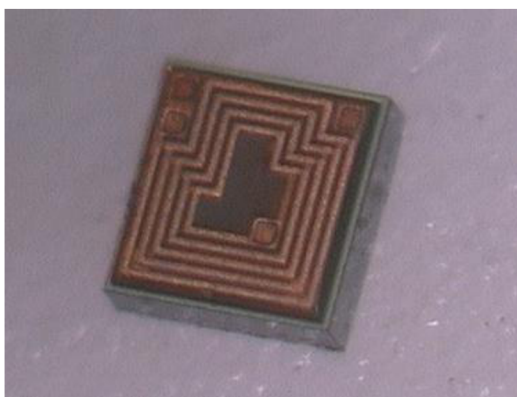
Obrázek 17: Schéma zapojení spínaného rezistoru

Toto zapojení předpokládá, že je zdroj napájecího napětí čipu dostatečně tvrdý. V závislosti na tom, jaká data jsou na výstupu skenovacího řetězce `sm_so_o`, se pomocí NMOS tranzistoru připojuje nebo odpojuje rezistor, který je zapojený mezi napájecí napětí a zem. V důsledku toho se mění impedance testovaného čipu a dochází ke změně proudu, který teče skrz napájecí vývod. Měřením tohoto proudu je tedy možné číst výstupní bity ze skenovacího řetězce.

Tato metoda má nevýhodu zatěžování napájecího napětí, což by mohlo komplikovat testování dynamických vlastností. Výhodou je, že je díky této metodě možné se zbavit jinak potřebného výstupního vývodu.

2.8 Anténa na čipu

Jakýkoliv vstupní či výstupní vývod, popřípadě i více vývodů, může být nahrazeno anténou vyrobenou na čipu. Na obrázku 18 je příklad antény na čipu.



Obrázek 18: Anténa na čipu [10]

Využití antény na čipu je krajní řešení, nad kterým má smysl uvažovat pouze v případě, kdy už se na čipu anténa nachází a zároveň jsou na čipu k dispozici méně než dva vývody pro skenovací rozhraní.

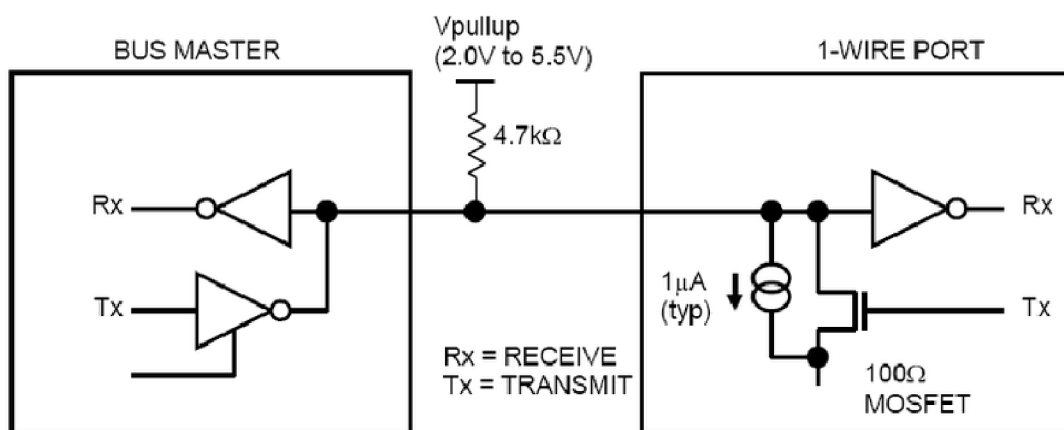
2.9 Vstupně-výstupní vývod

vývody sm_si_i a sm_so_o je možné nahradit za jediný vstupně-výstupní vývod. Princip spočívá v tom, že je testovací vektor nejdříve nasunut do skenovacího řetězce. Následně se obvod přepne do capture fáze a při zpětném přepnutí do shift fáze je vstupní vývod přepnut na výstupní a jsou skrze něj následně postupně vysouvány bity ze skenovacího řetězce. Během vysouvání bitů nemohou být zároveň nasouvány další testovací vektory do čipu. Proto tato metoda prodlužuje čas testování čipu na dvojnásobek.

Tato metoda má nevýhodu v dvojnásobném prodloužení testovacího času. Výhodou je, že se jedná o digitální řešení.

2.10 1-wire sběrnice

1-wire sběrnice může být realizována buďto pomocí tří vodičů (VDD, GND a data), anebo dvou vodičů, a potom je čip napájen skrze datový vodič [12]. V takovém případě je potřeba, aby na čipu byl kondenzátor, který uchovává náboj a napájí zařízení, když je datová linka aktivní. Schéma zapojení rozhraní 1-wire sběrnice je na obrázku 19.



Obrázek 19: Rozhraní 1-wire sběrnice [11]

Komunikace přes 1-wire sběrnici začíná tím, že master stáhne datový vodič do logické nuly na minimálně 480 μ s. Po uvolnění se sběrnice překlopí do logické jedničky díky pull-up rezistoru. Následně slave stáhne sběrnici do logické nuly na dobu 60 až 240 μ s. Vysílání dat funguje tak, že vysílač stáhne sběrnici do logické nuly na dobu větší než 1 μ s. Pokud vysílač uvolní sběrnici do 15 μ s, jedná se o logickou úroveň jedna, a pokud v rozmezí 60 až 120 μ s, jedná se o logickou úroveň nula. Pomocí tohoto zapojení je možné nahradit všechny vývody pro ovládání skenovacího řetězce, kromě vývodu sm_clk_i, který je nahrazen vnitřním

hodinovým signálem. Dále toto zapojení vyžaduje vnitřní kondenzátor na čipu a z podstaty této komunikace jsou možné pouze malé přenosové rychlosti.

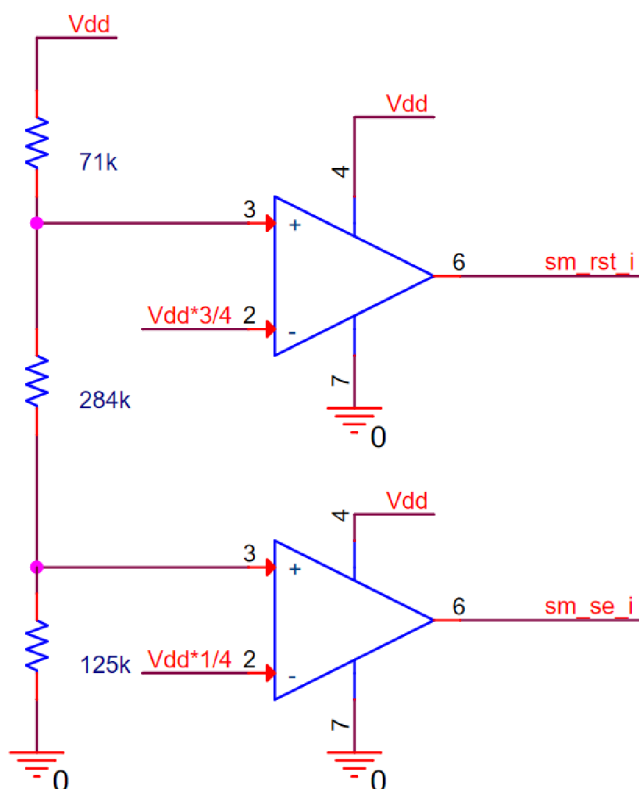
Využití 1-wire sběrnice pro skenovací rozhraní má smysl pouze u velmi malých čipů, které už mají toho rozhraní a mají pouze velmi malou digitální část.

3 Návrh metod pro řešení problému

V této kapitole je navrženo několik nových principů pro snížení potřebného množství vývodů skenovacích řetězců na méně než pět. Stejně jako v minulé kapitole je možné tyto principy využít samostatně, anebo ve vhodné kombinaci pro vytvoření požadovaného rozhraní.

3.1 Trojúrovňová logika s využitím dvou komparátorů pro přenos informace napájecím napětím

Trojúrovňovou logiku s využitím dvou komparátorů (kapitola 2.3) je možné modifikovat pro přenos vstupních dat skrze napájecí vývod. Schéma tohoto upraveného zapojení je na obrázku 20.



Obrázek 20: Trojúrovňová logika s využitím dvou komparátorů pro přenos informace napájecím napětím

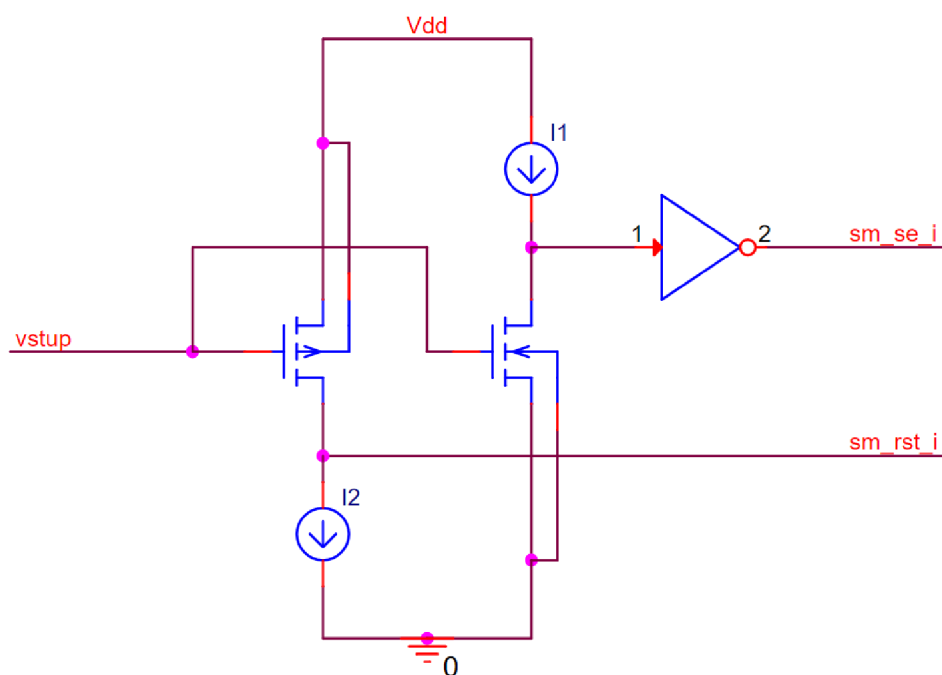
Mezi napájecí napětí a zem je zapojený odporový dělič ze tří rezistorů. Pokud je napájecí napětí 5 V, je v uzlu mezi rezistory R3 a R2 napětí větší než 1,25 V a mezi rezistory R2 a R1 je napětí větší než 3,75 V. V tomto případě jsou výstupy sm_se_i i sm_rst_i v logické úrovni jedna. Pokud napájecí napětí klesne pod hodnotu 4,8 V, klesne napětí mezi rezistory R3 a R2 pod hodnotu 1,25 V, zatímco napětí mezi rezistory R2 a R1 bude pořád větší než 3,75 V. Výstup sm_se_i se překlopí do logické úrovně nula a sm_rst_i zůstane pořád jedna. Jakmile

klesne napájecí napětí pod 4,4 V, tak klesne i napětí mezi rezistory R2 a R1 pod 3,75 V a na výstupu sm_rst_i se objeví logická nula.

Tento přístup je zajímavý pro čipy, které mají méně než dva volné vývody k testování a zároveň na nich není 1-wire sběrnice ani anténa.

3.2 Trojúrovňová logika s využitím proudových zdrojů

Stejně jako v předchozím případě se jedná sloučení signálů sm_rst_i a sm_se_i do jednoho vstupního vývodu. Schéma tohoto zapojení je na obrázku 21.



Obrázek 21: Trojúrovňová logika s využitím proudových zdrojů

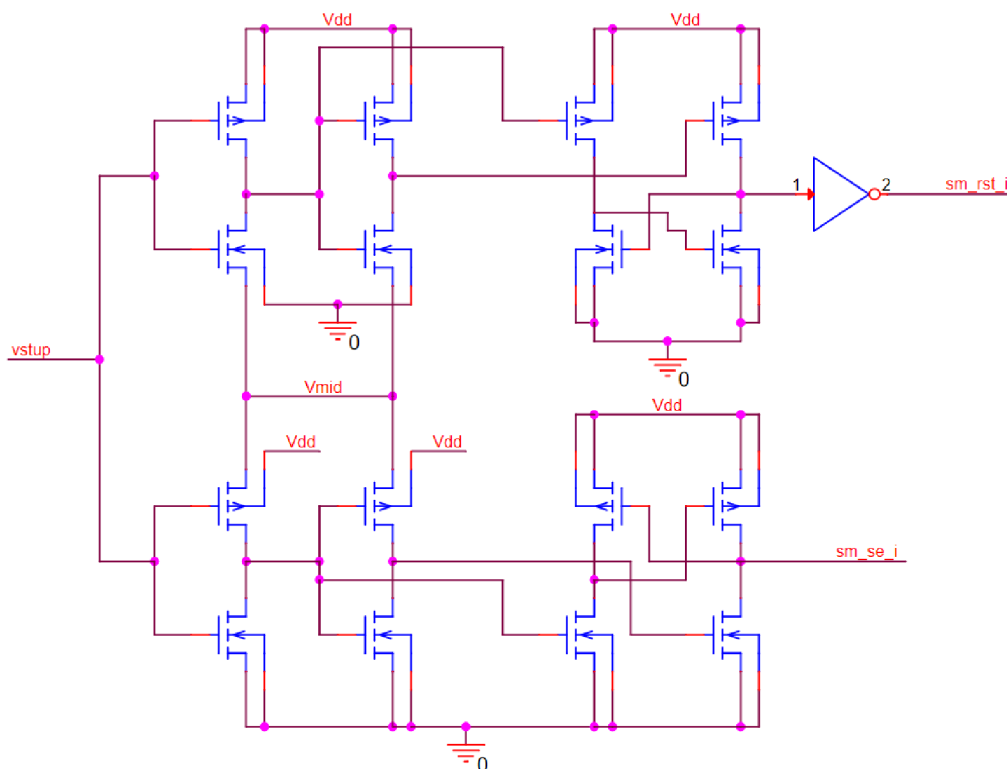
Vstupní signál opět nabývá hodnot 0 V; 2,5 V a 5 V. Když je vstupní signál 0 V, tak je PMOS otevřený a NMOS zavřený. Díky tomu je výstup sm_se_i v logické úrovni nula a sm_rst_i v úrovni jedna. Když je vstupní signál 2,5 V, tak jsou oba tranzistory otevřené, a tudíž je výstup sm_se_i v logické úrovni jedna a sm_rst_i v logické úrovni jedna. Pokud je vstup 5 V, tak je NMOS otevřený a PMOS zavřený, výstup sm_se_i je v logické úrovni jedna a sm_rst_i v logické úrovni nula.

Metoda trojúrovňové logiky s využitím proudových zdrojů má nevýhodu v tom, že se nejedná o čistě digitální řešení. Výhodou je nízká náročnost na plochu na čipu.

3.3 Využití balancovaného recyklování náboje pro trojúrovňovou logiku

Vzhledem k charakteru problému není potřeba uvažovat přenos dat na velké vzdálenosti na čipu a vliv rozdílné datové aktivity na horní a dolní lince, protože vnější hodinový signál

může být dostatečně pomalý na to, aby přechodné jevy v obvodu odezněly před náběžnou hranou. Díky tomu je možné implementovat pouze koncovou část jediného segmentu (dva invertory a dva měniče napět'ové úrovně) a předpokládat, že v uzlu V_{mid} bude polovina napětí V_{dd} při každé změně vstupních dat (obrázek 22). Pokud se spojí vstupy invertorů horní i spodní linky a připojí se na ně vstupní napětí o hodnotách 0 V; 2,5 V a 5 V, budou se na výstupech objevovat postupně stejné hodnoty jako v předchozích případech trojúrovňové logiky.

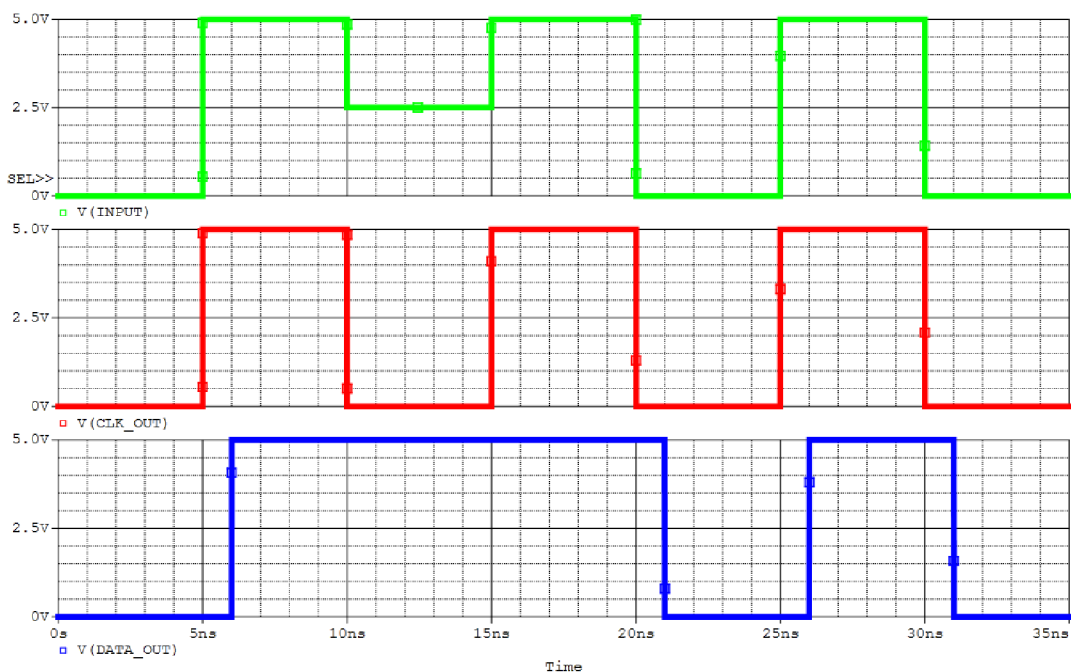


Obrázek 22: Využití balancovaného recyklování náboje pro víceúrovňovou logiku

Tato metoda má nevýhodu v tom, že nefunguje spolehlivě ve výrobním procesu s tranzistory s vysokým výstupním odporem. Výhodou je, že se jedná o digitální řešení.

3.4 Využití trojúrovňové logiky pro přenos datového a hodinového signálu

Všechny principy pro realizaci trojúrovňové logiky mohou být využity i pro sloučení datového a hodinového signálu. Aby to bylo možné, je nutné zpozdit výstup obvodu, který odpovídá vstupním datům mezi napět'ovými úrovněmi 0 a 2,5 V. Pro toto zpoždění je možné použít buffery. Princip sloučení signálů je znázorněn na obrázku 23.



Obrázek 23: Princip využití trojúrovňové logiky pro přenos datového a hodinového signálu

Jak je vidět na obrázku, tak vstupní signál je hodinový signál s logickou úrovní jedna s hodnotou 5 V. Logická úroveň nula hodinového signálu je reprezentována napětovou hodnotou 2,5 V nebo 0 V. Logická úroveň jedna datového signálu je reprezentována napětovou hodnotou 2,5 V nebo 5 V. Logická úroveň nula datového signálu je reprezentována napětovou hodnotou 0 V. Díky tomu je možné během logické úrovně nula hodinového signálu zároveň přenést datovou informaci s napětovými úrovněmi 0 V a 2,5 V. Pokud se následně zpozdí datový výstup, tak při každé náběžné hraně výstupního hodinového signálu bude stále platná hodnota datového výstupu.

Tato metoda se jeví jako užitečná pro čipy, které mají na pouzdrů méně než čtyři volné vývody. Nevýhodou této metody je, že vyžaduje realizaci trojúrovňové logiky, což přináší komplikace.

3.5 Využití klopného obvodu aktivního na sestupnou hranu pro sloučení signálů sm_se_i a sm_si_i

Pokud se do obvodu přidá klopný obvod aktivní na sestupnou hranu, jehož datový vstup se zapojí na vývod sm_si_i a hodinový vstup na vývod sm_clk_i , je možné vynechat vývod sm_se_i . Signál sm_si_i v takovém případě je potřeba upravit tak, aby měl při náběžné hraně hodinového signálu stejnou hodnotu jako před touto úpravou, ale při sestupné hraně měl hodnotu vynechaného vývodu sm_se_i . Výstup tohoto klopného obvodu ovládá vstupy sm_se_i všech skenovatelných klopných obvodů. Na začátek skenovacího řetězce je proto

nutné přidat jeden klopný obvod navíc, aby bylo možné zajistit, že poslední bit testovacího vektoru bude mít vždy hodnotu jedna.

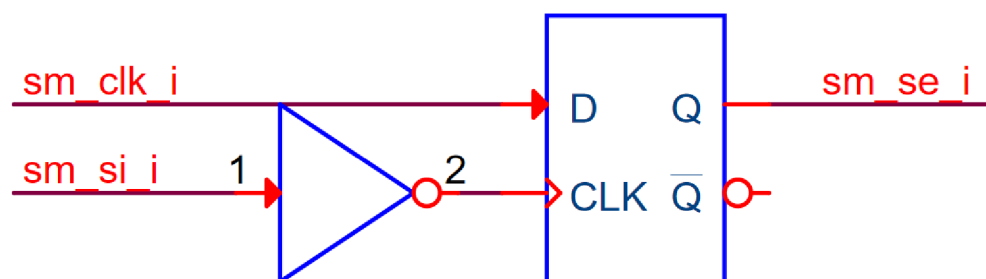
Tato metoda má nevýhodu v tom, že je nutné modifikovat průběh datového signálu na vývodu sm_si_i . Výhodou je, že se jedná o digitální řešení.

4 Navržená řešení

V této části práce jsou popsána konkrétní navržené čtyřvodičové, třívodičové, dvouvodičové, jednovodičové a nulavodičové rozhraní. Některá z těchto rozhraní nevyužívají ani jeden z principů uvedených v předchozích kapitolách, protože tyto principy neumožňovaly vytvoření rozhraní s dostatečně dobrými vlastnostmi a podařilo se vytvořit zapojení, které lépe splňuje požadavky. Těmito požadavky jsou především jednoduchost a co nejmenší omezení testovací rychlosti. Rozhraní by také mělo být digitální, pokud je to možné.

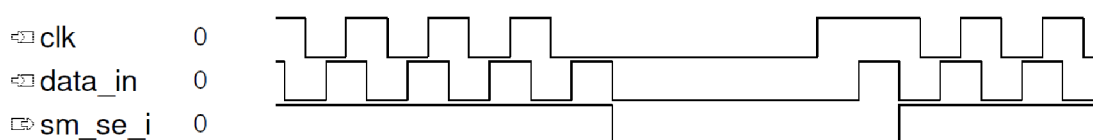
4.1 Čtyřvodičové rozhraní

Schéma navrženého čtyřvodičového rozhraní je na obrázku 24.



Obrázek 24: Navržené čtyřvodičové rozhraní

Je vidět, že se jedná pouze o obyčejný klopný obvod typu D aktivní na sestupnou hranu. Na hodinový vstup tohoto klopného obvodu je připojen signál `sm_si_i` a na datový vstup je připojen signál `sm_clk_i`. Důvod je ten, že pomocí timesetu je možné nadefinovat přesné časy všech náběžných a sestupných hran v cyklu testeru. Náběžnou hranu datového signálu je potřeba vždy nastavit tak, aby byla před náběžnou hranou hodinového signálu. Sestupnou hranu datového signálu je ovšem možné nastavit kdykoliv po náběžné hraně hodinového signálu v rámci testovacího cyklu. Jediným omezením je hold time klopných obvodů, který je v technologii `onc25` v řádu desítek až stovek pikosekund. Pokud se sestupná hrana datového signálu nastaví tak, aby byla dříve než sestupná hrana hodinového signálu, tak bude během shift fáze na výstupu klopného obvodu vždy logická úroveň jedna. Na obrázcích 25 je znázorněné, jakým způsobem je možné přejít do capture fáze.



Obrázek 25: Capture fáze čtyřvodičového rozhraní

Na průběhu je vidět, že po posledním bitu shift fáze je vytvořen jeden impulz na vstupních datech, zatímco hodinový signál je v logické úrovni nula po celou dobu tohoto impulzu. Díky tomu se sestupnou hranou datového signálu přechází signál `sm_se_i` do logické úrovně 0. Po prodlevě pro propagaci dat skrze kombinační logiky je potřeba změnit timeset. První přijde náběžná hrana hodinového signálu, při které dojde k uložení výsledků kombinačních logik do klopných obvodů. Následně se provede impulz na datovém signálu, při jehož sestupné hraně dojde ke zpětnému přechodu signálu `sm_se_i` do logické úrovně jedna. Poté je možné zachycená data vysunout z obvodu.

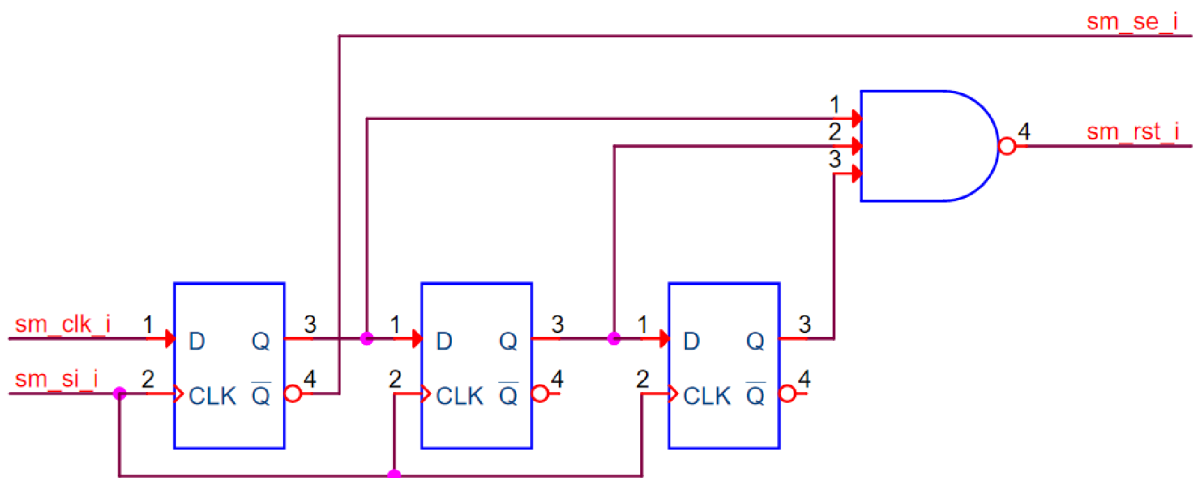
Toto rozhraní nezbytně vyžaduje, aby na datovém signálu nevznikaly nežádoucí zákmity.

Výhodou tohoto rozhraní je minimální náročnost na plochu a jednoduchost. Toto rozhraní zároveň neomezuje testovací rychlost.

Register Transfer Level (RTL) kód a verifikační testbench tohoto rozhraní jsou v příloze 1 a 2.

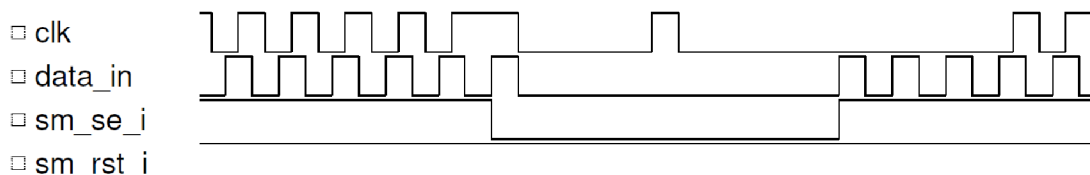
4.2 Třívodičové rozhraní

Schéma navrženého třívodičového rozhraní je na obrázku 26.



Obrázek 26: Navržené třívodičové rozhraní

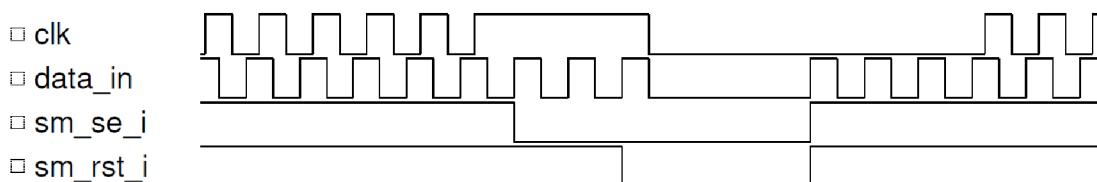
Jak je vidět na obrázku, tak se jedná o tříbitový posuvný registr, z kterého je každý bit připojen na vstup hradna NAND. Stejně jako u předchozího zapojení je na vstupu prohozený hodinový a datový signál. Díky tomu, že náběžná hrana dat musí během shift fáze přijít vždy dříve než náběžná hrana hodin, tak je zajištěno, že během této fáze budou výstupy registrů při kterémkoliv testovacím vektoru vždy v logické úrovni jedna. Na obrázku 27 je znázorněné, jakým způsobem je možné přejít do capture fáze.



Obrázek 27: Capture fáze třívodičového rozhraní

Na obrázku je vidět, že po poslední náběžné hraně hodinového signálu v shift fázi je tento signál je držen v logické úrovni jedna. Mezitím, než přijde sestupná hrana, je vytvořen impuls na datovém signálu, čímž dojde k přechodu do capture fáze. Poté, co se vypropagují data skrze kombinační logiky, je proveden impuls na hodinovém signálu. Následně jsou provedeny tři impulsy na datovém signálu pro zpětný přechod do shift fáze.

Způsob generování resetovacího signálu je znázorněn na obrázku 28.



Obrázek 28: Generování resetovacího signálu u třívodičového rozhraní

Stejně jako při přechodu do capture fáze je po poslední náběžné hraně hodinového signálu tento signál podržen v logické úrovni jedna. Narozdíl od předchozího případu jsou ovšem provedeny tři impulsy na datovém signálu, čímž je signál sm_rst_i sražen do logické úrovně nula. Poté, co jsou všechny klopné obvody vyresetovány, jsou provedeny další tři impulsy na datovém signálu, čímž obvod opět přejde do shift fáze.

Toto rozhraní by bylo možné realizovat i pomocí pouhých dvou klopných obvodů. Problém by byl v tom, že na první klopný obvod by byla zapojena větší zátěž než na druhý. Proto by druhý klopný obvod reagoval rychleji na náběžnou hranu hodin a vzniklo by riziko zákmitu na signálu sm_rst_i. Zákmit na tomto signálu by způsobil nefunkčnost celého skenovacího řetězce. V případě, že se tento obvod zakomponoval do zbytku testované digitální části, tak by tento problém nastat neměl. Pokud by se ovšem tento obvod využil jako samostatný blok, bylo by potřeba nastavovat omezující podmínky tak, aby nedocházelo k zákmitům. Zároveň by bylo potřeba kontrolovat zpoždění datových cest na každém čipu a pravděpodobně i při každé výrazné změně na čipu. Z těchto důvodů byl v zapojení použit třetí klopný obvod, který tyto problémy odstraňuje.

Součástí práce je i skript, který převádí testovací vektory pro normální pětivodičové rozhraní na toto třívodičové rozhraní. Tento skript je poměrně složitý a není vyloučeno, že by v něm mohla být chyba, která se zatím neprojevila při verifikaci na digitální části čipu

NCP12600. Z toho důvodu je součástí práce i testbench pro celkovou verifikaci skenovacích řetězců. Je vhodné tuto verifikaci vždy provést.

Toto rozhraní nezbytně vyžaduje, aby na datovém signálu nevznikaly nežádoucí zákmity.

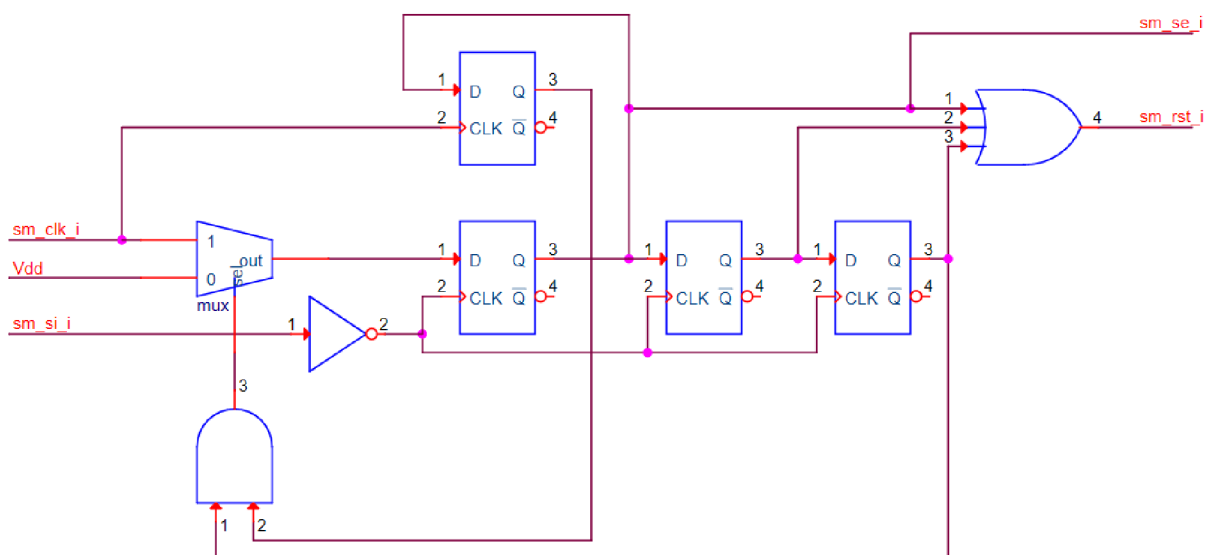
Výhodou tohoto zapojení je minimální náročnost na plochu, jednoduchost a to, že neomezuje rychlost testování u čipů, u kterých není testovací rychlost omezena rychlostí testeru.

Nevýhodou tohoto zapojení především je, že vyžaduje změnu formátu vývodu `sm_clk_i`, což některé testery neumožňují. V případě, že tester nepodporuje přepínání formátu, je nutné použít formát non return a hodinový signál vytvořit pomocí dvou cyklů testeru. Kvůli tomu je ovšem omezena maximální testovací rychlost na polovinu maximální rychlosti testeru u čipů, které jsou omezeny rychlostí testeru. Další nevýhodou, kterou to přináší, je zvýšená paměťová náročnost na tester.

RTL kód a verifikační testbench tohoto rozhraní jsou v příloze 3 a 4. Testbench pro celkovou verifikaci průchodnosti skenovacích řetězců s tímto rozhraním je v příloze 5. Skript pro převod testovacích vektorů pro pětivývodové rozhraní na toto třívývodové rozhraní je v příloze 6.

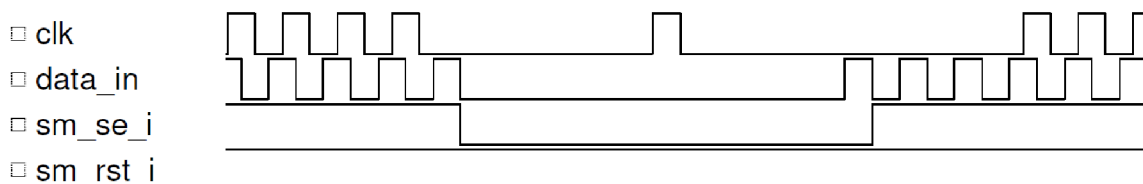
4.3 Rychlé třívodičové rozhraní

Toto rozhraní odstraňuje nevýhody předchozího zapojení. Schéma zapojení je na obrázku 29.



Obrázek 29: Schéma zapojení rychlého třívodičového rozhraní

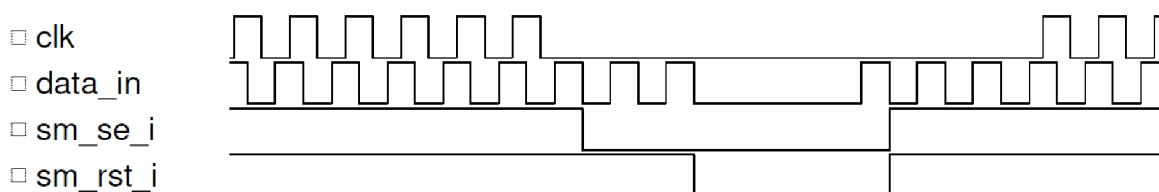
Toto rozhraní využívá toho, že sestupnou hranu dat je možné v timesetu nastavit tak, aby vždy nastala dříve než sestupná hrana hodinového signálu. Díky tomu je během shift fáze na výstupech všech klopných obvodů vždy logická úroveň jedna. Princip přechodu do capture fáze je znázorněn na obrázku 30.



Obrázek 30: Capture fáze rychlého třívodičového rozhraní

Poté, co přijde sestupná hrana posledního bitu testovacího vektoru, je proveden jeden impulz datového signálu, čímž obvod přechází do capture fáze. Jakmile se data projdou skrze kombinační logiky, je proveden impulz na hodinovém signálu. Během náběžné hrany tohoto impulzu je do klopného obvodu v horní části obrázku 29 uložena logická úroveň nula, což způsobí, že na datový vstup posuvného registru ve spodní straně obrázku je přivedena logická úroveň jedna. Zpětný přechod do shift fáze se provede tak, že se na datovém signálu provedou tři impulzy.

Princip generování resetovacího signálu je znázorněn na obrázku 31.



Obrázek 31: Generování resetovacího signálu u rychlého třívodičového rozhraní

Na obrázku je vidět, že poté co přijde sestupná hrana posledního bitu v testovacím vektoru, následují tři impulzy datového signálu. Při sestupné hraně třetího impulzu přejde výstup posledního klopného obvodu v posuvném registru na spodní straně obrázku 29 do logické úrovně nula. Díky tomu přejde i signál sm_rst_i do logické úrovně nula a zároveň je na vstup posuvného registru přivedena logická úroveň jedna. Po prodlevě pro resetování jsou na datovém signálu vytvořeny další tři impulzy, pomocí nichž je obvod převeden zpátky do shift fáze.

U tohoto rozhraní byly využity tři klopné obvody ze stejného důvodu jako u předchozího rozhraní. Skript pro převod testovacích vektorů je podstatně jednodušší než u předchozího rozhraní, a proto je také podstatně nižší šance výskytu chyby. Přesto je součástí práce i testbench pro celkovou verifikaci skenovacích řetězců a odhalení případných chyb ve skriptu. Toto rozhraní také vyžaduje, aby na datovém signálu nevznikaly nežádoucí zákmity.

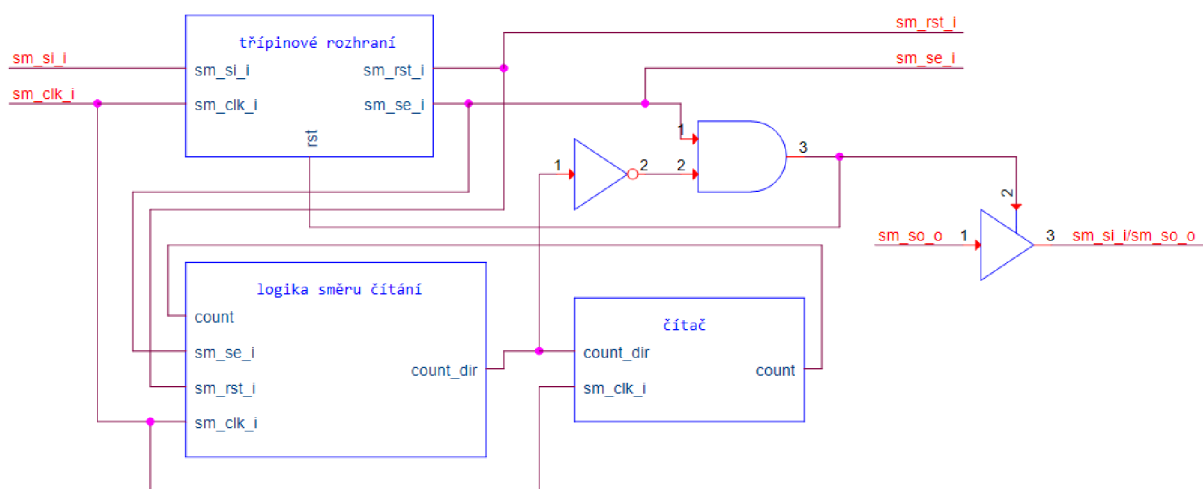
Výhodami tohoto rozhraní je minimální náročnost na plochu, jednoduchost a to, že neomezuje rychlost testování u čipů. Toto rozhraní také nevyžaduje přepínání formátu hodinového vývodu a je možné všechny vývody ponechat ve formátu return to zero. Díky tomu nedochází k omezení testovací rychlosti z důvodu rozdělení periody hodinového signálu do dvou testovacích cyklů jako u předchozího rozhraní. Další výhodou tohoto zapojení je, že umožňuje přidání jednoho páru `sm_si_i` a `sm_so_o` i u čipů s pěti a více vývody. Díky tomu je možné snížit testovací dobu u těchto čipů. Toto rozhraní také téměř nezvyšuje nároky na paměť testeru.

Nevýhodou tohoto rozhraní je o trochu vyšší náročnost na plochu oproti předchozímu zapojení.

RTL kód a verifikační testbench tohoto rozhraní jsou v příloze 7 a 8. Testbench pro celkovou verifikaci průchodnosti skenovacích řetězců s tímto rozhraním je v příloze 9. Skript pro převod testovacích vektorů pro pětivodičové rozhraní na toto třívodičové rozhraní je v příloze 10.

4.4 Dvou vodičové rozhraní

Schéma navrženého dvou vodičového rozhraní je na obrázku 32.



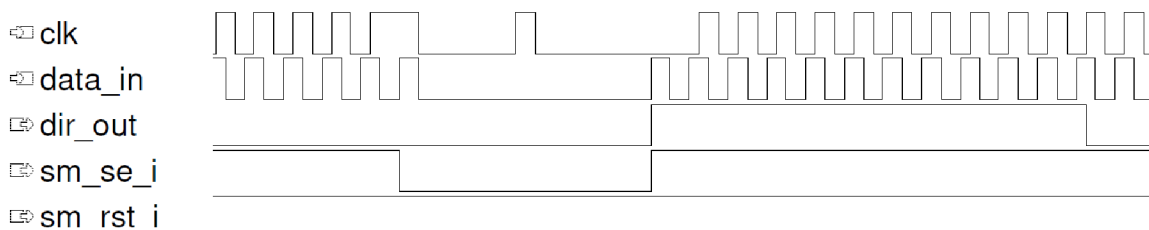
Obrázek 32: Navržené dvou vodičové rozhraní

Základem tohoto rozhraní je třívodičové rozhraní, u kterého jsou vývody `sm_si_i` a `sm_so_o` nahrazeny za jeden vstupně-výstupní vývod. Princip je takový, že je testovací vektor nejdříve nasunut na čipu. Poté je provedena buďto capture fáze, nebo je vygenerován resetovací signál. Vývod, který byl využit pro jako vstupní vývod pro data, je následně přepnut na výstupní a data, která jsou uložena v klopných obvodech, jsou vysunuta z čipu. Po vysunutí posledního bitu je tento vývod opět přepnut na vstupní. Pro určení okamžiku, kdy byl už vysunut poslední bit, slouží obousměrný čítač. Tento čítač se inkrementuje pro každé

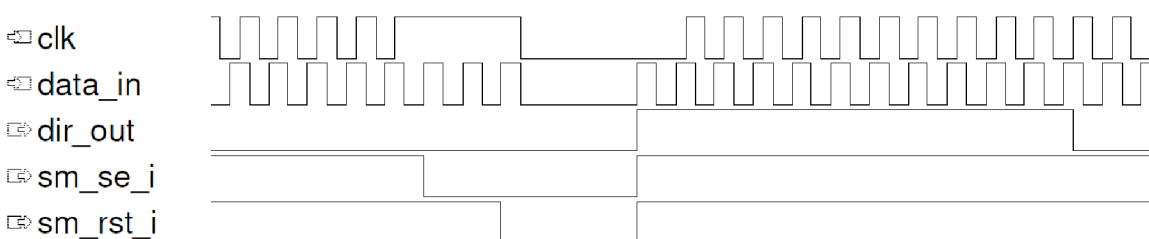
náběžné hraně během nasouvání testovacího vektoru. Poté, co je ukončena capture fáze nebo reset fáze, je tento čítač přepnut do dekrementujícího režimu. Při vysouvání dat z čipu se čítač dekrementuje opět při každé náběžné hraně hodinového signálu. Jakmile čítač opět dosáhne hodnoty nula, tak se přepne do inkrementujícího režimu a zároveň dojde k přepnutí výstupního vývodu na vstupní.

Během přepínání datového vývodu ze vstupního na výstupní může dojít ke krátkému zkratu obvodu. Je to tím, že pro dosažení co nejvyšší testovací rychlosti je nutné použít jedno ze dvou třívodičových řešení uvedených v této práci. Tato řešení ovšem využívají pro zpětný přechod do shift fáze impulzů na datovém signálu. V okamžiku náběžné nebo sestupné hrany v závislosti na tom, které rozhraní bylo použito, je na tento datový vývod přiveden výstup posledního klopného obvodu skenovacího řetězce. Pokud je tento bit v opačné logické úrovni, tak je obvod zkratovaný do doby, než se tester přepne do režimu čtení dat. Tento problém je možné odstranit tak, že se na konec skenovacího řetězce zapojí o jeden klopný obvod navíc, který je aktivní pouze při testování čipu. Pokud se na začátek testovacího vektoru přidá jeden bit, jehož logická úroveň odpovídá úrovni, do které přechází datový signál při přepínání vývodu, tak ke zkratu nedojde.

Průběhy capture fáze a generování resetovacího signálu jsou na obrázcích 33 a 34.



Obrázek 33: Capture fáze dvouvodičového rozhraní



Obrázek 34: Generování resetovacího signálu u dvouvodičového rozhraní

Kvůli tomu, že syntetizátor nepodporuje třístavový buffer, je nutné tento buffer dát mimo zbytek digitální logiky a pouze generovat signál pro řízení tohoto bufferu (dir_out). Na rozdíl od třívodičového rozhraní není capture fáze a generování resetu zakončeno třemi impulzy na datovém signálu pro přivedení nul na výstupy všech klopných obvodů, ale místo toho jsou tyto klopné obvody resetovány signálem dir_out.

Toto rozhraní nezbytně vyžaduje, aby na datovém signálu nevznikaly nežádoucí zákmity.

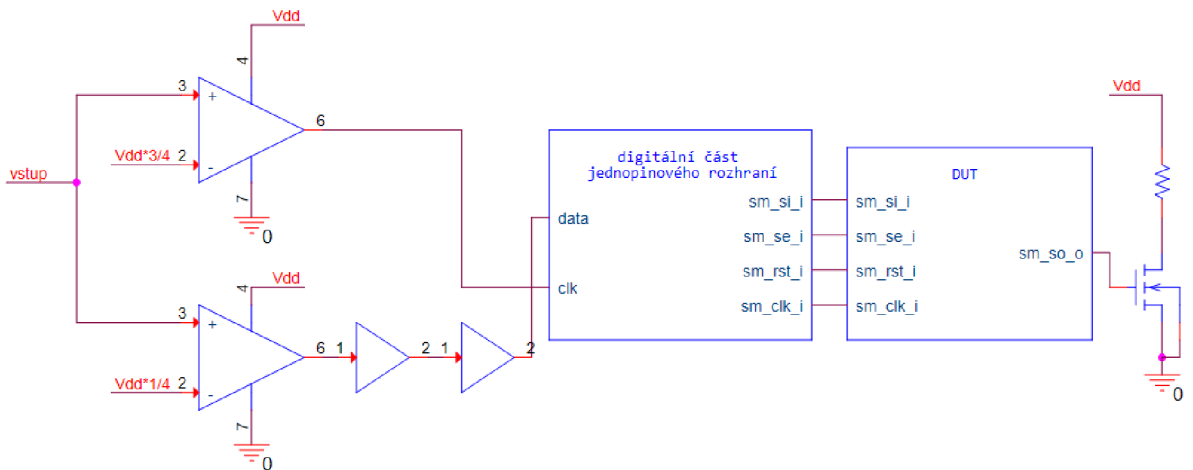
Výhodou tohoto rozhraní je nízká náročnost na plochu a to, že snižuje testovací rychlost pouze dvakrát.

Nevýhodami tohoto rozhraní jsou komplikace spojené s třístavovou logikou, vysoká náročnost skriptu pro převod testovacích vektorů z pětivodičového rozhraní na toho rozhraní, nemožnost čistě digitální simulace tohoto rozhraní a z toho vyplývající komplikovaná a časově náročná verifikace průchodnosti skenovacích řetězců.

RTL kód a verifikační testbench tohoto rozhraní jsou v příloze 11, 12, 13 a 14.

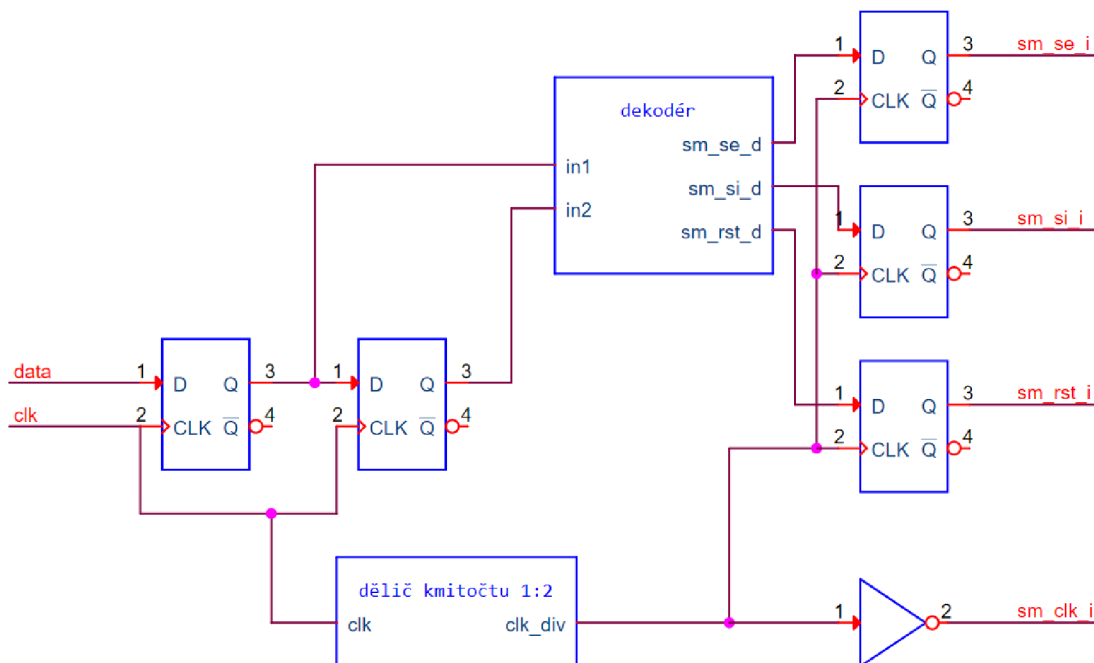
4.5 Jednovodičové rozhraní

Schéma navrženého jednovodičového rozhraní je na obrázku 35.



Obrázek 35: Schéma navrženého jednovodičového rozhraní

Na obrázku 36 je digitální část navrženého jednovodičového rozhraní.

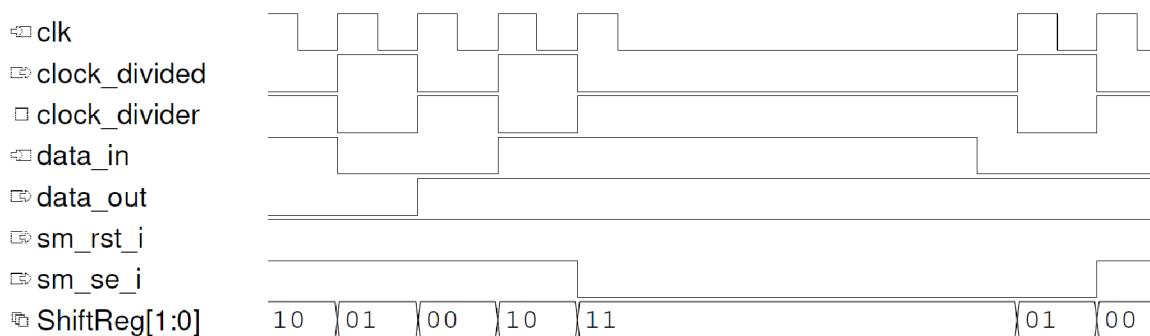


Obrázek 36: Digitální část jednovodičového rozhraní

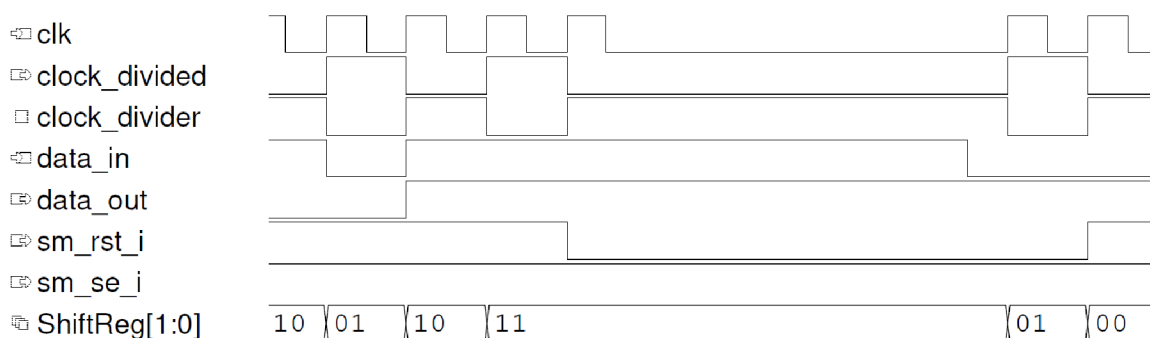
Jak je vidět na obrázku, tak digitální část tohoto rozhraní se skládá z dvoubitového posuvného registru, který slouží jako detektor posloupnosti. Výstupy z tohoto registru jsou přivedeny do dekodéru, který je dekoduje na tři různé výstupy (sm_si_i , sm_rst_i , sm_se_i). Výstupy z tohoto dekodéru se mění s každou náběžnou hranou hodinového signálu, ale žádoucí hodnoty se objevují pouze s každou druhou náběžnou hranou. Proto je vstupní hodinový signál přiveden na děličku kmitočtu 1:2 a do testované logiky je přiveden tento podělený signál. Z tohoto důvodu je zároveň potřeba, aby byla tato dělička zpožděna o jeden hodinový takt po přechodu do testovacího módu. To znamená, že první náběžná hrana poděleného signálu nastane až s třetí náběžnou hranou hodinového signálu. Hodinový signál přivedený do testované logiky je invertovaný z důvodu lepšího časování.

Aby nedocházelo k nežádoucím záskmitům na signálech sm_si_i , sm_rst_i a sm_se_i , jsou výstupy z dekodéru registrovány. Obzvláště záskmity na resetovacím signálu by způsobily nefunkčnost skenovacího řetězce. Registry jsou aktivní na náběžnou hranu poděleného hodinového signálu. Z tohoto důvodu je podělený hodinový signál, který je přivedený do testované logiky, invertovaný, aby nemohlo dojít k porušení časování.

Průběhy capture fáze a generování resetovacího signálu jsou na obrázcích 37 a 38.



Obrázek 37: Capture fáze jednovodičového rozhraní



Obrázek 38: Generování resetovacího signálu u jednovodičového rozhraní

Samotnou digitální část tohoto rozhraní je možné použít jako třívodičové rozhraní.

Na obrázku 35 je znázorněn jeden z možných způsobů, jak je možné doplnit obvod z obrázku 36 za účelem vytvoření jednovodičové rozhraní. Na vstup digitální části je zapojena trojúrovňová logika s využitím proudových zdrojů. Z této trojúrovňové logiky je vytvořen hodinový a datový signál pro vstupy digitální části rozhraní pomocí zpoždění jednoho z výstupů. Zpoždění signálu je zajištěno několika buffery. Pro vytvoření hodinového a datového signálu pro vstupy digitální části rozhraní je možné využít kterýkoliv jiný princip pro vytvoření těchto signálů z jednoho vývodu.

Výstup z testované logiky je přiveden na tranzistor, pomocí kterého se připojuje nebo odpojuje zatěžovací rezistor. Díky tomu vznikají změny v odebíraném proudu testovaného čipu. Měřením tohoto proudu je možné číst výstupní data z testované logiky. Pokud je na čipu k dispozici druhý vývod pro testování digitální logiky, je možné namísto připojování zatěžovacího rezistoru připojit výstup z testované logiky na tento vývod, čímž by vzniklo dvouvodičové rozhraní.

Hlavní výhodou tohoto rozhraní je především modulárnost, což umožňuje využití na projektech, které mohou mít různá omezení.

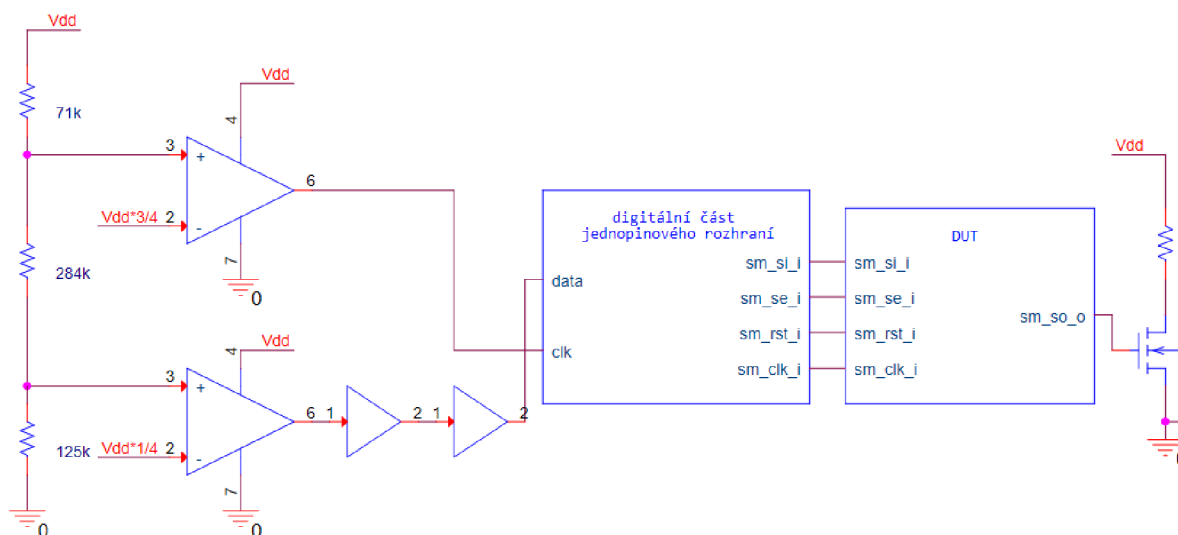
Nevýhodou tohoto rozhraní je, že se nejedná o čistě digitální řešení, a to, že využívá trojúrovňovou logiku, což znemožňuje digitální simulaci tohoto řešení a způsobuje vysokou

náročnost skriptu pro převod pětivodičového rozhraní na toto rozhraní. Verifikace průchodnosti skenovacích řetězců je také velmi náročná. Další nevýhodou je velmi nízká testovací rychlost způsobená změnami spotřeby čipu.

RTL kód a verifikační testbench digitální části tohoto rozhraní jsou v příloze 15 a 16.

4.6 Nulavodičové rozhraní

Schéma navrženého nulavodičového rozhraní je na obrázku 39.



Obrázek 39: Schéma navrženého nulavodičového rozhraní

Digitální část tohoto rozhraní je totožná s digitální částí jednovodičového rozhraní. Výstup skenovacího řetězce je také totožný. Jediný rozdíl je ve vstupní části. U tohoto rozhraní je použit princip trojúrovňové logiky s využitím dvou komparátorů pro přenos informace napájecím napětím. Jeden z výstupních signálů z komparátorů je opět zpožděn pomocí několika invertorů, což umožňuje přenos hodinového a datového signálu skrze napájecí napětí.

Výhodou tohoto rozhraní je, že umožňuje testování digitální logiky i v případě, že pro to není na čipu ani jeden volný vývod.

Nevýhodou tohoto rozhraní je celková složitost. Toto rozhraní vyžaduje nezanedbatelnou analogovou část. Další nevýhodou je nutnost velmi náročného skriptu pro převod testovacích vektorů pro pětivodičové rozhraní na toto rozhraní. Verifikaci průchodnosti skenovacích řetězců je potřeba dělat na tranzistorové úrovni z důvodu neustálé změny jak proudového odběru, tak napájecího napětí. Z toho důvodu je tato verifikace extrémně náročná a pomalá. Samotné testování čipu s tímto rozhraním bude také velmi pomalé. Změny napájecího napětí mohou také způsobovat některé problémy v jiných částech obvodu.

Závěr

V první části práce byly shrnuty existující principy pro snížení potřebného počtu vývodů pro skenovací řetězce a bylo uvedeno již existující čtyřvodičové a třívodičové rozhraní. Také bylo uvedeno několik nových přístupů pro řešení této problematiky.

V druhé části práce byla popsána konkrétní navržená rozhraní. Hlavní požadavky byly, aby byla pokud možno čistě digitální, dále jednoduchost a co nejmenší omezení testovací rychlosti. Největší důraz měl být kladen na třívodičové rozhraní.

Ani jeden z principů uvedených v první části práce uspokojivě nesplňoval tyto požadavky. Proto byla vyvinuta dvě třívodičová rozhraní, která nevyužívala ani jeden z těchto principů. S těmito rozhraními se podařilo splnit všechny požadavky a obě tato rozhraní byla úspěšně verifikována na digitální části čipu NCP12600. První rozhraní je navrženo tak, aby mělo co nejmenší plochu. Toto rozhraní ovšem snižuje maximální testovací rychlost na polovinu u čipů, které jsou omezeny testovací rychlostí testeru. Druhé rozhraní odstraňuje tuto nevýhodu za cenu o trochu větší plochy.

Základní myšlenka z těchto dvou třívodičových rozhraní byla využita i u čtyřvodičového a dvouvodičového rozhraní, které díky tomu také splňují požadavky.

U jednovodičového a dvouvodičového rozhraní už bylo nutné využít analogové obvody. Tato rozhraní také výrazně omezují testovací rychlost. Kromě digitální části, která by mohla být u některých obvodů využita jako dvouvodičové rozhraní, se neočekává, že by tato rozhraní byla v dohledné době využita.

Seznam použitých zdrojů

- [1] *TetraMAX ATPG User Guide* [online]. Ver. H-2013.03-SP4. Synopsys, 2013 [cit. 2016-11-28], s. 594-597. Dostupné z: http://www.lirimm.fr/~bosio/tmax_olh/Content/tmax_ug/ni/tmax_ug.pdf
- [2] REZNICEK, Frantisek. *Mixed signal DFT*. ON Semiconductor Brno, 2007.
- [3] Overview and Dynamics of Scan Chain Testing [online]. Anysilicon, 2014 [cit. 2016-11-28]. Dostupné z: <http://anysilicon.com/overview-and-dynamics-of-scan-testing/>
- [4] Tessent TestKompress User's Manual. Ver. 2016.3. Mentor Graphics Corporation, 2016
- [5] ETS-364 System Manual. DOCP0442 Rev. 18.0 – Aug. 2011. EAGLE TEST SYSTEMS, INC. , 2011
- [6] SWANSON, Bruce a Michelle LANGE. At-speed testing made easy. [Http://www.eetimes.com](http://www.eetimes.com) [online]. 2004 [cit. 2017-05-22]. Dostupné z: http://www.eetimes.com/document.asp?doc_id=1217753
- [7] WILSON, John M., FOJTIK, Matthew R., POULTON, John W., et al. 8.6 A 6.5-to-23.3fJ/b/mm balanced charge-recycling bus in 16nm FinFET CMOS at 1.7-to-2.6Gb/s/wire with clock forwarding and low-crosstalk contraflow wiring [online]. In: IEEE Xplore Digital Library. 2016 [cit. 2016-11-29], s. 1–2. Dostupné z: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7417954>
- [8] *An example of Manchester encoding showing both conventions. Manchester code*, 2016 [online]. Wikipedia.org. [cit. 2016-12-11]. Dostupné z: https://en.wikipedia.org/wiki/Manchester_code#/media/File:Manchester_encoding_both_conventions.svg
- [9] GUASTELLA, Robert. *Back to the future: Manchester encoding – Part 1*. Embedded [online]. 2008 [cit. 2016-11-29]. Dostupné z: <http://www.embedded.com/print/4007497>
- [10] *Conversion of UHF RFID On-Chip Antenna Success*. PRLOG [online]. 2010 [cit. 2016-11-28]. Dostupné z: <https://www.prlog.org/10978836-conversion-of-uhf-rfid-on-chip-antenna-success.html>
- [11] ANSARI, Assad. *Hardware Development of an Embedded Wireless Evaluation Board* [online]. Charlotte (North Carolina, USA), 2005 [cit. 2016-12-04]. 70 s. Diplomová práce. The University of North Carolina. Department of Electrical and Computer Engineering. Vedoucí práce James M. CONRAD. Dostupné z: https://www.researchgate.net/figure/252220957_fig2_FIGURE-6-1-Wire-Bus-Interface-Circuitry-4-p10
- [12] MALÝ, Martin. Sběrnice 1-Wire. *HW server* [online]. 2004 [cit. 2016-12-04]. Dostupné z: <http://vyvoj.hw.cz/navrh-obvodu/rozhrani/sbernice-1-wiretm.html>