



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH RAIL-TO-RAIL OPERAČNÍHO ZESILOVAČE V TECHNOLOGII CMOS

DESIGN OF THE RAIL-TO-RAIL OPERATIONAL AMPLIFIER IN CMOS

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Stanislav Cvešper

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2016

Bakalářská práce

bakalářský studijní obor **Mikroelektronika a technologie**

Ústav mikroelektroniky

Student: Stanislav Cvešper

ID: 164718

Ročník: 3

Akademický rok: 2015/16

NÁZEV TÉMATU:

Návrh Rail-to-Rail operačního zesilovače v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte operační zesilovač se vstupním rozsahem odpovídajícím napájecímu napětí, výstupním stupněm pracujícím ve třídě AB a minimální vstupní nesymetrií v technologii CMOS. Rozbor, výpočet, simulace, layout. Software Cadence, PSpice.

DOPORUČENÁ LITERATURA:

[1] SANSEN, Willy M.: Analog design essentials. Dordrecht, The Netherlands: Springer, 2006, ISBN 9780387257464.

Termín zadání: 8.2.2016

Termín odevzdání: 2.6.2016

Vedoucí práce: Ing. Roman Prokop, Ph.D.

Konzultant bakalářské práce:

doc. Ing. Jiří Háze, Ph.D., předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

ABSTRAKT

Práce se zabývá návrhem rail-to-rail operačního zesilovače ve třídě AB v technologii CMOS I3T25. Práce začíná úvodem do CMOS tranzistorů, následuje rozbor struktur operačního zesilovače, jeho návrh a simulace v návrhovém prostředí Cadence, popsány jsou také různé metody pro minimalizaci napěťové symetrie. Hlavním cílem práce je dosažení rail-to-rail vstupního i výstupního rozsahu operačního zesilovače pracujícího ve třídě AB, s minimální napěťovou nesymetrií, včetně návrhu topologie navrženého obvodu.

KLÍČOVÁ SLOVA

CMOS, Cadence, Rail-to-Rail, Operační zesilovač, napěťová nesymetrie, třída AB

ABSTRACT

This thesis deals with design of rail-to-rail class AB operational amplifier in CMOS technology I3T25. Starting with a short introduction to CMOS transistors, following with description of operational amplifier, structures of operational amplifier, its design and simulation in software Cadence, with added description of techniques for minimizing input offset voltage. Main goal is to design a rail-to-rail input common mode range operational amplifier with minimal input offset voltage with layout included.

KEYWORDS

CMOS, Cadence, Rail-to-Rail, Operational amplifier, offset voltage, AB class

Bibliografická citace díla:

CVEŠPER, S. *Návrh Rail-to-Rail operačního zesilovače v technologii CMOS*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2016. 32 s, 5s. příloh. Bakalářská práce Vedoucí bakalářské práce Ing. Roman Prokop, Ph.D..

Prohlášení autora o původnosti díla

Prohlašuji, že svou bakalářskou práci na téma „Návrh Rail-to-Rail operačního zesilovače v technologii CMOS“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne

.....

podpis autora

Poděkování

Děkuji vedoucímu semestrálního projektu Ing. Romanu Prokopovi, PhD. za pedagogickou a odbornou pomoc, trpělivost a vedení bakalářské práce. Zároveň bych chtěl také poděkovat Ing. Vilému Kledrowetzovi, PhD. za odbornou pomoc a cenné rady.

V Brně dne 17. prosince 2015

.....

podpis autora

OBSAH

1	Úvod.....	8
2	Unipolární tranzistory	9
2.1	Pracovní bod CMOS tranzistorů.....	9
2.2	Slabá inverze CMOS tranzistorů	9
3	Operační zesilovač	12
3.1	Úvod do návrhu operačního zesilovače	12
3.2	Parametry operačního zesilovače.....	13
3.3	Diferenční pár	13
3.3.1	Rozbor používaných struktur pro kompenzaci transkonduktance	15
3.4	Výstupní stupeň.....	18
3.5	Složená kaskóda	19
3.6	Frekvenční kompenzace operačního zesilovače	21
3.7	Napět'ová nesymetrie	22
3.7.1	Systematická složka	22
3.7.2	Náhodná složka.....	22
3.7.3	Snížení napět'ové nesymetrie	23
4	Praktický návrh operačního zesilovače	25
4.1	Výpočet tranzistorů diferenčního páru.....	25
4.2	Výpočet tranzistorů kaskódy.....	26
4.3	Výpočet tranzistorů koncového stupně	27
4.4	Pomocná kompenzační kapacita	28
5	Simulace operačního zesilovače.....	29
5.1	Kmitočtová charakteristika	29
5.2	Výstupní rozsah.....	30
5.3	Vstupní rozsah.....	31

5.4	Napět'ová nesymetrie	31
6	Závěr.....	32
7	Použitá literatura	33
8	Seznam použitých symbolů.....	34
9	Seznam obrázků, tabulek a příloh	35
10	Přílohy.....	36

1 Úvod

V počátcích vývoje operačních zesilovačů, kdy se napájecí napětí obvykle pohybovalo v jednotkách až desítkách voltů, si mohl návrhář dovolit ztratit několik voltů z napěťového rozsahu, na vstupu i na výstupu. Při nízkém napájecím napětí je však nutné, aby byl operační zesilovač schopen zesilovat vstupní napětí v celém rozsahu jeho napětí napájecího. Tyto operační zesilovače nesou označení rail-to-rail. Zatímco dosažení téměř rail-to-rail napěťového rozsahu na výstupu je snadná záležitost, dosažení rail-to-rail vstupního rozsahu vyžaduje vyřešení několika problémů, ty jsou rozebrány v práci.

Během vývoje se metodika návrhu zaměřovala do oblasti zlepšování parametrů operačního zesilovače, kdy spotřeba nehrála primární roli. Nyní se však v době přenosných zařízení a ekologických trendů zaměřují vývojáři čipů i na dosažení co nejmenší spotřeby, při zachování hodnot ostatních parametrů v určitých přijatelných mezích.

V této práci jsou krátce popsány unipolární tranzistory následovány popisem vlastností a struktur operačního zesilovače, metody snížení napěťové nesymetrie a popis praktického návrhu operačního zesilovače spolu s jeho simulací.

2 Unipolární tranzistory

2.1 Pracovní bod CMOS tranzistorů

Návrh operačního zesilovače je realizován prostřednictvím CMOS tranzistorů, jejichž pracovní bod se povětšinou nachází ve stavu saturace. Je zde možné nejsnadněji nastavovat proud tranzistorem, narozdíl od proudu v lineárním režimu.[1]

Jestliže se tranzistor nachází v režimu saturace, tedy když platí (2.1)[1]

$$U_{DS} \geq U_{gs} - U_{th} \quad (2.1)$$

Pak je proud v saturačním režimu roven (2.2)[1],

$$I_{DS} = \frac{1}{2} * \mu_n * C_{ox} * \frac{W}{L} * (U_{gs} - U_{th})^2 = \frac{1}{2} K_n \frac{W}{L} (U_{gs} - U_{th})^2 \quad (2.2)$$

tedy nezávisí na napětí U_{DS} a můžeme jej snadno nastavit jako zdroj proudu. Tranzistory MOS lze považovat za zdroje proudu řízené napětím, důležitým parametrem tranzistoru je jeho transkonduktance (2.3)[1].

$$g_m = \frac{\partial I_d}{\partial U_{gs}} = \sqrt{2 * \mu_n * C_{ox} * \frac{W}{L} * I_{DS}} = \frac{I_{DS}}{(U_{gs} - U_{th})/2} \quad (2.3)$$

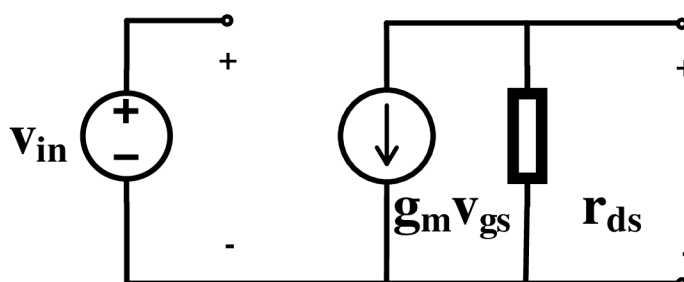
Vztah pro malosignálovou změnu výstupního napětí je (2.4)[1],

$$u_{out} = u_{in} * g_m * r_{ds} \quad (2.4)$$

Z čehož lze pro zesílení lze odvodit (2.5)[1].

$$A = \frac{U_{out}}{U_{in}} = g_m * r_{ds} = \frac{2 * U_e * L}{U_{GS} - U_{th}} \quad (2.5)$$

Ze vztahu (2.4) lze také získat model tranzistoru (obr. 1).



Obrázek 1 - Model tranzistoru

2.2 Slabá inverze CMOS tranzistorů

Ve slabé inverzi se na velikosti elektrického proudu nepodílí driftový proud (jako u silné inverze), ale difúzní. Tranzistor pracuje v režimu slabé inverze, jestliže platí přibližně (2.6)[2]

$$U_{GS} < U_{th} - 100mV \quad (2.6)$$

a přitom je U_{GS} dostatečně vysoké na to, aby došlo k vytvoření tenké depletiční vrstvy. Jelikož se napětí U_{GS} rozloží mezi kapacity oxidu a substrátu, platí (2.7)[3],

$$U_G = \psi_S + U_{oxid} \quad (2.7)$$

a tedy změnou U_{GS} se mění napětí na povrchu substrátu ψ_S , jenž má největší vliv na velikost proudu ve slabé inverzi, podle velikosti kapacit (2.8). Výsledný parametr n má odlišné hodnoty pro PMOS a NMOS tranzistory kvůli nutnosti vytvořit PMOS tranzistory v n-well vrstvě. [3]

$$\frac{d\psi_s}{dU_{GS}} = \frac{C_{ox}}{C_{js} + C_{ox}} = \frac{1}{n} \quad (2.8)$$

Derivací a oddělením proměnných z (2.8) lze získat (2.9) [3], kde k_1 je konstanta.

$$\psi_s = \frac{U_{GS}}{n} + k_1 \quad (2.9)$$

což při podmínce pro slabou inverzi (2.6) dává (2.10). [3]

$$\psi_s = \frac{U_{GS} - U_{th}}{n} + k_2, \text{ kde } k_2 = k_1 + \frac{U_{th}}{n} \quad (2.10)$$

Pro proud ve slabé inverzi tedy platí (2.11) [3],

$$I_D = \frac{W}{L} * I_t * \exp\left(\frac{U_{GS} - U_{th}}{nU_T}\right) * \left[1 - \exp\left(-\frac{U_{DS}}{U_T}\right)\right] \quad (2.11)$$

kde proud I_t (2.12) [3] je dán procesními parametry technologie.

$$I_t = q * X * D_n * n_{po} \exp\left(\frac{k_2}{U_T}\right) \quad (2.12)$$

V momentě, kdy (2.13)

$$U_{DS} \geq a * U_T ; a \geq 3 \quad (2.13)$$

lze pozorovat nezávislost změny elektrického proudu tranzistorem na U_{DS} , jelikož vztah (2.11) lze přepsat na (2.14) [2][3],

$$I_D = \frac{W}{L} * I_t * \exp\left(\frac{U_{GS} - U_{th}}{nU_T}\right) * 1 \quad (2.14)$$

z čehož lze vyvodit, že pro slabou inverzi je U_{DSSAT} dané vztahem (2.13), oproti silné inverzi, kde napětí U_{DSSAT} je dané vztahem (2.1).

Z předchozího vztahu (2.3), ze vztahu (2.11) spolu s (2.8) lze získat vztah pro transkonduktanci v režimu slabé inverze (2.15).

$$g_m = \frac{W}{L} * \frac{I_t}{n * U_T} * \exp\left(\frac{U_{GS} - U_{th}}{n * U_T}\right) * \left[1 - \exp\left(-\frac{U_{DS}}{U_T}\right)\right] \Rightarrow \quad (2.15)$$

$$g_m = \frac{I_D}{n * U_T}$$

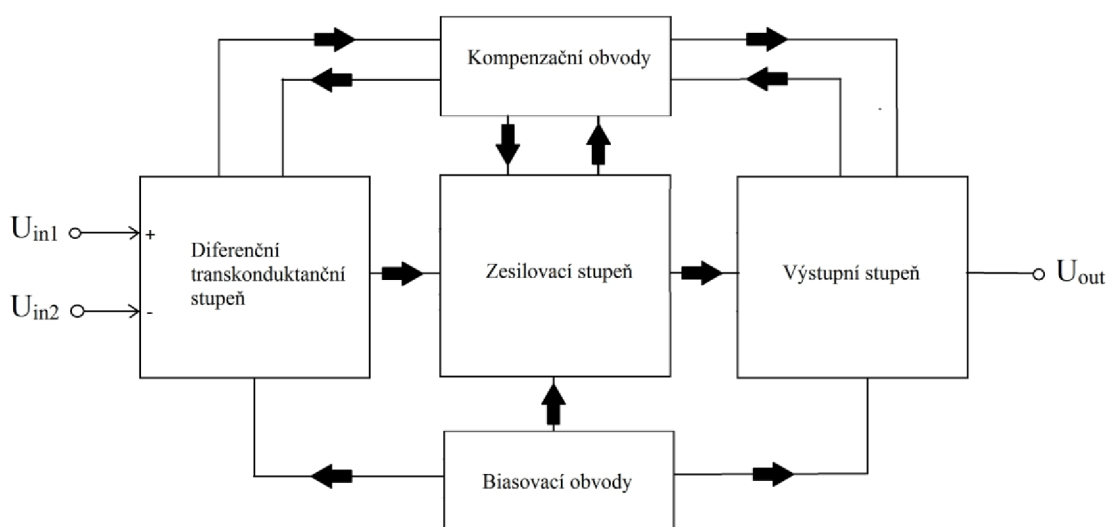
Výsledná transkonduktance je nyní pouze lineárně závislá na proudu procházejícím tranzistorem, oproti silné inverzi, kdy závislost je funkcí odmocniny z proudu. [1][2][3][5]

3 Operační zesilovač

3.1 Úvod do návrhu operačního zesilovače

Návrh operačního zesilovače by se dal rozdělit do několika částí. Návrh základní struktury operačního zesilovače, jenž obsahuje propojení jednotlivých bloků a jejich uspořádání. Tato část bývá po zvolení struktury neměnná, avšak může se stát, že je potřeba pozměnit uspořádání ke zlepšení parametrů operačního zesilovače.

Následuje výpočet stejnosměrných pracovních bodů podle parametrů, jež se na operační zesilovač kladou, přičemž ruční výpočty slouží pouze jako startovací můstek pro další optimalizaci operačního zesilovače.



Obrázek 2 - Blokové schéma operačního zesilovače [1]

Operační zesilovač se skládá z několika bloků [1], viz obr. 1.

- *Diferenční transkonduktanční stupeň*

Úkolem tohoto bloku je zesílit vstupní napěťový signál a převést jej na proudový. Kvůli dosažení rail-to-rail rozsahu vstupního napětí budou výsledkem 4 proudové signály, viz dále v kapitole Diferenční pár.

- *Zesilovací stupeň*

Tento blok slouží k převodu čtyř proudových signálů na jeden napěťový s co možná nejvyšším ziskem. Spolu s předchozím následujícím blokem má nejvyšší vliv na celkové zesílení operačního zesilovače.

- *Výstupní stupeň*

Jeho funkcí je zpracování signálu ze zesilovacího stupně a dodání výkonu do zátěže.

- *Kompenzační obvody*

Slouží k aditivní optimalizaci nedokonalostí základních obvodů. Podrobnější popis v dalších kapitolách.

- *Obvody pro nastavení pracovního bodu (bias)*

Funkcí bloku je nastavení optimálního pracovního bodu, biasových proudů a napětí.

3.2 Parametry operačního zesilovače

Základní úlohou operačního zesilovače je zesilovat vstupní rozdílový signál a zobrazit jej na výstupu. Mezi několik z jeho základních parametrů patří: [4]

- | | |
|----------------------------------|---|
| 1. Zesílení | [dB] |
| 2. Šířka pásma | [Hz] |
| 3. Slew rate | [V/s] |
| 4. Input common-mode range, ICMR | [V] |
| 5. Rozsah výstupního napětí | [V] |
| 6. Vstupní odpor | [Ω] |
| 7. Výstupní odpor | [Ω] |
| 8. Offset | [V] |
| 9. Šum | [(V/ $\sqrt{\text{Hz}}$) _{Hz}] |

Výstupní napětí operačního zesilovače je dáno (3.1),

$$U_{out} = A * U_D = A * (U_{in+} - U_{in-}) \quad (3.1)$$

a celkové napěťové zesílení je tedy (3.2).

$$A = \frac{\Delta U_{out}}{\Delta U_{in}} = \frac{\Delta U_{out}}{\Delta(U_{in+} - U_{in-})} \quad (3.2)$$

3.3 Diferenční pár

Diferenční pár slouží k prvnímu zesílení rozdílového signálu na vstupu operačního zesilovače a převedení napěťového signálu na proudový. Je realizován dvěma tranzistory stejného typu, proudovým zdrojem a aktivní zátěží ve formě proudových zrcadel. V případě, že je rozdílové napětí nulové, teče oběma větvemi stejný proud, jestliže však dojde ke vzniku rozdílového napětí, dojde k redistribuci proudu ze zdroje proudu a vzniku změny napětí v uzlu mezi zátěží a diferenčním tranzistorem. Jednoduchý diferenční pár složený jen z jedné dvojice tranzistorů NMOS či PMOS, má zásadní nevýhodu – má potřebné minimální a maximální souhlasné napětí (3.3) [1], v závislosti na tom, z jakého

typu tranzistorů (N/P) je diferenční pár tvořen. Vztahy (3.4), (3.5) jsou popsány pro tranzistory s pracovním bodem 100 mV pod prahovým napětím.

$$U_{INCM} = \frac{U_{in+} + U_{in-}}{2} \quad (3.3)$$

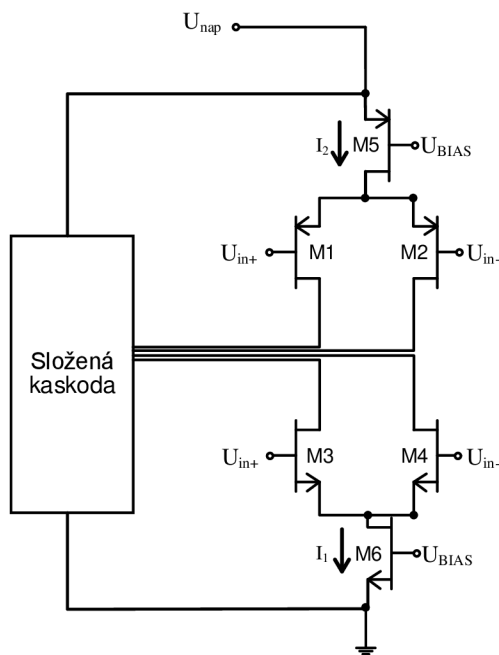
Pár z NMOS je schopen pracovat až k horní hraně napájecího napětí, pro nízké U_{INCM} však nastává problém z důvodu nutnosti udržet v platnosti vztah (3.4).

$$U_{INCM} \geq U_{thM3,4} - 100mV + U_{GSM6} - U_{thM6} \quad (3.4)$$

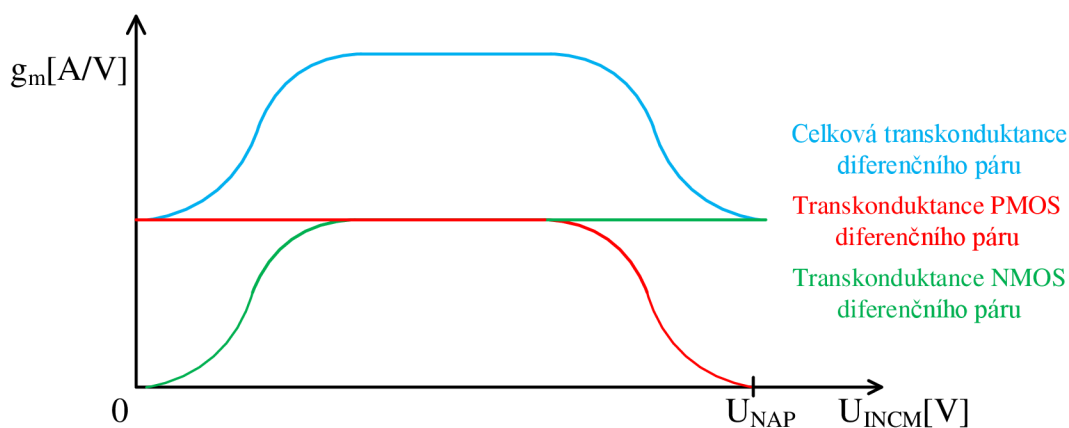
Analogicky, pár z PMOS je schopen pracovat od dolní hrany napájecího napětí, pro vyšší U_{in+} však nastává problém z důvodu nutnosti udržet v platnosti vztah (3.5)

$$U_{INCMPMOS} \leq U_{DD} - U_{thM1,2} + 100mV - U_{GSM5} + U_{thM5} \quad (3.5)$$

Tato nedokonalost se dá poměrně snadno vyřešit paralelním zapojením dvou diferenčních párů s PMOS a NMOS tranzistory, viz obr. 4. Pakliže přestanou být podmínky (3.4) nebo (3.5) platné, nastane, že se jeden z diferenčních párů uzavře. Tím pádem dojde k poklesu transkonduktance celého diferenčního páru jako celku, viz obr. 4.



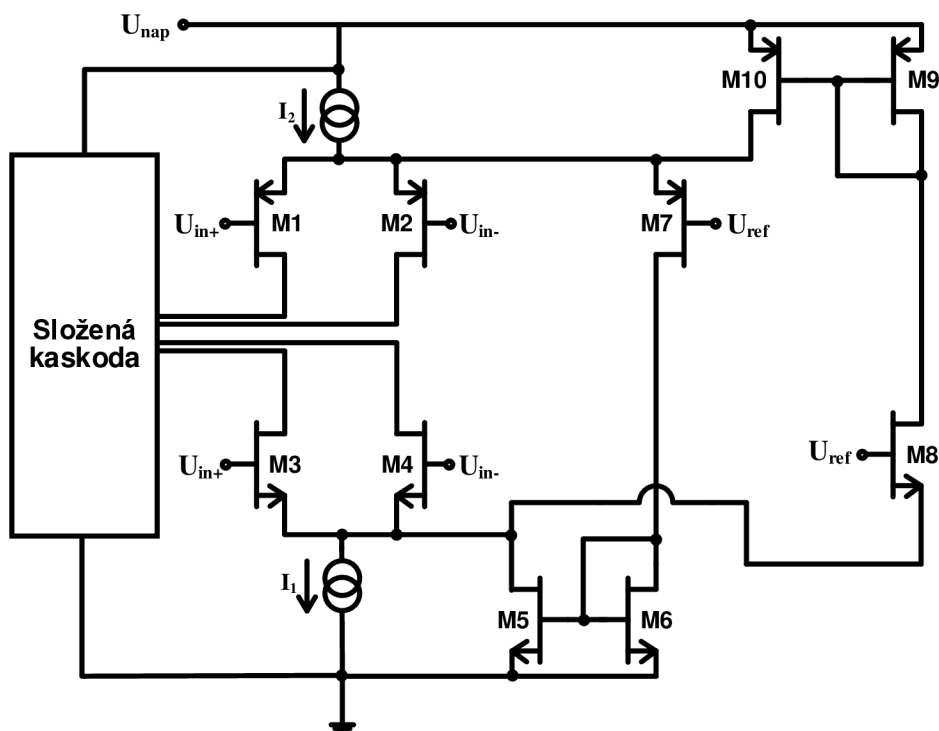
Obrázek 3 - Paralelní zapojení diferenčních párů



Obrázek 4 - Závislost transkonduktance na vstupním souhlasným napětí [5]

3.3.1 Rozbor používaných struktur pro kompenzaci transkonduktance

Jak již bylo rozebráno v dřívější kapitole, je potřeba kompenzovat transkonduktanci vstupního stupně resp. dvou paralelních diferenčních párů. V následující kapitole bude rozbor několika možných struktur pro kompenzaci, čerpané z [5][6].



Obrázek 5 - Kompenzace ztrojnásobením proudu [5]

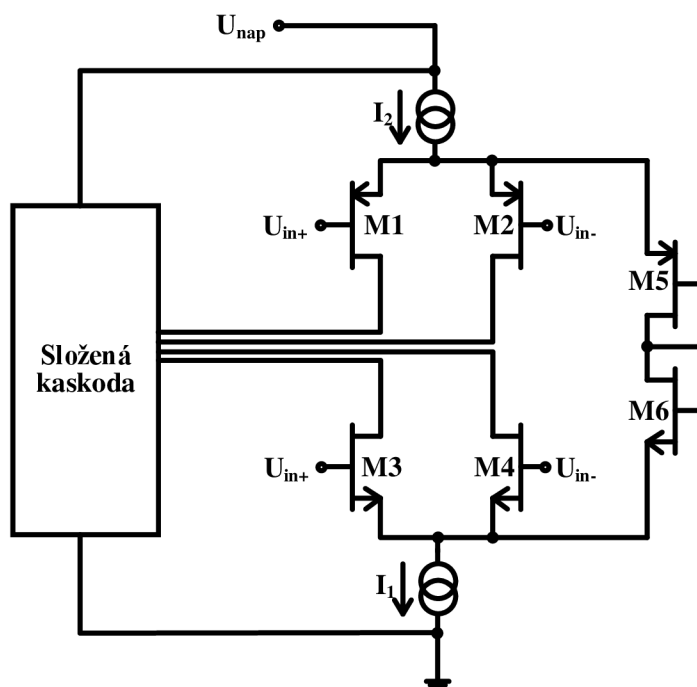
- *Kompenzace proudovými zrcadly ztrojnásobením proudu*

Vstupní tranzistory se nachází v silné inverzi, kvůli tomu je potřeba dodat trojnásobný proud při neaktivitě jednoho z diferenčních párů k zachování konstantní

transkonduktance. Toho je dosaženo převodem proudu do vedlejší větve nastavením dvou potenciálů U_{REF} . Nevýhodou je větší počet tranzistorů a větší spotřeba – jako u všech kompenzací transkonduktance diferenčních párů v silné inverzi - při neaktivitě jednoho z uvedených párů. [5]

- *Kompenzace Zenerovou diodou*

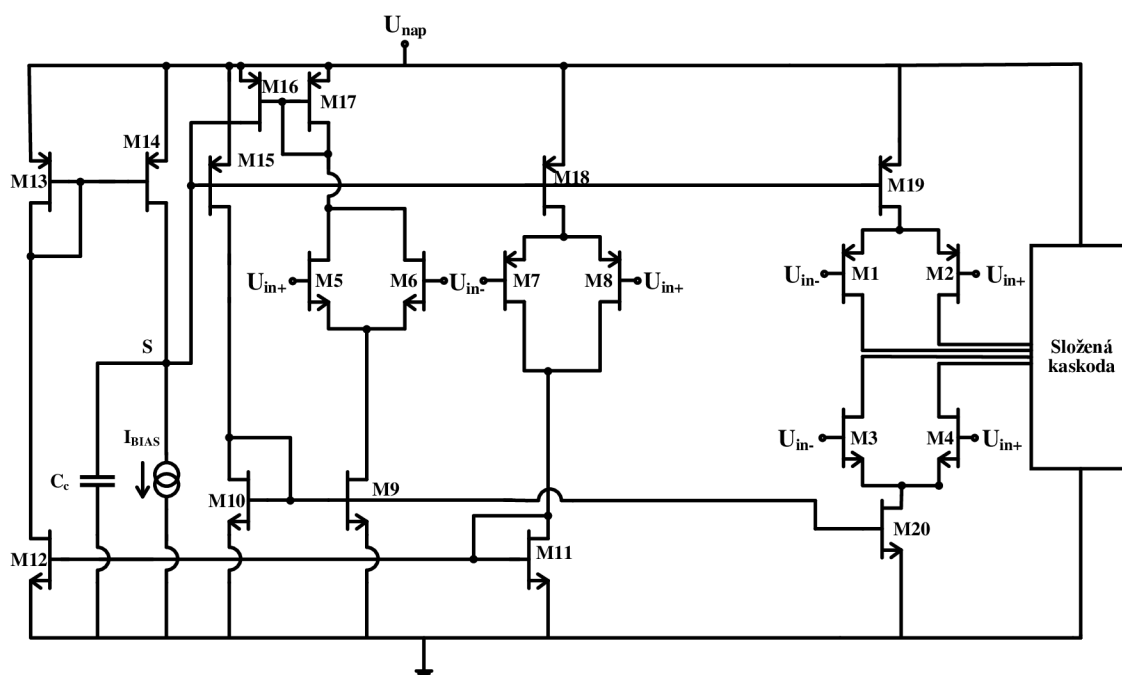
Jedná se o zapojení dvou tranzistorů v diodovém zapojení mezi zdroje proudu pro diferenční páry. V případě, že všechny tranzistory vedou proud, teče tranzistory v diodovém zapojení proud $6/8 I_{1,2}$. Při neaktivitě jednoho ze vstupních párů přestane téct i proud diodovými tranzistory, a celkový proud zdroje I_2 nebo I_1 poteče jen přes aktivní pár. Každým z aktivního tranzistoru tedy poteče proud $4/8 I_{1,2}$. Výhodou tohoto zapojení je velký slew rate. Nevýhodou velká spotřeba a až 23% [6] odchylka g_m v závislosti na pracovním bodě. Odchylka se dá zmenšit zavedením struktury, která má označení „elektrická Zenerova dioda“, kde variace transkonduktance dosahuje hodnoty do 10% [6]. Vzhledem k tomu, že tato struktura nebude použita, nebude toto zapojení dále rozváděno. Struktura je zobrazena na obr. 6.[5][6]



Obrázek 6 - Kompenzace Zenerovou diodou [5]

- *Kompence proudovou smyčkou*

Tato struktura se vyznačuje zapojením proudové zpětné vazby zapojené do náhradního diferenčního páru. Tranzistory musí pracovat ve slabé inverzi. Ideou zapojení je tedy přidání dalšího rail-to-rail diferenčního páru, jenž řídí zdroje proudu diferenčního páru, který se stará o další zesilování. Zdroj proudu I_{BIAS} má funkci proudové nory, která do sebe bere proud z tranzistorů M14 a M16, jenž dále biasují zdroje proudu diferenčního páru. Jestliže se zavře jeden z páru, začne fungovat kladná zpětná vazba přes jeden z tranzistorů M14, M16 (jejich napětí U_{DS} se o trochu zvětší, aby nasatily zdroj proudu I_{BIAS} , načež se sníží napětí na gate tranzistoru M15, M18, následkem čehož se přes kladnou zpětnou vazbu zvýší proud jedním ze zdrojů M13, M17, dokud nebude plně nasycen již zmiňovaný zdroj proudu, přičemž proud I_{BIAS} nyní teče pouze přes jeden diferenční pár. Došlo tedy ke zdvojnásobení transkonduktance, vzhledem k přítomnosti zpětnovazební smyčky je však zapotřebí kompenzační kapacity a celý blok navrhnout tak, aby nezpomaloval navržený operační zesilovač. Struktura je zobrazena na obr. 7. [5]



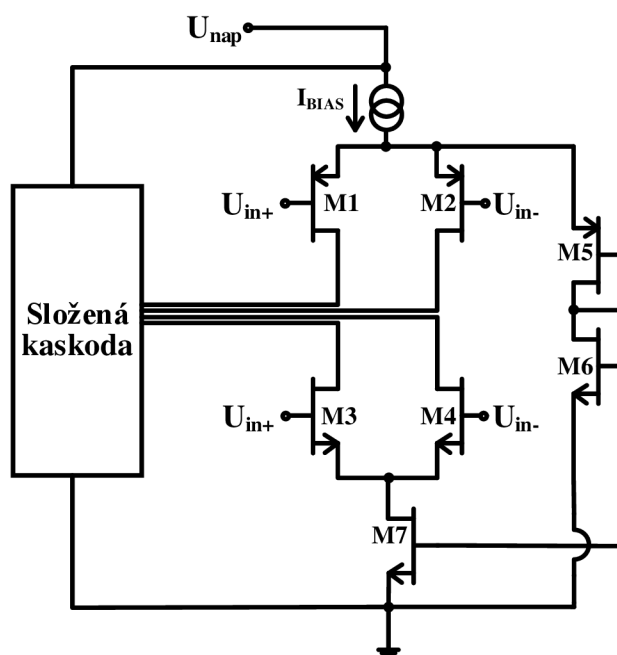
Obrázek 7 - Kompence proudovou smyčkou [5]

- *Kompence proudovým sepnutím*

Tato struktura se vyznačuje svou jednoduchostí, ke kompenzaci transkonduktance je potřeba jen dvou tranzistorů navíc. Vzhledem k tomu, že vstupní tranzistory musí pracovat ve slabé či střední inverzi (v silné inverzi činí odchylka transkonduktance hodnot až 40% [6]), není tato struktura vhodná pro rychlé aplikace. Proud tranzistorem

M_5 začne téct v momentě, kdy napětí na source vstupních PMOS tranzistorů bude na takové hodnotě, že otevře tranzistor M_5 a M_7 . Struktura je zobrazena na obr. 8. [5][6]

Pro transkonduktanční kompenzaci byla nakonec rozhodnuta struktura se spínáním proudu kvůli malé spotřebě a proměnné hodnotě transkonduktance g_m do 5% [6]. Další vlastnosti nyní zmíněných struktur, jako například variace g_m podle $U_{in,cm}$ jsou v literatuře [5][6].



Obrázek 8 - Kompenzace proudovým sepnutím [5]

3.4 Výstupní stupeň

Jako výstupní stupeň bude použit obvod na obr. 7. Stupeň obsahuje translineární smyčku, ta je tvořena tranzistory M_{NO} , M_{NBO1} s M_{NBO2} , M_{MNBO3} . Druhá smyčka je tvořena tranzistory M_{PO} , M_{PBO1} s M_{PBO2} , M_{PBO3} . Výhodou struktury je snadné nastavení klidového proudu koncovými tranzistory a nezávislost na napájecím napětí. Při požadavku na odběr proudu z operačního zesilovače se změní poměr proudu tekoucí přes tranzistory M_{PBO1} a M_{PBO2} , což posune jejich efektivní napětí a inverzně k tomu efektivní napětí koncových tranzistorů kvůli (3.8). Jestliže by bylo třeba zvýšit klidový proud koncového stupně, stačí zvýšit proudy I_{BIAS} . Nově vzniklý úbytek na diodových tranzistorech se objeví pouze u koncových tranzistorů, nikoli na tranzistorech M_{NBO1}

nebo MPBO1, a zvýší tím jejich klidový proud. Následující vztahy budou popsány pro NMOS tranzistory, avšak analogicky platí pro PMOS tranzistory. Platí (3.8). [5]

$$U_{GSM35} + U_{GSM34} = U_{GSM33} + U_{GSM32} \quad (3.8)$$

Ze vztahu pro saturační proud (1.2) lze odvodit vztah pro proud tranzistorem MNO (3.9). [5]

$$U_{GSM34} - U_{thM34} = \sqrt{\frac{I_{DSM34}}{K_p * \left(\frac{W}{L}\right)_{M34}}} \quad (3.9)$$

Při dosazení (3.9) do (3.8) se procesní parametry (K_p a U_{th}) vyřadí, a zůstane (3.10). [5]

$$\sqrt{\frac{I_{DSMNO}}{\left(\frac{W}{L}\right)_{MNO}}} + \sqrt{\frac{I_{DSMNBO1}}{\left(\frac{W}{L}\right)_{MNBO1}}} = 2 * \sqrt{\frac{I_{DSMNBO3}}{\left(\frac{W}{L}\right)_{MMNBO3}}} \quad (3.10)$$

A tedy výsledný poměr proudů je (3.11) [5]

$$\frac{I_{DSMNO}}{I_{DSMNBO1}} = \frac{\left(\frac{W}{L}\right)_{MNO}}{\left(\frac{W}{L}\right)_{MNBO1}} * \left(2 - \frac{1}{\sqrt{2}}\right)^2 \quad (3.11)$$

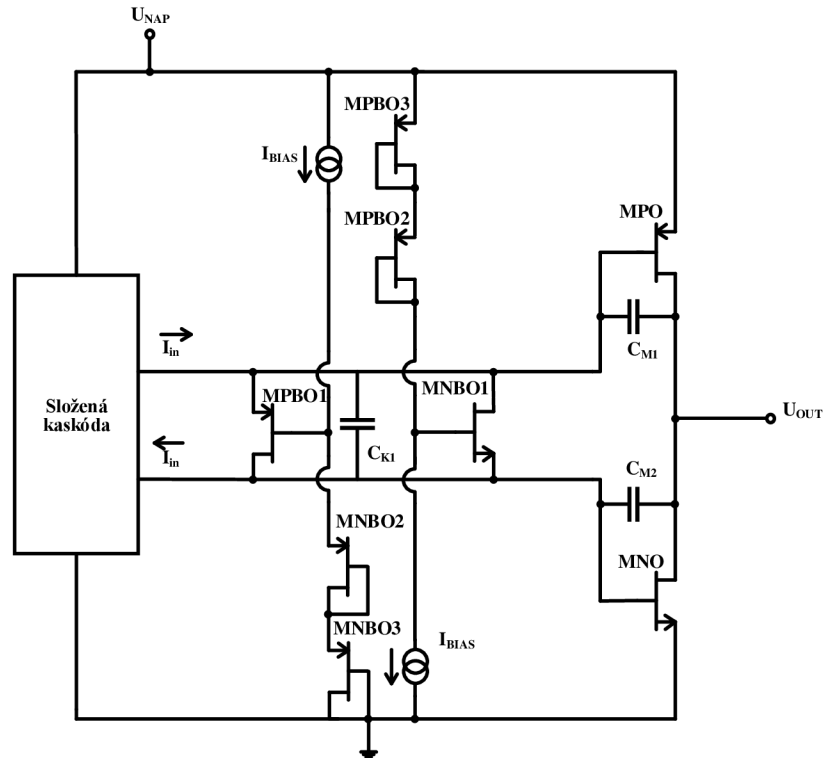
Proud tranzistorem MNO je také nezávislý na napájecím napětí. Nevýhodou tohoto zapojení však je, že proud tranzistorem MNO je nejvyšší právě v ten moment, kdy je proud tranzistorem MNBO1 nejmenší – tehdy je $U_{GSMNBO1}$ minimální a napětí U_{GSMNO} maximální – jejich součet je totiž konstantou (3.8).

Při malosignálové analýze nemají tranzistory MNBO1 a MPBO1 žádný vliv pro zesílení, jsou bootstrapované a napříč těmito dvěma paralelními tranzistory není žádný střídavý úbytek napětí, chovají se jako zdroj stejnosměrného konstantního napětí.

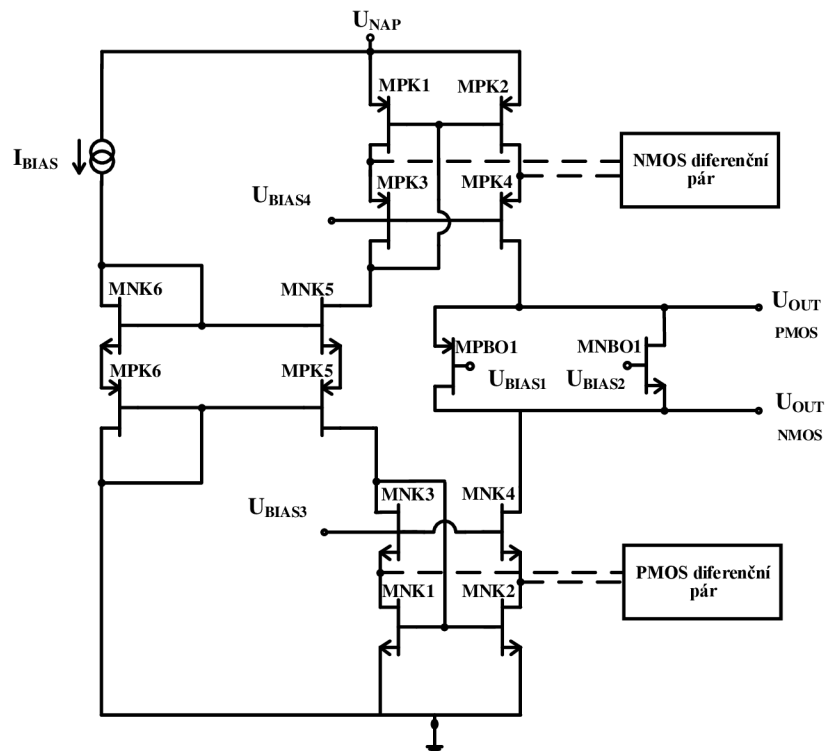
Kondenzátory $C_{M1,2}$ slouží k rozštěpení pólů [5][6], funkce kondenzátoru C_{K1} je vysvětlena v kapitole 4.4.

3.5 Složená kaskóda

Účelem kaskódy je převést napěťové signály z diferenčního páru, zesílit je a převést do dalšího stupně. Jelikož je navrhnout operační zesilovač pouze dvoustupňový, bude další stupeň i stupněm koncovým. Tranzistory MNK5 a MPK5 mají funkci proudového zdroje do kaskódy. Drains tranzistorů M(P,N)K(1,2) jsou napojeny do přidružených diferenčních párů vodičem reprezentovaným, pro lepší přehled, přerušovanou linkou.



Obrázek 9 - Schéma výstupního stupně s biasovacími obvody a kompenzačními kapacitami [5]



Obrázek 10 - Schéma složené kaskódy [5]

Následující rovnice budou popsány pro NMOS tranzistory, pro PMOS tranzistory kaskódy platí analogicky. Pro správnou funkčnost musí platit vztahy (3.19) (3.20) (3.21), a to s rezervou, aby operační zesilovač nepřestal správně pracovat, resp. nedocházelo k velkým odchylkám parametrů operačního zesilovače, v procesních fluktuacích a teplotních intervalech.

$$U_{DSSATMNK1} + U_{DSSATMNK3} < U_{GSMNK1}, \quad (3.19)$$

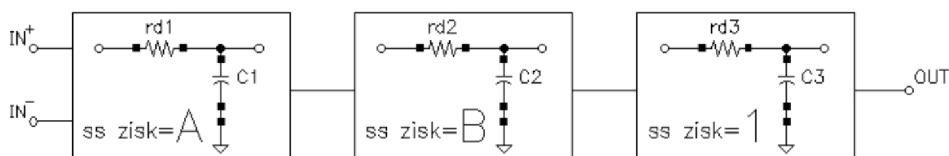
$$U_{GSMNK3} > U_{DSSATMNK1} + U_{thMNK3} + U_{DSSATMNK3}. \quad (3.20)$$

$$U_{GSMNO1} > U_{DSSATMNK4} + U_{DSSATMNK2}. \quad (3.20)$$

3.6 Frekvenční kompenzace operačního zesilovače

Na operační zesilovač se dá také pohlížet jako na přenosový systém několika bloků, z nichž každý přispívá do celkového přenosu systému, vzhledem ke svým parazitním kapacitám a impedancím, svými dominantními póly, z nichž každý má za následek snížení přenosu systému o -20dB, s fázovým posuvem o -90° (obr. 11). [7]

Jelikož se operační zesilovač zapojuje se zápornou zpětnou vazbou, je nutné, aby v případě, že je fázový posuv menší než -180°, byl zisk menší než 0 dB. Pakliže by nebyl, došlo by ke vzniku kladné zpětné vazby a operační zesilovač by byl nestabilní. [5][7]



Obrázek 11 - Operační zesilovač jako série RC článků (převzato z [7])

Zapojíme-li však do signálové cesty kompenzační kondenzátor, dojde k dřívějšímu poklesu zisku na 0 dB bez ovlivnění fázového posuvu vlivem rozštěpení pólů. [1][2][3] Kondenzátor zpravidla zapojujeme do uzlu s nejvyšší dynamickou impedancí, v obvodu jej plní funkci kondenzátory C1 a C2. [6]

Cílem je, aby operační zesilovač pracoval jako jednopólový systém až do tranzitní ho kmitočtu GBW, tzn. dojde k poklesu o -3db na frekvenci označované parametrem BW, následuje pokles -20db/dekádu až do zisku 0 dB (unity gain). [7] V tomto kmitočtu má fázový posuv určitou hodnotu (180°- fázový posuv). Výsledkem je hodnota fázové bezpečnosti (phase margin), která by pro správnou stabilitu i v rámci procesních rozptylů měla být větší než 45° a zároveň, aby měl operační zesilovač hodnotu amplitudové bezpečnosti (hodnota zesílení při posuvu fáze o -180°) alespoň -10 dB.

Stabilita operačního zesilovače se ověřuje pro nejhorsí možný případ – tedy se stoprocentní zpětnou vazbou, a to jako invertující sledovač napětí, kdy je na jeho vstup přiveden jednotkový skok. Velikost fázové bezpečnosti výrazně ovlivňuje dobu ustálení operačního zesilovače. [5][7]

3.7 Napěťová nesymetrie

Jestliže by na operační zesilovač bez zpětné vazby nebylo přivedeno žádné vstupní napětí, výstupní napětí by mělo být ideálně nulové. To však u skutečných operačních zesilovačů nenastane, výstupní napětí bude mít hodnotu jednoho z napájecích napětí, bude v saturaci, a to díky malému rozdílovému napětí mezi svorkami vlivem špatného návrhu či chybou technologického procesu výroby. Napěťová nesymetrie – dále jen offset – je tedy definována jako potřebné přivedené napětí na jednu ze vstupních svorek pro hodnotu výstupního napětí rovnou analogové zemi. Celková velikost offsetu je dána příspěvkem systematické složky a náhodné složky – ta má většinový příspěvek.[5]

3.7.1 Systematická složka

Systematická složka napěťové nesymetrie je způsobena chybným návrhem, může mít hodnoty desítky nV až desítky μV . V použité struktuře lze minimalizovat, jestliže $U_{gsMNK1} = U_{gsMNO}$, tedy nastavením stejných U_{DS} kaskádových tranzistorů.

3.7.2 Náhodná složka

Náhodná složka napěťové nesymetrie je způsobena náhodnými fluktuacemi technologických procesů na čipu, mezi něž patří – nevhodně vytvořené okraje tranzistorů, implantace (konečný počet dotací a jejich distribuce v objemu), pohyblivost nosičů a vlivy oxidu. Tyto lze minimalizovat dobrým návrhem topologie, hodnoty se pohybují až v jednotkách mV a má dominantní příspěvek v celkovém offsetu [4]. Vyhodnocování náhodného offsetu se provádí nejprve simulacemi, následně zpracováním statistických dat z výroby. Pro komerční operační zesilovače se používá hodnota 6σ , zde postačí hodnota pro 4σ , což tedy znamená, že pouze jeden z 15 787 operačních zesilovačů bude mít větší offset, než zadáný. Hodnoty pro daný počet σ jsou uvedeny v tabulce. Ze standardní odchylky σ je možno dopočítat offset i pro další počty σ .

Tabulka 1 – Standardní odchylka σ

σ	Obsažených % z celkového počtu	Počet kusů, které nesplňují hodnotu offsetu pro dané σ
1	68.2689492%	~ 1 / 3
2	95.4499736%	~ 1 / 22
3	99.7300204%	1 / 370
4	99.993666%	1 / 15 787
5	99.9999426697%	1 / 1 744 278
6	99.999998027%	1 / 506 797 346

3.7.3 Snížení napěťové nesymetrie

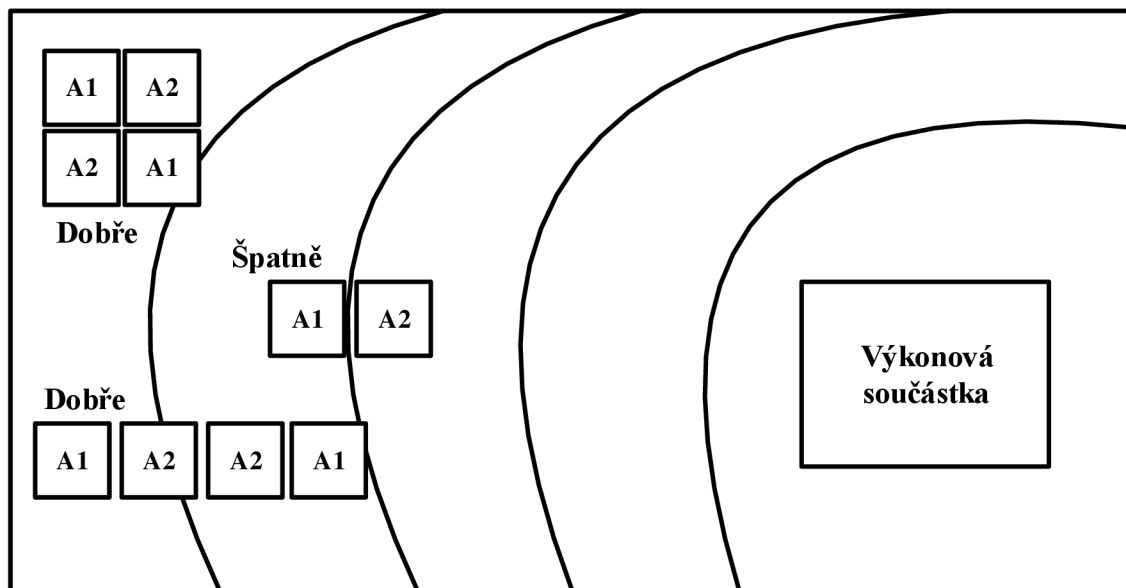
Z předchozího tedy vyplývá, že offset má dvě složky. Systematická složka se dá minimalizovat dobrým návrhem. Náhodná dobrou topologií. Snížení offsetu se tedy dá dosáhnout dodržением několika zásad.[5]

- *Tranzistory umístěny na stejném izotermu*

Výkonové tranzistory, jimiž prochází největší proud, mají největší vliv na ohřívání čipu. Je proto vhodné umístit tranzistory, které mají velký vliv na offset (typicky diferenční pár) na druhou stranu čipu a na stejný izoterm. Na obrázku je znázorněna idea. Jestliže budou dva vstupní tranzistory reprezentovány čtverci A1, A2, pak jejich umístění doprostřed (a bez shodné středové symetrie) bude mít za následek při ohřívání jejich rozdílné teploty a zvýšení offsetu i dalších vlastností. Správná topologie je rozdělení tranzistorů na dvě či více částí (viz dále) a následně je umístit středově symetricky co nejdále od výkonové součástky, kvůli stejnoměrnému ohřívání. [5]

- *Zvětšení velikosti tranzistorů*

Tranzistory se nenavrhují s minimální délkou kanálu, kromě tranzistorů v digitálních aplikacích mající funkci spínačů, kvůli větší délce kanálu roste i výstupní odpor a následně větší přesnost zrcadlení proudu, vlivem menšího vlivu U_{DS} na tranzistor, a také kvůli menšímu vlivu krátkodobých procesních výkyvů. [5]



Obrázek 12 - Možnosti rozložení diferenčního páru na čipu, křivky reprezentují jednotlivé izotermy [5]

- *Stejná orientace*

Důležitým pravidlem je zachovat shodnou orientaci tranzistorů kvůli krystalu křemíku. Ten nebude mít nikdy naprosto izotropní vlastnosti, následkem čehož vznikají rozdíly v transkonduktančním parametru v různých směrech. [5]

- *Shodný poměr plocha/obvod tranzistorů*

Pro co nejlepší zrcadlící poměru proudových zrcadel je vhodné zachovat poměr plocha/obvod a zvýšit počet tranzistorů. [5]

- *Kulaté tvary*

Bylo upozorováno, že nejlepšího sesouhlasení tranzistorů dochází v případě, že mají kulaté tvary – tedy kolem kruhového drainu bude kruhový gate, kolem nějž zase kulatý source. Ne všechny technologie, však tuto topologii dovolují, a technologie I3T25 není výjimkou. Šestiúhelníkové či osmiúhelníkové tvary zdaleka nedosahují takového sesouhlasení jako tvary kulaté. [5]

- *Symetrické podle středu*

Další důležitou zásadou je navrhovat tranzistory, u kterých je potřeba dobrého sesouhlasení, symetrické podle středu. Toho je dosaženo pomocí techniky common centroid, která spočívá v rozdělení tranzistoru na dvě nebo více částí a jejich rozložení na čipu symetricky podle jednoho středového bodu. [5] Zobrazeno na obr. 12

4 Praktický návrh operačního zesilovače

Finální schéma obvodu je uvedeno v příloze 1. Podrobnější schéma i s velikostmi tranzistoru se nachází na přiloženém CD.

Tranzitní kmitočet, od něhož se celý návrh odráží, by měl mít i v procesních a teplotních variacích hodnotu alespoň 1 MHz. Ke splnění byl výpočet nadhodnocen na 1,6 MHz. Kompenzační kapacita byla po několika simulacích a výpočtech ustálena na ½ zátěžové kapacity, tedy $C_c = 15 \text{ pF}$. Při nižších hodnotách bylo obtížné dosáhnout kritérií stability, tedy fázové a amplitudové bezpečnosti. Transkonduktance vstupních tranzistorů se počítá podle vztahu (4.1) [5]

$$GBW = \frac{g_m}{C_c} \Rightarrow$$
$$g_m = 2 * \pi * C_c * 1,6 \text{ Mhz} = 2 * \pi * 15 \text{ pF} * 1,6 \text{ Mhz} = 0,150 \text{ mS} \quad (4.1)$$

4.1 Výpočet tranzistorů diferenčního páru

Vstupní tranzistory se nacházejí v režimu slabé inverze, a to 100 mV pod prahovým napětím. Jejich transkonduktance je dána vztahem [2.15]. Bylo upozorováno, že při konstantním proudu a se zmenšujícím se U_{gs} dochází k růstu transkonduktance. Není tedy závislá jen na proudu, ale i na efektivním podprahovém napětí. Závislost transkonduktance na efektivním napětí však nebyla zdaleka tak velká jako v režimu silné inverze, ale byla spíše odmocninového charakteru.

Velikost parametru n se uvádí 1,2-1,5 [2][5]. Při výpočtu byla použita hodnota 1,5.

Pracovní proud diferenčním párem byl tedy, na základě předchozího vztahu (2.15), napočítán na hodnotu 13 uA. Rozměry každého z tranzistorů byly napočítány podle vztahu (4.2). Jelikož je proud tranzistorem ve slabé inverzi roven přibližně $0,1 * I_s$ [2], je celková potřebná velikost vstupních tranzistorů vynásobená 10.

$$I_s = 2 * \frac{W}{L} * \mu_n * C_{ox} * n * U_T^2 \quad (4.2)$$

Proud I_s byl tedy zvolen 65 uA. Jedná se o charakteristický proud ve střední inverzi pro daný tranzistor, jestliže $U_{gs} = U_{th}$.

Konečné velikosti tranzistorů jsou uvedeny v tabulce 2.

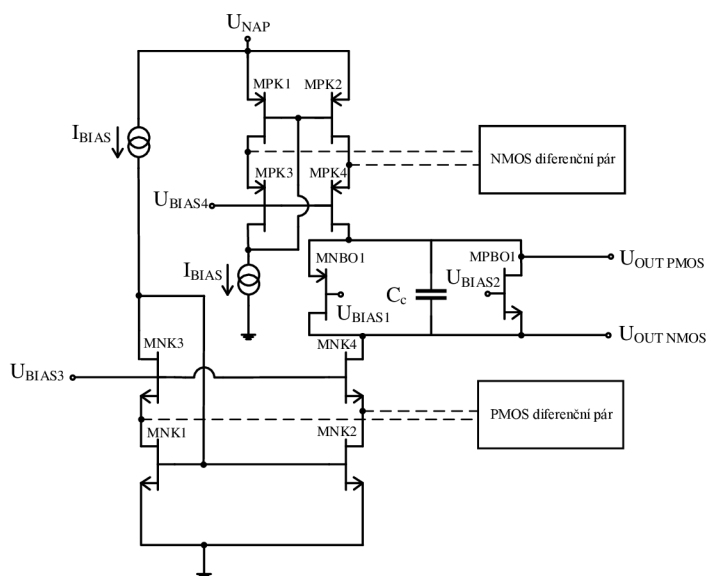
Tabulka 2 - Rozměry tranzistorů diferenčního páru

Diferenční pár	W/L	W[um]	L[um]
NMOS	180	540	3
PMOS	813	1220	1,5

Tranzistory NMOS mají dvakrát větší délku a šířku kvůli snížení offsetu. Nedaly se již zvětšovat PMOS kaskádové tranzistory kvůli parazitním kapacitám, ale daly se zvětšit přidružené vstupní tranzistory NMOS. Analogicky, u vstupních tranzistorů PMOS se již nedaly zvětšovat PMOS vstupní tranzistory, daly se však zvětšovat jejich přidružené NMOS tranzistory kaskódy.

4.2 Výpočet tranzistorů kaskódy

Použitá struktura nakonec nebyla použita, jelikož byl cíl snížit napájecí napětí alespoň o 25%, tedy na 2,4 V. Při použité struktuře však mají biasovací tranzistory MPK5, MNK5 prahové napětí 1 V a v corner analýze přecházely tranzistory do jiných režimů, načež operační zesilovač přestával zesilovat. Každému z tranzistorů MNK1, MPK1, tedy byl navržen vlastní zdroj proudu, viz obr. 2. Toto zapojení umožňuje zmenšit napájecí napětí na požadovanou hodnotu, avšak roste offset (systematický i náhodný), jelikož proud každou z větví kaskódy je jiný, vlivem nepřesností ve zdrojích proudu. V navrženém obvodu se proud lišil v simulacích maximálně o 10nA, rozdílový proud se pak promítl i v diferenčním páru, přesto však systematický offset nepřesáhl hodnotu 30 μ V.



Obrázek 13 - Náhradní schéma složené kaskódy [6]

Prvními či druhými tranzistory se rozumí pozice řádku od napájecího (kladného pro PMOS, záporného pro NMOS) napětí. Efektivní napětí prvních tranzistorů kaskódy bylo původně zvoleno 0,25 V kvůli dosažení menšího offsetu. Následně však byly hodnoty mírně upraveny, aby byl offset v celém rozsahu vstupního souhlasného napětí shodný. Efektivní napětí druhých tranzistorů kaskódy bylo zvoleno 0,15 V kvůli většímu zisku. K výpočtu byl použit vztah (2.2). Rozměry prvních tranzistorů kaskódy byly počítány pro případ, že jejich přidružený diferenční pár je aktivní, tedy že jimi teče proud diferenčního páru (6,5 μ A) i proud kaskódy (11 μ A).

Tabulka 3 - Rozměry tranzistorů kaskódy

<i>Kaskóda</i>	<i>Tranzistor</i>	<i>W/L</i>	<i>W[μm]</i>	<i>L[μm]</i>
NMOS	MNK1	3,6	50,4	14
	MNK2	3,6	50,4	14
	MNK3	5,9	20,5	3,5
	MNK4	5,9	20,5	3,5
PMOS	MPK1	19,3	135,2	7
	MPK2	19,3	135,2	7
	MPK3	26,2	91,8	3,5
	MPK4	26,2	91,8	3,5

4.3 Výpočet tranzistorů koncového stupně

Efektivní napětí koncových tranzistorů bylo zvoleno 0,2 V, při klidovém proudu 300 μ A, pro menší klidový proud bylo při odběru 600 μ A potřeba většího rozvážení koncových tranzistorů, následkem čehož rostlo U_{DSSAT} koncových tranzistorů, a klesal výstupní rozsah. Jeho definice a simulace je popsána dále. Ke zvýšení výstupního rozsahu je možno zvětšit šířku výstupních tranzistorů, avšak za cenu spotřeby, hodnota tedy byla zvolena jako kompromis mezi spotřebou a výstupním rozsahem. Vzhledem k velikosti ostatních tranzistorů nehrála velikost koncových tranzistorů při kompromisu podstatnou roli.

Vztahy pro výpočty koncových tranzistorů byly popsány v kapitole 2.4, a konečné velikosti koncových a jejich biasovacích tranzistorů jsou uvedeny v tabulce 4.

Tabulka 4 - Rozměry tranzistorů výstupního stupně a jeho biasovacích tranzistorů

	<i>Tranzistor</i>	<i>W/L</i>	<i>W[μm]</i>	<i>L[μm]</i>
<i>PMOS</i>	MPO	352	528	1,5
	MPBO1	4,2	21	5
	MPBO2	5,05	15,2	3
	MPBO3	5,05	15,2	3
<i>NMOS</i>	MNO	71,5	107,2	1,5
	MNBO1	0,95	4,8	5
	MNBO2	1	4	4
	MNBO3	1	4	4

4.4 Pomocná kompenzační kapacita

Použitá struktura zaznamenávala velké výkyvy ve tvaru fázové charakteristiky v okolí druhého pólu vlivem parazitních kapacit diferenčního páru v rámci procesních rozptylů (corner analýza, viz dále v kapitole 4), a teplot. Proto byla mezi dva biasovací tranzistory vložena pomocná kompenzační kapacita, která tyto jevy minimalizovala. Nemá vliv na tranzitní kmitočet, pouze vliv na tvar fázové a amplitudové charakteristiky v oblasti druhého pólu a tedy na hodnotu fázové bezpečnosti. Kondenzátor má velikost 7,5 pF, jeho hodnota i pozice byla určena empiricky, v literatuře podobné použití nebylo autorem práce nalezeno. Použití kapacity C_{KI} nebylo potřeba při menších velikostech tranzistoru, při současných velikostech však hrají parazitní vlastnosti velkou roli v corner analýze a bylo potřeba projevy nějakým způsobem regulovat, výsledek AC analýzy při absenci zmíněné kompenzační kapacity je přiložen na CD, hraniční hodnoty AC analýzy jsou uvedeny v tab 5.

5 Simulace operačního zesilovače

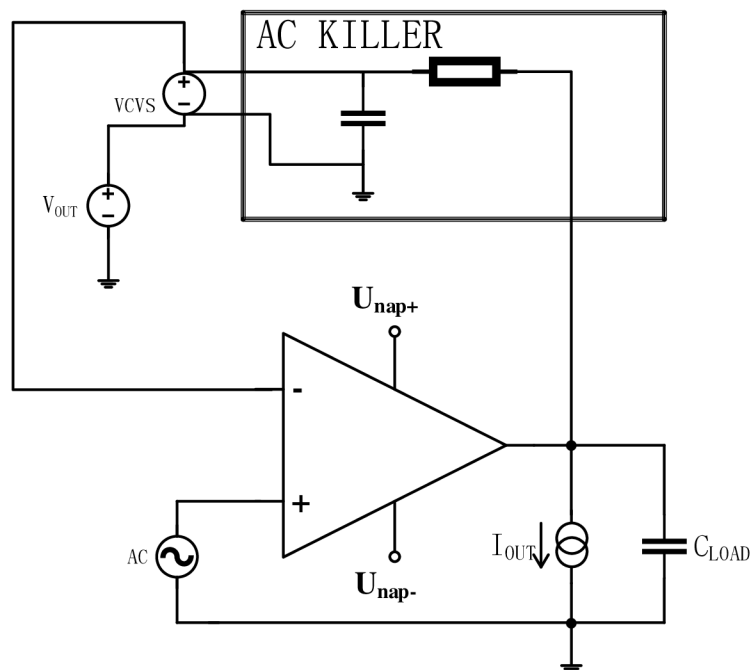
Operační zesilovač byl simulován v prostředí Cadence. V následující kapitole bude probrán rozbor jednotlivých simulací a jejich výsledky. Teplota byla simulována od 20°C do 90°C. Přesný popis uvedených cornerů a jejich výsledky jsou uloženy na CD. Simulace pro AC analýzu, vstupního rozsahu a výstupního rozsahu byla prováděna pro 9 pracovních bodů ($V_{in,cm}\{-1,1, -0,18, 1,1\}$ V, $I_{out}\{-600, 0, 600\}$ uA), přes cornery pro tranzistory, kondenzátory, a pro teploty 20°C a 90°C, se zátěžovací kapacitou 30 pF. Uvedená hodnota napětí -0,18 V je hodnota, při které teče stejný proud každým z diferenčních párů, DC BIAS pro dané vstupní souhlasné napětí je uložen na CD. Napájecí napětí bylo při simulaci $\pm 1,2$ V.

5.1 Kmitočtová charakteristika

Kmitočtová charakteristika operačního zesilovače byla simulována pomocí obvodu na obr. Zpětná vazba přes se zavedeným blokem AC KILLER a zdroji napětí řízenými napětí způsobí rozpojení zpětnovazební smyčky pro AC signál a schopností nastavit stejnosměrné konstantní napětí na výstupu. Na výstupu byla držena hodnota napětí analogové země 0 V, tedy střed napájecího napětí, aby nedocházelo k ovlivňování pracovního bodu. Výsledky jsou uvedeny v tabulce 5, v příloze 2 a na přiloženém CD.

Tabulka 5 - Výsledky kmitočtové analýzy

	<i>S přidaným Kondenzátorem</i>		<i>Bez přidaného kondenzátoru</i>	
	<i>MIN</i>	<i>MAX</i>	<i>MIN</i>	<i>MAX</i>
<i>PM [°]</i>	57,67	69,36	41,41	76,35
<i>GM [dB]</i>	-10,96	-25,86	-9,854	-25,98
<i>GBW [MHz]</i>	0,973	2,102	0,986	2,416
<i>A0 [dB]</i>	139,6	151,7	139,6	151,7



Obrázek 14 - Test bench pro simulaci frekvenční charakteristiky, vstupního a výstupního rozsahu

5.2 Výstupní rozsah

Následně byla provedena simulace výstupního rozsahu operačního zesilovače pro 9 pracovních bodů včetně rozptylu procesních parametrů a teplot. Výstupní rozsah operačního zesilovače byl definován jako napětí, při kterém klesne hodnota jeho stejnosměrného zesílení na 80 dB. V případě, že byl proud dodáván do NMOS tranzistoru, tedy $I_{out} = -600\mu A$, pak zesílení spadlo pod hraniční hodnotu jen v případě spodního výstupního napětí kvůli principu saturace koncových tranzistorů. Naopak pro kladný výstupní proud kleslo zesílení pod hraniční hodnotu jen u horní hranice výstupního napětí. V případě, že hodnota výstupního proudu byla nulová, kleslo zesílení na hraniční hodnotu zesílení 80dB až ~30 mV od napájecích railů, viz tabulka 6. Výsledky jsou uvedeny v tabulce 6, v příloze 4 je graf pro výstupní proud 600 μA a na přiloženém CD je podrobný výpis z corner analýzy spolu s grafy pro pracovní body.

Tabulka 6 - Výsledky simulace výstupního rozsahu

I_{out}	$U_{out A=80dB}$ [V]	
	min	max
-600 μA	-1,096	-1,152
0	-1,166	1,17
600 μA	1,102	1,152

5.3 Vstupní rozsah

Simulace vstupního rozsahu (Input Common Mode Range ICMR) byla provedena při udržování konstantní hodnoty výstupního napětí na analogové zemi. Je známým faktem, že operační zesilovače mohou zesilovat i vstupní napětí pod a nad hranice napětí napájecího [1][2][3][4][6], simulace byla tedy provedena pro vstupní souhlasné napětí od -2,5 do 2,5 Voltů při napájecím napětí $\pm 1,2$ Voltů. Základní vstupní rozsah byl definován jako interval hodnot vstupního souhlasného napětí, který neovlivňuje stejnosměrné zesílení a byl vyhodnocen z grafu. Hodnoty pro další zisk jsou uvedeny v tabulce 7, v příloze 3 a na přiloženém CD je podrobný výpis z corner analýzy.

Tabulka 7 - Výsledky simulace vstupního rozsahu

A ₀ [dB]	ICMR [V]	
	min	max
A ₀ _{max}	-1,4	1,4
120dB	-1,587	1,522
100dB	-1,669	1,571
80dB	-1,781	1,673

5.4 Napěťová nesymetrie

Simulace offsetu byla prováděna pomocí analýzy DC match. Její výhodou oproti analýze Monte Carlo je její časová nenáročnost při stejných výsledcích. Nevýhodou však je, že analýzou DC match lze simulovat jen stejnosměrný pracovní bod. Při simulaci byl operační zesilovač zapojen jako napěťový sledovač, přičemž byl odečítán rozdíl mezi vstupními svorkami pomocí zdroje napětí řízeného napětím VCVS. Výsledné hodnoty jsou uvedeny v tabulce, příspěvky jednotlivých tranzistorů jsou podrobně uvedeny v příloze na CD, ve výpisu DC Match analýzy. Typickou hodnotou se rozumí variace pro 4σ . Největší příspěvek měly biasovací tranzistory kaskódy, diferenční pár a první tranzistory kaskódy.

Tabulka 8 - Výsledky simulace offsetu

U _{incm} [V]	Systematický offset [μ V]	Typická hodnota [mV]	σ [mV]
-1,1	30,97	$\pm 2,455$	0,613
-0,18	29,14	$\pm 2,312$	0,578
1,1	28,93	$\pm 2,49$	0,623

6 Závěr

V první části práce byl proveden teoretický rozbor operačního zesilovače v technologii CMOS, popis struktur pro kompenzaci transkonduktance, minimalizaci napěťové nesymetrie, a popis jednotlivých bloků operačního zesilovače, v následující části byl popsán postup návrhu a simulace navrženého operačního zesilovače.

Celý operační zesilovač byl navržen a simulován v návrhovém prostředí Cadence, podrobný výsledek analýz je na přiloženém CD.

Napájecí napětí se, při dané struktuře, podařilo snížit na hodnotu $\pm 1,2$ V. K dalšímu snížení by bylo potřeba použít jinou strukturu koncového stupně. Při použitém napájecím napětí $\pm 1,2$ V je navržený operační zesilovač schopen zesilovat vstupní napětí v rozsahu $\pm 1,4$ V beze změny zesílení.

Typická hodnota offsetu pro 4σ nepřesáhla hodnotu 2,5 mV, v případě potřeby dalšího snížení je možno použít jinou strukturu kaskódy.

Klidová spotřeba operačního zesilovače činí 912 μ W, při dodávaném proudu 600 μ A činí spotřeba 1,236 mW.

I s ohledem na procesní odchylky tranzistorů a teploty neklesl stejnosměrný zisk pod hodnotu 139 dB, tranzitní kmitočet navrženého zesilovače činí v nejhorším případě 973 kHz a navržený zesilovač splňuje kritéria stability pro kapacitní zátěž 30 pF.

Výstupem práce je i navržená topologie obvodu, viz příloha 5, která splňuje kontroly DRC (návrhová pravidla dané technologie) a LVS (shoda topologie obvodu se schématem). Celková plocha činí 505 μ m x 200 μ m, včetně napájecích a vstupně/výstupních vodičů. Topologie operačního zesilovače je navržena jako standardní buňka s vývody na obou stranách kvůli lepším možnostem umístit obvod do systému.

7 Použitá literatura

- [1] BEHZAD RAZAVI. Design of analog CMOS integrated circuits. International ed., [Nachdr.]. Boston [u.a.]: McGraw-Hill, 2005. ISBN 9780071188159
- [2] Harrison, R, R. MOSFET Operation in Weak and Moderate Inversion. Dostupné z WWW: <http://www.ece.utah.edu/~harrison/ece5720/Subthreshold.pdf>
- [3] PAUL R. GRAY, Paul R. Analysis and design of analog integrated circuits. 5th ed. Chichester: John Wiley, 2009. ISBN 0470245999
- [4] ALLEN, P a Douglas R HOLBERG. CMOS analog circuit design. 2nd ed. New York: Oxford University Press, 2002, xvi, 784 p. ISBN 0195116445
- [5] SANSEN, Willy M. *Analog design essentials*. Dordrecht, The Netherlands: Springer, 2006, 777 p. ISBN 9780387257464.
- [6] DOOR RONALD HOGERVORST. Design of low-voltage low-power CMOS operational amplifier cells. Delft, Netherlands: Delft University Press, 1996. ISBN 9040713391.
- [7] PROKOP, R. Operační zesilovač. Dostupné z WWW: http://www.umel.feec.vutbr.cz/~prokop/MAIO/novePrednasky/MAIO_prednaska3_f.pdf
- [8] Vittoz A. Eric. WEAK INVERSION IN ANALOG AND DIGITAL CIRCUITS. Prezentováno na CCCD Workshop 2003. Dostupné z WWW: http://folk.uio.no/inf3410/docs/Vittoz_Weak_Inversion_In_Analog_And_Digital_Circuits.pdf

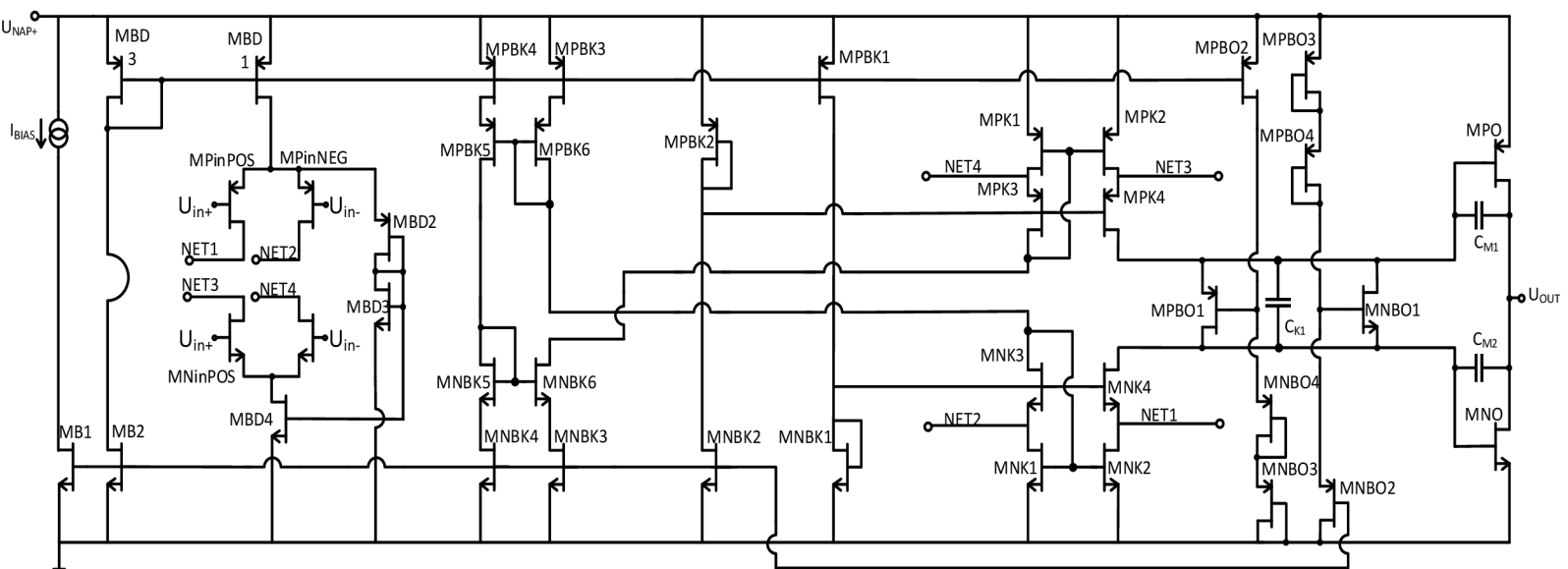
8 Seznam použitých symbolů

symbol	Popis	jednotka
U_{DS}	Napětí drain-source tranzistoru	V
U_T	Tepelné napětí (~26mV)	V
U_{DSSAT}	Saturační napětí tranzistoru	V
U_{GS}	Napětí gate-source tranzistoru	V
U_{th}	Prahové napětí tranzistoru	V
I_{DS}	Elektrický proud drain-source tranzistorem	A
$\mu_{n,p}$	Pohyblivost nosičů náboje	$m^2/V.s$
C_{ox}	Kapacita oxidu	F
$K_{p(n)}$	Transkonduktanční parametr	$\mu A/V$
W	Šířka gate tranzistoru	m
L	Délka gate tranzistoru	m
g_m	Transkonduktance tranzistoru	A/V
r_{ds}	Dynamická impedance tranzistoru	Ω
U_E	Earlyho napětí	V
U_{INCM}	Souhlasné vstupní napětí	V
ψ_s	Napětí na povrchu substrátu	V
$D_{p,n}$	Difúzní konstanta	m^2/s
$n_{p,n}$	Koncentrace nosičů	cm^{-3}
GBW	Tranzitní kmitočet	Hz
I_S	Charakteristický proud tranzistoru	A

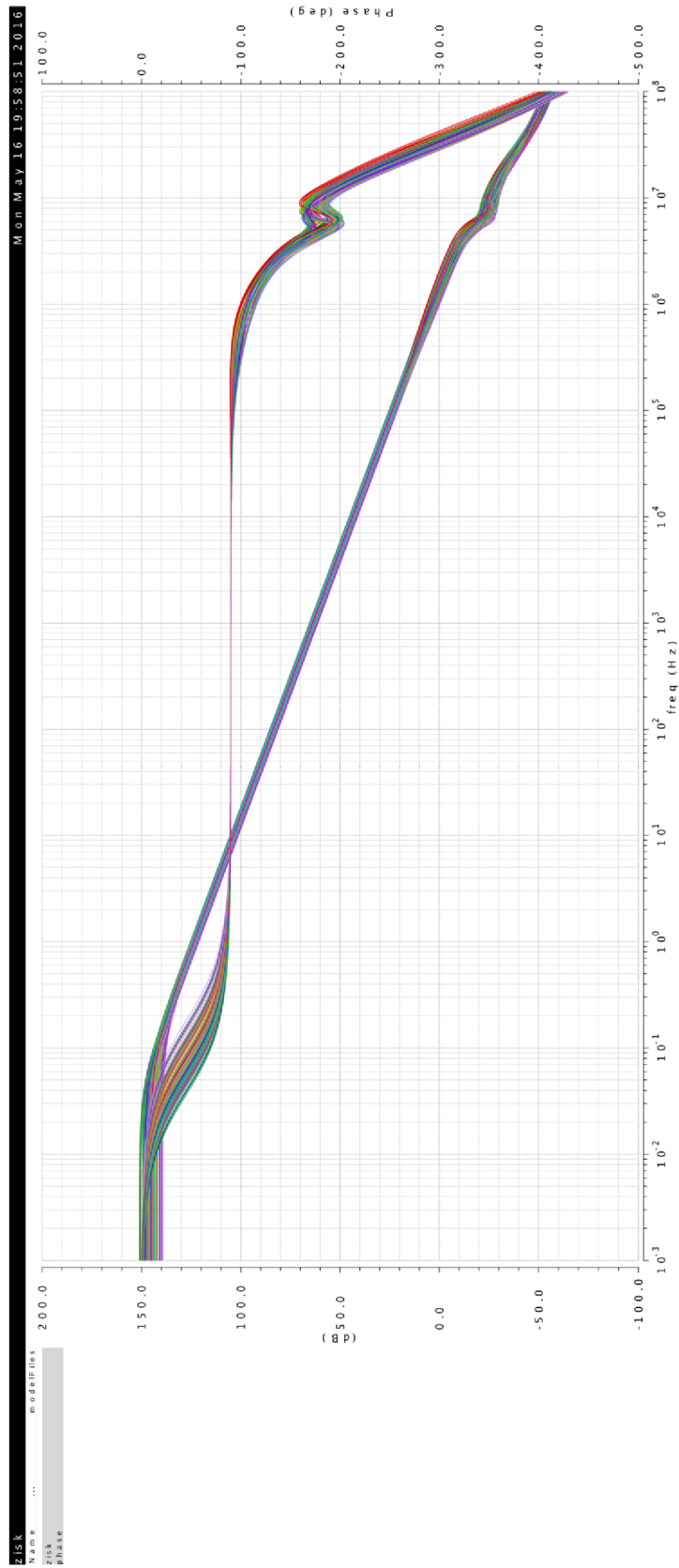
9 Seznam obrázků, tabulek a příloh

OBRÁZEK 1 - MODEL TRANZISTORU	9
OBRÁZEK 2 - BLOKOVÉ SCHÉMA OPERAČNÍHO ZESILOVAČE [1]	12
OBRÁZEK 3 - PARALELNÍ ZAPOJENÍ DIFERENČNÍCH PÁRŮ	14
OBRÁZEK 4 - ZÁVISLOST TRANSKONDUKTANCE NA VSTUPNÍM SOUHLASNÉM NAPĚTÍ [5]	15
OBRÁZEK 5 - KOMPENZACE ZTROJNÁSOBENÍM PROUDU [5]	15
OBRÁZEK 6 - KOMPENZACE ZENEROVOU DIODOU [5]	16
OBRÁZEK 7 - KOMPENZACE PROUDOVOU SMYČKOU [5]	17
OBRÁZEK 8 - KOMPENZACE PROUDOVÝM SEPNUTÍM [5]	18
OBRÁZEK 9 - SCHÉMA VÝSTUPNÍHO STUPNĚ S BIASOVACÍMI OBVODY A KOMPENZAČNÍMI KAPACITAMI [5]	20
OBRÁZEK 10 - SCHÉMA SLOŽENÉ KASKÓDY [5]	20
OBRÁZEK 11 - OPERAČNÍ ZESILOVAČ JAKO SÉRIE RC ČLÁNKŮ (PŘEVZATO Z [7])	21
OBRÁZEK 12 - MOŽNOSTI ROZLOŽENÍ DIFERENČNÍHO PÁRU NA ČIPU, KŘIVKY REPREZENTUJÍ JEDNOTLIVÉ IZOTERMY [5]	24
OBRÁZEK 13 - NÁHRADNÍ SCHÉMA SLOŽENÉ KASKÓDY [6]	26
OBRÁZEK 14 - TEST BENCH PRO SIMULACI FREKVENČNÍ CHARAKTERISTIKY, VSTUPNÍHO A VÝSTUPNÍHO ROZSAHU	30
TABULKA 1 - ROZPTYL Σ	23
TABULKA 2 - ROZMĚRY VSTUPNÍCH TRANZISTORŮ	26
TABULKA 3 - ROZMĚRY TRANZISTORŮ KASKÓDY	27
TABULKA 4 - ROZMĚRY TRANZISTORŮ VÝSTUPNÍHO STUPNĚ A JEHO BIASOVACÍCH TRANZISTORŮ	28
TABULKA 5 - VÝSLEDKY KMITOČTOVÉ ANALÝZY	29
TABULKA 6 - VÝSLEDKY SIMULACE VÝSTUPNÍHO ROZSAHU	30
TABULKA 7 - VÝSLEDKY SIMULACE VSTUPNÍHO ROZSAHU	31
TABULKA 8 - VÝSLEDKY SIMULACE OFFSETU	31
PŘÍLOHA 1 - NAVRŽENÉ SCHÉMA OBVODU	36
PŘÍLOHA 2 - VÝSTUP AC SIMULACE	37
PŘÍLOHA 3 - VÝSTUP SIMULACE VSTUPNÍHO ROZSAHU	38
PŘÍLOHA 4 - VÝSTUP SIMULACE VÝSTUPNÍHO ROZSAHU PŘI VÝSTUPNÍM PROUDU 600 μ A	39
PŘÍLOHA 5 - NAVRŽENÁ TOPOLOGIE OBVODU	40

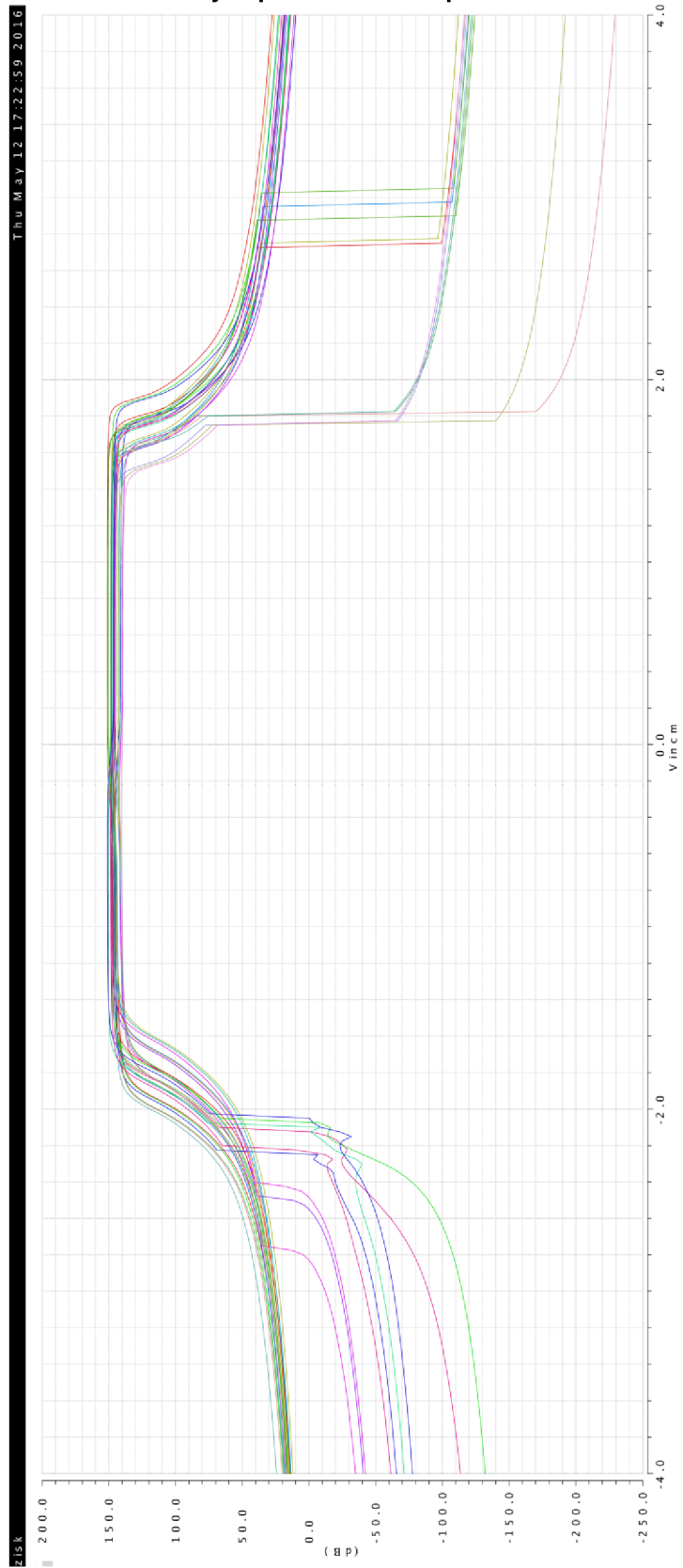
Příloha 1 - Navržené schéma obvodu



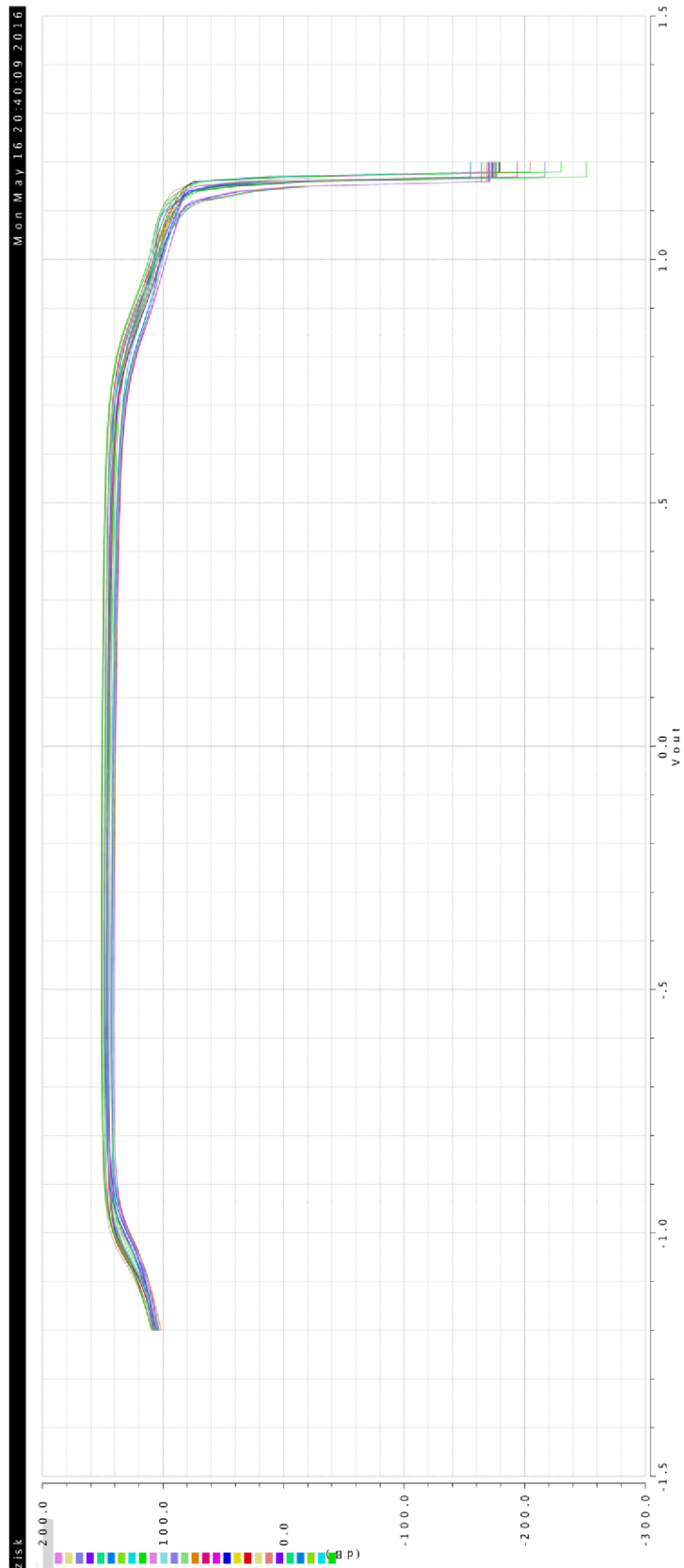
Příloha 2 - Výstup AC simulace



Příloha 3 - Výstup simulace vstupního rozsahu



Příloha 4 - Výstup simulace výstupního rozsahu při výstupním proudu 600 μA



Příloha 5 - Navržená topologie obvodu

