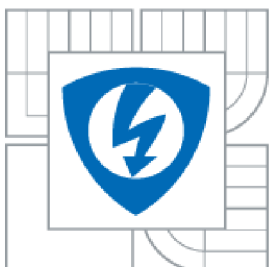




VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONIC

NÁVRH A REALIZACE PŘEVODNÍKU DA V TECHNOLOGII CMOS

DESIGN AND DEVELOPMENT OF DA CONVERTER IN CMOS TECHNOLOGY

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

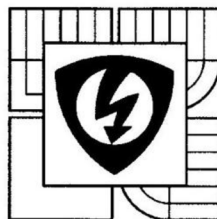
Bc. KAREL KOMÁR

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. VILÉM KLEDROWETZ, Ph.D.

BRNO 2014



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ
Fakulta elektrotechniky
a komunikačních technologií
Ústav mikroelektroniky

Diplomová práce

magisterský navazující studijní obor
Mikroelektronika

Student: Bc. Karel Komár

Ročník: 2

ID: 125486

Akademický rok: 2013/14

NÁZEV TÉMATU:

Návrh a realizace převodníku DA v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte na tranzistorové úrovni převodník DA s rozlišením minimálně 10 bitů pro vstupní signály v řádu stovek kS/s. Požadavkem je krátká doba převodu, nízká spotřeba a malá plocha čipu. Vyhodnoťte vlastnosti navrženého DAC (integrální nelinearita, diferenciální nelinearita, SNDR). Pro realizaci DAC použijte technologii I3T25.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 10.2.2014

Termín odevzdání: 29.5.2014

Vedoucí práce: Ing. Vilém Kledrowetz

Konzultanti diplomové práce:

prof. Ing. Vladislav Musil, CSc.
předseda oborové rady



UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Abstrakt:

Práce pojednává o návrhu převodníku DA na tranzistorové úrovni. Požadavky na převodník je minimální rozlišení 10 bitů, krátká doba převodu, nízká spotřeba a malá plocha čipu. Pro realizaci převodníku je zvolena technologie I3T25

Klíčová slova:

převodník DA, technologie CMOS, váhování proudů, proudová zrcadla

Abstract:

The work deals with design of the converter digital to analog on transistor level. Requirements converter a minimum resolution of 10 bits, short conversion time, low power and small chip area. For the realization of the converter is selected technology I3T25

Keywords:

converter DA, CMOS technology, current steering, current mirrors

KOMÁR, K. *Návrh a realizace převodníku DA v technologii CMOS*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014. 74 s. Vedoucí diplomové práce Ing. Vilém Kledrowetz, Ph.D..

Experimentální část této diplomové práce byla realizována na výzkumné infrastruktuře
vybudované v rámci projektu CZ.1.05/2.1.00/03.0072

Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

Prohlášení autora o původnosti díla:

Prohlašuji, že jsem tuto vysokoškolskou kvalifikační práci vypracoval samostatně pod vedením vedoucího diplomové práce, s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení.

V Brně dne

.....

Poděkování:

Rád bych zde poděkoval vedoucímu diplomové práce Ing. Vilému Kledrowetzovi, Ph.D. a dalším zaměstnancům Ústavu Mikroelektroniky za jejich rady a čas, který mi věnovali při řešení dané problematiky. V neposlední řadě také děkuji všem respondentům, kteří mi poskytli potřebné informace.

OBSAH

ÚVOD	9
1 PŘEVODNÍKY DA A AD	10
1.1 ZÁKLADNÍ FUNKCE DA PŘEVODNÍKU	10
1.2 VLASTNOSTI PŘEVODNÍKŮ.....	11
1.2.1 <i>Statické vlastnosti</i>	12
1.2.2 <i>Dynamické vlastnosti DA převodníku</i>	14
2 ZÁKLADNÍ STRUKTURY PŘEVODNÍKŮ DA	16
2.1 ARCHITEKTURA SPÍNANÝCH PROUDŮ.....	17
2.1.1 <i>Rezistorová síť typu R – 2R</i>	17
2.1.2 <i>Síť složená pouze z tranzistorů MOS</i>	18
2.1.3 <i>Síť s tranzistory MOS a odporovou sítí R-2R</i>	19
2.2 PRINCIP SPÍNANÝCH PROUDŮ	19
3 NAPĚŤOVÉ A PROUDOVÉ REFERENCE	21
3.1 NAPĚŤOVÉ REFERENCE	21
3.2 PROUDOVÉ REFERENCE	23
4 TECHNOLOGIE A SOUBĚH	25
4.1 TECHNOLOGIE CMOS I3T25.....	25
4.2 SOUBĚH.....	26
5 NÁVRH RYCHLÉHO PŘEVODNÍKU DA	28
5.1 OBVODY PRO GENEROVÁNÍ REFERENČNÍHO SIGNÁLU.....	28
5.1.1 <i>Napěťová reference</i>	28
5.1.2 <i>Návrh oddělovacího operačního zesilovače</i>	29
5.1.3 <i>Proudová reference</i>	35
5.2 OBVODY PRO PŘEVOD ČÍSLICOVÉHO SIGNÁLU NA ANALOGOVÝ SIGNÁL	39
5.2.1 <i>Dekodér 4 z 15</i>	40
5.2.2 <i>Dekodér 1 z N</i>	42
5.2.3 <i>Přepínací pole</i>	43
5.2.4 <i>Latch</i>	44

5.2.5	<i>Spínané proudy</i>	44
5.3	MATICOVÉ ROZLOŽENÍ PŘEVODNÍKU DA.....	46
6	SIMULACE NAVRŽENÉHO PŘEVODNÍKU	48
6.1	PŘECHODOVÁ CHARAKTERISTIKA.....	48
6.2	INTEGRÁLNÍ NELINEARITA	50
6.3	DIFERENCIÁLNÍ NELINEARITA	51
7	ZÁVĚR	54
	SEZNAM POUŽITÝCH ZDROJŮ	55
	SEZNAM ZKRATEK A SYMBOLŮ	57
	PŘÍLOHY	58

Úvod

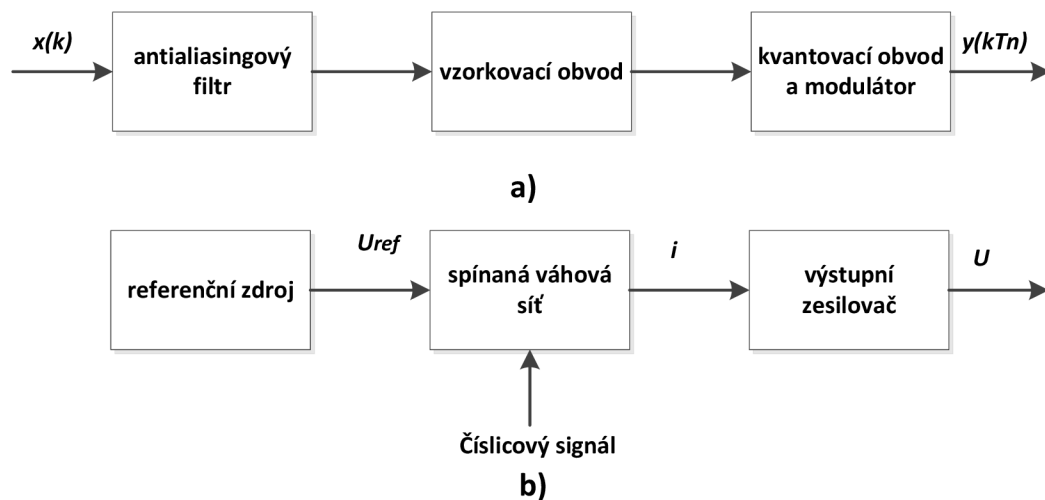
V dnešní době analogově-číslíkové (ADC – Analog-to-Digital Converter) a číslíkové-analogové (DAC – Digital-to-Analog Converter) převodníky nacházejí uplatnění všude tam, kde je třeba analogový signál zpracovat na číslíkový signál nebo z číslíkového signálu vytvořit analogový signál. Převodníky AD jsou nezbytným blokem moderních systémů číslíkového zpracování signálu. Pro zpracování signálu, např. pomocí mikroprocesoru nebo obvodu FPGA, je číslíkový signál ve většině případů převeden zpět na analogovou veličinu pomocí převodníku DA. Číslíkové zpracování signálu má řadu výhod, které jsou podpořeny dostupností a nízkou cenou obvodů pro zpracování číslíkových signálů.

Předložená diplomová práce popisuje návrh integrovaného převodníku DA. Požadavky pro tento převodník DA jsou rozlišení minimálně 10 bitů pro vstupní signály v řádu stovek kS/s. Požadavkem je krátká doba převodu, nízká spotřeba a malá plocha čipu. Dále jsou v této práci vyhodnoceny vlastnosti navrženého převodníku DA (integrální nelinearita, diferenciální nelinearita, *SNDR*). Převodník je realizován v technologii I3T25.

Pro návrh převodníku DA je zvolen převodník složený z části binárně váhovaných proudových zdrojů a jednotkových zdrojů proudů. Jejich spojením se snížily nevýhody jednotlivých zapojení např. přechodové špičky, velikost zabíraná na čipu, apod. Pro zvýšení přesnosti je odvod rozdělen do dvou bloků. Blok *MSB*, který je složený z jednotkových zdrojů proudu a bloku *LSB*, který je tvořen binárně váhovanými zdroji proudu.

1 Převodníky DA a AD

Při zpracování analogového signálu je jednou z důležitých funkcí převod tohoto signálu z analogové podoby do číslicové a naopak. Proto jsou analogově-číslíkové převodníky resp. číslicově-analogové převodníky (ADC – Analog-to-Digital Converter), (DAC – Digital-to-Analog Converter) velmi důležitými prvky jakéhokoli systému zpracovávajícího signál [1]. Na obrázku 1 jsou zobrazeny základní stavební bloky typického převodníku AD a DA.



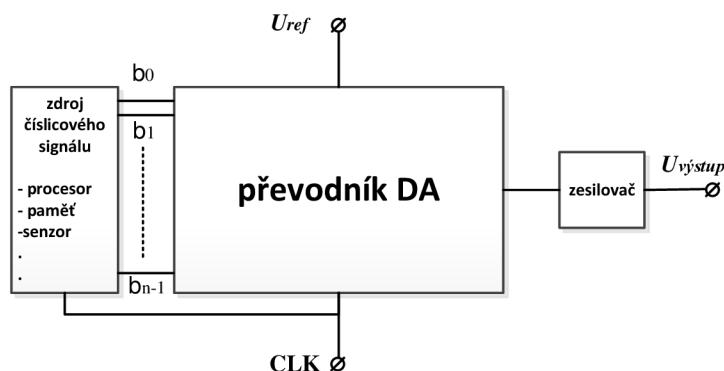
Obr. 1: Blokové schéma a) převodníku AD b) převodníku DA [1]

Obě skupiny převodníků mohou typicky obsahovat komparátory, číslicové obvody, spínače, integrátory, vzorkovací obvody a/nebo pasivní součástky. Nezbytnou a důležitou součástí je i přesný zdroj referenčního napětí [1]. Antialiasingový filtr je obvykle typu dolní propusti a je určen k potlačení zánějí (aliasing), potlačení kvantovacího šumu na výstupu převodníku DA, potlačení střídavých složek v nepřímých převodnicích DA. Vzorkovací obvod navzorkuje analogový signál na číslicový signál. Rozlišujeme dva základní typy vzorkovač s pamětí (sample and hold) a sledovač s pamětí (track and hold). Kvantovací obvod generuje digitální výstup $y(kTn)$, který je tvořen součtem výstupu integrátoru a kvantovací chyby [2].

1.1 Základní funkce DA převodníku

Na obrázku 2 je zobrazen zjednodušený pohled na převodník DA. Na vstupu do převodníku je paralelně přiveden číslicový signál z digitálního zdroje. Za digitální zdroj můžeme považovat např. mikroprocesor, paměť (ROM, RAM, atd.), číslicové senzory, atd. Hodnota, ke které se vztahuje výstupní hodnota je dána přesnou napětíovou nebo

proudovou referencí. Výstupní signál je následně vhodně zesílen operačním zesilovačem [8].



Obr. 2: Blokové schéma DAC [8]

Za předpokladu, že využíváme převodník s váhovou sítí, pak výstupní analogový signál bude růst se zvyšujícím se číslicovým signálem viz. rovnice (1.1).

$$U_{výstup} = \sum_{n=0}^{m-1} B_n 2^n X_{ref}, \quad (1.1)$$

kde

$U_{výstup}$ je hodnota výstupního analogového signálu,

X_{ref} je hodnota reference (X_{ref} může být referenční napětí, proud nebo náboj),

n je aktuální bit.

Rovnice (1.1) představuje n -bitový převodník s binárním váhováním. Bit B_{n-1} je nejvyšší bit (*MSB* – Most Significant Bit) a bit B_0 je nejnižší bit (*LSB* – Least Significant Bit) převodníku. Faktor 2^n ukazuje, že výstupní signál je závislý na hodnotě n [2].

1.2 Vlastnosti převodníků

Pro získání informací o převodníku DA je důležité znát jeho parametry. Základní rozdělení parametrů převodníku DA je na statické a dynamické. Statické parametry jsou získávány pomocí převodní charakteristiky. Dynamické vlastnosti převodníků se vyhodnocují z kmitočtového spektra.

1.2.1 Statické vlastnosti

Přesnost výstupního signálu – jedná se o maximální odchylku mezi skutečnou a ideální převodní charakteristikou převodníku. Často se udává poměrná velikost odchylky vztažená k celkovému rozsahu převodníku.

Rozsah – rozdíl výstupní analogové veličiny mezi nejvyšší a nejnižší dosažitelnou kontovací hladinou (diskrétní úroveň, kterou může výstupní analogová veličina dosáhnout) [3].

Rozlišení – poměr kvantovacího kroku (nejmenší možná změna výstupní analogové veličiny) a velikosti výstupního rozsahu. Plnohodnotný je i údaj o počtu diskretních úrovní výstupního analogového napětí nebo proudu a přímo souvisí s počtem bitů vstupního slova.

Chyba zesílení – absolutní hodnota této chyby narůstá lineárně se vstupní číselnou hodnotou převodníku a maxima nabývá na plné hodnotě rozsahu převodníku. To znamená, že se odchyluje od ideální charakteristiky směrem k maximu, v hodnotě 0 jsou totožné.

Chyba nastavení nuly (offset) – horizontální posunutí reálné charakteristiky od ideální převodní charakteristiky převodníku o stejnou hodnotu [2],[3].

Chyba monotónnosti – monotónnost převodníku znamená, že výstup např. u převodníku DA se nikdy nesnižuje se vzrůstající číselnou hodnotou vstupního signálu [2]. Pokud se tak stane, tak je převodník označován za nemonotónní. Tato chyba je obvykle způsobena nesprávným odporem váhových rezistorů nebo nepřesným nastavením váhových zdrojů proudu [3].

Integrální nelinearita (INL) – je maximální vertikální rozdíl mezi ideální a reálnou převodní charakteristikou [3]. Chybu *INL* lze zjistit pouze v případě, že se v systému nevyskytují žádné jiné chyby. Uvažujeme-li *n*-bitový převodník, kde ε_n představuje chybu *n*-tého bitu, pak neideální váha tohoto bitu je :

$$b_n = 2^n + \varepsilon_n. \quad (1.2)$$

Nelinearita je pak dána jako celková odchylka od přímky, která vede z nuly po hodnotu plného rozsahu převodníku. Hodnota plného rozsahu je *B* pak :

$$B = \sum_{n=0}^{m-1} (2^n + \varepsilon_n). \quad (1.3)$$

V případě, že

$$\sum_{n=0}^{m-1} 2^n = 2^m - 1, \quad (1.4)$$

pak lze rovnici (1.3) zjednodušit

$$B = 2^m - 1 + \sum_{n=0}^{m-1} \varepsilon_n. \quad (1.5)$$

Celkový počet kontovacích kroků je dán rov. (1.4). Ideální velikost kroku S je dána hodnotou plného rozsahu a počtem kontovacích kroků

$$S = \frac{B}{2^m - 1}. \quad (1.6)$$

Obvykle je INL vyjádřena jako poměrná veličina v relaci s maximálním napětím převodníku a to v % nebo v LSB . V případě, že INL je menší nebo rovna $\pm 1/2 LSB$, pak je převodník monotónní [2].

Diferenciální nelinearita (DNL) – je vertikální rozdíl mezi dvěma po sobě jdoucími kódy. Hodnota DNL je nulová, pokud je každý následující krok na převodní charakteristice roven 1 LSB . Pro převodníky DA je

$$DNL = S_{v\acute{y}s}(C_{n+1}) - S_{v\acute{y}s}(C_n) - 1LSB, \quad (1.7)$$

kde

C_{n+1} a C_n jsou dva po sobě jdoucí kódy,

$S_{v\acute{y}s}(C_n)$ je výstupní signál převodníku pro kód C_n .

Udává se vždy maximální hodnota a to v jednotkách či zlomcích LSB , ve [V] nebo [%] ve vztahu k celkovému rozsahu nebo velikosti ideálního kontovacího kroku [2],[3].

Hystereze – je způsobena rozdílným průběhem převodní charakteristiky při změně tendence nastavovaných hodnot. Výstupní napětí tedy závisí nejen na okamžité hodnotě vstupního kódového slova, ale i na tom, z jakého směru bylo toto nastavení dosaženo. Zpravidla to způsobuje dielektrická absorpce kapacitou. Absolutní chyba této odchylky závisí na rychlosti změny. Platí tedy, že při dostatečně dlouhých intervalech mezi hodnotami se blíží tato chyba nule [1].

1.2.2 Dynamické vlastnosti DA převodníku

Odstup signál-šum (SNR) – vyhodnocuje se z kmitočtového spektra signálu, kdy signál odpovídá základní harmonické. Odstup signál-šum závisí na počtu kontovacích úrovní, tedy rozlišení a zahrnuje specifikace o linearitě, zkreslení, nejistotě vzorkování, krátkých přechodových špičkách, šumu a času ustálení. Pro sinusový signál teoreticky platí

$$SNR = (6,02N + 1,76)dB, \quad (1.8)$$

kde N je efektivní počet bitů.

Celkové harmonické zkreslení (THD) - zjišťuje se při buzení DAC daty, která odpovídají digitalizovanému průběhu ideální sinusovky. Zkreslení je pak určeno z výstupního signálu.

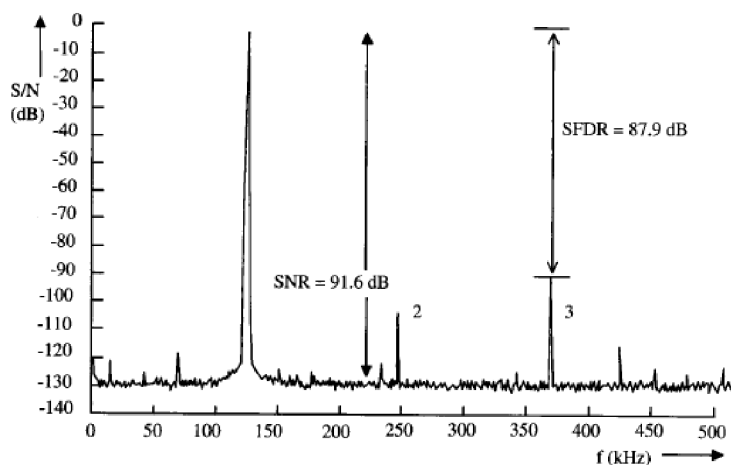
$$THD = 20 \log \frac{1}{2} \frac{\sqrt{U_2^2 + \dots + U_N^2}}{U_1}, \quad (1.9)$$

kde

U_2 až U_N označuje vyšší harmonické (obvykle se uvažuje $N \leq 5$),

U_1 je základní harmonická složka.

Dynamický rozsah bez parazitních složek (SFDR – Spurious Free Dynamic Range) - je parametr, který je důležitý zejména v případě, kdy má převodník vysoký vzorkovací kmitočet, nebo je vyžadována spektrální „čistota“ převodníku DA. Pak je $SFDR$ určeno jako poměr mezi amplitudou užitečného signálu a největší složkou zkreslení. Na obrázku 3 je ilustrován způsob určení $SFDR$.



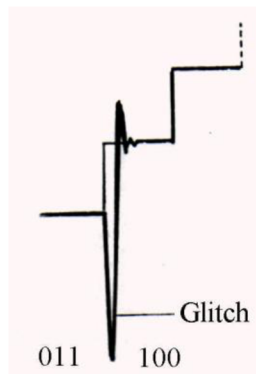
Obr. 3: Definice SFDR [2]

$$SFDR = -20 \log (|INL|2^{-Nbits} + 2^{-1,5Nbits}), \quad (1.10)$$

Efektivní počet bitů (*ENOB* – Effective number of bits) – slouží pro porovnání různých architektur převodníků a je měřen za Nyquistových podmínek. Dynamický rozsah převodníku je měřen i s chybami systému [2]. Hodnota *ENOB* je definována jako

$$ENOB = \frac{SNDR_{měřeny} - 1,76}{6,02}. \quad (1.11)$$

Krátké přechodové špičky (Glitches) – nastává při přechodu výstupního napětí mezi hladinami, a jejich výška může mnohonásobně přesáhnout hodnotu u_{LSB} . Tato situace nastává při přepínání více spínačů, největší jsou při přechodu např. 01111111 → 10000000 viz obrázek 4, kdy je nestejná rychlost sepnutí a rozepnutí spínačů. Tyto záškuby se odstraňují pomocí tzv. deglitcheru, což v praxi bývá rychlý vzorkovací obvod [1].

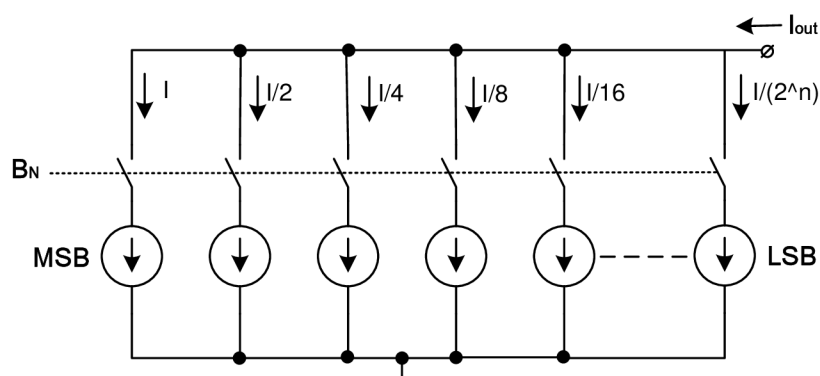


Obr. 4: Přechodové špičky (Glitches) [2]

2 Základní struktury převodníků DA

U rychlých převodníků DA s vysokým rozlišením bývá použito několik speciálních architektur. A to:

Binární váhovaný převodník – u binárně váhovaných převodníků musí být splněny podmínky integrální nelinearity (*INL*) a diferenciální nelinearity (*DNL*). Jinak musí být ošetřen souběh (*matching*) součástek. Zjednodušené zapojení binárně váhovaného převodníku DA, s proudovým výstupem, je zobrazeno na obrázku 5. Počet zdrojů proudu je roven počtu bitů.

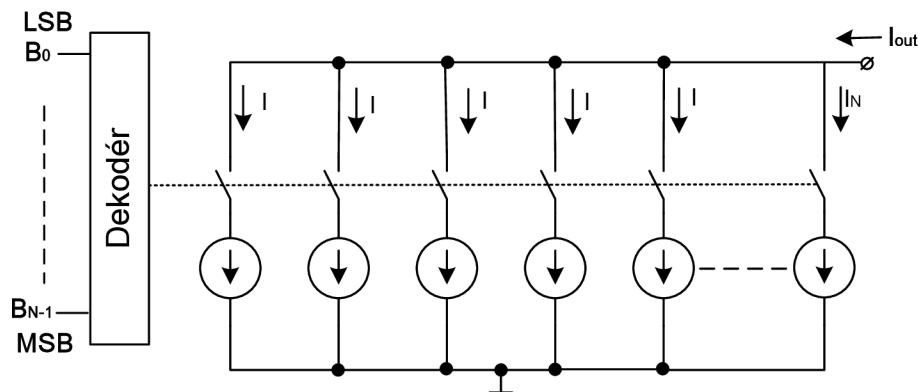


Obr. 5: Zjednodušené schéma binárně váhovaného převodníku

Jednotlivé spínače jsou ovládány přichozícím číslicovým signálem. Po sepnutí spínače dochází k připojení váhovaného zdroje proudu. Výsledný proud odpovídá součtu proudů sepnutých zdrojů proudu. Realizace binárně váhovaného převodníku DA je možná jak s proudovým tak napěťovým výstupním signálem.

Ačkoliv je velikost těchto převodníků malá, mívají špatné dynamické vlastnosti. Největší problém jsou přechodové špičky (*glitches*) mezi *MSB* a nižšími bity. Proto lze říci, že binární váhování není vhodné pro rychlé převodníky DA [1],[2].

Jednotkový převodník – vykazuje dobré dynamické vlastnosti. To znamená, že každá úroveň převodu má přepínač s referenčním proudem nebo napětím. U jednotkových převodníků DA je nutný dekodér, protože obvod vyžaduje $2^n - 1$ zdrojů proudu nebo napětí. Zjednodušené schéma je zobrazeno na obrázku 6.



Obr.6: Zjednodušené schéma jednotkového převodníku DA

V tomto případě jsou špičky jednodušeji eliminované, protože jsou zdroje spínány postupně a nedochází k sepnutí (vypnutí) více než jednoho spínače. Problém nastává v časování přepínačů v případě 12-bitového převodníku $2^{12} - 1 = 4095$ spínačů, které jsou adresovány ve stejný čas. Tento problém může být řešen přídatným obvodem latch, který zajišťuje příchod signálu ve stejný čas. Celková velikost (počet součástek) převodníku se tím zvyšuje [1][2].

Kombinací binárně váhovaných zdrojů a jednotkových zdrojů je dosaženo lepších výsledků, než je tomu pro samostatná zapojení.

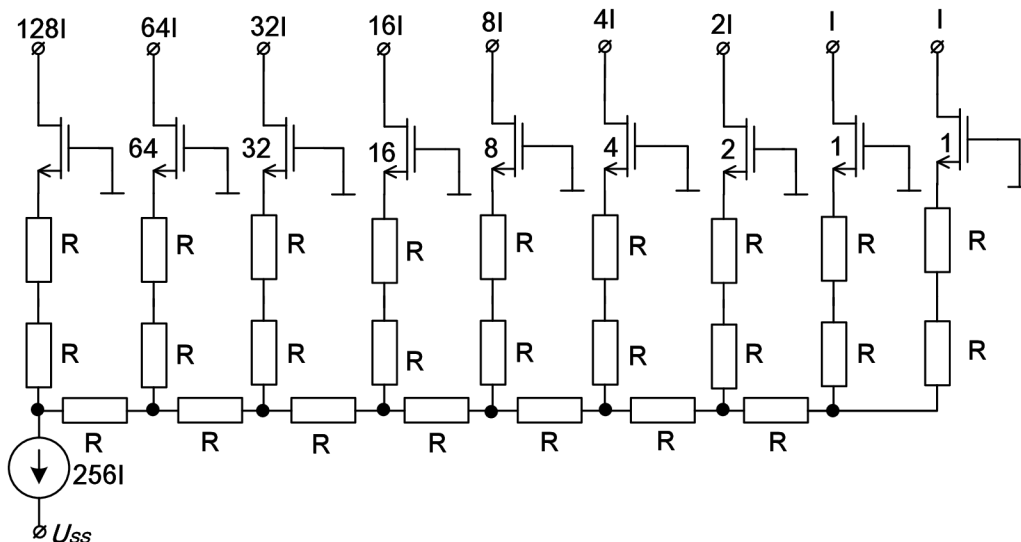
2.1 Architektura spínaných proudů

Jedná se o typ architektury, který se snadno implementuje na čip. Avšak jsou zde vysoké nároky na souběh, který má vliv na vlastnosti systému. Zapojení se může skládat ze sítě odporů, tranzistorů nebo kapacitou a jejich kombinací [2].

2.1.1 Rezistorová síť typu R – 2R

Rezistorová síť typu R – 2R se zakončovacemi tranzistory generují binárně váhované proudy. Příklad zapojení je zobrazen na obrázku 7. Tento systém bývá nejčastěji použit pro váhování proudu kvůli dobrému souběhu a výborným teplotním vlastnostem odporů. Obvod se skládá z odporů stejné hodnoty. Odpor 2R je složen ze dvou stejných odporů, tím je dosaženo lepšího souběhu. Výstupní proudy jsou binárně váženy, protože napětí gate-source se bude snižovat v závislosti na napětí na odporech. Na obrázku 7 je vidět, že velikost tranzistorů se snižuje s faktorem 2 pokaždé, když se sníží proud. Snížením úbytku na odporu 2R se snižuje velikost výstupního proudu o faktor 2. Ve skutečnosti se využívá

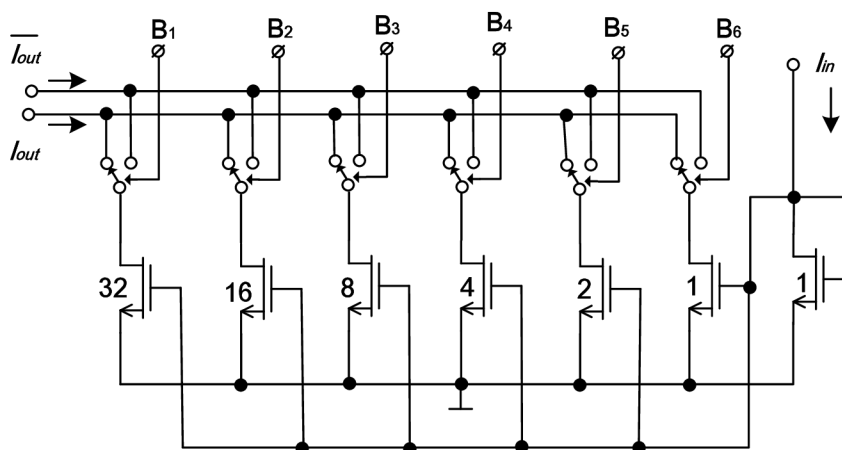
velikosti tranzistorů, které mají přímý vliv na velikost proudu. Např. velikost saturačního proudu tranzistoru o velikosti 128 se rovná 128 tranzistorům o velikosti 1 zapojených paralelně [14].



Obr. 7: Oporová síť R-2R převodníku DA

2.1.2 Síť složená pouze z tranzistorů MOS

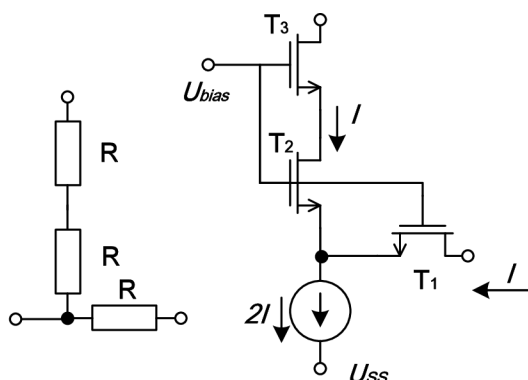
Příklad zapojení binární váhové sítě využívající pouze tranzistory MOS je zobrazeno na obrázku 8. Obvod složený z tranzistorů MOS využívá jejich vlastností při paralelním zapojení [2]. Velikost tranzistoru je přímo úměrná velikosti proudu, který jimi protéká. Takové zapojení se využívá u převodníků s vysokým rozlišením kde proud nejvýznamnějšího bitu je generován speciálním obvodem.



Obr. 8: Síť s tranzistory MOS

2.1.3 Síť s tranzistory MOS a odporovou sítí R - 2R

Rozdíl mezi provedením s tranzistory MOS a odporovou sítí R - 2R je zobrazen na obrázku 9. Z něj vyplývá, že buňku R - 2R lze uskutečnit se zapojením tranzistorů MOS. Všechny tranzistory MOS v buňce jsou stejné. Tranzistory T_1 a T_2 mohou pracovat jak v saturačním režimu tak v režimu lineárním. V saturačním režimu tranzistory T_1 a T_2 rozdělují výstupní proud $2I$ na dva stejné proudy I . V tomto případě se tranzistor T_3 chová jako kaskoda a vede výstupní proud do zátěže. V případě že se tranzistory T_1 , T_2 a T_3 nachází v odporovém režimu, lze si tyto tranzistory představit jako odpor s hodnotou R.



Obr. 9: Nahrazení odporů tranzistory MOS

2.2 Princip spínaných proudů

Při nastavování sítě s váhovanými proudy v technologii CMOS lze vycházet z rovnice pro tranzistory pracující v saturačním režimu.

$$I_D = \mu C_{OX} \left(\frac{W}{L} \right)_T (U_{GS} - U_{T,n})^2, \quad (2.1)$$

kde I_D je proud tranzistorem T,

$\mu C_{OX} = Kp$ je transkonduktanční parametr (μ – střední hodnota rychlosti nosiče náboje C_{OX} – kapacita oxidu),

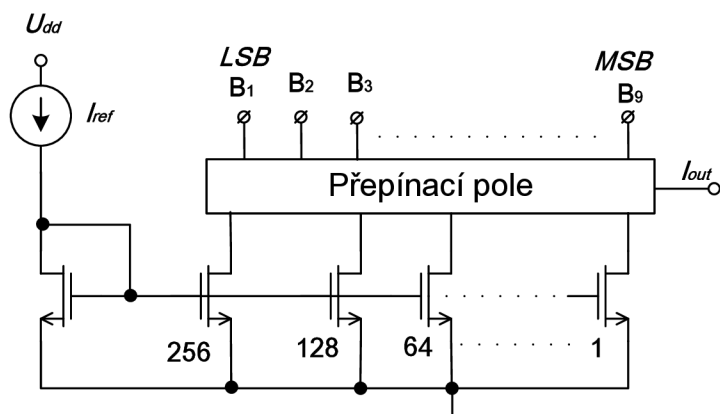
W je šířka hradla,

L je délka hradla,

U_{GS} je napětí mezi gatem a sourcem,

U_T je prahové napětí tranzistoru.

Z rovnice (2.1) lze vidět, že velikost proudu je úměrná velikosti tranzistoru. Proto se pro váhování proudu používá proudových zrcadel které mají různé velikosti. Příklad takového systému lze vidět na obrázku 10, kde každý tranzistor odpovídá 1 *LSB* (pokud se jedná o binární váhovaný převodník). To znamená, že v případě 8-bitového převodníku bude 9 větví proudových zrcadel. Výhodou spínaných proudů je jejich rychlost a malé nároky na místo. Nevýhodou jsou vysoké nároky na souběh tranzistorů .



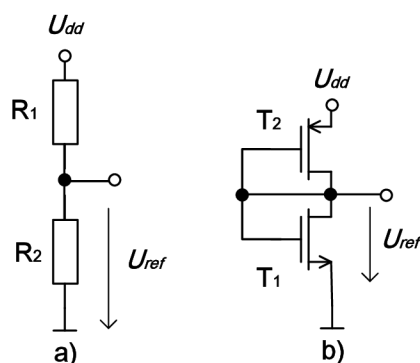
Obr. 10: Váhování proudů pomocí proudových zrcadel

3 Napět'ové a proudové reference

U převodníku AD i DA je zapotřebí referenční zdroj napětí nebo proudu, který zajišťuje stabilní hodnotu proudu nebo napětí. Reference je typicky závislá na připojené zátěži. Proto se velmi často používá oddělovací operační zesilovač, který zdroj oddělí od zátěže, čím se dosáhne lepší stability a zlepši funkce použité reference.

3.1 Napět'ové reference

Napět'ový dělič - mezi základní napět'ové reference patří dělič buď s využitím pasivních nebo aktivních součástek viz obrázek 11. Velkou nevýhodou je závislost na napájecím napětí.



Obr. 11: a) odporový dělič b) dělič složený z MOS tranzistoru v zapojení jako řízená dioda

Hodnota referenčního napětí pro obvod na obrázku 11a) je

$$U_{ref} = \frac{R_2}{R_1 + R_2} \cdot U_{dd} \quad (3.1)$$

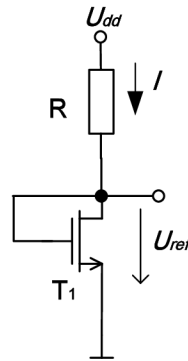
Hodnota referenčního napětí pro obvod na obrázku 11b) je

$$U_{ref} = \frac{U_{dd} - U_{tp} + \sqrt{\frac{\beta_1}{\beta_2}} \cdot (U_{ss} - U_{tn})}{\sqrt{\frac{\beta_1}{\beta_2}} + 1} \quad (3.2)$$

Kde $U_{t(p,n)}$ je prahové napětí tranzistorů NMOS a PMOS. K tomu, aby bylo dosaženo nulového teplotního koeficientu (pro technologii I3T25), musí platit [1]

$$\sqrt{\frac{\beta_1}{\beta_2}} = 1,01 \quad (3.3)$$

Referenční zdroj s tranzistorem MOS – dalšího zlepšení lze dosáhnout zapojením podle obrázku 12. Toto zapojení méně závislé na napájecím napětí [1].



Obr. 12: Referenční zdroj s MOS tranzistorem

$$U_{ref} = U_{GS} = U_t + \sqrt{\frac{2I}{Kp(W/L)}} \quad (3.4)$$

kde U_{GS} je napětí gate source daného tranzistoru,

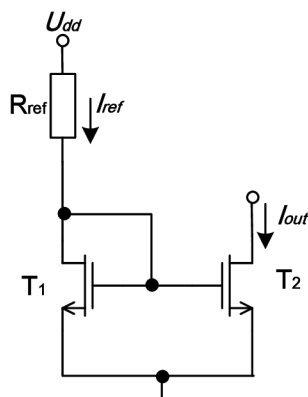
U_t je prahové napětí tranzistoru NMOS,

Kp je technologická konstanta pro tranzistor NMOS,

(W/L) je velikost daného tranzistoru.

3.2 Proudové reference

Proudová reference složená z jednoduchého proudového zrcadla – jedná se o zapojení využívající vlastností proudového zrcadla. Základní zapojení je zobrazeno na obrázku 13.



Obr. 13: Jednoduché proudové zrcadlo

Při návrhu zdroje referenčního proudu je zvolena velikost referenčního proudu I_{ref} , který je dán rovnicí

$$I_{ref} = \frac{U_{dd} - U_{GS1}}{R_{ref}}. \quad (3.5)$$

Jak lze vyčíst ze zapojení U_{GS1} a U_{GS2} mají stejnou velikost, pak

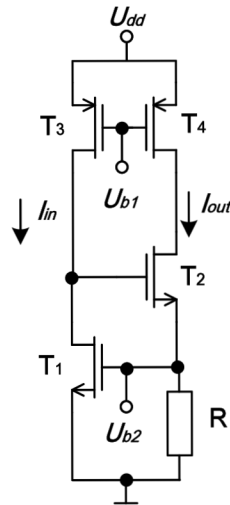
$$U_{GS1} = U_t + \sqrt{\frac{2 \cdot I_{ref}}{Kp(W/L)_1}} = U_{GS2} = U_t + \sqrt{\frac{2 \cdot I_{out}}{Kp(W/L)_2}}, \quad (3.6)$$

Z rovnice (3.2) vyplývá, že výstupní proud je závislý na velikosti tranzistorů T_1 a T_2 a velikosti referenčního proudu I_{ref} [9]. Tím je dána rovnice pro výstupní proud

$$I_{out} = \frac{(W/L)_2}{(W/L)_1} \cdot I_{ref}. \quad (3.7)$$

Proudová reference nezávislá na stabilitě napájecího napětí – V některých aplikacích není zaručena stabilita napájecího napětí. Pro takové aplikace se využívá referenčních obvodů, které nejsou závislé na malých změnách napájecího napětí. Základní

zapojení takového obvodu je zobrazeno na obrázku 14. Toto zapojení je závislé na prahovém napětí U_t a odporu R_2 , proto se tomuto obvodu říká „prahová reference“ (*threshold-referenced*) [9].



Obr. 14: Proudová reference tzv. prahová

Záporná zpětná vazba tvořená pomocí T_1 a T_2 udržuje konstantní napětí na odporu R_2 , pak platí

$$I_{out} = \frac{U_{GS1}}{R_2} = \frac{U_t + \sqrt{\frac{2 \cdot I_{in}}{Kp(W/L)_1}}}{R_2}. \quad (3.8)$$

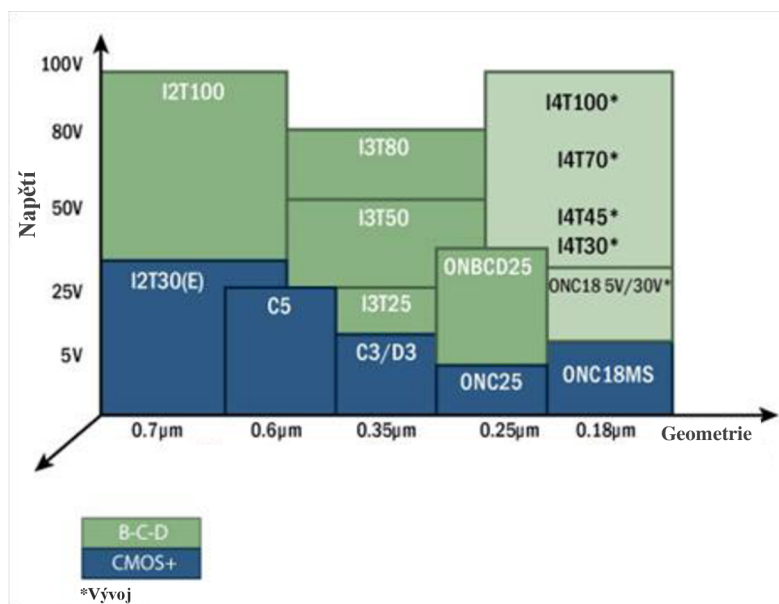
Nevýhodou tohoto zapojení je vysoká závislost I_{OUT} na přesnosti odporu R_2 .

4 Technologie a souběh

V této kapitole je popsán trend zvyšování integrace na chip, který je dán minimální délkou kanálu L (pro tranzistory MOS). V druhé podkapitole je dále probrán důležitý parametr návrhu přesných obvodů a to je souběh.

4.1 Technologie CMOS I3T25

Jednotlivé generace technologie CMOS se označují jedním číslem, představujícím šířku izolačního oxidu, resp. délku hradla viz obrázek 15 na kterém je ukázáno, jaké technologie používá firma ON Semiconductor. Technologie I3T25 má minimální délku kanálu $L_{min} = 0,35 \mu\text{m}$.



Obr. 15: Technologie ON Semiconductor [5]

Hlavní parametry technologie CMOS I3T25 jsou uvedeny v tabulce 1.

Tab.1: Parametry technologie I3T25[6]

Parametr	Zkratka	NMOS	PMOS
prahové napětí	U_t [mV]	599 ≈ 600	-0,598 ≈ -600
transkonduktanční parametr	K_p [$\mu\text{A} \cdot \text{V}^{-2}$]	166,1	38,9
saturační proud	I_{dsat} [μA]	428,7	-89,2
tloušťka oxidové vrstvy	t_{ox} [nm]	7,1	7,1
teplotní koeficient	TC $V_t(0)$ [mV/°C]	-0,99	1

4.2 Souběh

Souběh tranzistorů MOS je velmi důležitý parametr při návrhu obvodů CMOS. V případě, že máme zapojení, ve kterém uvažujeme pár MOS tranzistorů př. proudové zrcadlo s přenosem 1:1, diferenční pár, atd. U proudového zrcadla má nedokonalý souběh dvou tranzistorů za následek jiný poměr proudů s referenčním proudem než je požadováno. U diferenčního páru může nesouběh způsobovat, zejména u operačních zesilovačů, napěťovou nesymetrii. V takových případech je nutné kompenzovat nedostatky buďto při návrhu a/nebo správným rozložením při tvorbě layoutu.

Souběh prahového napětí – rozdíl prahového napětí ΔU_T mezi párem MOS tranzistorů je popsán rovnicí:

pro oblast saturace platí:

$$I_D = \mu C_{OX} \left(\frac{W}{L}\right)_T (U_{GS} - U_{T,n})^2 = \beta * (U_{GS} - U_{T,n})^2, \quad (4.1)$$

kde
$$\beta = \mu C_{OX} \left(\frac{W}{L}\right)_T. \quad (4.2)$$

Náhodná proudová nesymetrie drainem:

$$\left(\frac{\sigma \Delta I_D}{I_D}\right)^2 = \left(\frac{\Delta \beta}{\beta}\right)^2 + \frac{4}{(U_{GS} - U_T)^2} * \sigma \Delta U_T^2, \quad (4.3)$$

$$\sigma \Delta U_T = \frac{A_{Ut}}{\sqrt{W \cdot L}} + C_{Ut}, \quad (4.4)$$

$$\sigma \left(\frac{\Delta \beta}{\beta} \right)^2 = \frac{A_\beta^2}{W \cdot L} + C_\beta^2 \quad (4.5)$$

pak platí

$$\left(\frac{\sigma \Delta I_D}{I_D} \right)^2 = \frac{A_\beta^2}{W \cdot L} + C_\beta^2 + \left(\frac{g_m}{I_D} \right)^2 * \left(\frac{A_{Ut}^2}{W \cdot L} + C_{Ut}^2 \right). \quad (4.6)$$

kde

$\sigma \Delta I_D$ je souběh saturačních proudů dvou tranzistorů,

A_β je parametr souběhu β [%· μm],

C_β je parametr souběhu β [%],

A_{Ut} je parametr souběhu pro U_T [mV· μm],

C_{Ut} je parametr souběhu U_T [mV].

Parametry souběhu pro technologii I3T25 jsou uvedeny v tabulce 2.

Tab.2: Parametry souběhu technologie I3T25[6]

parametr	NMOS	PMOS
A_{Ut} [mV· μm]	12	9,45
C_{Ut} [mV]	0	0
A_β [%· μm]	2,56	1,5
C_β [%]	0	0

Souběh energie – v analogových obvodech je nedokonalý souběh prahového napětí obecně považován za chybu kapacity gate MOS tranzistoru. To znamená, že chyba energie může být definována [2][7]:

$$E_{match} = C_{gate} \sigma_{\Delta U_T}^2 = C_{ox} A_{\Delta U_T}^2 \quad (4.7)$$

5 Návrh rychlého převodníku DA

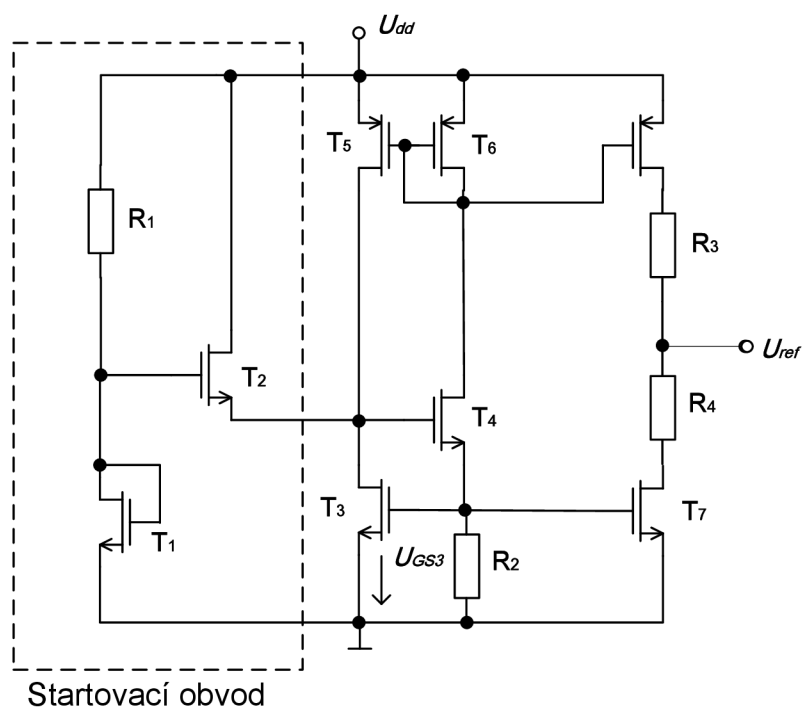
Samotný návrh převodníku DA byl rozdělen do několika bloků - návrh referenčního obvodu, sítě spínaných proudů, operačních zesilovačů, dekodéru a sítě spínačů. Každá z jednotlivých podkapitol se těmito bloky zabývá z hlediska návrhu a simulací jejich funkcí.

5.1 Obvody pro generování referenčního signálu

V mnoha obvodech je zapotřebí stabilní referenční napětí nebo proud. Aby byly tyto obvody stabilní, nesmí být závislé na vnějších změnách, zejména na teplotě nebo napájecím napětí. Reference je závislá na připojené zátěži a proto se používá oddělovací OZ, který oddělí zátěž, čímž se dosáhne zlepšení funkce referenčního obvodu.

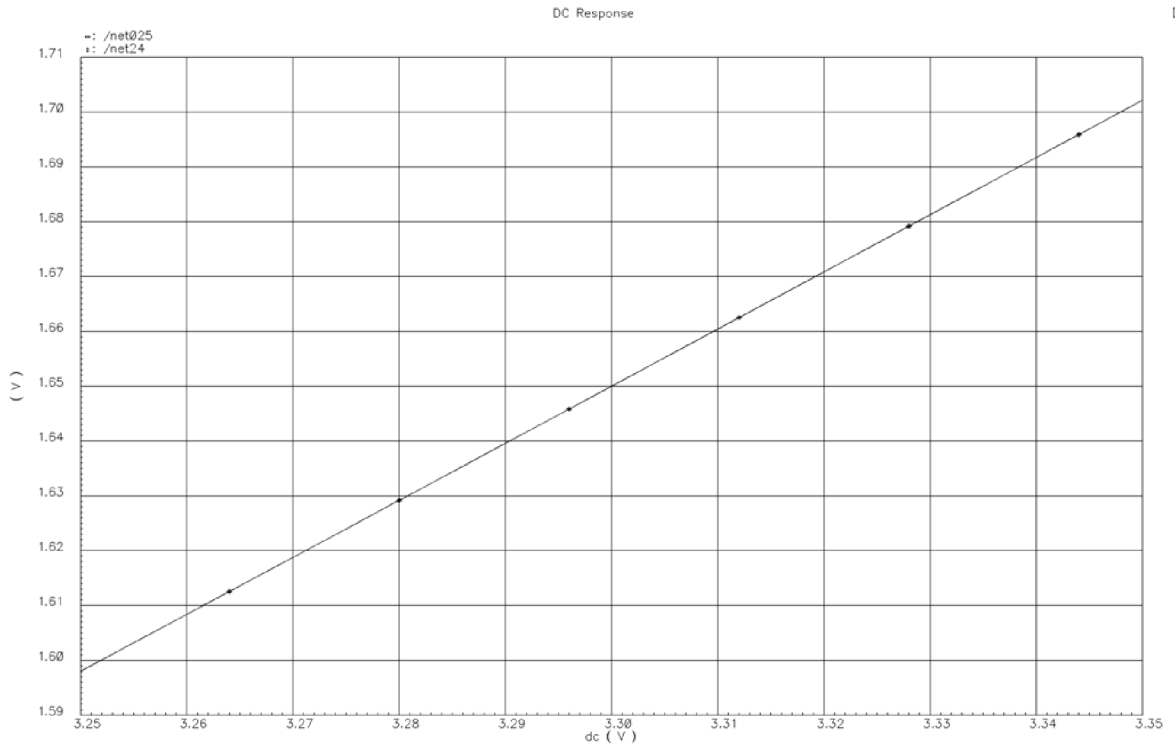
5.1.1 Napěťová reference

Funkcí obvodu napěťové reference je dodávat požadované a stabilní referenční napětí. Pro převodník DA byl zvolen zdroj napěťové reference tzv. "bootstrapped", kde k vytvoření proudu, který je následně využit jako referenční, se využívá napětí na aktivním prvku (tranzistoru). Tento proud nebo napětí tranzistoru je pak nezávislé na napájecím napětí. Obvod je nutné doplnit o přidavný obvod tzv. "startovací", který zajišťuje správné nastavení pracovního bodu napěťové reference. Zapojení je zobrazeno na obrázku 16.



Obr. 16: Zdroj referenčního napětí

Proudovými zrcadly tranzistorů T_5 a T_6 je zajištěno, že větvemi protéká stejný proud. Tento proud vytvoří úbytek napětí na tranzistoru T_3 . Stejný proud protéká i rezistorem R_2 . Jelikož jsou napětí U_{GS3} a U_{R2} ve společné smyčce, je dosaženo nastavení pracovního bodu. Napájecí napětí U_{DD} je 3,3 V a výsledné referenční napětí $U_{ref} = 1,65$ V. Poměrem velikosti odporu R_3 a R_4 dostaneme požadované napětí. Vliv změny referenčního napětí na změnu napájecího je zobrazen na obrázku 17, simulace corner a monte carlo jsou v příloze P1.

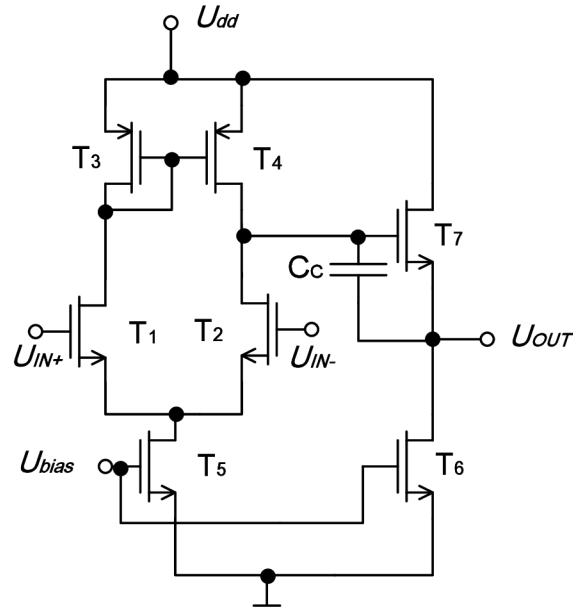


Obr. 17: Vliv změny referenčního napětí na změnu napájecího napětí

5.1.2 Návrh oddělovacího operačního zesilovače

Operační zesilovač se skládá ze dvou zesilovacích bloků. První je vstupní diferenční zesilovač (jeho úkolem je převádět zesílený rozdílový signál na signál jednoduchý) a druhým blokem je běžný investující zesilovač s aktivní zátěží. Obvod využívá jednoho retenčního proudu, který je stejný pro oba stupně OZ. Jak lze vidět na obrázku 18 převod rozdílového signálu na jednoduchý zajišťuje diferenciální pár T_1 a T_2 , který má jako aktivní zátěž proudové zrcadlo tvořené tranzistory T_3 a T_4 . Proud protékající T_1 je zrcadlen pomocí proudového zrcadla T_3 a T_4 do druhé větve páru a zde je odečten od proudu tranzistoru T_2 . Výsledný proud vytváří na výstupním odporu diferenčního páru jednoduchý výstupní napěťový signál. Tento signál je přiveden na hradlo tranzistoru T_7 , který tvoří

spolu s tranzistorem T_6 druhý zesilovací stupeň. Kapacita C_c je kompenzační kapacita zajišťující stabilitu OZ. Parametry navrženého oddělovacího zesilovače jsou uvedeny v tabulce 4.



Obr. 18: Operační zesilovač oddělující napětěvou a proudovou referenci

Při návrhu OZ je směrnici jeho využití. V případě oddělovacího OZ byly vedoucími parametry šířka kmitočtového pásma a malá napětěová nesymetrie. Při návrhu prvního stupně OZ je postupováno následnými kroky:

- Zvolíme výchozí parametry:
 - $GBW \geq 6$ MHz pro výpočet volím $GBW = 10$ MHz,
 - $L_{efektivni} = 0,35 \mu\text{m}$ pro výpočet uvažujeme $L = 2 \mu\text{m}$,
 - $U_{GS} - U_T = 0,26$ V volíme hodnotu kde se tranzistor nachází v oblasti silné inverze
 - $C_C = 3$ pF,
 - $C_L = 10$ pF,
 - faktor λ při výpočtech neuvažujeme.
- **Návrh prvního stupně operačního zesilovače**

$$GBW = \frac{g_{m1}}{2\pi C_C}, \quad (5.1)$$

$$g_{m1} = GBW \cdot 2\pi \cdot C_C,$$

$$g_{m1} = 10 \cdot 10^6 \cdot 2\pi \cdot 3 \cdot 10^{-12} = \mathbf{188,8 \mu S}.$$

kde

g_{m1} je transkonduktance tranzistoru T_1 ,

GBW je šířka kmitočtového pásma,

C_C je kompenzační kapacita.

Příklad výpočtu pro tranzistor T_1

$$I_D = \frac{g_{m1} \cdot (U_{GS} - U_t)}{2} \quad (5.2)$$

pak
$$I_D = \frac{188,8 \cdot 10^{-6} \cdot 0,26}{2} = 24,44 \mu A \cong \mathbf{25 \mu A}$$

Tranzistory v OZ se nacházejí v saturaci, proto po úpravě rovnice (2.1) dostaneme

$$\left(\frac{W}{L}\right)_1 = \frac{2 \cdot I_D}{Kp \cdot (U_{GS} - U_T)^2} \quad (5.3)$$

$$\left(\frac{W}{L}\right)_1 = \frac{2 \cdot 25 \cdot 10^{-6}}{166,1 \cdot 10^{-6} \cdot 0,26^2} = \mathbf{4,45}$$

kde

Kp je transkonduktanční konstanta tranzistoru NMOS ,

W/L je velikost tranzistoru T_1 ,

I_D je saturační proud tranzistoru T_1 ,

U_{GS} je napětí gate source tranzistoru T_1 ,

U_T je prahové napětí tranzistoru T_1 .

Diferenční pár má velikost $W = 8,9 \mu m$, $L = 2 \mu m$. Proudovým zdrojem bude protékat dvojnásobný proud než u diferenčního páru $I_{bias} = 2I_D$. Proto velikost tranzistorů NMOS proudového zdroje bude $W_5 = 2W_l = 17,8 \mu m$. Velikost tranzistoru PMOS aktivní zátěže je dán

$$\left(\frac{W}{L}\right)_3 = \frac{2 \cdot I_D}{Kp \cdot (U_{GS} - U_T)^2} \quad (5.4)$$

$$\left(\frac{W}{L}\right)_3 = \frac{2 \cdot 25 \cdot 10^{-6}}{38,9 \cdot 10^{-6} \cdot 0,26^2} = \mathbf{19,01}$$

Aktivní zátěž má velikost $W = 38,02 \mu\text{m}$, $L = 2 \mu\text{m}$. Biasovací napětí $U_{bias} = 0,86 \text{ V}$, které je dodáváno referenčním obvodem.

- Návrh druhého stupně operačního zesilovače

Druhý stupeň operačního zesilovače má velký vliv na stabilitu. Na kmitočtové charakteristice vznikne druhý pól přenosu p_2 , který může zapříčinit nestabilitu OZ. První pól p_1 nazýváme dominantní, protože ovlivňuje kmitočtové vlastnosti v oblasti kde je zesílení větší než 1. Abychom zajistili, že druhý pól p_2 bude dostatečně vzdálen od prvního pólu p_1 , je nutná kompenzace, v tomto případě kompenzačním kondenzátorem C_C [12]. Pro výpočet je vzdálenost druhého pólu

$$p_2 = 3 \cdot GBW \quad (5.5)$$

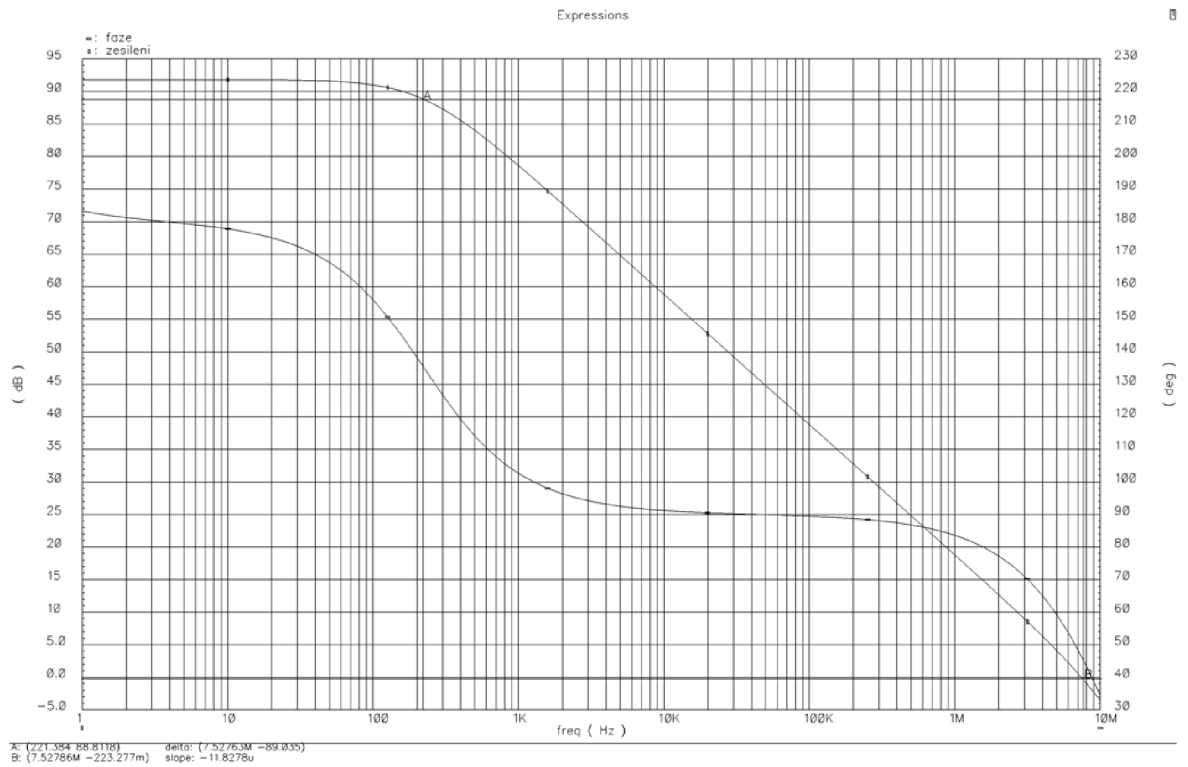
$$\frac{3 \cdot g_{m1}}{2\pi C_C} = \frac{g_{m7}}{2\pi C_L} \quad (5.6)$$

$$g_{m7} = 3 \cdot g_{m1} \cdot \frac{C_L}{C_C} = \mathbf{544,5 \mu\text{S}}$$

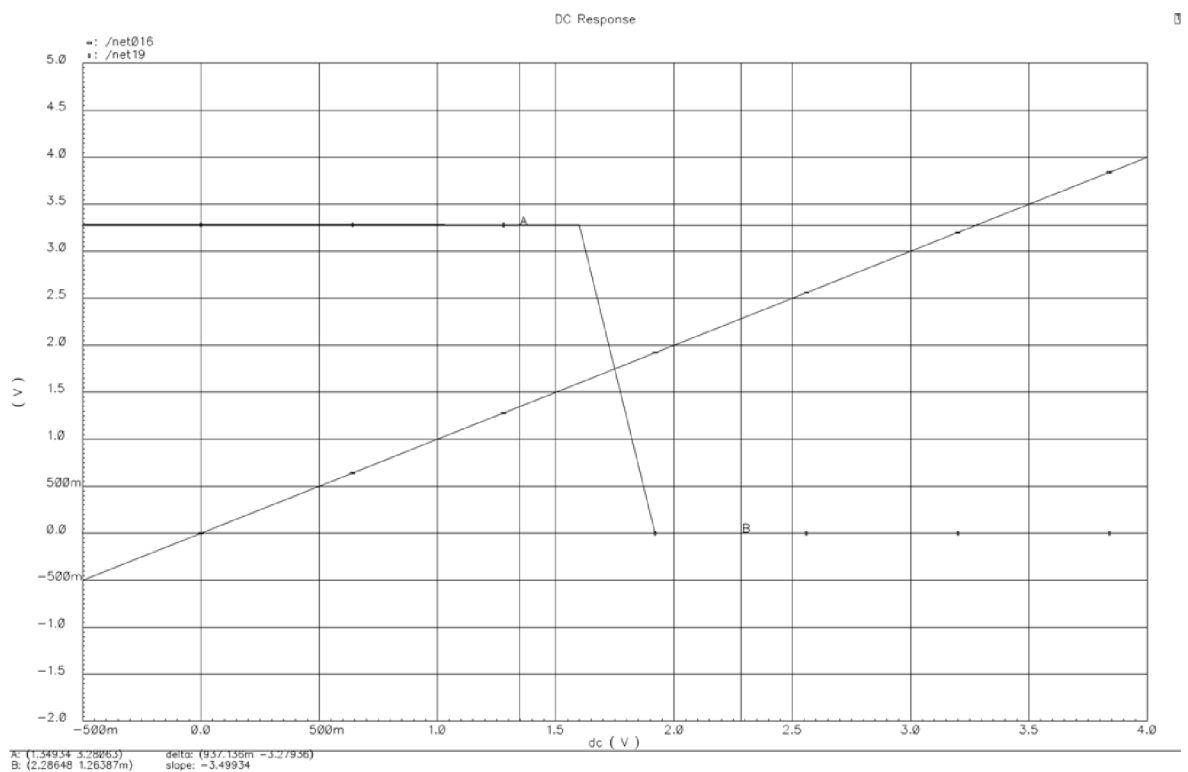
$$I_7 = \frac{g_{m7} \cdot (U_{GS} - U_t)}{2} = \mathbf{236 \mu\text{A}} \quad (5.7)$$

Proud druhého stupně $I_7 = 9,4I_D$ a proto budou i ve stejném poměru velikosti tranzistorů NMOS a PMOS.

Kmitočtovou charakteristiku s průběhem zesílení A_o a fázové charakteristiky zobrazuje obrázek 19. Napěťový rozsah operačního zesilovače je zobrazen na obrázku 20.



Obr. 19: Kmitočtová charakteristika navrhzeného OZ



Obr. 20: Rozsah OZ zapojený v invertujícím zapojení

Pokročilé simulace jsou uvedeny v příloze P2.

Vhodným návrhem můžeme minimalizovat systematický offset. Výsledný offset σU_o je dán kombinací chyb σU_{dif} diferenciálního stupně a chyby souběhu aktivní zátěže $\sigma \Delta I_3$.

- Výpočet souběhu dvou tranzistorů

Předpokládejme proudové zrcadlo tvořené stejně velikými tranzistory T_3 a T_4 , kterými protéká stejný proud. Proud $I_3 = I_4 = 25 \mu\text{A}$ velikost tranzistorů je $W = 53,25 \mu\text{m}$ a $L = 2 \mu\text{m}$.

$$g_{mp} = \sqrt{2 \cdot Kp \cdot I_3 \cdot \frac{W}{L}} = 192,2 \mu\text{S} . \quad (5.8)$$

pak dosazením do rovnice (4.6) dostaneme

$$\left(\frac{\sigma \Delta I_3}{I_3}\right)^2 = \frac{A_\beta^2}{W * L} + C_\beta^2 + \left(\frac{g_{mp}}{I_3}\right)^2 * \left(\frac{A_{Ut}^2}{W * L} + C_{Ut}^2\right) \quad (5.9)$$

$$\left(\frac{\sigma \Delta I_3}{I_3}\right)^2 = \frac{1,5\mu^2}{76\mu} + \left(\frac{199,8\mu}{25u}\right)^2 \cdot \left(\frac{9,5n^2}{76\mu}\right)$$

$$\sigma \Delta I_3 = 2,23 \%$$

Jednotlivé mezivýpočty z rovnic (4.4) a (4.5) sigma beta $\sigma\beta = 1,17 \%$ a sigma U_t $\sigma U_t = 2,08 \text{ mV}$.

- Souběh diferenčního páru

Kde $I_D = 25 \mu\text{A}$, velikost tranzistorů je $W = 8,9 \mu\text{m}$ a $L = 2 \mu\text{m}$, $g_{m1} = 199,6 \mu\text{S}$. Sigma beta $\sigma\beta = 1,575 \%$, $\sigma U_t = 5,08 \text{ mV}$ a $\sigma \Delta I_1 = 4,31 \%$.

Souběh tranzistorů MOS se zlepšuje s velikostí tranzistoru MOS (rostoucí odstup $U_{GS} - U_t$), tím ale klesá jeho transkonduktance, což snižuje schopnost eliminovat chybu (nedokonalý souběh) aktivní zátěže. V simulačním rozhraní Cadence byly testovány různé rozměry, které snižovaly vstupní nesymetrii operačního zesilovače. V tabulce 3 jsou uvedeny simulované hodnoty pro různě velké tranzistory. Největší podíl na vstupní nesymetrii měly tranzistory diferenčního páru.

Tab. 3: Simulované hodnoty souběhu operačního zesilovače

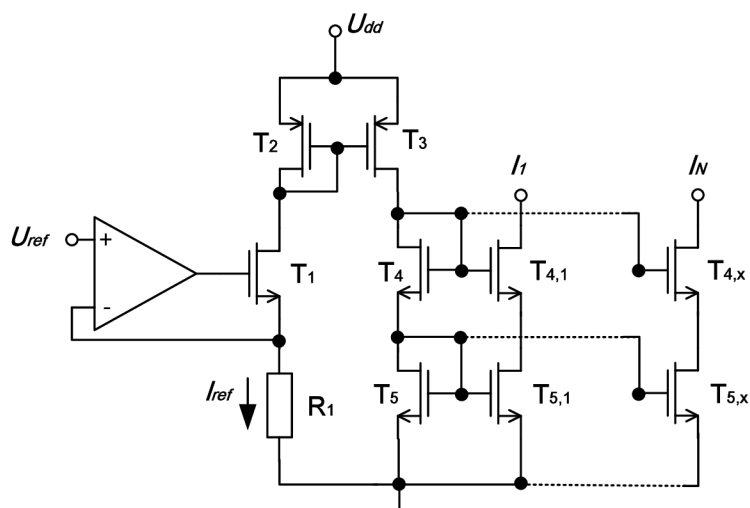
Parametr	$\sigma\beta$	σU_t	$\sigma\Delta I_{ds}$
tranzistor T ₁ ($W = 8,9 \mu\text{m}$; $L = 2 \mu\text{m}$)	1,55 %	6,36 mV	4,59 %
tranzistor T ₃ ($W = 38 \mu\text{m}$; $L = 2 \mu\text{m}$)	384 m%	2,49 mV	1,74 %
celková nesymetrie	5,298 $\mu\text{V} \pm 9,626 \text{ mV}$		
tranzistor T ₁ ($W = 71,2 \mu\text{m}$; $L = 16 \mu\text{m}$)	256 m %	1,62 mV	1.17 %
tranzistor T ₃ ($W = 57 \mu\text{m}$; $L = 3 \mu\text{m}$)	186 m%	719 μV	543 m %
celková nesymetrie	16,28 $\mu\text{V} \pm 2,564 \text{ mV}$		

Tab. 4: Naměřené parametry oddělovacího OZ

Parametr	Zkratka	Hodnota
zesílení otevřené smyčky	A_{UO}	91,8 dB
šířka pásma	GBW	7,5 MHz
fázová bezpečnost	PM	135,6°
amplitudová bezpečnost	AM	45,5°
systematická nesymetrie	U_{sys}	16,28 μV
náhodná vstupní napěťová nesymetrie	U_{offset}	2,564 mV
výstupní napěťový rozsah	ΔU_{OUT}	0,106 – 3.27 V

5.1.3 Proudová reference

Obvod využívá OZ, který je zapojen jako sledovač. Napětí U_{ref} vytvoří na odporu R_I referenční proud I_{ref} . Pro dosažení vysokého výstupního odporu r_{OUT} je na výstupu použito kaskodové proudové zrcadlo. Přesnost proudu předně závisí na přesnosti odporu R_I . Proto jsou dvě možnosti realizace proudové reference. Za prvé vhodným trimováním nastavit přesný odpor. Odpor R_I je v layoutu nahrazen odporem R_{HIPO} ($R = 1 \text{ k}\Omega/\square$), který se rozdělí do několika menších odporů řazených do série, čímž se zlepší přesnost a souběh rezistoru R_I . Za druhé je odpor do obvodu připojován externě. Zapojení zdroje referenčního proudu je zobrazeno na obrázku 21



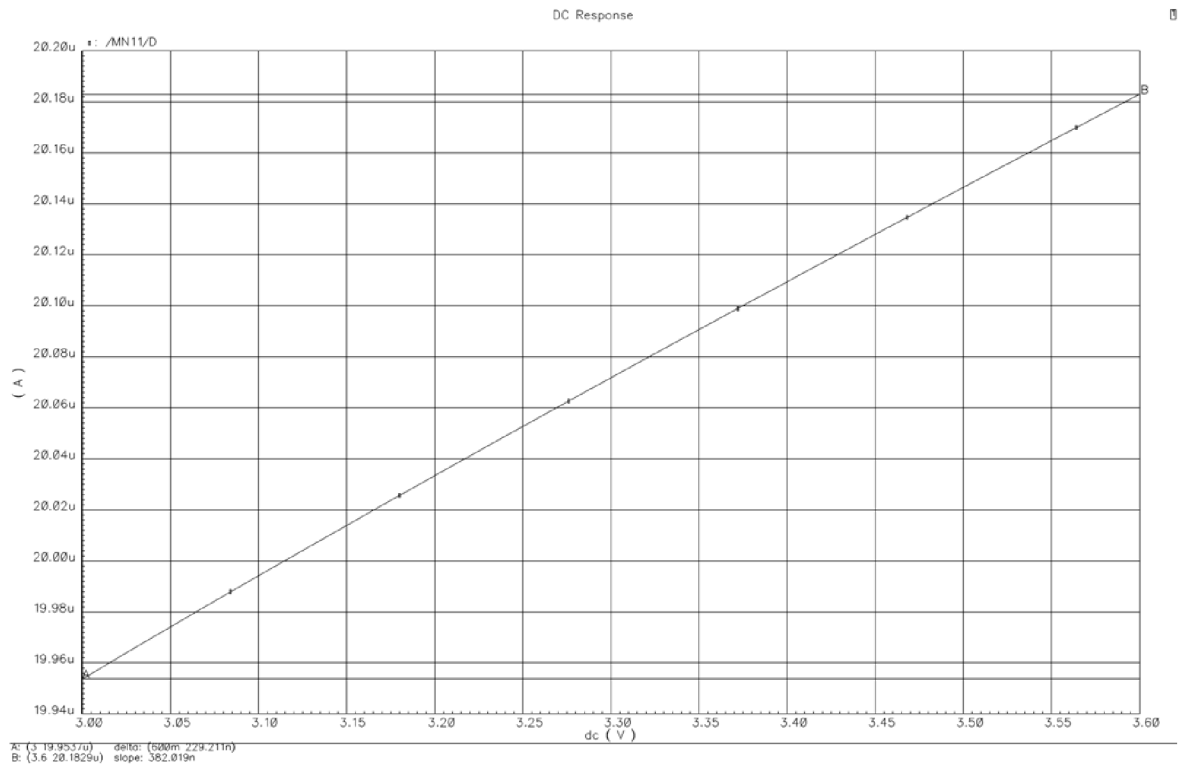
Obr. 21: Zapojení proudové reference

Úbytek napětí na výstupních tranzistorech je dán (minimální napětí na elektrodě drain tranzistoru $T_{4,x}$, kdy jsou oba tranzistory kaskody v režimu saturace rovní

$$U_{4,x} = U_{GS5,x} + U_{DSmin4,x} = U_{Tn} + 2 \cdot U_{DSmin4,x} \quad (5.10)$$

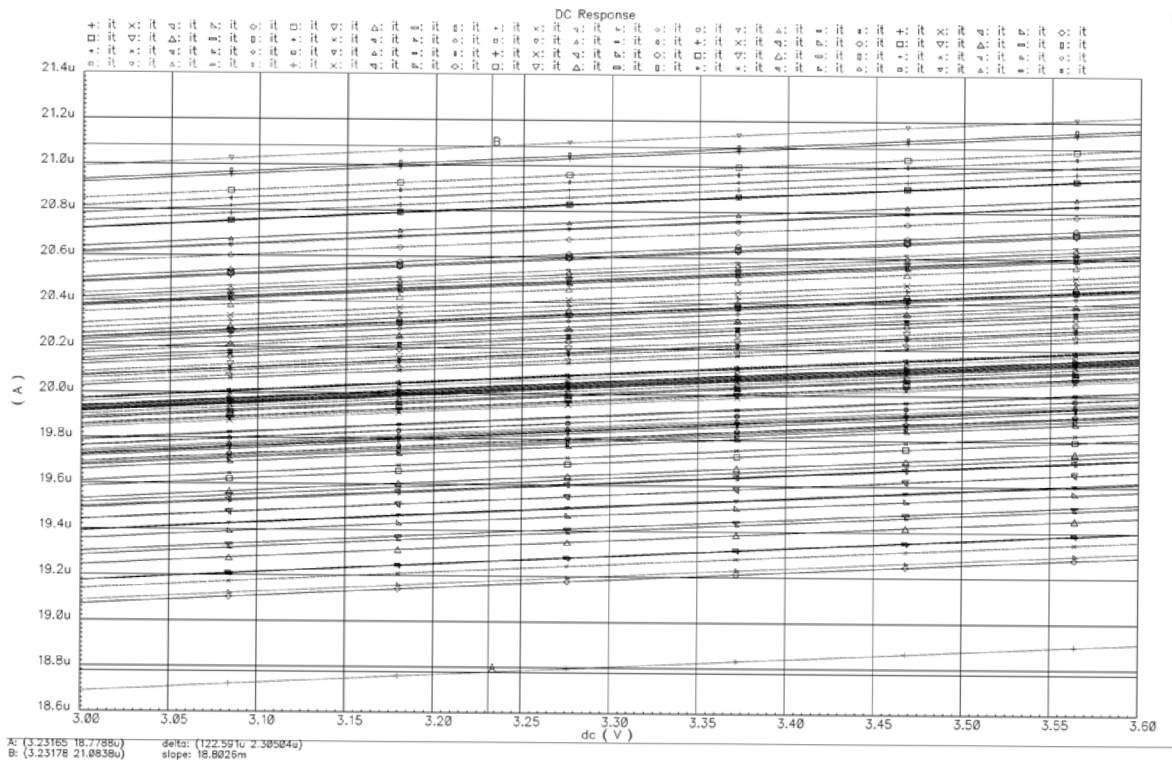
kde $U_{GS5,x}$ je napětí mezi gate a source tranzistoru $T_{5,x}$, U_{Tn} je prahové napětí tranzistoru NMOS ($U_{Tn} = 0.6 \text{ V}$), $U_{DSmin4,x}$ je minimální napětí mezi elektrodami drain a source tranzistoru $T_{4,x}$, kdy je tranzistor v režimu saturace. Velikost referenčního proudu byla zvolena $I_{ref} = 200 \mu\text{A}$. Hodnota odporu R_1 je dána vztahem

$$R_1 = \frac{U_{ref}}{I_{ref}} = \frac{1,65}{200\mu} = 8250 \Omega \quad (5.11)$$



Obr. 22: Změna výstupního proudu na malé změně napájecího napětí

Na obrázku 22 je zobrazen vliv změny napájecího napětí ($U_{DD} = \pm 0.3V$) na I_{ref} . Souběh proudového zrcadla u referenčního obvodu byl změřen simulací monte carlo viz obrázek 23.



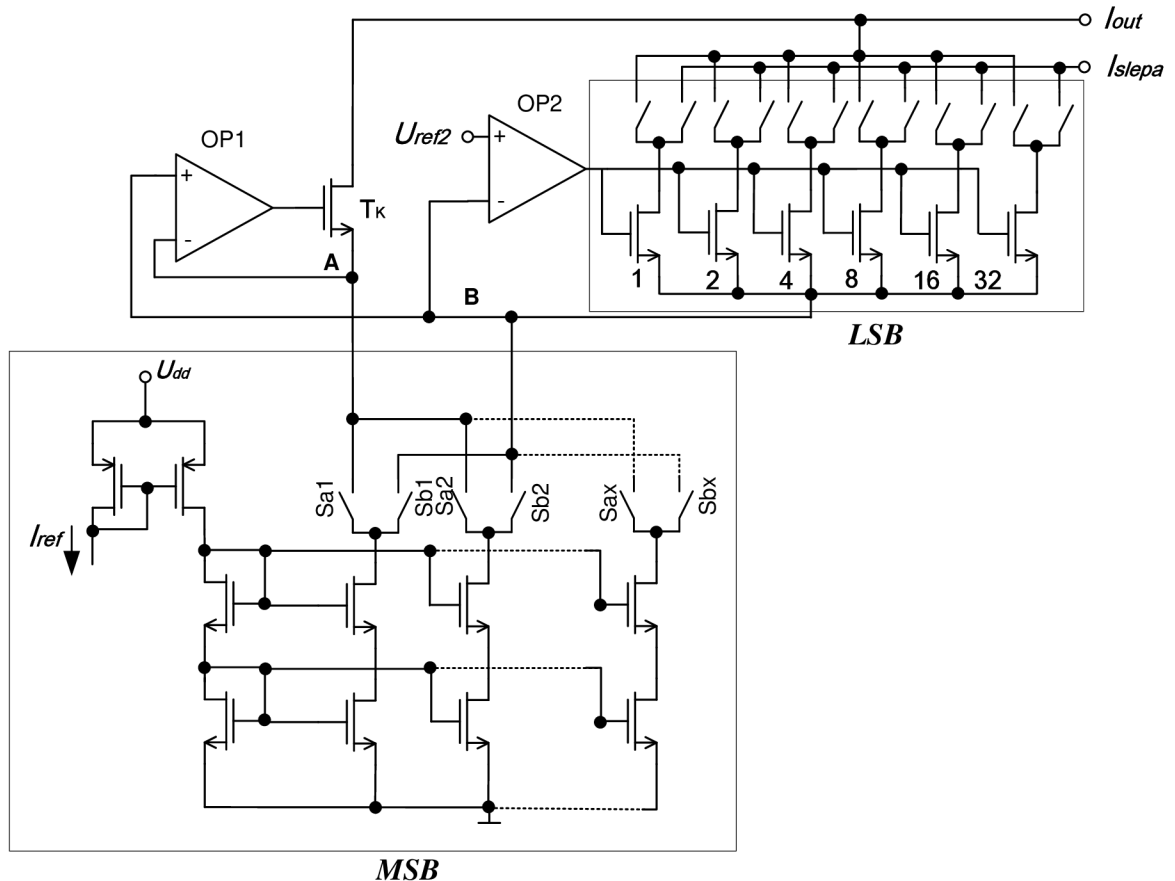
Obr. 23: Monte carlo I_1

Proud I_1 je závislý na souběhu tranzistorů proudového zrcadla. Výpočet souběhu proudového zrcadla je uveden v kapitole 5.1.2. Simulací monte carlo byly zjištěny krajní hodnoty pro proud $I_{ideal} = 20 \mu\text{A}$, kde $I_{1min} = 18,77 \mu\text{A}$ a $I_{1max} = 21,08 \mu\text{A}$.

Dále je tento proud snížen poměrem velikosti tranzistoru proudového zrcadla. Pak proud $I = 32 \mu\text{A}$. Pro prvních 6 bitů je tento proud váhován poměrem velikosti tranzistorů W/L . To znamená, že hodnota proudu LSB je $I/64 = 500 \text{ nA}$ a velikost tranzistoru T_{bit1} je 32-krát menší než tranzistoru T_{bit6} . Pro tranzistory bloku MSB je proudu $I_2 = 32 \mu\text{A}$.

5.2 Obvody pro převod číslcového signálu na analogový signál

Pro návrh převodníku DA byl zvolen převodník složený z části binárně váhovaných proudových zdrojů a jednotkových zdrojů proudů. Jejich spojením se snížily nevýhody jednotlivých zapojení např. přechodové špičky, velikost zabíranou na čipu. Pro zvýšení přesnosti je odvod rozdělen do dvou bloků viz. obrázek 24 [11].



Obr. 24: Zjednodušené schéma zapojení NMOS převodníku DA

Blok *MSB* se skládá z nejvyšších 4 bitů, které jsou tvořeny jednotkovými zdroji proudů, nevýhodou zapojení je počet proudových zdrojů, který je roven 2^{n-1} . V tomto případě se jedná o 15 tranzistorů. Každý proudový zdroj v tomto bloku je připojen na dvojici spínačů. Spínače S_{ax} jsou ovládány pomocí termometrického dekodéru a S_{bx} jsou ovládány dekodérem 1 z N [11],[13].

Blok *LSB* obsahuje nižších 6 bitů a je tvořen váhovanou proudovou sítí, kde počet tranzistorů odpovídá n , tedy 6 tranzistorů. Každý proudový zdroj je spojen s dvojicí spínačů, které spojují výsledný proud s proudem I_{OUT} nebo slepou větví I_{LSB} . Napětí U_{ref} nastavuje pracovní bod binárně váhovaných zdrojů proudů.

Spínače jsou dále doplněny o obvod latch, který zajišťuje příchod logického signálu ve stejný čas. Obvod latch je řízen hodinovým signálem.

Díky operačnímu zesilovači OP2 pracuje blok *LSB* jako aktivní kaskoda pro blok *MSB*, kde invertující vstup je připojen na uzel B a neinvertující vstup na referenční napětí U_{ref2} , které zajišťuje, že proudové zdroje z jemného bloku jsou v saturačním režimu. Operační zesilovač OP1 je připojen invertujícím vstupem na uzel A a neinvertujícím vstupem na uzel B. Tím je rozdíl mezi napětím uzlu A a B dán pouze napěťovou nesymetrií operačního zesilovače OP1. V obou případech byl použit operační tranzistor z obrázku 17.

5.2.1 Dekodér 4 z 15

Dekodér převádí binární kód na tzv. „termometrický“ kód. U termometrického kódu je eliminována chyba špičky, jelikož při nárůstu logické hodnoty na vstupu dekodéru výstup vždy poroste - například při změně mezi 7 a 8 což v binárním kódu znamená přepnutí mezi 0111 a 1000, čtyři bity jsou změněny za jeden takt. Tato změna má za následek vznik přechodové špičky. V případě kódu 4 z 15 by to byla změna z 000 0000 0111 1111 na 000 0000 1111 1111, dochází tedy pouze ke změně jednoho stavu, tedy jednoho tranzistoru, čímž se vyhneme přechodovým špičkám. Pravdivostní tabulka je zobrazena v tabulce 5.

Tab. 5: Pravdivostní tabulka dekodéru 4 z 15

binární kód	kód 4 z 15
0000	000 0000 0000 0000
0001	000 0000 0000 0001
0010	000 0000 0000 0011
0011	000 0000 0000 0111
0100	000 0000 0000 1111
0101	000 0000 0001 1111
0110	000 0000 0011 1111
0111	000 0000 0111 1111
1000	000 0000 1111 1111
1001	000 0001 1111 1111
1010	000 0011 1111 1111
1011	000 0111 1111 1111
1100	000 1111 1111 1111
1101	001 1111 1111 1111
1110	011 1111 1111 1111
1111	111 1111 1111 1111

Pro vstup dekodéru byly vybrány první čtyři *MSB* bity, kde bit 1 = $B_1 = MSB$ a bit 4 = $B_4 = MSB-3$. Při převodu binárního kódu na 4 z 15 dostaneme 15 výstupů, kde $D_{15} = MSB$ a $D_1 = LSB$. V souladu s pravdivostní tabulkou 4 lze logické vztahy vyjádřit takto:

$$D_1 = B_1 + B_2 + B_3 + B_4$$

$$D_2 = B_1 + B_2 + B_3$$

$$D_3 = B_1 + B_2 + B_3 \cdot B_4$$

$$D_4 = B_1 + B_2$$

$$D_5 = B_1 + B_2 \cdot (B_3 + B_4)$$

$$D_6 = B_1 + B_2 \cdot B_3$$

$$D_7 = B_1 + B_2 \cdot B_3 \cdot B_4$$

$$D_8 = B_1$$

$$D_9 = B_1 \cdot (B_2 + B_3 + B_4)$$

$$D_{10} = B_1 \cdot (B_2 + B_3)$$

$$D_{11} = B_1 \cdot (B_2 + B_3 \cdot B_4)$$

$$D_{12} = B_1 \cdot B_2$$

$$D_{13} = B_1 \cdot B_2 \cdot (B_3 + B_4)$$

$$D_{14} = B_1 \cdot B_2 \cdot B_3$$

$$D_{15} = B_1 \cdot B_2 \cdot B_3 \cdot B_4$$

Schéma zapojení na hradlové úrovni je zobrazeno v příloze. Obvod je tvořen hradly AND, OR a invertor, které jsou tvořeny v technologii CMOS, jejichž vnitřní zapojení je zobrazeno v příloze P3.

5.2.2 Dekodér 1 z N

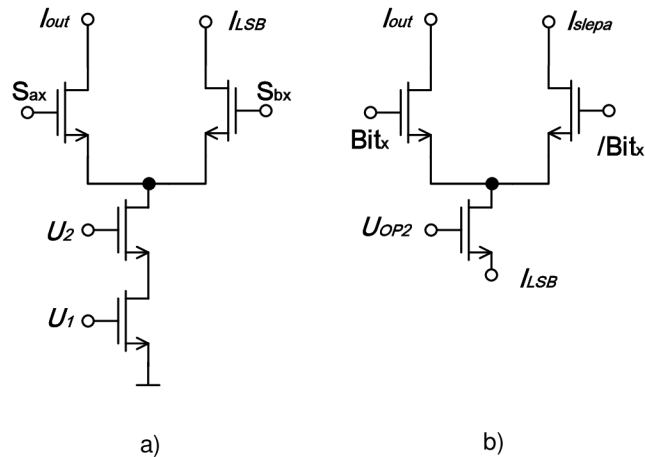
Dekodér 1 z N je definován pravdivostní tabulkou (viz. tabulka 6). Podobně jako dekodér 4 z 15 je složen z logických hradel typu AND a invertor. Díky tomuto dekodéru jsou ovládány spínače S_{bx} a tím je umožněna funkce bloku *LSB*. Schéma zapojení je připojeno v příloze P3

Tab. 6: Pravdivostní tabulka dekodéru 1 z N

binární kód	kód 1 z N
0000	000 0000 0000 00001
0001	000 0000 0000 00010
0010	000 0000 0000 00100
0011	000 0000 0000 01000
0100	000 0000 0000 10000
0101	000 0000 0001 00000
0110	000 0000 0010 00000
0111	000 0000 0100 00000
1000	000 0000 1000 00000
1001	000 0001 0000 00000
1010	000 0010 0000 00000
1011	000 0100 0000 00000
1100	000 1000 0000 00000
1101	001 0000 0000 00000
1110	010 0000 0000 00000
1111	100 0000 0000 00000

5.2.3 Přepínací pole

Přepínací pole se skládá z 21 párů NMOS spínačů, viz obrázek 25, které jsou připojeny na zdroje proudu a řízeny příchozí logickou hodnotou. Na vstup těchto spínačů bývá zpravidla připojen obvod latch, jehož funkce a zapojení bude probrána v kapitole 5.2.3.

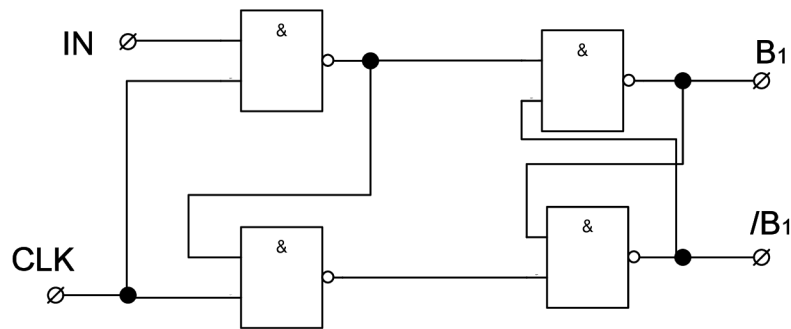


Obr. 25: a) Spínače NMOS pro blok *MSB* řízeny dekodéry 4 z 15 a 1 z N b) Spínače NMOS pro blok *LSB*

Spínače se skládají z diferenčních párů tranzistorů NMOS, jež se nacházejí v saturačním režimu. Velikost tranzistorů je přímo úměrná velikosti protékajícího proudu. Souběh těchto tranzistorů má velký vliv na vznik přechodových špiček, které vznikají při změně stavu více spínačů.

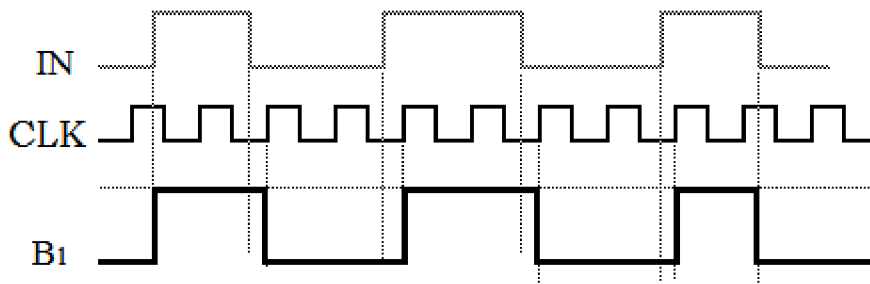
5.2.4 Latch

Obvod latch bývá předřazený před obvod spínačů, jeho funkce je následující: obvod latch pozdrží příchozí hodnotu do příchodu hodinového signálu, tím je zajištěno, že příchozí logické slovo je zpracováno zároveň. Tato jednoduchá paměť je realizována jako klopný obvod typu D, řízený hodinovým signálem CLK. Schéma zapojení na hradlové úrovni je zobrazeno na obrázku 26.



Obr. 26: Latch

Funkce obvodu latch je zobrazena na obrázku 27.



Obr. 27: Funkce obvodu latch

5.2.5 Spínané proudy

Obvod je rozdělen na 2 části. Prvních 6 bitů je tvořeno 6 zdroji proudu, realizovaných proudovými zrcadly, které se nacházejí v režimu saturace, jejichž poměr W/L a saturační proudy I_D jsou v poměru k referenčnímu tranzistoru. V případě že $LSB = 500 \text{ nA}$ pak $LSB+5 = 16 \mu\text{A}$. Po úpravě rovnice (5.3) dostaneme rovnici

$$\left(\frac{W}{L}\right)_{LSB} = 2^n \cdot \left(\frac{W}{L}\right)_{LSB+n} \quad a \quad I_{LSB} = 2^n \cdot I_{LSB+n} \quad (5.12)$$

$$\left(\frac{W}{L}\right)_{LSB} = \frac{2 \cdot I_{LSB}}{Kp \cdot (U_{GS} - U_{Tn})^2} = \frac{1\mu}{166,1\mu \cdot 0,2^2} = 0,15 \quad (5.13)$$

Zatěžovací kapacita, která je připojena na OP2 je dána součtem parazitních kapacit proudových zdrojů. Kapacita v technologii I3T25 je definována $C_{plocha} = 4 \text{ fF}/\mu\text{m}^2$. Celková plocha tranzistoru bloku *LSB* je $A_{plocha} = 1278,9 \mu\text{m}^2$. Potom $C_{plochaLSB} = 5,116 \text{ pF}$

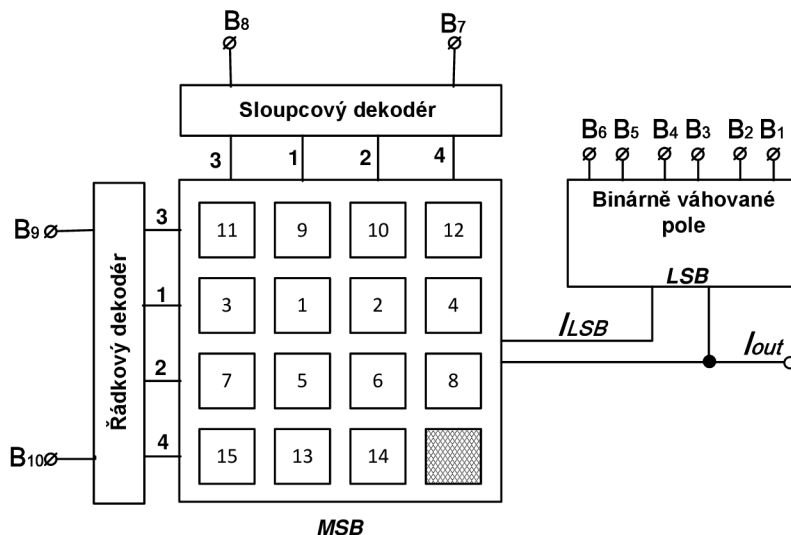
Poslední 4 bity jsou tvořeny skupinou stejně velkých proudových zdrojů a realizovány jako 15 kaskodních proudových zrcadel, jejichž velikost W/L odpovídá saturačnímu proudu $I_D = 32 \mu\text{A}$ pak

$$\left(\frac{W}{L}\right)_{bit7} = \frac{2 \cdot I_{bit7}}{Kp \cdot (U_{GS} - U_{Tn})^2} = \frac{64\mu}{166,1\mu \cdot 0,2^2} = 9,65 \quad (5.14)$$

Kapacita bloku *MSB* je při ploše $A_{plocha} = 443,3 \mu\text{m}^2$ rovna $C_{plochaMSB} = 1,773 \text{ pF}$. Celkové zapojení navrhovaného převodníku DA je připojeno v příloze P4

5.3 Maticové rozložení převodníku DA

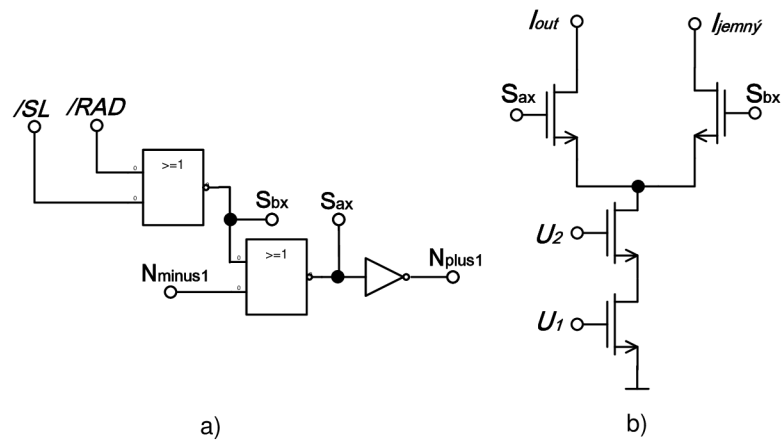
Při měření přechodové charakteristiky docházelo k velkým přechodovým špičkám viz kapitola 6.1. V publikacích je uváděné maticové uspořádání proudových zdrojů, které vhodným přepínáním snižuje nedokonalý souběh proudových zdrojů a tím snižuje přechodové špičky. Blok *LSB* zůstane jako sít' binárně váhovaných zdrojů proudu, a blok *MSB* bude členěn v matici viz. obrázek 28.



Obr. 28: Blokové schéma 10-bitového převodníku DA s náhodným rozložením spínačů

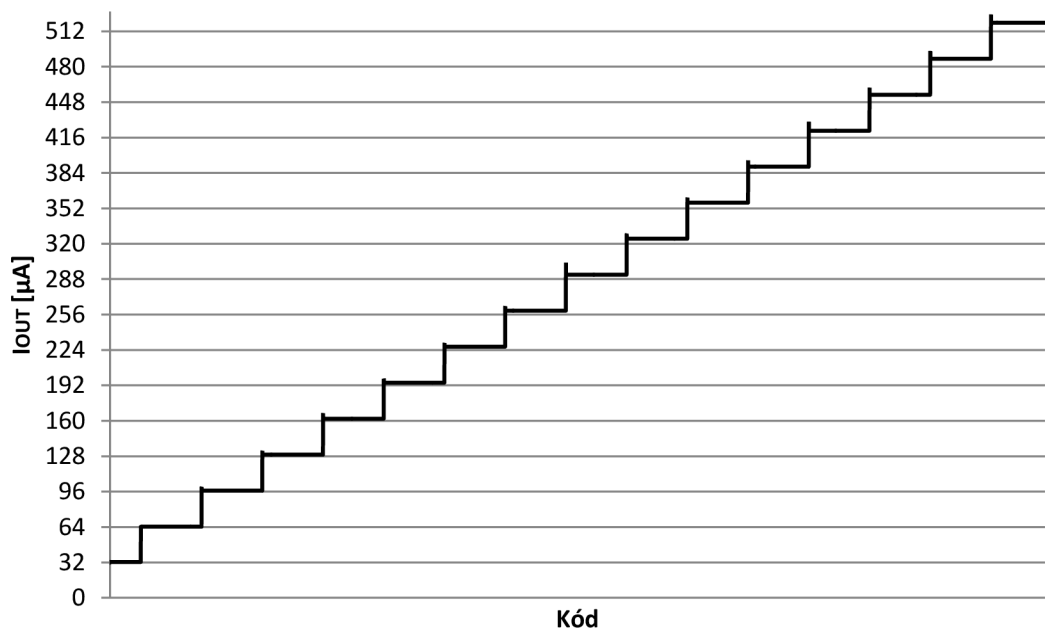
Velké chyby linearity v klasickém řazení spínačů jsou způsobeny jednotlivými chybami jednotlivých buněk. V klasickém spínání se obvykle eliminuje chyba při zdvojnásobení číslicového vstupu. Pro zrušení více typů chyb může být použito víceúrovňové spínání. Správným spínáním jednotlivých buněk se eliminuje chyba jedné buňky. Se zvyšováním číslicového vstupu je symetrická chyba způsobená proudovou buňkou zrušena správným výběrem proudové buňky, tak vzrůstající chyba způsobená dvojicí proudových buněk je zrušena dvojicí proudových buněk vybraných postupně [10],[13].

Každá buňka matice obsahuje tranzistory proudového zrcadla, dva spínací tranzistory a logický obvod viz obrázek 29. Logický obvod obsahuje dekodér řádku a sloupce se stavem předchozího sepnutí spínače. Řádkový a sloupcový dekodér jsou typu 1 z N s negativním logickým výstupem (negativní hodnota zjednodušuje použitý logický obvod). Signál $N_{\text{minus}1}$ je výstup předchozí buňky, na prvním stupni je připojen na log. 0. Jednotlivé spínače bloku *MSB* jsou připojeny na konektory S_{out} a S_{LSB} . Přidané dekodéry pro matici zvyšují velikost layoutu.



Obr. 29: Blok *MSB* a) dekodér řádku a sloupce b) proudová buňka se spínači

Funkce bloku *MSB* je zobrazena na obrázku 30, kde jsou inkrementovány nejvyšší 4 bity převodníku DA. Tím je ukázána funkčnost bloku *MSB*.



Obr. 30: Převodní charakteristika nejvyšších 4 bitů

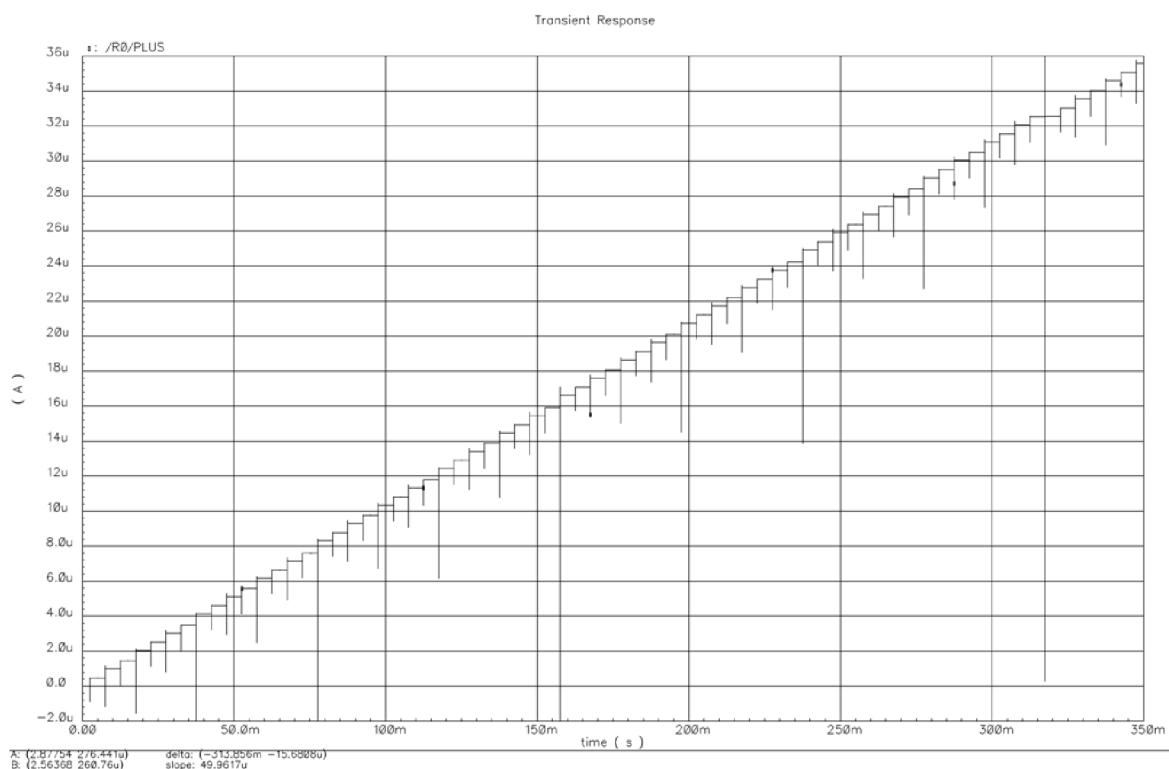
Schéma zapojení samotného převodníku DA je zobrazeno v příloze P4.

6 Simulace navrženého převodníku

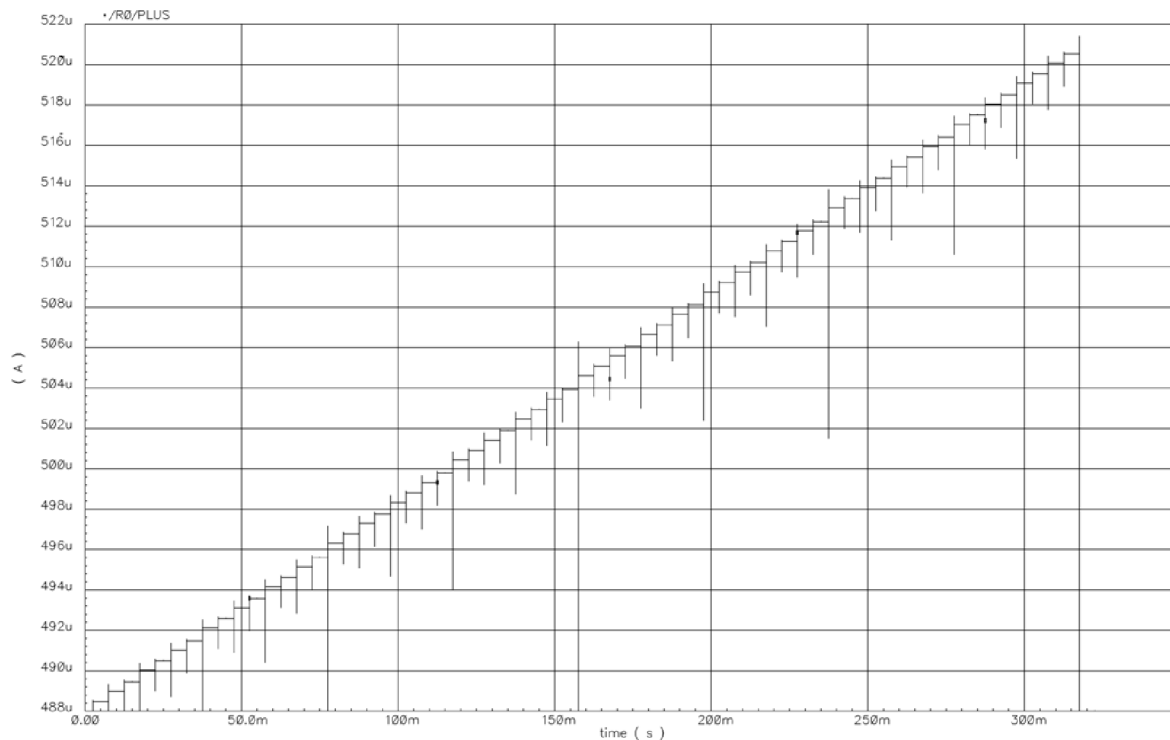
Převodník DA byl simulován pomocí programu Cadence s modely v technologii I3T25. V této kapitole budou vyhodnoceny parametry 10 bitového převodníku DA. Parametry jsou ověřeny celým rozsahem pracovních teplot (průmyslový teplotní rozsah -40°C až +85°C). Jedna simulace, v programu Cadence, trvala přibližně 4 – 5 hodin. Kvůli časové náročnosti byly změřeny vzorky minima a maxima. Výstupní hodnoty těchto simulací byly použity pro výpočty integrální a diferenciální nelinearity převodníku DA.

6.1 Přejchodová charakteristika

Na vstup je připojena ideální 10 bitová čítačka, která inkrementuje o jednu hodnotu za jeden takt hodin. Výstup je odečítán ve formě proudu.



Obr. 31: Přejchodová charakteristika převodníku DA – hodnoty LSB



Obr. 32: Přechodová charakteristika převodníku DA – hodnoty MSB

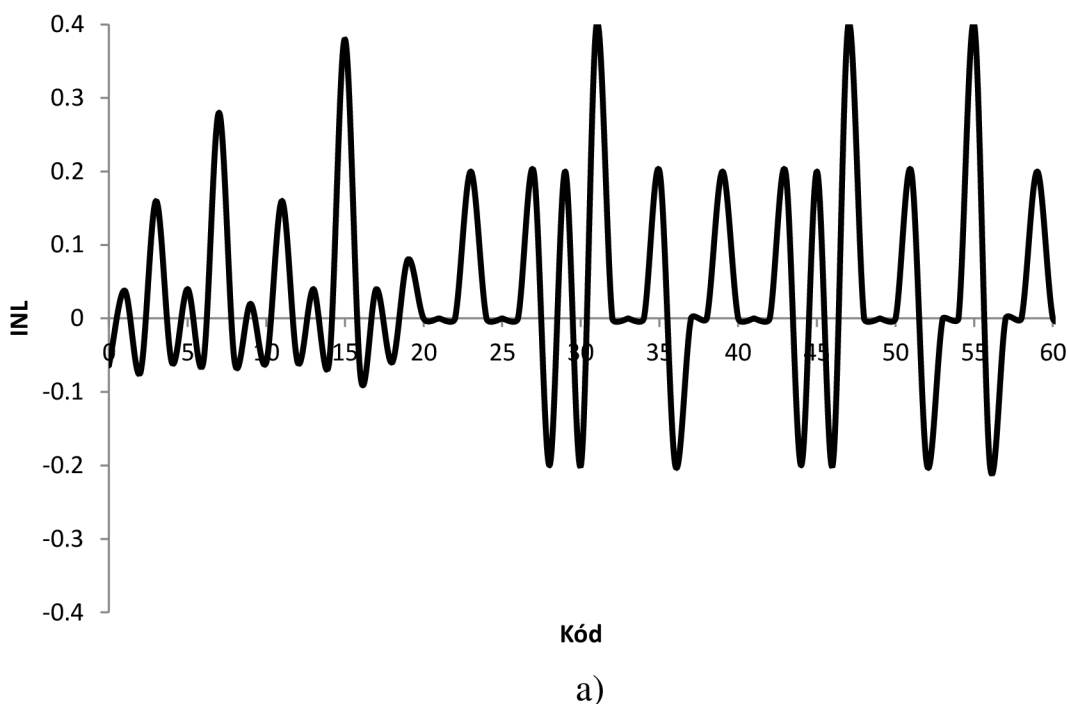
Jak lze vidět z obrázku 31 a 32, kde vstupní digitální kód je reprezentován časovou osou a výstup reprezentován proudem, jedna digitální hodnota odpovídá velikosti proudu. Tento proud je následně převeden, pomocí převodníku na napětí.

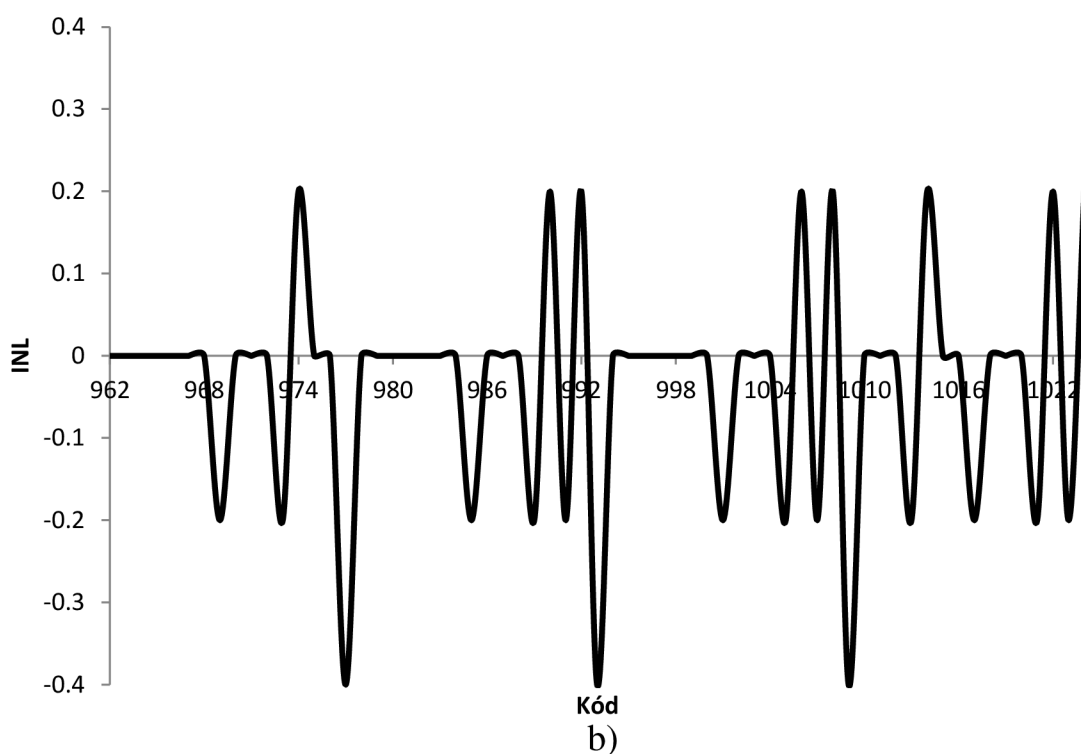
6.2 Integrální nelinearita

V ideálním případě by měly být středy všech kvantovacích úrovní rozloženy ve stejných vzdálenostech na přímce, ale u skutečného převodníku jsou středy kvantovacích úrovní mimo tuto ideální přímku a skutečná charakteristika je potom tvarově deformována. Parametr INL vyjadřuje velikost vychýlení středu LSB od ideální převodové charakteristiky. Hlavní dopad této chyby je především ve zkreslení amplitudy výchozího signálu.

$$INL_{max} = \frac{LSB_{real,max} - LSB_{ideal}}{LSB} = \pm 0,3LSB \quad (6.1)$$

Kde $LSB_{real,max}$ je maximální hodnota navrženého převodníku. Z hodnoty INL lze usuzovat, že převodník DA je monotonií, protože $INL \leq \frac{1}{2}LSB$. Graf hodnot INL pro kód LSB a MSB je zobrazen na obrázku 33.





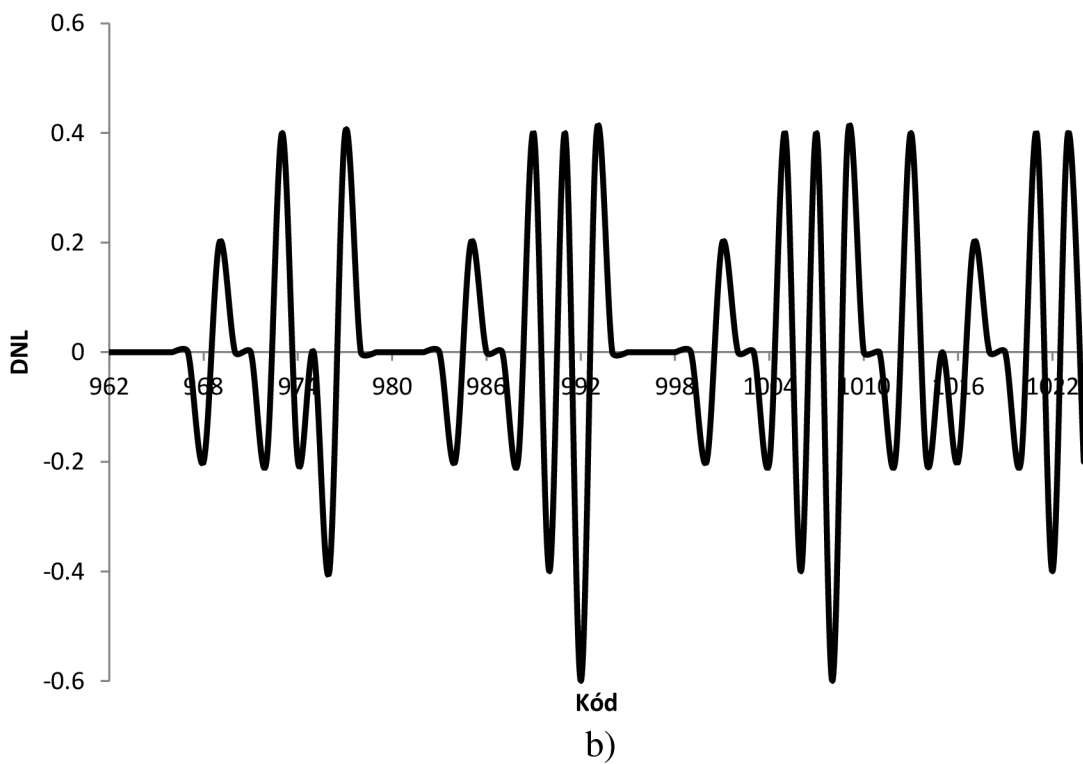
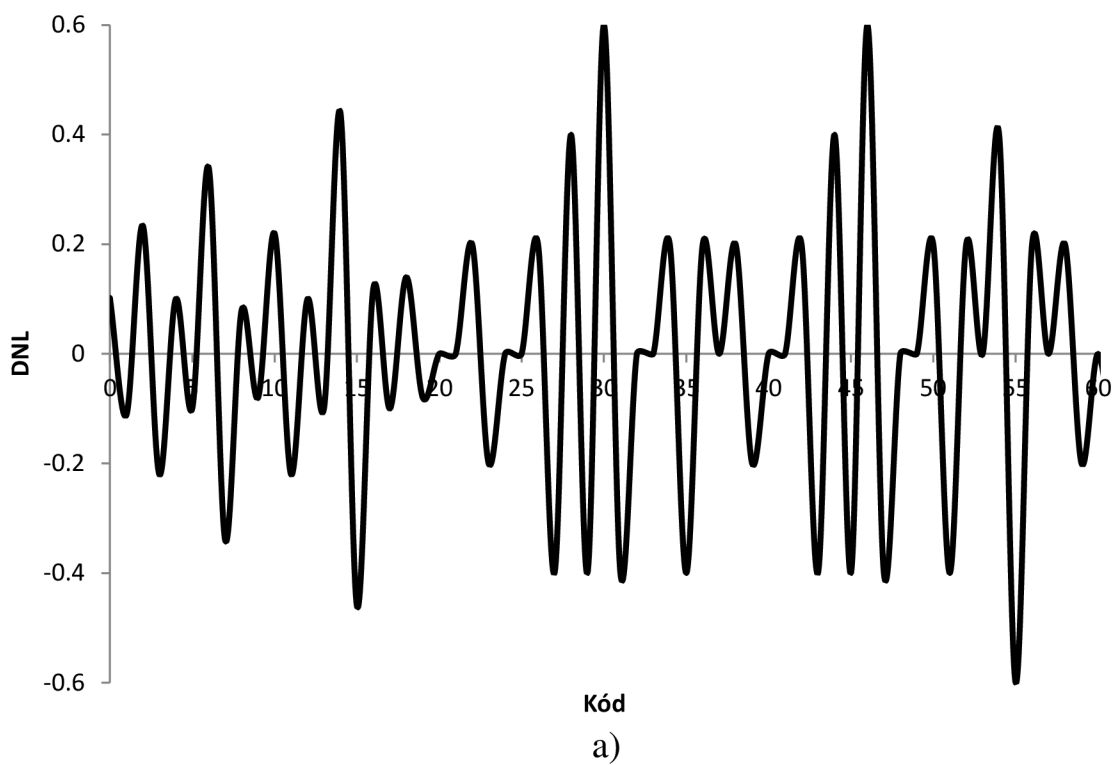
Obr. 33: Hodnoty *INL* a) pro *LSB* b) pro *MSB*

6.3 Diferenciální nelinearita

U ideální převodní charakteristiky převodníku DA, jsou rozdíly mezi jednotlivými kódy stejně velké ($1LSB$). Pro takové převodníky je hodnota *DNL* rovna nule. Pro reálný převodník platí

$$DNL = I_{n+1} - I_n - 1 \cdot LSB = \pm 0,6LSB \quad (6.2)$$

Kde I_{n+1} a I_n jsou dvě po sobě jdoucí hodnoty výstupního proudu. Graf hodnot *DNL* pro kód *LSB* a *MSB* je zobrazen na obrázku 34.



Obr. 34: Hodnoty *DNL* a) pro *LSB* b) pro *MSB*

Tab. 7: Shrnutí vlastností navrženého 10 bitového převodníku DA

Parametr	Zkratka	Hodnota
technologie	-	ONSem i I3T25 (350 nm)
kladné napájecí napětí	U_{DD}	3,3 V
záporné napájecí napětí	GND	0 V
napětí analogové země	U_{ref}	1,65 V
spotřeba	P	7,12 mW
integrální nelinearita	INL	0,3 LSB
diferenciální nelinearita	DNL	0,6 LSB
chyba nuly	ε_0	27,08 pA
chyba zesílení	ε_m	8,2 μ A

7 Závěr

V této práci jsem se zabýval problematikou převodníků DA. Nejdříve jsem se věnoval jednotlivým druhům architektur používaných pro převodníky DA. Následně jsem vybral kombinaci proudově váhových zdrojů proudu s jednotkovými zdroji proudu, vhodnými pro návrh 10 bitového převodníku. Návrh probíhal v technologii ONSemi I3T25.

Nová struktura je prezentována v kapitole 5.3. Tato struktura využívá segmentového rozložení proudových zdrojů. Prvních 6 bitů jsem navrhl jako binárně váhované zdroje proudu, kde nejnižší bit $LSB = 500 \text{ nA}$ a je poměrem velikostí tranzistorů zvětšován ($LSB_{n+1} = 2 \cdot LSB_n$). Tyto zdroje proudu jsou umístěny v bloku LSB , který je přímo spínán příchozím číslicovým signálem. Nejvyšší 4 bity se skládají ze skupiny jednotkových zdrojů proudu (stejně tranzistory), jejichž počet je roven $T_x = 2^n - 1$. Těchto 15 zdrojů proudu je řazeno do matice. Zvolil jsem maticové rozložení zdrojů proudu, jelikož přístupem k jednotlivým zdrojům proudu je snížen efekt přechodových špiček a zlepšuje se souběh proudových zrcadel. Matice v návrhu vystupuje jako blok MSB . Při použití maticového uspořádání byly výsledky lepší, než v případě kdy se k bloku MSB přistupovalo pomocí termického kódu. Pro zdroje proudu vzhledem k minimalizaci plochy čipu, jsem zvolil tranzistory NMOS, které jsou přibližně 4x menší, než je tomu u tranzistorů PMOS.

Při návrhu převodníku DA bylo zapotřebí navrhnout stabilní zdroj retenčního napětí, které je následně převedeno na stabilní proud. K oddělení zdroje referenčního napětí od zdroje referenčního proudu jsem musel navrhnout operační zesilovač. Oddělovací zesilovač byl navržen se vstupními tranzistory NMOS, které mají větší K_p a jsou přibližně 4x menší, než tranzistory PMOS. Tento zesilovač byl navrhnut tak, aby měl co možná nejmenší vstupní nesymetrii ($U_{offset} = 2,6 \text{ mV}$). Zesílení operačního zesilovače $A_o = 91,8 \text{ dB}$ a šířka kmitočtového pásma $GBW = 7,5 \text{ MHz}$. Pro ovládání bloku MSB jsem navrhl sloupkové, řádkové, termické a 1 z N dekodéry, kterými se spínaly jednotlivé spínače.

Provedl jsem řadu simulací pro ověření správné činnosti jednotlivých navrhovaných bloků i celé struktury. Simulace probíhaly v programu Cadence. Nová struktura 10 bitového převodníku má $INL = 0,3 \text{ LSB}$ a $DNL = 0,6 \text{ LSB}$. Spotřeba celého obvodu $P = 7,12 \text{ mW}$. Dynamické vlastnosti převodníku DA jako jsou $SNDR (ENOB)$ a $SFDR$ nebyly změřeny kvůli problémům se simulátorem AMS.

Závěrem lze říci, že výhody nové struktury 10 bitového převodníku DA spočívají v malé ploše čipu, nízké spotřebě a dobrými stejnosměrnými parametry (tabulka 7). Rychlost převodníku DA je odhadována na stovky kHz.

Seznam použitých zdrojů

- [1] HÁZE, Jiří; VRBA, Radimír. *Teorie vzájemného převodu analogového a číslicového signálu*. Brno: VUT, 2010, 139 s.
- [2] PLASCHE, Rudy van de. *CMOS integrated analog-to-digital and digital-to-analog converters*. 2nd ed. Boston: Kluwer Academic Publishers, 2003. ISBN 14-020-7500-6.
- [3] HÁZE, Jiří. *Referenční zdroje, převodníky DA - úvod*. Brno, 2011, 46 s. Dostupné z: http://www.umel.feec.vutbr.cz/MTVP/prednasky/Reference_DAC1.pdf
- [4] KHORRAMABADI, Haideh. *Data Converters: DAC Design*. Berkeley: University of California, 2008. Dostupné: http://www.nst.eecs.berkeley.edu/~ee247/fa08/files07/lectures/L14_2_f08.pdf
- [5] ON Semiconductor. *Custom Foundry Mixed-Signal Offering* [online]. 1999-2012 [cit. 2013-05-05]. Dostupné z: <http://www.onsemi.com/PowerSolutions/content.do?id=16558>
- [6] ON Semiconductor. *C035U (0.35 Micron) Core CMOS Design Rules* [online]. [cit. 2013-12-14]. Dostupné z: <http://www.onsemi.com/PowerSolutions/content.do?id=16558>
- [7] PELGROM, Marcel, Hans TUINHOUT a Maarten VERTREGT. *Transistor matching in analog CMOS applications*. Netherlands: Philips Research Laboratories, 1998, 4 s.
- [8] ALLEN, P a Douglas R HOLBERG. *CMOS analog circuit design*. 3rd ed. Oxford: Oxford University Press, USA, c2012, xvi, 757 p. ISBN 978-019-9765-072.
- [9] GRAY, Paul R. *Analysis and design of analog integrated circuits*. 5th ed. New York: Wiley, c2009, xiv, 881 p. ISBN 978-047-0245-996.
- [10] CUI, Zhi-Yuan. MICROELECTRONICS INTERNATIONAL. *Application of a low-glitch current cell in 10-bit CMOS current-steering DAC*. Emerald Group Publishing Limited, 2009, 6 s.
- [11] HORSKÝ, Pavel. ON SEMICONDUCTOR. *A Monotonic Precise Current DAC for Sensor Applications*. Brno: Radioengineering, 2008, 7 s.
- [12] BEČVÁŘ, Daniel a Jiří STEHLÍK. *Návrh analogových integrovaných obvodů*. Brno: VUT, 2011, 152 s.

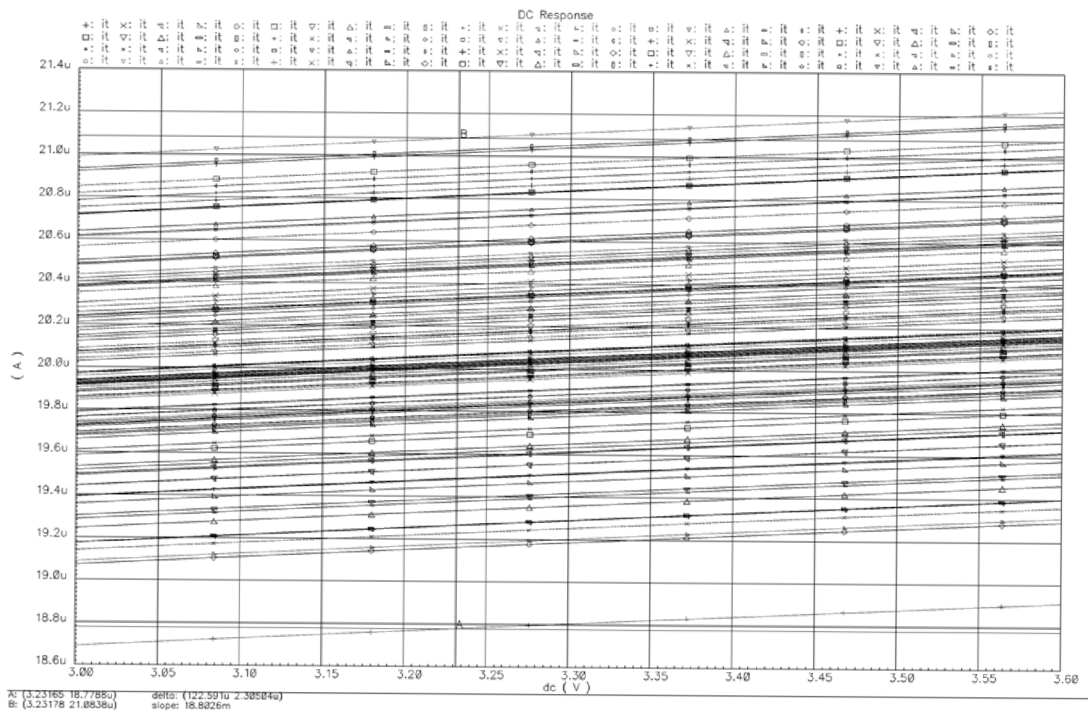
- [13] CARUSONE, Tony Chan, David JOHNS, Kenneth W MARTIN a David JOHNS. *Analog integrated circuit design*. 2nd ed. Hoboken, NJ: John Wiley, c2012, xxii, 794 p. ISBN 04-707-7010-4.
- [14] KESTER, Walt. ANALOG DEVICES. *Analog-digital conversion*. USA: Analog Devices, Inc., 2004. ISBN 0-916550-27-3.

Seznam zkratek a symbolů

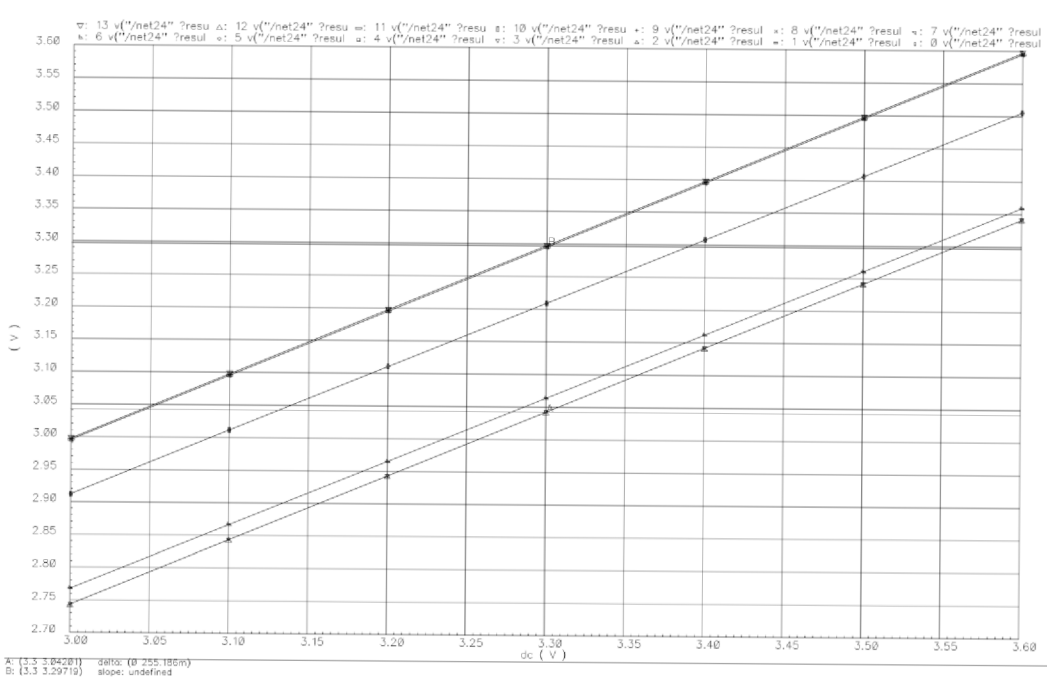
A_0	zesílení pro stejnosměrný signál
ADC	analogově - digitální převodník
AM	amplitudová bezpečnost
A_{U_t}	koeficient souběhu U_t
A_β	koeficient souběhu β
$A_{U_{max}}$	nejvyšší zesílení OTA na nízkých kmitočtech
$A_{U_{min}}$	nejhorší zesílení OTA na nízkých kmitočtech
CC	Millerova kompenzační kapacita
CL	zatěžovací kapacitor
CGATE	parazitní kapacita hradla tranzistoru MOS
CLK	hodinový signál
CMOS	komplementární kov-oxid-polovodič
DAC	digitálně analogový převodník
ENOB	efektivní počet bitů
GBW	šířka pásma jednotkového zisku OZ
g_m	transkonduktance tranzistoru MOS
GND	uzemnění
INL	integrální nelinearita ADC nebo DAC
KP	transkonduktanční parametr technologie
L	délka kanálu tranzistoru MOS
LSB	nejméně významný bit
MOS	tranzistor řízený elektrickým polem (kov-oxid-polovodič)
n	počet bitů
OZ	operační zesilovač
p_1	první dominantní pól
p_2	pól druhého stupně OZ
PM	fázová bezpečnost
PSRR	potlačení změn napájecího napětí
R_{HIPO}	odpor v vysokoohmové polykrystalické vrstvě
SFDR	dynamický rozsah převodníku bez zkreslení
SNDR	odstup užitečného signálu od šumu a zkreslení
SNR	odstup užitečný signál-šum
U_{bias}	napětí pro nastavení pracovního bodu pro tranzistor
U_{DAC}	napětí na výstupu DAC
U_{DD}	kladné napájecí napětí 3,3 V
U_{DS}	napětí mezi elektrodami drain-source tranzistoru MOS
U_{GS}	napětí mezi elektrodami gate-source tranzistoru MOS
U_{TH}	prahové napětí tranzistoru MOS
W	šířka kanálu tranzistoru MOS
$x(t)$	obecný vstupní signál
$y(t)$	obecný výstupní signál
σ	symbol pro souběh

Přílohy

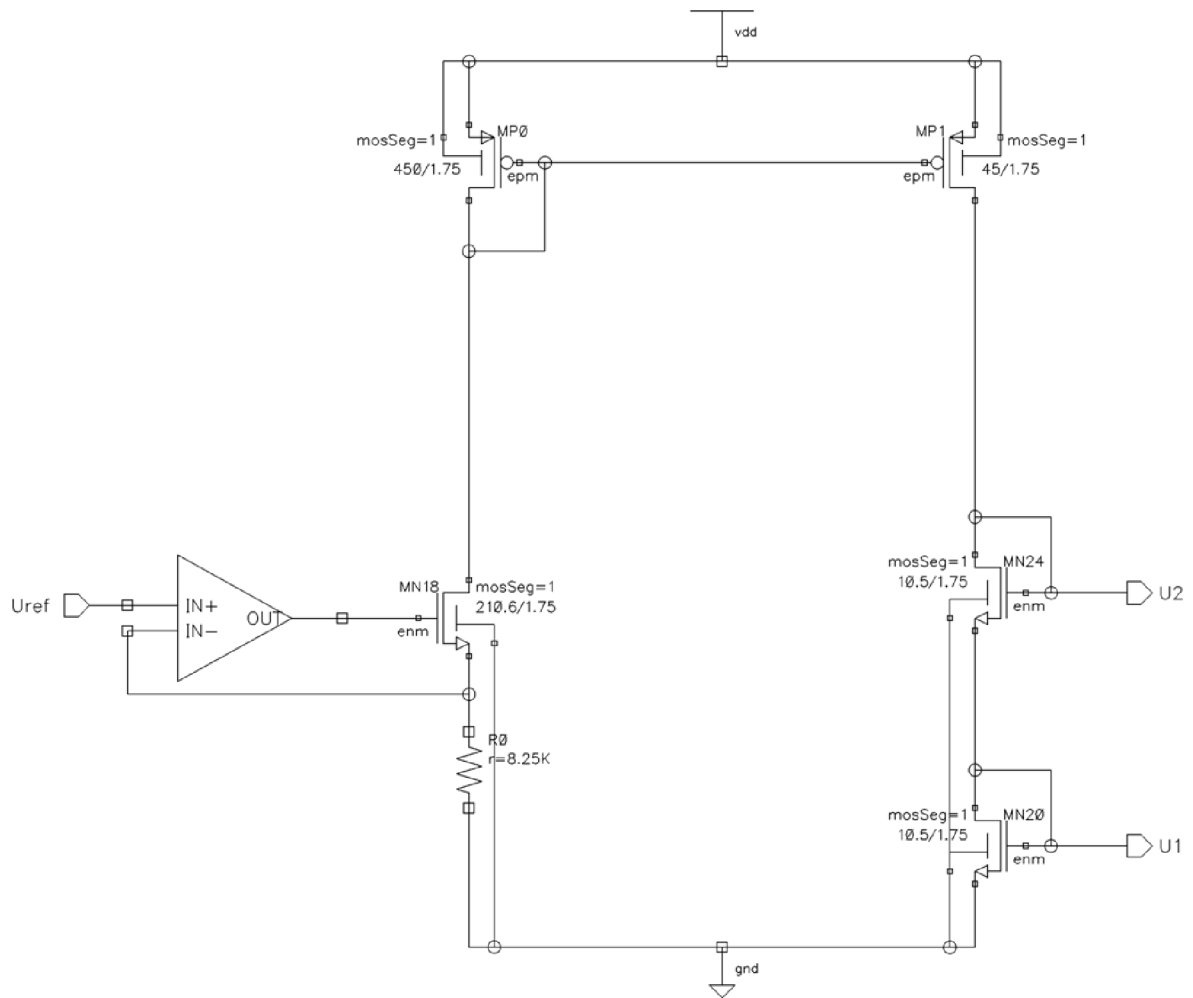
P1 Proudová a napěťová reference



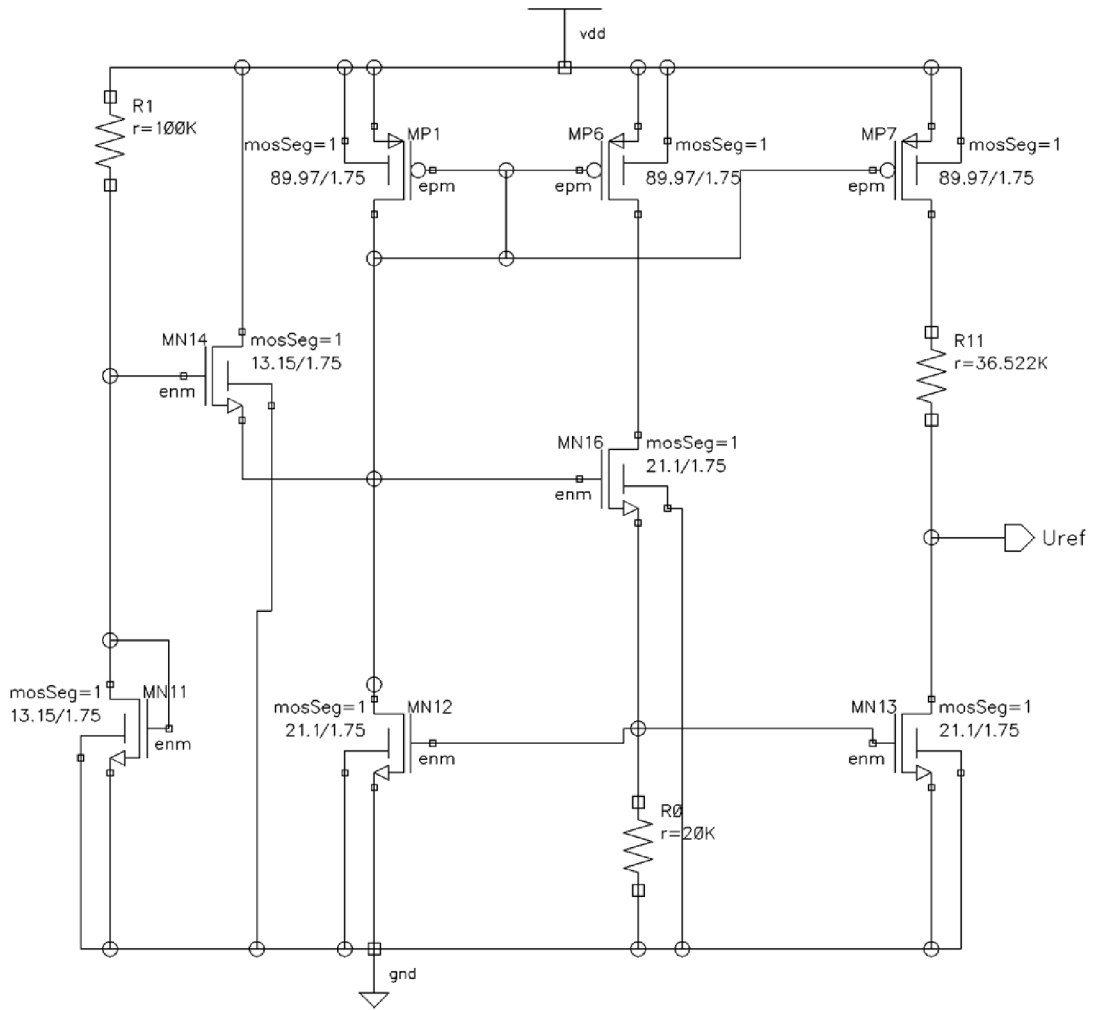
Obr. P. 1: Corner analýza – závislost proudu I_1 na změně napájecího napětí U_{DD}



Obr. P. 2: Corner analýza – závislost napětí U_{ref} na změně napájecího napětí U_{DD}

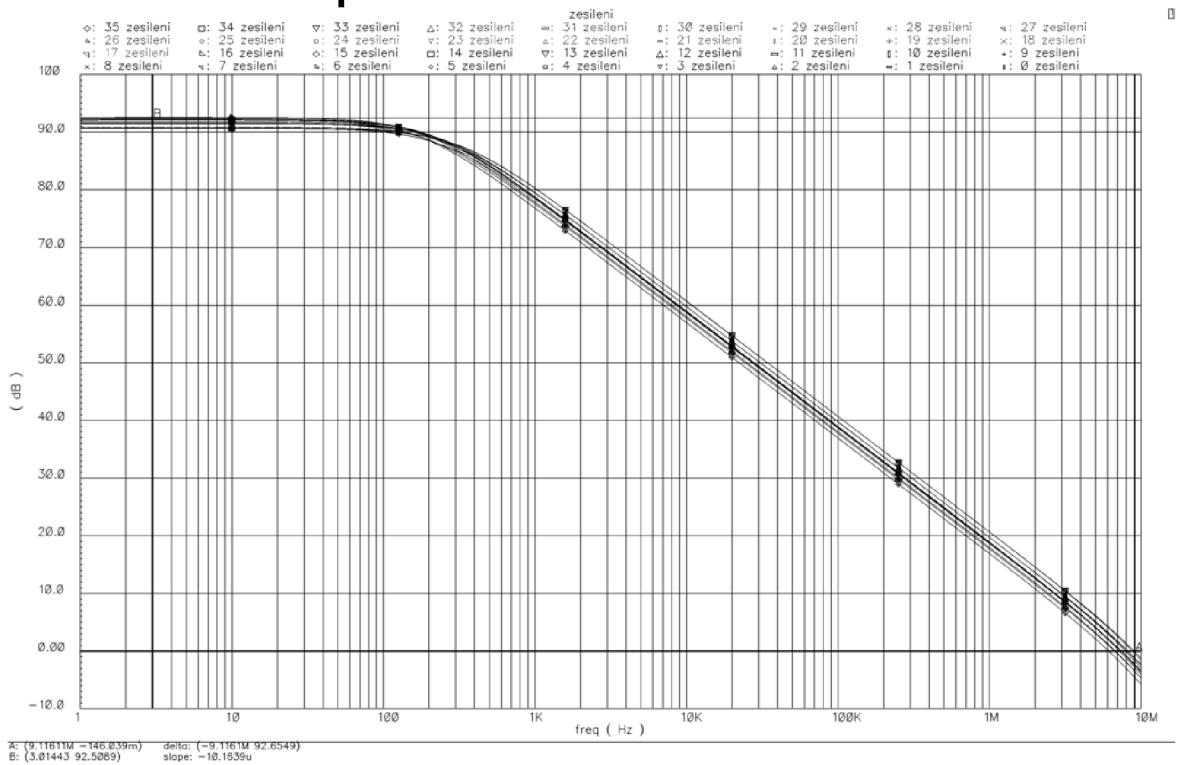


Obr. P. 3: Schéma proudové reference

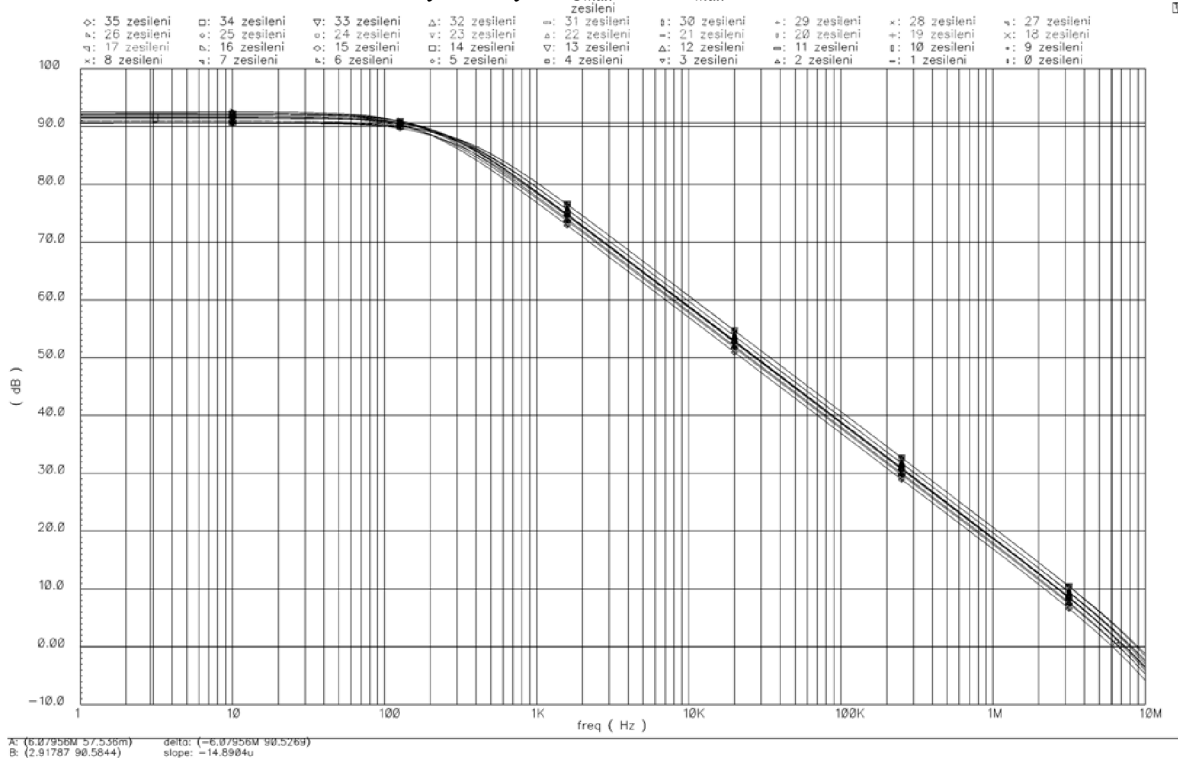


Obr. P. 4: Obvod napětové reference

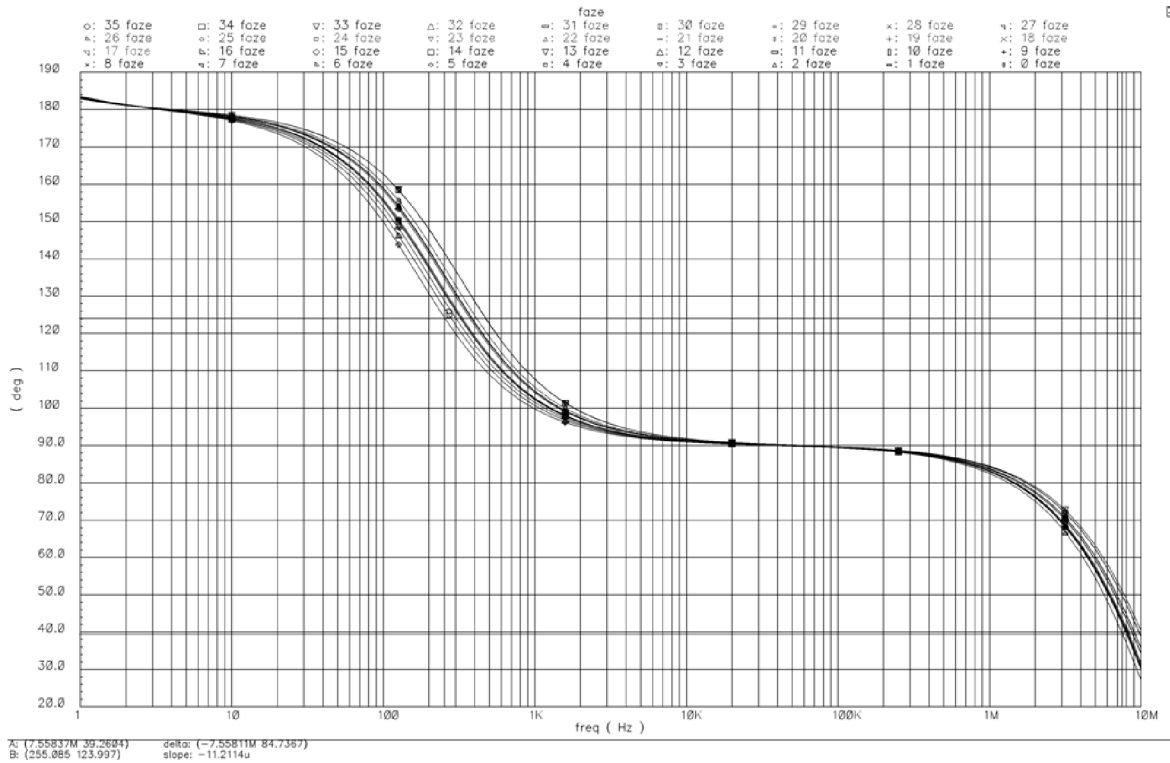
P2 Oddělovací operační zesilovač



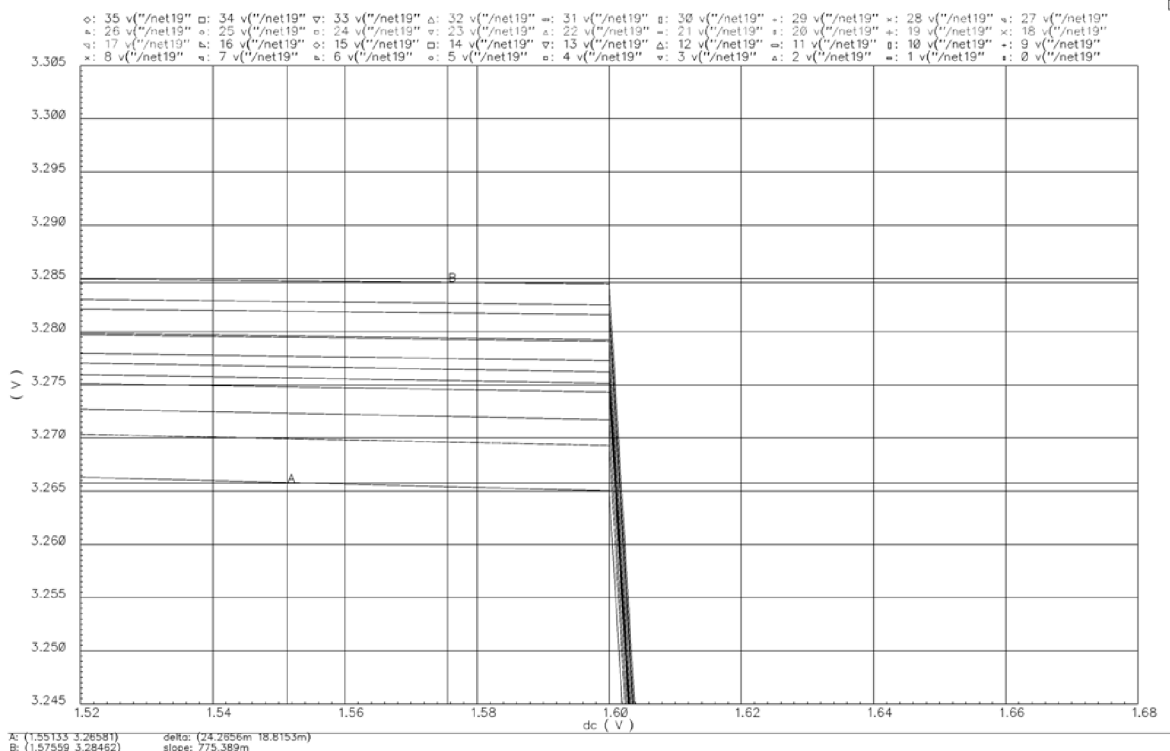
Obr. P. 6: Corner analýza – závislost zesílení A_U na kmitočtu vstupního signálu s vyznačeným A_{Umax} a GBW_{max}



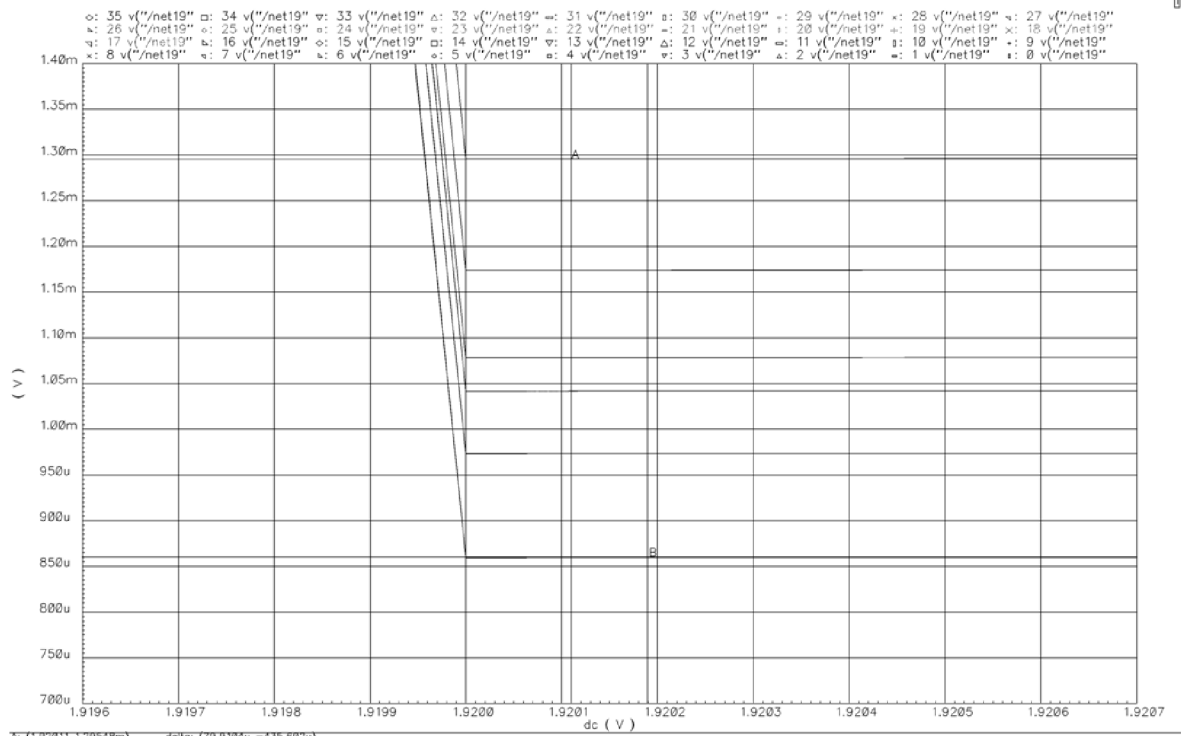
Obr. P. 7: Corner analýza – závislost zesílení A_U na kmitočtu vstupního signálu s vyznačeným A_{Umin} a GBW_{min}



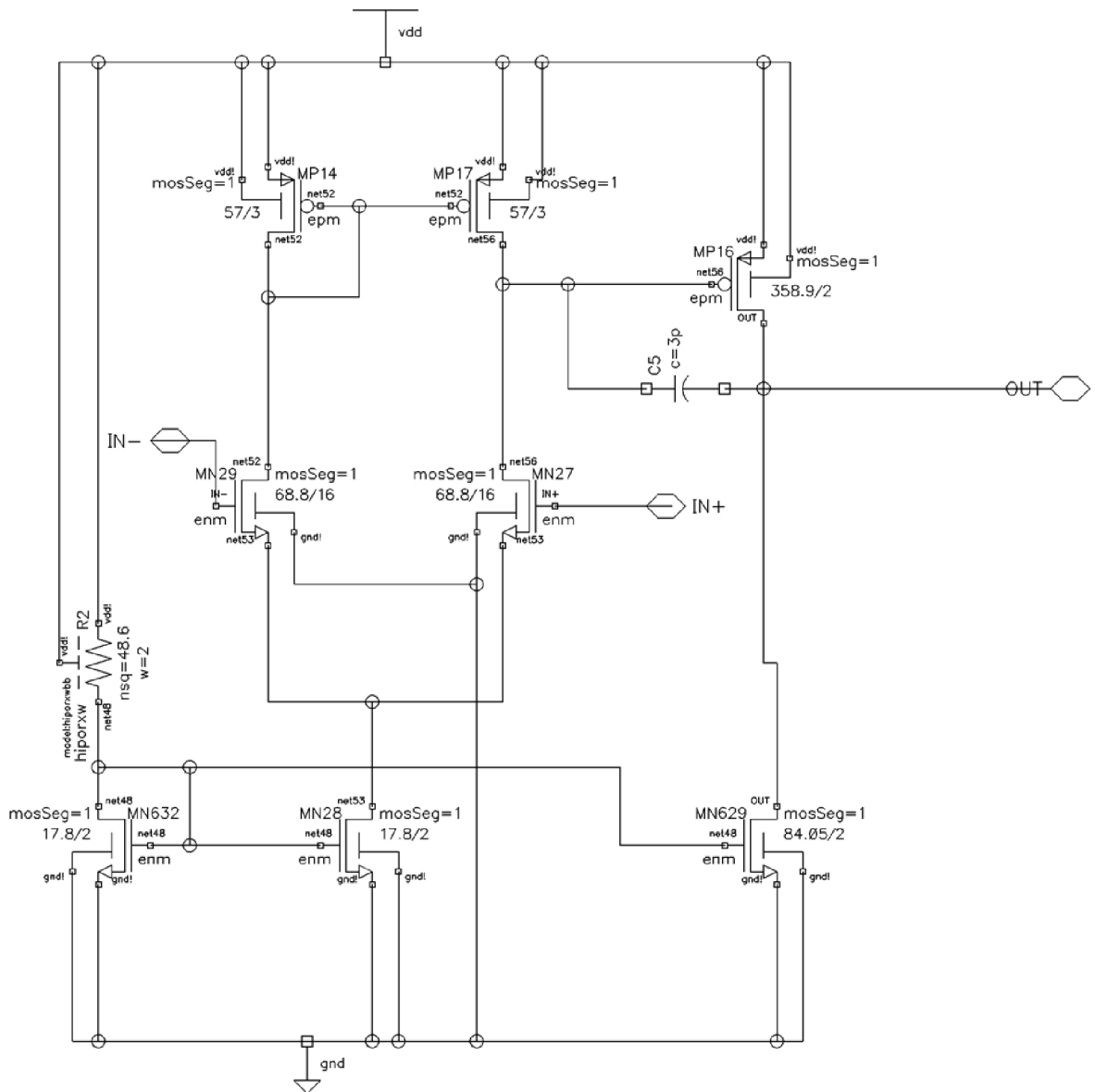
Obr. P. 8: Corner analýza – závislost fáze p na kmitočtu vstupního signálu – nejhorší PM



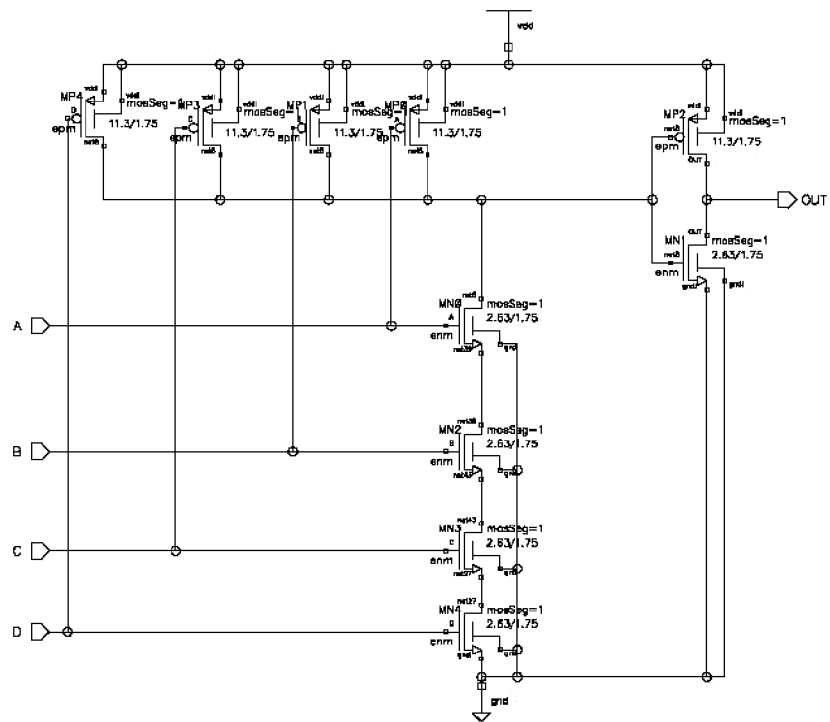
Obr. P. 9: Corner analýza – závislost výstupního napětí na vstupním – max. výstupní napětí



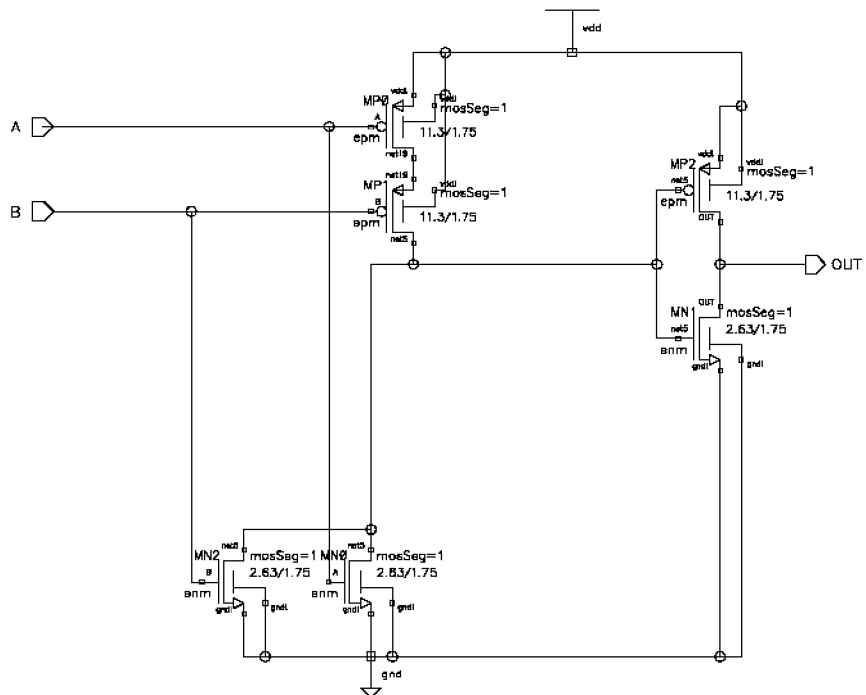
Obr. P. 10: Corner alýza – závislost výstupního napětí na vstupním – min. výstupní napětí



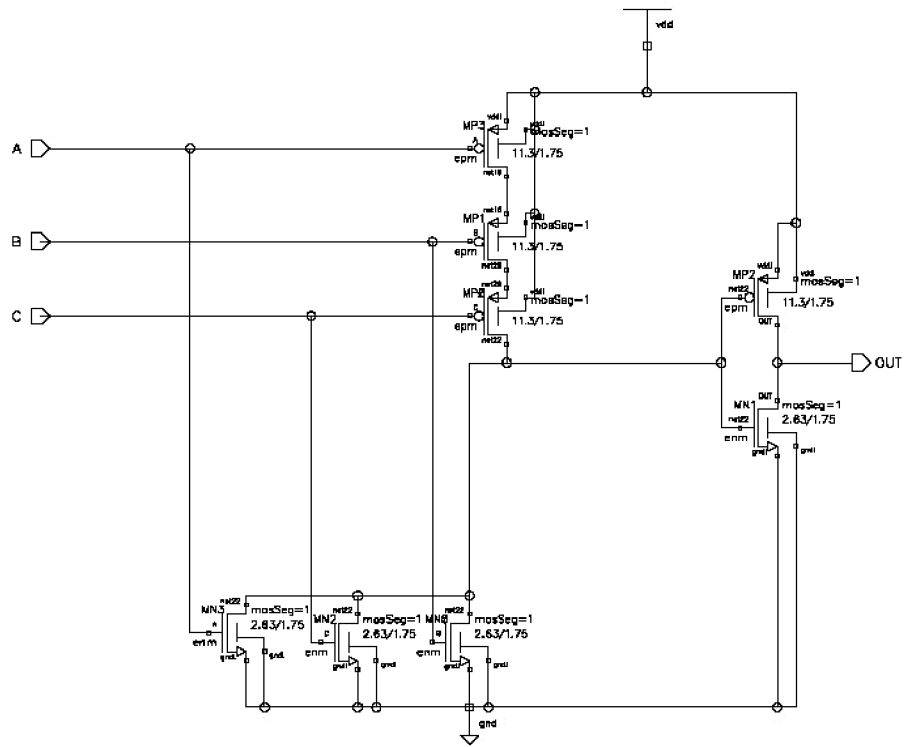
Obr. P. 11: Schéma oddělovacího operačního zesilovače



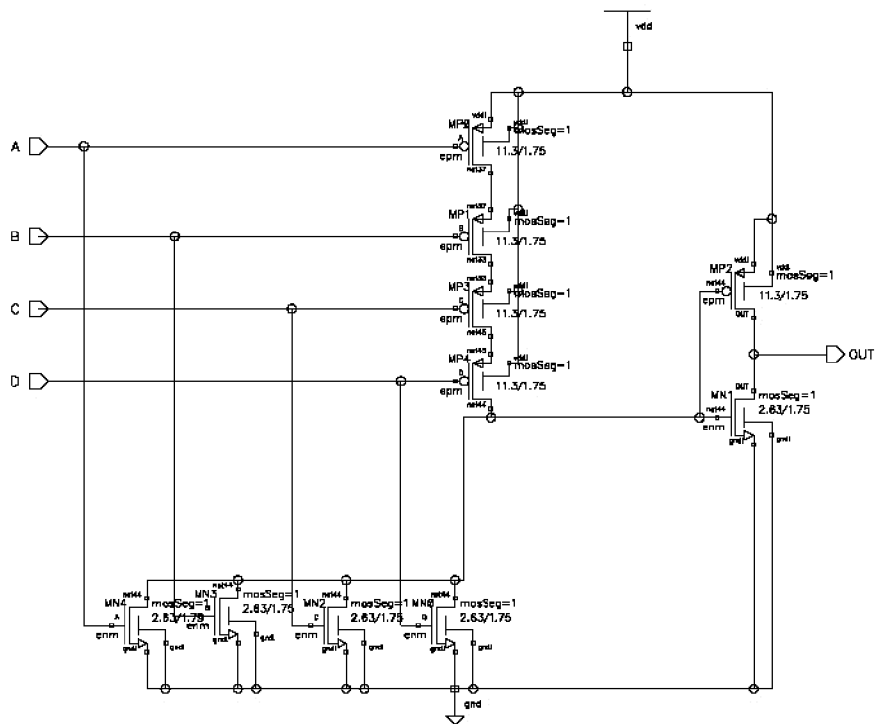
Obr. P. 14: AND4



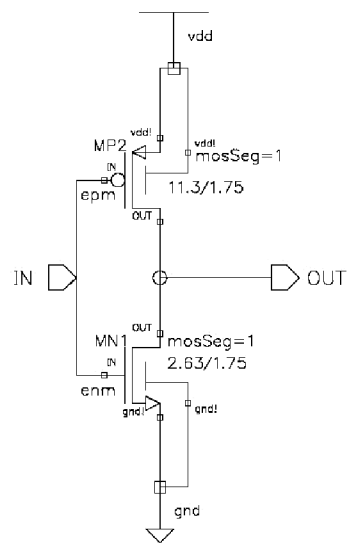
Obr. P. 15: OR2



Obr. P. 16: OR3

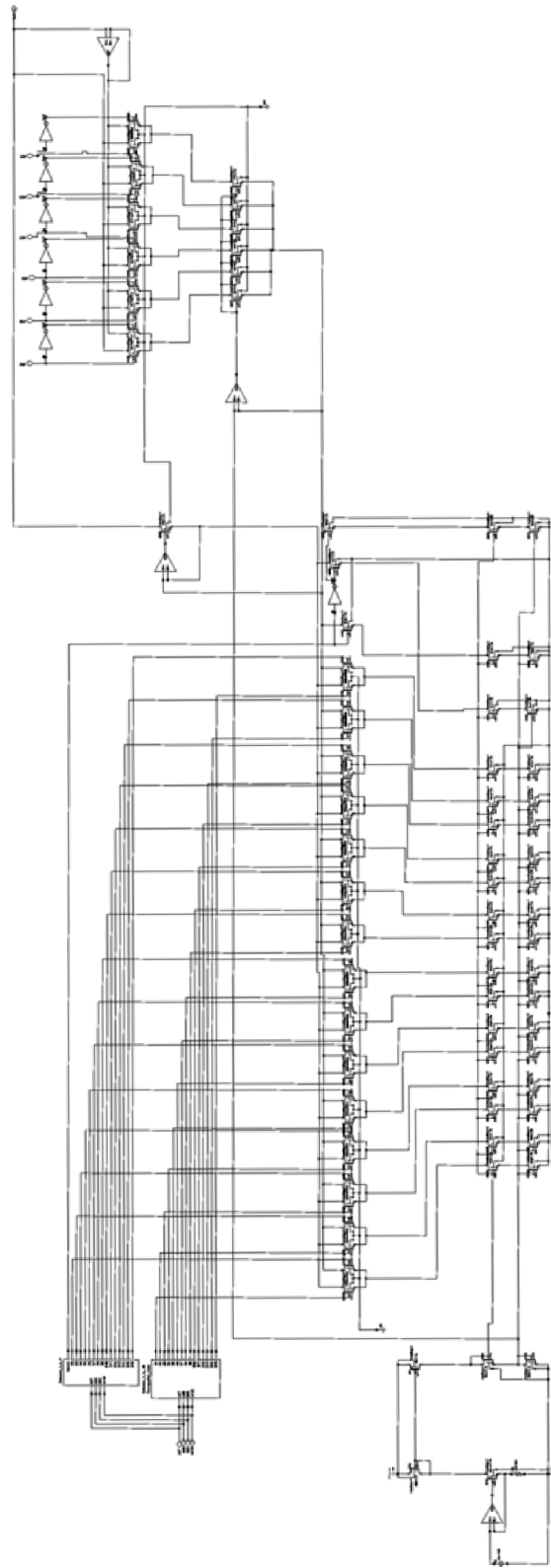


Obr. P. 17: OR4

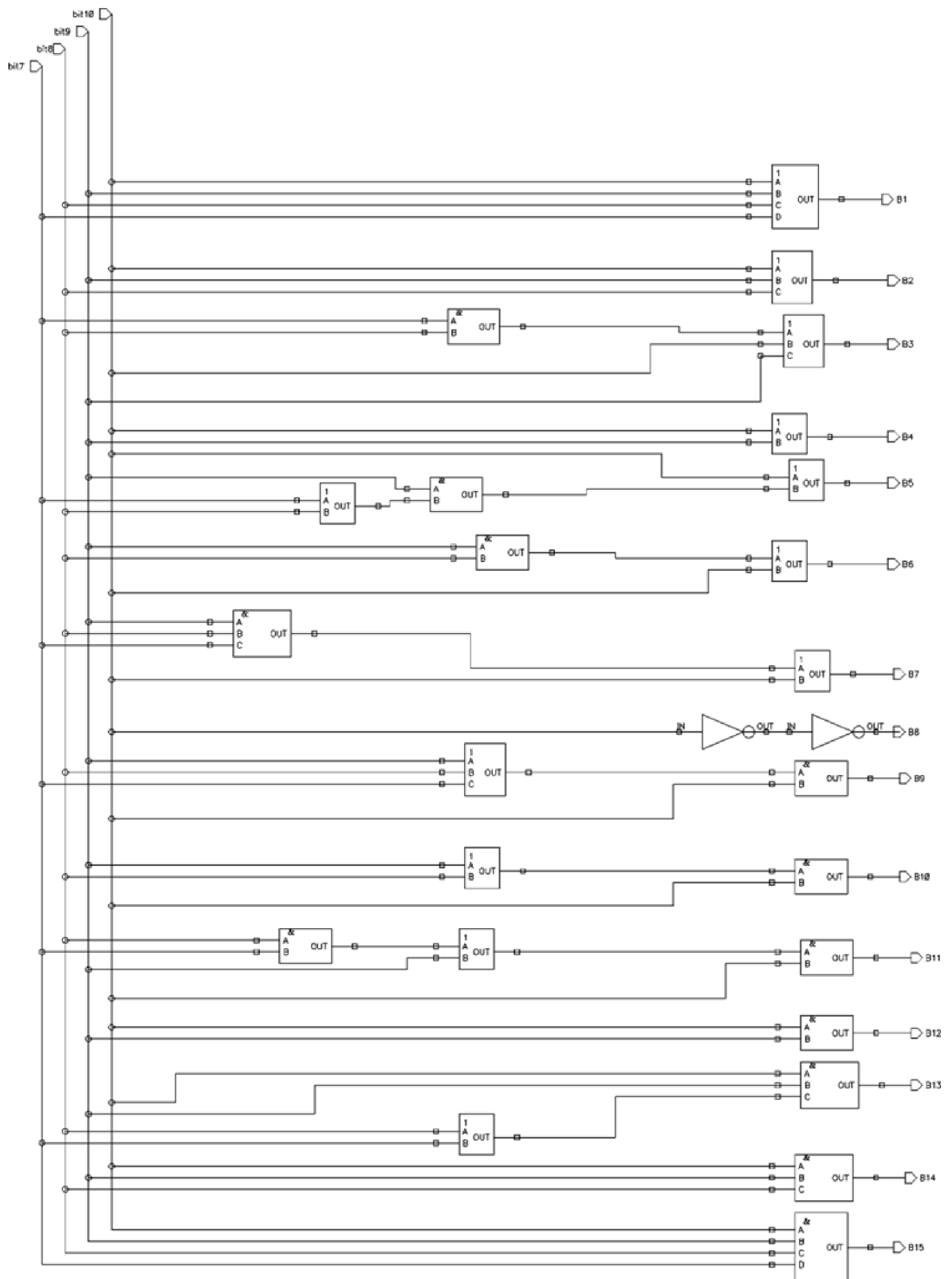


Obr. P. 18: Invertor

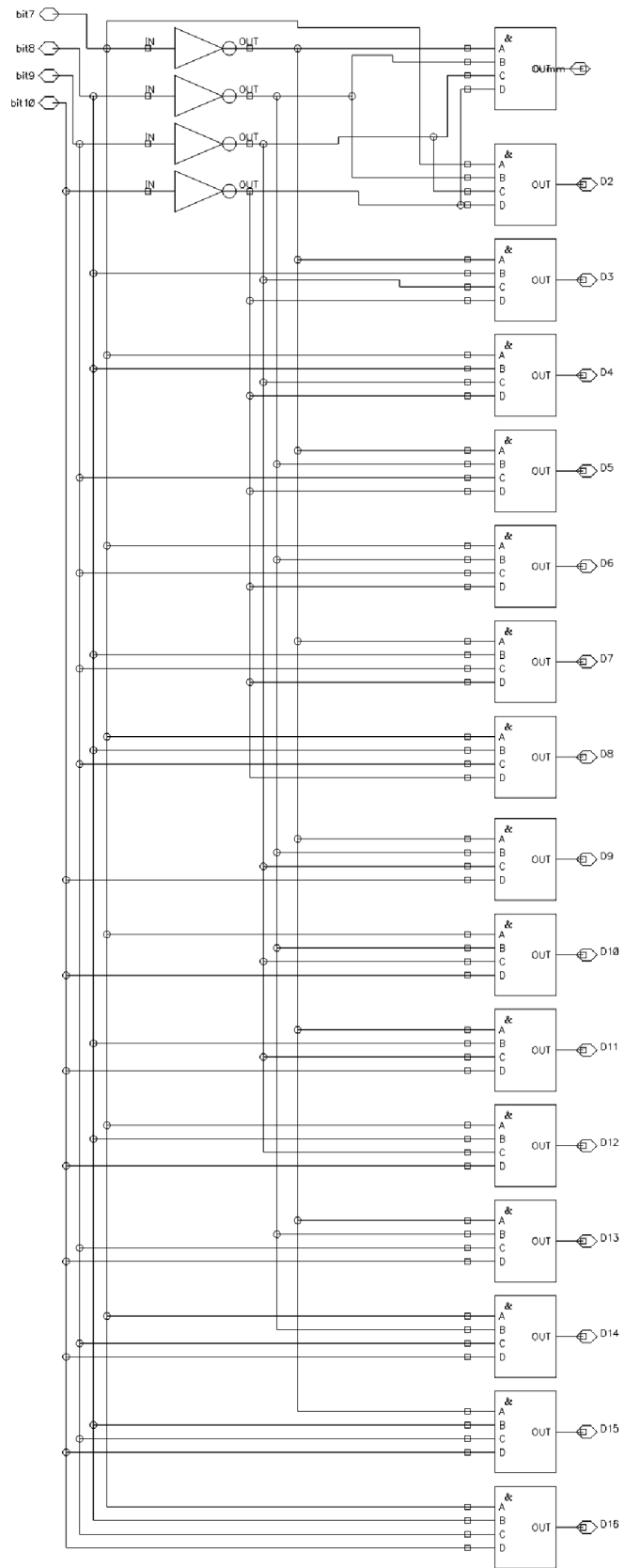
P4 Ostatní



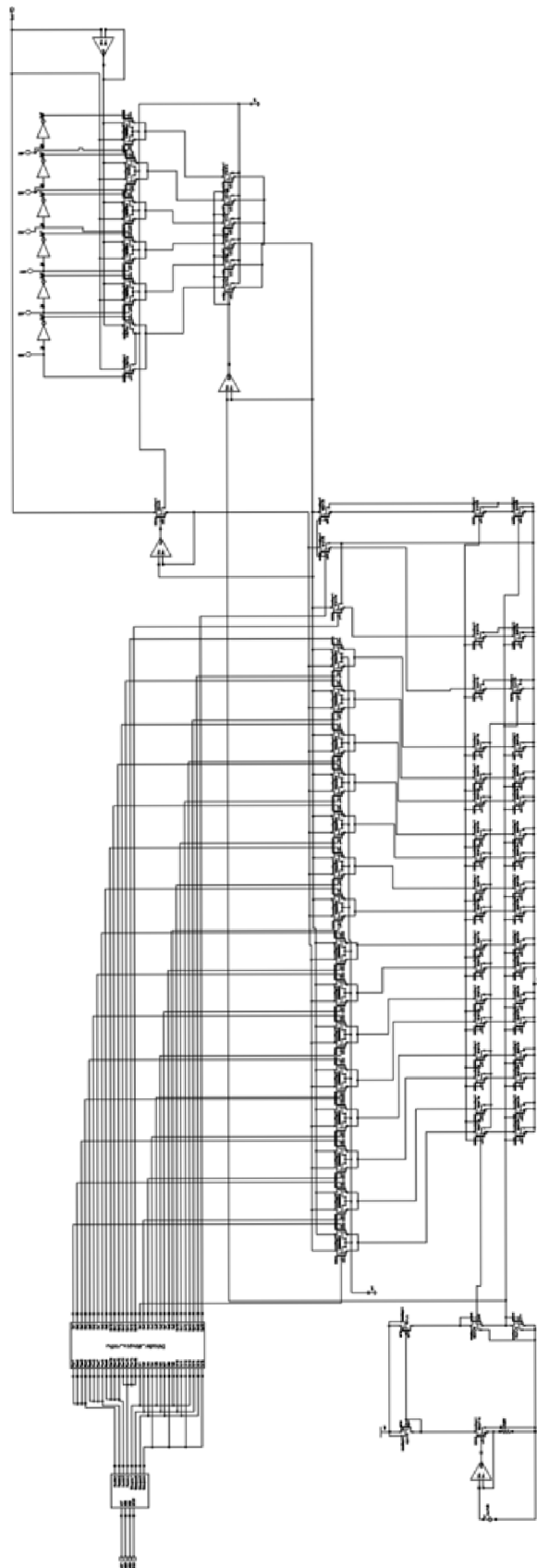
Obr. P. 19: Převodník DA v původním zapojení



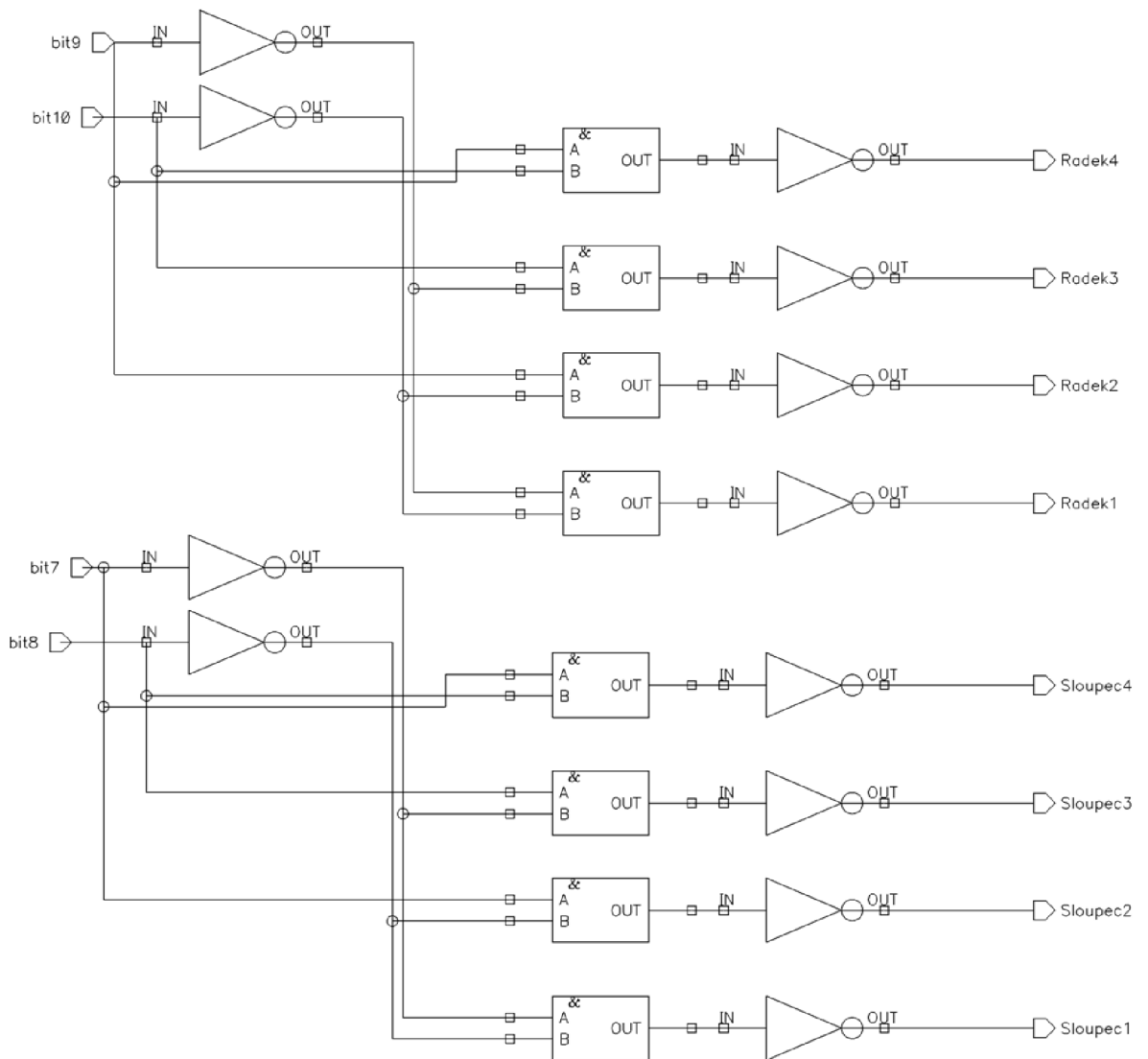
Obr. P. 20: Dekodér termického kódu



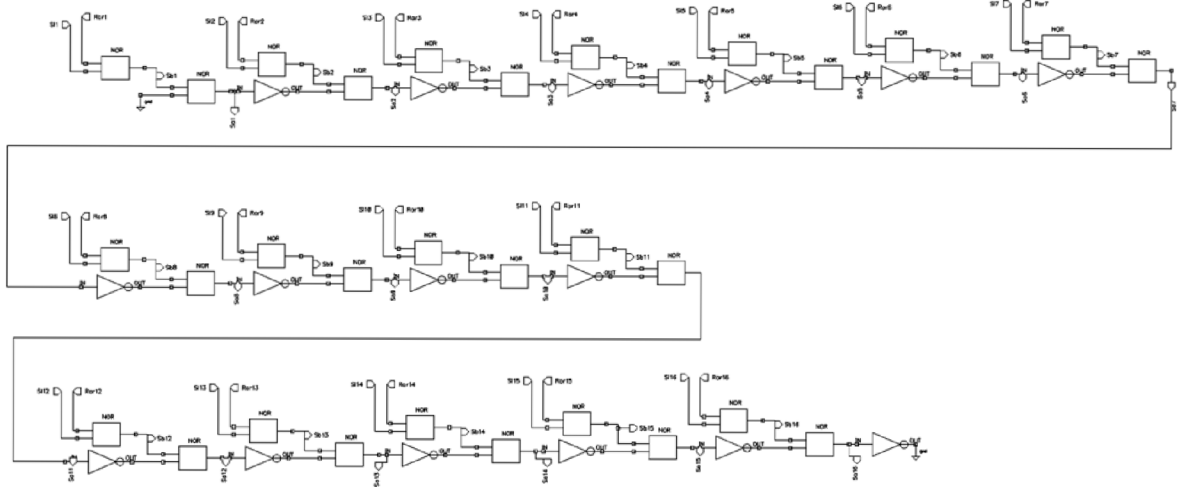
Obr. P. 21: Dekodér 1 z N



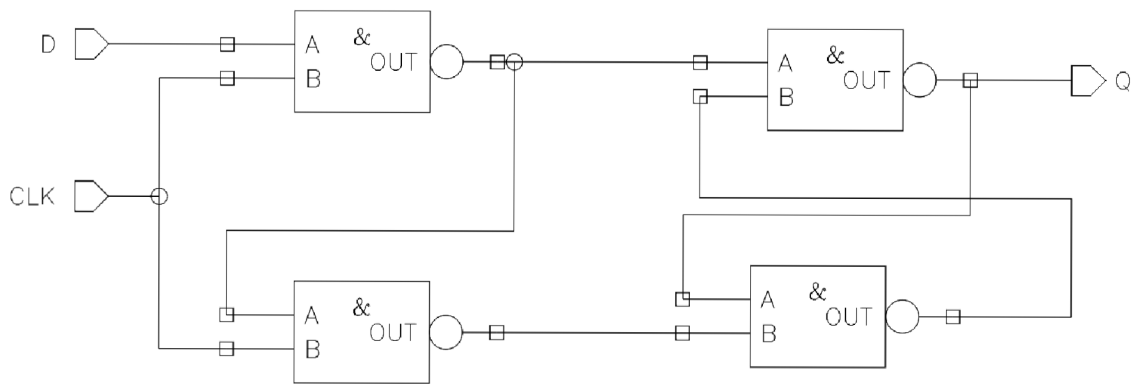
Obr. P. 22: Převodník DA s použitím maticového zapojení



Obr. P. 23: Dekodér sloupců a řádků



Obr. P. 24: Dekodér sloupců a řádků – řadič



Obr. P. 25: Latch – jedn. blok