



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH ANTIALIASINGOVÉHO FILTRU PRO ČASOVĚ DISKRÉTNÍ MODULÁTORY DELTA-SIGMA

DESIGN OF ANTI-ALIASING FILTER FOR DISCRETE-TIME DELTA-SIGMA MODULATORS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Vojtěch Vogel

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Vilém Kledrowetz, Ph.D.

BRNO 2022

Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

Student: Bc. Vojtěch Vogel

ID: 206747

Ročník: 2

Akademický rok: 2021/22

NÁZEV TÉMATU:

Návrh antialiasingového filtru pro časově diskretní modulátory delta-sigma

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte možnosti realizace vstupního antialiasingového filtru vhodného pro časově diskretní modulátory delta-sigma. Na základě předchozí analýzy navrhnete vhodný filtr s mezním kmitočtem v řádu stovek kHz. Použijte technologii onsemi I3T80. Dosažené parametry ověřte v simulátoru Spectre.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce.

Termín zadání: 7.2.2022

Termín odevzdání: 24.5.2022

Vedoucí práce: Ing. Vilém Kledrowetz, Ph.D.

doc. Ing. Lukáš Fucík, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato práce se zabývá návrhem antialiasingového filtru druhého řádu s mezním kmitočtem v řádu stovek kHz pomocí techniky spínaných kapacitorů. Použití této techniky umožňuje navrhovat přesné a laditelné analogové obvody bez použití rezistorů. V práci je popsána problematika návrhu analogových spínačů. Dále jsou navrženy jednotlivé obvody potřebné pro návrh filtru v technologii onsemi I3T80.

Klíčová slova

analogový filtr, CMOS technologie, I3T80, filtr dolní propusti, integrovaný filtr, antialiasingový filtr

Abstract

This work deals with the design of a second order anti-aliasing filter with a cutoff frequency in the order of hundreds of kHz using the switched capacitor technique. The use of this technique allows the design of accurate and tunable analog circuits without the use of resistors. In this work, the design of analog switches is described. Furthermore, the various circuits required for the design of the filter in the onsemi I3T80 technology are proposed.

Keywords

analog filter, CMOS technology, I3T80, low-pass filter, integrated filter, antialiasing filter

.

Bibliografická citace

VOGEL, Vojtěch. *Návrh antialiasingového filtru pro časově diskrétní modulátory delta-sigma*. Brno, 2022. Dostupné také z: <https://www.vutbr.cz/studenti/zav-prace/detail/142456>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Vilém Kledrowetz.

Prohlášení autora o původnosti díla

Jméno a příjmení studenta: *Bc. Vojtěch Vogel*

VUT ID studenta: *206747*

Typ práce: *Diplomová práce*

Akademický rok: *2021/22*

Téma závěrečné práce: *Návrh antialiasingového filtru pro časově diskrétní modulátory delta–sigma*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 23. května 2022

podpis autora

Poděkování

Rád bych na tomto místě upřímně poděkoval vedoucímu diplomové práce Ing. Vilému Kledrowetzovi, Ph.D. za pedagogickou a odbornou pomoc při zpracování mé práce. Dále bych rád poděkoval rodině a přátelům, kteří mě po celou dobu studia podporovali.

V Brně dne: 23. května 2022

podpis autora

Obsah

SEZNAM OBRÁZKŮ	9
SEZNAM TABULEK.....	10
ÚVOD	11
1. FILTRY.....	12
1.1 KLASIFIKACE FILTRŮ.....	12
1.1.1 Pasivní filtry.....	12
1.1.2 Aktivní filtry	12
1.1.3 Analogové a digitální filtry	13
1.2 ROZDĚLENÍ FILTRŮ PODLE KMITOČTOVÉ ODEZVY	13
1.2.1 Dolní propust	13
1.2.2 Horní propust.....	13
1.2.3 Pásmová propust a pásmová zádrž	14
1.2.4 Fázovací články	14
1.3 PŘENOS FILTRU A APROXIMACE	15
1.3.1 Přenos filtru	15
1.3.2 Rozklad přenosové funkce pomocí pólů a nul	16
1.3.3 Aproximace funkce.....	16
2. OBVODY SE SPÍNANÝMI KAPACITORY	19
2.1 ODPOR REALIZOVANÝ SPÍNANÝM KAPACITOREM.....	19
2.2 ZÁKLADNÍ ZAPOJENÍ POMOCÍ SC.....	21
2.3 ALIASING	22
2.3.1 Řešení problému aliasingu pomocí filtrů	23
2.4 POŽADAVKY NA OPERAČNÍ ZESILOVAČ V SC OBVODECH.....	24
2.5 ANALOGOVÝ SPÍNAČ.....	25
2.5.1 Spínač s konstantním napětím U_{GS}	26
2.5.2 Injekce náboje	27
2.5.3 Pronikání řídicího hodinového signálu.....	28
2.5.4 Potlačení chyb spínače MOS („dummy“ spínač, spínač CMOS)	29
3. NÁVRH DÍLČÍCH BLOKŮ FILTRU	31
3.1 NÁVRH OPERAČNÍHO ZESILOVAČE SE SLOŽENOU KASKODOU.....	31
3.1.1 Obvod pro nastavení souhlasného napětí (CMFB)	33
3.1.2 Referenční napětí	34
3.1.3 Zdroj referenčního proudu.....	34
3.1.4 Parametry operačního zesilovače se složenou kaskodou	35
3.2 NÁVRH DVOJSTUPŇOVÉHO OPERAČNÍHO ZESILOVAČE	38
3.2.1 Parametry dvojstupňového operačního zesilovače	40
3.3 NÁVRH ANALOGOVÉHO SPÍNAČE.....	43
3.4 NÁVRH ŘÍDÍCÍHO HODINOVÉHO SIGNÁLU	44
4. NÁVRH FILTRU DOLNÍ PROPUSTI.....	47
4.1 SALLEN–KEY FILTR DOLNÍ PROPUSTI	47
4.2 BIKVADRATICKÝ FILTR DRUHÉHO ŘÁDU	50

ZÁVĚR	53
LITERATURA.....	54
SEZNAM SYMBOLŮ A ZKRATEK	56
SEZNAM PŘÍLOH.....	58

SEZNAM OBRÁZKŮ

1.1: Převod analogového signálu na digitální	13
1.2: Průběh závislosti zisku na kmitočtu, a) dolní propust, b) horní propust, c) pásmová propust, d) pásmová zádrž.....	14
1.3: a) Schéma obvodu RC dolní propusti, b) Schéma obvodu RC horní propusti, c) Schéma obvodu RC pásmové propusti, d) Schéma obvodu RC pásmové zádrže	15
1.4: Filtr jako dvojbran	15
1.5: Porovnání čtyř typů aproximací.....	18
2.1: Náhrada rezistoru pomocí SC	19
2.2: Impulzní průběh proudu na kapacitoru	21
2.3: Integrátor s technikou SC	22
2.4: a) vstupní signál se spojitým časem, b) modul spektra spojitého signálu, c) modul spektra ideálně vzorkovaného signálu, d) spektrum při nesplnění vzorkovací podmínky	23
2.5: a) ideální anti-aliasingový filtr, b) reální anti-aliasingový filtr.....	24
2.6: Základní spínač MOS využívající komplementárního zapojení	25
2.7: Závislost odporu sepnutého spínače MOS na vstupním napětí.....	26
2.8: Spínač s konstantním UGS, jeho a) Princip spínače, b) Realizace spínače pomocí spínaného kapacitoru.....	27
2.9: Efekt injekce náboje	28
2.10: Pronikání řídicího hodinového signálu	29
2.11: Použití „dummy“ spínače pro snížení vlivu injekce náboje.....	29
2.12: Použití komplementárního spínače pro snížení vlivu injekce náboje	30
3.1: Operační zesilovač se složenou kaskodou	32
3.2: Obvod pro nastavení souhlasného napětí.....	33
3.3: Obvod pro generování příslušných napětí	34
3.4: Proudová reference	35
3.5: Amplitudová kmitočtová charakteristika složené kaskody	36
3.6: Fázová kmitočtová charakteristika složené kaskody	36
3.7: Vstupní napěťový rozsah složené kaskody	37
3.8: Výstupní napěťový rozsah složené kaskody	37
3.9: Rychlost přeběhu složené kaskody	38
3.10: Dvojstupňový operační zesilovač	39
3.11: Amplitudová kmitočtová charakteristika dvoustupňového OZ	41
3.12: Fázová kmitočtová charakteristika dvoustupňového OZ	41
3.13: Vstupní napěťový rozsah dvoustupňového OZ.....	42
3.14: Výstupní napěťový rozsah dvoustupňového OZ.....	42
3.15: Rychlost přeběhu dvoustupňového OZ.....	43
3.16: Schéma použitého spínače	44
3.17: Řídicí hodinové signály	45
3.18: Obvod pro generování řídicích signálů.....	45
3.19: Nepřekrývají se signály při řízení PMOS tranzistorů	45
4.1: Sallen–Key filtr.....	48
4.2: Simulovaný přenos filtru Sallen–Key	49
4.3: Možnost laditelnosti filtru.....	50
4.4: Bikvadratický filtr dolní propusti druhého řádu	51
4.5: Simulovaný přenos bikvadratického filtru	52

SEZNAM TABULEK

3.1: Vypočítané rozměry tranzistorů pro OZ se složenou kaskodou	33
3.2: Vypočítané hodnoty pro proudovou referenci	35
3.3: Naměřené parametry operačního zesilovače se složenou kaskodou.....	38
3.4: Vypočítané rozměry tranzistorů dvojstupňového OZ	40
3.5: Naměřené parametry dvojstupňového OZ	43
3.6: Parametry simulovaného signálu	46
4.1: Vypočítané hodnoty kapacitorů pro návrh Sallen–Key	49
4.2: Vypočítané hodnoty kapacitorů pro návrh bikvadratického filtru	51

ÚVOD

Spojité filtry jsou realizovány pomocí pasivních prvků, jako jsou rezistory, kapacitory a induktory, jejichž přímá implementaci do integrovaného obvodu je obtížná. Diskrétní filtry jsou realizovány pomocí techniky spínaných kapacitorů, která nabízí možnost návrhu přesných a laditelných obvodů. Přesnost této techniky je dána poměrem a nezávisí na absolutních hodnotách kapacitorů.

Tato práce se zabývá návrhem antialiasingového filtru pro časově diskrétní aplikace. Filtry jsou realizovány v technologii onsemi I3T80. Práce je rozdělena do čtyř kapitol.

První kapitola se zaměřuje na obecný popis filtrů. Je zde zmíněno základní rozdělení podle konstrukce, kmitočtové odezvy a typu zpracovávaného signálu. Dále je zde popsán přenos filtru s rozkladem přenosové funkce pomocí pólů a nul. Nakonec je zde popsán význam aproximace a různé typy známých aproximací.

V druhé kapitole je popsána technika spínaných kapacitorů s odvozením kapacitoru se dvěma spínači jako ekvivalentem odporu. Jsou zde zmíněny jednotlivé výhody a nevýhody této techniky. Dále je zde popsán význam aliasingu a možnosti, jak mu zabránit. Větší část druhé kapitoly se věnuje analogovým spínačům, kde jsou popsány možnosti realizace. Dále jsou zde zmíněny problémy spojené s technikou spínaných kapacitorů a různé možnosti kompenzací.

Třetí kapitola se zabývá návrhem jednotlivých bloků, které jsou potřeba pro návrh filtru. Je zde navržen plně diferenční operační zesilovač se složenou kaskadou a obvody potřebné pro jeho funkci. Dále dvoustupňový operační zesilovač, a nakonec návrh analogového spínače a generátoru nepřekrývajících se řídicích signálů.

Ve čtvrté kapitole jsou topologie zvolených filtrů a jejich simulace.

1. FILTRY

V oblasti zpracování signálu je filtr druh zařízení nebo procesu, který odstraňuje či potlačuje nežádoucí složky nebo vlastnosti signálu. Filtry mění amplitudu a fázové charakteristiky signálu s ohledem na kmitočet. Nejčastěji to znamená odstranění některých kmitočtů nebo kmitočtových pásem. Filtry se široce používají v elektronice a telekomunikacích, v rozhlase, televizi, při záznamu zvuku, v radaru, v řídicích systémech, při zpracování obrazu a v počítačové grafice [1].

1.1 Klasifikace filtrů

Filtry lze rozdělit podle typu zpracování signálu na analogové a digitální. Oba typy je možné rozdělit do více podskupin. Stručně řečeno, klasifikace může tvořit stromovou strukturu. Ve skutečnosti je klasifikace velmi obtížná, protože některé filtry mohou zastávat multifunkční vlastnosti. Dále je lze dělit na základě jejich konstrukce a kmitočtové odezvy. Podle konstrukce je dělíme na pasivní a aktivní. Podle kmitočtové odezvy se dělí na dolní propust, horní propust, pásmovou propust, pásmovou zádrž a fázovací články. Jelikož existuje mnoho různých standardů klasifikace filtrů a mnoho z nich se překrývají, neexistuje jasně daná klasifikace [2].

Filtry lze klasifikovat na:

- analogové nebo digitální,
- spojité nebo diskrétní,
- pasivní nebo aktivní,
- lineární nebo nelineární.

1.1.1 Pasivní filtry

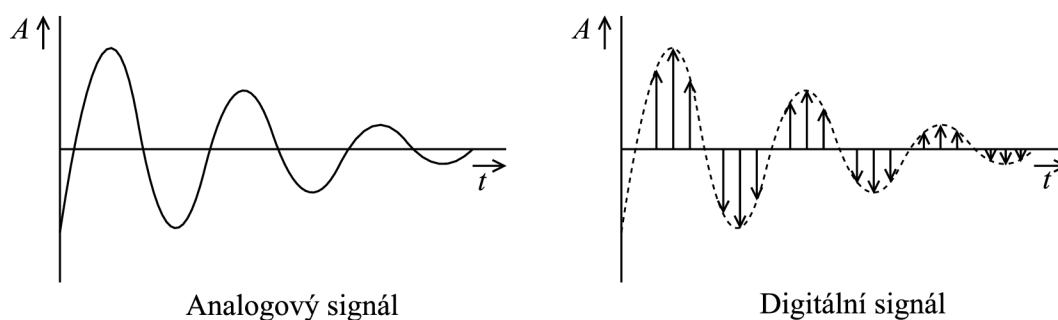
Pasivní filtry se skládají z pasivních komponent jako jsou rezistory, kondenzátory a induktory. Princip je založen na reaktanci kapacitní a induktivní složky, která se mění s kmitočtem. Dokáže odfiltrovat jednu nebo více harmonických složek. Obvody pasivních filtrů mají jednoduchou strukturu a lze je snadno navrhnout. Mají výhodu v jednoduchosti a vysoké spolehlivosti. Nevýhoda je ztráta energie v propustném pásmu, jelikož zde mohou vznikat problémy s elektromagnetickou indukcí [2].

1.1.2 Aktivní filtry

Aktivní filtry se kromě rezistorů a kondenzátorů skládají z aktivních komponent, jako jsou například tranzistory nebo operační zesilovače. Jednoduchou metodou kaskádování je snadné vytvořit filtr vyššího řádu. Výhodou je minimální ztráta energie v propustném pásmu. Nevýhodou je rozsah propustného pásma, který je omezený šířkou pásma aktivní komponenty. Nejsou vhodné pro aplikace s vysokým napětím, kmitočtem a výkonem. Aktivní filtry se používají pro zpracování signálu s vyššími požadavky [2].

1.1.3 Analogové a digitální filtry

Analogové filtry pracují se spojitém signálem (signál má nekonečno mnoho stavů). Jsou považovány za základní stavební bloky při zpracování signálu. Lze je rozdělit do tří kategorií: aktivní, pasivní a heterogenní. Digitální filtry zpracovávají vstupní signál, který musí být převeden do binárního čísla (vzorkování signálu). Tato čísla jsou uložena v paměti, ošetřena a digitálně zpracována. Pracují v diskrétním čase, na rozdíl od spojitého signálu nemají hodnoty v každém okamžiku. Signál reprezentuje sekvence vzorkovaných hodnot. Na obrázku 1.1 je zobrazeno vzorkování spojitého analogového signálu [2].



Obrázek 1.1: Převod analogového signálu na digitální

1.2 Rozdělení filtrů podle kmitočtové odezvy

V následujících podkapitolách jsou blíže popsány typy filtrů podle kmitočtové odezvy.

1.2.1 Dolní propust

Dolní propust propouští signály s nižšími kmitočty a potlačuje signály s vyššími kmitočty. Základní zapojení filtru dolní propusti je zobrazeno na obrázku 1.3a. Dolní propust typu RC funguje na principu změny impedance při změně kmitočtu. Pokud bude obvodem procházet signál s nízkým kmitočtem, bude reaktance kondenzátoru vysoká a na výstupu se objeví vstupní signál. V opačném případě bude reaktance nízká a proud přes kondenzátor bude zkratován. Na obrázku 1.2a je zobrazena amplitudová charakteristika filtru typu dolní propust [3].

Rovnice mezního kmitočtu dolní propusti prvního řádu je

$$f_0 = \frac{1}{2\pi RC} \quad (1.1)$$

1.2.2 Horní propust

Horní propust propouští signál s vysokým kmitočtem a potlačuje signál s nízkým kmitočtem. Na obrázku 1.3b lze vidět, že schéma obvodu. Při nízkých kmitočtech bude reaktance kondenzátoru vysoká a obvod bude blokovat vstupní signál. Po překročení

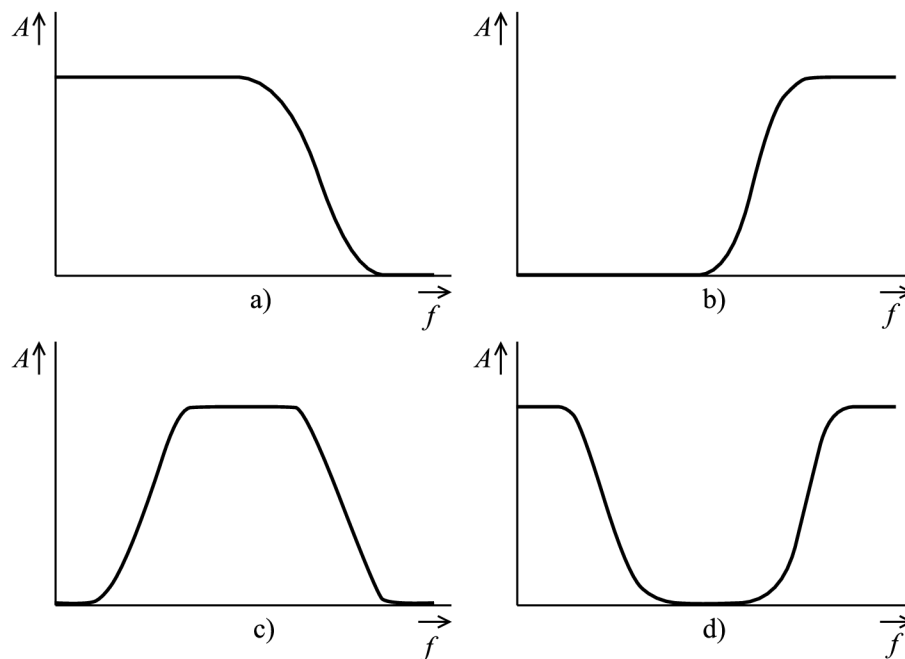
mezního kmitočtu, poklesne reaktance a na výstupu filtru bude vstupní signál. Na obrázku 1.2b je zobrazena amplitudová charakteristika filtru [3].

1.2.3 Pásmová propust a pásmová zádrž

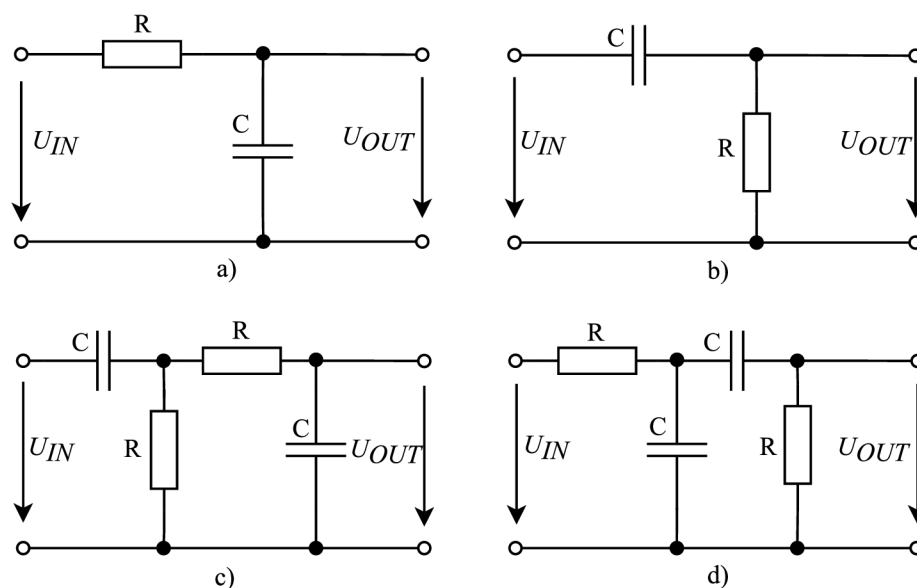
Pásmové propusti propustí kmitočty jen v určitém pásmu a zbylé potlačují. Pásmovou propust lze získat spojením horní a dolní propusti, jak lze vidět na obrázku 1.3c. V tomto zapojení sériový kondenzátor potlačuje signál na nízkém kmitočtu a paralelní kondenzátor signál na vysokém kmitočtu. Tímto způsobem je získán přenos filtru, který je znázorněn na obrázku 1.2c. Šířka propustného pásma je definována jako rozsah mezi mezními kmitočty. Pásmová zádrž je opakem pásmové propusti. Zapojení obvodu je zobrazeno na obrázku 1.3d a jeho amplitudová charakteristika 1.2d [3].

1.2.4 Fázovací články

Speciálním typem filtrů jsou fázovací články, u kterých je amplituda vstupního signálu konstantní v celém požadovaném kmitočtovém pásmu, přičemž dochází ke kmitočtové závislému zpoždění. To znamená, že signál je na jednom kmitočtu více zpožděn než signál na jiném kmitočtu. Takové obvody mohou být použity např. ke kompenzaci skupinového zpoždění [4].



Obrázek 1.2: Průběh závislosti zisku na kmitočtu, a) dolní propust, b) horní propust, c) pásmová propust, d) pásmová zádrž



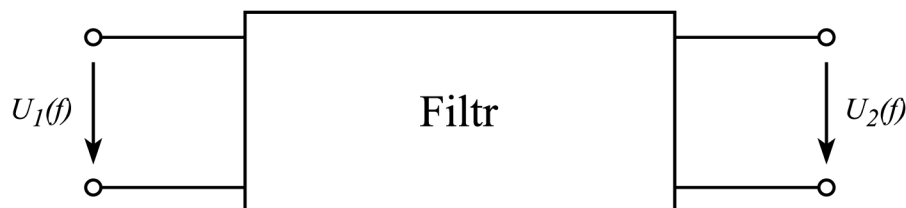
Obrázek 1.3: a) Schéma obvodu RC dolní propusti, b) Schéma obvodu RC horní propusti, c) Schéma obvodu RC pásmové propusti, d) Schéma obvodu RC pásmové zádrže

1.3 Přenos filtru a aproximace

V následujících kapitolách je popsán význam a způsob získání přenosové funkce. Dále rozklad přenosové funkce pomocí pólů a nul a různé odezvy filtrů.

1.3.1 Přenos filtru

Prochází-li přes kmitočtový filtr harmonický signál s amplitudou U_I , kmitočtem f_I a fází ϕ_I , na výstupu je opět získán harmonický signál se stejným kmitočtem, ale s rozdílnou amplitudou a fází. Na obrázku 4 je zobrazen filtr jako dvojbran, popisující zmíněný přenos [5].



Obrázek 1.4: Filtr jako dvojbran

Pro zvolený kmitočet lze přenos napětí harmonického signálu vyjádřit komplexním výrazem

$$K_u = K_u \cdot e^{j\varphi} = \frac{U_2 \cdot e^{j\varphi_2}}{U_1 \cdot e^{j\varphi_1}} \quad (1.2)$$

Rovnici 1.2 lze ještě rozdělit na reálnou a imaginární část, přičemž častější vyjádření je za pomoci modulu a argumentu

$$K_u = \frac{U_2}{U_1}, \varphi = \varphi_2 - \varphi_1, \quad (1.3)$$

kde modul K_u je poměr mezi výstupním a vstupním signálem a argument ϕ je rozdíl fází. Modul přenosu je bezrozměrné číslo. Kvůli velkému rozsahu hodnot se upřednostňuje modul v logaritmickém měřítku. Takto zmíněný výpočet přenosu lze použít jen pro konkrétní kmitočet, proto je vhodnější vyjádřit přenos jako funkci kmitočtu

$$K_{(j\omega)} = \frac{a_m \cdot (j\omega)^m + a_{m-1} \cdot (j\omega)^{m-1} + \dots + a_1 \cdot j\omega + a_0}{b_n \cdot (j\omega)^n + b_{n-1} \cdot (j\omega)^{n-1} + \dots + b \cdot j\omega + b_0} \quad (1.4)$$

nebo pomocí racionální funkce ($p = \sigma + j\omega$)

$$K_{(p)} = \frac{a_m \cdot p^m + a_{m-1} \cdot p^{m-1} + \dots + a_1 \cdot p + a_0}{b_n \cdot p^n + b_{n-1} \cdot p^{n-1} + \dots + b \cdot p + b_0}, \quad (1.5)$$

kde řád polynomu čitatele m je menší nebo roven řádu jmenovatele n ($m \leq n$). Tato komplexní funkce může být opět rozdělena na modulovou a argumentovou část. Vynesením v závislosti na kmitočtu je získána amplitudová a fázová charakteristika. Nejvyšší mocnina n udává řád funkce a při praktickém návrhu naznačuje počet akumulčních prvků, tedy cívek a kondenzátorů [5].

1.3.2 Rozklad přenosové funkce pomocí pólů a nul

Kvůli lepší přehlednosti přenosových vlastností se rozložily funkce na dílčí funkce nižších řádů. Nejčastější rozklad na polynomy čitatele a jmenovatele přenosové funkce je ve tvaru

$$K_{(p)} = a_m \cdot \frac{(p - p_{am}) \cdot (p - p_{a(m-1)}) \cdot \dots \cdot (p - p_{a1})}{(p - p_{bn}) \cdot (p - p_{b(n-1)}) \cdot \dots \cdot (p - p_{b1})}, \quad (1.6)$$

kde p_{ai} , p_{bi} jsou obecně komplexní kořeny čitatele a jmenovatele v rovině p .

Nulový bod funkce je získán dosazením komplexního kmitočtu p do jednoho z kořenů čitatele p_{ai} . Hodnota člena, celého čitatele a přenosové funkce bude nulová. Tato funkce vyjadřuje nulový přenos. Pól přenosové funkce je obdobně získán dosazením za p jeden z kořenů p_{bi} , hodnota celého jmenovatele bude nulová a přenosová funkce bude mít v tomto bodě nekonečnou hodnotu [5].

1.3.3 Aproximace funkce

Při návrhu filtru se výchozí požadavky stanovují formou tolerančního pole, ve kterém

musí ležet modulová charakteristika výsledné přenosové funkce. Vhodných funkcí pro zvolené toleranční pole je nekonečné množství a je tedy snahou najít funkci s nejnižším řádem a zároveň splňující všechny požadované vlastnosti. Navržení vhodné přenosové funkce je velmi složitý proces a je tedy vhodnější vybrat ze známých přenosových funkcí (aproximací). U složitějších filtrů již standardní aproximace nevyhovují a je potřeba pro získání přenosové funkce řešit aproximaci obecně [5].

Typy známých aproximací:

- Besselova aproximace

Tato aproximace má souvislost konstantního skupinové zpoždění v propustném pásmu a přechodné charakteristiky téměř bez překmitů. Tato vlastnost zajistí zachování tvaru průchozího signálu. Výhodou je použití pro filtraci kmitočtově a fázově modulovaných signálů, zato nevýhodou je velmi malá strmost modulové charakteristiky [5].

- Butterworthova aproximace

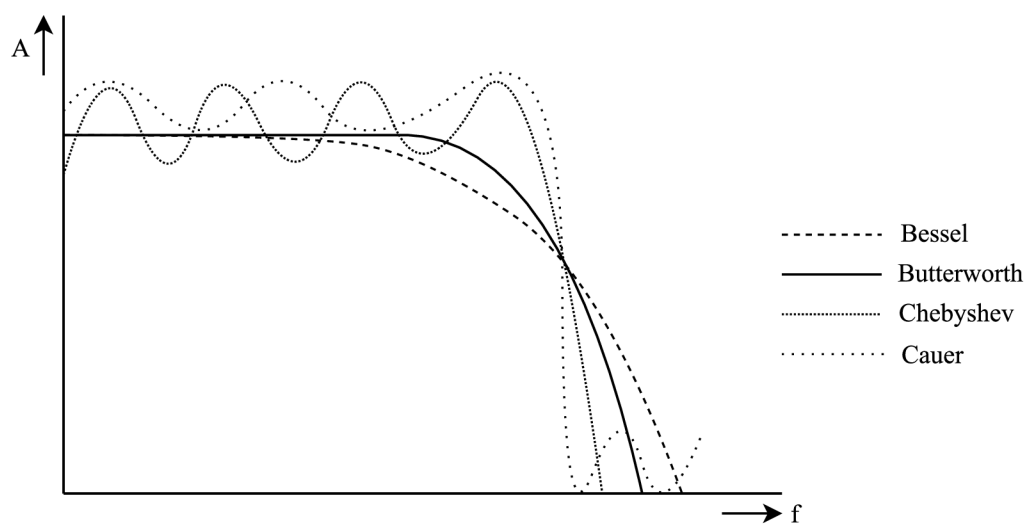
Tato aproximace je považována za nejpoužívanější. Je vhodným kompromisem mezi požadovanou linearitou fázové charakteristiky a dosažitelným útlumem modulové kmitočtové charakteristiky pro nízké řády filtrů. Výhodou je jednoduchost algoritmů pro výpočet koeficientů přenosové funkce [5].

- Čebyševova aproximace

Tato aproximace umožňuje dosáhnout strmé charakteristiky v přechodovém pásmu s velkým potlačením přenosu v nepropustném pásmu. Nevýhodou je větší nelinearita fázové charakteristiky a tomu odpovídající větší odchylka skupinového zpoždění. To lze zlepšit volbou malého zvlnění modulové charakteristiky, dojde ke snížení strmosti, ale zároveň ke zlepšení fázových vlastností [5].

- Caueirova aproximace

Umožňuje použití nejnižších řádů filtrů pro potlačení přenosu a dosahuje nejstrmějších modulových charakteristik v přechodném pásmu. To způsobuje velkou nelinearitu fázové charakteristiky [5].



Obrázek 1.5: Porovnání čtyř typů aproximací

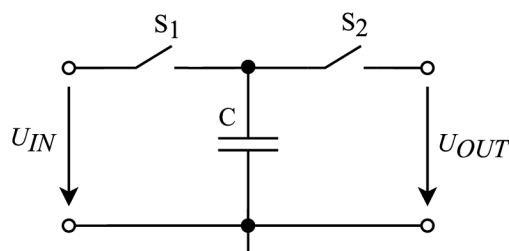
2. OBVODY SE SPÍNANÝMI KAPACITORY

V poslední době bylo mnoho aktivních filtrů nahrazeno speciálním druhem filtru, který se nazývá filtr se spínaným kapacitorem (SC). Je to prvek elektronického obvodu používaný v systémech pro zpracování diskretního časového signálu. Tato technika umožňuje navrhovat velmi sofistikované, přesné a laditelné analogové obvody bez použití rezistorů. Parametry (mezní kmitočty) aktivních filtrů využívající pasivní součástky R a C závisí na přesnosti hodnot součástek R a C, jejichž tolerance se pohybuje v integrovaných obvodech v rozmezí až $\pm 20\%$. Při použití techniky SC již přesnost základních parametrů filtrů nezávisí na absolutních hodnotách použitých kapacitorů, ale na jejich poměru, který lze v integrovaných obvodech realizovat s přesností pod $0,1\%$ [6].

Obvody SC jsou nejčastěji navrhovány v technologii CMOS, kde se využívá tranzistorů MOS ve funkci spínačů a lineárním kapacitorů MIM (Metal – Insulator – Metal), přičemž je využíváno komplementárního procesu MOS. Spínané kapacitory najdou uplatnění v integrovaných obvodech, kde se na jednom čipu zpracovává analogová i digitální část obvodu, převodnicích ADC a DAC, v analogových filtrech, v digitální telefonii a dalších. S použitím techniky SC je spojeno také několik problémů, které jsou popsány v kapitole 2.5. [7].

2.1 Odpor realizovaný spínaným kapacitorem

Základní myšlenka techniky SC je znázorněna na obrázku 2.1. Jedná se o zapojení, jehož princip je založen na kondenzátoru C, ke kterému jsou připojeny dva spínače S₁, S₂, které střídavě připojují kondenzátor ke vstupu U_{IN} a výstupu U_{OUT} . Základem je přenos náboje do kondenzátoru a z něj, když jsou spínače v sepnutém nebo rozepnutém stavu.



Obrázek 2.1: Náhrada rezistoru pomocí SC

Během každého spínacího cyklu je přenesen náboj ze vstupu na výstup. Přenesený náboj je q na kapacitoru C s napětím u je dán vztahem

$$q = C \cdot u. \quad (2.1)$$

Když dojde k sepnutí spínače S_1 a zároveň k rozeznutí spínače S_2 , bude přenesený náboj ze vstupu roven

$$q_{IN} = C \cdot u_{IN}. \quad (2.2)$$

Zatímco, když dojde k sepnutí spínače S_2 a rozeznutí spínače S_1 , bude náboj přenesený z kapacitoru C na výstup roven

$$q_{OUT} = C \cdot u_{OUT}. \quad (2.3)$$

Přenesený náboj během každého cyklu je

$$\Delta q = q_{OUT} - q_{IN} = C \cdot (u_{OUT} - u_{IN}), \quad (2.4)$$

pakliže se tento proces přepínání N krát opakuje, je množství přeneseného náboje za jednotku času dáno

$$\frac{\Delta q}{\Delta t} = C \cdot (v_2 - v_1) \cdot \frac{N}{\Delta t}. \quad (2.5)$$

Z levé strany rovnice (2.5) je vidět, že přenášený náboj v závislosti na čase představuje proud i a počet spínaných cyklů v závislosti na čase představuje spínací kmitočet f_{CLK} . Za této úvahy lze upravit rovnici (2.5) do tvaru

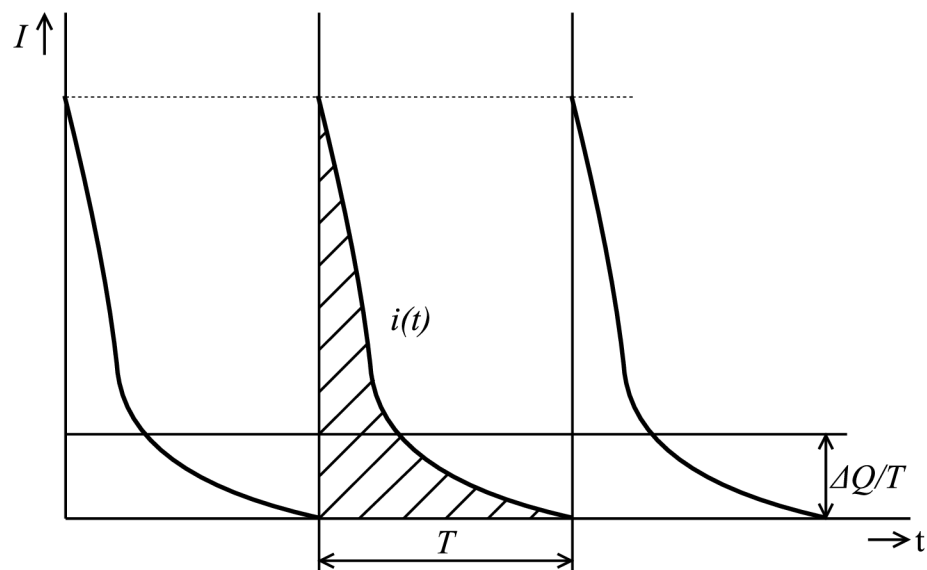
$$i = C \cdot (v_2 - v_1) \cdot f_{CLK} \quad (2.6)$$

a po další úpravě

$$\frac{(v_2 - v_1)}{i} = \frac{1}{C \cdot f_{CLK}} = \frac{T}{C} = R. \quad (2.7)$$

Z rovnice (2.7) je dokázáno, že obvod se spínaným kapacitorem je ekvivalentem rezistoru. Tato hodnota odporu klesá se zvyšujícím se spínacím kmitočtem nebo s rostoucí hodnotou kapacity, protože obě složky zvětšují množství náboje přeneseného ze vstupu U_{IN} na výstup U_{OUT} [8].

Dalším důkazem, že lze rezistor nahradit spínaným kapacitorem je zobrazen na obrázku 2.2. Proud tekoucí kapacitorem má impulzní charakter a je úplně jiný než proud tekoucí rezistorem. Pakliže se ale vezmou v úvahu střední hodnoty těchto dvou proudů, lze tyto obvodové prvky vzájemně nahradit [9].



Obrázek 2.2: Impulzní průběh proudu na kapacitoru

Mezi výhody techniky spínaných kapacitorů patří [9]

- nízký odpor v sepnutém stavu,
- možná implementace na čip v technologii CMOS,
- dobré teplotní charakteristiky,
- přesnost zpracování vstupního analogového signálu je dána přesností poměru kapacit.

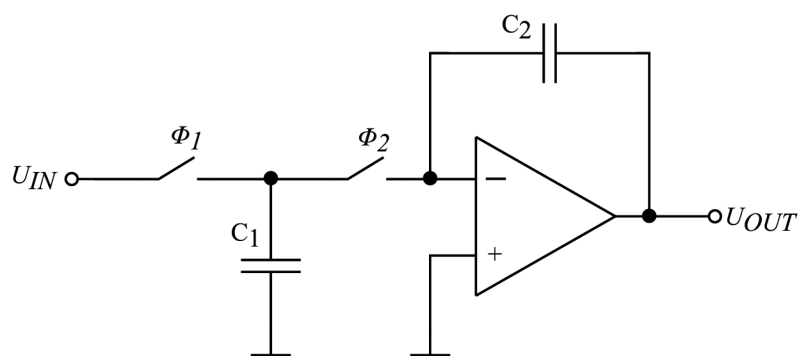
Mezi nevýhody techniky spínaných kapacitorů patří

- pronikání řídicího hodinového signálu přes spínače do signálové cesty,
- injekce náboje ze spínače,
- parazitní kapacity,
- jednotlivé fáze řídicího hodinového signálu se nesmí překrývat.

2.2 Základní zapojení pomocí SC

Mezi základní pracovní blok SC patří aktivní integrátor RC. Po nahrazení vstupního odporu technikou SC vznikl integrátor znázorněný na obrázku 2.3. Během první periody vzorkovacího signálu se kapacitor C_1 nabije na vstupní napětí U_{IN} . Jelikož je kmitočet hodinového signálu o mnoho větší než kmitočet vstupního signálu, je vstupní napětí během nabíjení konstantní. Během druhé periody je náboj přenesen na kapacitor C_2 ve zpětné vazbě operačního zesilovače. Časová konstanta RC bude dána jako

$$RC = \frac{C_2}{C_1 \cdot f_{CLK}} \quad (2.8)$$



Obrázek 2.3: Integrátor s technikou SC

Časová konstanta integrátoru je určena kmitočtem hodinového signálu a poměrem kapacitorů, nikoli přesnou hodnotou kapacit. Z tohoto důvodu je možné použít malé hodnoty kapacit, čímž bude zmenšena plocha integrovaného obvodu. Dojde však ke zhoršení chyb souběhu použitých kapacitorů [10].

2.3 Aliasing

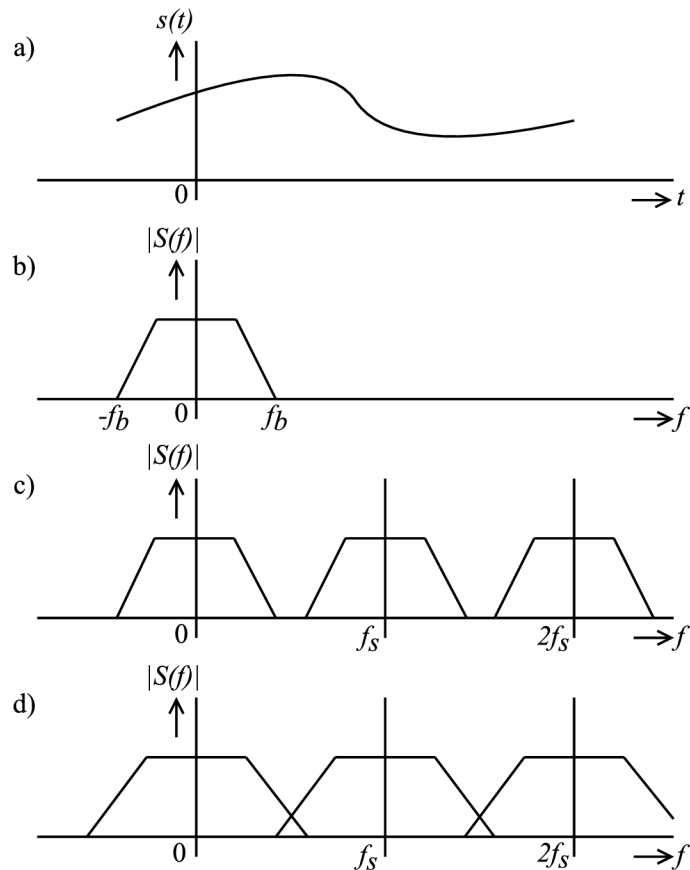
Vezme-li se v úvahu libovolný signál se spojitým časem, například signál, který je zobrazen na obrázku 2.4a. Po Fourierově transformaci je získán modul spektra $S(f)$ uvažovaného signálu, jak lze vidět na obrázku 2.4b. Zde f_b znázorňuje maximální kmitočet vstupního zpracovávaného signálu, který je vzorkován vzorkovacím kmitočtem f_s . Spektrum diskrétního signálu je vždy periodické, s periodou rovnou vzorkovacímu kmitočtu. Aby nedocházelo k překrývání sousedních spekter, musí platit podmínka Nyquistova vzorkovacího teorému,

$$f_s > 2 \cdot f_b, \quad (2.9)$$

která říká, že vzorkovací kmitočet by měl být alespoň dvojnásobkem maximální harmonické složky. Jinak řečeno, maximální kmitočet vstupního signálu by měl být menší nebo roven polovině vzorkovacího kmitočtu. V praxi se může hodnota vzorkovacího kmitočtu pohybovat až osminásobkem maximálního kmitočtu vstupního signálu [9], [11].

Převádí-li se spojitá funkce na diskrétní sekvenci a poté se interpoluje zpět na spojitou funkci, očekává se, že zpětně převedená funkce bude stejná jako ta původní. Tento předpoklad nebude platit, pokud by nebyla dodržena podmínka vzorkovacího teorému, jelikož by došlo k překrývání sousedních spekter, jak je znázorněno na obrázku 2.4d. Tento jev se nazývá aliasing. Při obnově spektra na původní signál dojde k významné ztrátě informace a původní signál již nelze správně rekonstruovat [9], [11].

Jsou používány dvě běžné metody k zabránění vzniku aliasingu. Jedna z možností je dostatečné zvýšení vzorkovacího kmitočtu, aby bylo zaručeno, že vzorkovací kmitočet bude větší než šířka pásma vstupního signálu. Druhou možností je použití filtru dolní propusti [9], [11].



Obrázek 2.4: a) vstupní signál se spojitým časem, b) modul spektra spojitého signálu, c) modul spektra ideálně vzorkovaného signálu, d) spektrum při nesplnění vzorkovací podmínky

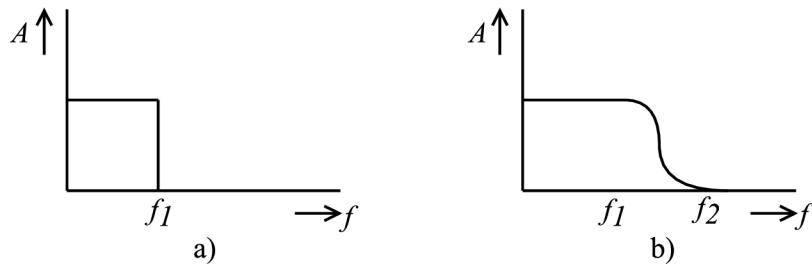
2.3.1 Řešení problému aliasingu pomocí filtrů

Jednou z možností zabránění vzniku aliasingu je použití analogového filtru dolní propusti. Tento filtr je anti-aliasingový, protože potlačuje všechny vyšší kmitočty, než je Nyquistův kmitočet a zabraňuje tak vzorkování aliasingových složek spektra [12].

V ideálním případě by všechny vstupní kmitočty, které jsou nižší jak f_1 , byly propuštěny a všechny nežádoucí kmitočty jsou potlačeny. Taková situace je znázorněna na obrázku 2.5a. Takový filtr ve skutečnosti není možné vytvořit a reálné průběhy se budou podobat obrázku 2.5b. Oblast mezi hraničními kmitočty f_1 a f_2 se nazývá přechodové pásmo, kde dochází k postupnému útlumu vstupního kmitočtu. Utlučené

kmitočty mohou stále způsobovat aliasing, a proto by měl být vzorkovací kmitočet větší než dvojnásobek nejvyššího kmitočtu v přechodovém pásmu [12].

Filtry se spínanými kapacitami ve funkci dolní propusti jsou schopny dobře potlačit vliv aliasingu, ale i ony samotné musí splňovat Nyquistovo kritérium. Ty se ale vyhýbají aliasingu tím, že jejich vzorkovací kmitočet bývá padesátkrát až stokrát větší než šířka pásma zpracovávaného vstupního signálu. Při použití nižšího vzorkovacího kmitočtu, je před filtr SC vložen jednoduchý anti-aliasingový filtr, který aliasingu zabrání. To může být například jednopólový filtr RC dolní propusti [12].



Obrázek 2.5: a) ideální anti-aliasingový filtr, b) reální anti-aliasingový filtr

2.4 Požadavky na operační zesilovač v SC obvodech

Operační zesilovač (OZ) je v obvodech SC nejdůležitější prvkem. Pro většinu aplikací není problém dosáhnout dostatečně velkého zesílení. Problémem je doba ustálení operačního zesilovače čili čas, za který zareaguje výstup na skokovou změnu na vstupu a ustálí se na požadované hladině. OZ plní dva základní úkoly. Zaprvé umožňuje přenos náboje z jednoho kapacitoru na druhý, aniž by došlo ke ztrátě na parazitních kapacitách. Zadruhé funguje jako vyrovnávací paměť [13].

Návrh operačního zesilovače pro aplikace SC v technologii CMOS lze rozdělit do tří částí.

V první fázi by mělo být vybráno, zdali se bude jednat o zesilovač s jedním výstupem nebo jestli bude plně diferenční, který je vhodné použít v případě možnosti potlačení negativních jevů spojených s technikou SC. Dále by se měly vzít v potaz velikosti kapacitorů, a to z důvodu šumu, souběhu a plochy. Výběr struktury OZ se volí v závislosti na požadovaných parametrech, jako je napájecí napětí, šířka pásma, stejnosměrné zesílení, šum, spotřeba atd. [13].

V druhé fázi dochází k volbě napětí U_{ON} , které souvisí s tranzistory MOS a lze jej vypočítat jako

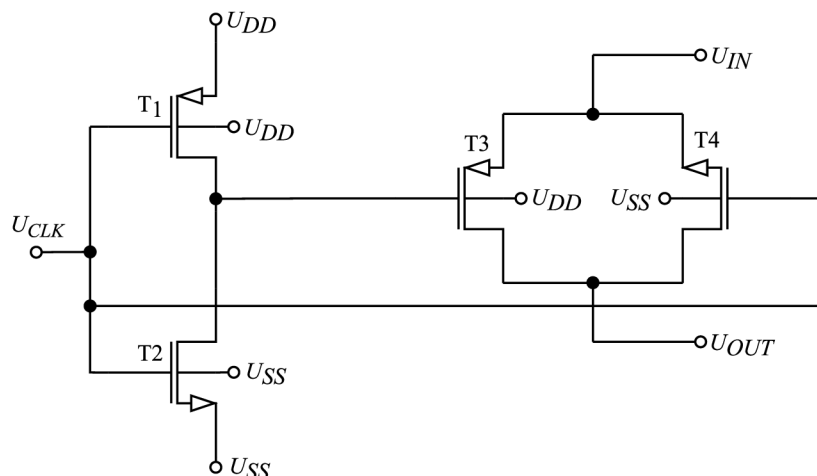
$$U_{ON} = U_{GS} - U_{TH} = \sqrt{\frac{i}{u \cdot C_{OX} \cdot \frac{W'}{L}}} \quad (2.10)$$

kde i je klidový proud tranzistoru diferenčního páru. Tento výběr vyvažuje požadavky na dobrý souběh tranzistorů, nízký šum, maximální rozsah výstupního signálu. Transkonduktance každého vstupního tranzistoru (NMOS nebo PMOS) je závislá na napětí U_{ON} a v případě požadavku na velkou hodnotu g_m , musí být toto napětí malé. Další částí je výběr délky hradla. Aby bylo možné dosáhnout velkého GBW a nízkého napětí U_{ON} , je potřeba, aby tranzistory diferenčního páru měly velký poměr W/L . Kromě toho musí být malá i kapacita hradla, aby byla zajištěna maximální možná rychlost. Z toho plyne, že vstupní tranzistory by měly mít co nejmenší možnou délku hradla, ale za cenu horšího souběhu [13].

Ve třetí fázi dochází k optimalizaci návrhu tak, aby bylo zajištěno minimální ustálení. Na základě vstupních a výstupních kapacit je určena minimální šířka hradla. A na základě známého proudu vstupních tranzistorů je možné určit potřebný proud pro zaručení minimální doby ustálení [13].

2.5 Analogový spínač

Jak už bylo zmíněno, tak nahrazení odporu je možné realizovat pomocí kondenzátoru a několika spínačů. Tyto spínače mohou být vytvořeny pomocí tranzistorů MOS, které lze ještě rozdělit podle typu vodivosti, a to na NMOS nebo PMOS. Na obrázku 2.6 je zobrazena realizace spínače pomocí komplementárního zapojení tranzistorů MOS, které jsou ovládány přes invertor [14].



Obrázek 2.6: Základní spínač MOS využívající komplementárního zapojení

V případě tranzistoru NMOS, bude-li kanál tranzistoru otevřen (na hradle gate bude logická 1), bude vstupní signál procházet ze vstupní svorky na výstup. V opačném případě (na hradle gate logická 0), tranzistor bude zavřen a výstupní signál bude nulový. V ideálním případě by měl být odpor sepnutého tranzistoru nulový a rozepnutého

nekonečný. Reálné tranzistory mají odpor v sepnutém stavu větší než 100Ω a v rozepnutém stavu mohou mít stovky megaohmů, přičemž odpor lze vypočítat jako

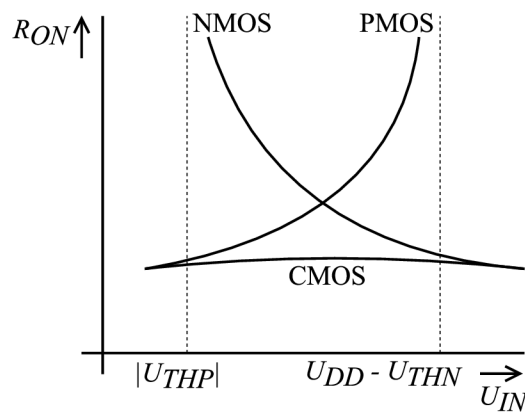
$$R_{ON} = \frac{1}{\mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH})} \quad (2.11)$$

$$= \frac{1}{\mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (U_{DD} - U_{IN} - U_{TH})},$$

kde μ_n je pohyblivost elektronů, C_{ox} je kapacita hradlového oxidu, W a L je šířka a délka tranzistoru MOS, U_{DD} napájecí napětí a U_{TH} je prahové napětí spínače [14].

Z rovnice (2.11) lze vidět, že odpor spínače v sepnutém stavu je závislý na vstupním napětí a vytváří tak nelineární zkreslení. Je to v podstatě odpor řízený napětím. Nelinearitu je možné zlepšit spínačem CMOS, namísto použití jednoho typu tranzistoru (NMOS nebo PMOS) [14].

Tato vlastnost je znázorněna na obrázku 2.7, kde je vidět přímá závislost odporu v sepnutém stavu na vstupním napětí pro jednotlivé tranzistory. Paralelním spojení obou typů tranzistorů dojde ke snížení odporu a citlivosti na změně napájecího napětí. Ačkoliv dojde spojením tranzistorů ke zlepšení, tak odpor bude stále závislý na napájecím napětí a teplotě [14], [15].



Obrázek 2.7: Závislost odporu sepnutého spínače MOS na vstupním napětí

2.5.1 Spínač s konstantním napětím U_{GS}

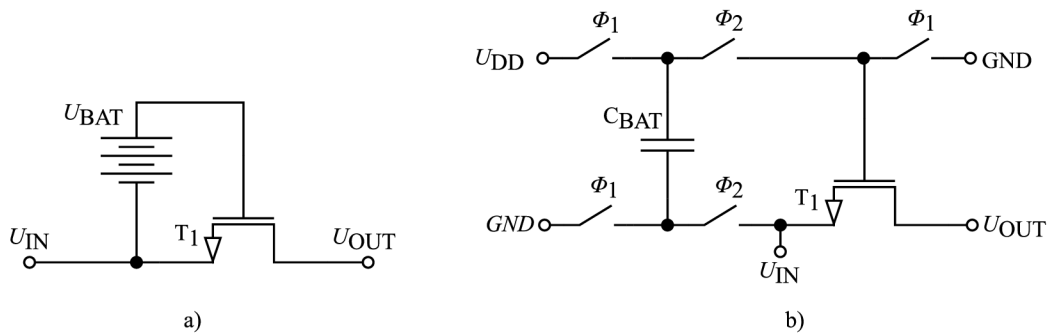
V kapitole 2.5 bylo řečeno, že odpor sepnutého spínače MOS je závislý na vstupním signálu a způsobuje nelineární zkreslení. Jednou z možností, jak zlepšit linearitu spínače bylo použití komplementárního spínače MOS. Další možností je použití tzv. „bootstrapped“ spínače. Princip tohoto spínače je založen na udržování konstantního napětí U_{GS} spínače MOS, jak již z rovnice (2.11) vyplývá, linearita spínače může být zlepšena udržováním konstantního napětí U_{GS} , bez ohledu na to, jak se mění vstupní napětí U_{IN} [15].

Na obrázku 2.8a je znázorněna myšlenka této techniky. Mezi elektrody gate a source je vložen zdroj konstantního napětí U_{BAT} . Při sepnutém spínači, bude na elektrodě gate napětí $U_{BAT} + U_{IN}$, což způsobí, že napětí U_{GS} bude konstantní bez ohledu na velikost U_{IN} . Nevýhodou je, že takový obvod nemůže pracovat v plném napájecím rozsahu, ale je vždy snížen o napětí U_{BAT} , tedy

$$\Delta U_{IN} = \langle U_{SS}, U_{DD} - U_{BAT} \rangle, \quad (2.12)$$

kde U_{SS} je záporné napájecí napětí a U_{DD} kladné napájecí napětí [15].

Realizovat tento spínač v plném napájecím rozsahu lze pomocí nábojové pumpy realizované pomocí spínaného kapacitoru, jak je znázorněno na obrázku 2.8b. Po přivedení signálu Φ_1 bude kondenzátor C_{BAT} nabitý na napájecí napětí U_{DD} a tranzistor T_1 bude připojen na zem. Po přivedení druhého signálu Φ_2 , bude nabitý kondenzátor připojen mezi hradlo gate a source a bude se způsobovat konstantní stejnosměrné napětí [15].



Obrázek 2.8: Spínač s konstantním U_{GS} , jeho a) Princip spínače, b) Realizace spínače pomocí spínaného kapacitoru

2.5.2 Injekce náboje

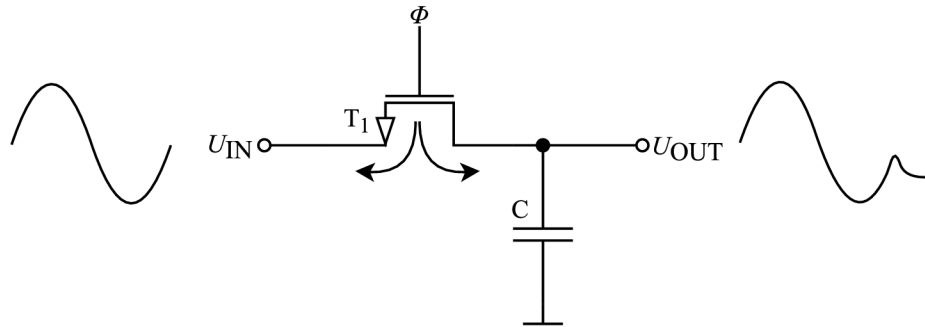
Dalším problémem, kterému je potřeba věnovat pozornost, je injekce náboje. V případě, když je spínač sepnutý a napětí U_{DS} je malé, je pod elektrodou gate vytvořen inverzní kanál se zbytkovým nábojem. Pro celkový náboj kanálu bude platit

$$Q_{t,ch} = W \cdot L \cdot C_{OX} \cdot (U_{DD} - U_{IN} - U_{TH}), \quad (2.13)$$

kde W , L jsou šířka a délka hradla spínače, C_{OX} je kapacita hradlového oxidu, U_{DD} je napájecí napětí, U_{TH} je prahové napětí tranzistoru. Z rovnice (2.13) lze vidět, že celkový náboj je závislý na vstupním napětí U_{IN} . Náboj injektovaný mezi hradly source a drain není přímo poloviční, protože závisí na vstupní a výstupní impedanci. V případě zanedbání tohoto předpokladu, lze určit chybu způsobenou injekcí polovičního náboje na kondenzátoru C jako

$$\Delta U = \frac{W \cdot L \cdot C_{OX} \cdot (U_{DD} - U_{IN} - U_{TH})}{2 \cdot C}. \quad (2.14)$$

Po rozepnutí spínače bude náboj kanálu injektován do hradla source a drain. Náboj, který je injektován na stranu vstupního signálu, nezpůsobí žádnou chybu, jelikož je absorbován vstupním zdrojem. Na druhou stranu, náboj injektovaný na výstupní stranu spínače se projeví chybou na kondenzátoru C. Na obrázku 2.9 je znázorněn problém s injekcí náboje [14], [15].



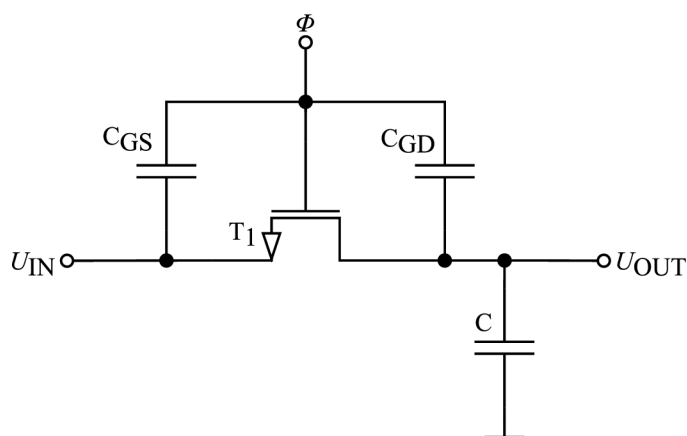
Obrázek 2.9: Efekt injekce náboje

2.5.3 Pronikání řídicího hodinového signálu

Vlivem parazitních kapacit produkuje spínač MOS další chybu, která je způsobena průchodem řídicího hodinového signálu. Tento signál je propojen s výstupem přes parazitní kondenzátor (gate – source nebo gate – drain), čímž vzniká na výstupu zkreslení o velikosti

$$\Delta U = U_{CLK} \cdot \frac{W \cdot C_{OV}}{W \cdot C_{OV} + C'} \quad (2.15)$$

kde W je šířka spínače MOS, U_{CLK} je napětí hodinového signálu a C_{OV} jsou parazitní kapacity. Vliv této chyby se projeví u sestupné hrany řídicího signálu, kde zlomek řídicího signálu přejde na kondenzátor C. Z rovnice (2.15) je zřejmé, že velikost chyby hodinového signálu závisí na velikosti parazitního kondenzátoru a je nezávislá na vstupním signálu. Vliv této chyby lze minimalizovat stejnými obvodovými zásahy, jako u injekce náboje. Na obrázku 2.10 je zobrazeno pronikání řídicího hodinového signálu na kondenzátor C [14], [15].

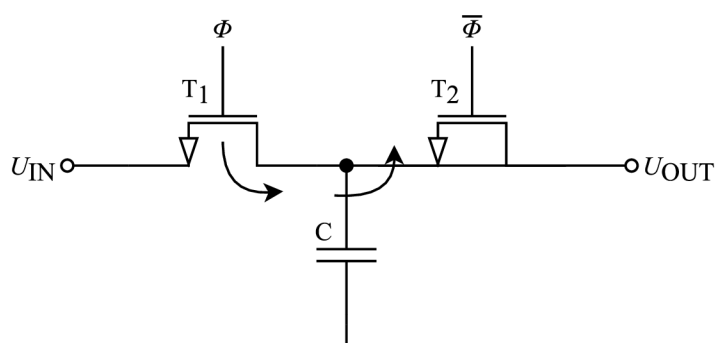


Obrázek 2.10: Pronikání řídicího hodinového signálu

2.5.4 Potlačení chyb spínače MOS („dummy“ spínač, spínač CMOS)

Jednou z možností potlačení vlivu injekce náboje je použití spínače v kombinaci tranzistoru MOS (hlavní spínač) s „dummy“ spínačem. Tato metoda je založena na faktu, že náboj injektovaný hlavním spínačem je odstraněn pomocí druhého spínače, jak je zobrazeno na obrázku 2.11. Do obvodu je přidán další spínač T_2 (hradla source a drain jsou zkratována), který je ovládán inverzním řídicím signálem. Když je T_1 rozepnutý, tak „dummy“ spínač bude zapnutý. Náboj z vypnutého spínače T_1 nebude injektován do kondenzátoru C , ale bude absorbován „dummy“ spínačem, který má poloviční šířku, než má spínač T_1 [14], [15].

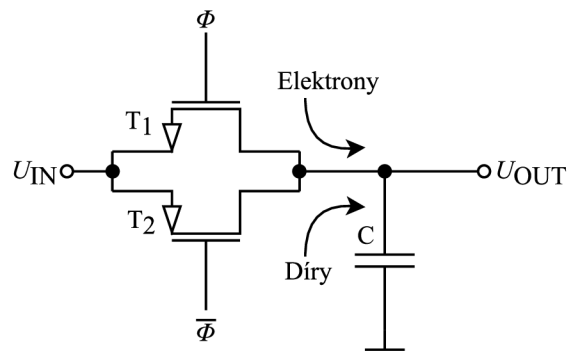
Tato metoda zmírňuje také účinky vlivu pronikání řídicího hodinového signálu, jelikož chybová napětí obou spínačů jsou stejná a mají opačnou polaritu [14], [15].



Obrázek 2.11: Použití „dummy“ spínače pro snížení vlivu injekce náboje

Podobného potlačení injekce náboje a pronikání řídicího hodinového signálu lze dosáhnout použitím spínačů NMOS a PMOS v komplementárním zapojení při použití stejné W a L . Chyba způsobena spínačem jednoho typu vodivosti bude vyrušena druhým

spínačem s opačnou vodivostí. Popsaný princip funkce je znázorněn na obrázku 2.12 [14], [15].



Obrázek 2.12: Použití komplementárního spínače pro snížení vlivu injekce náboje

Jsou zde i jiné vlivy, kterou mohou v technice SC způsobit problémy, například [16]

- parazitní kapacity kapacitorů a spínačů,
- časové rozdíly mezi jednotlivými fázemi řídicího signálu,
- stejnosměrná napěťová nesymetrie OZ,
- konečné zesílení OZ,
- konečná šířka pásma OZ,
- konečná rychlost přeběhu OZ,
- šum ve spínačích a v OZ,
- nenulový výstupní odpor OZ.

3. NÁVRH DÍLČÍCH BLOKŮ FILTRU

V následující kapitole jsou popsány návrhy jednotlivých bloků potřebných pro realizaci integrovaného filtru se spínanými kapacitami. Jedná se o operační zesilovač, spínač a generátor řídicího signálu, který je buzen externím hodinovým signálem, jehož výstupem jsou 2 nepřekrývající signály. Bloky jsou navrhovány v technologii onsemi I3T80, která je vyznačována napájecím napětím 3,3 V a minimální délkou tranzistoru 0,35 μm . Jsou zde uvedeny parametry a výsledky simulací.

3.1 Návrh operačního zesilovače se složenou kaskodou

V této kapitole je navržen a analyzován plně diferenční operační zesilovač s vysokým ziskem. V obvodech se spínanými kapacitami je operační zesilovač jeden ze základních stavebních bloků, který je potřeba navrhnout. Jedno z nejpoužívanějších zapojení pro SC je operační zesilovač se strukturou složené kaskody, který je zobrazen na obrázku 3.1. Výhodou tohoto zapojení je dostatečně velké zesílení, které je dáno transkonduktancí vstupního diferenčního páru a výstupním odporem složené kaskody. Dalšími přednostmi jsou vysoký výstupní odpor, nízké saturační napětí, vysoký výstupní rozsah. Kritériem tohoto zapojení je, aby všechny tranzistory byly v saturačním režimu. Nevýhodou je velké množství pracovních napětí, která jsou potřeba pro správnou funkci. Z obrázku 18 je možné vidět, že je potřeba vytvořit čtyři pracovní napětí [17].

Základem zapojení složené kaskody jsou dvojice tranzistorů T_4, T_5 a T_6, T_7 , které představují základní proudové zrcadlo. Diferenční výstup je odebírán z drainu tranzistoru T_8, T_9 . Vstupní část zesilovače je tvořena diferenčním párem, přičemž rozměry tranzistorů by měli být v nejlepším případě identické, aby i proudy I_1 a I_2 byly shodné. Tranzitní kmitočet je dán transkonduktancí vstupního diferenčního páru.

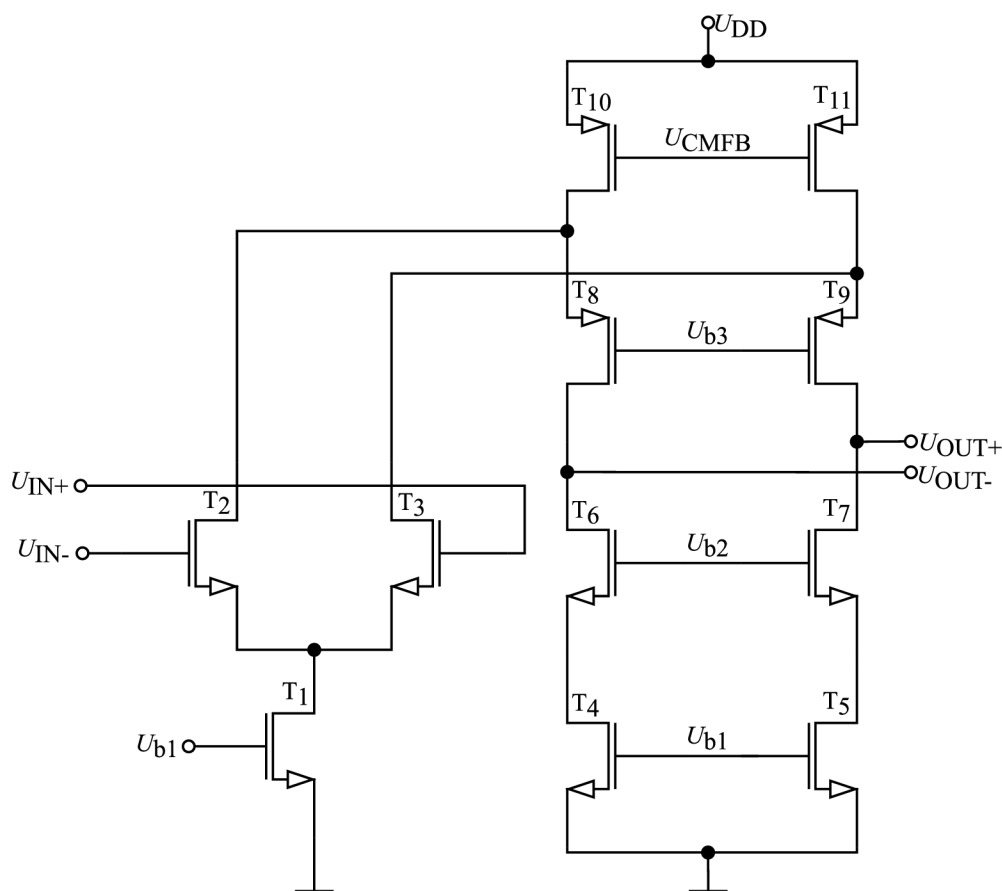
U návrhu byl kladen primární požadavek na velikost šířky pásma jednotkového zisku GBW, od kterého se odvíjel zbytek návrhu operačního zesilovače. Kvůli vysokému zesílení byl v návrhu použit rozdíl $U_{GS} - U_{TH} = 0,2$ V. Nejprve byla spočítána transkonduktance vstupního diferenčního páru jako

$$gm = 2 \cdot \pi \cdot GBW \cdot C_L, \quad (3.1)$$

kde C_L je zatěžovací kapacita.

Z vypočítané transkonduktance je následně určen proud tranzistorů T_2, T_3 a proud tranzistorem T_1 , jehož hodnota je dána součtem proudů, které prochází jednotlivými větvemi diferenčního páru. Proud I_2, I_3 je vypočítán jako

$$gm = \frac{2 \cdot I_D}{U_{GS} - U_{TH}} \rightarrow I_D = \frac{gm \cdot (U_{GS} - U_{TH})}{2}. \quad (3.2)$$



Obrázek 3.1: Operační zesilovač se složenou kaskodou

V klidovém pracovním bodě musí být proudy v diferenčním páru a ve všech větvích složené kaskody totožné. Aby rozdílový zesilovač neodebral při úplném rozvážení všechen proud kaskody, volí se velikost proudu protékajícího tranzistoru T_{10} , T_{11} v násobku 1,2–1,5 proudu I_1 , přičemž v návrhu byl použit 1,5násobek proudu I_1 . Pokud budou všechny proudy vztaheny k proudu diferenčního páru I_2 , tranzistorem T_2 poteče dvojnásobek proudu, tranzistorem T_{10} trojnásobek a tranzistorem T_8 dvojnásobek proudu I_2 .

Když už jsou známé proudy jednotlivými tranzistory, je možné dopočítat jejich poměry W/L . Rozměry tranzistorů jsou určeny z rovnice pro proud v saturaci (rovnice 3.3), kde velikost délky tranzistoru se volí v závislosti na modulaci délky kanálu. U použité technologie bylo ověřeno, že při délce $2\ \mu\text{m}$ se λ mění minimálně a délku již není potřeba zvyšovat. Poměr rozměrů tranzistoru se vypočítá jako

$$\left(\frac{W}{L}\right) = \frac{2 \cdot I}{K P_{n,p} \cdot (U_{DS,sat})^2} \quad (3.3)$$

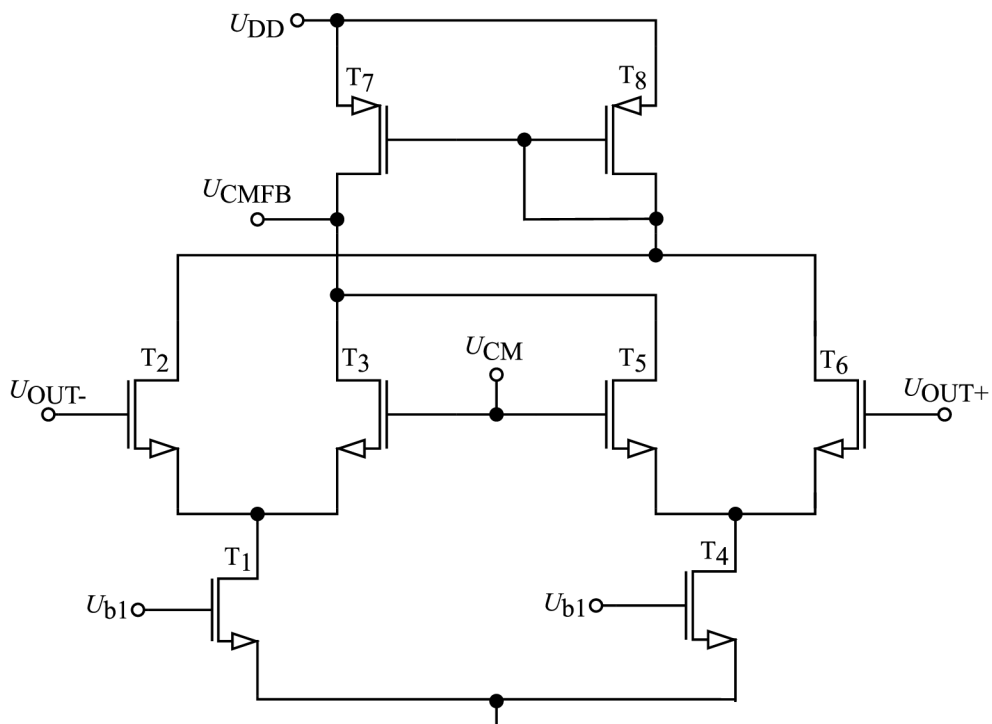
V tabulce 3.1 jsou vypočítané rozměry tranzistorů operačního zesilovače.

Tabulka 3.1: Vypočítané rozměry tranzistorů pro OZ se složenou kaskodou

	W/L [-]	L [μm]	W [μm]
T ₁ ,	2,55	2	5,1
T ₂ , T ₃	1,28	2	2,6
T ₄ , T ₅ , T ₆ , T ₇	2,55	2	5,1
T ₈ , T ₉	10,90	2	21,8
T ₁₀ , T ₁₁	16,35	2	32,7

3.1.1 Obvod pro nastavení souhlasného napětí (CMFB)

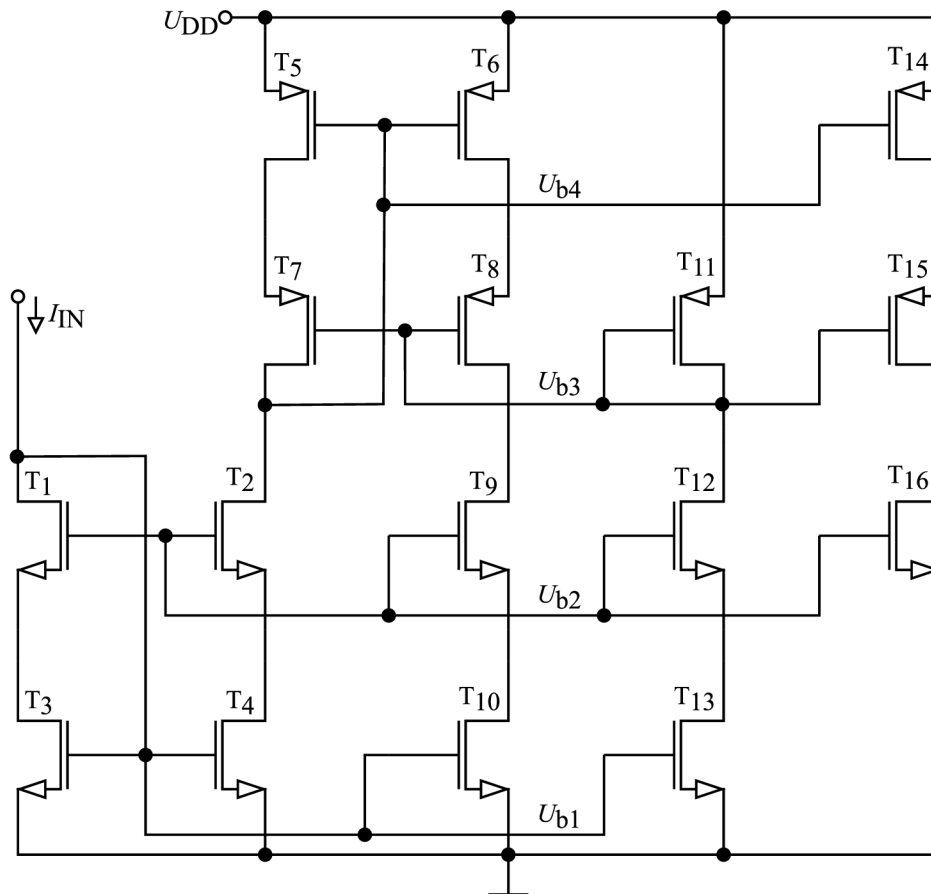
Jedno z omezení plně diferenčního zesilovače je využití dalšího obvodu se zpětnou vazbou, jelikož nemá na výstupu přesně definované souhlasné napětí. Jedna z možností realizace obvodu CMFB je znázorněna na obrázku 3.2. Tento obvod je složen ze dvou diferenčních párů, kde hradla gate tranzistorů T₃, T₄ jsou spojena a je zde přiloženo napětí U_{CM} . Souhlasné napětí je dáno použitou technologií a je to polovina napájecího napětí. V tomto návrhu je souhlasné napětí 1,65 V. K druhému tranzistoru diferenčních párů je připojeno výstupní napětí U_{OUT+} a U_{OUT-} , které se porovnává s napětím U_{CM} . Obvod následně pomocí napětí U_{CMFB} reguluje úbytek na tranzistorech T₁₀, T₁₁ a tím zajistí, že se výstupní napětí bude pohybovat okolo napětí U_{CM} .



Obrázek 3.2: Obvod pro nastavení souhlasného napětí

3.1.2 Referenční napětí

Jak už bylo zmíněno, velkou nevýhodou složené kaskody, je velké množství pracovních napětí. Tento problém je způsoben „body effectem“ tranzistorů složené kaskody T₆, T₇ a T₈, T₉. Z tohoto důvodu bylo potřeba navrhnout obvod pro generování potřebných pracovních napětí, jak je znázorněno na obrázku 3.3. Jedná se o modifikované proudové zrcadlo s velkým dynamickým rozsahem.



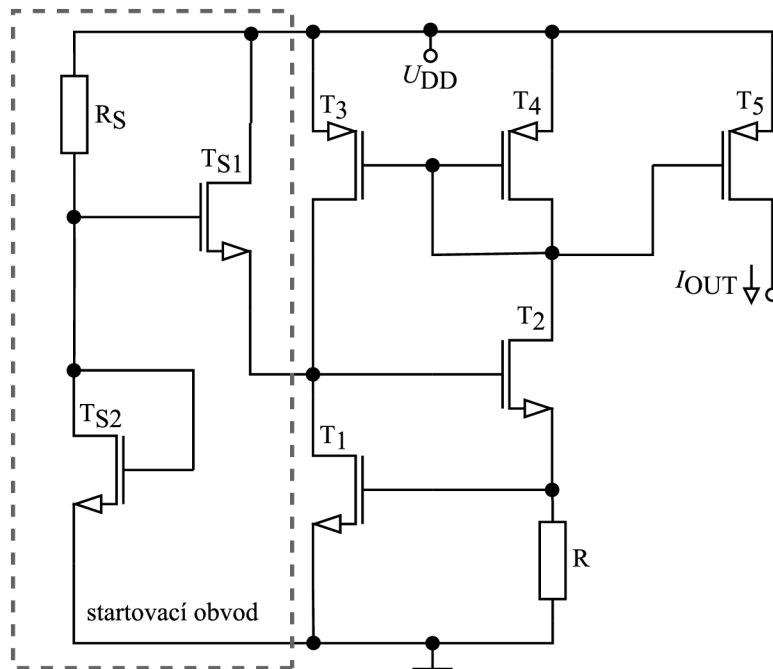
Obrázek 3.3: Obvod pro generování příslušných napětí

3.1.3 Zdroj referenčního proudu

Jedna z podmínek stability operačního zesilovače je návrh referenčního zdroje proudu, který je nezávislý na poklesu napájecího napětí a měnící teplotě. Zdroj proudu nezávislý na změně napájecího napětí je znázorněný na obrázku 3.4. Jedná se o referenci, která využívá záporné zpětné vazby tranzistorů T₁, T₂ ke stabilizaci výstupního proudu I_{OUT}. Potlačení změny napájecího napětí je způsobeno výstupní impedancí tranzistorů T₂ a T₃.

Požadovaný proud je nastaven pomocí odporu R a napětí U_{GS1} . Za podmínky stejných poměrů W/L proudového zrcadla T₃, T₄ bude proud v obou větvích stejný. Pro výpočet rozměru jednotlivých tranzistorů lze využít rovnici (3.3). Aby bylo zaručeno nastavení požadovaného pracovního bodu, je nutné do obvodu přidat startovací obvod (tranzistory

T_{S1} , T_{S2} a odpor R_S), který se po nastavení zavře a přestane ovlivňovat proudovou referenci [18].



Obrázek 3.4: Proudová referenc

Tabulka 3.2: Vypočítané hodnoty pro proudovou referenci

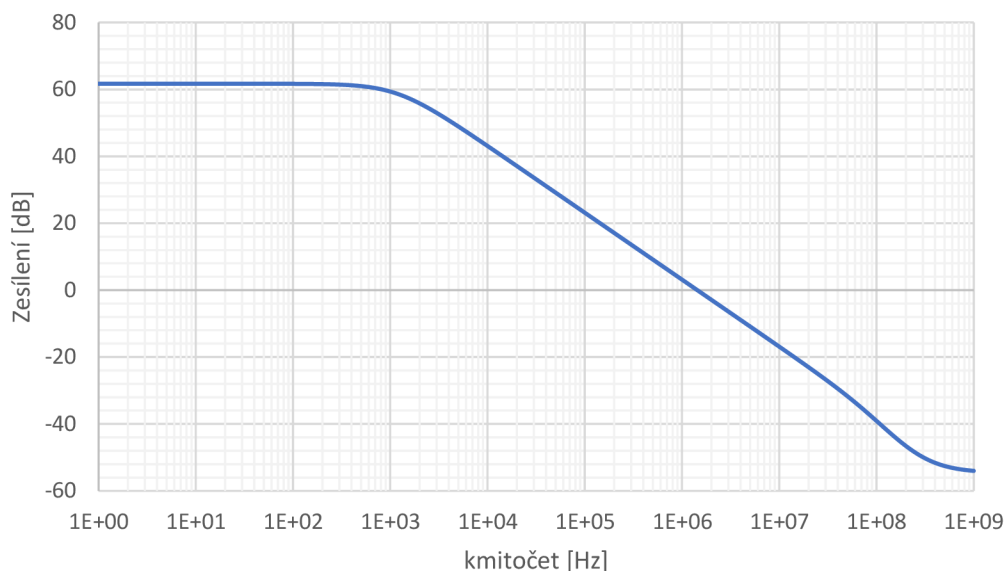
	Vypočítané hodnoty			Simulované hodnoty		
	W [μm]	L [μm]	R [Ω/\square]	W [μm]	L [μm]	R [Ω/\square]
T_1, T_2	3	2	162	3,3	2	147
T_3, T_4	12,9	2		14,1	2	

V tabulce 3.2 jsou vypočítané hodnoty pro referenční proud $5 \mu\text{A}$. Simulací byl ověřen napěťový rozsah, ve kterém může proudová referenc pracovat a to mezi 2,2 V–3,3 V. Dále byla provedena teplotní simulace, kde byl odečten přibližný rozsah teplot, pro který platí tolerance $\pm 0,3 \mu\text{A}$ ($-18 \text{ }^\circ\text{C}$, $50 \text{ }^\circ\text{C}$). Rozměry tranzistorů startovacího obvodu zde nejsou uvedeny, jelikož jejich velikost závisí na kompromisu mezi spotřebou a velikostí součástek. Rozměry nemají na nastavení pracovního bodu žádný vliv.

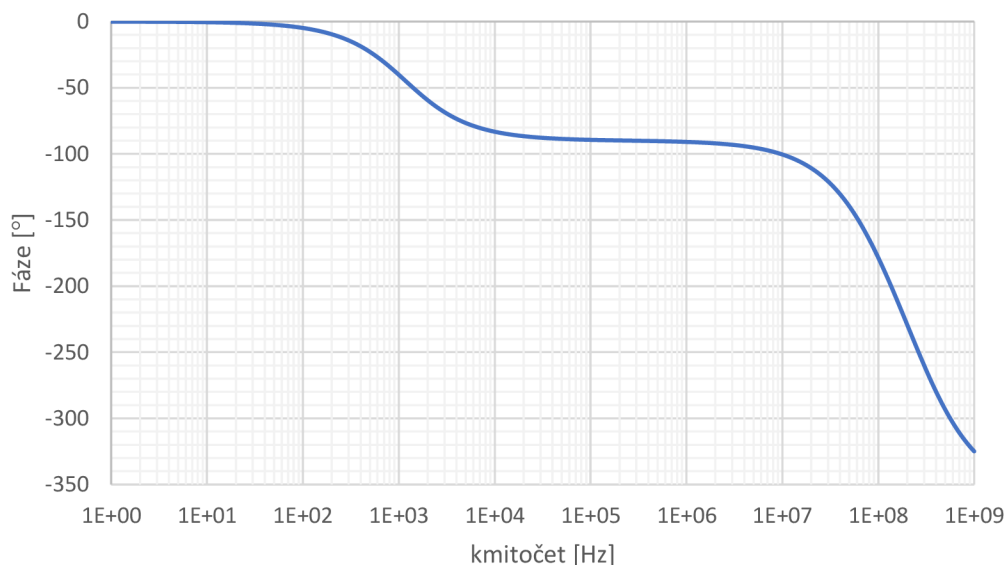
3.1.4 Parametry operačního zesilovače se složenou kaskodou

V této kapitole jsou shrnuty parametry navrhnutého operačního zesilovače. Kompletní návrh a jednotlivé části jsou zobrazeny v příloze A. Parametry byly určeny pro typické hodnoty tranzistorů, kapacitorů a rezistorů. Na obrázku 3.5 a 3.6 jsou zobrazeny kmitočtové charakteristiky. Zesílení operačního zesilovače je 62 dB s amplitudovou bezpečností 39,2 dB. Šířka pásma jednotkového zisku GBW je 1,43 MHz s fázovou rezervou 88° . Na obrázku 3.7 a 3.8 je možné vidět vstupní a výstupní napěťový rozsah.

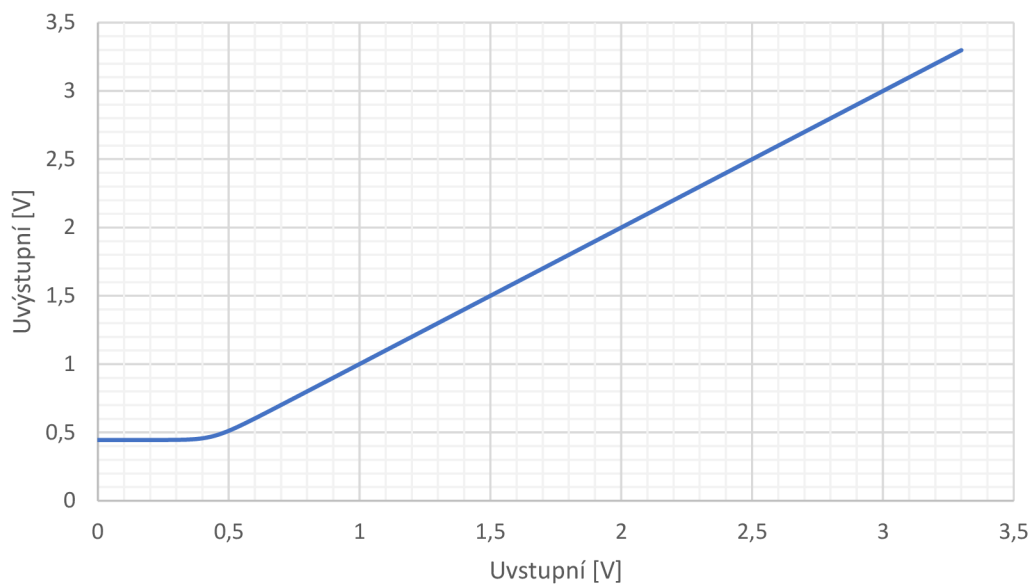
Vstupní napěťový rozsah je v rozmezí 0,5 V až 3,3 V a výstupní napěťový rozsah 0,2V až 3,2 V. Na obrázku 3.9 je zobrazena rychlost přeběhu s hodnotou 0,66 V/ μ s. Proudový odběr operačního zesilovače je 106 μ A s příkonem 350 μ W. V tabulce 3.3 jsou shrnuty všechny zmíněné parametry. V příloze A.4 je přiložena corner analýza kmitočtové charakteristiky. Vlivem hraničních hodnot se mění zesílení v rozmezí 61,78 dB až 64,41 dB a GBW může klesnout až na hodnotu 782 kHz.



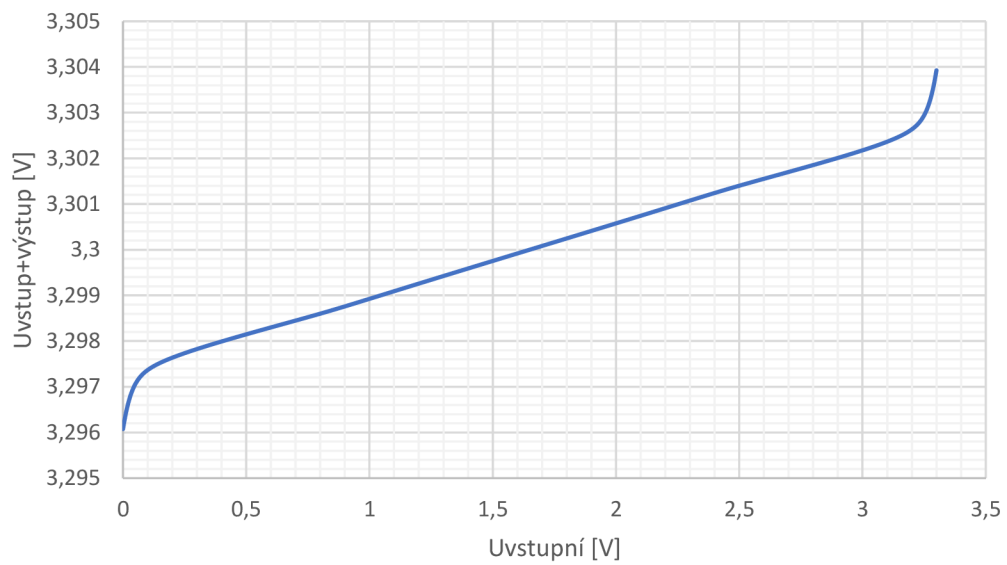
Obrázek 3.5: Amplitudová kmitočtová charakteristika složené kaskody



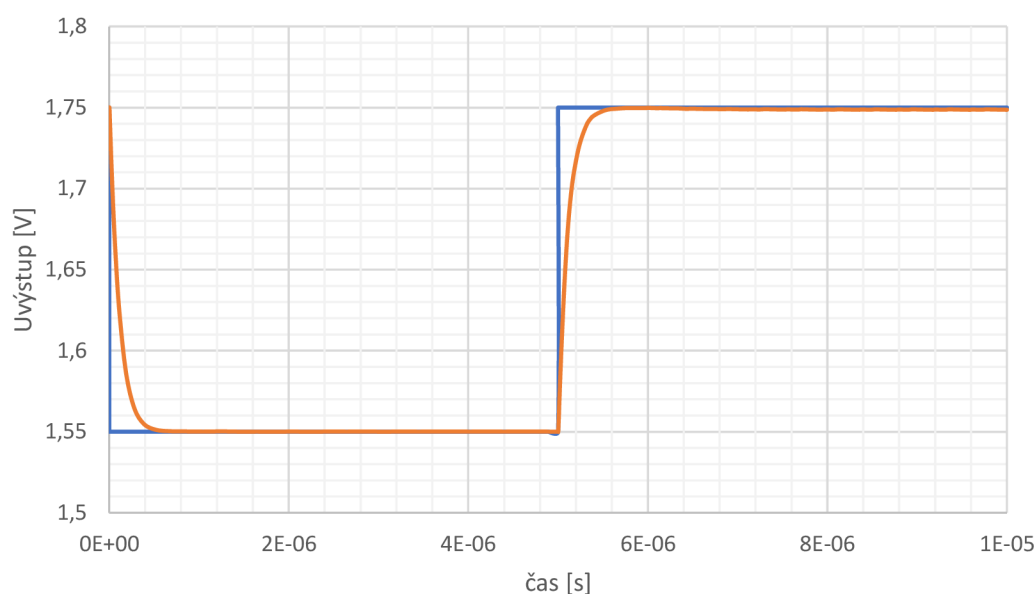
Obrázek 3.6: Fázová kmitočtová charakteristika složené kaskody



Obrázek 3.7: Vstupní napěťový rozsah složené kaskody



Obrázek 3.8: Výstupní napěťový rozsah složené kaskody



Obrázek 3.9: Rychlost přeběhu složené kaskody

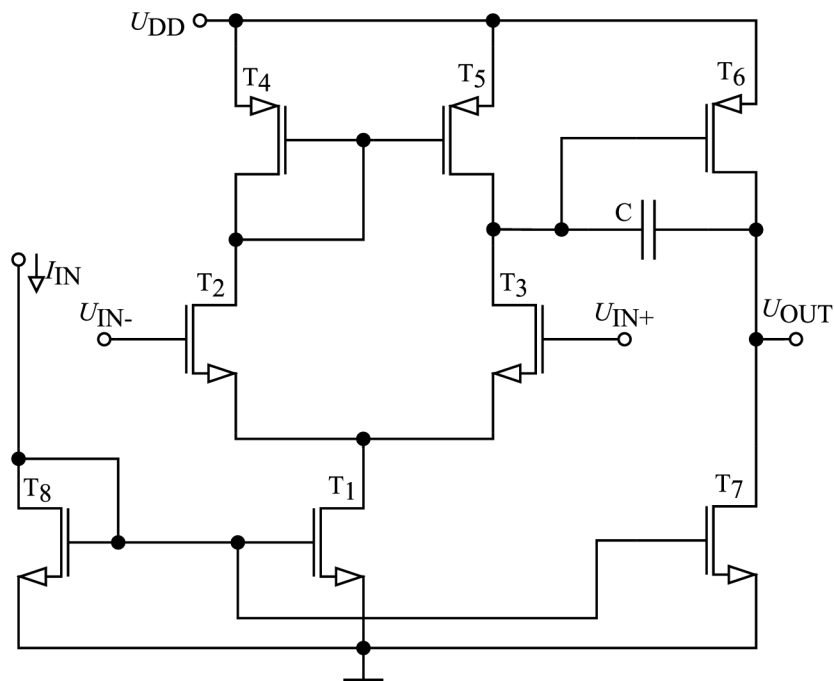
Změřená doba sestupné hrany je $0,66 \text{ V}/\mu\text{s}$ a doba náběžné hrany je $0,67 \text{ V}/\mu\text{s}$.

Tabulka 3.3: Naměřené parametry operačního zesilovače se složenou kaskodou

zesilení	62	dB
šířka pásma jednotkového zisku	1,43	MHz
mezní kmitočet	1,18	kHz
fázová bezpečnost	88	°
amplitudová bezpečnost	39,2	dB
zatěžovací kapacita	5	pF
rychlost přeběhu	0,66	$\text{V}/\mu\text{s}$
proudový odběr	106	μA
příkon	350	μV
vstupní napěťová nesymetrie	1,24	μV
rozsah vstupního napětí ICMR	0,5–3,3	V
rozsah výstupního napětí	0,2–3,2	V

3.2 Návrh dvojstupňového operačního zesilovače

V této kapitole je navrhnout dvojstupňový operační zesilovač, jehož schéma zapojení je zobrazeno na obrázku 3.10. Obvod je složen ze dvou zesilovačů. První stupeň je tvořen diferenčním párem, který zesiluje a převádí vstupní rozdílový signál na jednoduchý. Druhý stupeň je tvořen jednoduchým invertujícím zesilovačem s aktivní zátěží. Tranzistory T_2 a T_3 tvoří vstupní diferenční pár, který má aktivní zátěž tvořenou tranzistory T_4 a T_5 .



Obrázek 3.10: Dvojstupňový operační zesilovač

Požadovaným parametrem návrhu je dostatečná velikost šířky pásma jednotkového zisku a stejnosměrné zesílení a dostatečná fázová rezerva. Kvůli vysokému zesílení byl v návrhu použit rozdíl $U_{GS} - U_{TH} = 0,2$ V. Zatěžovací kapacita byla zvolena 5pF.

Prvním krokem je stanovení hodnoty kompenzační kapacity C . Zesilovač má dva póly a jednu nulou, která je umístěna na vyšším kmitočtu než GBW. Aby bylo dosaženo fázové bezpečnosti 60° , musí být druhý pól alespoň na 2,2 krát vyšším kmitočtu než GBW [18].

Hodnotu kompenzační kapacity je možné určit jako

$$C \geq 0,22 \cdot C_L. \quad (3.4)$$

Jelikož jsou při výpočtu zanedbány parazitní kapacity a konečné zesílení, je vhodné zvolit násobek zatěžovací kapacity 0,3.

Jelikož není zadán požadavek na SR, lze určit transkonduktanci tranzistorů v diferenčním páru jako

$$GBW = \frac{g_{m_{2,3}}}{2 \cdot \pi \cdot C} \rightarrow g_{m_{2,3}} = 2 \cdot \pi \cdot GBW \cdot C. \quad (3.5)$$

Nyní lze z rovnice (3.2) dopočítat proudy prvního zesilovacího stupně. Druhý stupeň je potřeba navrhnout s ohledem na fázovou rezervu. Transkonduktance druhého stupně by měla být desetkrát větší než transkonduktance prvního stupně. Proud tranzistorem T_6 , T_7 bude

$$gm_6 = \frac{2 \cdot I_{6,7}}{U_{DS6,sat}} \rightarrow I_{6,7} = \frac{gm_6 \cdot U_{DS6,sat}}{2} = \frac{10 \cdot gm_1 \cdot U_{DS6,sat}}{2} \quad (3.6)$$

Nyní jsou vypočítány všechny proudy v celém OZ a pomocí rovnice (3.3 lze dopočítat rozměry jednotlivých tranzistorů.

Tabulka 3.4: Vypočítané rozměry tranzistorů dvojstupňového OZ

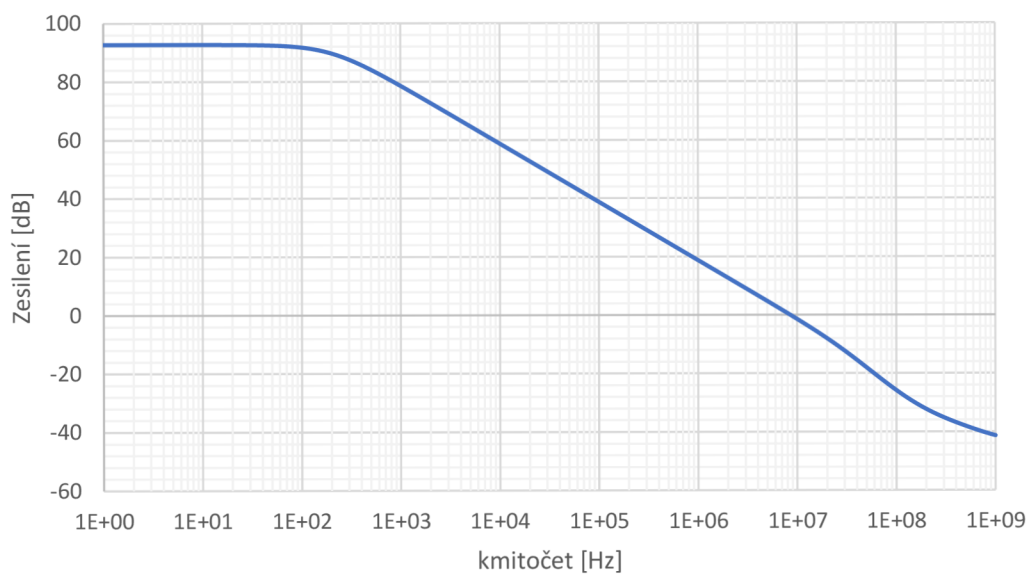
	W/L [-]	L [μm]	W [μm]
T ₁ , T ₈	5,67	2	11,3
T ₂ , T ₃	2,84	2	5,7
T ₄ , T ₅	12,10	2	24,2
T ₆	121,14	2	242,3
T ₇	28,40	2	56,7
T ₈	3,00	2	6,0

V tabulce 3.4 jsou vypočítány rozměry jednotlivých tranzistorů. Pro výpočet je použita délka tranzistoru 2 μm . Odůvodněno je to v kapitole 3.1.

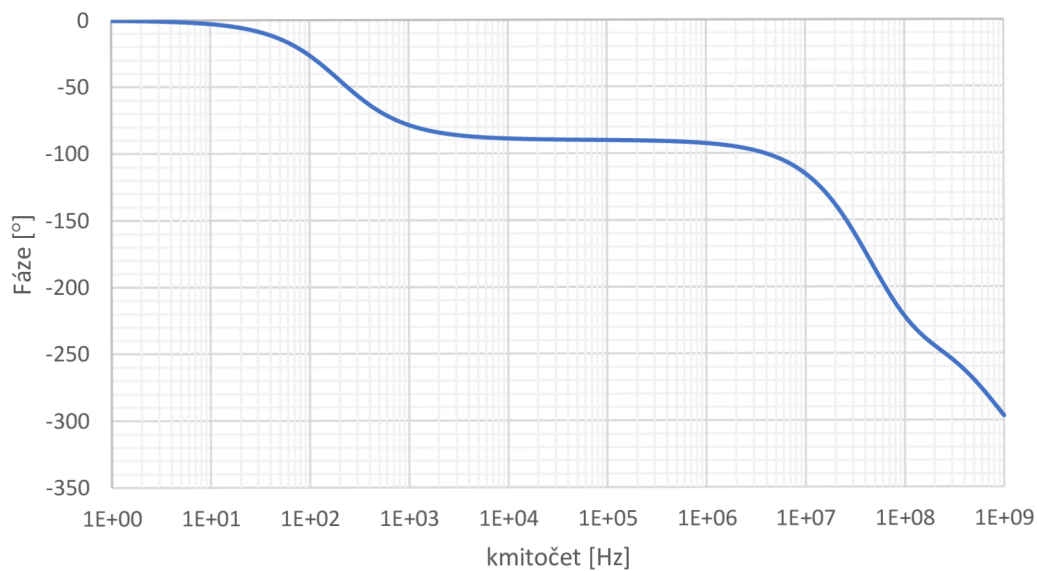
3.2.1 Parametry dvojstupňového operačního zesilovače

V této kapitole jsou shrnuty parametry navrženého dvojstupňového operačního zesilovače. Kompletní návrh je přiložen v příloze B. Parametry byly určeny pro typické hodnoty tranzistorů, kapacitorů a rezistorů. Na obrázku 3.11 a 3.12 jsou zobrazeny kmitočtové charakteristiky. Zesílení OZ je 92 dB s amplitudovou bezpečností 16,4 dB. Šířka pásma jednotkového zisku GBW je 8 MHz s fázovou rezervou 68 °. Na obrázku 3.13 a 3.14 je možné vidět vstupní a výstupní napěťový rozsah. Vstupní napěťový rozsah je v rozmezí 0,2 V až 3,2 V a výstupní napěťový rozsah 0,2 V až 3,1 V. Na obrázku 3.15 je zobrazena rychlost přeběhu s hodnotou 11 V/ μs . Proudový odběr operačního zesilovače je 127,7 μA s příkonem 421,4 μW . V tabulce 3.5 jsou shrnuty všechny zmíněné parametry. V příloze B.1 je přiložena corner analýza kmitočtové charakteristiky. Vlivem hraničních hodnot se mění zesílení v rozmezí 86,5 dB až 96,2 dB a GBW může klesnout až na hodnotu 575 kHz.

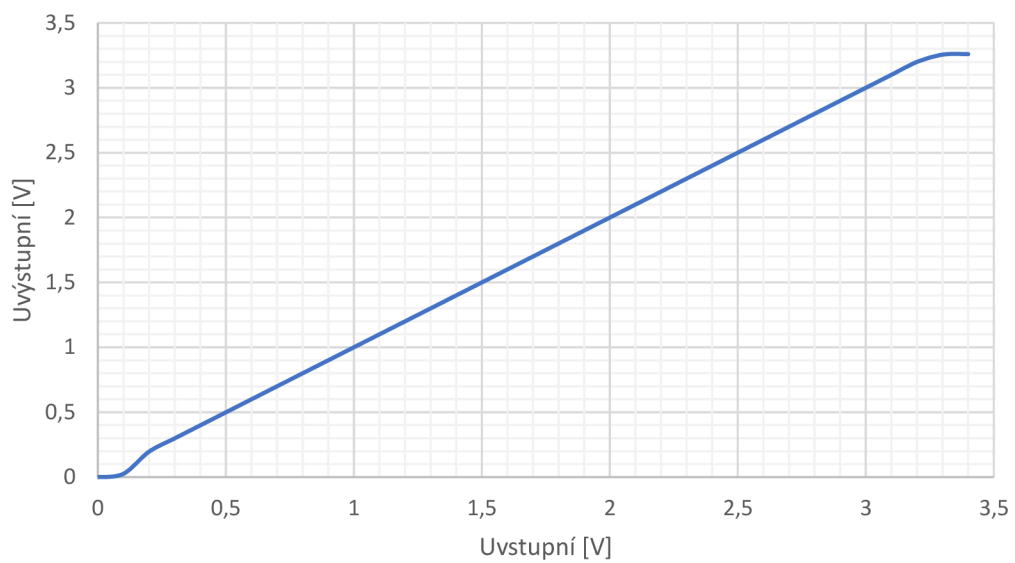
Dále byla provedena Monte Karlo analýza na 200 běhů a byl zkoumán vliv na zesílení a GBW. Výsledkem je průměrná hodnota zesílení 92,71 dB s minimem 91,06 dB a maximem 94,28 dB. U šířky pásma jednotkového zisku je průměrná hodnota 8,08 MHz s minimem 7,52 MHz a maximem 8,57 MHz.



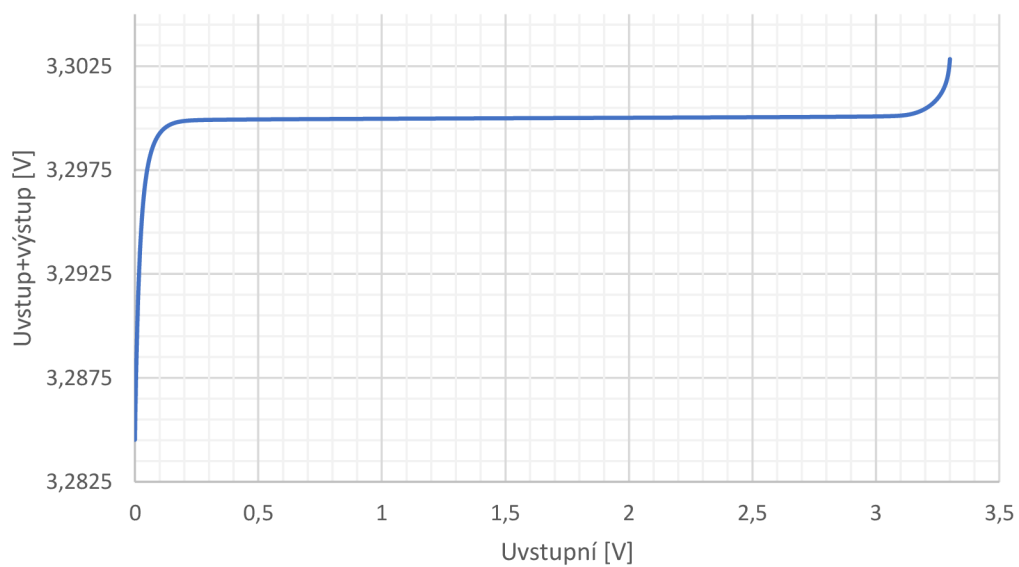
Obrázek 3.11: Amplitudová kmitočtová charakteristika dvoustupňového OZ



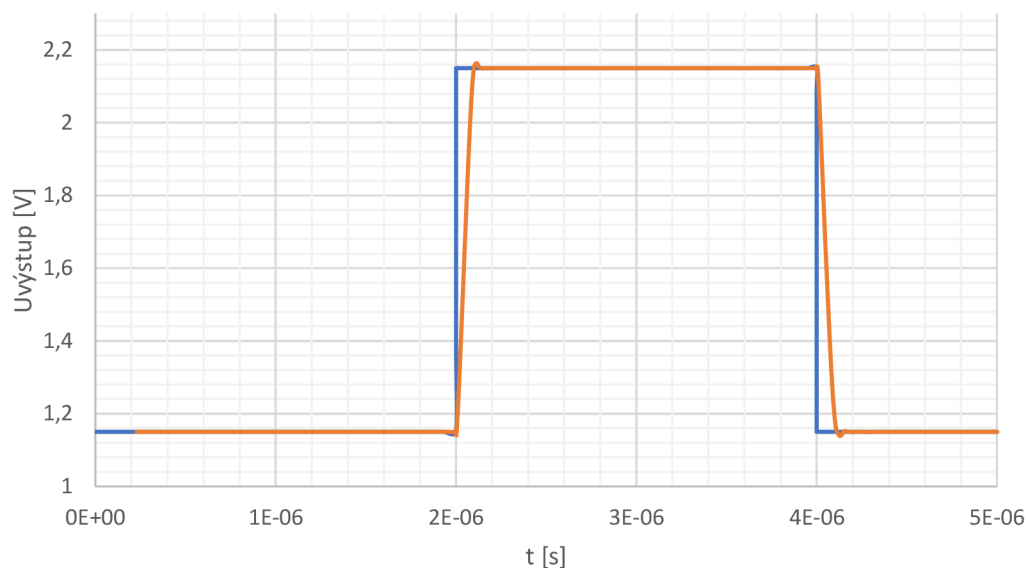
Obrázek 3.12: Fázová kmitočtová charakteristika dvoustupňového OZ



Obrázek 3.13: Vstupní napěťový rozsah dvoustupňového OZ



Obrázek 3.14: Výstupní napěťový rozsah dvoustupňového OZ



Obrázek 3.15: Rychlost přeběhu dvojstupňového OZ

Změřená doba sestupné hrany je $9,90 \text{ V}/\mu\text{s}$ a doba náběžné hrany je $11,05 \text{ V}/\mu\text{s}$.

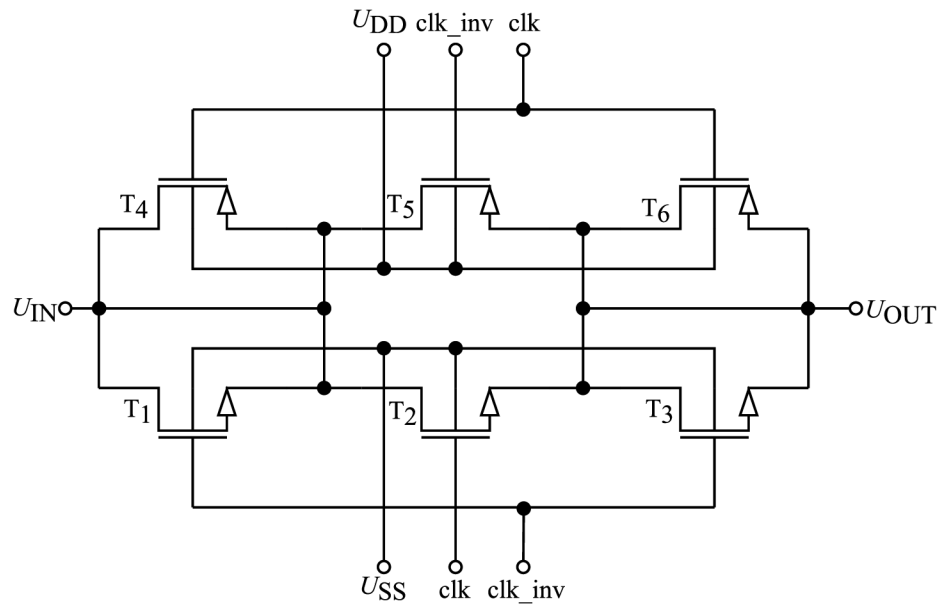
Tabulka 3.5: Naměřené parametry dvojstupňového OZ

zesilení	92	dB
šířka pásma jednotkového zisku	8	MHz
mezní kmitočet	194	Hz
fázová bezpečnost	68	°
amplitudová bezpečnost	16,4	dB
zatěžovací kapacita	5	pF
rychlost přeběhu při 0,1 pF	11	$\text{V}/\mu\text{s}$
proudový odběr	127,7	μA
příkon	421,4	μW
vstupní napěťová nesymetrie	1,97	mV
rozsah vstupního napětí	0,2–3,2	V
rozsah výstupního napětí	0,2–3,1	V

3.3 Návrh analogového spínače

V této kapitole je navržen analogový spínač, který je zobrazen na obrázku 3.16. Podle rozboru v kapitole 2.5 byla pro kompenzaci injekce náboje a pronikání řídicího signálu vybrána metoda komplementárního zapojení s „dummy“ spínači. Ty mají poloviční šířku než tranzistory T_2 , T_5 . Pro návrh byla zvolena minimální délka tranzistorů, aby vliv parazitních kapacit byl co nejmenší. Byla simulována hodnota odporu spínače v sepnutém

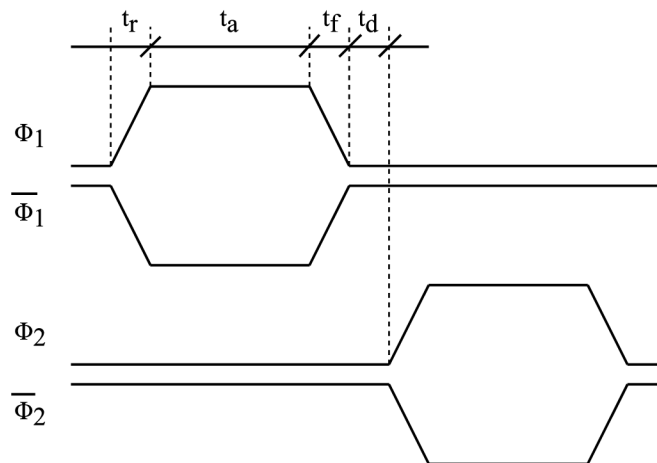
stavu, který je 230Ω . Spínač je ovládán řídicím signálem clk a jeho negovaným průběhem clk_inv . Schéma zapojení použitého spínače je zobrazeno v příloze C.



Obrázek 3.16: Schéma použitého spínače

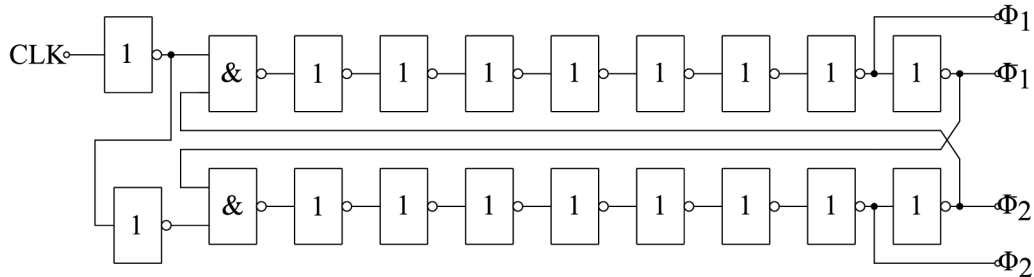
3.4 Návrh řídicího hodinového signálu

Tato kapitola se zabývá návrhem obvodu pro generování nepřekrývajících se signálů, které jsou použity pro řízení MOS spínačů. Z důvodu použití komplementárního spínače, je nutné vytvořit dva signály Φ_1 a Φ_2 a k nim jejich invertované verze Φ_{1neg} a Φ_{2neg} . V ideálním případě by průběhy vypadaly jak na obrázku 3.17. Zde jsou uvedeny základní parametry, které charakterizují řídicí signály. Jedná se o doby náběžné hrany t_r , dobu aktivní úrovně t_a , dobu sestupné hrany t_f a doba mezi jednotlivými signály t_d .



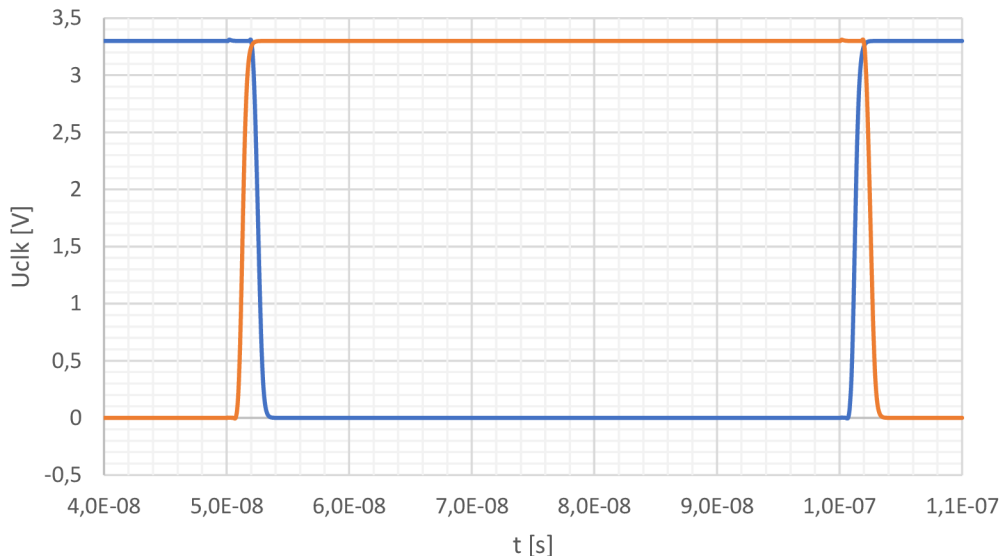
Obrázek 3.17: Řídící hodinové signály

Schéma obvodu generátoru řídicích hodin je zobrazeno na obrázku 3.18. Obvod je složen ze dvou logických hradel NAND a několika invertorů zapojených do série. Úkolem invertorů je vytvořit zpoždění mezi jednotlivými řídicími signály. Generátor je řízen externím zdrojem signálu, ze kterého jsou následně vytvořeny požadované signály. Jelikož jsou výstupní signály tvořeny z jednoho řídicího signálu, je mezi nimi zajištěna synchronizace.



Obrázek 3.18: Obvod pro generování řídicích signálů

Na obrázku 3.19 jsou zobrazeny výsledné průběhy pro řízení PMOS tranzistorů. Signály se nepřekrývají v oblasti logické 0. Díky tomu nemůže dojít ke stavu, kdy by byly sepnuty dva spínače v jeden okamžik. Generátor signálu byl simulován se zatěžovací kapacitou 1 pF, protože spínač se vlivem parazitních kapacit chová jako kapacitní zátěž.



Obrázek 3.19: Nepřekrývají se signály při řízení PMOS tranzistorů

Tabulka 3.6: Parametry simulovaného signálu

	ideální	simulované
Délka aktivní hrany [ns]	50	4,00
Náběžná hrana [ns]	∞	1,15
Sestupná hrana [ns]	∞	1,28

V tabulce 3.6 jsou uvedeny parametry navrženého generátoru řídicího hodinového signálu. Kompletní návrh je zobrazen v příloze D.

4. NÁVRH FILTRU DOLNÍ PROPUSTI

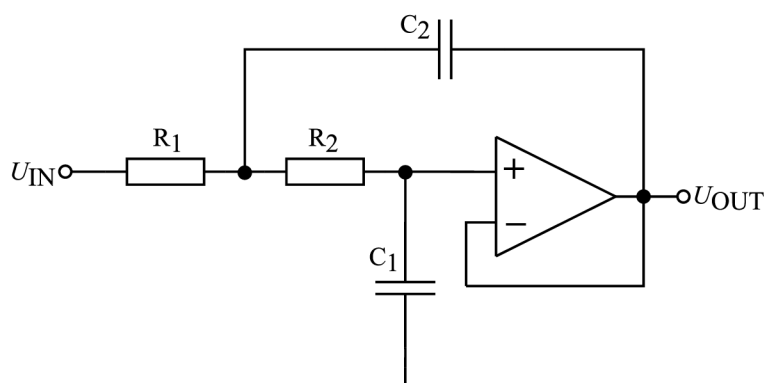
V této kapitole jsou navrženy dva filtry dolní propusti druhého řádu. V předešlé kapitole byly navrženy jednotlivé bloky, které jsou potřeba pro sestavení jednotlivých filtrů. Byly vybrány dvě topologie, a to Sallen–Key filtr a bikvadratický filtr druhého řádu. V následujících podkapitolách jsou zobrazeny zmíněné filtry pomocí rezistorů a kapacitorů. Obvody po implementaci techniky spínaných kapacitorů jsou v příloze E, F.

Obvody byly simulovány pomocí analýzy transient, kdy byla odečítána hodnota amplitud výstupního a vstupního signálu a následně vypočítán přenos filtru pro určitý vstupní kmitočet. Takhle byl změřen celý pracovní rozsah a naměřené hodnoty byly vyneseny do grafů. Jelikož se jedná o ruční odečítání hodnot, je nutné počítat s určitou tolerancí vnesených chyb během měření.

Jelikož se jedná o návrh pro časově diskrétní aplikace, očekává se, že výstupní signál filtru bude stejný jako vstupní. Průběh nebude spojitý, ale bude se po malých příspěvcích zvyšovat. V příloze G je možné vidět vstupní a výstupní signál filtru. Tento průběh, ačkoliv vystihuje správnou funkci filtru, nelze považovat za vypovídající. Z tohoto důvodu byl udělán detailnější pohled, jak je zobrazeno v příloze G.1. Je možné si všimnout, že výstupní signál po krocích následuje vstupní signál. Jsou zde vidět určité překmity, ty však funkci obvodu nijak neovlivní, protože pokud by se vzal integrál plochy pulsu, tak by jeho hodnota byla minimální. A jelikož se jedná o spínací obvod je nutné s tímto problémem počítat. Ještě je možné si všimnout, že mezi signály je rozestup. Ten je způsoben konečným vzorkovacím kmitočtem. Pokud by se vzorkovací snižoval, fázový posun by se zvyšoval.

4.1 Sallen–Key filtr dolní propusti

Pro první filtr bylo vybrán zapojení Sallen–Key. Tento filtr se skládá ze dvou odporů, dvou kapacitorů a aktivního prvku, který může být například operační zesilovač. Tento filtr patří mezi aktivní filtr druhého řádu. Obecné zapojení je znázorněno na obrázku 4.1. Operační zesilovač je zapojen se zápornou zpětnou vazbou, tím pádem se jeho vstupy musí shodovat. Kvůli tomu, že je invertující vstup zapojen k výstupu, lze říct, že $v_+ = v_- = v_{out}$.



Obrázek 4.1: Sallen–Key filtr

Přenosová funkce filtru dolní propusti druhé řádu s jednotkovým ziskem je

$$H(s) = \frac{\omega_0^2}{s^2 + 2 \cdot \alpha \cdot s + \omega_0^2} \quad (4.1)$$

Rovnice mezní frekvence je dána jako

$$f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{R_1 \cdot R_2 \cdot C_1 \cdot C_2}} \quad (4.2)$$

a činitel jakosti lze určit

$$Q = \frac{\sqrt{R_1 \cdot R_2 \cdot C_1 \cdot C_2}}{C_2 \cdot (R_1 + R_2)} \quad (4.3)$$

Tento předpoklad platí za předpokladu použití pasivních součástek. V tomto návrhu je simulován Sallen–Key filtr se spínanými kapacitami, jak je možné vidět v příloze E. V tomto zapojení jsou odpory R_1 , R_2 nahrazeny kapacitami C_{SC1} a C_{SC2} , které jsou jedním vývodem připojeny mezi dva spínače a druhým vývodem k zemi. Spínače jsou ovládány řídicím signálem f_{CLK} , který byl navržen v kapitole 3.4. Spínače I_0 a I_2 jsou řízeny fází Φ_1 zbylé dva jsou řízeny fází Φ_2 . Řídicí signály jsou navrženy tak, aby nedošlo ke stavu, kdy by byly oba spínače v zapojení SC sepnuty v jeden okamžik.

Hodnoty ekvivalentního odporu lze vypočítat z rovnice (2.7). Pokud bude řídicí kmitočet všech náhradních odporů stejný, lze rovnici pro mezní kmitočet a činitel jakosti přepsat do tvaru

$$f_0 = \frac{f_{CLK}}{2 \cdot \pi} \cdot \sqrt{\frac{C_{SC1} \cdot C_{SC2}}{C_1 \cdot C_2}} \quad (4.4)$$

a

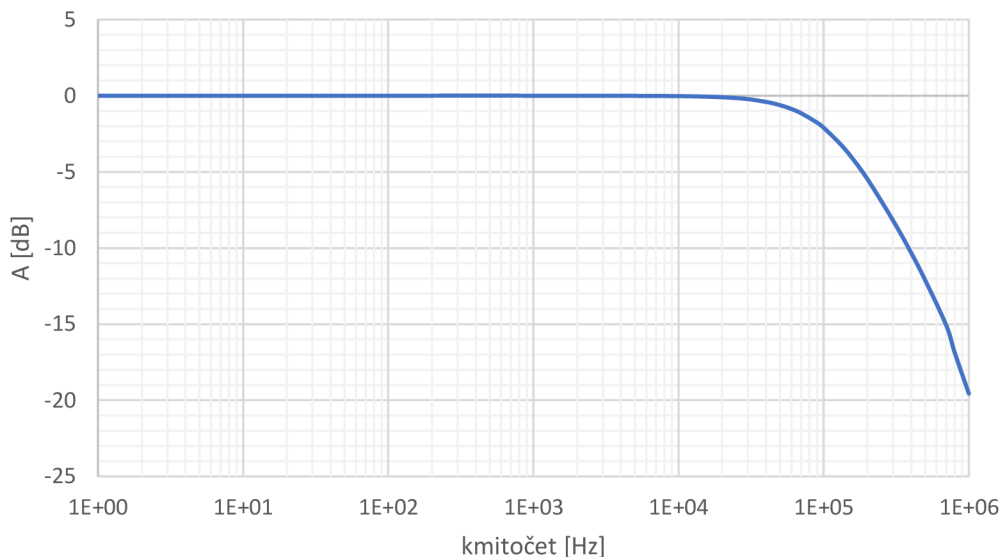
$$Q = \frac{\sqrt{C_{SC1} \cdot C_{SC2} \cdot C_1 \cdot C_2}}{C_2 \cdot (C_{SC1} + C_{SC2})}. \quad (4.5)$$

Pro simulaci byl zvolen kmitočet řídicího signálu f_{CLK} 8 MHz a hodnoty jednotlivých kapacitoru byly zvoleny tak, aby mezní kmitočet byl přibližně na 500 kHz. U návrhu se počítá s tím, že u reálného zapojení bude simulovaný mezní kmitočet o mnoho menší než ideální vypočítaná hodnota. V tabulce 4.1 jsou vypočítány hodnoty a rozměry použitých MIMC kapacitorů v návrhu. Kapacitory v technologii I3T80 mají kapacitu $1,5 \text{ fF}/\mu\text{m}^2$.

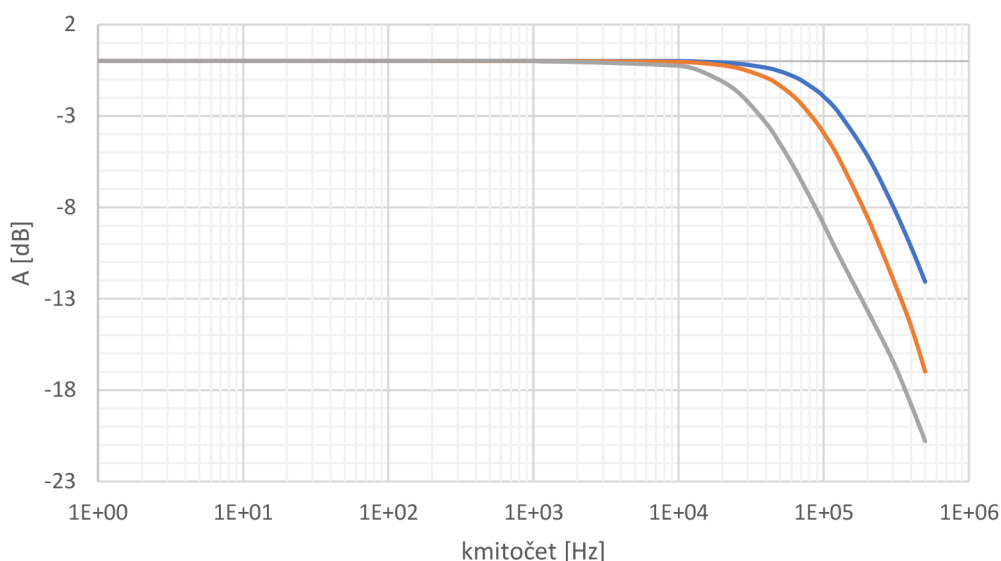
Tabulka 4.1: Vypočítané hodnoty kapacitorů pro návrh Sallen–Key

	nominální hodnota [pF]	kapacita [$\text{fF}/\mu\text{m}^2$]	šířka [μm]	délka [μm]
C_1	2	1333,33	36,51	36,51
C_2	4	2666,67	51,64	51,64
C_{SC1}	1	666,67	25,82	25,82
C_{SC2}	1	666,67	25,82	25,82

Na obrázku 4.2 je možné vidět amplitudovou kmitočtovou charakteristiku filtru Sallen-Key. Simulovaná hodnota mezního kmitočtu je 125 kHz. V příloze E.1 je možné vidět simulaci pro teploty $0 \text{ }^\circ\text{C}$, $27 \text{ }^\circ\text{C}$, $50 \text{ }^\circ\text{C}$ a $80 \text{ }^\circ\text{C}$. Ze simulace je možné říct, že změnou teploty nedojde k významné změně přenosu navrženého filtru. V příloze E.2 je provedena simulace pro corner analýzu, kdy se mění hraniční hodnoty kapacitorů. Zde je možné vidět přední výhodu techniky SC, tj. že vliv rozptylu parametrů má na obvod velmi malý vliv, protože přesnost filtru je dána poměrem kapacitorů, jak je možné vidět z rovnice (4.4).



Obrázek 4.2: Simulovaný přenos filtru Sallen–Key



Obrázek 4.3: Možnost laditelnosti filtru

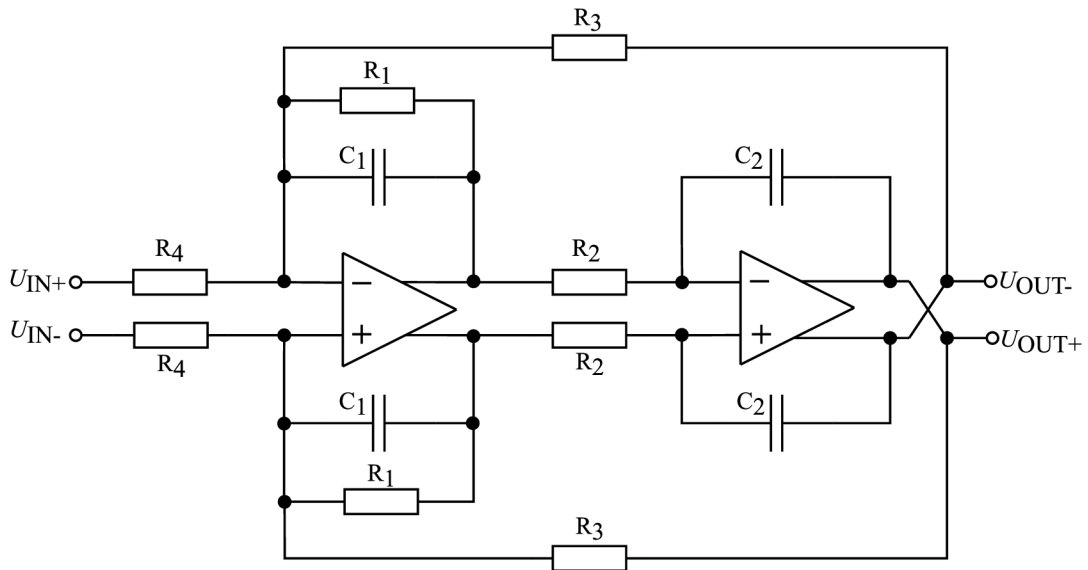
Jak již bylo řečeno v kapitole 2, další výhodou techniky SC je možné realizovat laditelné obvody, bez toho, aniž by se muselo zasahovat do struktury návrhu. Na obrázku 4.3 jsou tři amplitudové kmitočtové charakteristiky pro různé kmitočty řídicího signálu f_{CLK} , konkrétně pro 8 MHz, 5 MHz a 3 MHz. Simulací bylo potvrzeno, že změna řídicího kmitočtu nijak neovlivní zisk filtru ani činitel jakosti a hodnota mezního kmitočtu se mění lineárně se změnou řídicího kmitočtu. K tomuto závěru je možné dojít i přes rovnice (4.4 a (4.5. a tudíž zmíněná simulace splňuje tyto podmínky.

4.2 Bikvadratický filtr druhého řádu

V této kapitole je popsán návrh a výsledky simulací pro bikvadratický filtr druhého řádu. Tento filtr má poněkud složitější zapojení oproti filtru Sallen–Key. Schéma zapojení je zobrazeno na obrázku 4.4. Pro výpočet mezního kmitočtu platí rovnice (4.2 popř. po implementaci techniky spínaných kapacitorů (4.4. Poloha mezního kmitočtu je dána kapacitami C_1 , C_2 , které jsou zapojeny mezi vstup a výstup operačního zesilovače a rezistory R_2 , R_3 , které jsou zapojeny mezi vstup a výstup jednotlivých operačních zesilovačů. Poměrem rezistorů R_3 , R_4 lze nastavit zesílení obvodu, v případě návrhu filtru je požadováno jednotkové zesílení, a proto musí být hodnota rezistoru R_4 shodná s rezistorem R_3 . Rezistor R_1 se podílí na nastavení činitele jakosti.

Jelikož mají obě zapojení stejnou rovnici pro výpočet mezního kmitočtu, byly hodnoty u filtru Sallen–key, použity i u tohoto zapojení a byly jen dopočítány hodnoty odporů R_3 a R_4 . Z tohoto důvodu byl také použit stejný kmitočet generátoru řídicího hodinového signálu. Rozdíl oproti předešlému zapojení je použití jiného zapojení

techniky SC. V tomto zapojení je kapacitor zapojen mezi čtyři spínače, které jsou řízeny pomocí dvou fází Φ_1 a Φ_2 .



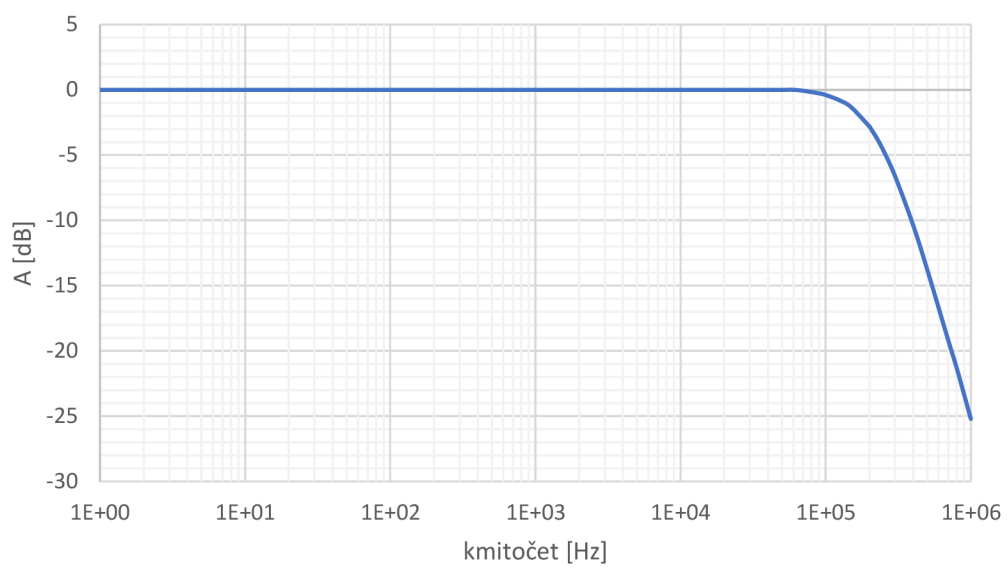
Obrázek 4.4: Bikvadratický filtr dolní propusti druhého řádu

V příloze F je zobrazeno simulované zapojení a jsou zde zobrazeny použité obvody pro tento návrh. Všechny rezistory jsou opět nahrazeny technikou SC. Použité rozměry kapacitorů jsou vypočítány v tabulce 4.2.

Tabulka 4.2: Vypočítané hodnoty kapacitorů pro návrh bikvadratického filtru

	Nominální hodnota [pF]	kapacita [fF/ μm^2]	šířka [μm]	délka [μm]
C_1	2,00	1333,33	36,51	36,51
C_2	4,00	2666,67	51,64	51,64
C_{SC2}	1,00	666,67	25,82	25,82
C_{SC3}	1,00	666,67	25,82	25,82
C_{SC1}	1,92	1282,05	35,81	35,81
C_{SC4}	1,00	666,67	25,82	25,82

Výsledky simulace filtru jsou zobrazeny na obrázku 4.5. Pozice mezního kmitočtu byla na 205k Hz což je o 80 kHz víc než u předešlého zapojení. V příloze F.1 je přiložena corner analýza MOS tranzistorů a použitých kapacitorů. Lze vidět, že přesnost zapojení je minimálně závislé na změně hodnot kapacitorů. Zato hraniční hodnoty MOS tranzistorů mají větší vliv na nastavený mezní kmitočet.



Obrázek 4.5: Simulovaný přenos bikvadratického filtru

ZÁVĚR

Cílem diplomové práce je návrh antialiasingového filtru pro časově diskrétní modulátory delta-sigma. Byly vybrány dvě topologie aktivních filtrů druhého řádu, ve kterých byla použita technika spínaných kapacitorů. Pro první zapojení byl vybrán Sallen-Key filtr a pro druhé bikvadratický filtr. Návrh byl proveden v návrhovém prostředí CADENCE Virtuoso s technologií onsemi I3T80.

V práci byly nejdříve navrženy jednotlivé základní obvody, které jsou potřeba pro realizaci vybraných filtrů. Pro filtr Sallen-Key bylo potřeba navrhnout dvoustupňový operační zesilovač a pro bikvadratický filtr byl navržen plně diferenční operační zesilovač se složenou kaskadou, K těmto obvodům bylo potřeba navrhnout podpůrná zapojení jako je obvod pro nastavení souhlasného napětí nebo napěťová a proudová reference. Parametry operačních zesilovačů jsou shrnuty na konci každé kapitoly. Pro každý operační zesilovač byla provedena corner analýza, která je přiložena v příloze.

U návrhu analogového spínače bylo nutné brát v úvahu problémy spojené s technikou spínaných kapacitorů. Jedná se o injekci náboje, pronikání řídicího hodinového signálu a parazitní odpor MOS spínače. Tato problematika byla důkladně probrána v teoretické části a na základně těchto poznatků byly vybrány korekční metody, jako je použití komplementárního zapojení a použití čtyř „dummy“ spínačů. Pro bezchybné ovládání spínačů byl v práci navržen generátor řídicích signálů, jehož cílem je vytvořit nepřekrývající se signály. Zpoždění v generátoru bylo realizováno průchodem signálu přes několik invertorů.

V poslední kapitole byly provedeny simulace zvolených filtrů, kdy mezní kmitočet obou zapojení byl napočítán na ideální hodnotu 450 kHz. U filtru Sallen-Key byl simulací odečten mezní kmitočet na hodnotě 125 kHz a u bikvadratického filtru 205 kHz. U filtru Sallen-Key byla provedena corner a teplotní analýza. Simulací bylo ověřeno, že filtry realizované technikou spínaných kapacitorů mají dobrou odolnost vůči technologickým odchylkám, což je přední výhoda těchto obvodů. U bikvadratického filtru byla provedena corner analýza, kde se braly v úvahu i hraniční hodnoty MOS tranzistorů. Simulace opět ověřila, že změna poměru kapacit nijak neovlivní návrh filtru, ale hraniční hodnoty tranzistorů ano. Další simulací byla ověřena jiná výhoda těchto obvodů, a to možnost laditelnosti pomocí změny kmitočtu řídicího signálu.

LITERATURA

- [1] ASHRIT, Laxmi. *Filters – Classification, Characteristics, Types, Applications & Advantages*. Electricalfundablog.com [online]. [cit. 2021-12-31]. Dostupné z: <https://electricalfundablog.com/filters-classification-characteristics/>
- [2] APOGEEWEB. *Filter (Signal Processing) Basics in Electronics* [online]. 6. prosinec 2019 [cit. 2021-12-31]. Dostupné z: <https://electricalfundablog.com/filters-classification-characteristics/>
- [3] *Electronic Filters Explained-High Pass, Low Pass, Band Pass, Band Reject Filters*. ETechnoG [online]. [cit. 2021-12-31]. Dostupné z: <https://www.etechnog.com/2019/01/all-types-of-electronic-filters-explained.html>
- [4] WILLIAMS, Arthur B. a Fred J. TAYLOR. *Electronic filter design handbook* :. 4th ed. New York: McGraw-Hill, 2006. ISBN 0071471715.
- [5] HÁJEK, Karel a Jiří SEDLÁČEK. *Kmitočtové filtry*. Praha: BEN - technická literatura, 2002. ISBN 8073000237.
- [6] *Applications of Switched-Capacitor Circuits in Active Filters and Instrumentation Amplifiers* [online]. [cit. 2022-05-02]. Dostupné z: https://tij.org/issues/issues/3_3/3_3g.html
- [7] MALOBERTI, Franco a Anthony C. DEVIES, ed. *A Short History of Circuits and Systems* [online]. River Publishers, 2016, 343 s. [cit. 2022-05-02]. ISBN 978-87-93379-69-5. Dostupné z: <https://liye.info/doc-viewer>
- [8] SU, Kendall. *Analog filters* [online]. Kluwer Academic Publishers, 2002, 423 s. [cit. 2022-05-10]. Druhá edice. ISBN 0-306-47953-2. Dostupné z: <https://documents.pub/document/analog-filters.html?page=1>
- [9] HÁZE, Jiří, Radimír VRBA, Lukáš FUJCIK, Ondřej SAJDL a Michal PAVLÍK. *Teorie vzájemného převodu analogového a číslicového signálu*. Brno, 2013, 148 s. Vysoké učení technické v Brně.
- [10] PELGROM, M.J.M., A.C.J. DUINMAIJER a A.P.G. WELBERS. *Matching properties of MOS transistors*. IEEE Journal of Solid-State Circuits [online]. 1989, 24(5), 1433-1439 [cit. 2022-05-10]. ISSN 0018-9200. Dostupné z: doi:10.1109/JSSC.1989.572629
- [11] SMĚKAL, Zdeněk. *Analýza signálů a soustav - BASS*. Brno, 2012, 251 s. ISBN 978-80-214-4453-9. Vysoké učení technické v Brně.
- [12] *Anti-Aliasing Filters and Their Usage Explained* [online]. 14. března 2019 [cit. 2022-05-02]. Dostupné z: <https://www.ni.com/cs-cz/innovations/white-papers/18/anti-aliasing-filters-and-their-usage-explained.html>
- [13] J. QUINN, Patrick a Arthur H.M. VAN RUERMUND. *Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design* [online]. Springer, 2007, 259 s. [cit. 2022-05-05]. ISBN 978-1-4020-6257-5.
- [14] *Introduction to Switched-Capacitor Circuits* [online]. 44 s. [cit. 2022-05-01]. Dostupné z: http://www.seas.ucla.edu/brweb/teaching/AIC_Ch12.pdf

- [15] CHO, Chang Hyuk. *A power optimized pipelined analogto-digital converter design in deep sub-micron cmos technology*. 2005, 150 s. Disertace. Georgia Institute of Technology. Vedoucí práce Phillip E. Allen.
- [16] ANELLI, Giovanni. *Introduction to Switched Capacitor Circuits* [online]. Kumasi, 2003 [cit. 2022-05-05]. Dostupné z:
<https://indico.ictp.it/event/a0251/session/111/contribution/71/material/0/0.pdf>
- [17] E. ALLEN, Phillip a Douglas R. HOLBERG. OXFORD. *CMOS Analog Circuit Design* [online]. New York: Oxford University Press, 2002, 794 s. [cit. 2022-05-22]. Druhá edice. Dostupné z:
http://digitus.itk.ppke.hu/~karzo/VLSI_books/Allen,%20Holberg%20-%20CMOS%20Analog%20Circuit%20Design%20second%20edition.pdf
- [18] KLEDROWETZ, Vilém a Jiří HÁZE. *Návrh analogových integrovaných obvodů* [online]. Brno, Leden 2015, 122 [cit. 2022-05-22]. Dostupné z:
https://www.vut.cz/www_base/priloha_fs.php?dpid=201662&skupina=dokument_priloha

SEZNAM SYMBOLŮ A ZKRATEK

Zkratky:

RC	kombinace kapacitoru a rezistoru
SC	spínané kapacitory
CMOS	komplementární kov-oxid-polovodič
MOS	tranzistor řízený elektrickým polem (kov-oxid-polovodič)
MIM	kapacitor (Metal – Insulator – Metal)
ADC	analogově-digitální převodník
DAC	digitálně-analogový převodník
OZ	operační zesilovač
NMOS	MOS tranzistor s kanálem typu N
PMOS	MOS tranzistor s kanálem typu P
GBW	šířka pásma jednotkového zisku
KP	transkonduktanční parametr
CMFB	obvod pro nastavení souhlasného napětí

Symboly:

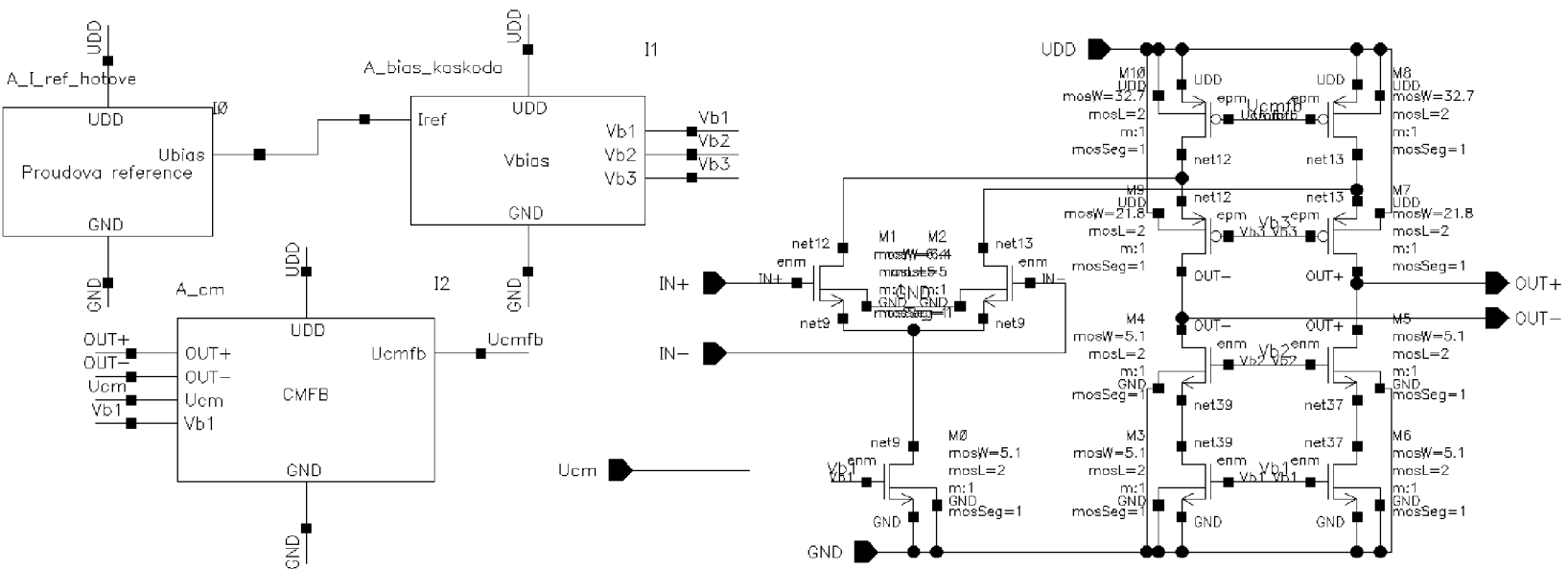
f_0	mezní kmitočet	(Hz)
ϕ	fáze signálu	(°)
μ_n	pohyblivost elektronů	($\text{m}^2\text{V}^{-1}\text{s}^{-1}$)
μ_p	pohyblivost děr	($\text{m}^2\text{V}^{-1}\text{s}^{-1}$)
p_{ai}	komplexní kořen čitatele v rovině p	(–)
p_{bi}	komplexní kořen jmenovatele v rovině p	(–)
q	elektrický náboj	(C)
f_b	maximální kmitočet vstupního signálu	(Hz)
f_s	vzorkovací kmitočet	(Hz)
C_{OX}	kapacita hradlového oxidu	(F/m^2)
W	šířka kanálu MOS tranzistoru	(μm)
L	délka kanálu MOS tranzistoru	(μm)
g_m	transkonduktance	(S)
U_{GS}	napětí mezi gate a source	(V)
U_{TH}	prahové napětí	(V)
U_{THN}	prahové napětí NMOS tranzistoru	(V)
U_{THP}	prahové napětí PMOS tranzistoru	(V)
U_{DD}	napájecí napětí	(V)
U_{SS}	napájecí napětí	(V)
R_{ON}	odpor sepnutého tranzistoru	(Ω)
C_{OV}	parazitní kapacity	(F)
U_{IN}	vstupní napětí	(V)

U_{OUT}	výstupní napětí	(V)
U_{CLK}	napětí hodinové signálu	(V)
f_{CLK}	spínací kmitočet	(Hz)
T	perioda signálu	(s)
C_L	zatěžovací kapacita	(F)
$U_{DS,sat}$	saturační napětí	(V)
U_{CM}	souhlasné napětí	(V)
Q	činitel jakosti	(-)

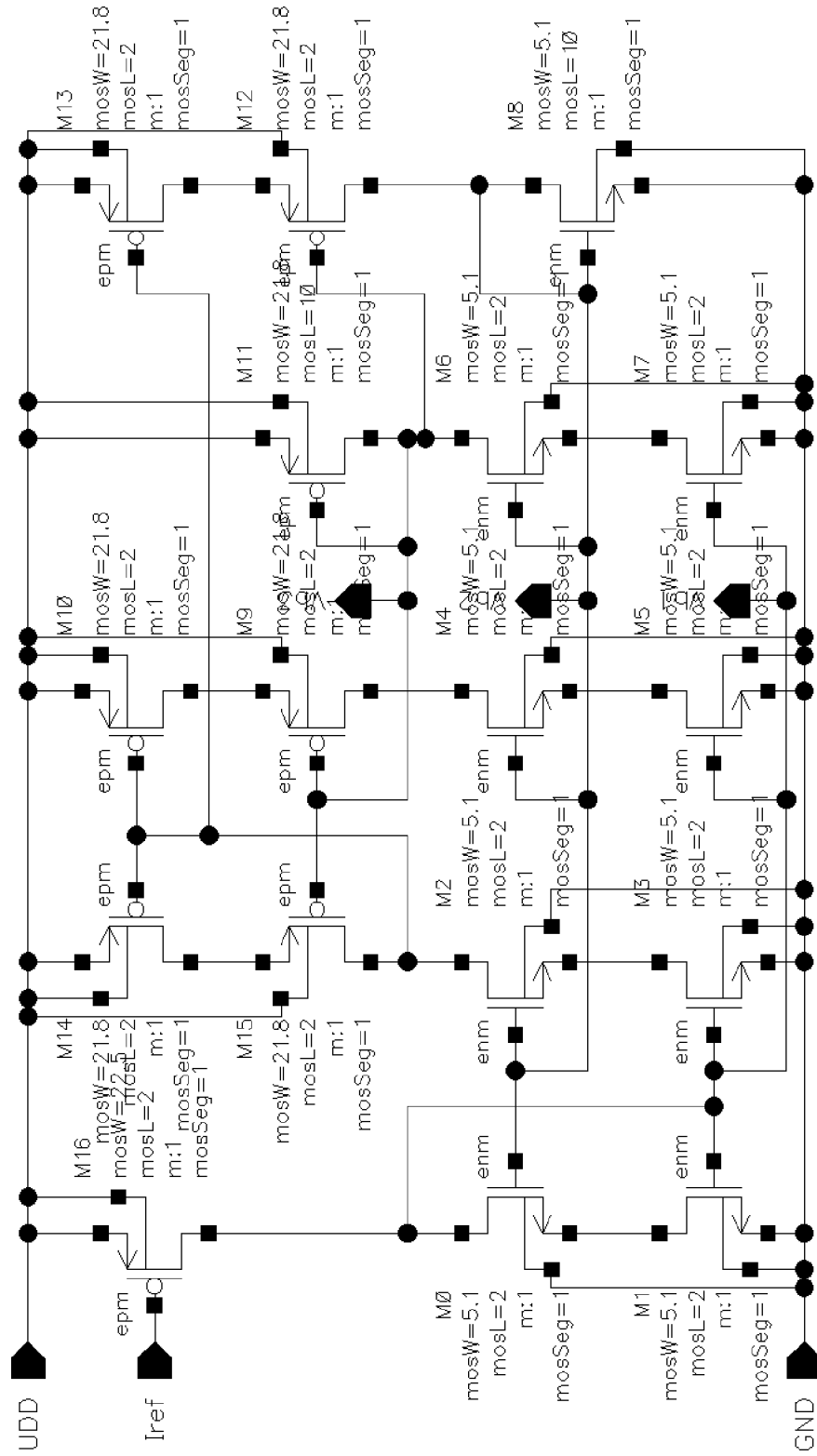
SEZNAM PŘÍLOH

PŘÍLOHA A - OZ SE SLOŽENOU KASKODOU	59
PŘÍLOHA B - DVOJSTUPŇOVÝ OZ	63
PŘÍLOHA C - NÁVRH SPÍNAČE.....	64
PŘÍLOHA D - NÁVRH GENERÁTORU ŘÍDÍCÍHO SIGNÁLU	65
PŘÍLOHA E - SALLEN–KEY FILTER SE SC.....	66
PŘÍLOHA F - BIKVADRATICKÝ FILTR SE SC	68
PŘÍLOHA G - VSTUPNÍ A VÝSTUPNÍ SIGNÁL FILTRU	70

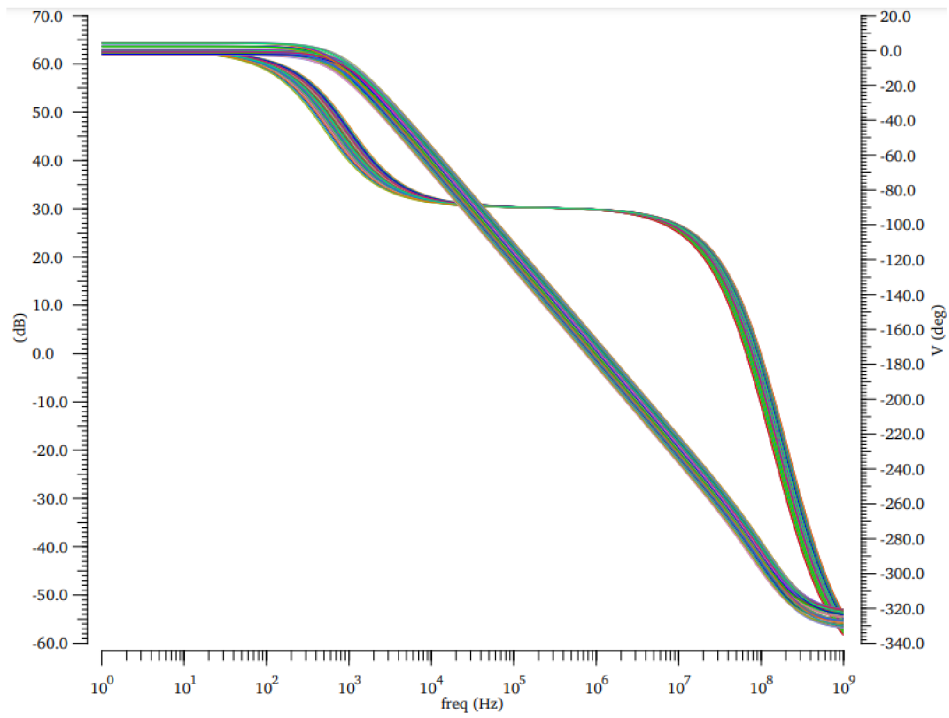
Příloha A - OZ se složenou kaskádou



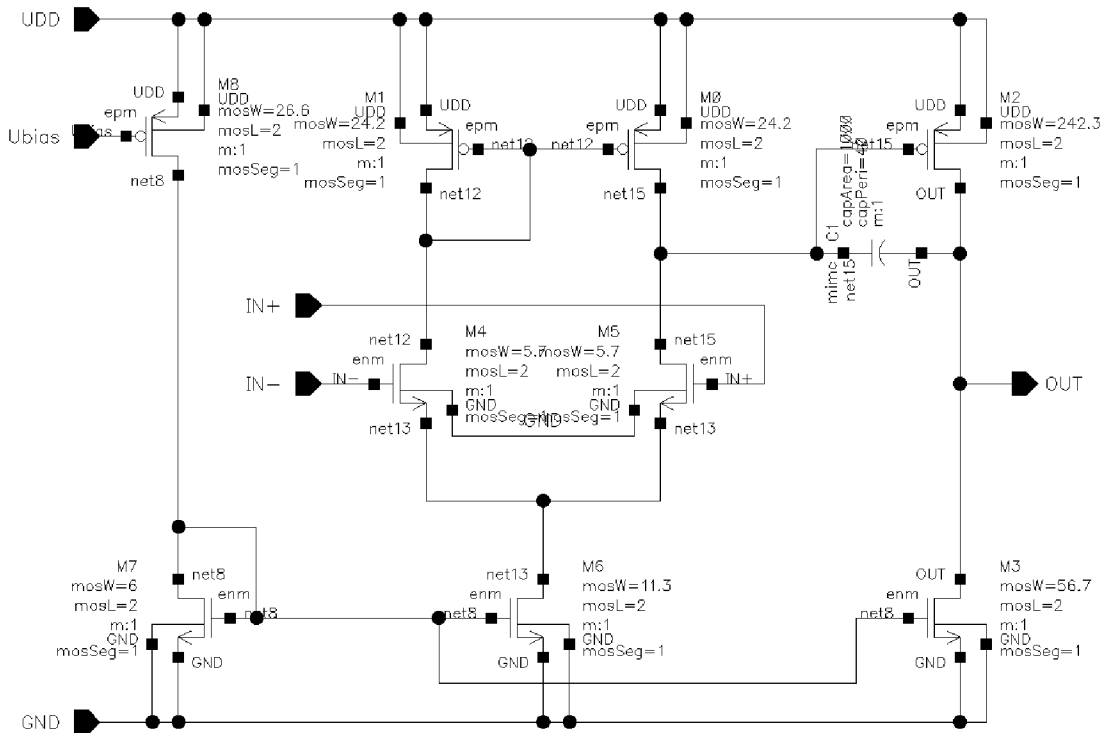
A.3 Napět'ová reference



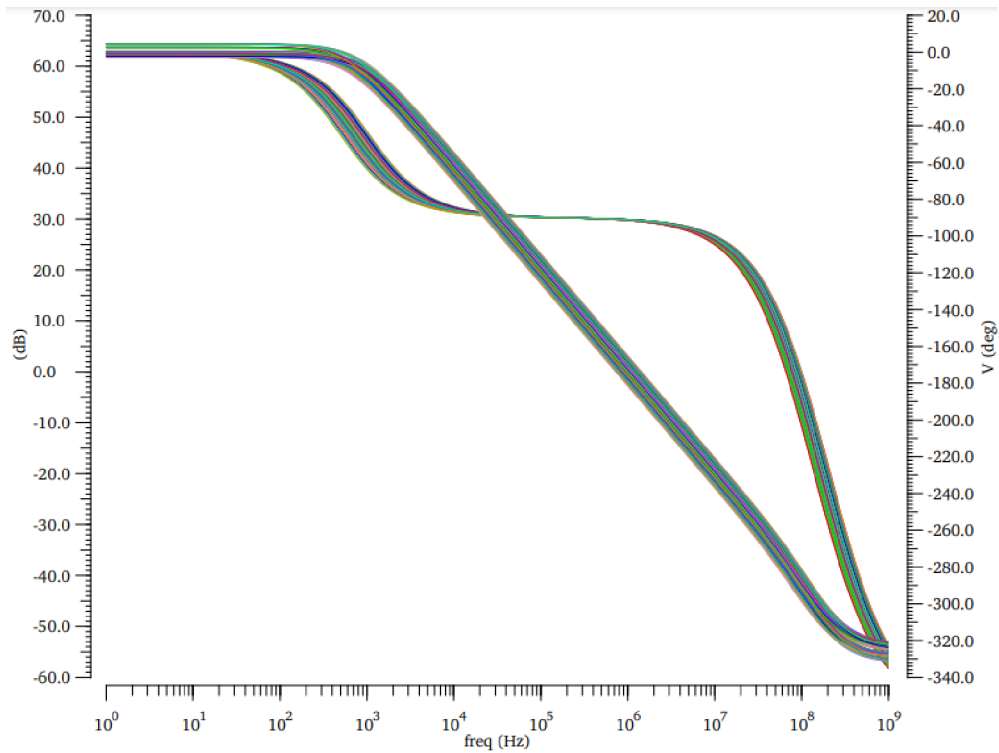
A.4 Corner analýza složené kaskody



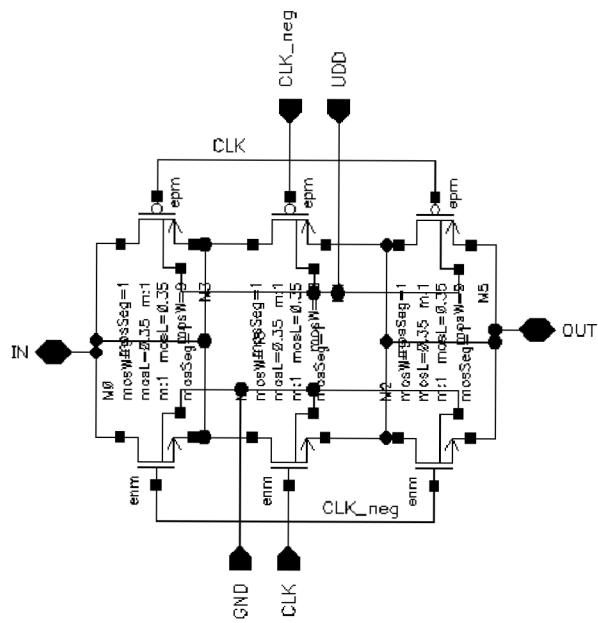
Příloha B - Dvojstupňový OZ



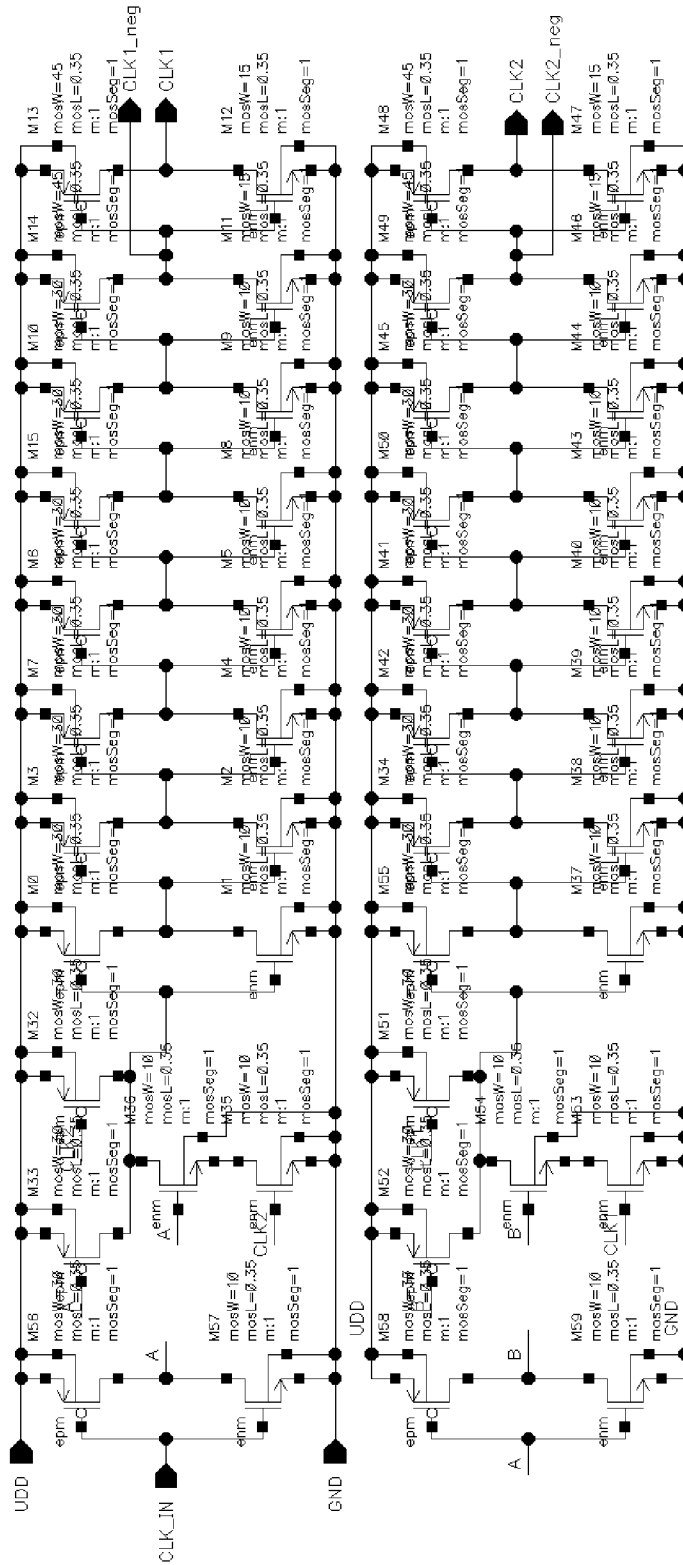
B.1 Corner analýza dvojstupňového OZ



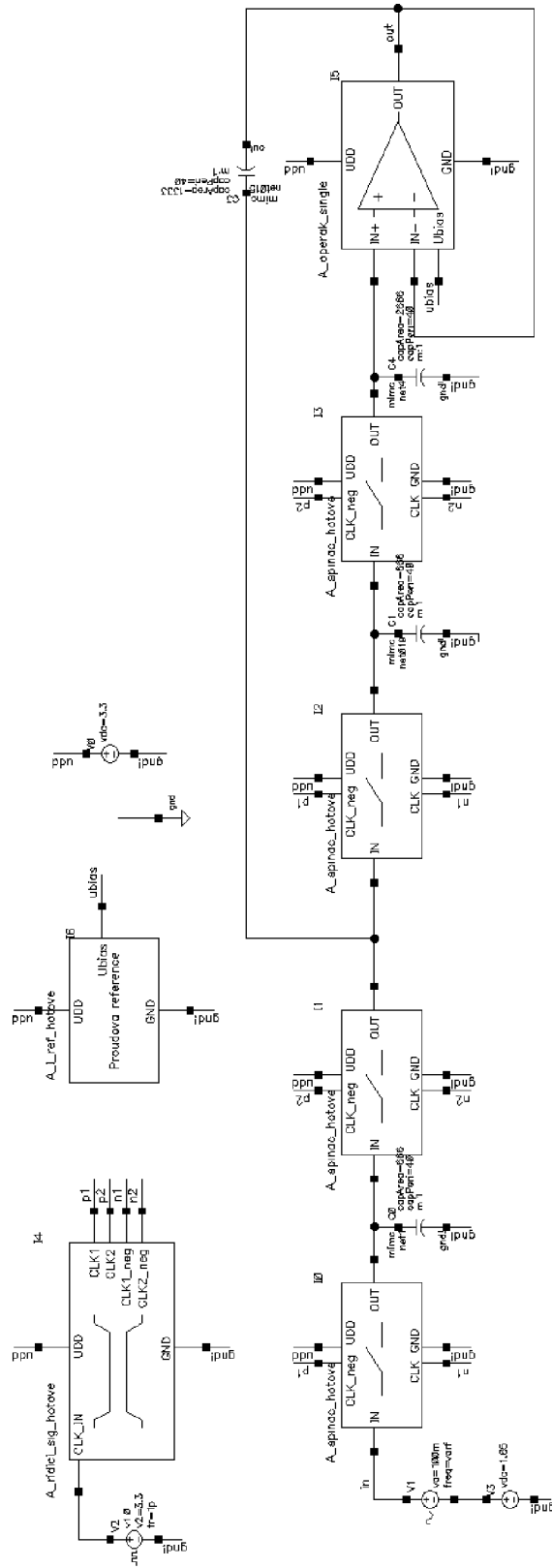
Příloha C - Návrh spínače



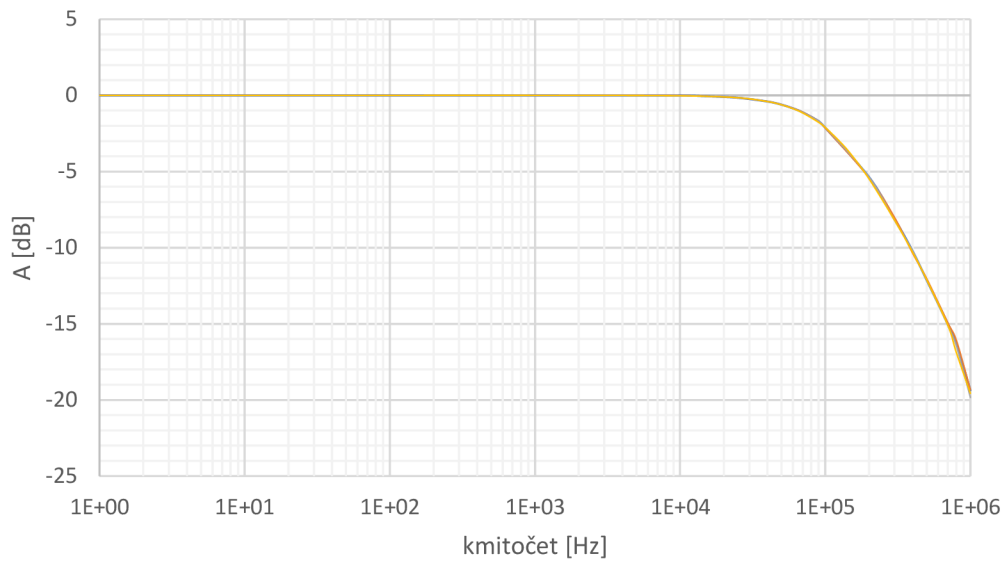
Příloha D - Návrh generátoru řídicího signálu



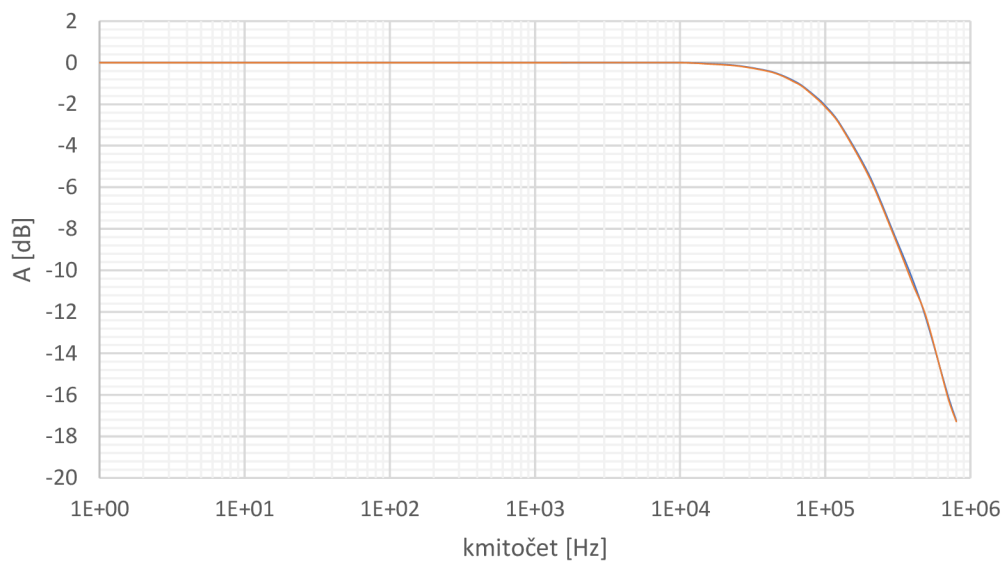
Příloha E - Sallen–Key filter se SC



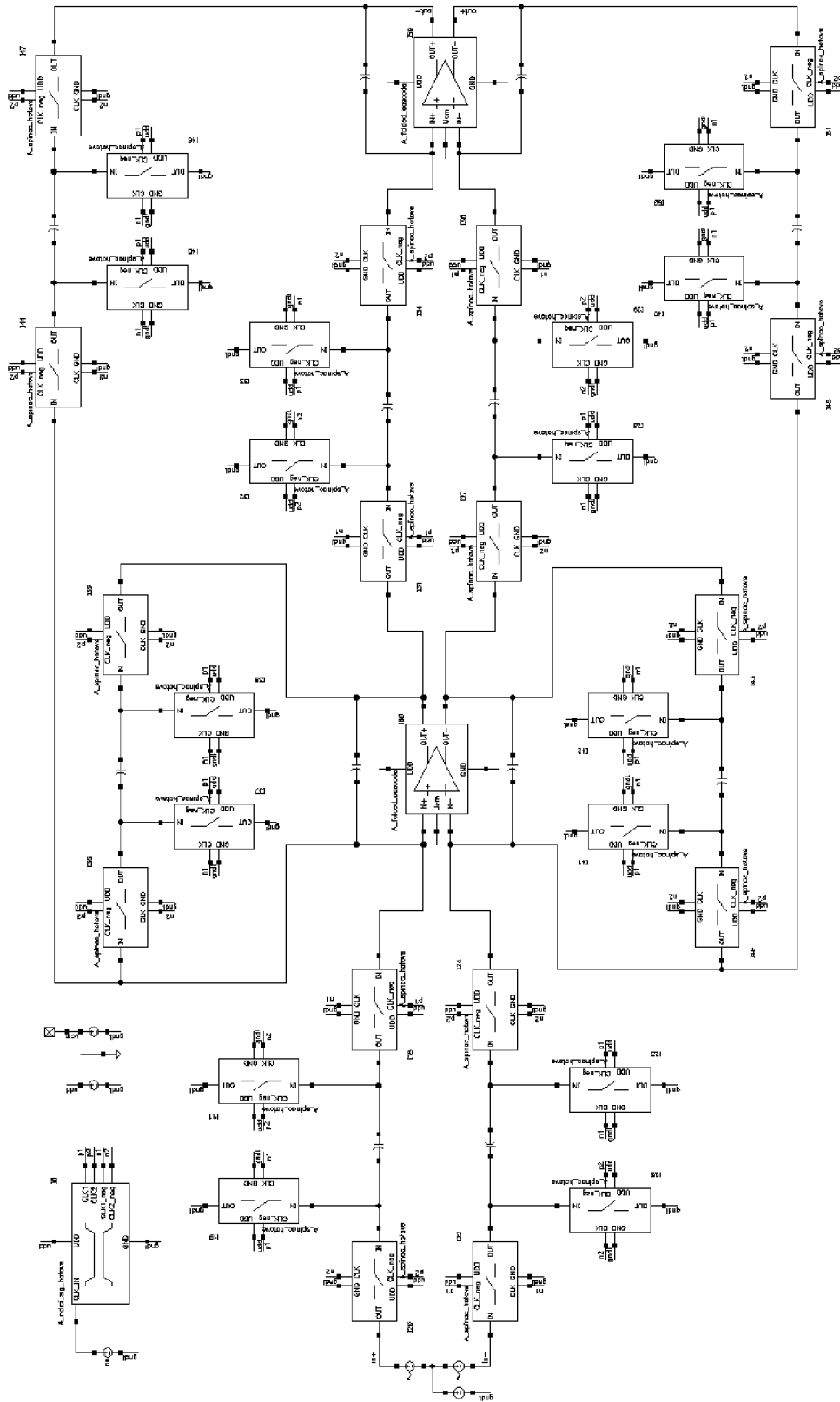
E.1 Teplotní analýza Sallen–Key



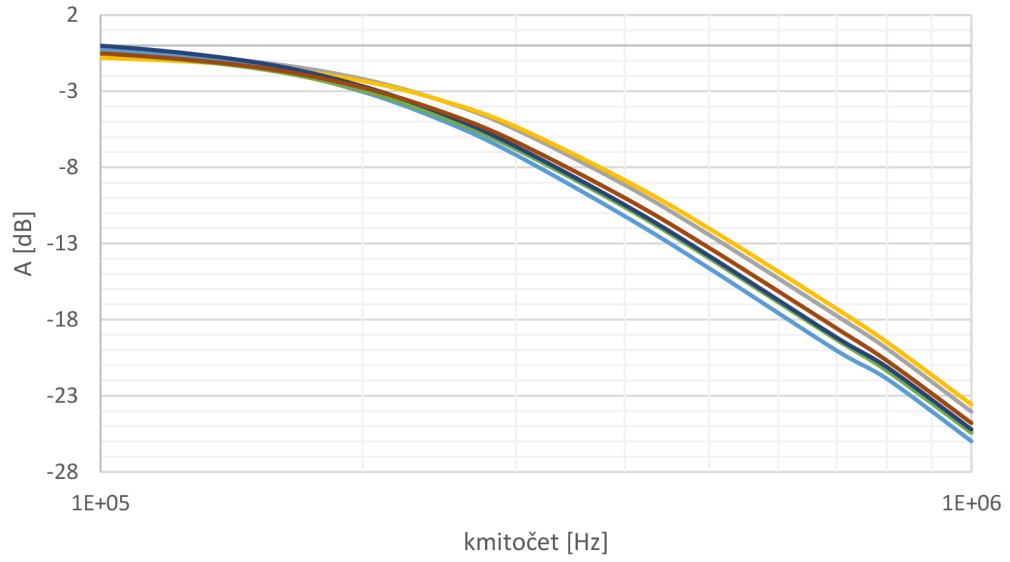
E.2 Corner analýza Sallen–Key



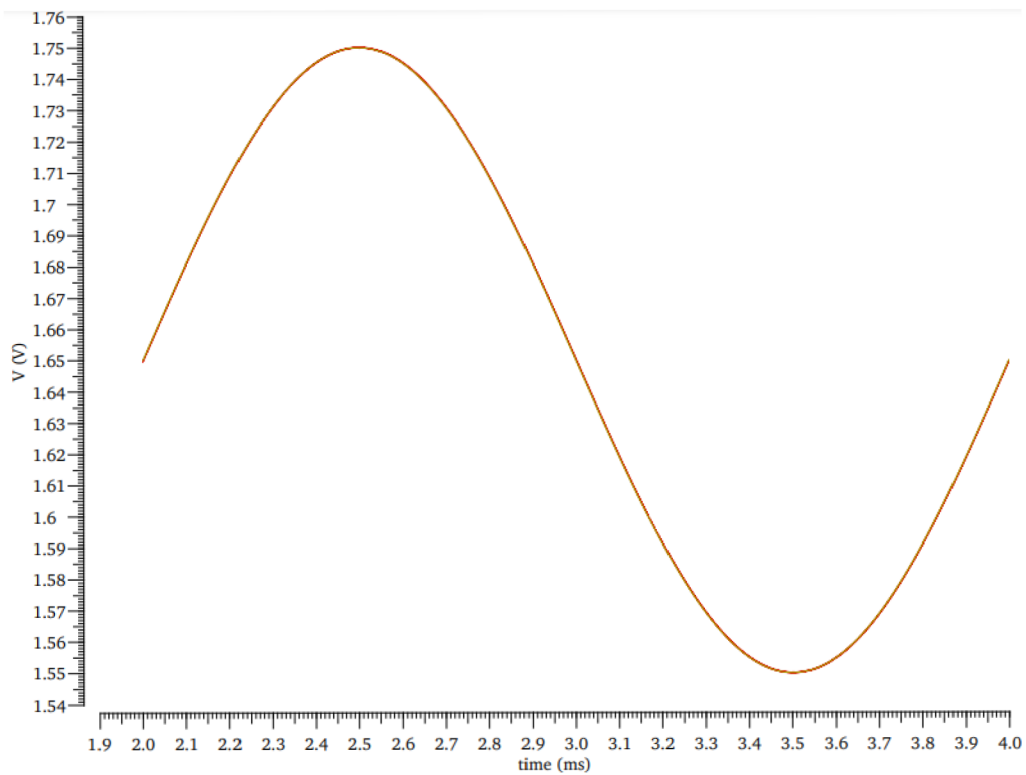
Příloha F - Bikvadratický filtr se SC



F.1 Corner analýza bikvadratického fitru



Příloha G - Vstupní a výstupní signál filtru



G.1 Detailní pohled na krok SC

