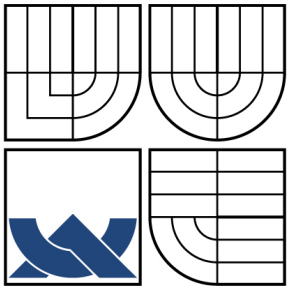
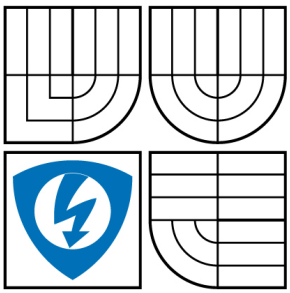


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

DEPARTMENT OF RADIO ELECTRONICS

GENERÁTOR PŘESNÉHO KMITOČTU - DDS

PRECISE FREQUENCY GENERATOR - DDS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE — Bc. PETR KRATOCHVÍL

AUTHOR

VEDOUCÍ PRÁCE — Ing. ONDŘEJ BARAN

SUPERVISOR

BRNO 2009

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

Fakulta elektrotechniky a komunikačních technologií

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student:	Bc. Petr Kratochvíl	***ID:***	83587
Ročník:	2	***Akademický rok:***	2008/2009

NÁZEV TÉMATU:

Generátor přesného kmitočtu - DDS

POKYNY PRO VYPRACOVÁNÍ:

Jedním ze způsobů, které se v dnešní době využívají ke generaci signálů s přesným a stabilním kmitočtem, je přímá digitální syntéza - DDS. Prostudujte problematiku DDS jak z hlediska zpracování signálů, tak z hlediska obvodové realizace. Uveďte význačné parametry DDS syntezátorů, zaměřte se na hodnocení generovaného signálu.

Vyberte vhodný obvod realizující DDS (např. od firmy AD) a proveďte návrh velmi přesného syntezátoru s výstupním signálem o proměnném kmitočtu. Navrhněte desku plošného spoje.

Zapojení realizujte a experimentálně ověřte dosažené parametry. Ty srovnejte s předpokládanými hodnotami a údaji výrobce.

DOPORUČENÁ LITERATURA:

[1] HANUS, S., SVAČINA, J. Vysokofrekvenční a mikrovlnná technika. Brno: Skripta FEKT VUT v Brně, 2002. 210 s. ISBN 80-214-2222-X.

[2] VANKKA, J. Digital Syntesizers and Transmitters for Software Radio. Heidelberg: Springer, 2005. ISBN 1-4020-3194-6

Termín zadání:	9.2.2009	***Termín odevzdání:***	29.5.2009

Vedoucí práce: Ing. Ondřej Baran

prof. Dr. Ing. Zbyněk Raida
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práve třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Abstrakt

Tato práce pojednává o generátorech kmitočtu založených na metodě přímé digitální syntézy DDS. Je zde vysvětlen a popsán základní princip funkce generátoru DDS a jeho vlastnosti. Zmíněny jsou parametry ovlivňující a definující kvalitu generovaného signálu. Je uveden také seznam v současnosti dostupných integrovaných obvodů realizujících přímou digitální syntézu DDS. V práci je popsán postup návrhu generátoru DDS s vybraným obvodem AD9954 a jeho řízení. V textu je podrobně rozebrána konstrukce a vlastnosti jednotlivých součástí. Na závěr se provádí ověření funkce a parametrů tohoto generátoru.

Klíčová slova

Přímá digitální syntéza, fázový akumulátor, delta registr, fázový registr, tabulka RAM, D/A převodník, dynamický rozsah, fázový šum, odstup signálu od šumu, komunikace SPI.

Abstract

This work deals with frequency generators based on the direct digital synthesis method DDS. Basic principles and attributes of the frequency generator DDS are explained. The text describes parameters influencing and defining a quality of the generated signal. The list of available integrated circuits realizing the direct digital synthesis is mentioned. A construction of the DDS generator with a device AD9954 and the generator control are described. At the end of the work, the function and parameters of the designed generator are verified.

Key words

Direct digital synthesis, phase accumulator, frequency register, phase register, phase to amplitude converter, D/A convertor, dynamic range, phase noise, signal to noise ratio, SPI communication.

Bibliografická citace mé práce:

KRATOCHVÍL, P. *Generátor přesného kmitočtu - DDS.* Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009. 72 s. Vedoucí semestrální práce Ing. Ondřej Baran.

Prohlášení

Prohlašuji, že svou diplomovou práci na téma Generátor přesného kmitočtu – DDS jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb. včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 29. května 2009 .....
podpis autora

Poděkování

Děkuji vedoucímu diplomové práce Ing. Ondřeji Baranovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne 29. května 2009 .....
podpis autora

Obsah

1. Úvod 4
2. Základní parametry 5
   2.1 Stabilita kmitočtu 5
   2.2 Amplitudový a fázový šum 5
   2.3 Přesnost kmitočtu 6
   2.4 SFDR 6
   2.5 Harmonické zkreslení 7
   2.6 Šumové vlastnosti 7
   2.7 Základní rozdělení syntezátorů 7
3. Syntezátory DDS 8
   3.1 Fázový akumulátor 8
   3.2 Tabulka ROM funkce sinus 10
   3.3 D/A převodník 12
   3.4 Výstupní filtr 15
4. Použití DDS jako modulátorů 17
   4.1 Fázový modulátor PM 17
   4.2 Kmitočtový modulátor FM 17
   4.3 Amplitudový modulátor AM 18
5. Obvody generátorů DDS 19
   5.1 Popis dostupných obvodů generátorů DDS 19
   5.2 Popis vybraného generátoru DDS 20
6. Popis obvodu a návrh generátoru DDS 22
   6.1 Taktovací část obvodu 22
   6.2 Přizpůsobení výstupu a filtrace signálu 24
      6.2.1 Symetrizační člen 25
      6.2.2 Výstupní filtr 27
      6.2.3 Výstupní zesilovač 29
   6.3 Napájení obvodu 31
   6.4 Sériové rozhraní SPI obvodu AD9954 33
7. Řídící jednotka generátoru 35
   7.1 Tlačítka 35
   7.2 LCD displej 38
   7.3 SPI komunikace a řízení 39
      7.3.1 Rozhraní SPI mikrokontroléru ATmega64 39
      7.3.2 Řízení generátoru DDS 40
   7.4 Komunikace přes USB 45
      7.4.1 Zápis a čtení z registrů obvodu 45
      7.4.2 Zápis a čtení na straně počítače 46
8. Parametry a vlastnosti generátoru 50
9. Závěr 55
Použitá literatura 56
Seznam zkratek 57
Přílohy 58

Seznam obrázků

Obr. 2.1 Stanovení stability kmitočtu ... 5
Obr. 2.2 Spektrum fázového šumu ... 6
Obr. 2.3 Stanovení přesnosti kmitočtu ... 6
Obr. 3.1 Schéma kmitočtového syntezátoru založeného na metodě DDS ... 8
Obr. 3.2 Schéma fázového akumulátoru ... 8
Obr. 3.3 Průběhy signálu na výstupech jednotlivých bloků ... 9
Obr. 3.4 Průběhy signálu na výstupech jednotlivých bloků pro dvojnásobný výstupní kmitočet f_0 ... 9
Obr. 3.5 Úprava pro snížení velikosti tabulky ROM ... 10
Obr. 3.6 Velikost fázové chyby pro n = 4, m = 2 a D = 1 pro jednu periodu signálu ... 11
Obr. 3.7 Parametry D/A převodníku: integrální a diferenciální nelinearita, chyby zisku a offsetu ... 13
Obr. 3.8 Doba ustálení a vznik zákmitů ... 13
Obr. 3.9 Typická struktura D/A převodníku ... 14
Obr. 3.10 Unární struktura D/A převodníku ... 14
Obr. 3.11 Výsledné spektrum D/A převodníku ... 15
Obr. 3.12 Přenosové charakteristiky jednotlivých typů filtrů [6] ... 16
Obr. 4.1 Modulace PM pomocí DDS ... 17
Obr. 4.2 Modulace FM pomocí DDS ... 18
Obr. 4.3 Modulace AM pomocí DDS ... 18
Obr. 5.1 Konfigurace pinů obvodu AD9954 ... 21
Obr. 5.2 Struktura integrovaného obvodu AD 9954 ... 21
Obr. 6.1 Blokové schéma generátoru DDS s obvodem AD9954 ... 22
Obr. 6.2 Taktovací část obvodu AD9954 [7] ... 22
Obr. 6.3 Zapojení taktovací části přípravku generátoru DDS ... 23
Obr. 6.4 Komplementární výstupy DA převodníku [7] ... 24
Obr. 6.5 Vliv funkce sinc na velikost výstupního signálu v závislosti na kmitočtu ... 25
Obr. 6.6 Fotografie a schéma vinutí transformátoru WBC1-1T ... 26
Obr. 6.7 Kmitočtová charakteristika vložného útlumu a činitele odrazu tr. WBC1-1T ... 26
Obr. 6.8 Výsledné zapojení výstupu obvodu AD9954 ... 27
Obr. 6.9 Schéma zapojení filtru ... 27
Obr. 6.10 Kmitočtová charakteristika výstupního filtru ... 28
Obr. 6.11 Rozložení součástek filtru na desce plošných spojů ... 28
Obr. 6.12 Přenosová charakteristika reálného filtru měřená na vektorovém analyzátoru ... 29
Obr. 6.13 Schéma zapojení zesilovače ADL5530 ... 30
Obr. 6.14 Zisk a činitel odrazu obvodu ADL5530 v závislosti na kmitočtu [13] ... 30
Obr. 6.15 Kmitočtová závislost velikosti výstupního výkonu kaskády AD9954 a ADL5530 31
Obr. 6.16 Schéma napájecího obvodu ADP1715 -3,3 s pevným napětím 3,3V ... 32
Obr. 6.17 Zatěžovací a stabilizační charakteristika obvodu ADP1715-3,3 [9] ... 32
Obr. 6.18 Průběh zápisu dat do registru obvodu AD9954 [7] ... 33
Obr. 6.19 Základní registry a jejich obsah [10] ... 34
Obr. 7.1 Funkční blokové schéma řídící jednotky ... 35
Obr. 7.2 Připojení tlačítek k I/O portům ... 36
Obr. 7.3 Zobrazení kmitočtu na LCD displeji ... 38
Obr. 7.4 Spojení obvodů Master a Slave přes SPI ... 40
Obr. 7.5 Obsah kontrolních registrů generátoru AD9954 [7] ... 41
Obr. 7.6 Korekční křivky pro dané kmitočtové rozsahy ... 43
Obr. 7.7 Průběh čtení dat z přijímacího registru obvodu FT245BL [11] ... 45

Obr. 7.8 Zápis dat do vysílacího registru obvodu FT245BL [11] 46
Obr. 7.9 Architektura ovladačů pro obvod FT245BL v systému Windows 47
Obr. 7.10 Nastavení port COM v aplikaci (vlevo) a v systému Windows (vpravo) 47
Obr. 7.11 Aplikace pro řízení generátoru DDS přes rozhraní USB 48
Obr. 7.12 Nastavení hodinové části generátoru DDS 49
Obr. 8.1 Kmitočtová závislost výstupního výkonu, nastavená hodnota P = 0 dBm 51
Obr. 8.2 Teplotní a kmitočtová závislost zisku obvodu ADL5530 52
Obr. 8.3 Spektrum signálu v úzkém pásmu ±5 kHz okolo jmenovitého kmitočtu 20 MHz ... 53
Obr. 8.4 Spektrum signálu v pásmu od 0 do 200 MHz, jmenovitý kmitočet f_0 = 120,7MHz. 54
Obr. 8.5 Fázový šum generovaného signálu, f_0 = 20MHz 54

1. Úvod

Generátory kmitočtu jsou součástí a základem všech telekomunikačních a sdělovacích zařízení. S rozvojem nových technologií zpracování a přenosu signálů roste požadavek na konstrukci přesných generátorů kmitočtu. Rozšíření digitalizace ve všech oblastech elektrotechniky zároveň vede k realizaci generátorů pomocí digitálních metod. Do skupiny digitální syntézy patří generátory využívající smyčky fázového závěsu, a generátory založené na metodě přímé digitální syntézy, kterou se v této práci zabývám.

Princip přímé digitální kmitočtové syntézy je znám už více než 30 let. Praktická realizace je však možná až v dnešní době díky konstrukci rychlých D/A převodníků a dalších digitálních obvodů. V dnešní době jsou již dostupné integrované obvody realizující přímou digitální syntézu DDS, které mají implementovánu většinu potřebných obvodů. Díky vhodnému konstrukčnímu řešení se dosahuje dobré kvality generovaného signálu s minimem rušivých složek.

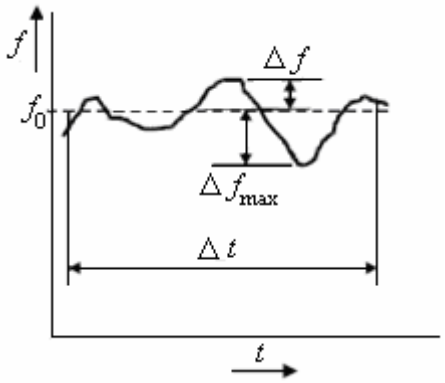
V této práci se zabývám základními pojmy a vlastnostmi oscilátorů a generátorů kmitočtu, které obecně platí pro všechny metody. Následně se zaměřuji na generátory kmitočtu pracující na základě metody DDS. Provádím rozbor základního principu a funkce této metody jak z hlediska obvodové realizace, tak z hlediska zpracování signálů. Zaměřuji se na význačné parametry DDS syntezátorů a jejich vliv na parametry generovaného signálu. Pomocí předešlého rozboru vybírám vhodný obvod pro praktickou realizaci generátoru kmitočtu metodou DDS. S tímto obvodem realizuji přesný generátor kmitočtu s proměnnými parametry generovaného signálu. Součástí práce je návrh vhodného řídícího obvodu generátoru s možností řízení přes počítačové rozhraní pomocí PC aplikace.

V závěru provádím ověření funkce navrženého generátoru a ohodnocení parametrů takto generovaného signálu.

2. Základní parametry

2.1 Stabilita kmitočtu

Stabilita kmitočtu je definována jako maximální relativní změna kmitočtu v určitém časovém intervalu Δt. Číselně se dá vyjádřit jako $\frac{\Delta f_{\max}}{f_0}$, kde f_0 je jmenovitá hodnota kmitočtu a $\Delta f_{\max}$ je maximální odchylka od tohoto kmitočtu na daném časovém intervalu Δt. Na obr. 2.1 [1] je naznačeno určení stability kmitočtu.



Obr. 2.1 Stanovení stability kmitočtu

Stabilitu dále rozdělujeme na krátkodobou a dlouhodobou. Dlouhodobá stabilita se určuje z časového intervalu delšího než 1 s. Krátkodobá pak z časového intervalu kratšího než 1 s. Krátkodobá stabilita je způsobena především šumem a náhodnými fluktuacemi (například kolísáním napájecího napětí, teploty apod.). Dobrá krátkodobá stabilita je důležitá pro nízkou hodnotu fázového šumu.

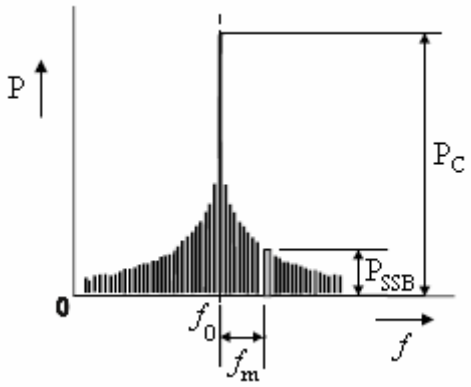
2.2 Amplitudový a fázový šum

Reálný průběh napětí oscilátoru se od ideálního sinusového průběhu liší. Dochází zde k rychlým odchylkám amplitudy od ideálního průběhu. To je označováno jako amplitudový šum a u většiny oscilátorů lze zanedbat. Vlivem rychlého kolísání kmitočtu, což úzce souvisí s krátkodobou stabilitou, dochází k rychlým odchylkám fáze signálu při průchodu nulou od ideálního průběhu. Tak vzniká fázový šum, který může být velmi intenzivní, jeho spektrum je uvedeno na obr. 2.2 [1]. Takovýto signál pak zvětšuje šumové číslo přijímače nebo chybovost přenosu.

Fázový šum je definován jako poměr výkonové hustoty šumu P_{SSB} (výkon v šířce pásma 1 Hz) na kmitočtu f_m a výkonu P_C základní harmonické signálu na kmitočtu f_0. Matematicky lze zapsat následovně [4]:

$$\alpha(f_m) = 10\log\frac{P_{SSB}}{P_C}. \quad [\text{dBc/Hz}] \tag{2.1}$$

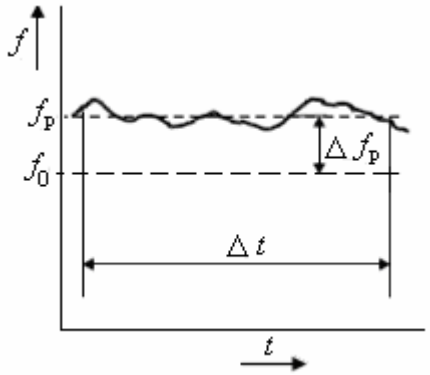
Jednotka dBc znamená, že je hodnota vztažená k výkonu nosné signálu (*c – carrier*).



Obr. 2.2 Spektrum fázového šumu

2.3 Přesnost kmitočtu

Přesnost kmitočtu je definována jako střední relativní odchylka kmitočtu od jmenovité hodnoty na daném časovém intervalu Δt. Ze získaných hodnot kmitočtu se určí střední hodnota f_p a následně jeho odchylka $\Delta f_p = |f_p - f_0|$. Přesnost kmitočtu se dá pak vyjádřit jako $\frac{\Delta f_p}{f_0}$. Na obr. 2.3 [1] je naznačen postup získání přesnosti kmitočtu.



Obr. 2.3 Stanovení přesnosti kmitočtu

2.4 SFDR

Poměr SFDR (Spurious Free Dynamic Range) [4] je definován jako dynamický rozsah bez intermodulačního zkreslení. Je to poměr výkonu základní harmonické a výkonu další nejvyšší parazitní složky ve spektru signálu. Je požadována co nejvyšší hodnota SFDR. Souvisí s odstupem rušivých složek vzhledem k úrovni složky na požadovaném kmitočtu a se spektrální čistotou signálu.

Často se hodnota SFDR udává pro různý rozsah kmitočtů zvlášť. Například pro pásmo 1–10 MHz je SFDR = 73 dB, 10 – 40 MHz je SFDR = 67 dB. Tento dynamický rozsah je určován z širokého pásma kmitočtů a označuje se také WBSFDR, z anglického wideband SFDR.

Dále také rozlišujeme dynamický rozsah SFDR, který je vždy určován jen z úzkého pásma okolo jmenovitého kmitočtu. Např.: SFDR 89 dB na kmitočtu 40 MHz (±250 kHz). Tento dynamický rozsah je také označován jako NBSFDR, z anglického narrow-band SFDR.

2.5 Harmonické zkreslení

Harmonické zkreslení *THD* (Total Harmonic Distortion) [3] je poměr součtu velikostí jednotlivých harmonických a velikosti základní harmonické generovaného signálu. Jako velikosti se uvažují nejčastěji efektivní hodnoty jednotlivých složek. Tento parametr tedy podává informaci o čistotě signálu. Je definován vztahem 2.2, nebo v logaritmické míře vztahem 2.3.

$$THD = \frac{\sqrt{U_2^2 + U_3^2 + ... + U_n^2}}{U_1} \cdot 100 \qquad [\%] \qquad (2.2)$$

$$THD = 20 \log \frac{\sqrt{U_2^2 + U_3^2 + ... + U_n^2}}{U_1} \qquad [\mathrm{dB}] \qquad (2.3)$$

U_1 je velikost spektrální čáry první harmonické, U_2 velikost následující druhé harmonické atd.

Pokud by byla v ideálním případě v signálu obsažena jen první harmonická, byl by činitel *THD* roven 0 % (0dB).

2.6 Šumové vlastnosti

Důležitým parametrem při generování signálu pomocí digitálních metod, kde se pro tvorbu výstupního signálu používá D/A převodník, je poměr ***SNDR*** (Signal to Noise and Distortion Ratio) [4]. Jedná se o odstup signálu od šumu a zkreslení. Pro *N*bitový převodník lze použít vztah 2.4. Poměr *SNDR* je tedy závislý na počtu kvantizačních hladin použitých při digitálním zpracování, čím větší je počet hladin, tím menší je kvantizační šum a zkreslení signálu.

$$SNDR = 6{,}02 \cdot N + 1{,}76\,. \qquad [\mathrm{dB}] \qquad (2.4)$$

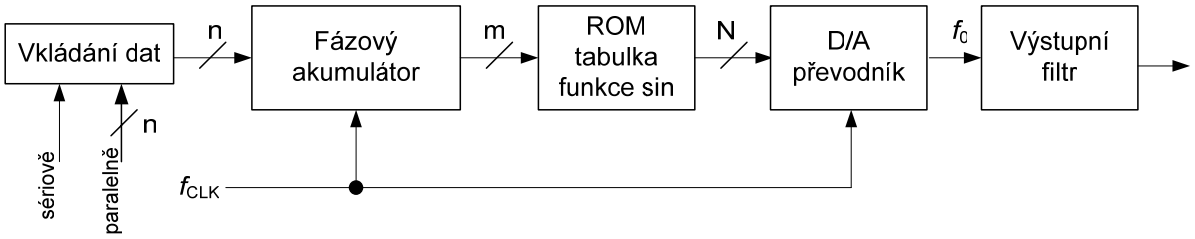
2.7 Základní rozdělení syntezátorů

Podle tvorby výstupního signálu rozdělujeme syntezátory na syntezátory s přímou a s nepřímou syntézou. **Syntezátory s přímou syntézou** vytváří výstupní kmitočet z kmitočtů jednoho nebo více základních generátorů pomocí aritmetických operací (sčítání, odečítání, násobení a dělení). **Syntezátory s nepřímou syntézou** jsou systémy se zpětnou vazbou, využívající fázového závěsu.

Dále se syntezátory dají rozdělit podle počtu základních generátorů kmitočtu na koherentní a nekoherentní. **Koherentní** syntezátory využívají pouze jednoho základního generátoru, stabilita výstupního kmitočtu je dána stabilitou kmitočtu generátoru. U **nekoherentní** syntézy je použito více základních generátorů, stanovení stability výstupního kmitočtu není tak jednoznačné.

3. Syntezátory DDS

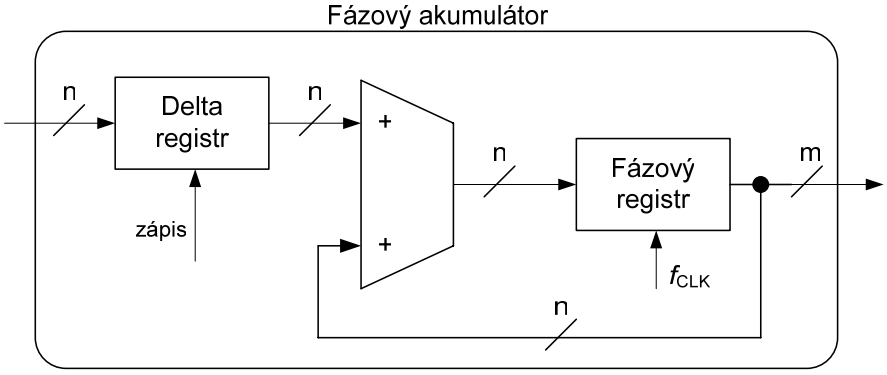
Blokové schéma syntezátoru DDS (Direct Digital Synthesis) je na obr. 3.1. Skládá se z fázového akumulátoru, jehož výstupem je adresována paměť ROM obsahující hodnoty funkce sinus. Následuje D/A převodník, který vytváří konečný spojitý sinusový signál o kmitočtu f_0. Za D/A převodníkem je ještě zařazen filtr typu dolní propust pro vytvarování výstupního signálu a odfiltrování nežádoucích složek. Data řídící výstupní kmitočet je možné vkládat po sériové nebo paralelní lince.



Obr. 3.1 Schéma kmitočtového syntezátoru založeného na metodě DDS

3.1 Fázový akumulátor

Základním stavebním prvkem syntézy DDS je fázový akumulátor. Schéma fázového akumulátoru je na obr. 3.2. Skládá se z delta registru, do něhož je uložena hodnota určující výstupní kmitočet, ze sčítačky a fázového registru, který obsahuje informaci o fázi právě generovaného bodu signálu a jehož horními m-bity je adresována paměť ROM.



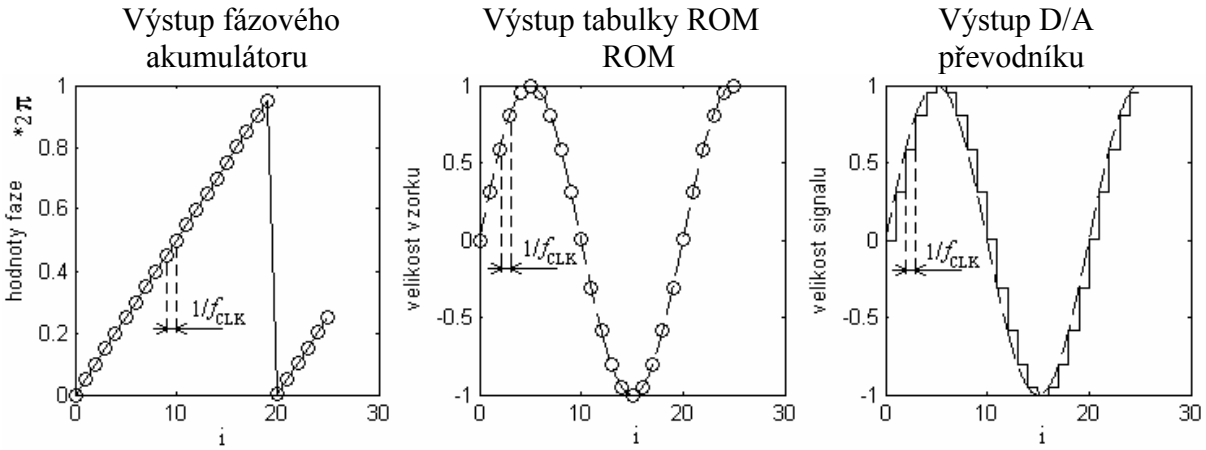
Obr. 3.2 Schéma fázového akumulátoru

Při každé periodě $T_{CLK}=1/f_{CLK}$ hodinového signálu je k hodnotě uložené ve fázovém registru přičtena n-bitová hodnota uložena v delta registru. Jakmile fázový registr dosáhne maximální hodnoty 2^n, vynuluje se a cyklus se opakuje. Naplnění fázového registru odpovídá jedné periodě výstupního harmonického signálu. Bude-li například hodnota delta registru D rovna 2 (00…010), bude se při každé periodě T_{CLK} zvyšovat obsah fázového registru o dvojku. Pokud bude hodnota delta registru 4 (00…100), bude se tato hodnota zvyšovat dvojnásobně. K dosažení maximální hodnoty dojde v polovičním čase, a výstupní kmitočet bude dvojnásobný. Pro výstupní kmitočet tedy platí vztah 3.1 [2].

$$f_0 = \frac{D}{2^n} \cdot f_{CLK}\,, \tag{3.1}$$

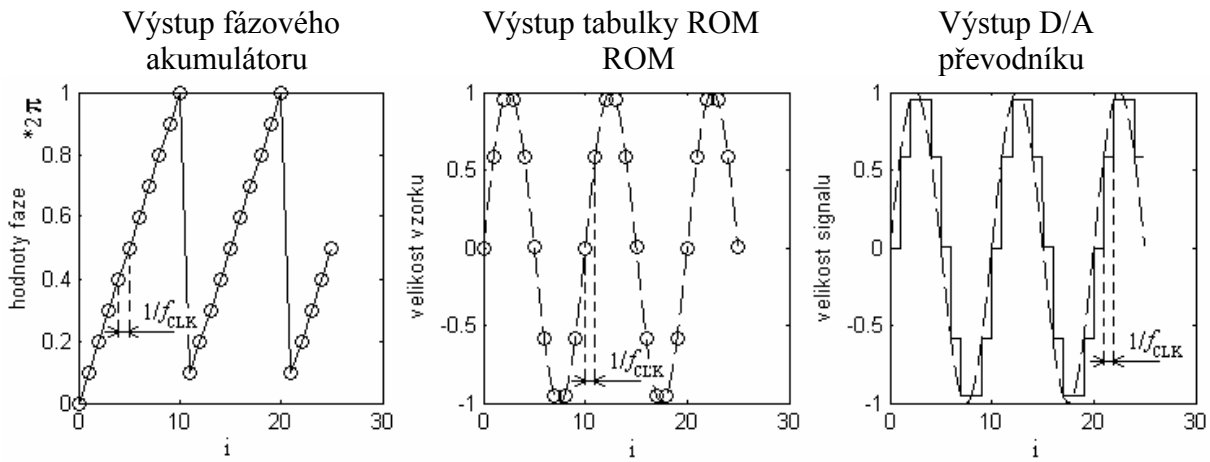
kde D je hodnota delta registru, n je počet bitů registrů a f_{CLK} hodinový kmitočet.

Výstupem fázového akumulátoru jsou tedy hodnoty fáze. Ty jsou generovány s periodou hodinového signálu $T_{CLK.}$ V tabulce ROM je jednotlivým hodnotám fáze přiřazena velikost odpovídající funkci sinus. Následně je pomocí D/A převodníku vytvořen spojitý signál. Průběhy v jednotlivých bodech generátoru jsou naznačeny na obr. 3.3.



Obr. 3.3 Průběhy signálu na výstupech jednotlivých bloků

Na obr. 3.4 jsou průběhy pro dvojnásobný kmitočet výstupního signálu. Hodnoty fáze jsou generovány opět s periodou T_{CLK}, a proto je výstupní průběh reprezentován pouze polovičním počtem vzorků.



Obr. 3.4 Průběhy signálu na výstupech jednotlivých bloků pro dvojnásobný výstupní kmitočet f_0

Z toho plyne, že je nutno dodržet vzorkovací teorém. Pro výstupní kmitočet tedy musí platit podmínka 3.2 [2].

$$f_{0\max} \le \frac{f_{CLK}}{2}\,. \tag{3.2}$$

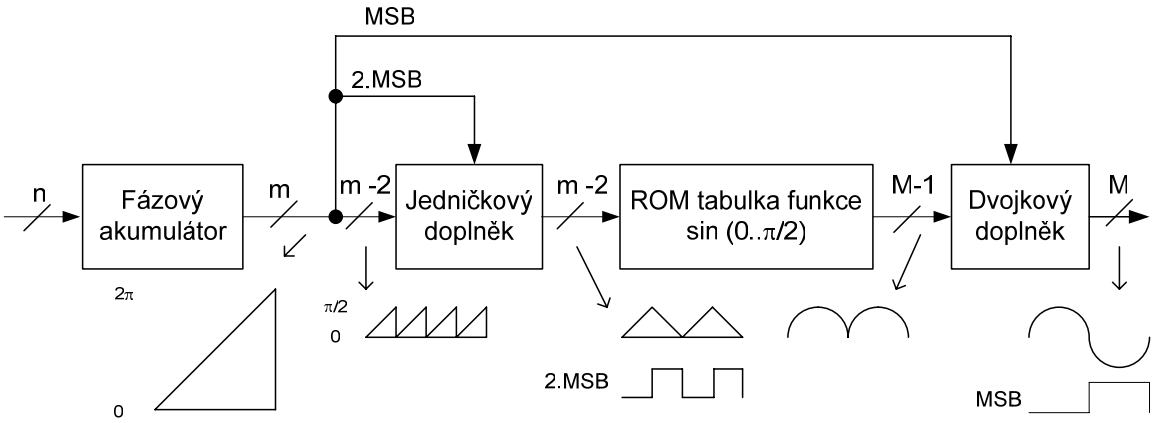
Ze struktury zapojení dále vyplývá, že nejmenší kmitočtový krok, a tedy dosažitelné kmitočtové rozlišení, je dán vztahem 3.3 [2].

$$\Delta f = \frac{f_{CLK}}{2^n}. \tag{3.3}$$

S tímto vztahem také souvisí přesnost kmitočtu, čím menší je Δf, tím bude lepší přesnost kmitočtu, ovšem na úkor velikosti registrů fázového akumulátoru. Důležitým parametrem je také přesnost a stabilita základního generátoru kmitočtu, tedy generátoru hodinového impulsu f_{CLK}. Ten určuje celkovou stabilitu generátoru DDS a také přispívá k celkové přesnosti kmitočtu.

3.2 Tabulka ROM funkce sinus

Jak již bylo řečeno, v tabulce ROM je jednotlivým hodnotám fáze fázového akumulátoru přiřazena velikost odpovídající funkci sinus. Tabulka ROM je adresována horními m-bity fázového akumulátoru, měla by tedy obsahovat 2^m hodnot. To např. při hodnotě m = 12 bitů odpovídá velikosti 4096 hodnot. Velké tabulky mají nevýhodu jednak v ceně, jednak v dlouhé přístupové době. Pro snížení velikosti tabulky lze provést poměrně jednoduchou úpravu zapojení naznačenou na obr. 3.5 [2].



Obr. 3.5 Úprava pro snížení velikosti tabulky ROM

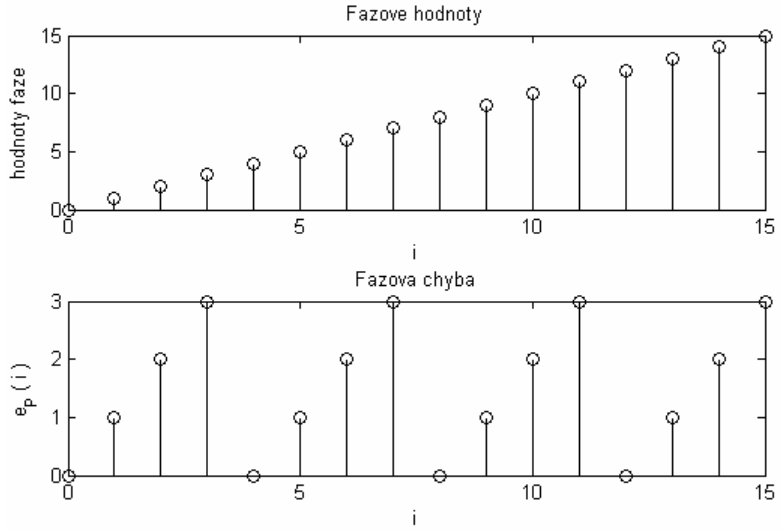
Úprava vyplývá ze symetrického průběhu funkce sinus. Stačí, aby tabulka ROM obsahovala pouze hodnoty odpovídající hodnotám fáze 0 až π/2, a poté doplněním zapojení docílíme výstupního sinusového průběhu. Pro adresování paměti ROM se použije pouze m-2 bitů. Přičemž druhý nejvyšší bit je použit pro řízení operace jedničkového doplňku, který provádí inverzi, tedy zamění logické 0 za logické 1 a naopak. Tím docílíme časové symetrie. Nejvýznačnější bit MSB se používá pro řízení dvojkového doplňku, který převede kladné hodnoty na záporné. Výsledkem je pak plnohodnotný průběh funkce sinus při použití čtvrtinové velikosti tabulky ROM.

Velikost tabulky ROM lze zmenšit také tak, že použijeme pro její adresování právě pouze horních m-bitů fázového akumulátoru. Tato redukce se svázána se vznikem fázové

chyby generovaného signálu. Velikost fázové chyby je přímo úměrně závislá na počtu bitů m a je pro každý vzorek *i* různá.

$$e_P(i) < 2^{n-m}. \tag{3.4}$$

Fázová chyba dosahuje maximální hodnoty 2^{n-m}-1, platí tedy vzorec 3.4 [2]. Příklad průběhu fázové chyby pro n = 4 (počet fázových stavů 16), m = 2 (max. chyba 3) a D = 1 je naznačen na obr. 3.6. První průběh značí správné velikosti fází, druhý průběh pak odchylku od těchto správných hodnot při použití pouze horních m-bitů.



Obr. 3.6 Velikost fázové chyby pro n = 4, m = 2 a D = 1 pro jednu periodu signálu

Je zřejmé, že při správné volbě hodnoty delta registru D, se fázová chyba neprojeví. Tento případ nastane, když bude nejvyšší společný dělitel čísel D a počtu fázových stavů 2^n roven nebo větší než hodnota 2^{n-m}, jinými slovy pokud bude celkový počet fázových stavů celočíselným násobkem D a zároveň D bude větší než 2^{n-m}. Matematicky lze tato definice zapsat vztahem 3.5 [2]

$$GCD(D,2^n) < 2^{n-m}, \tag{3.5}$$

kde zkratka GCD znamená nejvyšší společný dělitel.

Vznik fázové chyby je svázán se vznikem rušivých složek v signálu a tím se zhoršením spektrální čistoty signálu. Při splnění fázové podmínky (3.5) lze definovat maximální dynamický rozsah jako [5]:

$$SFDR_{\max} = 20\log(2^m - 1) \approx 6{,}02 \cdot m. \quad [\text{dB}] \tag{3.6}$$

3.3 D/A převodník

Pro vysokofrekvenční aplikace se požadují převodníky s parametry $f_{CLK} > 50$ MHz a $N > 10$ bitů. Počet kvantovacích bitů N je svázán s velikostí kvantizační chyby e_A, která se pohybuje v rozsahu $\pm U_{LSB}/2$. Velikost napětí neméně význačného bitu LSB se dá napsat jako:

$$U_{LSB} = \frac{U_{REF}}{2^N - 1}, \tag{3.7}$$

kde U_{REF} je vstupní referenční napětí. Čím je vyšší počet hladin, tím je kvantizační chyba menší.

Poměr výkonu signálu a kvantizačnho šumu SNDR je dán vzorcem 2.4. Ze vzorce je patrné, že čím je počet kvantovacích hladin větší, tím je poměr SNDR lepší.

Důležité parametry jsou chyba zisku a offsetu a integrální a diferenciální nelinearita. Jejich definice a určení je patrné z obr. 3.7 [2].

Závislost výstupního napětí na vstupním kódovém slovu je v ideálním případě přímková. **Chyba offsetu** zapříčiní posun celé převodní charakteristiky ve směru napěťové osy. **Chyba zisku** pak změní strmost převodní charakteristiky.

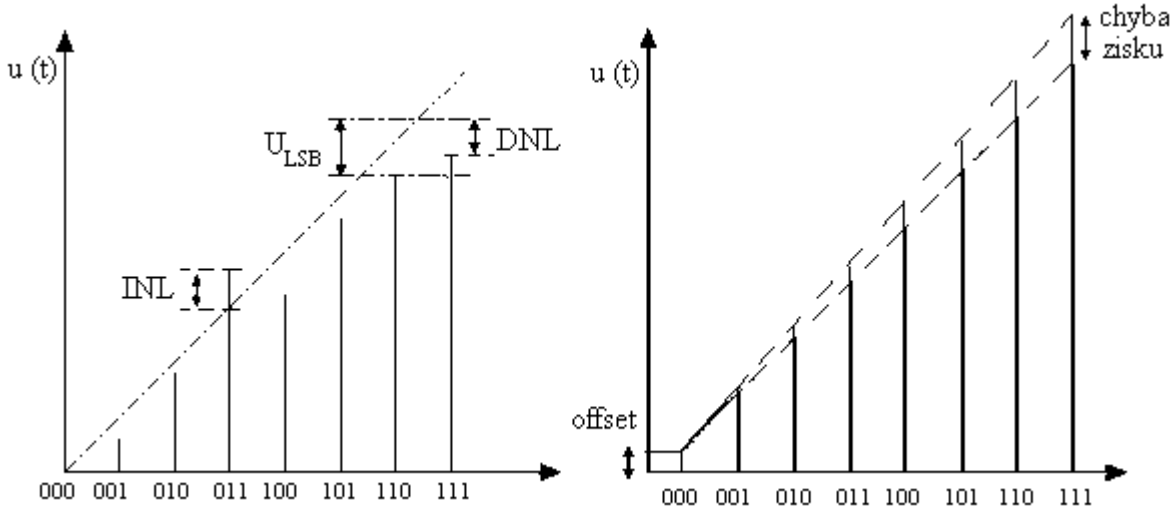
Ve skutečnosti se převodní charakteristika od ideální odchyluje, a lze ji aproximovat polynomem 2 a vyššího řádu. Převodní charakteristika je pak nelineární. **Integrální nelinearita INL** je definována jako napěťová odchylka skutečné výstupní hodnoty napětí od ideální. Matematicky ji lze definovat následně [2]:

$$INL(k) = U(k) - \frac{U_{\max} - U_{\min}}{2^N - 1} \cdot k, \tag{3.8}$$

kde N je počet bitů převodníku a k je dekadický ekvivalent binárního čísla vzorku. Často se udává maximální hodnota integrální nelinearity vztažená k velikosti bitu LSB, tedy INL_{max}/U_{LSB}.

Diferenciální nelinearita DNL je odchylka rozdílu výstupního napětí dvou sousedních kódových slov od velikosti napětí nejméně význačného bitu LSB. Matematicky je definice zapsána vzorcem 3.9 [2].

$$DNL(k) = U(k) - U(k-1) - \frac{U_{\max} - U_{\min}}{2^N - 1}. \tag{3.9}$$



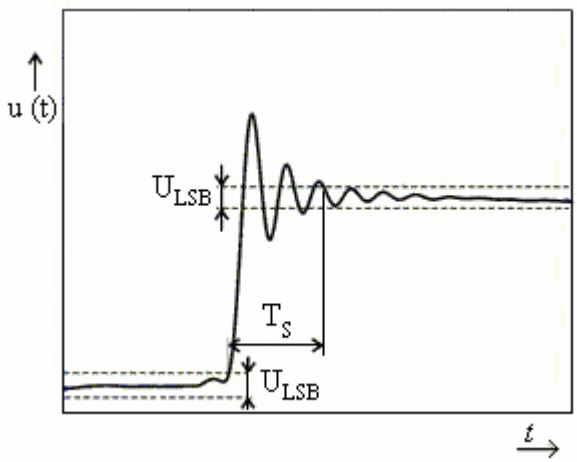
Obr. 3.7 Parametry D/A převodníku: integrální a diferenciální nelinearita, chyby zisku a offsetu

Zmíněné nelinearity mají za následek vznik vyšších harmonických a tím snížení dynamického rozsahu SFDR. Požaduje se, aby byla nelinearity vždy co nejmenší, přinejmenším, aby bylo zaručeno:

$$INL < \frac{1}{2} U_{LSB}, \tag{3.10}$$

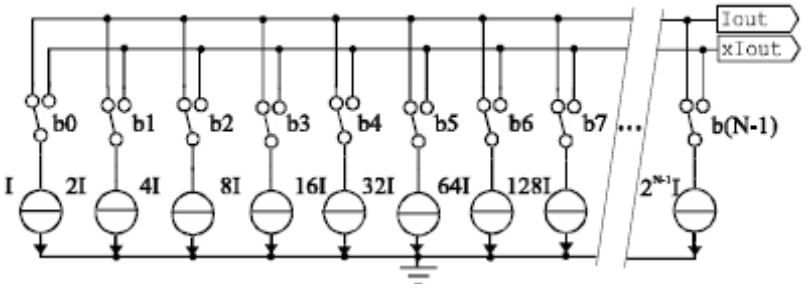
$$DNL < U_{LSB}. \tag{3.11}$$

Další parametry jsou **doba ustálení** T_S, což je interval mezi okamžikem, kdy výstupní napětí opustí toleranční interval a okamžikem, kdy se ustálí zákmity opět uvnitř tolerančního intervalu. Toleranční interval je interval napětí s rozkmitem $U_{LSB}/2$ od ustálené hodnoty napětí, odpovídá tedy kvantizační chybě e_A. Změnu napětí v čase při změně vstupního slova reprezentuje **rychlost přeběhu**. V důsledku spínání a rozpínání spínačů D/A převodníku vznikají zákmity, které jsou naznačeny na obr. 3.8 [5].



Obr. 3.8 Doba ustálení a vznik zákmitů

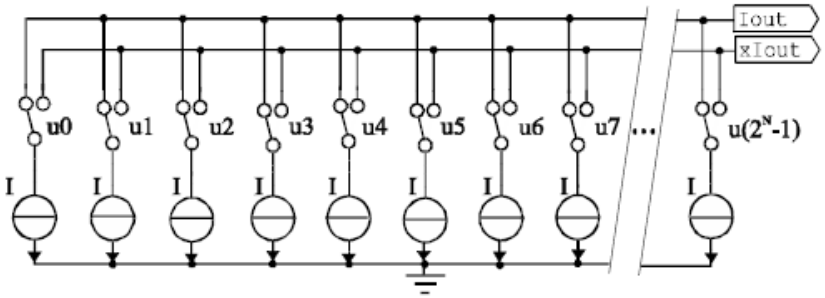
Velikost zákmitů a s tím svázaná doba ustálení mají velký význam na vysokých kmitočtech. Vyžaduje se, aby byly co nejnižší. Závisí značně na změně vstupního slova, nejvyšší úroveň zákmitů vzniká při změně většiny bitů (např.: 01111→10000). To je dobře vidět na obr. 3.9 [2], kde je zobrazena typická struktura D/A převodníku. Při změně slova z 01111 na 10000 se nejprve odpojí první čtyři zdroje a následně připojí pátý, sepne se proud 32I a úroveň zákmitů je vysoká.



Obr. 3.9 Typická struktura D/A převodníku

To se dá vyřešit změnou zapojení do tzv. unární struktury. Ta je zobrazena na obr. 3.10 [2]. Binární kód je převeden na kód *n* z 2^N-1 a je k dispozici 2^N-1 stejných zdrojů proudu I. Při změně kódového slova z 01111 na 10000 zůstanou všechny zdroje připojeny a připojí se navíc jen jeden zdroj. Sepnutý proud je I a je tedy 32krát nižší než v předchozím případě. Nevýhodou je velké množství zdrojů proudu.

V praxi se používá kombinace těchto dvou struktur, kdy se binární slovo rozdělí na více skupin bitů, a teprve pak se provede převod na kód *n* z 2^N-1. Počet zdrojů výrazně poklesne, ovšem úroveň zákmitů opět vzroste.



Obr. 3.10 Unární struktura D/A převodníku

Proto se také používá obvod S&H (Sample&Hold). Tento obvod vzorkuje výstupní napětí v okamžiku, kdy již odezní zákmity způsobené spínáním. Napětí pak zůstane na výstupu do dalšího vzorkování.

3.4 Výstupní filtr

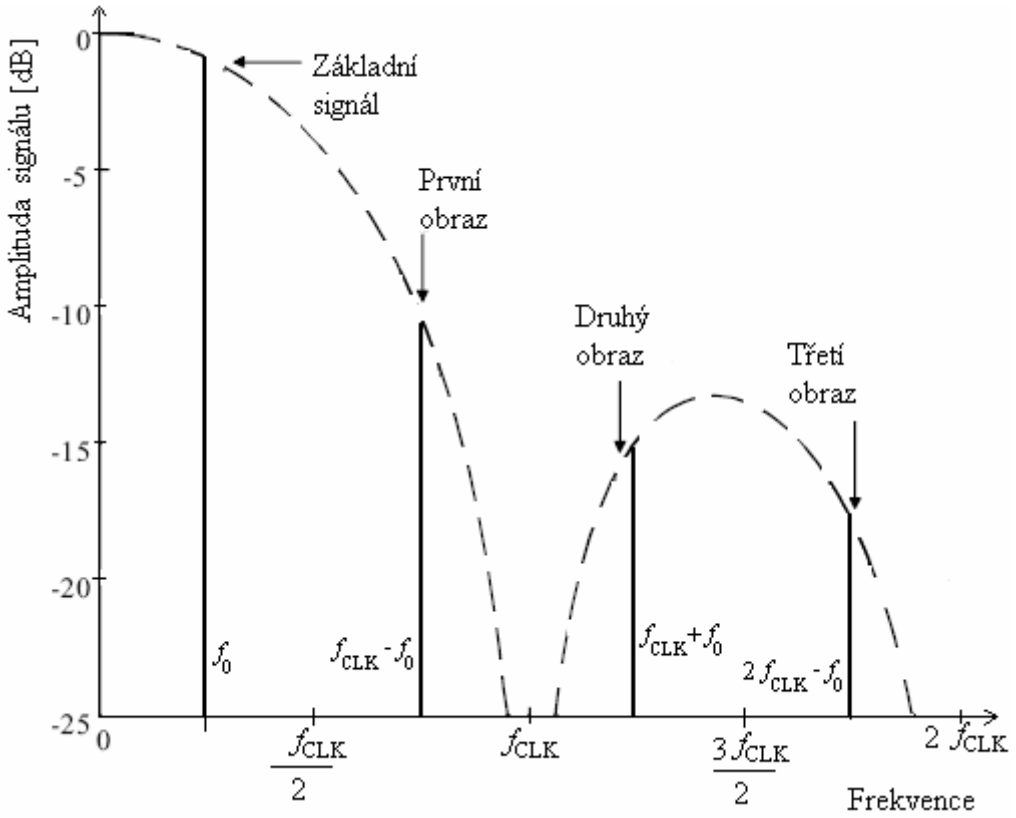
Výstup D/A převodníku má tedy charakter S&H, tedy charakter pulsů s dobou trvání $T_{CLK} = 1/f_{CLK}$. Spektrum takového signálu má charakter funkce sinc podle vzorce [2]:

$$\mathrm{sinc}\left(\pi \frac{f}{f_{CLK}}\right). \tag{3.12}$$

Pro funkci sinc(x) platí: $\mathrm{sinc}\,(x) = 1$ pro $x = 0$

$\mathrm{sinc}\,(x) = \dfrac{\sin(x)}{x}$ pro $x \neq 0$.

Výstupní spektrum D/A převodníku je symetrické kolem kmitočtu $f_{CLK}/2$ a je také periodické. Na výstupu převodníku se tedy kromě základního kmitočtu f_0 objeví také jeho obrazy na kmitočtu $f_{CLK} - f_0$, $f_{CLK} + f_0$ atd. Výsledné spektrum je pak dáno součinem těchto dvou spekter a je naznačeno na obr. 3.11 [2].



Obr. 3.11 Výsledné spektrum D/A převodníku

Pokud budeme požadovat dynamický rozsah dostatečně velký (SFDR = 50 dB a více), je hlavním účelem filtru odfiltrovat obrazové signály základního kmitočtu a zajistit tak čistý sinusový průběh. Největším problémem je potlačení kmitočtu prvního obrazu $f_{CLK} - f_0$, což vyžaduje filtr s velkou strmostí. Při uvažování f_{CLK} = 400 MHz a f_0 = 160 MHz bude první obrazový signál na kmitočtu 240 MHz. Při požadavku potlačení tohoto kmitočtu alespoň o 60 dB, bude muset být filtr 7. řádu a výše, podle druhu použité aproximace. Jednou z možností snížení požadavků na filtr je použití interpolačního převodníku, který převzorkuje výstupní signál a vloží mezi sousední vzorky k nulových hodnot. Při k = 1 bude vzorkovací

kmitočet dvojnásobný (tedy 800 MHz) a první obraz bude mít kmitočet 640 MHz, což výrazně sníží požadavky na výstupní filtr. To ovšem souvisí s velkými nároky na rychlost interpolačního D/A převodníku.

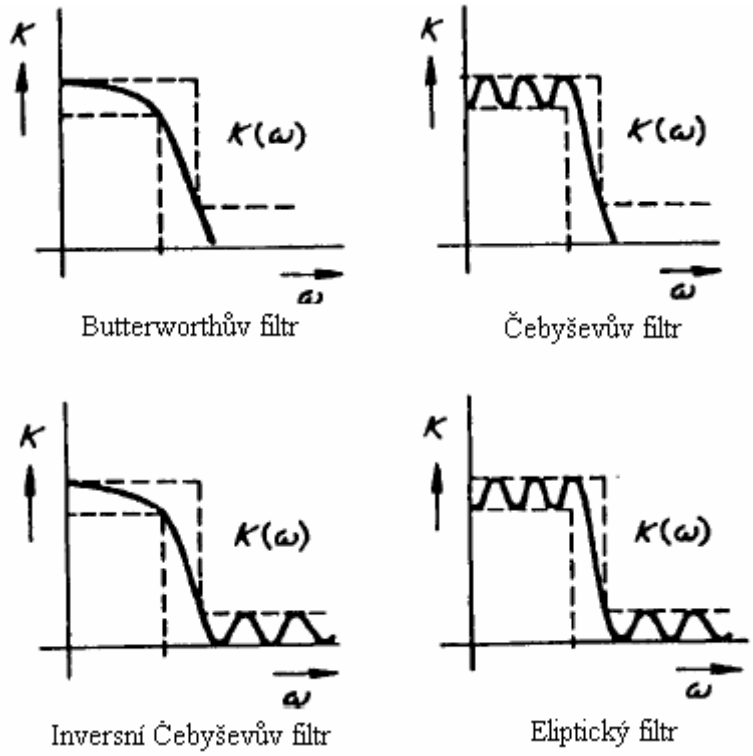
Nejpoužívanějšími aproximacemi pro filtry jsou Butterworthova aproximace, Čebyševova, inversní Čebyševova a eliptická aproximace. Podle použité aproximace pak také nazýváme jednotlivé typy filtrů.

Butterworthovy filtry jsou monotónní, vyznačují se plochou přenosovou charakteristikou. Útlum se mění spojitě s kmitočtem a nevzniká žádné zvlnění v propustném ani nepropustném pásmu. Dosažitelná strmost přenosové charakteristiky tohoto filtru je oproti ostatním zmíněným aproximacím nižší.

Čebyševovy filtry se vyznačují zákmity přenosové charakteristiky v propustném pásmu, následuje monotónní pokles v pásmu nepropustném. Oproti Butterworthovu filtru má mnohem větší dosažitelnou strmost. Zvyšování strmosti má však za následek zvětšení zákmitů v propustném pásmu.

Inversní Čebyševův filtr má plochou přenosovou charakteristiku v propustném pásmu a zákmity v nepropustném pásmu, tedy opačně proti Čebyševově aproximaci. Obdobně jako u Čebyševova filtru, zvětšení zákmitů v nepropustném pásmu umožňuje větší strmost přenosové charakteristiky.

Eliptické filtry nabízejí nejvyšší dosažitelnou strmost přenosové charakteristiky ze všech těchto filtrů. Nevýhodou je, že se zákmity vyskytují jak v propustném, tak v nepropustném pásmu.



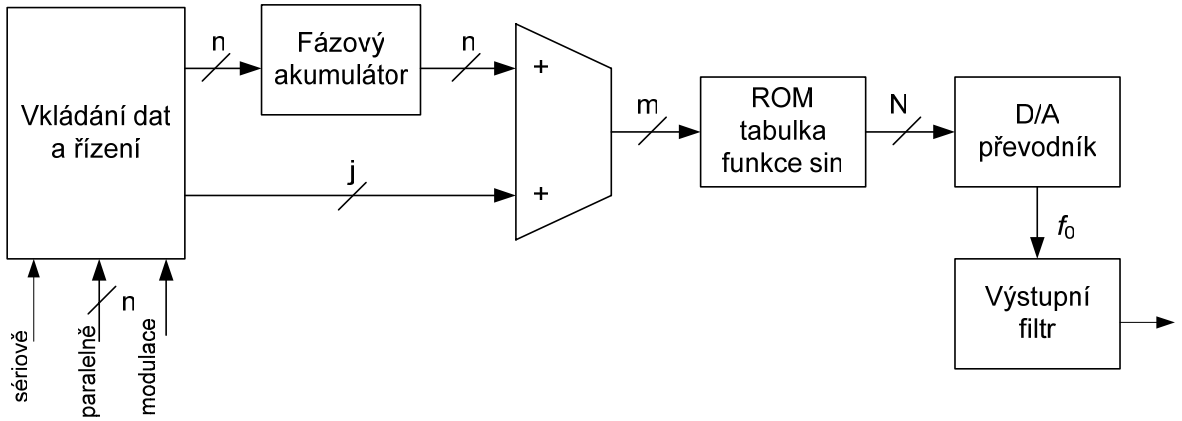
Obr. 3.12 Přenosové charakteristiky jednotlivých typů filtrů [6]

4. Použití DDS jako modulátorů

Ze základního principu a zapojení je vidět, že generátory DDS lze jednoduše modifikovat do funkce modulátorů. Jsou vhodné především pro číslicové modulace s diskrétní změnou modulované veličiny.

4.1 Fázový modulátor PM

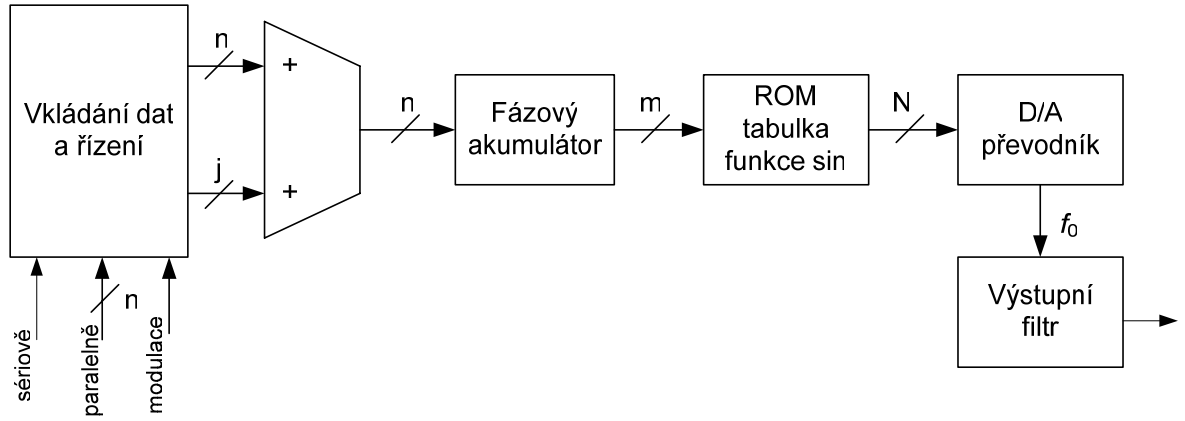
Modifikace generátoru DDS pro fázovou modulaci ukazuje obr. 4.1. Blok vkládání dat a řízení obsahuje vstupní registry a registr pro modulační signál. Modulační signál, nebo jeho část, je přičten k výstupu fázového akumulátoru a následně přiveden do tabulky ROM. Přičtením hodnoty dojde ke skokové změně fáze výstupního signálu, kmitočet zůstává nezměněn. Počet fázových stavů je roven 2^j.



Obr. 4.1 Modulace PM pomocí DDS

4.2 Kmitočtový modulátor FM

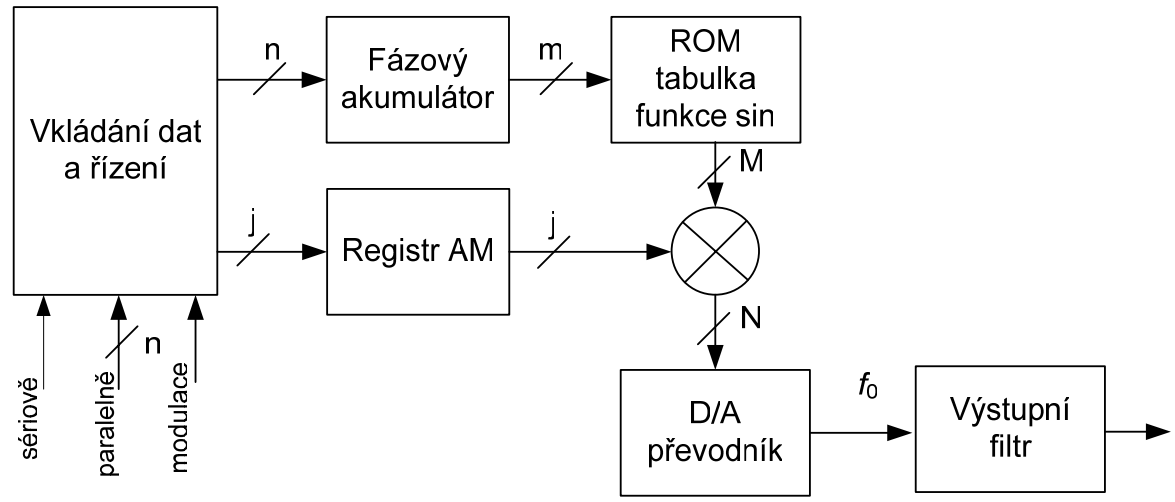
Pro kmitočtovou modulaci je nutné měnit obsah delta registru, tedy přičítat hodnoty odpovídající modulaci k hodnotě D ukládané do delta registru. Výsledný kmitočet je dán pak součtem dvou čísel, hodnoty D v rozsahu 1 až 2^n, ta určuje střední kmitočet, a hodnoty 1 až 2^j, která určuje odchylku od středního kmitočtu.



Obr. 4.2 Modulace FM pomocí DDS

4.3 Amplitudový modulátor AM

Modifikace DDS je možná také pro amplitudovou modulaci. Hodnoty výstupu ROM tabulky odpovídají hodnotám nosné, ty jsou pak v násobičce vynásobeny koeficientem odpovídajícím modulačnímu signálu. Výsledná hodnota je pak přivedena do D/A převodníku.



Obr. 4.3 Modulace AM pomocí DDS

Modulátory s DDS se používají především pro digitální modulace M-PSK, M-FSK a kvadraturní amplitudové modulace M-QAM. Lze pomocí nich například také realizovat tzv. kmitočtové skákání nosné (frequency hopping).

5. Obvody generátorů DDS

Navržený generátor kmitočtu, který využívá metodu přímé digitální syntézy, by měl mít proměnný výstupní kmitočet alespoň do 100 MHz. Výstupní signál musí být co nejkvalitnější s minimem rušivých složek. To splňuje následujících několik integrovaných obvodů. Zmíněné obvody jsou od firmy Analog Devices. Firma Analog Devices je zahraničním výrobcem širokého spektra analogových a digitálních obvodů. Veškerý sortiment obvodů je uveden a zpřístupněn na webu www.analog.com.

V následujícím textu jsou uvedeny parametry a vlastnosti jednotlivých obvodů, které vyhovují požadavkům na konstrukci přesného generátoru DDS.

5.1 Popis dostupných obvodů generátorů DDS

AD9951, AD9952, AD9953, AD9954

Základní struktura těchto obvodů je jednotná. Jedná se o obvody realizující přímou digitální syntézu DDS. Pracují s hodinovým kmitočtem až f_{CLK} = **400 MHz**. Obsahují **14bitový D/A** převodník zaručující dobré šumové vlastnosti a dynamický rozsah výstupního signálu. Kmitočet výstupního sinusového signálu lze nastavovat až do velikosti f_{0max} = **160 MHz**. Dobré kmitočtové rozlišení zajišťuje **32bitové** ladící slovo. Obvody umožňují skokové změny frekvence a fáze, jsou tedy vhodné i pro aplikaci do PSK a FSK modulátorů. Řízení obvodů je zajišťováno pomocí sériové linky SPI.

Výrobce zaručuje úzkopásmový dynamický rozsah **SFDR**> 80 dB a fázový šum menší než -120 dBc/Hz pro rozsah 1 kHz od jmenovitého kmitočtu.

Uvedené vlastnosti jsou pro tyto obvody společné, liší se od sebe několika konstrukčními doplňky:

- Obvod AD9952 obsahuje navíc analogový komparátor pracující až do kmitočtu 200MHz. Je určen pro vytvoření obdélníkového signálu z výstupního harmonického signálu.
- AD9953 obsahuje paměť RAM o velikosti 1024 x 32bitů pro uložení uživatelských dat
- Obvod AD9954 obsahuje jednak analogový komparátor a také paměť RAM 1024 x 32bitů

AD9956

Obvod pracuje opět s hodinovým kmitočtem až f_{CLK} = **400 MHz**, kmitočet výstupního sinusového signálu lze tedy nastavovat až do velikosti f_{0max} = **160 MHz**. Obsahuje také **14bitový D/A** převodník. Kmitočtové ladící slovo je **48bitové**. Opět je možná skoková změna frekvence a fáze, její řízení je zajišťováno po sériové lince.

Výrobce zaručuje úzkopásmový dynamický rozsah **SFDR**> 80 dB a fázový šum menší než -135 dBc/Hz pro rozsah 1 kHz od nastaveného jmenovitého kmitočtu.

Obvod obsahuje navíc smyčku fázového závěsu s frekvenčním a fázových detektorem a programovatelnými dělícími poměry M a N. To se využívá např. pro nastavení a dolaďování hodinového kmitočtu nebo přímo pro nastavování výstupního kmitočtu generátoru DDS.

AD9910, 9912

Za zmínku stojí také tyto dva obvody, využívají hodinového kmitočtu f_{CLK} **= 1 GHz,** výstupní kmitočet lze nastavit až na hodnotu **400 MHz**. Oba obvody mají **14bitový D/A** převodník.

U obvodu AD 9910 je kmitočtové ladící slovo 32bitové, obvod obsahuje tabulku RAM 1024 x 32bitů. Obvod má vestavěn také inverzní filtr sinc pro korekci poklesu způsobeného zmíněnou přenosovou funkcí sinc. Úzkopásmový dynamický rozsah je SFDR > 80 dB, fázový šum pak -125 dBc/Hz pro 1 kHz rozsah.

U obvodu AD 9912 je kmitočtové ladící slovo dokonce 48bitové, jeho součástí je násobič kmitočtu až do 750 MHz a analogový komparátor pracující do kmitočtu 150 MHz. Fázový šum je zaručován -133 dBc/Hz pro rozsah 1 kHz.

5.2 Popis vybraného generátoru DDS

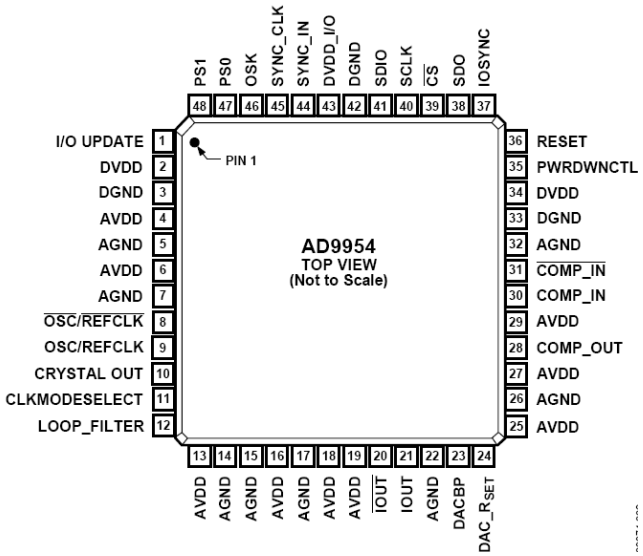
Pro návrh přesného generátoru kmitočtu jsem zvolil obvod AD9954. Požadavku na výstupní kmitočet plně vyhovuje. Velikost ladícího slova 32 bitů umožňuje nastavovat kmitočet s krokem až 0,1 Hz při použití maximálního kmitočtu hodinového signálu 400 MHz. Pro adresování tabulky ROM je použito 19 bitů, to postačuje pro dosažení dobrého dynamického rozsahu.

Rozlišení D/A převodníku 14 bitů je plně postačující pro dobrý odstup signálu od šumu a dobrý dynamický rozsah. Je také možno měnit amplitudu výstupního signálu pomocí 14bitového řídícího slova.

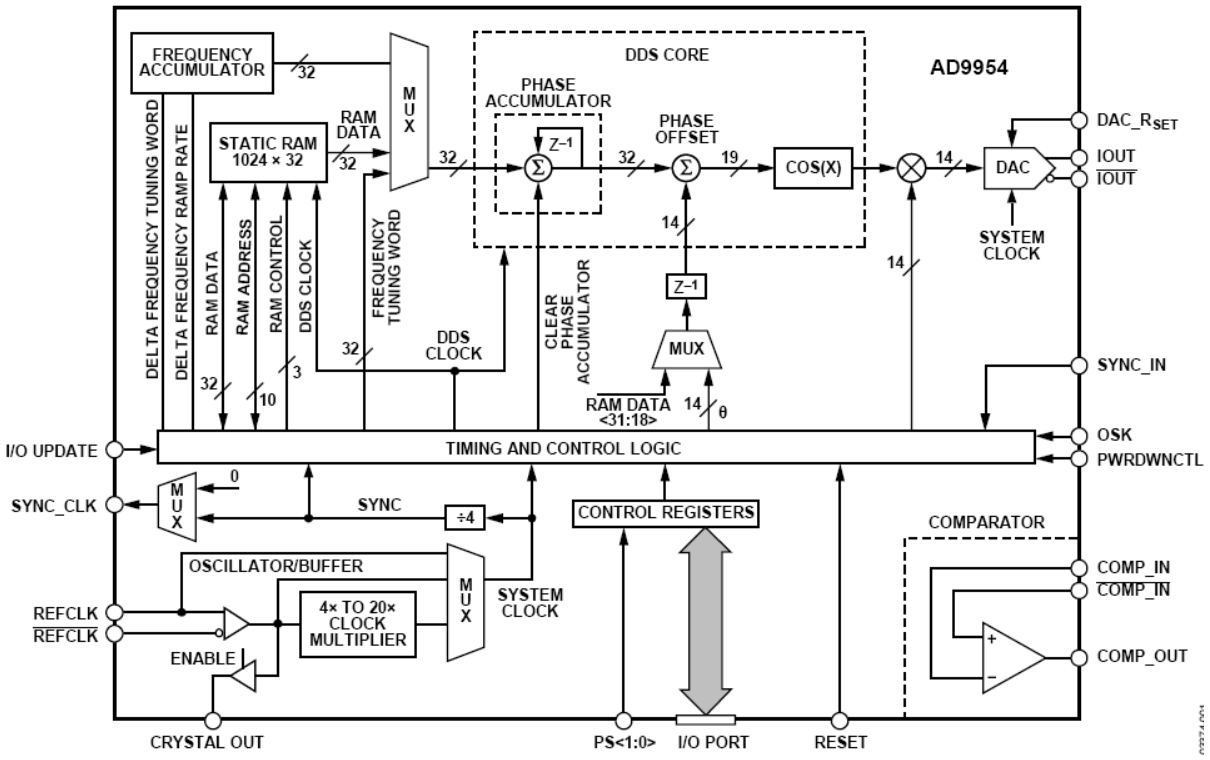
Navíc pro případné další modifikace je obvod doplněn o analogový komparátor pro vytvoření obdélníkového průběhu.

Obvod obsahuje také tabulku RAM, která umožňuje uživateli ukládat zvolené hodnoty. Těch se dá využít pro čtyřstavové kmitočtové nebo fázové modulace FSK a PSK, nebo pro rozmítání kmitočtu výstupního signálu.

Vnitřní struktura obvodu je na obr. 5.2 [7]. Obvod je zapouzdřen ve 48pinovém čtvercovém SMD pouzdře TQFP – EP, konfigurace pinů obvodu je na obr. 5.1 [7].



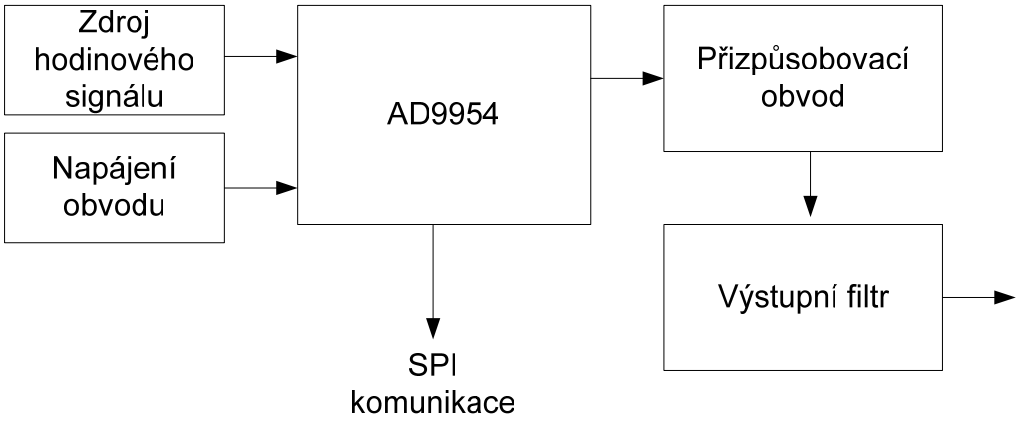
Obr. 5.1 Konfigurace pinů obvodu AD9954



Obr. 5.2 Struktura integrovaného obvodu AD 9954

6. Popis obvodu a návrh generátoru DDS

Strukturu obvodu AD9954 a výsledného generátoru DDS lze rozdělit na několik funkčních celků. Jsou to – stejnosměrná napájecí část, taktovací část, řídící a komunikační část a výstupní část. Přehledné blokové schéma generátoru DDS, který využívá funkcí obvodu AD9954 je na obr. 6.1. V následujícím textu jsou podrobněji popsány jednotlivé bloky, jejich funkce a postup při návrhu a konfigurace těchto částí.

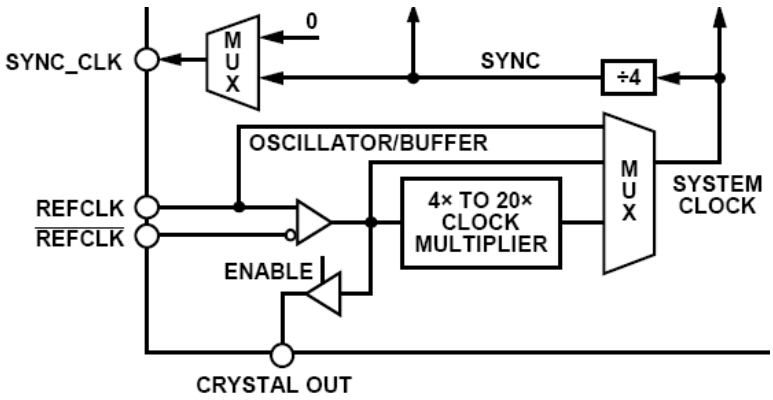


Obr. 6.1 Blokové schéma generátoru DDS s obvodem AD9954

6.1 Taktovací část obvodu

Taktovací část obvodu slouží k vytváření a zprostředkování hodinového a synchronizačního signálu pro správný běh a synchronizaci obvodu a připojených periferií. Schéma taktovací části obvodu AD9954 je vidět na obr. 6.2. Obvod AD9954 dokáže pracovat s hodinovým kmitočtem až 400 MHz a lze ho získat dvěma způsoby.

Prvním z nich je odvození hodinového kmitočtu z kmitočtu připojeného krystalu. Krystal o kmitočtu 20 – 30 MHz se připojí na komplementární vstupy OSC/REFCLK a pomocí interního krystalového oscilátoru se získá nízkofrekvenční hodinový signál. Pak pomocí smyčky fázového závěsu PLL, která je součástí obvodu, lze získat hodinový signál o 4x až 20x vyšším kmitočtu. Maximálně však 400 MHz. Tento signál je poskytnut na výstupu CRYSTAL_OUT.



Obr. 6.2 Taktovací část obvodu AD9954 [7]

Druhý způsob je použití vnějšího zdroje kmitočtu, oscilátoru, v rozsahu 20 – 400 MHz, připojeného na stejné vstupy. Opět je možné tento signál pomocí smyčky fázového závěsu vynásobit 4x až 20x. Pro lepší šumové poměry a fázovou čistotu signálu je výhodnější použít přesný vnější oscilátor s vysokým kmitočtem a vyhnout se tak násobení kmitočtu pomocí smyčky PLL, kdy vznikají rušivé signály a fázový šum.

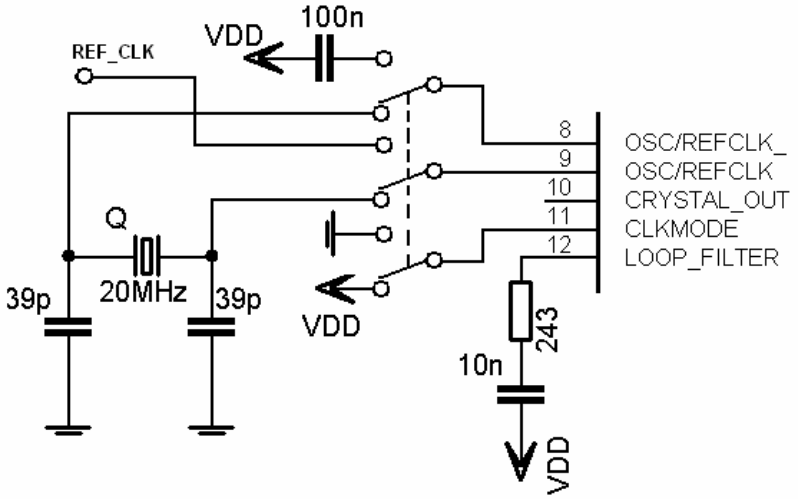
Výběr mezi těmito dvěma zdroji kmitočtu se provádí pomocí vývodu CLKMODESELECT. Připojením tohoto pinu na logickou 1 je povolen vnitřní oscilátor, připojením do log. 0 je vnitřní oscilátor vypnut a na vstupy OSC/REFCLK se přivede signál vnějšího oscilátoru.

Interní násobič kmitočtu PLL se ovládá změnou hodnoty v kontrolním registru CFR2 na pozici 3. až 7. bitu. Zapsáním hodnoty 4 – 20 dekadicky je násobič povolen a násobek kmitočtu odpovídá zapsané hodnotě. Zapsáním jiné hodnoty je smyčka PLL přemostěna a signál se nenásobí. Zápis do registru se provádí po sériové lince SPI, více v kapitole 6.4 a 7.3.2. Přehled možností, jak získat hodinový signál, je uveden v přehledné tabulce 6.1.

Tabulka 6.1 Konfigurace a módy hodinového signálu

CLKMODESELECT	CFR2<7:3>	Oscilátor	Hodinový signál	Rozsah kmitočtu [MHz]
1	$4 \le M \le 20$	Vnitřní	$f_{CLK} = f_{OSC} \cdot M$	$80 < f_{CLK} < 400$
1	$M < 4, M > 20$	Vnitřní	$f_{CLK} = f_{OSC}$	$20 < f_{CLK} < 30$
0	$4 \le M \le 20$	Vnější	$f_{CLK} = f_{OSC} \cdot M$	$80 < f_{CLK} < 400$
0	$M < 4, M > 20$	Vnější	$f_{CLK} = f_{OSC}$	$20 < f_{CLK} < 400$

Vlastní zapojení taktovací části na přípravku generátoru je zobrazeno na obr. 6.3. Je zde použit krystal o kmitočtu 20MHz, blokován dvěma kondenzátory s výrobcem doporučenou hodnotou 39 pF. Výsledný hodinový kmitočet 400 MHz je získán násobením hodnotou 20. Ještě je nutné zapojit k pinu LOOP_FILTER filtr smyčky fázového závěsu, zde jsou opět použity výrobcem doporučené hodnoty součástek, pro koeficient násobení 20 je to R = 243 Ω a C = 10 nF. V tomto případě je pin CLKMODE SELECT připojen na napájecí napětí. Přípravek ještě umožňuje připojení přesného referenčního kmitočtu vnějšího oscilátoru. V tom případě se manuálně musí přepnout pin CLKMODESELECT do log.0 a odpojit krystal. Jeden komplementární referenční vstup se připojí přes kondenzátor na napájecí napětí a na druhý se již přivede referenční signál.



Obr. 6.3 Zapojení taktovací části přípravku generátoru DDS

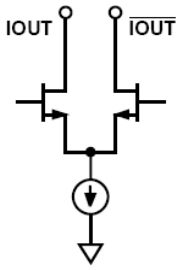
Hodinová část obvodu má ještě jeden výstup – SYNC_CLK, který slouží pro synchronizaci vnějších zařízení, například druhého obvodu AD9954. Signál na výstupu má čtvrtinový kmitočet oproti hodinovému kmitočtu a připojil by se ke vstupu SYNC_IN druhého zařízení.

6.2 Přizpůsobení výstupu a filtrace signálu

Výstupem obvodu AD9954 jsou dva komplementární diferenční proudové výstupy D/A-převodníku. Diferenční výstupy jsou vhodné, protože potlačují souhlasné šumy, vyskytující se na obou výstupech, a zlepšují tak poměr signálu a šumu. Výstupní proud D/A-převodníku I_{OUT} se nastavuje pomocí rezistoru připojeného mezi vstupní pin DAC_R_{SET} a analogovou zem. Hodnota připojeného odporu je určena následujícím vztahem [7]:

$$R_{SET} = \frac{39{,}19}{I_{OUT}}. \qquad [\Omega] \tag{6.1}$$

Maximální výstupní proud DA převodníku je 15 mA, přičemž nejlepšího dynamického rozsahu SFDR je dosaženo při omezení výstupního proudu na 10 mA. Ze vzorce 6.1 lze tedy pro výstupní proud 10 mA vypočítat hodnotu odporu R_{SET} = 3,92 kΩ. Výstupy jsou charakteru otevřeného kolektoru, jak je naznačeno na obr. 6.4, a proto se musí pro uzavření proudu obvodem připojit přes rezistory k napájecímu napětí. Použity jsou výrobcem doporučené hodnoty odporů 25 Ω.



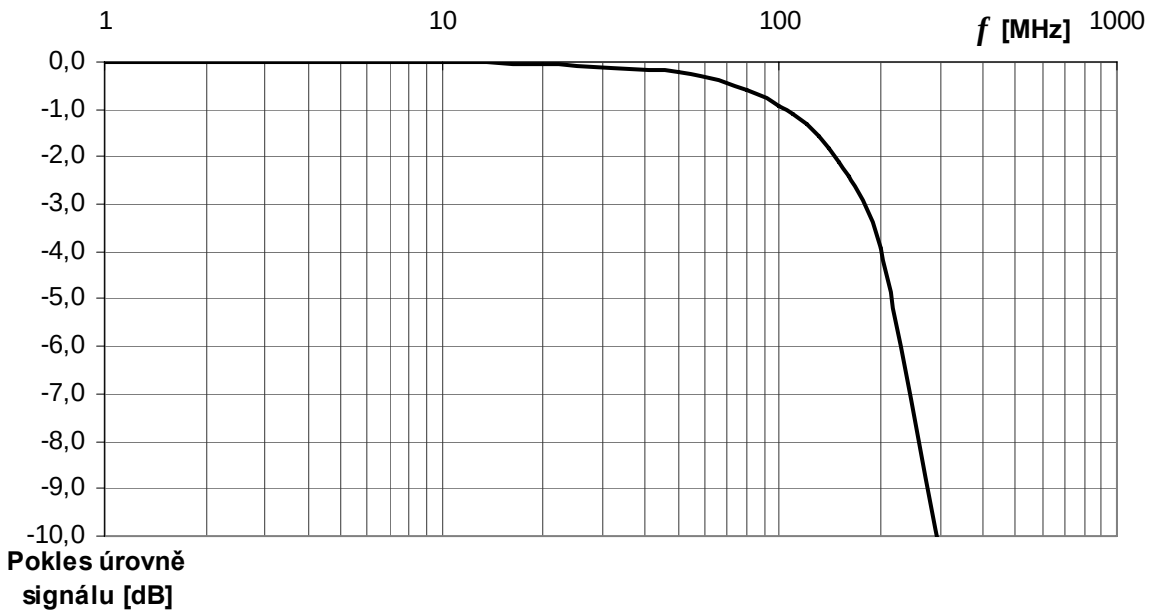
Obr. 6.4 Komplementární výstupy DA převodníku [7]

Výstupní napětí DA-převodníku se podle výrobce pohybuje v rozsahu od AVDD-0,5 V do AVDD+0,5 V, přičemž AVDD je analogové napájecí napětí, maximálně 2 V. Maximální výstupní výkon signálu DA-převodníku lze tedy určit jako:

$$P_{\max} = I_{OUT\max} \cdot U_{OUT\max} = 15 \cdot 10^{-3} \cdot 2{,}5 = 37{,}5mW \tag{6.2}$$

Úroveň napětí výstupního signálu je ovlivněna funkcí sinc podle teoretického rozboru v kapitole 3.4. Pro konkrétní obvod AD9954 s hodinovým kmitočtem f_{CLK} = 400 MHz lze vypočítat velikost výstupního signálu v závislosti na kmitočtu generovaného signálu podle vztahu 3.12. Na níže přiloženém obrázku obr. 6.5 je vynesena kmitočtová závislost poklesu úrovně výstupního signálu v dB. Je vidět, že do kmitočtu 10 MHz se vliv funkce sinc neprojevuje. Pro kmitočet 100 MHz je pokles již 1 dB a na kmitočtu 150 MHz dokonce přes 2 dB.

Vliv funkce sinc tedy není zanedbatelný a při konstrukci je nutné ho brát v potaz.



Obr. 6.5 Vliv funkce sinc na velikost výstupního signálu v závislosti na kmitočtu

6.2.1 Symetrizační člen

Diferenční výstup, tedy symetrický, je nutné pro další zpracování signálu přetransformovat na nesymetrický. K tomu se používají vf. signálové transformátory. Při výběru transformátoru musíme zohlednit několik parametrů:

- generovaný signál je v širokém rozsahu kmitočtů od ~1 kHz – 150 MHz, je tedy nezbytné vybrat odpovídající širokopásmový transformátor,
- požaduje se impedanční přizpůsobení a přetransformování impedance na sekundární vinutí,
- symetrické primární vinutí transformátoru,
- konstantní parametry v celém kmitočtovém pásmu.

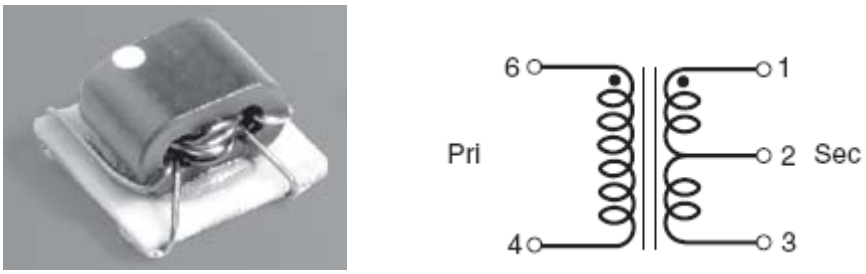
Transformace impedance transformátoru z primárního vinutí na sekundární vinutí je úměrná převodu transformátoru n^2, a to podle vzorce 6.3.

$$n^2 = \frac{Z_2}{Z_1}. \tag{6.3}$$

Pro doporučené hodnoty zatěžovacích odporů 25 Ω je impedance celého primáru 2x25=50 Ω. Pro přetransformování na 50 Ω na sekundárním vinutí je nutné mít převod transformátoru $n = 1$, podle rovnice 6.3, $n^2 = 50 / 2x25 = 1$.

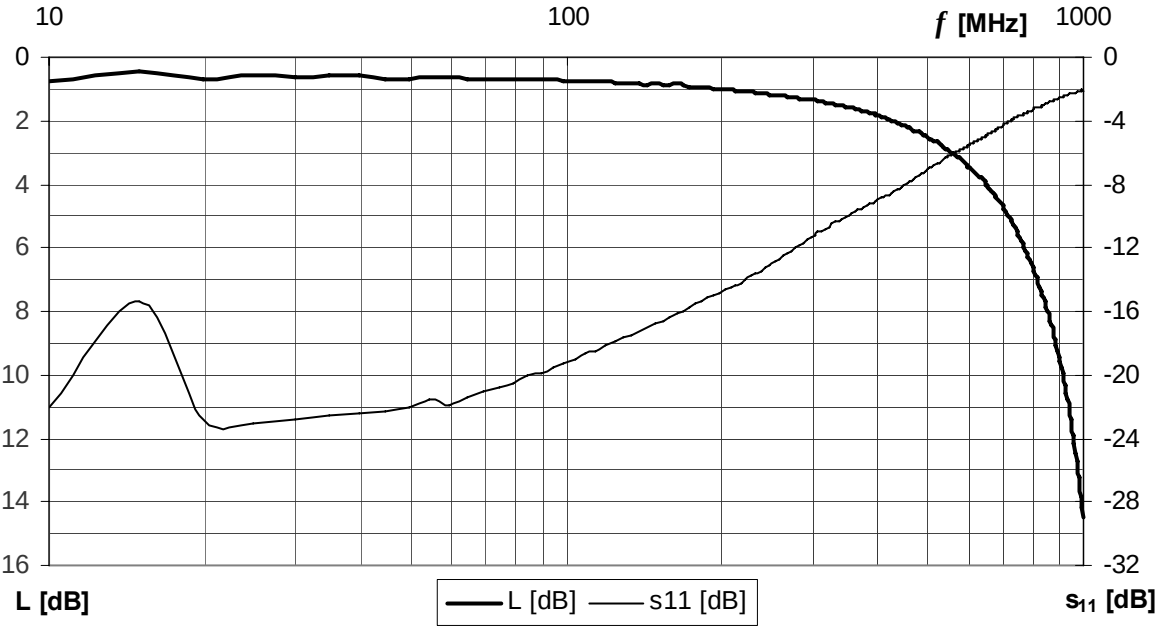
K další realizaci generátoru je vhodný průmyslově vyráběný širokopásmový transformátor WBC1-1T od firmy Coilcraft [8]. Převod transformátoru je $n = 1$, udávaný kmitočtový rozsah pro pokles přenosové charakteristiky o 3 dB je 0,25 – 750 MHz a je určen pro 50 Ω aplikace. Sekundární vinutí je symetrické a jeho proudová zatížitelnost je 36 mA, maximální přenášený výkon 250 mW.

Transformátor je vinutý na dvouděrovém feritovém jádře, jeho fotografie a schéma vinutí je na obr. 6.6 [8].



Obr. 6.6 Fotografie a schéma vinutí transformátoru WBC1-1T

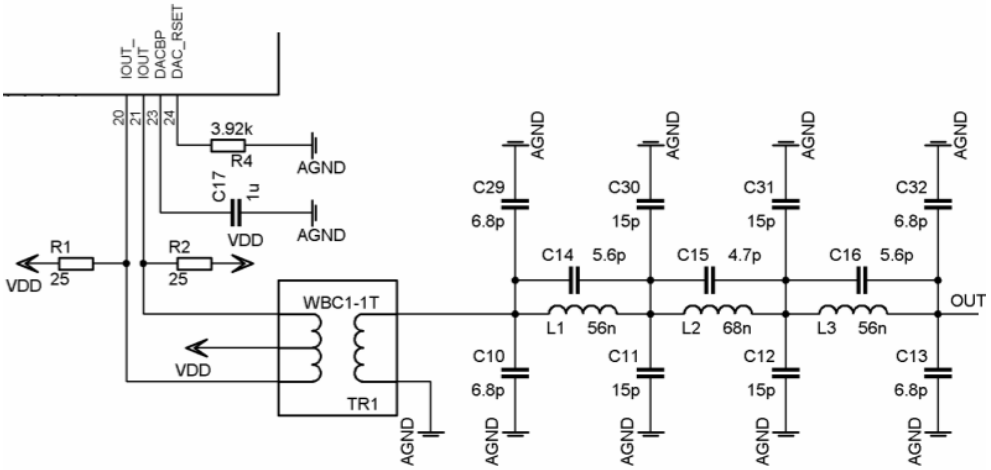
Na obr. 6.7 je zobrazena kmitočtová charakteristika vložného útlumu L transformátoru a činitel odrazu s_{11}. Závislosti byly naměřeny na vektorovém spektrálním analyzátoru na impedanci 50 Ω. Z grafu lze odečíst mezní hodnoty transformátoru. Kmitočtový rozsah pro pokles o 3 dB je 550 MHz a vhodné impedanční přizpůsobení, čemuž odpovídá činitel odrazu maximálně -10 dB, poskytuje transformátor již jen do 350 MHz.



Obr. 6.7 Kmitočtová charakteristika vložného útlumu a činitele odrazu tr. WBC1-1T

I přes tyto odchylky od parametrů udávaných výrobcem, transformátor WBC1-1T plně vyhovuje požadavkům. Útlum transformátoru je v požadovaném pásmu do 150 MHz konstantní, a to 1 dB. Lze ho tedy pro konstrukci použít.

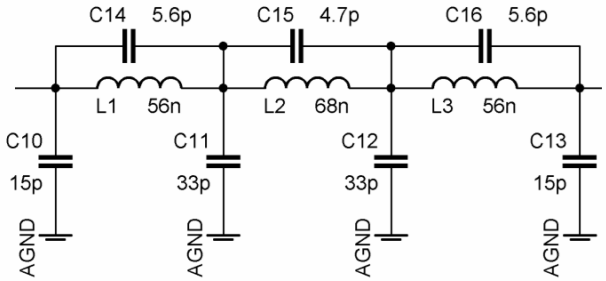
Schéma zapojení výstupu je na dalším obrázku obr. 6.8. Jsou zde vidět zatěžovací odpory, dále signálový WB transformátor, na jehož sekundárním vinutí je již signál nesymetrický a následuje filtr typu dolní propust, který provede konečnou filtraci signálu.



Obr. 6.8 Výsledné zapojení výstupu obvodu AD9954

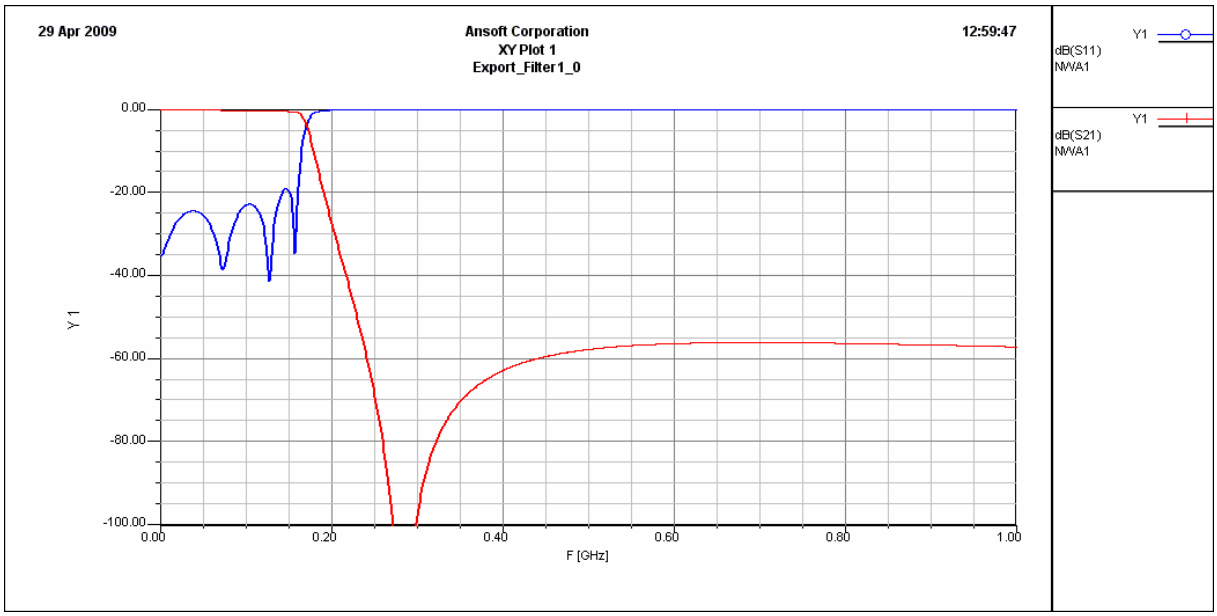
6.2.2 Výstupní filtr

Účelem výstupního filtru je odfiltrovat především obrazové signály jmenovitého základního kmitočtu. Při předpokladu, že je maximální kmitočet výstupního signálu 150 MHz a hodinový signál o kmitočtu 400 MHz, je kmitočet prvního obrazového signálu 250 MHz. Filtr tedy musí mít propustné pásmo do 150 MHz a nepropustné pásmo od 250 MHz s útlumem nejlépe 60 dB.



Obr. 6.9 Schéma zapojení filtru

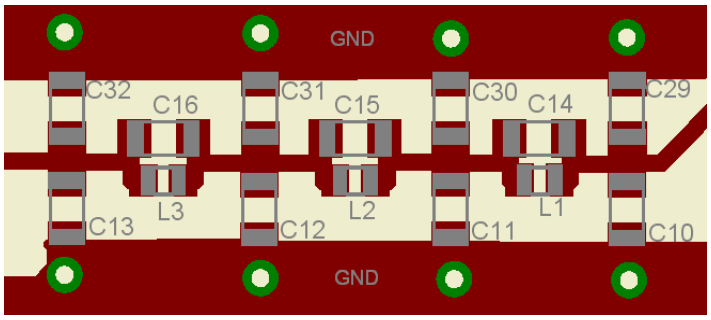
Ve schématu na obr. 6.9 je výstupní filtr tvořen kondenzátory C_{10} – C_{16} a indukčnostmi L_1 – L_3. Jedná se o eliptický filtr 7. řádu typu dolní propust. Na obr. 6.10 je jeho přenosová charakteristika vymodelovaná pomocí programu Ansoft Designer. Uvedená charakteristika odpovídá součástkám s ideálními parametry, tedy bez uvažování činitele jakosti Q cívek a kondenzátorů, jejich sériového odporu a rezonančního kmitočtu. Je vidět, že filtr vyhovuje v propustném i nepropustném pásmu. Nežádoucí signál je od kmitočtu 240 MHz potlačen o 56 dB a výše. V požadovaném propustném pásmu do 150 MHz je charakteristika plochá s maximálním útlumem 0,4 dB.



Obr. 6.10 Kmitočtová charakteristika výstupního filtru

Pokud budeme uvažovat reálné parametry součástek, tedy činitel jakosti Q cívek a dále vlastní rezonanční kmitočet a sériový odpor cívek a kondenzátorů, pak se bude charakteristika od ideálního průběhu odchylovat, v některých případech značně.

Pro potlačení vlivu parazitních parametrů, jsem proto provedl následující úpravu [13] ve schématu a zapojení filtru. Kondenzátory C_{10} – C_{13}, které jsou jedním koncem připojeny na zem, se nahradí jejich paralelní kombinací a následně se provede změna v jejich umístění na desce plošných spojů. Výsledné schéma zapojení filtru je vidět na obr. 6.8 a rozmístění součástek je na obr. 6.11.



Obr. 6.11 Rozložení součástek filtru na desce plošných spojů

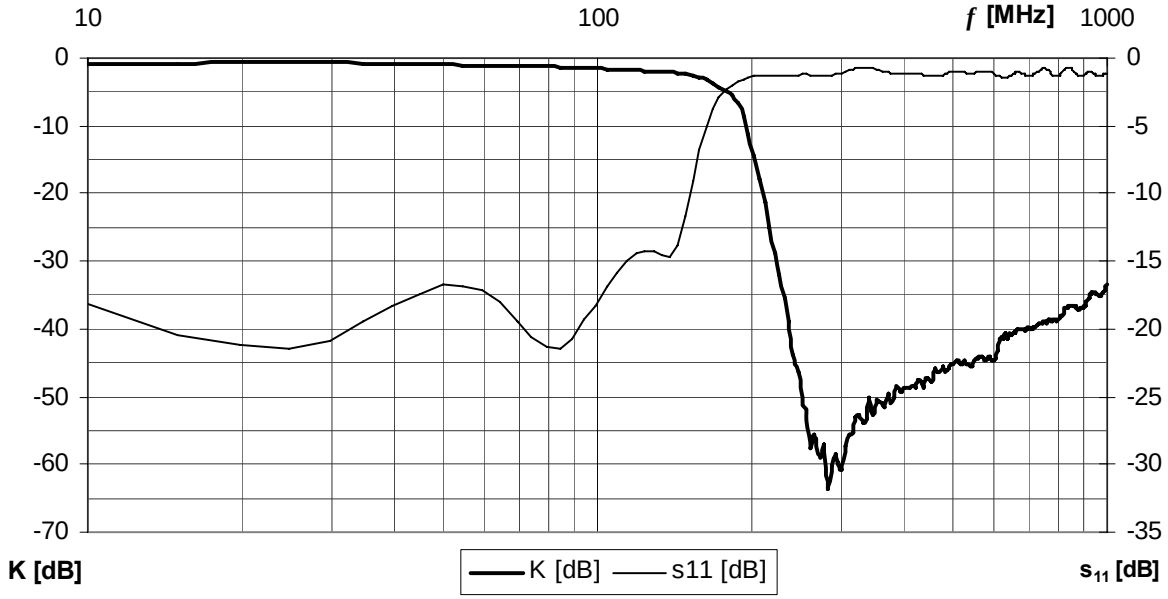
Základní podmínkou je kvalitní provedení země, což eliminuje vznik parazitních indukčností a snižuje tak impedanci při vedení proudů do země. Pro snížení vlastních rezonancí kondenzátorů se rozdělí kondenzátory, jak již bylo zmíněno, zároveň tím klesne indukčnost mezi součástkou a zemí. Další krok je umístění prokovů u každého připojení součástky k zemi a spojení tak se zemnící plochou umístěnou na spodní straně desky. To opět snižuje induktivní vazby mezi součástkami a zemí.

Důležité je také vybrat součástky s co nejvyšším činitelem jakosti Q a vysokým vlastním rezonančním kmitočtem. V tomto případě mají použité cívky následující parametry:

- $L_{1,3}$ = 56 nH: Q ≥ 60, SRF = 1600 MHz, $R_{DC} \leq 0{,}34\ \Omega$,
- L_2 = 68 nH: Q ≥ 60, SRF = 1500 MHz, $R_{DC} \leq 0{,}38\ \Omega$.

Jedná se o kvalitní cívky z řady 0805CS od firmy Coilcraft. Použité kondenzátory jsou klasické, dobře dostupné keramické kondenzátory velikosti 1206.

S těmito součástkami lze dosáhnout vlastností, které reprezentuje kmitočtová charakteristika přenosu a činitele odrazu na obr. 6.12.



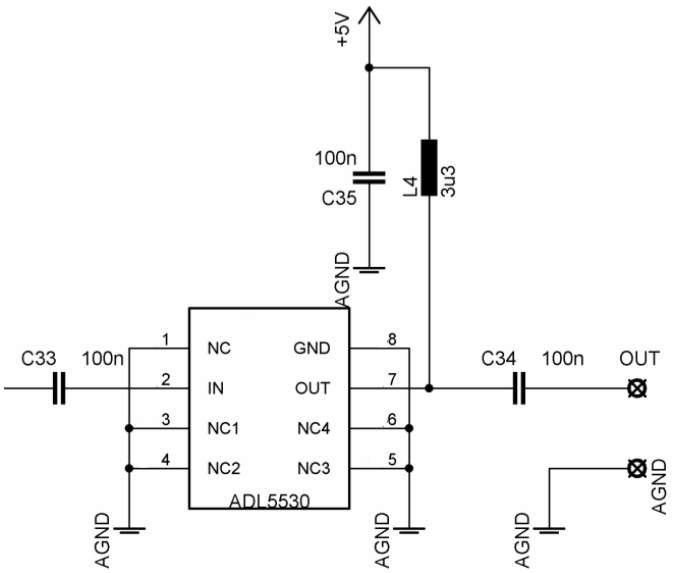
Obr. 6.12 Přenosová charakteristika reálného filtru měřená na vektorovém analyzátoru

Impedanční přizpůsobení vyhovuje v celém propustném pásmu, stejně tak přenos v propustném pásmu odpovídá původním předpokladům. V nepropustném pásmu ovšem útlum vlivem zmíněných jevů s kmitočtem klesá. Do kmitočtu 400 MHz je útlum 50 dB a lepší a dále do kmitočtu 700 MHz lepší než 40 dB. To jsou hodnoty, které požadavkům na filtr vyhovují a lze jej použít. Při použití kvalitnějších součástek, především kondenzátorů, by se dalo očekávat další zlepšení přenosových a útlumových vlastností filtru.

6.2.3 Výstupní zesilovač

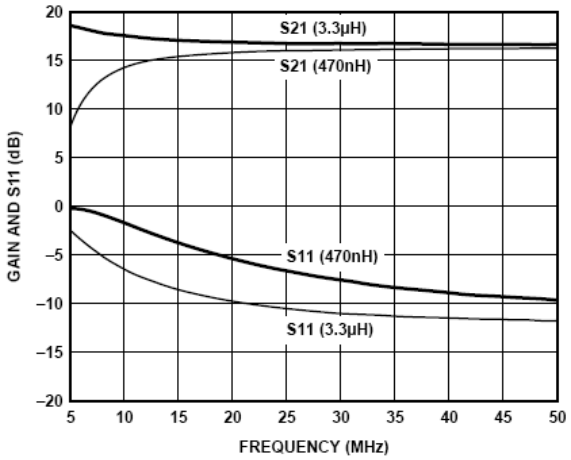
Takto upravený a filtrovaný signál dosahuje maximálního výkonu asi -8dBm na zátěži 50Ω. Pro zvýšení výkonu výstupního signálu je do kaskády za výstupní filtr zařazen zesilovač ADL5530 [13].

Jedná se o zesilovač s pevným ziskem 16,5dB, který pracuje v pásmu od jednotek MHz do 1GHz. Jeho vstup i výstup je přizpůsoben na impedanci 50Ω. Napájecí napětí je v rozsahu od 3 do 5V, odběr proudu 110mA. Maximální úroveň vstupního signálu je 10dBm a maximální výstupní výkon je 17dBm. Tyto hodnoty vyhovují požadavkům pro generátor DDS a zesilovač lze použít. Na obr. 6.13 je schéma zapojení zesilovače s obvodem ADL5530. Zesilovač vyžaduje minimum připojených součástek. Kondenzátory C_{33} a C_{34} slouží pro vytvoření střídavé vazby vstupu a výstupu, pro oddělení stejnosměrných složek. Pracovní bod je nastaven pomocí indukčnosti L_4 a blokován kondenzátorem C_{35}. Tyto součástky zároveň zamezují pronikání generovaného signálu do zdroje.



Obr. 6.13 Schéma zapojení zesilovače ADL5530

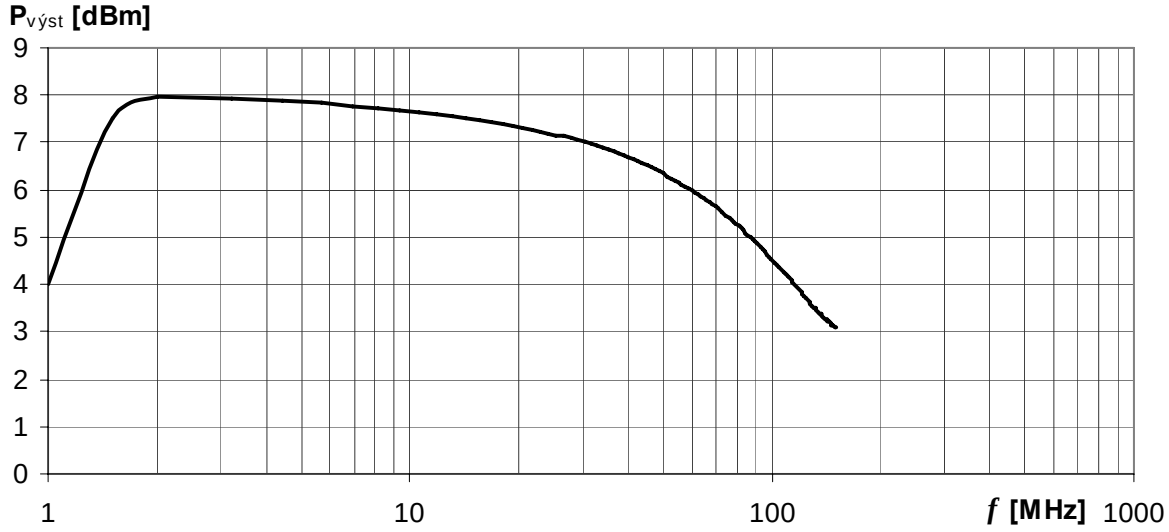
Závislost zesílení však není v celém kmitočtovém rozsahu konstantní, jak je naznačeno na obr. 6.14, ale na nižších kmitočtech se mění podle hodnot použitých součástek. Při konstantní úrovni vstupního signálu by se tedy úroveň výstupní signálu v závislosti na kmitočtu signálu měnila.



Obr. 6.14 Zisk a činitel odrazu obvodu ADL5530 v závislosti na kmitočtu [13]

Pokud k tomu ještě připočtu pokles úrovně signálu vlivem zmíněné funkce sinc, dále vložný útlum transformátoru a nezanedbatelný útlum filtru, na kmitočtech blízkých meznímu kmitočtu, mění se úroveň výstupního signálu v rozmezí až 5 dB v závislosti na kmitočtu generovaného signálu. Tato kmitočtová závislost výstupního výkonu je vynesena v grafu na obr. 6.15.

U generátorů signálu se vyžaduje mimo jiné také konstantní úroveň generovaného signálu v celém rozsahu kmitočtů generovaného signálu. Proto je nutné provést kalibraci a korekci velikosti vstupního výkonu. Tato korekce je provedena programově pomocí vhodných aproximačních funkcí, více v kapitole 7.3.2.



Obr. 6.15 Kmitočtová závislost velikosti výstupního výkonu kaskády AD9954 a ADL5530

6.3 Napájení obvodu

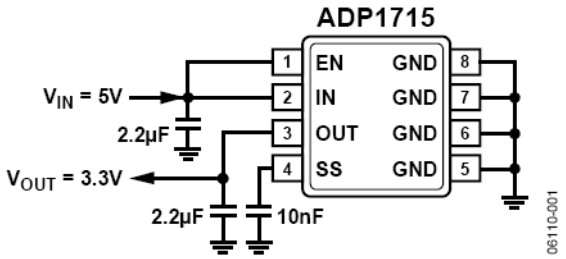
Napájecí část obvodu AD9954 se skládá z napájecího napětí AVDD pro analogovou část a napájecího napětí DVDD pro digitální část, viz piny obvodu na obr. 5.1. Maximální napájecí napětí těchto dvou části je 2 V a doporučená katalogová hodnota je 1,8 V. Ačkoliv je napájecí napětí analogové a digitální části shodné, je dobré tyto dvě napětí oddělit a vést je ke každé části zvlášť. Stejně tak analogovou i digitální zem. Digitální části obvodu jsou zdrojem velkého rušení, kdy při přechodu z úrovně H do L se přes zem vybíjejí vstupní a výstupní kapacitory, a tak na zemním vodiči vznikají poměrně velké úbytky rušivých napětí. Analogové vstupy jsou náchylnější na rušení, a proto je nutné vést analogové spoje odděleně od digitální a výkonové země. Propojení zemí se provede u napájecí svorky.

Obvod má zvláštní vstup pro napájení digitálních vstupních/výstupních portů a to DVDD_I/O. Napájecí napětí může být buď 1,8 V nebo 3,3 V. Z důvodu kompatibility logických úrovní vstupů a výstupů s technologií CMOS a TTL jsem zvolil napájecí napětí 3,3 V. Rozsah vstupních napětí je pak do +5,25 V a rozhodovací úrovně jsou uvedeny v tabulce 6.2.

Tabulka 6.2 Rozhodovací úrovně digitálních vstupů a výstupů odvodu AD9954, pro napětí 3,3 V

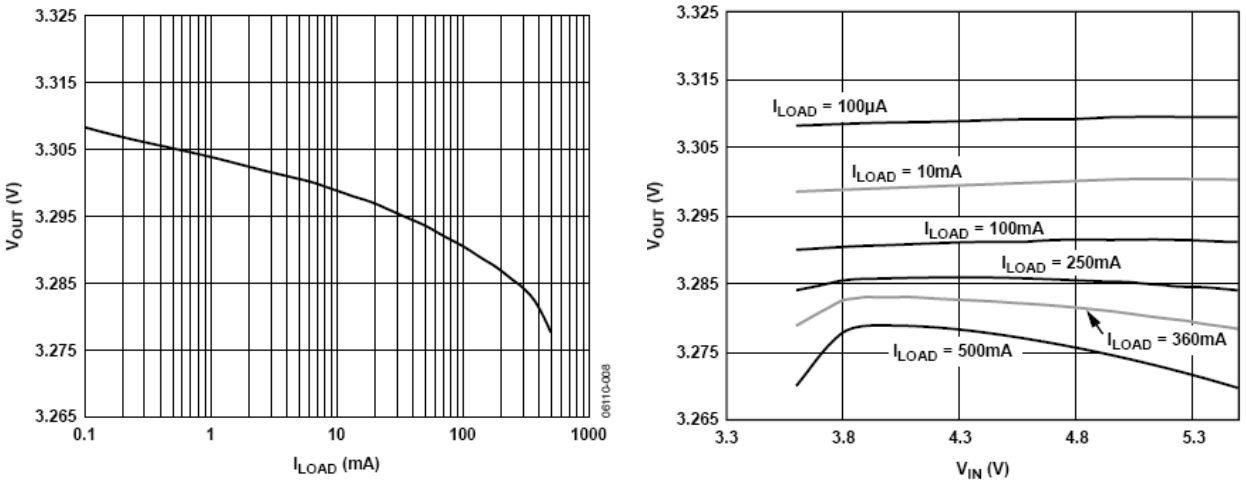
	U_{IN} [V]	U_{OUT} [V]
log. 0	<0,8	<0,4
log. 1	>2,2	>2,8

K vytvoření a stabilizování napájecích napětí byly vybrány lineární regulátory ADP1715-1,8 a ADP1715-3,3, opět od firmy Analog Devices. Jedná se o regulátory s pevně nastaveným výstupním napětím. Vstupní napětí je možno přivést v rozsahu 2,5 V – 5 V a maximální výstupní proud obvodu je 500 mA [9].



Obr. 6.16 Schéma napájecího obvodu ADP1715 -3,3 s pevným napětím 3,3V

Na obr. 6.17 je zatěžovací a stabilizační charakteristika obvodu. Lze odečíst, že při výstupním proudu 100 mA bude pokles výstupního napětí 10 mV oproti jmenovité hodnotě 3,3 V, což plně vyhovuje. Výstupní napětí je v závislosti na vstupním téměř neměnné.



Obr. 6.17 Zatěžovací a stabilizační charakteristika obvodu ADP1715-3,3 [9]

Zapojení obvodu je na obr. 6.16. Je použito doporučené katalogové zapojení. Povolovací vstup EN je připojen přímo na napájení napětí, obvod je tedy při přivedení napětí zapnutý. Vstup SS (Soft Start) slouží ke zpomalenému zapnutí obvodu po přivedení napětí. Kapacitor připojený na tento vstup určuje čas zapnutí. Použitá hodnota 10 nF odpovídá času asi 7 ms. Vstup napájecího napětí IN a výstup OUT jsou blokovány kondenzátory o hodnotě 2,2 µF.

Celkové zapojení napájecí části je vidět ve schématu generátoru DDS v příloze A.

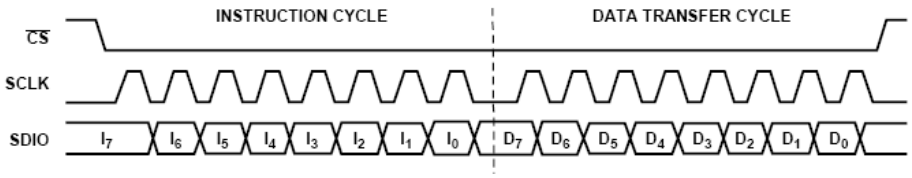
6.4 Sériové rozhraní SPI obvodu AD9954

Pro řízení a komunikaci obvodu s okolními zařízeními obsahuje obvod AD9954 sériové rozhraní SPI. Sériový port je tvořen čtyřmi signály:

- SCLK – vstup hodinového taktovacího signálu sériového rozhraní SPI. Slouží pro synchronizaci přijímaných a vysílaných dat.
- CS – povolovací vstup. Je-li připojen na log.0, je obvod připraven na komunikaci po sériové lince. Pokud je v log.1, jsou porty SDIO a SDO ve stavu vysoké impedance a obvod neumožňuje komunikaci SPI.
- SDIO – vstup/výstup sériových dat.
- SDO – výstup sériových dat.

Maximální kmitočet hodinového signálu SCLK je 25 MHz. Sériová komunikace může být nakonfigurována buď jako 2vodičová, v tom případě slouží port SDIO jako vstup i výstup dat (SDO se nevyužívá), nebo jako 3vodičová, pak je port SDIO vstup datového signálu a port SDO výstup dat. Jednotlivá datová slova jsou vždy 8bitová a jsou vzorkována osmi náběžnými hranami hodinového signálu SCLK.

Komunikace připojeného mikrokontroléru a obvodu AD9954 probíhá ve dvou krocích. Prvním krokem je zápis instrukčního bytu do vstupního registru obvodu AD9954. Instrukční byte určuje zda bude probíhat čtení nebo zápis a dále obsahuje adresu příslušného registru, k jehož hodnotě se bude přistupovat. Druhým krokem je zápis nebo čtení datových slov. Počet slov je dán velikostí registru, který je právě adresován. Na obr. 6.18 je naznačen zápis datového slova do registru obvodu AD9954.



Obr. 6.18 Průběh zápisu dat do registru obvodu AD9954 [7]

Po vyslání všech datových bytů je automaticky dokončen jeden instrukční cyklus a obvod generátoru pak očekává další instrukční byte.

Základní registry obvodu jsou tyto: řídící registry CFR1 a CRF2, kterými se nastavují zejména vlastnosti hodinového signálu a povolují se jednotlivé části obvodu, registr určující amplitudu výstupního signálu ASF a registr určující kmitočet FTW. Na obrázku obr. 6.19 jsou naznačeny tyto registry a jejich obsah. Je vidět, že každý registr má jinou adresu i délku, s čímž se musí při řízení obvodu po lince SPI počítat.

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value Or Profile
Control Function Register No.1 (CFR1) (0x00)	<7:0>	Digital Power-Down	Comp Power-Down	DAC Power-Down	Clock Input Power-Down	External Power-Down Mode	Linear Sweep No-Dwell	SYNC_CLK Disable	Not Used	0x00
	<15:8>	SRR Load Enable	AutoClr Freq Accum	AutoClr Phase Accum	Sine/ Cosine Select	Clear Freq Accum	Clear Phase Accum	SDIO Input Only	LSB First	0x00
	<23:16>	Automatic Sync Enable	Software Manual Sync	Linear Sweep Enable	Not Used	Not Used	Not Used	Not Used	Not Used	0x00
	<31:24>	RAM Enable	RAM Destination	Internal Profile Control<2:0>			Load ARR Control	OSK Enable	Auto OSK Enable	0x00
Control Function Register No. 2 (CFR2) (0x01)	<7:0>	REFCLK Multiplier					VCO Range	Charge Pump Current<1:0>		0x00
	<15:8>	Not Used				High Speed Sync Enable	Hardware Manual Sync Enable	XTAL OUT Enable	Not Used	0x00
	<23:16>	Not Used								0x18
Amplitude Scale Factor (ASF) (0x02)	<7:0>	Amplitude Scale Factor Register<7:0>								0x00
	<15:8>	Auto Ramp Rate Speed Control<1:0>		Amplitude Scale Factor Register<13:8>						0x00
Frequency Tuning Word (FTW0) (0x04)	<7:0>	Frequency Tuning Word No. 0<7:0>								0x00
	<15:8>	Frequency Tuning Word No. 0<15:8>								0x00
	<23:16>	Frequency Tuning Word No. 0<23:16>								0x00
	<31:24>	Frequency Tuning Word No. 0<31:24>								0x00

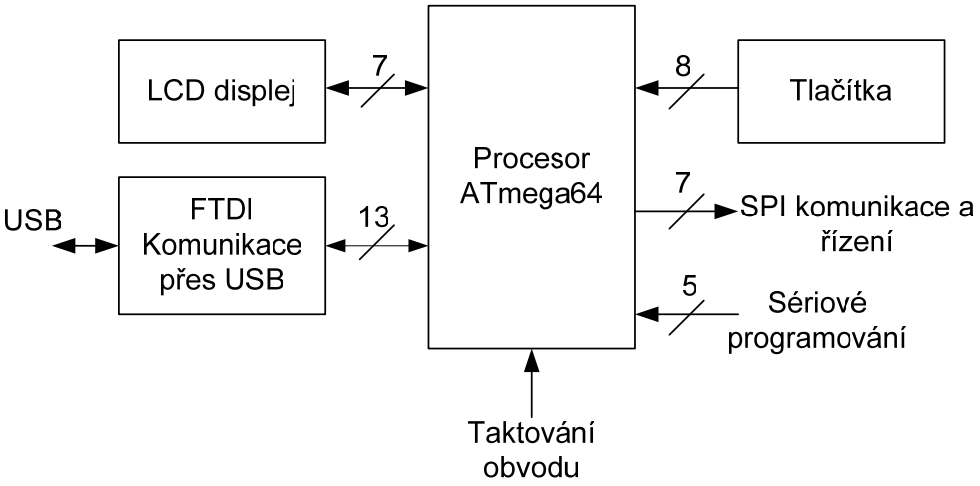
Obr. 6.19 Základní registry a jejich obsah [10]

Například při změně kmitočtu je vyslán na vstup SDIO instrukční byte s adresou $0x04_{HEX}$ a následně pak 4 byty, které odpovídají přímo kmitočtovému ladícímu slovu. Čtení začíná také zápisem instrukčního bytu, ale následně se očekávají datová slova na pinu SDO (při 3vodičové komunikaci) nebo SDIO, při 2vodičové komunikaci. Po zapsání řídících datových slov je nutné zaslat impuls na vstup I/O_UPDATE obvodu, který zaktualizuje právě zapsaná data a teprve poté se změna nastavení projeví.

7. Řídící jednotka generátoru

Řízení generátoru DDS je zprostředkováno pomocí sériové linky SPI. Za účelem řízení byla navržena řídící jednotka generátoru, která zpracovává nastavované hodnoty a zasílá odpovídající data po sériové lince. Nastavování dat je možno provádět dvěma způsoby. Prvním z nich je přímé zadávání pomocí tlačítek umístěných na desce řídící jednotky, druhou možností je zpracování dat zasílaných po USB pomocí vytvořené počítačové aplikace. Schéma celé řídící jednotky je v příloze E. Na obr. 7.1 je zobrazeno přehledné funkční blokové schéma této řídící jednotky s procesorem ATmega64 a jeho připojenými periferiemi.

Jako základ řídící jednotky generátoru DDS jsem vybral mikrokontrolér ATmega64 od firmy Atmel. Jedná se o 8bitový mikrokontrolér využívající technologie AVR s redukovanou instrukční sadou RISC s konstantní délkou instrukce. Obsahuje 64 kB interní paměti FLASH a lze jej taktovat kmitočtem až 16 MHz. Napájecí napětí obvodu je 5 V. Tento obvod jsem vybral především pro dostatečný počet I/O portů, které jsou pro připojení všech požadovaných periferií nutné. Mikrokontrolér obsahuje mnoho dalších alternativních zařízení, jako jsou čítače/časovače, komparátor, A/D převodník, komunikace SPI a UART a další duální funkce. Zmíním se nyní pouze o blocích a funkcích, které přímo využívám a podrobněji provedu jejich rozbor.

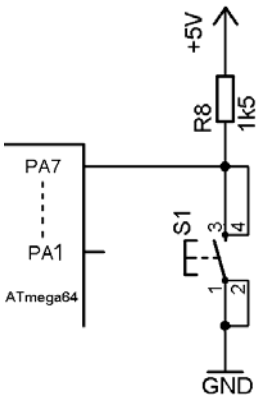


Obr. 7.1 Funkční blokové schéma řídící jednotky

7.1 Tlačítka

Tlačítka jsou určena pro základní ovládání a řízení generátoru, tedy pro uživatelské nastavování požadovaných hodnot a parametrů generátoru.

Tlačítka jsou připojena k portu A mikrokontroléru, jak ukazuje obr. 7.2. Maximální zatížitelnost jednoho pinu mikrokontroléru je 40 mA. Pin je tedy připojen k napájecímu napětí přes ochranný rezistor o hodnotě 1,5 kΩ. Ten omezuje vstupní proud pinu na 3,3 mA, což je dostačující hodnota pro vyhodnocení stisku tlačítka. Když není tlačítko stisknuté, je příslušný pin daného portu A připojen přes ochranný rezistor k napájecímu napětí. Mikrokontrolér tedy na vstupu vyhodnotí log. 1. Po stisknutí tlačítka je pin daného portu uzemněn a je vyhodnocena log. 0.



Obr. 7.2 Připojení tlačítek k I/O portům

Obsluha daného tlačítka s ošetřením vlivu možných zákmitů a rušení je provedena softwarově následujícím kódem. Zdrojový kód je psán v jazyce C, v prostředí CodeVisionAVR.

```
If (PINA.7==0)
{
 delay_ms(20);
 if (PINA.7==0)
 {
  while (PINA.7==0);

  ////až no tomto místě je kód příslušející tlačítku////
 }
}
```

Po stisku tlačítka je splněna první podmínka a program pokračuje dále vykonáním funkce delay, což je funkce realizující časové zpoždění, v tomto případě zpoždění o 20ms. Během tohoto čekání odezní zákmity, které při stisku tlačítka vznikají, a neovlivní tím nijak správný běh programu. Další podmínka slouží k zamezení vlivu rušivých signálů, které se mohou na pinech vyskytnout. Je-li na daném pinu i po 20 ms stále log. 0, lze říci, že tlačítko bylo opravdu stisknuto, a pokračuje se dále. Nyní se bude provádět cyklus while po dobu, pokud bude tlačítko stisknuto. Příslušný obslužný program bude vykonán až po rozepnutí tlačítka. Tím je zaručeno, že po stisku tlačítka bude program vykonán právě jednou a nikoli opakovaně (např. když je tlačítko stisknuto delší dobu).

Tlačítka jsou na přípravku generátoru uspořádána do tvaru kurzorových šípek, jak je vidět v příloze I. Šipkami ukazujícími doleva a doprava se mění pozice kurzoru, šipkami „nahoru“ a „dolů“ se zvyšuje nebo snižuje hodnota nastavované veličiny na daném místě kurzoru. Styl a systém zadávání hodnot je také dobře patrný ze zobrazení na LCD displeji na obr. 7.3.

Program obsluhy jednotlivých tlačítek je vyřešen tak, že při stisku šipky „doleva“ je provedena změna polohy kurzoru a zároveň se zvýší desetkrát hodnota pomocné proměnné krokF (krokA). Ještě je zde ošetřeno zadávání hodnot kmitočtu a výstupního výkonu prostřednictvím pomocné proměnné fram, jejíž hodnota je měněna dalším tlačítkem.

```
if (fram==1)
{
  krokF=krokF*10;                  //// pozice změny kmitočtu
  poziceF=poziceF-1;               //// poloha kurzoru
}
else
{
  krokA=krokA*10;                  //// pozice změny výkonu
  poziceA=poziceA-1;               //// poloha kurzoru
}
```

Funkce tlačítka „vpravo“ je podobná, liší se pouze tím, že s pomocnou proměnou krokF (krokA) se neprovádí operace násobení, nýbrž dělení a kurzor se posunuje na opačnou stranu. Hodnota pomocné proměnné je pak při stisku tlačítka „nahoru“ přičtena k aktuální hodnotě měněné veličiny. Zdrojový kód obsluhy tohoto tlačítka je naznačen níže.

```
if(fram==1)
{
  freq = freq + krokF;         ////aktualizace a odesláni kmitočtu
  Transmit_freq(freq);
}
else
{
  vykon = vykon + krokA;   ////aktualizace a odesláni výkonu
  Transmit_ampl(Pmax-vykon, freq);
}
Update();
```

Opět záleží na tom, zda se mění výkon nebo kmitočet. Vždy po stisku tlačítka je změněna hodnota reprezentující velikost kmitočtu nebo výkonu, ta je uložena v proměnné freq resp. vykon. Tato nová hodnota je zároveň vyslána přes rozhraní SPI do jednotky generátoru pomocí funkce Transmit_freq( ), Transmit_ampl( ) a aktualizována funkcí Update(). Více v kapitole 7.3.2. Funkce tlačítka dolů je obdobná, ale hodnota pomocné proměnné se nepřičítá nýbrž odečítá.

Hodnoty proměnných freq a vykon odpovídají nastavovaným hodnotám a lze je přímo zobrazovat na displeji.

7.2 LCD displej

Displej LCD slouží k zobrazení uživatelsky nastavovaných hodnot. Jedná se o dvouřádkový 16znakový displej s kontrolérem a řadičem, který obsahuje předdefinovanou znakovou sadu, což usnadňuje programování a práci s ním. Modul LCD displeje je napájen napětím 5 V a je vybaven osmi datovými piny pro přenos instrukcí a dat a 3 řídícími signály. Dále obsahuje piny pro nastavení podsvícení a kontrastu. V tomto případě jsou pro připojení použity jen 4 datové piny, přičemž při komunikaci jsou nejprve přenášeny vyšší 4 bity a následně nižší. To umožní snížit počet potřebných pinů mikrokontroléru na sedm.

Vývojové prostředí obsahuje knihovny lcd.h pro práci s LCD displeji. Použití knihovních funkcí práci s displejem velmi usnadňuje a práce se poté soustředí jen na použití několika funkcí.

Pro určení pozice na kterou se začne požadovaný znak nebo text vypisovat se určí příkazem lcd_gotoxy(x,y), kde *x* je souřadnice pozice v řádku a *y* je číslo řádku. Pro výpis řetězce znaků se používá příkaz lcd_putsf("řetězec znaků"), který vypíše na displej text uvedený v uvozovkách.

Při výpisu čísla uloženého v proměnné je nutné nejprve provést převod do pomocné proměnné typu znak. Toho je docíleno příkazem sprintf(data_zob, "%5u",ampl), kde ampl je převáděná proměnná a data_zob je již proměnné typu znak, do které se převod provede. Prostřední člen v uvozovkách je specifikátor formátu, v tomto případě *u* značí převod celého čísla a číslo *5* určuje pevnou délku slova na pět znaků. K vypsání takto převedeného řetězce lze použít příkaz lcd_puts(data_zob).

Následující kód představuje výpis velikosti generovaného kmitočtu na displej. Číslo reprezentující kmitočet je uloženo v proměnné freq typu celé číslo. Toto číslo může být v rozsahu 0 až $150 \cdot 10^6$ podle zadaného kmitočtu. Pro lepší přehlednost jsem zvolil zobrazení v jednotkách MHz. Zobrazení kmitočtu na displeji pak vypadá, jak ukazuje obr. 7.3.

Obr. 7.3 Zobrazení kmitočtu na LCD displeji

Zobrazené číslo má tedy celou část a desetinnou část pevné délky, a to 6 desetinných míst. Jelikož je zobrazované číslo typu celé číslo, je nutné provést při zobrazování několik úprav. Zdrojový kód vypadá následovně:

```
lcd_gotoxy(3,0);
lcd_putsf("Frekvence");
lcd_gotoxy(0,1);
sprintf(data_zob, "%5",freq/1000000);
lcd_puts(data_zob);
lcd_gotoxy(5,1);
lcd_putsf(",");
```

Tato část kódu představuje výpis celé části kmitočtu v jednotkách MHz a připsání desetinné čárky. Výpočet a výpis desetinné části je poněkud složitější, protože příkaz sprintf nepřevádí desetinnou část čísla. Je tedy nutné vypočítat a zobrazit každou pozici desetinného místa zvlášť.

```
desetinaF = freq - (freq/1000000)*1000000;          /// odříznutí již vypsané celé části
for (i =0; i<6; i++)
{
    sprintf(data_zob, "%1u",desetinaF - (desetinaF/10)*10);
    lcd_gotoxy(11-i,1);
    lcd_puts(data_zob);
    desetinaF = desetinaF/10;
}
lcd_gotoxy(12,1);
lcd_putsf(" MHz");
```

Program provádí v cyklu takovou operaci, při níž vždy odřízne číslo na posledním desetinném místě a zobrazí ho na příslušném místě LCD displeje. Postupuje se od nejnižší desetinné pozice po nejvyšší a po provedení se připíše jednotka MHz.

Podobně je vyřešen výpis velikosti výkonu generovaného signál. Je tedy vidět, že při použití knihovních funkcí lze displej ovládat pomocí několika příkazů.

7.3 SPI komunikace a řízení

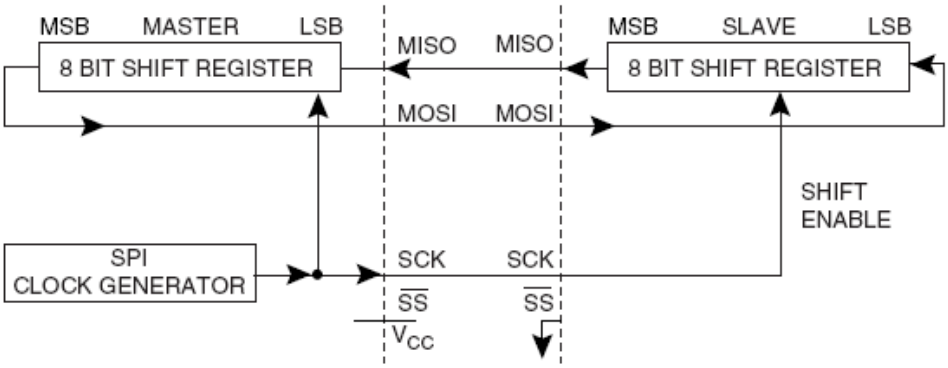
7.3.1 Rozhraní SPI mikrokontroléru ATmega64

Sériové rozhraní slouží pro komunikaci obvodu ATmega64 s vnějšími zařízeními, které se dají prostřednictvím tohoto rozhraní propojit. Podobně jako u generátoru AD9954 má čtyři signály:

- SCK – vstup/výstup hodinového taktovacího signálu sériového rozhraní SPI. Slouží pro synchronizaci přijímaných a vysílaných dat.
- SS – slouží jako povolovací vstup, pokud je obvod ATmega nakonfigurován jako slave.
- MISO – vstup/výstup sériových dat.
- MOSI – vstup/výstup sériových dat.

Mikrokontrolér ATmega64 může být nastaven buď jako zařízení Master, nebo Slave. Podle toho je dáno, zda jsou jednotlivé signály vstupní nebo výstupní. V tomto případě je obvod nakonfigurován jako Master, to znamená, že vytváří zdroj hodinového signálu a řídí veškerou komunikaci po sériové lince. Na pinu SCK je výstup hodinového signálu, MOSI je výstup a MISO vstup dat. Signál SS nemá v tomto případě význam. Na obr. 7.4 je naznačeno spojení a komunikace mezi dvěma zařízeními [10]. Systém se skládá ze dvou posuvných registrů. Po jejich naplnění platnými daty začne zařízení Master generovat hodinové impulsy a dojde k přesunu dat. Data v registru obvodu Master se přesunou do registru obvodu Slave a stejně tak data v registru obvodu Slave se posunou do registru obvodu Master. Obvod Slave musí být samozřejmě povolen vstupem SS.

Při jednom přenosu se vždy přenese pouze 8 bitů, nikdy více. Pokud je požadován přenos slov s větší délkou než je 8 bitů, je nutné tato slova rozdělit na bloky po 8 bitech a ty pak postupně přenášet.



Obr. 7.4 Spojení obvodů Master a Slave přes SPI

Parametry komunikace SPI se nastavují změnou obsahu kontrolních registrů SPCR a SPSR. Hodinový kmitočet může být v rozsahu $f_{OSC}/128$ až $f_{OSC}/2$, v tomto případě jsem zvolil hodnotu $f_{OSC}/4$. To při taktovacím kmitočtu obvodu 16 MHz odpovídá hodinovému signálu SPI 4 MHz.

Pro přenos dat slouží datový registr SPDR, do kterého se zapisují data potřebná k odeslání a čtou data přijatá. V prostředí CodeVision je pro komunikaci po lince SPI zhotovena knihovna `spi.h`. Zápis a čtení se pak omezuje na použití jediné funkce, a to `spi(data)`. Funkce kromě zápisu také kontroluje dokončení přenosu a provádí ošetření stavů.

7.3.2 Řízení generátoru DDS

Řízení obvodu AD9954 a nastavování parametrů výstupního signálu se realizuje zápisem do registrů obvodu po sériové lince SPI a následnou aktualizací pomocí vstupu I/O_UPDATE obvodu generátoru AD9954, jak je popsáno v kapitole 6.4.

Základními registry jsou dva kontrolní funkční registry CFR1 a CFR2. Jejich obsah je vidět na obr. 7.5. Registr CFR1 je 32 bitový a pomocí něho se povolují jednotlivé součásti obvodu AD9954, jako D/A převodník, komparátor, hodinová část obvodu, funkce vypnutí - power down. Také nastavení parametrů komunikace SPI atd.

Registr CFR2 slouží k nastavení parametrů hodinové části obvodu a jeho délka je 24 bitů. Pomocí tohoto registru se volí rozsah kmitočtu hodinového signálu a také konstanta násobení pro smyčku fázového závěsu. V tomto případě je požadovaný kmitočet hodinového signálu 400 MHz a při kmitočtu krystalu 20 MHz musí být signál vynásoben dvacetkrát. Na pozici 3. až 7. bitu registru CFR2 se tedy zapíše hodnota 20. Důležitý je druhý bit označený VCO range – pomocí něho se mění rozsah vnitřního oscilátoru a hodinové části. Jeho nastavení je následující:

- je-li nastaven na log. 0 lze kmitočet hodinového signálu nastavit v rozsahu 100 až 250 MHz,
- pokud je v log. 1 je rozsah kmitočtu 250 až 400 MHz.

V tomto případě musí být pro správnou funkci hodinové části nastaven na logickou 1.

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value Or Profile
Control Function Register No.1 (CFR1) (0x00)	<7:0>	Digital Power-Down	Comp Power-Down	DAC Power-Down	Clock Input Power-Down	External Power-Down Mode	Linear Sweep No-Dwell	SYNC_CLK Disable	Not Used	0x00
	<15:8>	SRR Load Enable	AutoClr Freq Accum	AutoClr Phase Accum	Sine/ Cosine Select	Clear Freq Accum	Clear Phase Accum	SDIO Input Only	LSB First	0x00
	<23:16>	Automatic Sync Enable	Software Manual Sync	Linear Sweep Enable	Not Used	Not Used	Not Used	Not Used	Not Used	0x00
	<31:24>	RAM Enable	RAM Destination	Internal Profile Control<2:0>			Load ARR Control	OSK Enable	Auto OSK Enable	0x00
Control Function Register No. 2 (CFR2) (0x01)	<7:0>	REFCLK Multiplier					VCO Range	Charge Pump Current<1:0>		0x00
	<15:8>	Not Used				High Speed Sync Enable	Hardware Manual Sync Enable	XTAL OUT Enable	Not Used	0x00
	<23:16>	Not Used								0x18

Obr. 7.5 Obsah kontrolních registrů generátoru AD9954 [7]

Zápis do kontrolních registrů obvodu by měl být proveden na začátku, hned po zapnutí generátoru DDS. Dobře nastavené kontrolní registry jsou totiž základem správné funkce obvodu.

Protože se obsah kontrolních registrů při běhu generátoru nemění, je možné provádět zápis po rozhraní SPI po jednotlivých bytech, jak je naznačeno v následujícím zdrojovém kódu pro zápis hodnoty do registru CFR2.

```
SPCR=0x50;          //nastaveni SPI
delay_us(10);
spi(0x01);          //adresa CFR2
delay_us(10);
spi(0x00);          //MSB
delay_us(10);
spi(0x00);
delay_us(10);
spi(0xA4);          //LSB
Update();
```

Nejprve se vždy musí nastavit komunikace SPI pomocí registru SPCR mikrokontorléru ATmega64. Následně se pomocí zmíněné funkce spi( ) vyšle nejprve adresní byte registru CFR2 a pak následují tři byty dat pro nastavení. Mezi jednotlivými přenosy jsou časové prodlevy 10 μs, potřebné pro dokončení operací obvodu AD9954 spojenými s přenosem bytu. Po dokončení přenosu posledního bytu registru je nutné provést aktualizaci přenesených dat. K tomu slouží funkce Update, která vygeneruje na vstup I/O_UPDATE impuls úrovně logické 1 s dobou trvání 10 μs. Vytvořená funkce vypadá následovně:

```
void Update(void)
{
PORTB.0=1;
delay_us(10);
PORTB.0=0;
}
```

Podobně je vyřešen zápis hodnot do registru CFR1. Jinak je tomu při zápisu hodnot do registru kmitočtového ladícího slova FTW a amplitudového slova ASF. Tyto registry mají také větší délku než 8 bitů, ale jejich obsah se navíc během chodu generátoru mění, současně se zadáváním nových hodnot. Hodnoty odpovídající těmto parametrům jsou uloženy v proměnných délky odpovídající celkové délce registrů. V případě kmitočtového ladícího slova je to 32 bitů a 14 bitů u amplitudového slova. Tato slova se pak musí vždy před odesláním po lince SPI rozdělit na bloky po 8 bitech a až poté odeslat.

Při nastavování kmitočtu generátoru se využívá základního vztahu 3.1 pro kmitočet generátorů DDS, který je uveden v kapitole 3. Pro konkrétní generátor AD9954 lze vztah upravit do podoby, jak ukazuje rovnice 7.1. Velikost fázového registru je v tomto případě 32 bitů, f_{CLK} je kmitočet hodinového signálu, tedy 400 MHz, kmitočtové ladící slovo FTW odpovídá obsahu delta registru a f_0 je jmenovitý kmitočet výstupního signálu.

$$f_0 = \frac{FTW}{2^{32}} \cdot f_{CLK} \tag{7.1}$$

Pomocí řídící jednotky uživatel zadává požadovanou hodnotu výstupního kmitočtu a program musí provést výpočet 32 – bitového ladícího slova FTW, potřebného pro odeslání do generátoru DDS. Po dosazení známých hodnot do vztahu 7.1 vyjde pro velikost FTW rovnice 7.2.

$$FTW = f_0 \cdot \frac{2^{32}}{400 \cdot 10^6} = f_0 \cdot 10{,}737418 \tag{7.2}$$

Násobením požadovaného kmitočtu hodnotou 10,737418 získáme hodnotu delta registru, kterou již lze řídit generátor AD9954. Nyní je ještě třeba tuto 32bitovou hodnotu rozdělit a odesílat postupně po 8 bitech. K tomu vhodně využívám vlastnost funkce spi( ), která odesílá pouze spodních 8 bitů proměnné, nezávisle na její celkové délce. Odeslání jednotlivých osmibitových slov je tedy vyřešeno bitovou rotací vpravo. To je dobře vidět na uvedeném zdrojovém kódu:

```
void Transmit_freq(unsigned long int data)
{
data=(double)data*10.737418;          // výpočet FTW, CLK=400MHz
SPCR=0x50;
delay_us(10);
spi(0x04);                            // adresa FTW
delay_us(10);
data_spi=data>>24;                    // bitová rotace
spi(data_spi);                        // odeslání
delay_us(10);
data_spi=data>>16;
spi(data_spi);
delay_us(10);
data_spi=data>>8;
spi(data_spi);
delay_us(10);
data_spi=data;
spi(data_spi);
}
```

Přenos po SPI probíhá od nejvýznamnějšího bitu MSB po nejméně významný bit LSB, proto se nejprve musí provést rotace o 24 bitů, tím se bity na 25. až 32. pozici přesunou na pozici 1. až 8. a odešlou. Podobně se posun provádí u ostatních částí. Funkce Transmit_freq() také obsahuje nastavení parametrů komunikace SPI a opět příslušné čekací smyčky. Po zavolání a provedení této funkce se musí opět ještě zapsané hodnoty aktualizovat. To je zajištěno voláním funkce Update( ).

Zasílání dat o velikosti amplitudy generovaného signálu je zajištěno podobnou funkcí, a to Transmit_ampl (Pmax – vykon, freq). Tato funkce má jako parametry definovánu frekvenci freq a dále útlum signálu oproti maximálnímu výstupnímu výkonu, což je reprezentováno výrazem Pmax – vykon. V těle funkce se nejprve přepočítá útlum z jednotky dB na bezrozměrnou absolutní hodnotu podle vzorce 7.3.

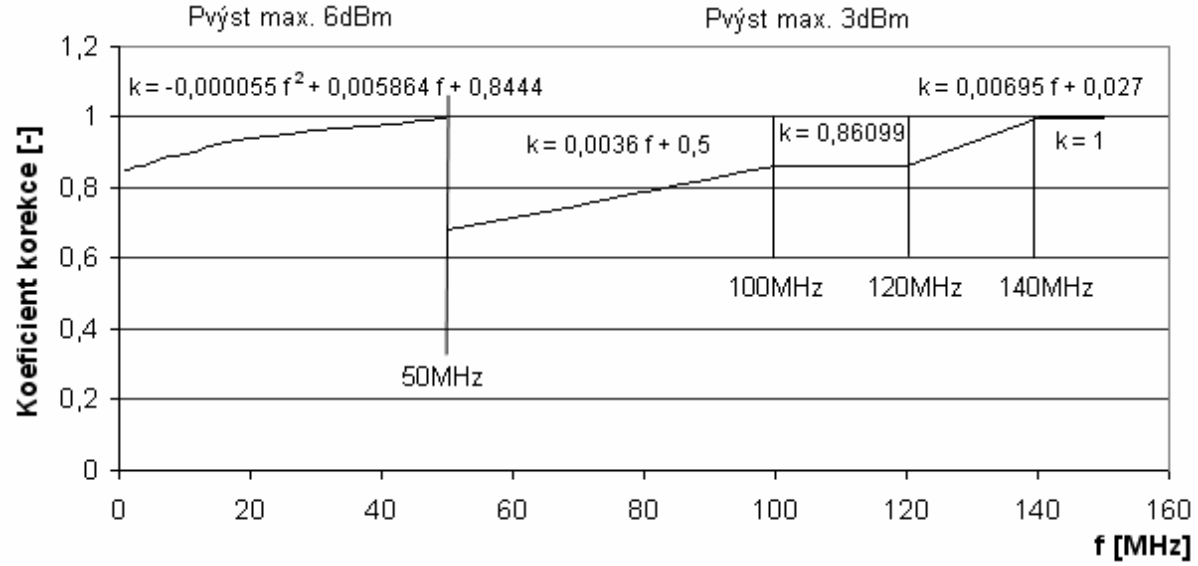
$$L = 10^{\frac{P_{\max} - vykon}{-20}} \quad [-, \text{dBm}] \tag{7.3}$$

Pokud je výkon roven maximální hodnotě P_{max} je výsledkem L = 1, při snižování výkonu se úměrně snižuje také velikost L směrem k hodnotě 0. Tato hodnota je uložena v proměnné ampl. Proměnná ampl může nabývat hodnot od 0 do 100. a je následně použita pro výpočet amplitudového ladícího slova. Amplitudové ladící slovo ASF je 14bitové a vypočte se podle vztahu 7.4.

$$ASF = 2^{14} \cdot L\langle 0;1\rangle = \frac{16384}{100} \cdot L\langle 0;100\rangle \tag{7.4}$$

Tohoto vztahu je také použito ve zmíněné funkci. Navíc je provedena korekce výstupního výkonu pomocí aproximace vhodnou funkcí.

Výstupní výkon se v celém rozsahu kmitočtů mění, jak je uvedeno na obr. 6.15 v kapitole 6.2.3, proto jsou korekce provedeny ve více kmitočtových rozsazích zvlášť. Aproximační funkce jsou funkce inverzní vůči funkci závislosti výkonu na kmitočtu a jsou kmitočtově závislé.



Obr. 7.6 Korekční křivky pro dané kmitočtové rozsahy

Pro rozsah 2 – 50 MHz je provedena korekce tak, aby byl maximální výstupní výkon 6 dBm. Je vidět, že funkce tlumí signál na nižších kmitočtech více a vyšších méně. To vyrovnává útlum způsobený kaskádou výstupních obvodů a výstupní výkon je pak v celém rozsahu konstantní. Od kmitočtu 50 MHz do kmitočtu 150 MHz je maximální výkon 3 dBm. Kmitočtové pásmo je rozděleno na více rozsahů, což umožňuje přesnější aproximaci. Jednotlivé korekční funkce na sebe navazují, to zaručuje plynulou změnu výkonu v celém kmitočtovém rozsahu.

Ve zdrojovém kódu zmíněném níže jsou jednotlivé korekční funkce uvedeny v závorkách a jejich vykonávání je vyřešeno podmínkou **if**.

```
void Transmit_ampl(signed long int data, float f)
{
 ampl =100* pow(10,(float)data/(-200));              //přepočet z dB na absolutní velikost
 f=f/1000000;

 if (f>50)
 {
  data=(float)ampl*163.84*(0.0040*f+0.5518);              //vypocet ASF + korekce
 }
 if (f>100)
 {
  data=(float)ampl*163.84*(0.86099);
 }
 if (f>120)
 {
  data=(float)ampl*163.84*(0.00695*f+0.027);
 }
 if (f>140)
 {
  data=(float)ampl*163.84;
 }
 if(f<=50)
 {
  data=(float)ampl*163.84*(-0.000055*f*f+0.005864*f+0.8444);
 }
}
```

Po výpočtu výsledného amplitudového ladícího slova se již toto slovo může vyslat. Vyslání je vyřešeno opět pomocí funkce spi( ) a bitové rotace, podobně jako kmitočtové ladící slovo.

7.4 Komunikace přes USB

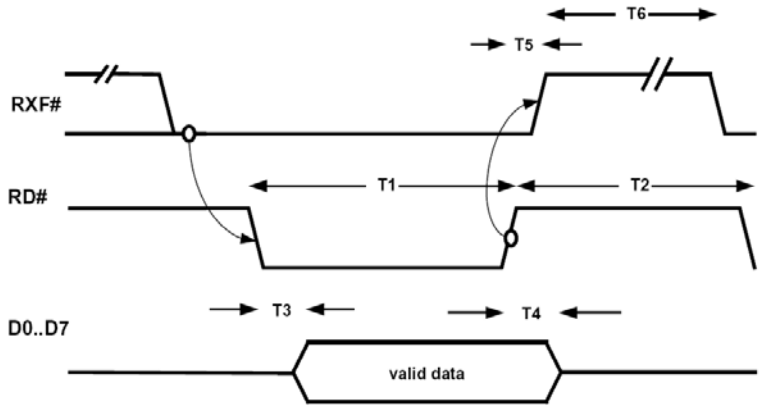
Řídící jednotka také umožňuje přijímat a zpracovávat data vysílaná pomocí počítačové aplikace, která přicházejí přes rozhraní USB. Za tímto účelem je řídící jednotka osazena obvodem FT245BL [11], což je převodník sériového přenosu po USB na osmibitový paralelní přenos a opačně.

Obvod FT245BL je taktován krystalovým oscilátorem o kmitočtu 6 MHz. Obsahuje 128 kB vnitřní paměti pro přenos dat z USB a 384 kB pro přenos od paralelního vstupu. Paměť slouží pro dočasné uchování dat při nedostupnosti linky. Rychlost přenosu je až 1 MB/s.

K rozhraní USB je obvod připojen klasicky dvěma datovými a dvěma napájecími signály. Obvod je k mikrokontroléru připojen pomocí 8 datových a 4 řídících pinů. Využívá se tedy dvou portů C a D mikrokontroléru. Komunikaci přes USB obstarává obvod FT245BL sám, je třeba pouze ošetřit zápis a čtení dat z paralelního portu tohoto obvodu.

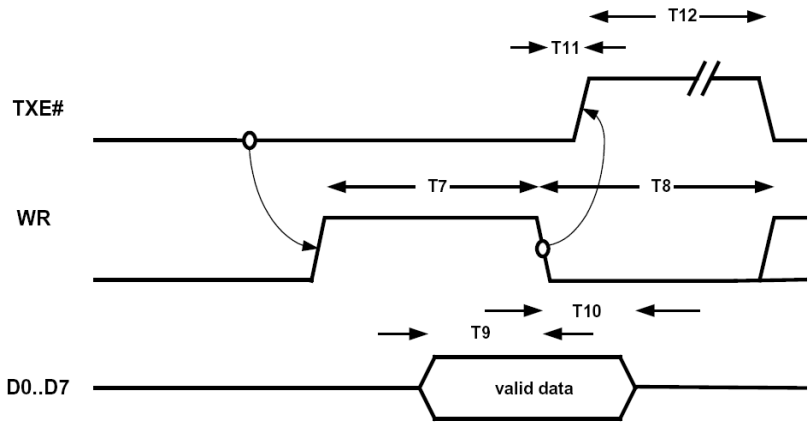
7.4.1 Zápis a čtení z registrů obvodu

Na obr. 7.7 je zakreslen průběh řídících signálů při čtení z dat z obvodu FT245BL. Signál na pinu RXF# signalizuje, zda jsou v přijímacím registru data k přečtení. Pokud je signál v log. 0, pak jsou k dispozici nová data. Po nastavení signálu RD# na log. 0 dojde k přesunu dat z registru na datové porty a platná data je možno přečíst. Nastavením RD# zpět na log. 1 dá mikrokontrolér najevo, že data přečetl. Obvod FT245BL nastaví signál RXF# do log. 1 a data z portu odstraní. Následně se čeká na další platná data, což signalizuje opět přechod RXF# do log. 0.



Obr. 7.7 Průběh čtení dat z přijímacího registru obvodu FT245BL [11]

Zápis dat do vysílacího registru obvodu FT245BL je vyřešen obdobně. Signál TXE# signalizuje, jestli je možné do obvodu FT245BL zapsat data. Pokud je v log. 0 pak ano. Na datový port se pak přivedou platná data a zápis se provede sestupnou hranou signálu RD#, jak je vidět na obr. 7.8. Obvod nastaví TXE# do log. 1 a přečte data. Další zápis je možný až s nízkou úrovní signálu TXE#.



Obr. 7.8 Zápis dat do vysílacího registru obvodu FT245BL [11]

Úrovně na výstupech RXF# a TXE# sleduje mikrokontrolér a podle zjištěných úrovní vyhodnocuje, zda může dojít ke čtení a zápisu, či nikoliv. Veškeré datové přesuny jsou tedy ošetřeny softwarově. Čtení dat z datového portu odpovídá níže zobrazený zdrojový kód.

Jednotlivé příkazy odpovídají průběhům z obr. 7.7, mezi ně jsou vloženy čekací smyčky 10μs. Ty zajišťují časovou prodlevu mezi jednotlivými příkazy, což je doba nutná k vystavení platných dat na datový výstup obvodu.

```
if (PINC.3 == 0)            /// RXF
{
   delay_us(10);
   PORTC.0 = 0;             /// RD -> 0
   delay_us(10);
   data=PIND;               /// přečtení dat
   delay_us(10);
   PORTC.0 = 1;             /// RD -> 1
   delay_us(10);
}
```

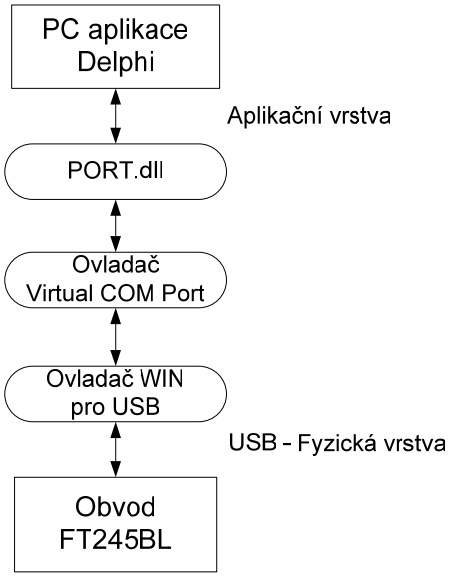
7.4.2 Zápis a čtení na straně počítače

Pro správnou funkci obvodu FT245BL pod operačním systémem Windows je nutné tento obvod správně připojit a nainstalovat. Pro připojení obvodu vytvořil výrobce několik typů ovladačů. Jednou z možností je použít ovladač pro Virtuální COM Port – VCP. Na obr. 7.9 je vidět návaznost tohoto ovladače na operační systém a na počítačovou aplikaci.

Tento ovladač vytvoří v systému virtuální sériový port COM, který se chová jako klasický COM port, a prostřednictvím tohoto portu lze komunikovat s obvodem FT245BL. Pomocí počítačové aplikace se vysílají a přijímají data přes vytvořený virtuální port COM a ovladač VCP pak sám zprostředkovává převod příkazů a přístup přímo k portu USB pomocí systémových ovladačů.

Vytvořená počítačová aplikace tedy vysílá data na tento virtuální port COM. Pro nastavení komunikace a vysílání dat přes porty COM slouží zvláštní knihovny. V tomto případě jsem zvolil dostupný ovladač PORT.dll, což je dynamická knihovna funkcí, které ve vytvořeném programu podle potřeby volám [12].

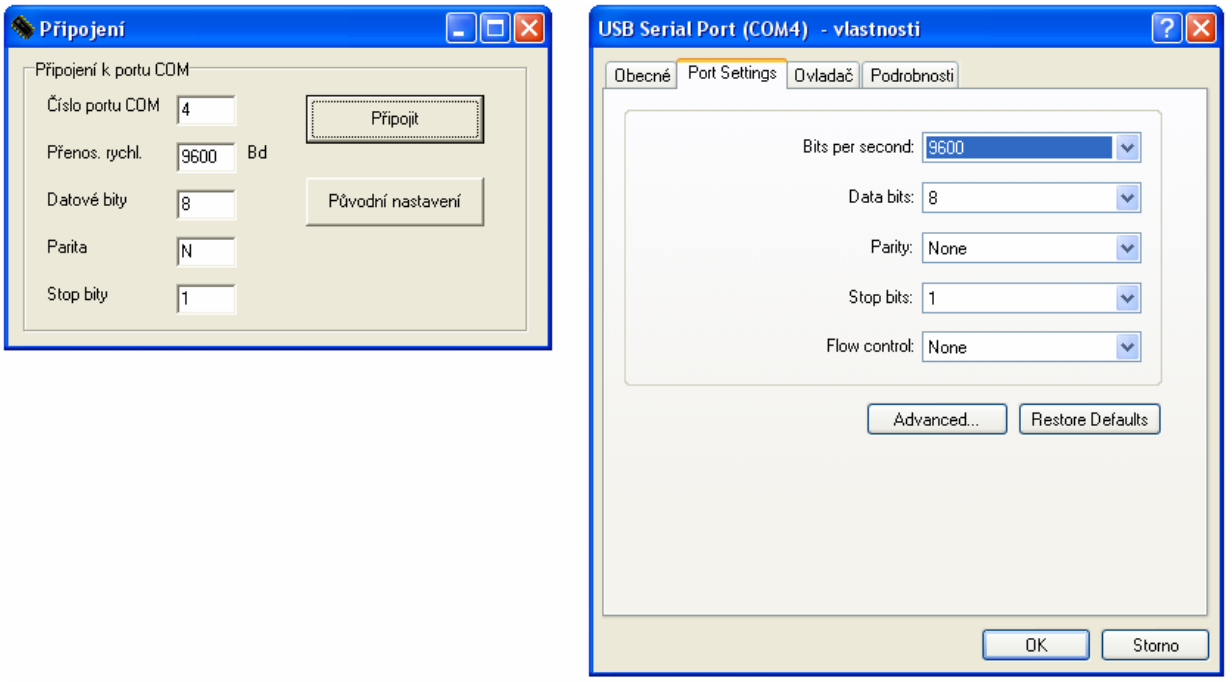
Aplikace sloužící k řízení generátoru DDS je vytvořena v prostředí Delphi, které využívá funkcí jazyka pascal. Tento jazyk je vhodný pro vytváření jednodušších, méně výkonově náročných aplikací, kde je důležitá především rychlost zpracování instrukcí.



Obr. 7.9 Architektura ovladačů pro obvod FT245BL v systému Windows

Všechna volání příslušných funkcí knihovny Port.dll jsou deklarována v externím souboru jazyka Delphi PORTINC.PAS, který lze umístit do libovolného projektu.

Základní funkcí knihovny Port.dll je funkce opencom, která se používá k otevření portu COM. Její syntaxe a parametry vypadají takto: OopenCom("COM4,9600,N,8,1"). Zadává se číslo portu COM, přenosová rychlost, paritní, datové a stop bity přenosu.



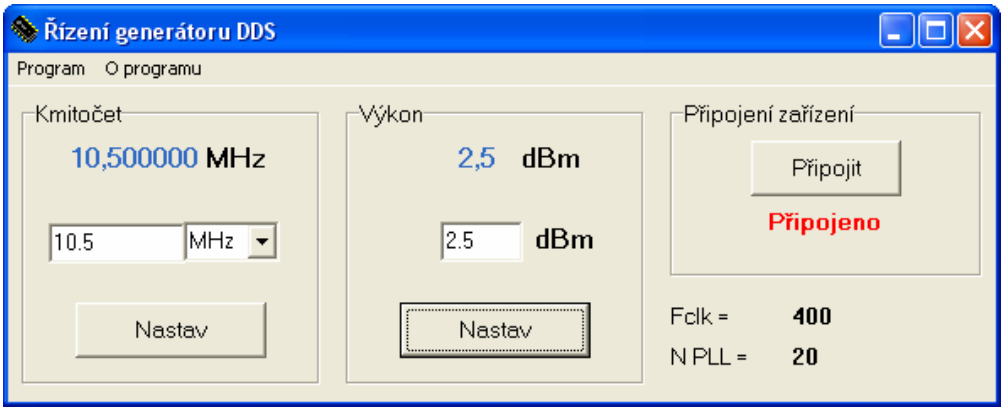
Obr. 7.10 Nastavení port COM v aplikaci (vlevo) a v systému Windows (vpravo)

Tyto zadávané parametry musí být shodné s nastavením portu COM ve Windows. Aplikace umožňuje všechny parametry podle potřeby měnit. Na obr. 7.10 je vidět konfigurace portu v aplikaci a v systému Windows.

Dále je dobré zmínit funkci pro odesílání dat přes port COM, k tomu je vhodná funkce SendByte, která odesílá osmibitová slova přes rozhraní. Na vloženém zdrojovém kódu je vidět odesílání 32bitového kmitočtového ladícího slova FTW. Jeho rozdělení je podobně jako v mikrokontroléru provedeno bitovými posuvy vpravo. První vysílaný byte nemá s daty pro generátor DDS nic společného, je však důležitý pro mikrokontrolér. Určuje celkový počet bytů jedné změny nastavení, po které mikrokontrolér generuje aktualizační impuls I/O_UPDATE.

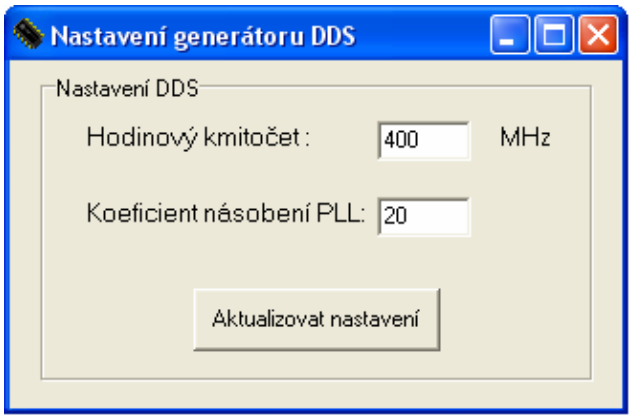
```
dataF:=dataF*10.737418;          // výpočet FTW
data:=round(dataF);              // zaokrouhlení a odtržení desetinné části
SendByte(5);                     // počet 8bit slov ( adresa + data)
SendByte(4);                     // adresa FTW registru
SendByte(data shr 24);           // data
SendByte(data shr 16);
SendByte(data shr 8);
SendByte(data);
```

Nastavení a odesílání amplitudového ladícího slova probíhá obdobně. Celý zdrojový kód programu je vyřešen podobně jako program pro mikrokontrolér ATmega64, liší se pouze programovacím jazykem a tedy použitou syntaxí, proto se zde o něm nebudu zmiňovat. Zdrojový kód lze nalézt na přiloženém CD. Na obr. 7.11 je vidět, jak vypadá aplikace pro řízení generátoru DDS a jak probíhá zadávání a nastavování dat.



Obr. 7.11 Aplikace pro řízení generátoru DDS přes rozhraní USB

Pomocí aplikace je možné změnit hodinové nastavení obvodu generátoru. Lze měnit koeficient násobení fázového závěsu a tím i kmitočet hodinového signálu. Toto nastavení je vhodné při připojování vnějšího zdroje kmitočtu. Položka pro toto nastavení je umístěna v hlavním menu a jak okno pro nastavení vypadá, ukazuje obr. 7.12.



Obr. 7.12 Nastavení hodinové části generátoru DDS

Potřebné instrukce pro nainstalování ovladačů, nastavení parametrů komunikace, změny nastavení hodinové části atd. jsou popsány v příloze K.

8. Parametry a vlastnosti generátoru

V předchozích kapitolách byl rozebrán princip činnosti a následně postup návrhu generátoru DDS. Také jeho ovládání, řízení a zadávání požadovaných hodnot. V této kapitole jsou shrnuty vlastnosti a parametry navrženého generátoru.

Navržený generátor DDS má následující vlastnosti a parametry výstupního signálu:

- Proměnný výstupní kmitočet v rozsahu ~1 kHz – 150 MHz
- Kmitočtový krok až 1 Hz v celém rozsahu kmitočtů
- Regulace výkonu výstupního signálu
- Výstupní impedance 50 Ω

Přípravek generátoru má k dispozici dva výstupy. Jeden poskytuje signál za filtrem DP a druhý je následně zesílen a upraven. V příloze I je vidět uspořádání generátoru a řídící jednotky v krabičce a také celkový vzhled výsledného přípravku. Modul generátoru je umístěn v pocínované kovové krabičce a je tak odstíněn od okolního rušení. Výstupní signály jsou přítomny na dvou konektorech BNC. Napájení obvodu je zajištěno pomocí vnějšího zdroje napětí 5 V, nebo 9 V baterie. Generátor je možné také napájet přes USB konektor, tato možnost je vhodná především při řízení generátoru přes USB.

Neupravený signál RF1

Tento signál je odebírán za filtrem typu DP a je tedy již zbaven nežádoucích obrazových kmitočtů základního signálu a dalších rušivých signálů. Je vhodný pro další úpravu signálu, například při potřebě jednoho jmenovitého kmitočtu by se použila selektivní úzkopásmová propust a úzkopásmový zesilovač, signál by pak měl lepší čistotu a dynamický rozsah.

Generovaný signál lze nastavit v rozsahu od 1 kHz do 150 MHz, výkonová úroveň není na tomto rozsahu zaručena. Výstupní výkon se pohybuje v rozsahu od -9 dBm do -14 dBm. Čistotu výstupního signálu reprezentuje dynamický rozsah SFDR. V tabulce 8.1 je udaný dynamický rozsah měřený v jednotlivých pásmech generovaného kmitočtu. Je vidět, že dosahuje hodnoty 61 dB a více. Ve srovnání s hodnotami udávanými výrobcem vykazuje tento generátor zlepšení o několik dB. Hodnoty udávané výrobcem jsou k nalezení v datasheetu výrobce [7].

Tabulka 8.1 Dynamický rozsah SFDR v jednotlivých rozsazích výstupního kmitočtu

f_0 [MHz]	SFDR [dB]
1 MHz – 10 MHz	77
10 MHz – 40 MHz	73
40 MHz – 80 MHz	67
80 MHz – 120 MHz	61
120 MHz – 160 MHz	66

Dynamický rozsah v širokém pásmu od 1 MHz do 400 MHz je vidět v tabulce 8.2. Tyto hodnoty SFDR reprezentují především také potlačení nežádoucích obrazových kmitočtů, které

se vyskytují v pásmu 250 – 400 MHz. Je patrné, že dynamický rozsah se pohybuje od 55 do 60 dB. Tyto hodnoty splňují předpoklady a požadavky na generátor kmitočtu DDS.

Tabulka 8.2 Dynamický rozsah SFDR v širokém pásmu 1 – 400 MHz pro vybrané kmitočty f_0 výstupního signálu

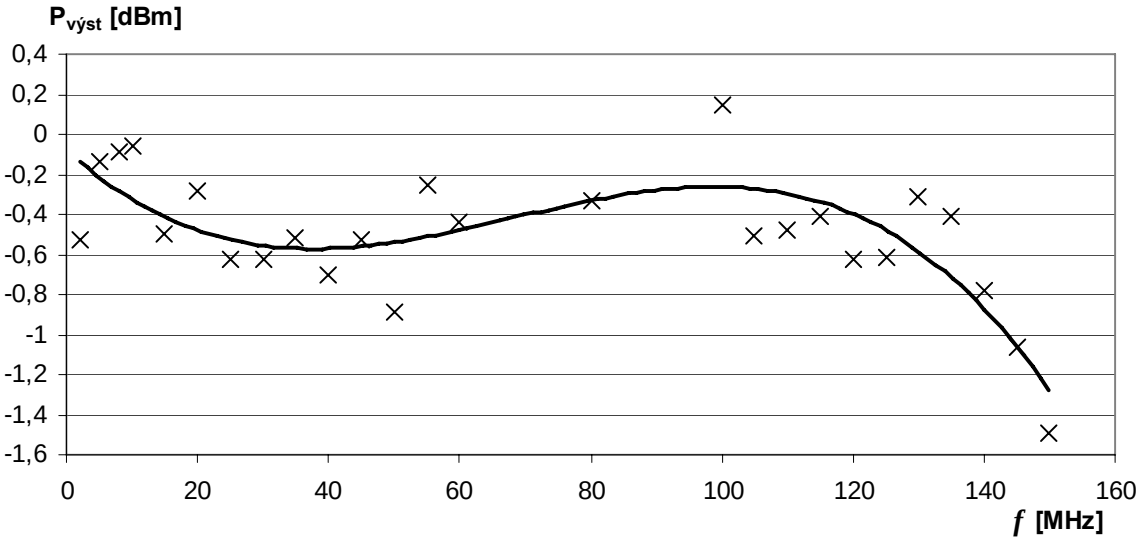
f_0 [MHz]	SFDR [dB]
10	60
20	60
40	60
80	60
100	58
120	57
140	58
150	55

Zesílený signál RF2

Na tomto výstupu je přítomen signál za výstupním zesilovačem ADL5530. Tento výstup je také širokopásmový, kmitočet lze nastavovat v rozmezí od 2 MHz do 140 MHz. Úroveň výstupního signálu je v tomto rozsahu již definovaná, a to následovně:

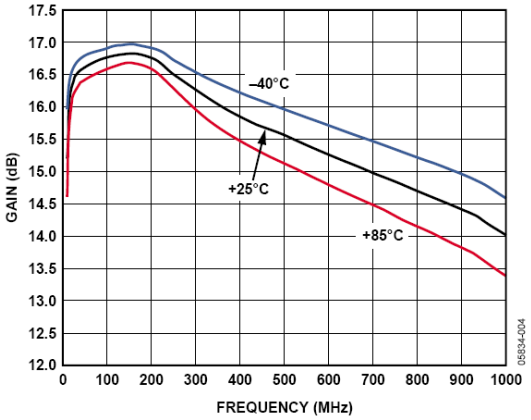
- pro kmitočet 2 – 50 MHz je výstupní výkon od -20 dBm do 6 dBm,
- pro kmitočet > 50 – 140 MHz je výstupní výkon od -20 dBm do 3 dBm

Výstupní výkon se nastavuje s krokem až 0,1 dBm. Závislost výstupního výkonu na kmitočtu generovaného signálu je přiložena na obr. 8.1 pro nastavený výkon 0 dBm. Je vidět, že se výstupní výkon od nastavené hodnoty více či méně odchyluje, průměrně o hodnotu 0,5 dBm. Tato odchylka je dána vlastnostmi požitých korekčních funkcí a také teplotní závislostí zisku použitého zesilovače ADL5530.



Obr. 8.1 Kmitočtová závislost výstupního výkonu, nastavená hodnota P = 0 dBm

Teplotní závislost zisku je na obr. 8.2. Proto při zapnutí generátoru je výstupní výkon přibližně o 0,5 dBm vyšší než po ustálení teploty. Proto je dobré po zapnutí přibližně 60 s počkat, než se začne s generátorem pracovat.



Obr. 8.2 Teplotní a kmitočtová závislost zisku obvodu ADL5530

Výstup RF2 má pro dané rozsahy kmitočtů generovaného signálu následující hodnoty dynamického rozsahu, jak ukazuje tabulka 8.3. Největší vliv na velikost dynamického rozsahu mají vyšší harmonické generovaného signálu, které vznikají vlivem nelinearity použitého zesilovače. Tento vliv je patrný na kmitočtu od 10 MHz do 80 MHz, kdy se vyšší harmonické objevují na kmitočtech v používaném pásmu do 150 MHz a zmenšují tak dynamický rozsah. Při vyšších kmitočtech jsou již vyšší harmonické na vysokých kmitočtech, kde jsou účinně potlačeny použitým filtrem.

Tabulka 8.3 Dynamický rozsah SFDR v jednotlivých rozsazích výstupního kmitočtu, signálu za zesilovačem

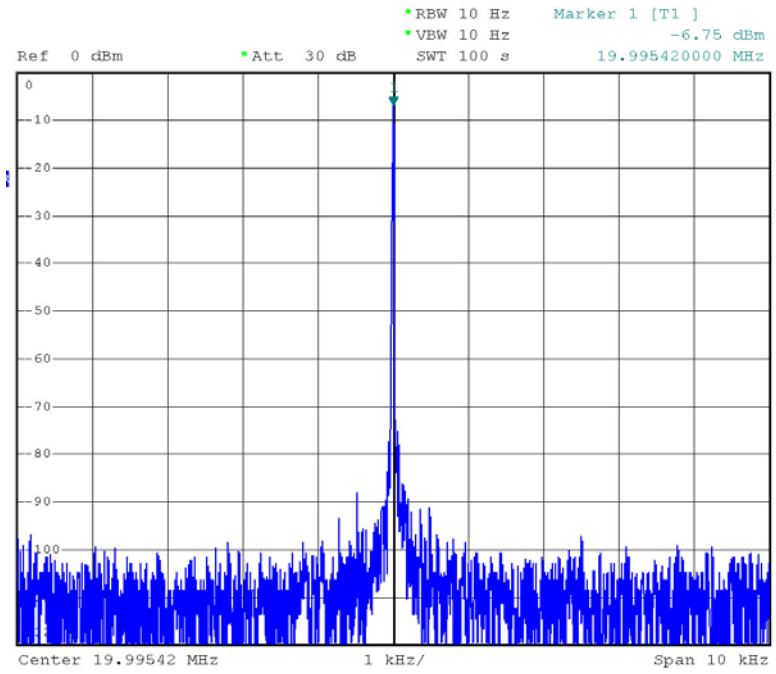
f_0 [MHz]	SFDR [dB]
1 MHz – 10 MHz	77
10 MHz – 50 MHz	44
40 MHz – 100 MHz	43
80 MHz – 120 MHz	77
100 MHz – 140MHz	75

Pro široké pásmo kmitočtů 1 MHz až 400 MHz je dynamický rozsah SFDR opět uveden v tabulce 8.4. Dynamický rozsah dosahuje velikosti kolem 44 dB a lepší. To jsou stále ještě hodnoty reprezentující kvalitní signál. Opět zde mají největší vliv vyšší harmonické vznikající v zesilovači.

Tabulka 8.4 Dynamický rozsah SFDR v širokém pásmu 1 – 400 MHz pro vybrané kmitočty f_0 výstupního signálu za zesilovačem

f_0 [MHz]	SFDR [dB]
10	49
20	44
40	46
80	47
100	45
120	45
140	47

Na následujících obrázcích jsou průběhy sejmuté ze stínítka spektrálního analyzátoru. Na obr. 8.3 je spektrum signálu v úzkém pásmu okolo jmenovitého kmitočtu 20 MHz. Spektrum je v okolí tohoto kmitočtu čisté, bez rušivých signálů. Dynamický rozsah je lepší než 80 dB.

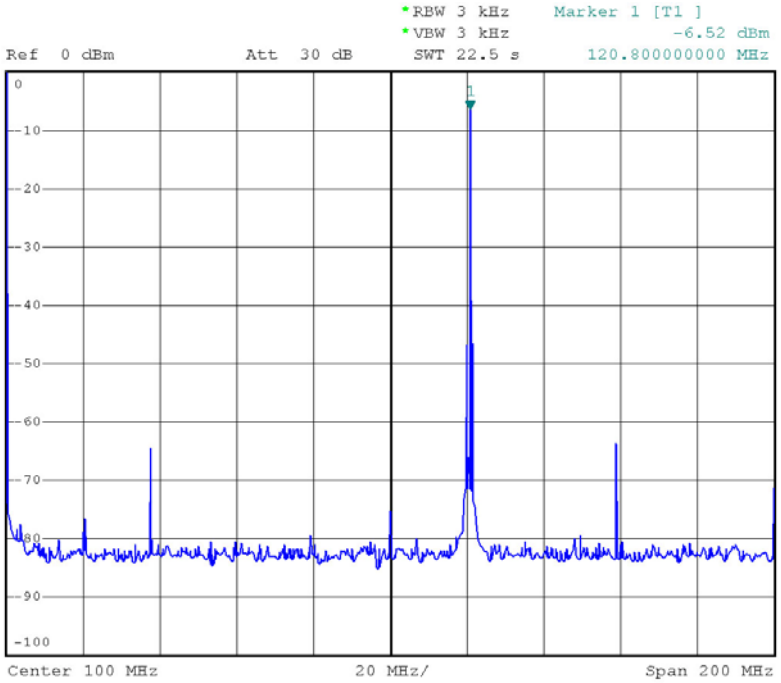


Obr. 8.3 Spektrum signálu v úzkém pásmu ±5 kHz okolo jmenovitého kmitočtu 20 MHz (přídavný vnější attenuátor 10 dB)

Naměřený kmitočet se od nastaveného liší přibližně o 4,5 kHz, což je dáno nepřesným kmitočtem hodinového signálu, získaného pomocí krystalového oscilátoru. Z této hodnoty můžeme spočítat přesnost kmitočtu generovaného signálu. Podle vzorce 8.1 vyjde přesnost kmitočtu $2{,}3 \cdot 10^{-4}$, pro dosažení lepší přesnosti je možné připojit vnější kmitočtový normál, jak je uvedeno v příloze K.

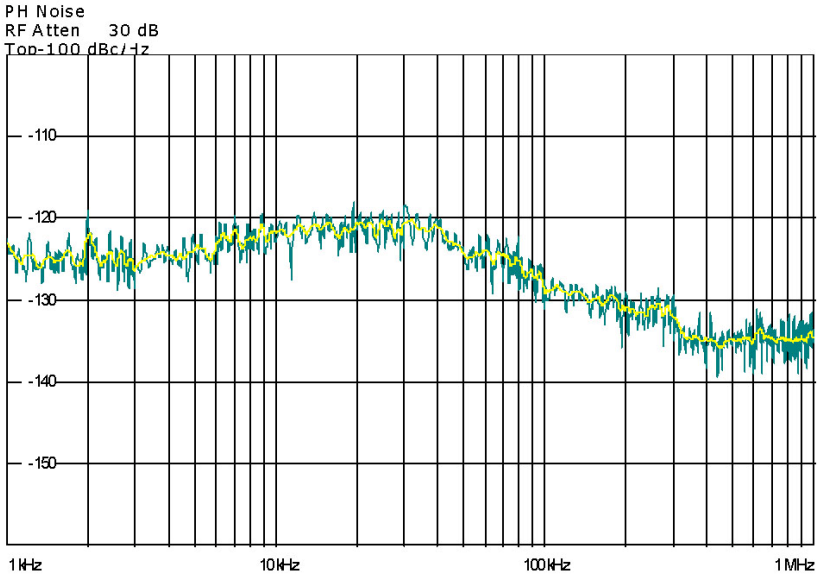
$$\text{Přesnost kmitočtu} = \frac{|f_P - f_0|}{f_0} = \frac{|19{,}99542 - 20|}{20} = 2{,}3 \cdot 10^{-4} \qquad (8.1)$$

Spektrum signálu v širokém kmitočtovém pásmu ukazuje obr. 8.4. Ve spektru jsou vidět dva rušivé signály na kmitočtu 38 MHz a 159 MHz, ale oba jsou potlačeny o více jak 50 dB. Výstupní úroveň signálu je 3,48 dBm, k naměřené hodnotě se musí přičíst 10 dB, což je útlum vnějšího attenuátoru.



Obr. 8.4 Spektrum signálu v pásmu od 0 do 200 MHz, jmenovitý kmitočet f_0 = 120,7 MHz (přídavný vnější attenuátor 10 dB)

Údaj o stabilitě kmitočtu reprezentuje velikost fázového šumu generovaného signálu. Velikost fázového šumu v závislosti na offsetovém kmitočtu je uvedena na obr. 8.5. Pro offsetový kmitočet 1 kHz je fázový šum lepší než -120 dBc/Hz. Stabilita kmitočtu krystalového oscilátoru se pohybuje v rozmezí 10^{-6} – 10^{-8}. Této hodnotě odpovídá i velikost fázového šumu. Získané hodnoty vypovídají o dobré stabilitě a kvalitě generovaného signálu.



Obr. 8.5 Fázový šum generovaného signálu, f_0 = 20 MHz

Další průběhy fázového šumu a spektra signálů jsou přiloženy v příloze L.

9. Závěr

Cílem této diplomové práce bylo prostudovat a zpracovat problematiku generátorů kmitočtu založených na metodě přímé digitální syntézy. Následně provést návrh takového generátoru s proměnným výstupním kmitočtem.

Princip funkce je rozebrán na blokových schématech a jsou popsány vlastnosti jednotlivých bloků syntezátoru se zaměřením na ovlivnění kvality výstupního signálu. Základními parametry hodnotícími kvalitu výstupního signálu generátoru jsou stabilita a přesnost kmitočtu, kmitočtový rozsah výstupního signálu, velikost fázového šumu, odstup signálu od šumu, dynamický rozsah signálu a činitel harmonického zkreslení.

Základem generátoru DDS je fázový akumulátor, který určuje výstupní kmitočet a kmitočtový krok. Jeho parametry je dáno celkové kmitočtové rozlišení generátoru. Tabulka ROM funkce sinus by měla mít alespoň 14 adresovacích bitů, tato hodnota je důležitá pro dostatečnou dynamiku signálu. Důležitým blokem je D/A převodník, jehož parametry výrazně ovlivňují kvalitu výstupního signálu. Je nutné, aby měl převodník dobrou linearitu a byl dostatečně rychlý. Pro dobrý odstup signálu od šumu musí mít dostatečný počet hladin. Výstupní filtr musí zajistit odfiltrování obrazových signálů vznikajících při digitálním zpracování. Pro dobré potlačení obrazových kmitočtů je třeba použít analogového filtru alespoň 7. řádu a výše.

Pro praktickou realizaci generátoru jsem vybral obvod AD9954 od firmy Analog Devices. Výše uvedené požadavky na jednotlivé bloky splňuje. Umožňuje generovat signál o kmitočtu až 160 MHz. Používá 32bitové ladící slovo, což zajistí dostatečné kmitočtové rozlišení, až 0,1 Hz. Využívá 19 bitů pro adresování tabulky ROM a 14bitový převodník, to zaručuje velmi kvalitní výstupní signál. Obvod navíc obsahuje části, které umožňují vytvořit frekvenční, fázovou i amplitudovou modulaci. Obvod je řízen po sériové lince SPI.

V textu práce je podrobně uveden postup návrhu jednotlivých součástí celého generátoru a také řídící desky, která používá mikrokontrolér ATmega64. Navržený generátor je odstíněn od okolního rušení kovovou krabičkou a spolu s řídící částí umístěn v plastové krabičce. Zadávání potřebných hodnot je možné buď přímo tlačítky na čelní straně krabičky, nebo pomocí vytvořené počítačové aplikace. Přípravek je napájen vnějším zdrojem napětí 5 V nebo přes konektor USB. Generátor má dva výstupy, jeden v rozsahu 1 kHz až 150 MHz, který je vhodný pro další zpracování. Druhý výstup je zesílený a poskytuje signál maximálního výkonu 6 dBm v rozsahu 2 – 50 MHz a výkon 3 dBm od 50 MHz do 140 MHz. Minimální úroveň je -20 dBm. Výstupní výkon lze nastavovat s krokem až 0,1 dBm a kmitočet s rozlišením až 1 Hz. Výstupní impedance je 50 Ω.

Takto navržený generátor se vyznačuje velkou šířkou pásma a dobrou čistotou generovaného signálu. V úzkém pásmu okolo jmenovitého kmitočtu je dynamický rozsah SFDR > 80 dB, v širokém pásmu pak 45 dB a lepší. Stabilitu kmitočtu generátoru DDS reprezentuje fázový šum, který dosahuje hodnoty -120 dBc/Hz na offsetovém kmitočtu 1 kHz. Přesnost kmitočtu je asi $2 \cdot 10^{-4}$ a lze dále zlepšit připojením vnějšího referenčního kmitočtu.

Generátor je možné použít pro různá laboratorní měření. Díky malým rozměrům je dobře přenosný a vhodný i pro terénní měření, je vybaven 9 V baterií. Po drobných úpravách by mohl být zabudován i do různých pevných i mobilních zařízení. Spektrum jeho využití je tedy široké.

Použitá literatura

[1] HANUS, S., SVAČINA, J. Vysokofrekvenční a mikrovlnná technika. Brno: Skripta FEKT VUT v Brně, 2002. 210 s. ISBN 80-214-2222-X.

[2] VANKKA, J. Digital Syntesizers and Transmitters for Software Radio. Heidelberg: Springer, 2005. ISBN 1-4020-3194-6

[3] ROHDE, U. L., NEWKIRK, D. P. RF/Microwave Circuit Design for Wireless Applications. New Jersey: John Wiley & Sons, 2000. ISBN 0-471-29818-2.

[4] PROKEŠ, A. Radiové přijímače a vysílače. Brno: Skripta FEKT VUT v Brně, 2005. 174s. ISBN 80-214-2263-7.

[5] PROKEŠ, A. Využití přímé kmitočtové syntézy v radiotechnice, online. 2003. Dostupné z URL: <http://www.elektrorevue.cz/clanky/03048/index.html>

[6] DOSTÁL, T. Elektrické filtry. Brno: Skripta FEKT VUT v Brně, 2002. 144s.

[7] ANALOG DEVICES. AD9954, Direct Digital Synthesizer, online. 2007. Dostupné z URL: <http://www.analog.com/UploadedFiles/Data_Sheets/AD9954.pdf>

[8] COILCRAFT. SMT Mini Wideband RF Transformer, online. Dostupné z URL: <http://www.coilcraft.com/pdfs/wbc.pdf>

[9] ANALOG DEVICES. ADP1715/ADP1716, CMOS Linear Regulator, online. Dostupné z URL:< http://www.analog.com/static/imported-files/data_sheets/ADP1715_1716.pdf>

[10] ATMEL. ATmega64 – 8bit AVR Microcontroller, online. Dostupné z URL: <http://www.atmel.com/dyn/resources/prod_documents/doc2490.pdf>

[11] FTDI. FT245BL USB FIFO (USB - Parallel), online. Dostupné z URL: <http://www.ftdichip.com/Documents/DataSheets/DS_FT245BL.pdf>

[12] KAINKA, B., BERNDT, H. Využití rozhraní PC pod Windows. Nakladatelství HEL, 2000. 151s. ISBN 80-86167-13-5.

[13] BRANDON, D., GENTILE, K. DDS-Based Clock Jitter Performance vs. DAC Reconstruction Filter Performance, online. Dostupné z URL: <www.analog.com/static/imported-files/application_notes/351016224AN_837.pdf >

[14] ANALOG DEVICES. ADL5530, IF block gain, online. Dostupné z URL:< http://www.analog.com/static/imported-files/data_sheets/ADL5530.pdf>

Seznam zkratek

DDS…….. přímá digitální syntéza
SFDR…… dynamický rozsah
THD…….. harmonické zkreslení
SNDR……odstup signálu od šumu a zkreslení
CLK…….. hodinový signál
GCD……..nejvyšší společný dělitel
INL……integrální nelinearita
DNL…….. diferenciální nelinearita
SPI…….rozhraní sériové komunikace
FTW……..kmitočtové ladící slovo
ASF……... amplitudové ladící slovo
CFR1, 2…….kontrolní funkční registry

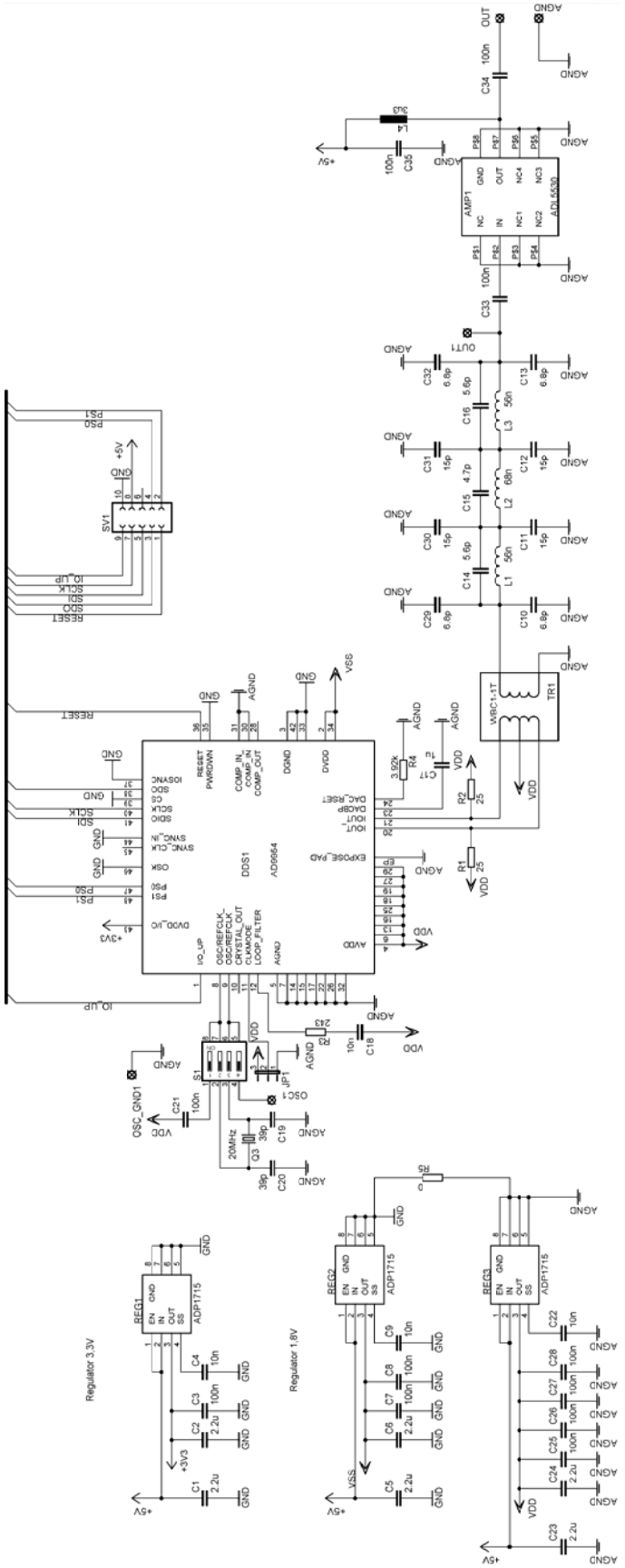
Přílohy

Seznam příloh

Příloha A – Schéma zapojení generátoru DDS……. 59
Příloha B – Rozložení součástek na desce plošných spojů generátoru DDS……..…….. 60
Příloha C – Obrazec desky plošných spojů generátoru……. 61
Příloha D – Seznam součástek generátoru DDS…… 62
Příloha E – Schéma zapojení řídící jednotky…….63
Příloha F – Rozložení součástek na desce plošných spojů řídící jednotky……..……. 64
Příloha G – Obrazec desky plošných spojů řídící jednotky ……... 65
Příloha H – Seznam součástek řídící jednotky ……. 66
Příloha I – Fotografie přípravku generátoru DDS…… 67
Příloha J – Obsah přiloženého CD……68
Příloha K – Obsluha aplikace pro řízení generátoru…….. 69
Příloha L – Spektra a fázový šum výstupního signálu generátoru…….71

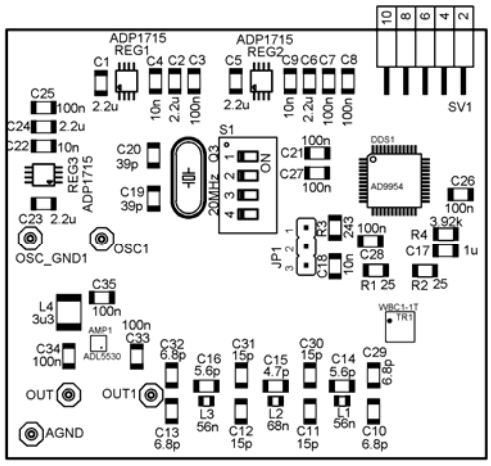
Příloha A

Schéma zapojení generátoru DDS



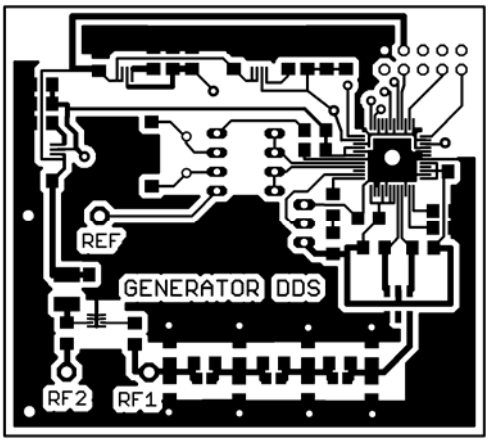
Příloha B

Rozložení součástek na desce plošných spojů generátoru DDS

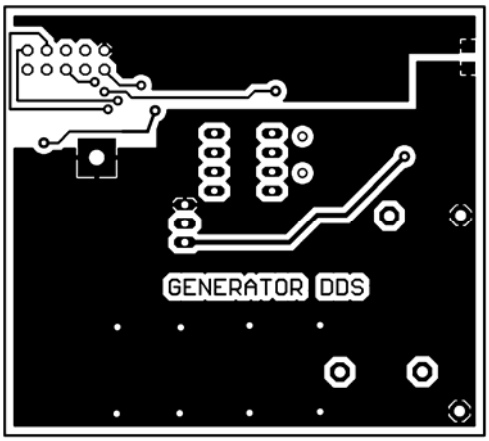


Příloha C

Obrazec desky plošných spojů generátoru – stana součástek (Top)



Obrazec desky plošných spojů generátoru – stana spojů (Bottom)



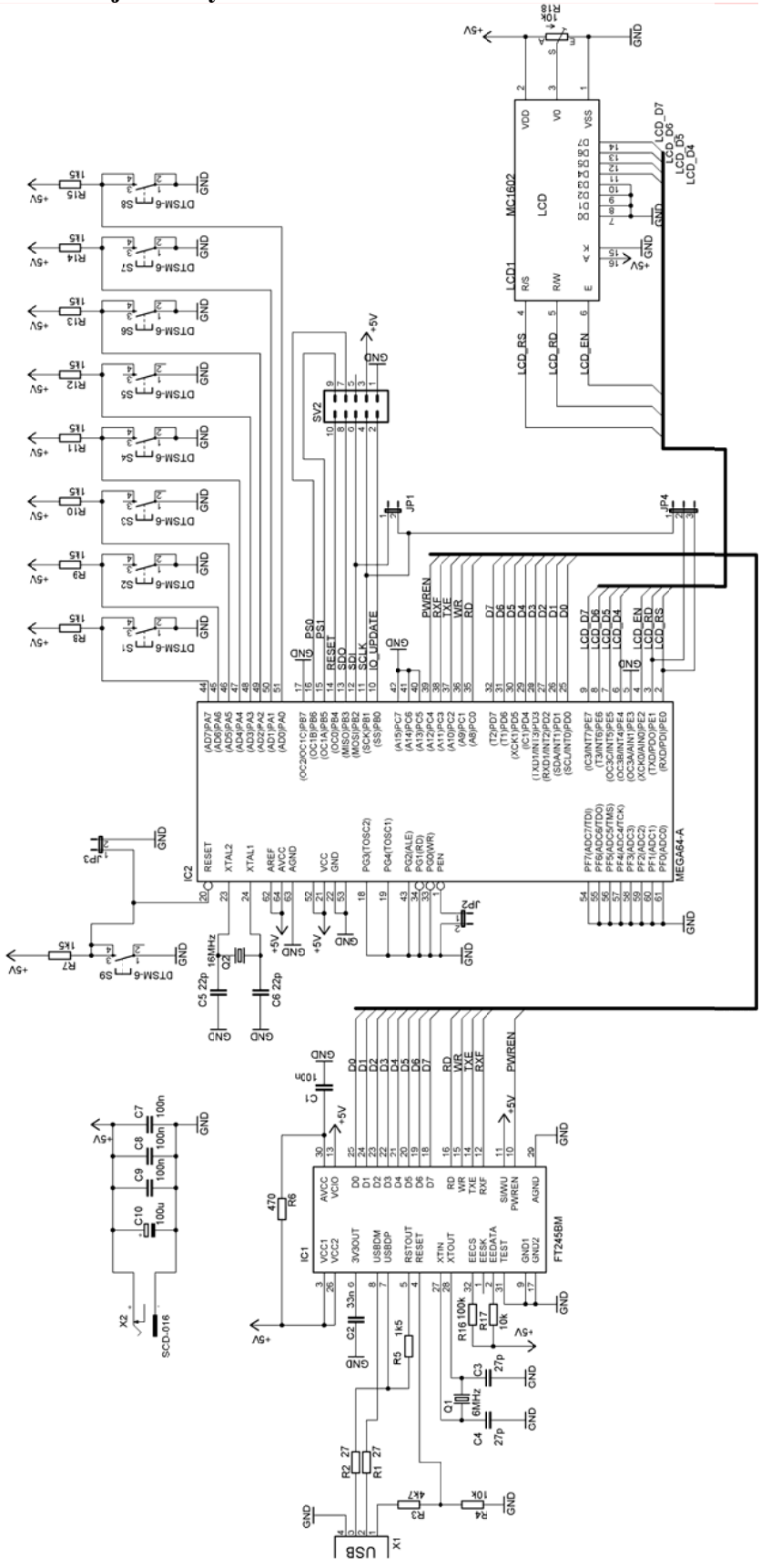
Příloha D

Seznam součástek generátoru DDS

		Hodnota/Typ	Pouzdro
Kondenzátory			
C1, C2, C5, C6, C23, C24		2.2 uF	C1206
C3, C7, C8, C21, C25, C26, C27, C28, C33, C34, C35		100 nF	C1206
C4, C9, C18, C22		10 nF	C1206
C10, C13, C29, C32		6.8 pF	C1206
C11, C12, C30, C31		15 pF	C1206
C14, C16		5.6 pF	C1206
C15		4.7 pF	C1206
C17		1 uF	C1206
C19, C20		39 pF	C1206
Indukčnosti			
L1		56 nH	L0805
L2		68 nH	L0805
L3		56 nH	L0805
L4		3.3 μH	L1812
Rezistory			
R1		25 Ω	R1206
R2		25 Ω	R1206
R3		243 Ω	R1206
R4		3.92 kΩ	R1206
Integrované obvody			
DDS1		AD9954	TQFP48EP
REG1		ADP1715	MSOP08
REG2		ADP1715	MSOP08
REG3		ADP1715	MSOP08
AMP1		ADL5530	LFCSP 3x2mm
Transformátor			
TR1		WBC1-1T	
Krystal			
Q3		20 MHz	HC49/S
Spínače			
S1	spínač DIP – 4 kontakty		DIP04YL
JP1	jumper		JP2E
Konektory			
SV1	konektor na plochý panel 5x2		FE05-2W
BNC	BNC konektory do panelu		

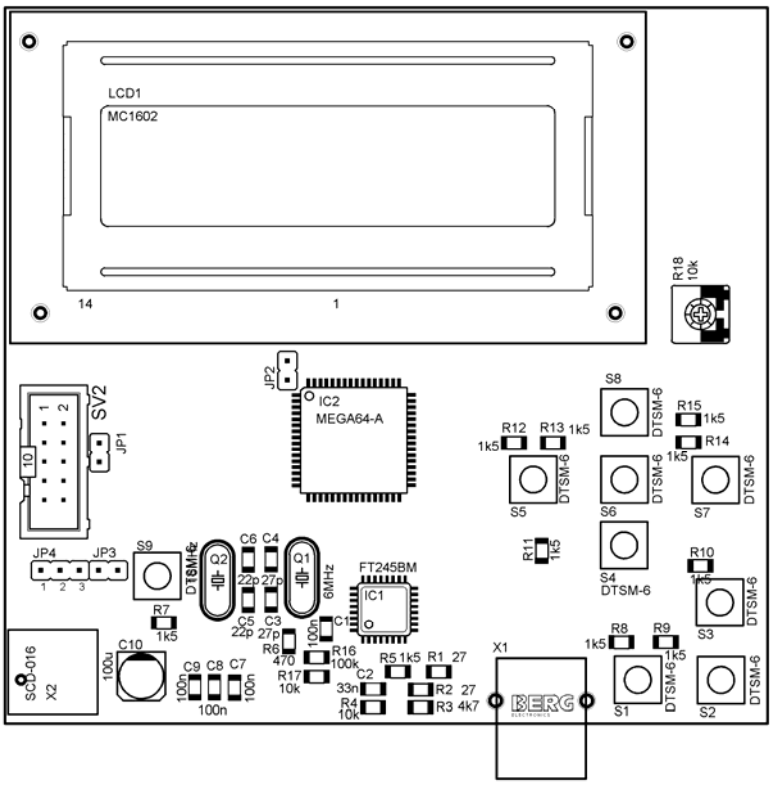
Příloha E

Schéma zapojení řídící jednotky



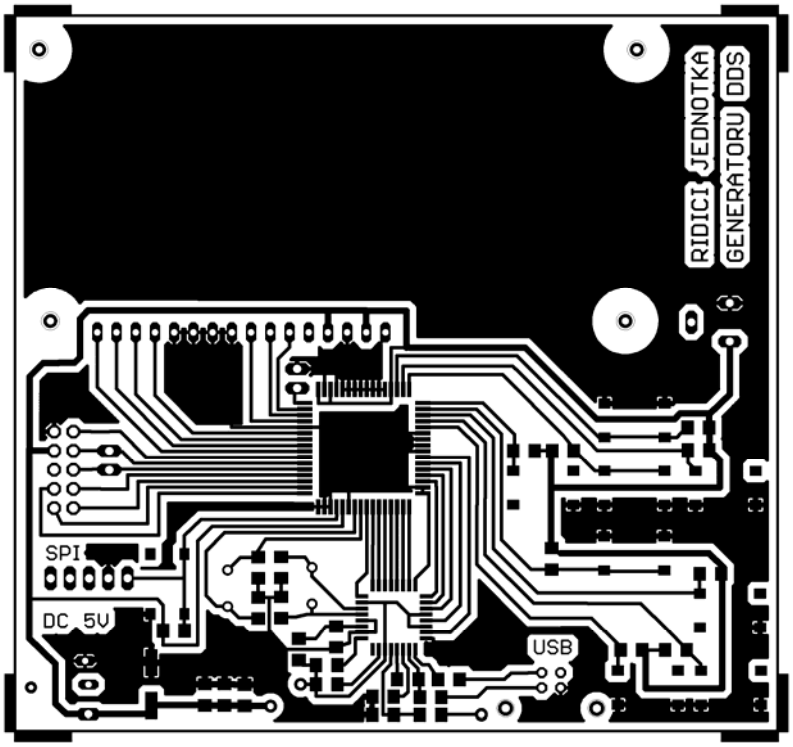
Příloha F

Rozložení součástek na desce plošných spojů řídící desky

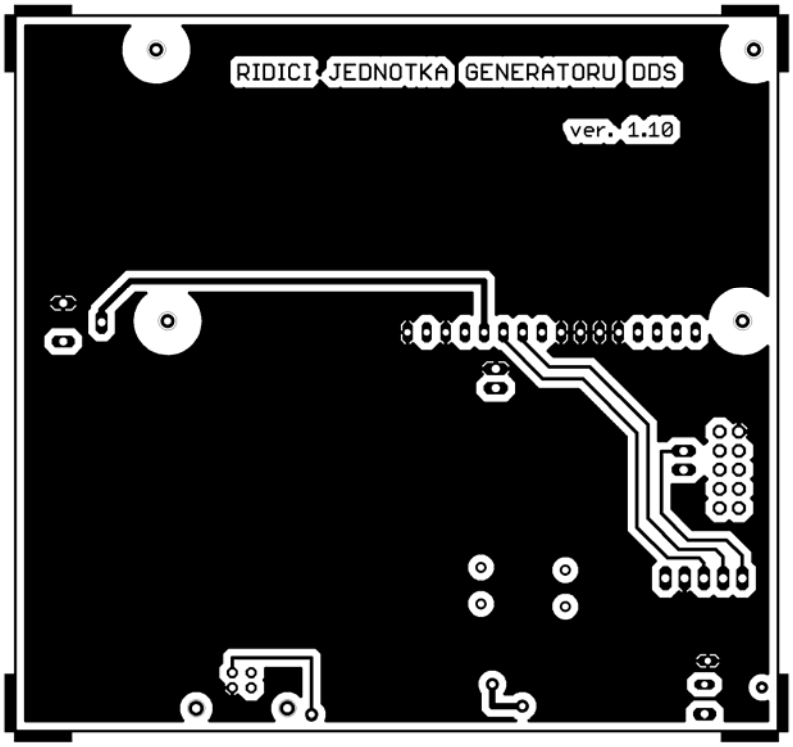


Příloha G

Obrazec desky plošných spojů řídící jednotky – stana součástek (Top)



Obrazec desky plošných spojů řídící jednotky – stana spojů (Bottom)



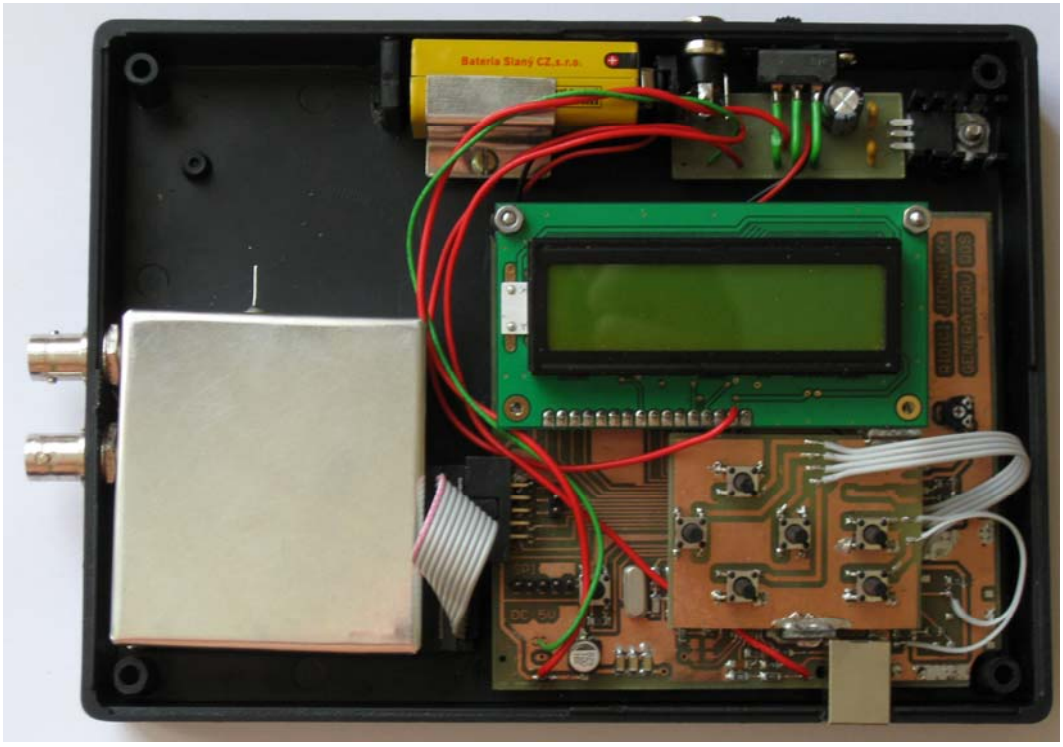
Příloha H

Seznam součástek řídící jednotky

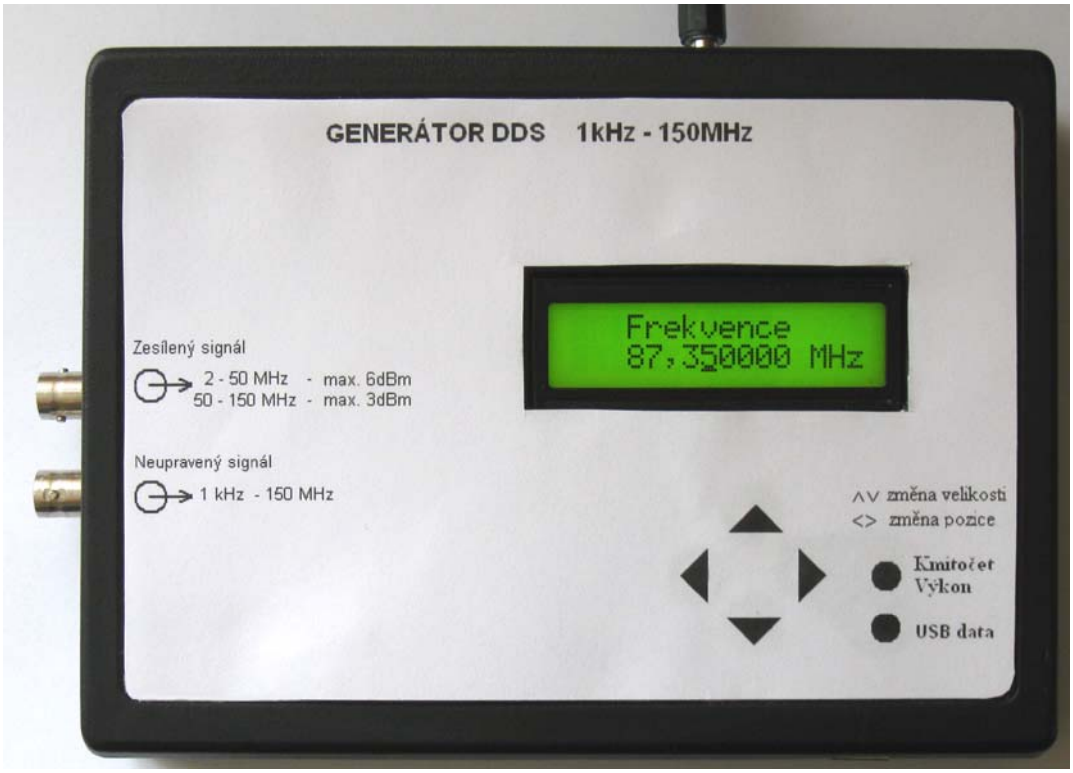
		Hodnota/Typ	Pouzdro
Kondenzátory			
C1, C7, C8, C9		100 nF	C1206
C2		33 nF	C1206
C3, C4		27 pF	C1206
C5, C6		22 pF	C1206
C10		100 uF/16V	SMD_C6
Rezistory			
R1 ,R2		27 Ω	R1206
R3		4,7 kΩ	R1206
R4 , R17, R18		10 kΩ	R1206
R5, R7, R8, R9, R10, R11, R12, R13, R14, R15		1,5 kΩ	R1206
R6		470 Ω	R1206
R16		100 kΩ	R1206
Integrované obvody			
IC1		FT245BM	QFP-32
IC2		MEGA64-A	TQFP64
Displej			
LCD1		MC1602	
Krystaly			
Q1		6 MHz	HC49/S
Q2		16 MHz	HC49/S
Spínače			
S1, S2, S3, S4, S5, S6, S7, S8, S9		DTSM-6	DTSM-6
JP1, JP2, JP3	jumper		JP1E
JP4	jumper		JP2E
Konektory			
SV2	konektor na plochý kabel		ML10
X1	USB konektor – typ B		PN61729
X2	napájecí konektor - zdířka		SCD-016

Příloha I

Fotografie vnitřního uspořádání generátoru a řídící jednotky v krabičce



Fotografie generátoru



Příloha J

Obsah přiloženého CD

\DP…….. text diplomové práce ve formátu pdf

\Ridici_deska_C++……. zdrojový kód programu pro řídící jednotku

\Aplikace_pro_DDS_Delphi……...aplikace pro řízení DDS přes PC + zdrojový kód

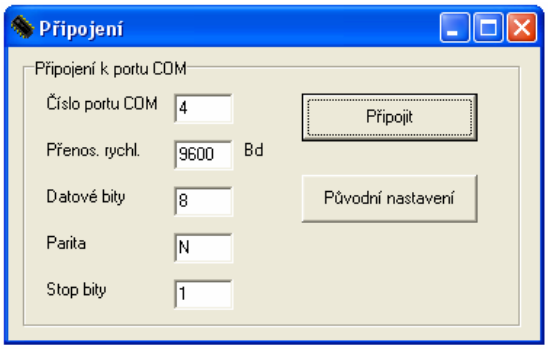
\DPS ……... podklady pro výrobu desky plošných spojů v programu Eagle

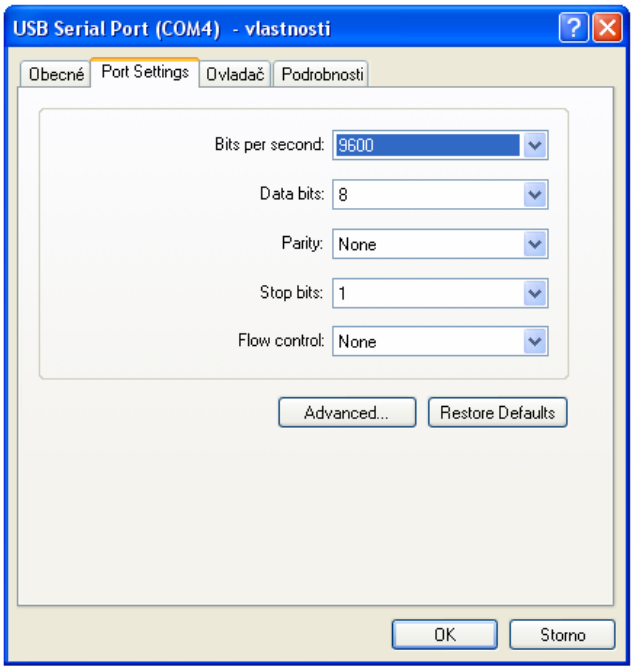
Příloha K

Obsluha aplikace pro řízení generátoru

Po připojení generátoru k počítači použijte USB kabel typu A-B. Po prvním připojení budete vyzvání systémem Windows k instalaci nového zařízení. V okně **Průvodce nově rozpoznaným hardwarem** zvolte nabídku – **Instalovat ze seznamu či daného umístění** a Další. V následujícím okně zatrhnout položku – **Při hledání zahrnout toto umístění** – a zadat cestu k adresáři s ovladačem, tedy adresář **Ovladac** (adresář je umístěn na přiloženém CD). Po potvrzení proběhne instalace a vyskočí ještě jednou okno pro nově rozpoznaný hardware. Proveďte ještě jednou stejnou proceduru. A nyní je zařízení již nainstalováno.

Dále v nabídce **Start->Ovládací panely->Systém->Hardware->Správce zařízení** v položce Porty (COM a LPT) je zařízení USB Seriál Port. V jeho vlastnostech je nutné nastavit parametry spojení. Stejné parametry se zadají v aplikaci pro řízení generátoru DDS – v hlavní nabídce položka **Program->Nastavení připojení** a potvrdit tlačítkem **Připojit**.



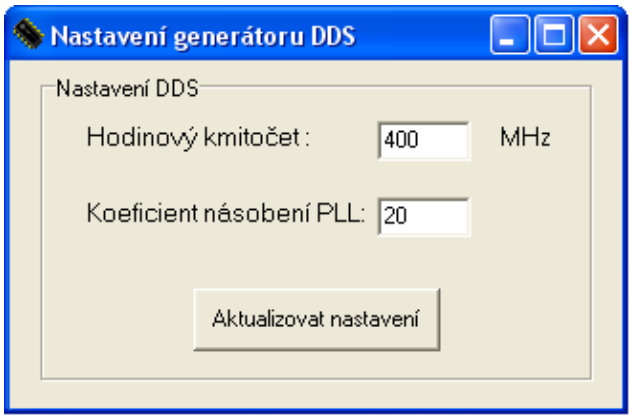


Nyní je zařízení připraveno k použití. Při dalším zapnutí aplikace již stačí stisknout tlačítko Připojit na hlavním panelu aplikace, program sám načte uložené parametry a provede připojení.

Poznámka: pro přepnutí do režimu USB komunikace je nutné stisknout tlačítko **USB data** na panelu přípravku generátoru.

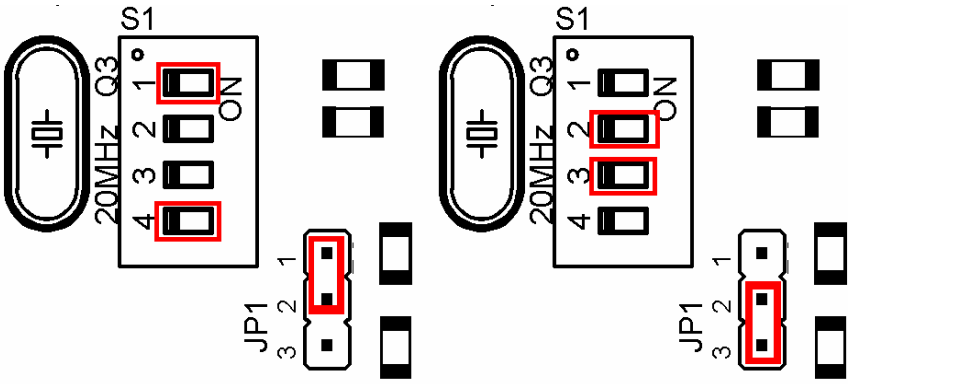
Další nastavování kmitočtu a výkonu výstupního signálu je intuitivní a není třeba ho popisovat.

Aplikace ještě umožňuje změnu hodinové části obvodu generátoru, konkrétně změnu konstanty násobení fázového závěsu PLL. Toto nastavení se volí v nabídce **Program->Nastavení generátoru.** Koeficient násobení je možno zadat v rozmezí 4 – 20, při zadání jiné hodnoty je fázový závěs vypnut a hodinový signál je brán přímo ze vstupu bez násobení.



V tomto okně se také zadává výsledný hodinový kmitočet, tato hodnota je nutná pro správný výpočet ladícího kmitočtového slova.

Při použití vnějšího referenčního signálu je nutné přepnout na desce generátoru vstup z krystalu na vnější vstup a vypnout napěťově řízený oscilátor VCO. To proveďte následujícím způsobem: jumper JP1 přepnout z polohy 2-3 do polohy 1-2 a u spínače S2 vypněte kontakty 2 a 3 a sepněte kontakt 1 a 4 (do polohy ON), jak ukazuje níže přiložený obrázek.

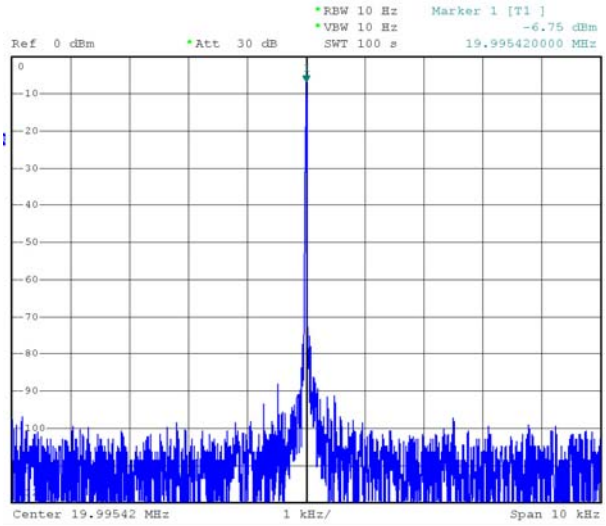


Pro vnější zdroj signálu Pro signál z vnitřního oscilátoru VCO

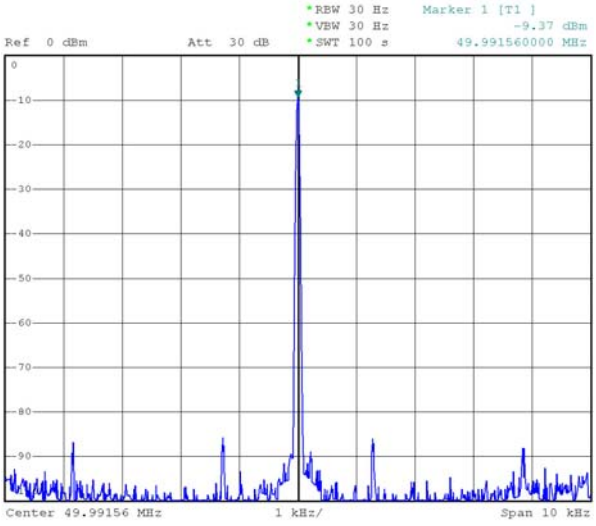
Nákres pro toto přepnutí a pro vrácení generátoru do původního nastavení je také na vnitřní straně víčka kovové stínící krabičky.

Příloha L

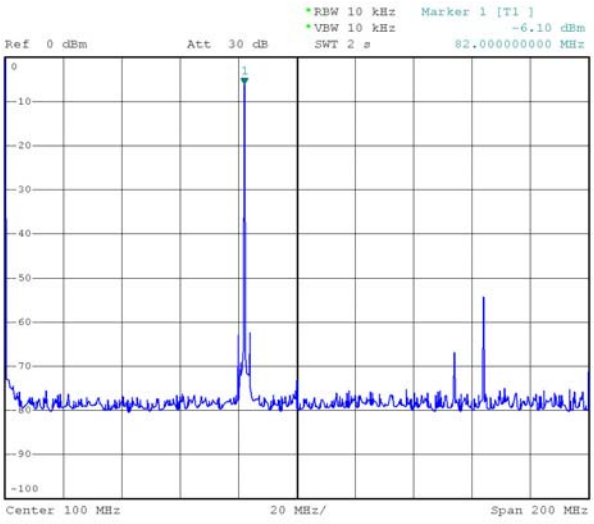
Spektra výstupního signálu generátoru



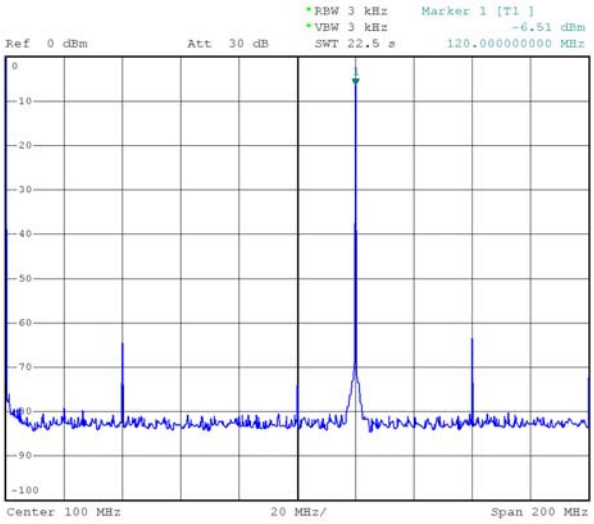
f_0 = 20 MHz, SFDR = 80 dB



f_0 = 50 MHz, SFDR = 70 dB

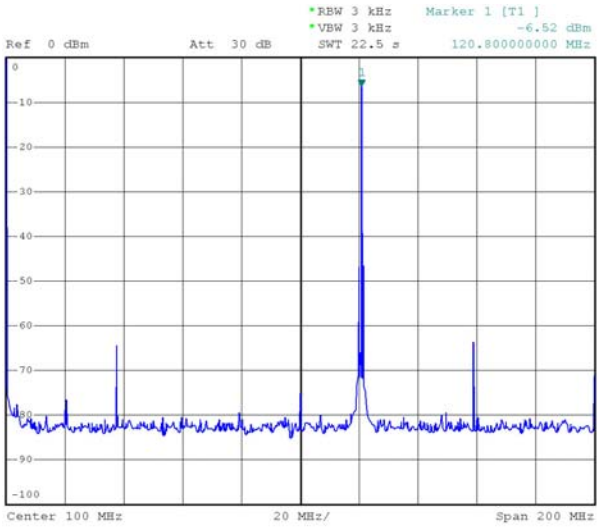


f_0 = 82 MHz, SFDR = 57 dB

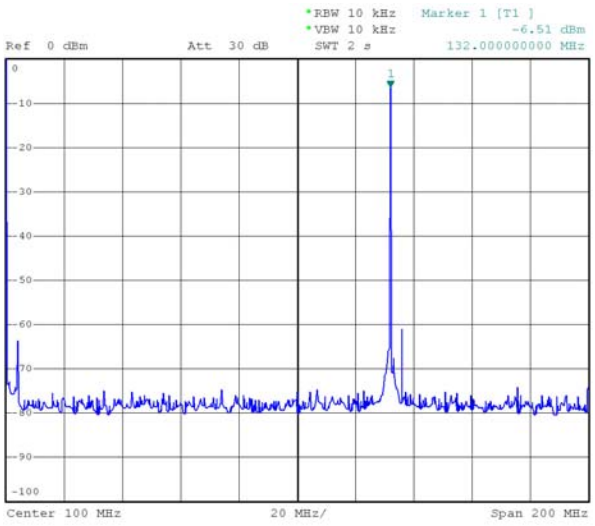


f_0 = 120 MHz, SFDR = 55 dB

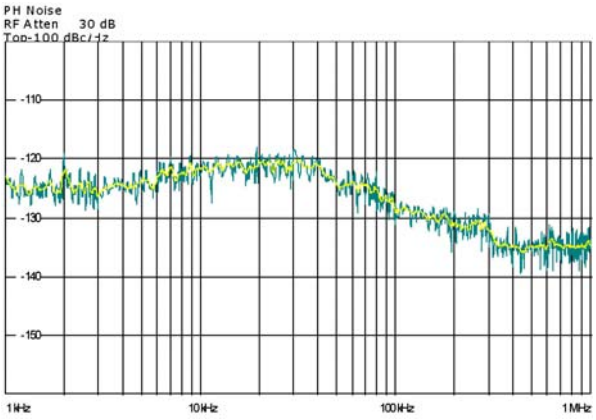
Poznámka: spektra jsou měřena se vstupním útlumovým členem 10 dB, úroveň spektrálních složek je tedy v reálu o 10 dB vyšší



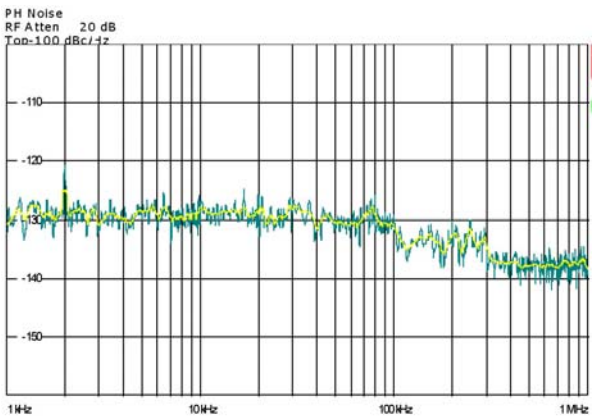
f_0 = 120,7 MHz, SFDR = 58 dB



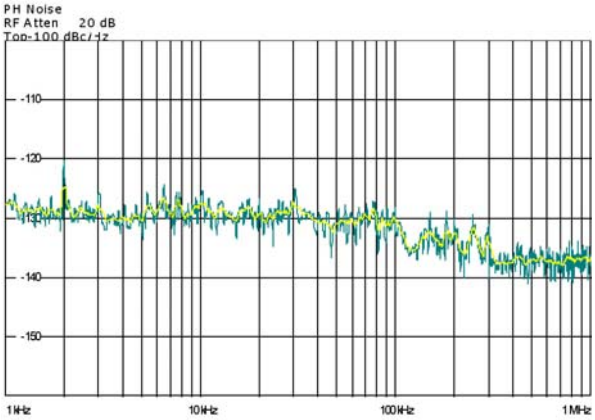
f_0 = 132 MHz, SFDR = 55 dB



Fázový šum, f_0 = 20 MHz



Fázový šum, f_0 = 82 MHz



Fázový šum, f_0 = 120,7 MHz

Poznámka: spektra jsou měřena se vstupním útlumovým členem 10 dB, úroveň spektrálních složek je tedy v reálu o 10 dB vyšší