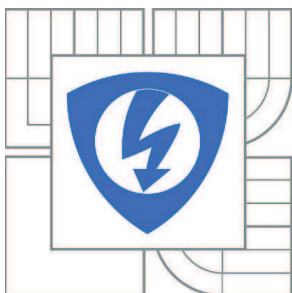


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

PŘÍJEM FM SIGNÁLU A ZPRACOVÁNÍ RDS POMOCÍ FPGA

FM RECEIVER AND RADIO DATA SYSTEM PROCESSING USING FPGA

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

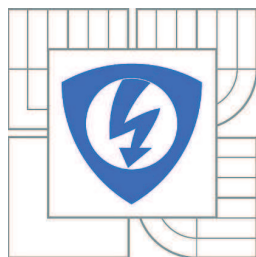
Bc. ONDŘEJ PETR

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. ROMAN MARŠÁLEK, Ph.D.

BRNO 2014



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student: Bc. Ondřej Petr

ID: 106708

Ročník: 2

Akademický rok: 2013/2014

NÁZEV TÉMATU:

Příjem FM signálu a zpracování RDS pomocí FPGA

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s obvody FPGA, s vývojovým prostředím Xilinx ISE a programováním obvodů FPGA. Seznamte se s možností příjmu FM signálu a informací RDS pomocí obvodu FPGA.

V prostředí ISE vytvořte jednotlivé bloky FM přijímače a jejich propojením realizujte příjem FM signálu a následně i zpracování RDS signálu. Činnost dílčích částí FM přijímače ověřte simulací.

Činnost Vámi vytvořeného přijímače ověřte na vývojové desce s FPGA Atlys. Realizujte také možnost přeladění tuneru a zobrazení informací RDS na displeji.

DOPORUČENÁ LITERATURA:

[1] PINKER, J. POUPA M. Číslicové systémy a jazyk VHDL. Praha: BEN – technická literatura, 2006.

[2] Standard RDS. [online]. 1998 – [cit. 5. prosince 2011]. Dostupné na WWW:
<ftp://ftp.rds.org.uk/pub/acrobat/rbds1998.pdf>

[3] ŠŤASTNÝ J. FPGA prakticky Realizace číslicových systémů pro programovatelná hradlová pole. Praha: BEN - technická literatura, 2010.

Termín zadání: 10.2.2014

Termín odevzdání: 23.5.2014

Vedoucí práce: doc. Ing. Roman Maršálek, Ph.D.

Konzultanti diplomové práce:

doc. Ing. Tomáš Kratochvíl, Ph.D.

Předseda oborové rady

ABSTRAKT

Tato semestrální práce je první částí diplomové práce na téma Příjem FM signálu a zpracování RDS pomocí FPGA.

V první polovině práce jsou zpracovávány informace potřebné před samotným návrhem a realizací. Ty lze rozdělit do tří témat. Prvním tématem je přijímaný signál VKV/FM+RDS, druhé téma zpracovává problém softwarového rádia a poslední téma se týká obvodů FPGA.

Druhá polovina se zabývá řešením implementace a přijímače rozhlasového vysílání VKV/FM a datového toku doplňkového systému RDS do číslicové podoby a jeho realizací na obvodu FPGA. Tato část také obsahuje měření dosažených výsledků.

KLÍČOVÁ SLOVA

Rozhlasové vysílání VKV/FM, doplňkový systém RDS, softwarové rádio, programovatelný obvod FPGA, A/D převodník, D/A převodník, CORDIC algoritmus.

ABSTRACT

This term paper is the second part of the dissertation FM RDS signal processing using FPGAs.

In the first half of the work is processed the information needed before the actual design and implementation. These can be divided into three themes. The first theme is the received signal VHF / FM + RDS, the second one handles the problem of software radio and last topic concerns FPGAs.

The second half deals with the solution implementation and receiver radio VHF / FM and bitrate optional RDS to digital form and its implementation on FPGA. This section also includes the measurement of results.

KEYWORDS

Radio broadcasting VHF / FM, RDS, software radio, FPGA programmable circuit, A/D convertor, D/A convertor, CORDIC algorithm.

PETR, O. *Přijem FM signálu a zpracování RDS pomocí FPGA*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2014. 51 s., diplomová práce. Vedoucí práce: doc. Ing. Roman Maršálek, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma Příjem FM signálu a zpracování RDS pomocí FPGA jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních anebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce doc. Ing. Romanu Maršálkovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne

.....

(podpis autora)

OBSAH

SEZNAM OBRÁZKŮ	3
SEZNAM TABULEK	4
1 ÚVOD	5
2 VKV/FM + RDS	6
2.1 VKV/FM.....	6
2.1.1 Rozhlasová stereofonie	6
2.1.2 Modulace	7
2.2 RDS (RADIO DATA SYSTEM).....	7
2.2.1 Typy informací přenášených v RDS.....	7
2.2.2 Struktura signálu RDS.....	8
2.2.3 Obecné formátování zpráv RDS a jejich četnost.....	10
2.2.4 Formátování konkrétních typů skupin RDS a zpráv, které obsahují	11
2.2.5 Modulace a kódování RDS.....	15
3 SOFTWAREVÉ A SOFTWAREVĚ DEFINOVANÉ RÁDIO	17
3.1 PŘIJÍMAČE S ANALGOVÝM ZPRACOVÁNÍM	17
3.2 PŘIJÍMAČE S ČÍSLICOVÝM ZPRACOVÁNÍM	17
3.2.1 Ideální SW přijímač	18
3.3 ARCHITEKTURY REÁLNÝCH PŘIJÍMAČŮ S ANALGOVĚ ČÍSLICOVÝM ZPRACOVÁNÍM.....	18
3.3.1 Superheterodyn	18
3.3.2 Přímá konverze – Homodyn	19
3.3.3 Nízká IF.....	20
3.3.4 Přímá konverze.....	21
3.3.5 Pásmové vzorkování.....	21
3.4 REALIZOVANÁ ARCHITEKTURA.....	22
4 PROGRAMOVATELNÉ OBVODY - FPGA	23
4.1 FPGA (FIELD PROGRAMMABLE GATE ARRAYS)	23
4.1.1 Základní architektura FPGA.....	23
4.1.2 Specializované doplňkové prvky FPGA	24
4.1.3 Dostupné FPGA obvody.....	24
4.1.4 Konfigurace FPGA – ISI	24
4.2 HW PRO REALIZACI PŘIJÍMAČE	25
4.2.1 Vývojová deska.....	25
4.2.2 FPGA.....	26
4.2.3 Modul A/D D/A převodníku.....	27
5 IMPLEMENTACE BLOKŮ V ČÍSLICOVÉ PODOBĚ.....	28
5.1 IMPLEMENTACE BLOKŮ PŘIJÍMAČE.....	28
5.1.1 Implementace FM demodulátoru.....	28
5.1.2 Implementace RDS demodulátoru	30
5.1.3 Filtrace složek FM signálu	30
5.1.4 RDS dekodér	30
5.2 IMPLEMENTACE ZÁKLADNÍCH BLOKŮ V ČÍSLICOVÉ PODOBĚ	30
5.2.1 Bloky s analogovou obdobou	30
5.2.2 Bloky bez analogové obdoby.....	31
6 REALIZACE PŘIJÍMAČE VKV FM + RDS	32
6.1 ANALGOVÁ ČÁST PRO REALIZACI PŘIJÍMAČE	32
6.1.1 Použité antény a zesilovače.....	32

6.1.2	Analogový filtr pro VKV rozhlasové vysílání	33
6.2	REALIZACE PŘIJMU FM SIGNÁLU A JEHO DEMODULACE.....	33
6.2.1	Realizace ladění přijímače.....	33
6.2.2	Realizace demodulátoru pro VKV/FM1	34
6.3	REALIZACE FIR FILTRŮ	36
6.3.1	Přenosová charakteristika filtru vstupního signálu.....	36
6.3.2	Přenosová charakteristika filtru IQ demodulátoru.....	37
6.3.3	Přenosová charakteristika filtru pro oddělení monofonního audio signálu	37
6.3.4	Přenosová charakteristika filtru pro oddělení monofonního RDS složky.....	37
6.3.5	Přenosová charakteristika filtru RDS demodulátoru	38
6.3.6	Přenosová charakteristika filtru pro oddělení pilotního signálu	38
6.4	REALIZACE PŘIJMU RDS.....	39
6.4.1	Realizace demodulace a dekódování RDS.....	39
6.4.2	Realizace skupinové synchronizace zprávy RDS	41
6.4.3	Realizace zpracování RDS zpráv	41
6.5	DALŠÍ OBVODY REALIZOVANÉHO PŘIJÍMAČE.....	42
6.5.1	Ovladač LCD displeje	42
6.5.2	ADC zesílení vstupního signálu.....	42
6.5.3	Debouncer	42
6.6	HODINOVÉ SIGNÁLY	42
6.7	OVLÁDACÍ PRVKY PŘIJÍMAČE.....	43
7	VÝSLEDKY MĚŘENÍ A SIMULACÍ	44
7.1	MĚŘENÍ ANALOGOVÝCH ČÁSTÍ PŘIJÍMAČE	44
7.2	VÝSLEDKY MĚŘENÍ DEMODULOVANÉHO SIGNÁLU.....	44
7.3	SIMULACE A TESTOVÁNÍ ZPRACOVÁNÍ RDS SIGNÁLU	46
7.3.1	Simulace skupinové synchronizace bitů RDS.....	46
7.3.2	Ověření zpracování a zobrazení zpráv služby RDS.....	48
8	ZÁVĚR.....	49
	LITERATURA	50
	SEZNAM ZKRATEK	51

SEZNAM OBRÁZKŮ

OBRÁZEK 1 ZDVIHOVÝ DIAGRAM STEREOFONNÍHO SIGNÁLU (PŘEVZATO Z [1]).....	6
OBRÁZEK 2 STRUKTURA KÓDOVÁNÍ RDS (PŘEVZATO Z [1]).	9
OBRÁZEK 3 FORMÁT ZPRÁVY A ADRESOVÁNÍ RDS (PŘEVZATO Z [1],[4]).	10
OBRÁZEK 4 ROZLOŽENÍ RDS ZPRÁVY VE SKUPINĚ 0A.....	12
OBRÁZEK 5 ROZLOŽENÍ RDS ZPRÁVY VE SKUPINĚ 2A.....	13
OBRÁZEK 6 ROZLOŽENÍ RDS ZPRÁVY VE SKUPINĚ 2B.....	14
OBRÁZEK 7 ROZLOŽENÍ RDS ZPRÁVY VE SKUPINĚ 4A.....	14
OBRÁZEK 8 ČASOVÝ PRŮBĚH BIFÁZOVÉHO SYMBOLU (PŘEVZATO [4]).	15
OBRÁZEK 9 SCHÉMA ANALOGOVÉHO (HW) PŘIJÍMAČE – DETEKTOROVÝ PŘIJÍMAČ (PŘEVZATO Z [1]).	17
OBRÁZEK 10 SCHÉMA IDEÁLNÍHO SW PŘIJÍMAČE	18
OBRÁZEK 11 BLOKOVÉ SCHÉMA ARCHITEKTURY SUPERHETERODYNU (PŘEVZATO Z [1]).	19
OBRÁZEK 12 BLOKOVÉ SCHÉMA ARCHITEKTURY HOMODYNU (PŘEVZATO Z [1]).	20
OBRÁZEK 13 BLOKOVÉ SCHÉMA ARCHITEKTURY S NÍZKOU IF (PŘEVZATO Z [1]).	20
OBRÁZEK 14 BLOKOVÉ SCHÉMA ARCHITEKTURY S PŘÍMOU KONVERZÍ (PŘEVZATO Z [1]).....	21
OBRÁZEK 15 PRINCIP PÁSMOVÉHO VZORKOVÁNÍ (PŘEVZATO Z [3]).	22
OBRÁZEK 16 ZÁKLADNÍ BLOKOVÁ ARCHITEKTURA FPGA (PŘEVZATO Z [2]).	23
OBRÁZEK 17 KOMUNIKAČNÍ ROZHRANÍ A PERIFERIE PŘIPOJENÉ K FPGA OBVODU. [5].	26
OBRÁZEK 18 ZÁVISLOST SNR AD PŘEVODNÍKU NA VSTUPNÍM KMITOČTU (PŘEVZATO Z [7])	27
OBRÁZEK 19 BLOKOVÉ SCHÉMA IMPLEMENTOVANÉHO PŘIJÍMAČE.....	28
OBRÁZEK 20 BLOKOVÉ SCHÉMA IQ DEMODULÁTORU	28
OBRÁZEK 21 ZAPOJENÍ KVADRATURNÍHO DEMODULÁTORU.....	29
OBRÁZEK 22 ZAPOJENÍ DEMODULÁTORU S VYUŽITÍM CORDIC ALGORITMU.....	29
OBRÁZEK 23 BLOKOVÉ SCHÉMA DSB DEMODULÁTORU.	30
OBRÁZEK 24 PŘIBLIŽNÁ KMITOČTOVÁ CHARAKTERISTIKA ANALOGOVÉHO FILTRU TYPU PP.....	33
OBRÁZEK 25 SPEKTRUM SIGNÁLU ZA AD PŘEVODNÍKEM.	33
OBRÁZEK 26 PŘENOSOVÁ CHARAKTERISTIKA VSTUPNÍHO FILTRU.	36
OBRÁZEK 27 PŘENOSOVÁ CHARAKTERISTIKA FILTRU IQ DEMODULÁTORU.	37
OBRÁZEK 28 PŘENOSOVÁ CHARAKTERISTIKA FILTRU PRO ODDĚLENÍ MONOFONNÍHO AUDIO SIGNÁLU.....	37
OBRÁZEK 29 PŘENOSOVÁ CHARAKTERISTIKA FILTRU PRO ODDĚLENÍ MONOFONNÍHO RDS SLOŽKY	38
OBRÁZEK 30 PŘENOSOVÁ CHARAKTERISTIKA FILTRU RDS DEMODULÁTORU	38
OBRÁZEK 31 PŘENOSOVÁ CHARAKTERISTIKA FILTRU PRO ODDĚLENÍ PILOTNÍHO SIGNÁLU.....	39
OBRÁZEK 32 SCHÉMA REALIZOVANÉHO DIFERENČNÍHO DEKODÉRU.....	40
OBRÁZEK 33 ROZMÍSTĚNÍ OVLÁDACÍCH PRVKŮ NA VÝVOJOVÉ DESCE.....	43
OBRÁZEK 34 SPEKTRUM SIGNÁLU PŘIJÍMANÉHO DIPÓLEM (VLEVO) A VNITŘNÍ ANTÉNOU CALEARO 7697015 DOPLNĚNOU O FILTR VKV/FM PÁSMA (VPRAVO).	44
OBRÁZEK 35 ZMĚŘENÉ SPEKTRUM DEMODULOVANÉHO SIGNÁLU.....	45
OBRÁZEK 36 ZMĚŘENÉ SPEKTRUM SIGNÁLU ZA FILTREM MONOFONNÍ SLOŽKY.	45
OBRÁZEK 37 ZMĚŘENÉ SPEKTRUM SIGNÁLU ZA FILTREM PILOTNÍHO KMITOČTU.....	45
OBRÁZEK 38 SPEKTRUM SIGNÁLU ZA FILTREM SLOŽKY RDS.	46
OBRÁZEK 39 ČASOVÝ PRŮBĚH DEMODULOVANÉHO RDS SIGNÁLU.	46
OBRÁZEK 40 VÝSLEDKY SIMULACE SKUPINOVÉ SYNCHRONIZACE RDS	47

SEZNAM TABULEK

TABULKA 1 TABULKA POŽADOVANÉ ČETNOSTI VÝSKYTU VÝZNAMNÝCH INFORMACÍ V DATOVÉM TOKU RDS A TYPŮ SKUPIN, V NICHŽ SE VYSKYTUJÍ (PŘEVZATO Z [4]).	10
TABULKA 2 TABULKA TYPICKÉHO ROZLOŽENÍ PŘENÁŠENÝCH SKUPIN ZA PŘEDPOKLADU SPLNĚNÍ MINIMÁLNÍ OPAKOVACÍ SAZBY PRO HLAVNÍ FUNKCE RDS (PŘEVZATO Z [4]).	11
TABULKA 3 VÝZNAM BITŮ TP A TA SIGNALIZUJÍCÍCH DOPRAVNÍ ZPRAVODAJSTVÍ (PŘEVZATO Z [4]).	12
TABULKA 4 VÝZNAM DI ZPRÁVY (PŘEVZATO Z [4]).	13
TABULKA 5 PRINCIP DIFERENCIÁLNÍHO KÓDOVÁNÍ (PŘEVZATO Z [4]).	15
TABULKA 6 PŘEHLED BLOKŮ OBVODU SPARTAN 6 LX45 V POUZDŘE CSG324C[6].	26
TABULKA 7 TESTOVACÍ SEKVENCE ZE STANDARDU RDS.	47

1 ÚVOD

I v dnešní době digitalizace analogových vysílání je frekvenčně modulované rozhlasové vysílání na velmi krátkých vlnách VKV FM, provozované v pásmu od 87,5 do 108 MHz, nejvíce využívaným rozhlasovým vysíláním v České Republice. Tento systém poskytuje několik doplňkových služeb jako RDS a ARI využívaných především v automobilových přijímačích. K přenosu těchto doplňkových služeb je využíván subnosný kmitočet 57 KHz. Digitální podoba rozhlasového systému (DAB) je v současné době použita spíše lokálně a jeho celoplošná realizace zatím není realizována.

Účelem diplomové práce, na téma Příjem FM signálu a zpracování RDS pomocí FPGA, je za využití principů softwarového rádia navrhnout přijímač rozhlasového vysílání VKV-FM obsahující dekodér zpráv RDS, který bude využívat v co nejvyšší míře číslicového zpracování. A realizovat tento přijímač na programovatelném obvodu FPGA pomocí vývojového prostředí Xilinx ISE.

Cílem této práce je zvolit vhodnou variantu implementace softwarového rádia. Ve vývojovém prostředí Xilinx ISE touto zvolenou variantou realizovat příjem rozhlasového vysílání v pásmu VKV na FPGA obvodu. Dalšími cíli je u přijatého rozhlasového vysílání demodulovat a dekódovat RDS signál a z jeho datového toku zachytit a zobrazit jednotlivé zprávy systému RDS.

2 VKV/FM + RDS

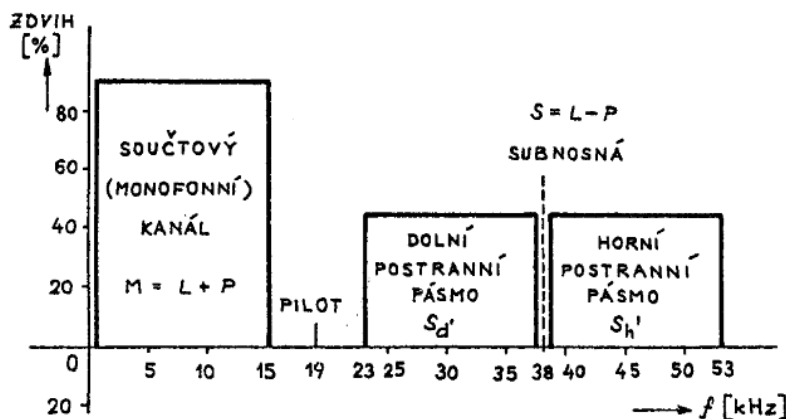
Rozhlasové vysílání VKV/FM využívá pásmo 87,5 MHz až 108,0 MHz a umožňuje jak stereofonní, tak monofonní příjem vysílaného programu. Také může zahrnovat systém RDS (radio data system) pro přenos doplňkových informací za účelem zlepšení funkčnosti přijímače a poskytnutí doplňkových služeb uživateli.

2.1 VKV/FM

V České Republice je od roku 1966 v provozu pro přenos stereofonního signálu systém s pilotním kmitočtem.

2.1.1 Rozhlasová stereofonie

Jak už bylo zmíněno, v ČR je využito systému s pilotním kmitočtem. Parametry tohoto systému jsou zvoleny, aby rozložení modulačního spektra odpovídalo jak kmitočtovému tak časovému multiplexu. A proto je možné mezi přijímací a vysílací stranou libovolně kombinovat oba tyto principy stereofonního kódování. Složení modulačního signálu tohoto systému je patrné ze zdvihového diagramu (Obrázek 1).



Obrázek 1 Zdvižový diagram stereofonního signálu (převzato z [1]).

Modulační signál systému s pilotním kmitočtem je tedy složen z následujících komponent:

Součtové složky M tvořené součtem levého a pravého kanálu ($M = 0,5L + 0,5P$). Tímto součtem je vytvořen monofonní signál, který zajišťuje kompatibilitu s monofonními přijímači. Součtový signál M využívá 90% maximálního zdvihu frekvenční modulace.

Druhou komponentou je rozdílový signál S ($S = 0,5L - 0,5P$) přidáný do modulačního signálu ve formě dvou postranních pásem amplitudové subnosné, u níž je potlačen nosný kmitočet. Tato subnosná odpovídá druhému harmonickému kmitočtu pilotního signálu tedy 38 KHz. Stejně jako u součtového signálu M využívá rozdílový signál S 90% maximálního zdvihu frekvenční modulace.

Další komponentu tvoří již zmíněný pilotní signál o kmitočtu 19 kHz (± 2 kHz) určený pro obnovení subnosných kmitočtů. Pilotní signál dosahuje 8 až 10% maximálního zdvihu frekvenční modulace.

Komponentu modulačního signálu tvoří také potlačený subnosný kmitočet 38 kHz, (± 4 kHz) na němž je modulován rozdílový signál S. Jeho úroveň nepřesahuje 1% maximálního zdvihu frekvenční modulace.

Další komponentu tvoří v případě jejího využití služba RDS, která má obdobnou formu jako rozdílový signál. Její konkrétní popis je v následující kapitole.

2.1.2 Modulace

U systému s pilotním kmitočtem je využíváno širokopásmové FM modulace, u níž je v ČR používán kmitočtový zdvih 75kHz. Nevýhodou této modulace je pokles amplitudy modulačních složek v horní části modulačního spektra, což vede ke snížení poměru signálu k šumu S/N pro vyšší přenášené kmitočty.

Tento problém je přidáním obvodu preemfáze k stereofonnímu kodéru. Ten zajišťuje konstantní nárůst amplitudy vyšších složek modulačního spektra. V dekodéru je poté inverzní obvod deemfáze realizující naopak konstantní pokles amplitudy vyšších složek modulačního spektra. Podmínkou pro tuto ekvalizaci, zajišťující konstantní S/N po celém přenášeném rozsahu kmitočtů, je stejná strmota nárůstu i poklesu amplitudy a stejný lomový kmitočet f_m preemfáze a deemfáze. Jako obvody preemfáze se používají derivační články RL nebo RC, jejichž časová konstanta je pro ČR 75 μ s. Této hodnotě odpovídá lomový kmitočet 2122,1 Hz. Tato ekvalizace je stejná jak pro součtový signál M, tak pro rozdílový signál S.

Signály L, P, M a S mají stejnou šířku pásma a to 30 Hz až 15 kHz.

2.2 RDS (Radio Data System)

RDS je systém umožňující přenos doplňkových informací v digitální formě. Se současným systémem VKV rozhlasu s pilotním kmitočtem lze spolu se stávajícím součtovým a rozdílovým signálem přenášet tato doplňková digitální data, a to bez požadavku na rozšíření přenosového pásma a s ním související změnu stávajících kanálů.

2.2.1 Typy informací přenášených v RDS

Typy přenášených digitálních informací se v systému RDS dělí podle jejich důležitosti do tří následujících skupin:

Funkce signálů s nejvyšší důležitostí tvořící první skupinu jsou:

- **PI** (Program Identification) – jeho kód umožňuje rozlišit území, na kterém je dotyčný kanál vysílán a také identifikaci programového okruhu.
- **TP** (Traffic Program) – tento dvoustavový signál informuje o příjmu dopravních informací z naladěného kanálu. Pomocí tohoto signálu je možné automaticky přeladit přijímač jen na kanály s dopravním zpravodajstvím.
- **PTY** (*Program Type*) – určuje typ přenášeného programu pomocí hodnoty

čísla (1 až 31). Tím je umožněno ladění přijímače jen na zvolený typ vysílaného programu.

Tato data nesoucí informace o přijímaném kanálu jsou z důvodu jejich návaznosti v dalších aplikacích v přijímači vysílána vždy.

V druhé skupině priority jsou zařazeny následující informace pro uživatele:

- **AF** (Alternative Frequencies) – v tomto typu služby se přenáší až 25 čísel alternativních kanálů, na kterých běží v dané oblasti stejný programový okruh. Toho se využívá například u autorádií, u nichž se při jízdě automaticky přeladuje na nejsilnější signál v daném programovém okruhu.
- **TA** (Traffic Announcement) – jde o signál přenášený po dobu vysílání dopravních informací v dané oblasti, který umožňuje poslech těchto informací i v době, kdy přístroj například přehrává hudbu ze záznamového média.
- **PS** (Program Service) – přenáší se v něm text s délkou osmi alfanumerických znaků, který uživatele informuje o právě přijímaném okruhu či také o názvu stanice, kterou právě poslouchá.
- **DI** (Decoder Identification) – obsahuje informaci o aktuálním provozním stavu kodéru, pomocí něhož je řízen dekodér přijímače.

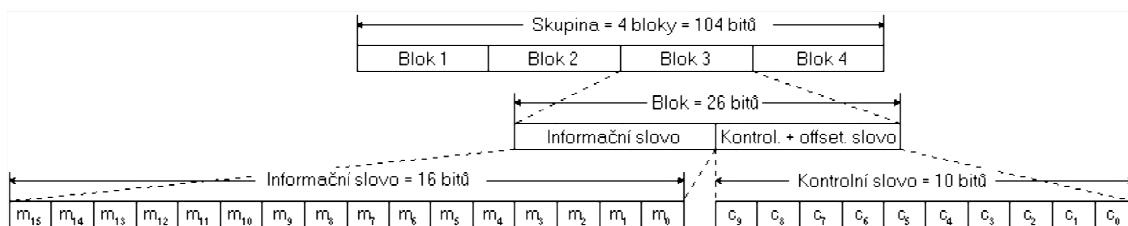
Poslední třídu priority tvoří ostatní signály:

- **M/S** (*Music/Speech Switch*) – obdobně jako PTY pomocí dvoustavového signálu rozlišuje, zda vysílání obsahuje řeč či hudbu.
- **PIN** (*Program Item Number*) – přenáší identifikační kód umožňující přijímači reagovat na změnu vysílaného programu.
- **TDC** (*Transparent Data Channel*) – přenáší alfanumerické znaky textu určené k zobrazení na displeji přijímače.
- **RT** (*RadioText*) – obdobně jako TDC přenáší text pro displej přijímače.
- **EON** (*Enhanced Other Networks*) – přenáší informace o dalších sítích (až 25 kanálů pro 8 programových okruhů). Požaduje spolupráci vysílačů a umožňuje například příjem dopravních informací jen z nejbližšího vysílače.
- **CT** (*Clock-Time and Date*) – přenáší aktuální datum a čas pro automatickou korekci hodin přijímače.
- **IN** (*In-Home Applications*) – přenos servisních informací pro obsluhu vysílače.
- **RP** (*Radio Paging*) – pro provoz jednosměrného systému přenosu zpráv (málo využívaný pro malou kapacitu systému).

2.2.2 Struktura signálu RDS

Datový tok se dělí do skupin bitů o délce 104 bitů. Skupina je dále rozdělena na čtyři bloky po 26 bitech, které obsahují šestnácti bitové informační slovo a deseti bitové kontrolní slovo viz (Obrázek 2). Jako první se vždy u každého slova vysílá MSB, tedy bit

s největší vahou.



Obrázek 2 Struktura kódování RDS (převzato z [1]).

Kontrolní slovo určené k detekci a opravě chyb je vždy za informačním slovem, které má chránit. Kontrolní slovo vzniká dvojkovým součtem (modulo 2) následujících dvou složek.

První složka vzniká následujícím postupem: 16 bitové informační slovo se vynásobí x^{10} a poté dvojkově vydělí (modulo 2) polynomem $g(x) = x^{10} + x^8 + x^7 + x^5 + x^4 + x^3 + 1$. Zbytek po tomto dělení tvoří první složku pro výpočet kontrolního slova.

Alternativou pro výpočet první složky kontrolního slova je použití generující matice G odvozené z generujícího polynomu $g(x)$.

$$G = \begin{pmatrix} 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 1 \\ 1 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 1 & 1 \\ 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 1 \\ 1 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 & 0 & 1 & 1 & 1 & 0 & 1 \\ 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 \\ 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{pmatrix}$$

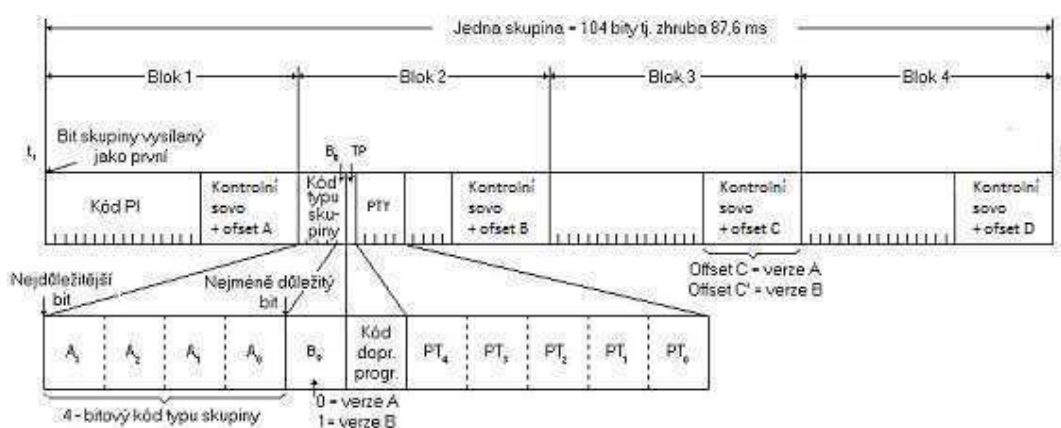
Šestnácti bitové informační slovo je zapsáno do řádkového vektoru \mathbf{m} a vynásobeno generující maticí G , získáme tak řádkový vektor \mathbf{c} odpovídající první složce kontrolního slova. Rozdíl oproti běžnému násobení matice a vektoru spočívá v tom, že k získání jednotlivých prvků výsledného vektoru \mathbf{c} je místo běžného sčítání použito sčítání modulo 2. Následující rovnice ukazuje získání jednoho bitu první části kontrolního slova c_i .

$$c_i = \left((m_1 * G_{1,i}) \oplus (m_2 * G_{2,i}) \oplus (m_3 * G_{3,i}) \oplus \dots \oplus (m_9 * G_{9,i}) \right)$$

Druhou složkou je 10 bitový binární řetězec $d(x)$ takzvané „ofsetové slovo“. Účelem přidání tohoto offsetu je v přijímači zajistit skupinovou a bitovou synchronizaci. Tento přidávaný offset lze v přijímači vrátit, a tudíž není změněna funkce detekce a ochrany chyb.

2.2.3 Obecné formátování zpráv RDS a jejich četnost

Systém RDS má celkem 16 typů skupin, které se dále dělí na verze A nebo B. První blok u všech skupin vždy obsahuje identifikaci naladěného programu pomocí PI kódu. Konkrétní přenášená skupina je určena pomocí prvních pěti bitů následujícího druhého bloku. První čtyři bity tohoto bloku tvoří kód určující, která z 16 skupin je právě vysílána a pátý bit udává, zda se jedná o typ A „0“ či typ B „1“. Šestý bit je určen pro indikaci dopravního hlášení PT. Poté následuje pětice bitů určující typ přenášeného programu PTY. Tato část druhého bloku je stejně jako první blok stejná pro všechny skupiny. Poslední pětice bitů je využita v závislosti na přenášené skupině (Obrázek 3).



Obrázek 3 Formát zprávy a adresování RDS (převzato z [1],[4]).

Pro nejvýznamnější funkce signálu RDS jsou v tabulce (Tabulka 1) zaznamenány jejich hodnoty četnosti výskytu pro správnou činnost těchto funkcí RDS. Dále jsou také v této tabulce uvedeny skupiny, v nichž jsou tyto funkce RDS obsaženy.

Tabulka 1 Tabulka požadované četnosti výskytu významných informací v datovém toku RDS a typů skupin, v nichž se vyskytují (převzato z [4]).

Funkce přenášených informací	Typy skupin	Počet opakování za sekundu
PI	všechny	11,4
PTY	všechny	11,4
PT	všechny	11,4
PS	0A, 0B	1
AF	0A	4
TA	0A, 0B, 14B, 15B	4
DI	0A, 0B, 15B	1
M/S	0A, 0B, 15B	4
RT	2A, 2B	0,2
EON	14A	<2

Hodnoty u signálů funkcí PI, PTY a PT spadající do první třídy priority jsou odvozeny z minimální hodnoty jejich výskytu. Tyto hodnoty splňuje jakékoli složení přenášených skupin a jejich výskyt je obvykle častější. Pokud je k přenosu rádia textu (RT) o 64 znacích použita skupina 2A, stoupne doba minimální četnosti na 3,2 skupin/s. Pro funkci EON je uvedena maximální možná požadovaná četnost, její reálná hodnota se odvíjí od toho, že všechna data pro funkci EON se musí přenést v čase menším než dvě minuty.

Pro splnění těchto požadavků na četnost výskytu skupin dat pro jednotlivé funkce, je v následující tabulce (Tabulka 2) zaznamenáno typické rozložení skupin dat přenášených signálem RDS.

Tabulka 2 Tabulka typického rozložení přenášených skupin za předpokladu splnění minimální opakovací sazby pro hlavní funkce RDS (převzato z [4]).

Typ skupiny	Funkce	Typický podíl na vysílání
0A nebo 0B	PI, PS, PTY, PT, AF (pro 0A dále TA, DI, M/S)	40%
1A nebo 1B	PI, PTY, PT, PIN	10%
2A nebo 2B	PI, PTY, PT, RT	15%
14A nebo 14B	PI, PTY, PT, EON	10%
Ostatní skupiny	Ostatní funkce RDS	25%

Hodnota uvedená v této tabulce pro skupiny 2 platí jen v případě, že je funkce RT rádio text přenášena v skupině 2A má 32 znaků.

2.2.4 Formátování konkrétních typů skupin RDS a zpráv, které obsahují

Tato podkapitola zaměřena na podrobné rozložení skupin RDS a v nich obsažených typů zpráv, které jsou v realizovaném přijímači zpracovávány. V následující podkapitole jsou všechny bity číslovány podle pořadí, ve kterém jsou vysílány v jednotlivých skupinách tedy zleva doprava.

Struktura zprávy PI

Zpráva PI obsahuje tři základní zejména geografické informace o vysílaném programu. První čtveřice bitů vyjadřuje kód země, v níž je program vysílán. Tento kód je přidělen tak aby země se stejným kódem od sebe byly co nejvíce vzdálené. Konkrétní země lze určit pomocí upřesňujícího kódu ECC z PI zprávy vysílané jako posledních 8 bitů v třetím bloku varianty B některých skupin. Česká Republika má kód 2, který sdílí například s Irskem a Estonskem, a hodnota ECC je pro ČR rovna 2.

Následující čtveřice bitů značí oblast pokrytí vysílaného programu. Nulová hodnota značí lokální vysílání z jednoho vysílače, 1 mezinárodní vysílání, 2 národní vysílání, 3 značí stejné vysílání pro velkou část dané země a zbylých dvanáct hodnot je vyhrazeno pro lokální či regionální vysílání z více vysílačů.

Posledních osm bitů označuje číslo programu od 1 do 255, nulová hodnota se nepoužívá.

Význam TP a TA

Pomocí této dvojice bitů jsou přenášeny informace o vysílání dopravního zpravodajství na aktuálním nebo jiném programu. TP je vysílán s každou zprávou TA v obou variantách skupin 0 a 15. Jejich význam je vysvětlen v tabulce (Tabulka 3).

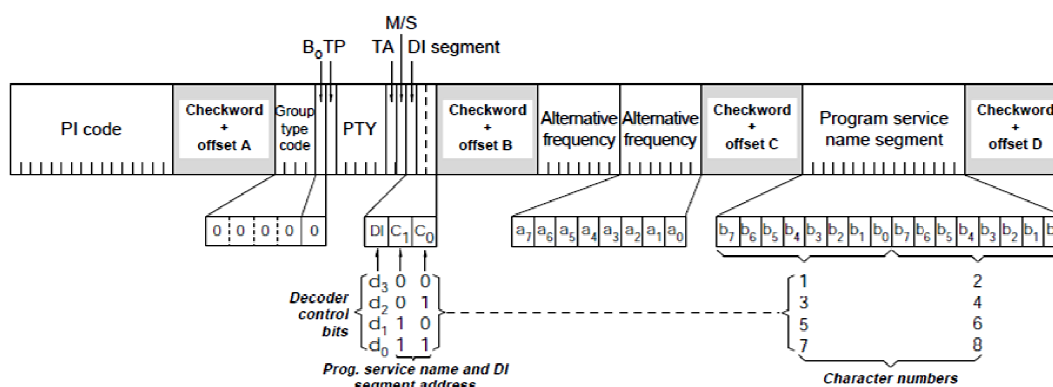
Tabulka 3 Význam bitů TP a TA signalizujících dopravní zpravodajství (převzato z [4]).

TP	TA	Význam
0	0	Neobsahuje dopravní zprávy ani informace o jeho přítomnosti v jiném programu.
0	1	Program obsahuje informace o programu vysílajícím dopravní zprávy.
1	0	Program obsahuje informace o dopravních zprávách, ale nejsou vysílány.
1	1	Jsou přenášeny dopravní zprávy.

Obsah PTY

Pětice bitů označuje aktuální programový obsah vysíláný na daném kanálu například informace (3), počasí (16), sport (4), rocková hudba (10), popová hudba (11) a další. Celkem je definováno 31 druhů vysílaného obsahu. Kód 00000 značí, že obsah programu není specifikovaný.

Formátování RDS správy skupiny 0A, 0B a struktura zpráv AF a PS



Obrázek 4 Rozložení RDS zprávy ve skupině 0A.

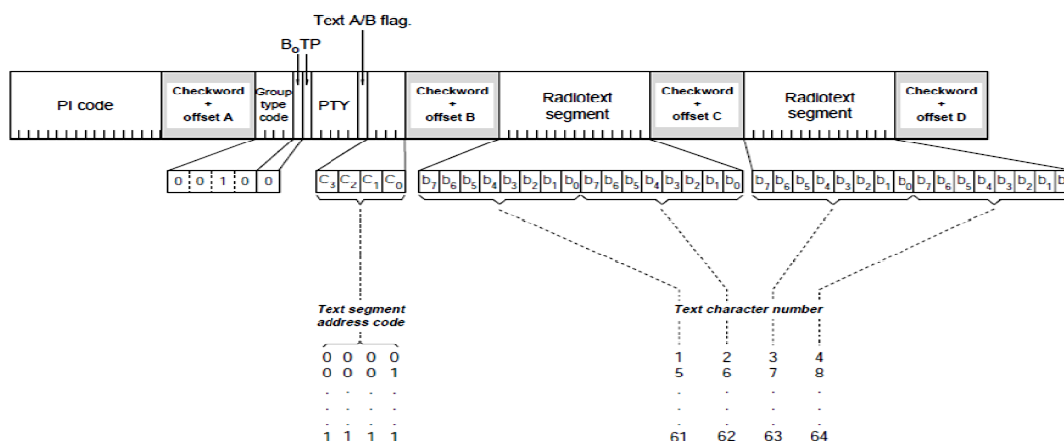
Dvanáctý přenášený bit z druhého bloku je u skupiny 0A (Obrázek 4) určen v závislosti na stavu TP(6b.) k indikaci probíhajícího dopravního hlášení TA nebo indikaci o informacích o jiném kanálu, na němž právě probíhá dopravní hlášení. Za ním následující bit indikuje vysílanou řeč (log 0) nebo hudbu (log 1). Dále je přenášen bit DI segmentu, jehož význam závisí na hodnotě posledních adresných dvou bitů, pro běžný provoz jsou nejdůležitější informace z adresy d₀ ad₃ zaznamenané v tabulce (Tabulka 4).

Tabulka 4 Význam DI zprávy (převzato z [4]).

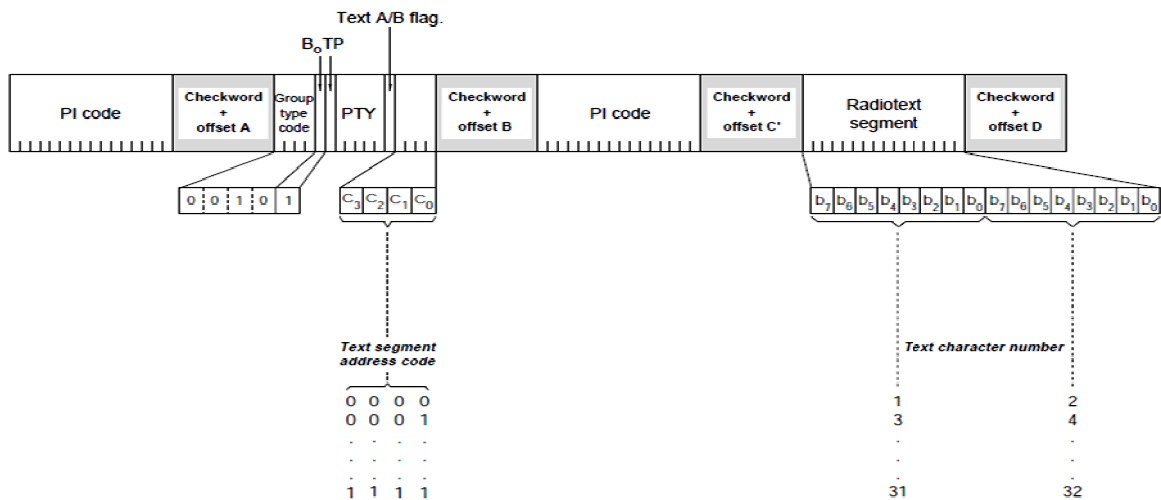
Nastavení	Význam
Bit $d_0 - \log 0$	Mono
Bit $d_0 - \log 1$	Stero
Bit $d_3 - \log 0$	Statické PTY
Bit $d_3 - \log 1$	Odkazuje na zapnutou dynamickou PTY nebo EON v skupině 13.

Tyto dva adresné bity zároveň udávají i pořadí dvou po sobě jdoucích alfanumerických znaků zprávy PS (název programu) přenášených v čtvrtém bloku skupiny. V třetím bloku skupiny pro skupinu 0B opakuje PI kód a v skupině 0A jsou pomocí osmi bitového čísla zaslány informace o dvou alternativních kmitočtech s přenášeným programem. Pro toto přímé vyjádření alternativního kmitočtu jsou používány numerické hodnoty 1 až 204 označující kmitočty 87,6 MHz až 107,9 MHz s krokem 0,1 MHz hodnota nula znamená nepoužívaný alternativní kmitočet a ostatní hodnoty jsou vyhrazen pro kódy jiného významu.

Formátování RDS správy skupiny 2A a 2B



Obrázek 5 Rozložení RDS zprávy ve skupině 2A.



Obrázek 6 Rozložení RDS zprávy ve skupině 2B.

Obě varianty skupiny (Obrázek 5, Obrázek 6) přenáší jednotlivé znaky rádio-textu RT, který obsahuje 64 znaků pro skupinu 2A nebo 32 znaků pro skupinu 2B. Každý znak obdobně jako u PS odpovídá osmibitovému kódu ASCII tabulky. U varianty A jsou pro přenos zprávy použity 3 a 4 blok, u varianty B pouze 4 blok RDS zprávy a třetí blok je vyhrazen pro PI. Adresa jednotlivých znaků je udávána pomocí posledních 4 bitů druhého bloku. A bit označený jako (Text A/B flag.) udává pokyn pro vymazání paměti rádio-textu.

Formátování RDS správy skupiny 4A

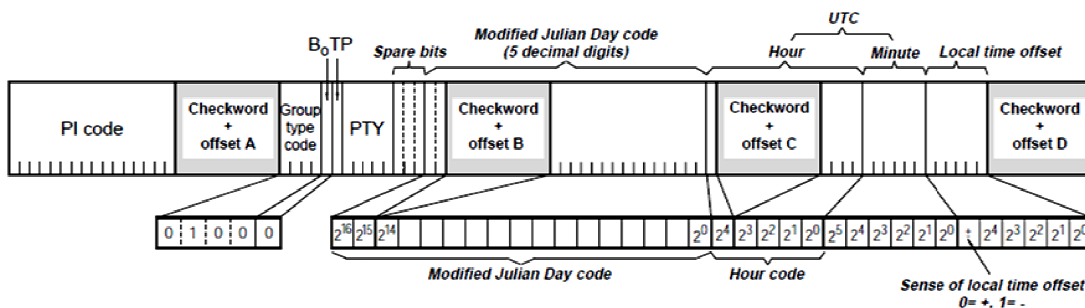


Figure 20: Clock-time and date transmission - Type 4A group

Obrázek 7 Rozložení RDS zprávy ve skupině 4A.

Tato skupina (Obrázek 7) obsahuje informace o aktuálním čase, časovém pásmu a datu. Používá se pro aktualizaci času u přijímačů zobrazujících čas, jako jsou autorádia a radiobudíky. Rozložení jednotlivých hodnot je dobře patrné z obrázku (Obrázek 7). Aktuální hodina v 24 hodinovém formátu, minuta a časový posuv jsou zaznamenány přímo číselnou hodnotou odpovídající bitů. Aktuální datum a číslo týdne v roce je nutné získat pomocí série výpočtů z modifikovaného Julianova kódu dne.

2.2.5 Modulace a kódování RDS

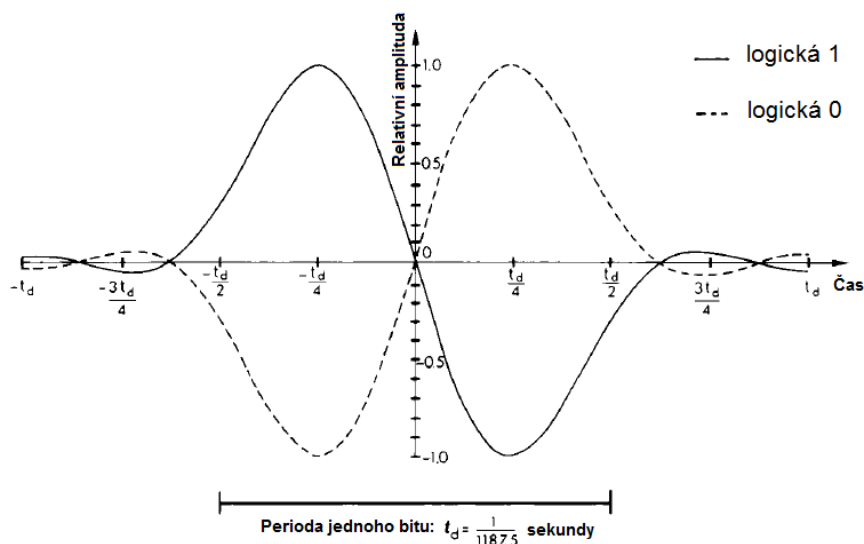
Data DRS jsou vysílána v sériovém datovém toku 1187,5bit/s s tolerancí ± 0.125 bit/s. Tato hodnota je odvozena podílem nosného kmitočtu RDS 57 KHz / 48 neboli podílem pilotního signálu 19 KHz / 16 .

Ve vysílači je sériový datový tok signálu RDS nejdříve podroben diferenciálnímu kódování. U něj hodnota logické jedničky na vstupu mění hodnotu výstupu kodéru a pro vstupní hodnotu logické nuly zůstává výstup nezměněn, to odpovídá funkci XOR viz následující tabulka (Tabulka 5). Stejný princip platí i pro diferenciální dekodér.

Tabulka 5 Princip diferenciálního kódování (převzato z [4]).

Předchozí výstup (t_{i-1})	Současný vstup (t_i)	Nový výstup (t_i)
0	0	0
0	1	1
1	0	1
1	1	0

Po diferenciálním kódování je signál bifázově zakódován a pomocí filtrace je omezeno jeho spektrum. Průběh takto získaného bifázového symbolu je zobrazen na obrázku (Obrázek 8).



Obrázek 8 Časový průběh bifázového symbolu (převzato [4]).

Jak je z tohoto průběhu patrné, odpovídá tvar symbolu číslicovému kódu Manchester, a tudíž je ho možné číslicově dekodovat pomocí negovaného exkluzivního číslicového součtu (NXOR) diferenciálně kódovaného signálu a periodického obdélníkového signálu s periodou odpovídající periodě jednoho bifázového symbolu. Výhodou bifázově zakódovaného signálu je větší rozestup mezi jeho postranními složkami, díky čemuž se

lépe demoduluje, a také se zlepší synchronizace.

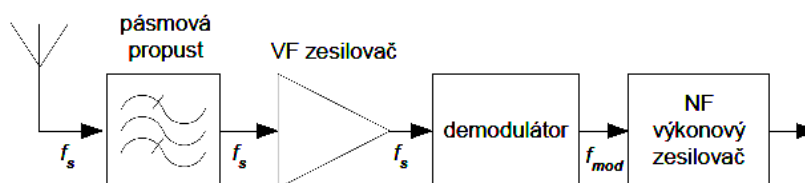
Bifázově zakódovaný signál s omezeným spektrem je amplitudově namodulován na nosný kmitočet 57 kHz, který je následně potlačen (modulace DSB). Takto namodulovaný signál by mohl být alternativně považován za formu bifázové PSK modulace s fázovou odchylkou $\pm 90^\circ$. Frekvence nosného kmitočtu 57 KHz je odvozena od třetí harmonické složky pilotního signálu (3x19 kHz).

3 SOFTWAREVÉ A SOFTWAREVĚ DEFINOVANÉ RÁDIO

V dnešní době lze rádiové přijímače podle zpracování signálu dělit na tři pomyslné typy. Nejstarší typ tvoří přijímače s analogovým zpracováním signálu. S rozvojem digitálních obvodů přechází přijímače přes typy s analogově číslicovým zpracováním na obvody s čistě číslicovým zpracováním, které tvoří koncept ideálního softwarového rádia.

3.1 Přijímače s analogovým zpracováním

Za základní koncept, z něhož vychází jednotlivé typy přijímačů, lze považovat následující schéma (Obrázek 9) odpovídající detektorovému přijímači.



Obrázek 9 Schéma analogového (HW) přijímače – detektorový přijímač (převzato z [1]).

V přijímači je požadovaný signál přijímán anténou a přiváděn na selektivní obvod, jenž je tvořený pásmovou propustí a plní funkci ladění požadovaného kanálu. VF zesilovač zajišťuje úroveň signálu vhodnou pro demodulátor, pomocí něhož je získán původní signál, ten může být před dalším zpracováním opět zesílen NF zesilovačem.

Novější typy přijímačů, které se převádějí do číslicové podoby, se vyznačují zařazením směřovacího obvodu za VF zesilovačem. Takto vzniká superheterodyn, kde směšovač převádí signál přijímaný anténou do jiného kmitočtového pásma tzv. mezifrekvence, ta je dále zpracovávána demodulátorem. V případě, že směšovač převádí signál do základního pásma, po odfiltrování vyšších harmonických složek získáme přímo původní modulační signál. Tento typ přijímače se nazývá homodyn.

3.2 Přijímače s číslicovým zpracováním

Číslicové řešení má proti klasickému analogovému zpracování několik výhod spočívajících především v jejich univerzálním využití. Oproti analogovým umožňují číslicové metody snadnou změnu nastavení parametrů přijímače pro jednotlivé typy vysílání díky získané implementaci stávajících analogových částí do digitálních obvodů.

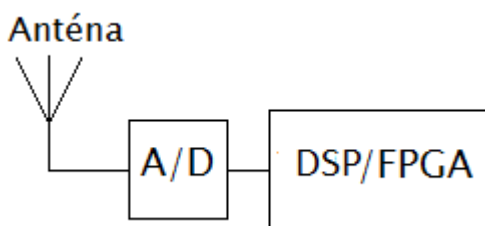
Nesporně velkou výhodou číslicového řešení je úspora nákladů na výrobu rádiového přijímače, která vzniká především využitím digitálních filtrů. Mezi další výhody patří malé rozměry a časová stálost digitálních obvodů. Celkově tyto systémy s digitálním zpracováním dosahují oproti analogovým lepších parametrů.

Pro tyto přijímače je typické použití kvadraturního nebo také I/Q demodulátoru,

v kterém je signál zpracováván v dvou větvích, synfázní I a kvadrurní Q . Ten je nezbytný pro digitální typy modulací, ale jeho využití je výhodné také například v AM DSB a SSB modulaci.

3.2.1 Ideální SW přijímač

Schéma ideálního softwarového přijímače je zobrazeno na následujícím obrázku (Obrázek 10). Jediným analogovým prvkem ideálního softwarového přijímače je přijímací anténa, z níž je signál pomocí analogově-digitálního převodníku převeden do digitální podoby a veškeré další zpracování přijímaného signálu je realizováno softwarově pomocí signálového procesoru či FPGA obvodu.



Obrázek 10 Schéma ideálního SW přijímače

Problémem je pro velký kmitočtový rozsah, který může být SW rádiem zpracováván, vyrobit vhodnou anténu. A proto je u takových systémů nutné použít více přijímacích antén, mezi nimiž je vybíráno podle právě zvoleného signálu.

Hlavním omezením softwarového rádia jsou hlavně nároky na vzorkování signálu, jelikož je pro pásma s kmitočty v řádech GHz problém zajistit dostatečnou rychlost analogově-digitálního převodníku.

Z tohoto důvodu jsou obvykle realizované přijímače s analogově číslicovým zpracováním tvořící kompromis mezi SW a HW zpracováním.

3.3 Architektury reálných přijímačů s analogově číslicovým zpracováním

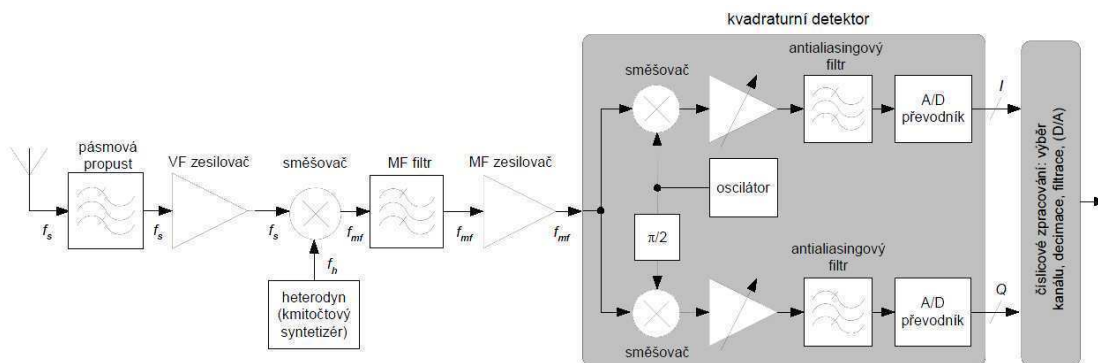
Vzhledem k ceně, spotřebě, flexibilitě, robustnosti a požadovaným technickým parametrům se při realizaci přijímače volí mezi následujícími variantami architektury s různým poměrem HW a SW.

3.3.1 Superheterodyn

Tato varianta je prakticky stejná jako její analogová obdoba. Jak je patrné z jejího blokového schématu (Obrázek 11), do digitální podoby je převáděn až demodulovaný signál v základním pásmu, což klade malé nároky na A/D převodník.

Pásmo vstupního signálu je vymezené pomocí pásmové propusti na vstupu. Za ní je zařazen vf zesilovač tzv. preselektor, ten zajišťuje dostatečnou úroveň signálu vhodnou pro směšovač. Směšovač převádí přijímaný signál na pevný mezifrekvenční kmitočet, který je poté zpracováván v demodulátoru. Samotný I/Q detektor vlastně tvoří další takový

stupeň transponující signál do základního pásma, na jeho výstupu musí být kvůli splnění vzorkovacího teorému zařazen antialiasingový filtr.

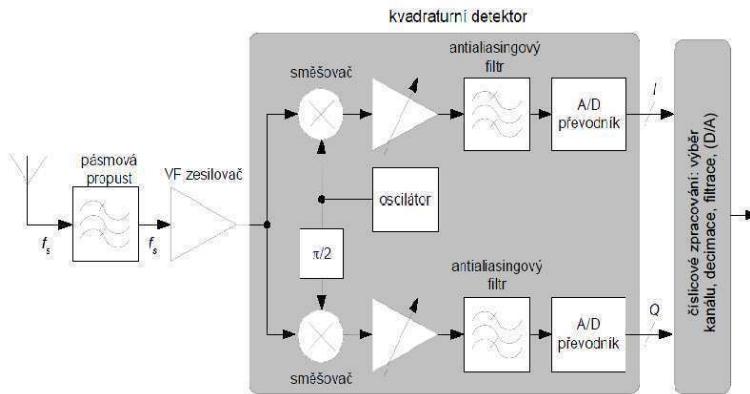


Obrázek 11 Blokové schéma architektury superheterodynu (převzato z [1]).

Hodnota kmitočtu mezifrekvenčního stupně má protichůdný vliv na selektivitu přijímače a odstup mezi požadovanou rozdílovou složkou a jí nejbližší harmonickou složkou (tzv. zrcadlovým kmitočtem). Na základě tohoto odstupů jsou kladeny nároky na selektivitu mezifrekvenčního filtru. To lze vyřešit použitím více mezifrekvenčních stupňů nebo použitím vysoce selektivního filtru s povrchovou vlnou SAW. Výhodou tohoto přijímače jsou dobré šumové vlastnosti, dále se u něj nevyskytují problémy se stejnosměrným offsetem a prosakováním kmitočtu oscilátoru směšovače do ostatních obvodů. Nevýhodou je složitost a velký počet externích komponent, díky čemuž je možná jen malá integrace na čip, a tím i vysoká cena. Ta je ještě zvyšována použitím drahého SAW filtru.

3.3.2 Přímá konverze – Homodyn

Tento typ architektury, zobrazený na obrázku (Obrázek 12), opět odpovídá svému analogovému protějšku. Obdobně jako u superheterodynu je do digitální podoby převáděn až demodulovaný signál v základním pásmu, což klade malé nároky na A/D převodník. Pásmová propust a vf zesilovač na vstupu mají stejný význam jako u předchozí architektury. U přijímače s přímou konverzí jsou signály jednotlivých větví směšovači demodulátoru transponovány přímo do základního pásma. Signály v základním pásmu jsou zesíleny a pomocí antialiasingových filtrů kmitočtově omezeny z důvodu splnění Nyquistovy podmínky pro A/D převod.



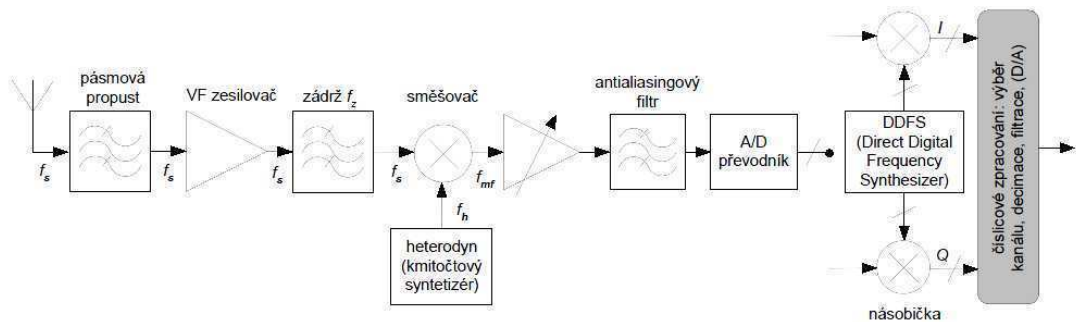
Obrázek 12 Blokové schéma architektury homodynu (převzato z [1]).

Výhodou přímé konverze je jednoduchost zapojení, snadná integrace na čip, a tudíž nízká cena. Plusem tohoto zapojení je také absence problémů se zrcadlovými kmitočty.

Nevýhodou je ovšem požadované vysoké zesílení v základním pásmu. V kombinaci s požadovanou citlivostí na složky s nízkým kmitočtem některých modulací vzniká problém s napětovým offsetem zesilovačů. Dalším problémem je velká citlivost těchto zesilovačů na šum. Nemalý problém tvoří také příjem „prosakování“ kmitočtu oscilátoru.

3.3.3 Nízká IF

Oproti předchozím architektuám je větší část přijímače realizována v softwarové oblasti viz (Obrázek 13). Jedná se vlastně o superheterodyn, u nějž je převod do číslicové podoby realizován v mezifrekvenčním stupni. Tento fakt klade větší požadavky na rychlost použitého A/D převodníku.



Obrázek 13 Blokové schéma architektury s nízkou IF (převzato z [1]).

Stejně jako u superheterodynu vzniká problém zrcadlových kmitočtů, který je třeba řešit použitím SAW filtru. Ten slouží zároveň jako antialiasingový filtr. Hlavní výhodou tohoto zapojení je číslicově řešený demodulátor. Díky němu je dosaženo dobré integrace a dobré flexibility obvodu. Nevýhodou je pak problém se zrcadlovým kmitočtem vyžadujícím použití drahého SAW filtru.

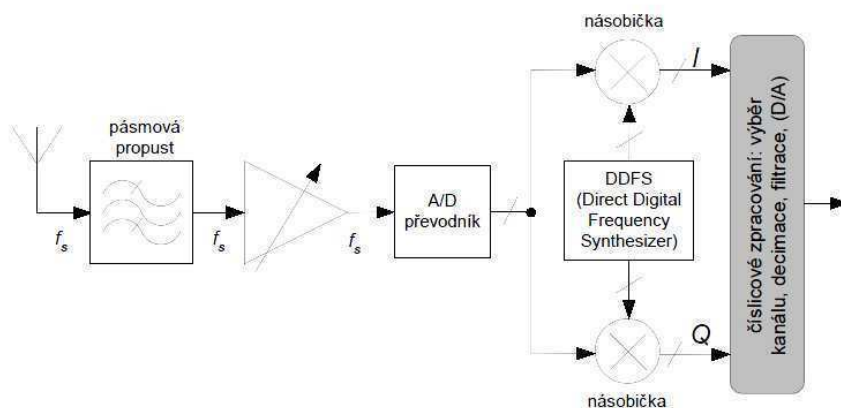
Nároky na použitý A/D převodník je možné snížit použitím metody pásmového

vzorkování, která je popsána v kapitole (3.3.5).

3.3.4 Přímá konverze

Tato architektura (Obrázek 14) je nejbližší konceptu ideálního softwarového rádia. Stejně jako u předchozích variant je na vstupu použita pásmová propust na vymezení šířky pásma přijímaného signálu a vf zesilovač. Tyto bloky tvoří analogovou část architektury přijímače, za nimi je vymezený vysokofrekvenční signál převáděn do číslicové podoby a dále zpracováván softwarově. Požadovaný vzorkovací kmitočet A/D převodníku tedy vyplývá z parametrů analogové pásmové propusti na vstupu a jeho hodnota musí být podle Nyquistova kritéria alespoň dvakrát větší než šířka pásma vstupního filtru B_s .

Díky velké části s číslicovým zpracováním je umožněna velká integrace obvodu na čip a přijímač disponuje výhodami typickými pro číslicové zpracování signálů jako je flexibilita, úspora nákladů a podobně. Oproti předchozím architekturom je velkou výhodou absence směšovače, který je v číslicové podobě řešen pomocí násobičky (modulo 2). Nevýhodou jsou stejně jako u předchozí architektury nároky na A/D převodník zejména na jeho dynamiku. Ta bývá v rozmezí 80 až 100dB.



Obrázek 14 Blokové schéma architektury s přímou konverzí (převzato z [1]).

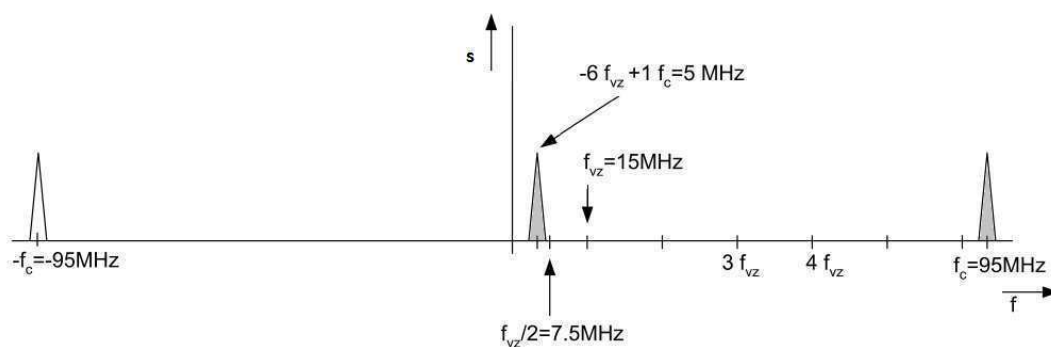
Stejně jako u varianty s nízkou IF je pro snížení nároků na vzorkovací kmitočet možné použít metodu pásmového vzorkování viz následující kapitola (3.3.5).

3.3.5 Pásmové vzorkování

Umožňuje snížení vysokých nároků na A/D převodníky, které jsou používané v architekturách přijímačů s nízkou mezifrekvencí a přímou konverzí. Tato metoda využívá podvzorkování zpracovávaného signálu f_c , díky čemuž vznikají periodické kmitočty f_{PER} , jejichž hodnota je dána následujícím vztahem

$$f_{PER} = f_c \mp n f_{vz} ,$$

kde f_{vz} je vzorkovací kmitočet převodníku, u nějž je záměrně nedodržen Nyquistův teorém. A n je celé kladné číslo. Princip pásmového vzorkování je patrný z následujícího obrázku (Obrázek 15).



Obrázek 15 Princip pásmového vzorkování (převzato z [3]).

Problémem této metody je to, že dochází k degradaci šumu (tzv. aliasing šumu) a poměr signálu k šumu SNR je určen podle následujícího vzorce, kde P_s značí výkon signálu, P_{n-in} výkon šumu v užitečném pásmu a P_{n-out} výkon šumu mimo něj.

$$SNR_s = \frac{P_s}{P_{n-in} + (n - 1)P_{n-out}}$$

3.4 Realizovaná architektura

Realizace projektu se má co nejvíce blížit konceptu ideálního softwarového rádia. S ohledem na možnosti současných analogově digitálních převodníků je tomuto konceptu z architektur využívajících analogově-digitální zpracování nejbližší metoda přímé konverze signálu.

Vzhledem k maximálnímu kmitočtu analogového vstupního signálu zpracovávaného A/D převodníkem použitým k realizaci projektu viz.(4.2.3) by bylo s jednoduchou metodou přímé konverze dosaženo malého rozlišení vstupních hodnot v oblasti přijímaného VKV pásma.

Tudíž bylo zvoleno použití metody pásmového vzorkování, která převede přijímané pásmo do kmitočtové oblasti s větším rozlišením vstupního signálu. Vzhledem k velké šířce pásma a kmitočtům přijímaného rozhlasového vysílání byla zvolena hodnota vzorkovacího kmitočtu 80 MHz. Celé přijímané rozhlasové pásmo je tedy přesunuto o hodnotu vzorkovacího kmitočtu níže, tedy do pásma od 8,75 MHz do 10,8 MHz, v němž je splněn vzorkovací teorém.

4 PROGRAMOVATELNÉ OBVODY - FPGA

Obvody FPGA (Field Programmable Gate Arrays) spadají společně s obvody PLD (Programmable Logic Devices) do skupiny programovatelných logických obvodů, která je blízka pamětem typu RAM. Jejich funkci je možné měnit pomocí naprogramování. Obvody PLD jsou určeny pro méně náročné aplikace, u nichž je požadována nízká cena.

Podrobněji budou dále řešeny pouze obvody FPGA, které jsou podstatné pro další řešení této práce.

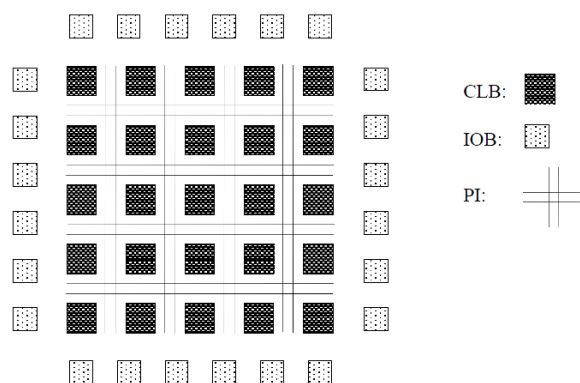
4.1 FPGA (Field Programmable Gate Arrays)

Hlavní výhodou obvodů FPGA oproti mikrokontrolérům je jejich vysoký pracovní kmitočet. Nevýhodou je poměrně vysoká cena a velká spotřeba, proto se využívají především v malých sériích, u kterých se nevyplácí návrh obvodu ASIC.

4.1.1 Základní architektura FPGA

Základní architektura (Obrázek 16) těchto obvodů vychází z hradlových polí. Základ jejich architektury tvoří dva typy bloků, což jsou vstupně/výstupní bloky (IOB) a logické bloky (CLB), v nichž jsou vytvářeny jednotlivé logické funkce. Díky malé velikosti těchto bloků je možné je poměrně dobře využívat s velkou efektivitou struktury.

Nutnou podporou pro logické bloky jsou struktury propojující jednotlivé bloky (PI). Tyto struktury realizují propojení jednotlivých dílčích bloků představující části logické funkce v požadovaný celek. Právě poměr rozsahu použité propojovací struktury a využitých logických bloků výrazně ovlivňuje celkovou účinnost obvodu FPGA.



Obrázek 16 Základní bloková architektura FPGA (převzato z [2]).

Logické bloky jsou dále děleny na několik částí vytvořených na principu paměti PROM s malým počtem vstupů. Tyto části logických bloků se nazývají LUT (look-up table) a lze jimi vytvářet všechny kombinační funkce jejich vstupů. Obvykle se využívá čtyř vstupových LUT tabulek, u novějších obvodů mohou být i šesti vstupové LUT tabulky.

4.1.2 Specializované doplňkové prvky FPGA

Kromě základních bloků jsou do moderních obvodů implementovány také prvky, které jsou pro efektivní využití v konkrétních často využívaných aplikacích. Využitím těchto prvků je ušetřena spotřeba plochy čipu na běžné aplikace.

Typickým příkladem implementovaných obvodů do čipu obvodu FPGA jsou paměti typu RAM. Další možností jsou tzv. DSP bloky. První verze DSP bloků obsahovaly jednoduchou číslicovou násobičku doplněnou o číslicovou sčítačku, registry a multiplexory, které umožňovaly především snadnější realizaci číslicových filtrů. Postupem času byly DSP rozšiřovány o další sčítačky, registry a multiplexory, díky čemuž je umožněno vytvářet číslicové filtry přímo kombinací DSP bloků. Moderní obvody mohou mít na čipu přidané jádro mikrokontroleru nebo i celé jádra výkonných procesorů.

4.1.3 Dostupné FPGA obvody

V současnosti se na trhu FPGA obvodů pohybuje jen několik hlavních výrobců, z nichž jsou nejvýznamnější firmy XILINX a ALTERA zastávající dominantní podíl na trhu.

XILINX – jak již bylo uvedeno je to jedna z dvou majoritních firem zabývajících se především vývojem vysoce výkonných FPGA obvodů. Jejich FPGA se dělí do následujících tříd:

- Virtex – tyto nejvýkonnější obvody firmy XILINX jsou zaměřeny na co nejvyšší výkon s malým ohledem na cenu a spotřebu obvodu.
- Spartan – ukončená řada dostupných obvodů FPGA zaměřených na poměr ceny a výkonu. U novějších obvodů bude nahrazena řadou Artix, také zaměřených na „malou“ cenu obvodu.
- Kintex – společně s novou řadou Artix vychází také řada Kintex vytvářející kompromis mezi výkonnými obvody Virtex a levnými obvody Artix.

ALTERA – druhý majoritní výrobce obvodů FPGA významný především v obvodech určených pro vesmírné aplikace. Stejně jako XILINX nabízí tři třídy obvodů s různým poměrem výkonu a ceny:

- Arria – řada zaměřená vysoký výkon FPGA obvodu.
- Cyclone – řada zaměřená na nízkou cenu FPGA obvodu.
- Stratix – tvoří kompromis mezi výkonem a cenou obvodu.

Dalšími méně významnými výrobci FPGA obvodů jsou **LATTICE**, **ACTEL** a **MICROSEMI**.

4.1.4 Konfigurace FPGA – ISI

Existuje několik softwarových nástrojů pro konfiguraci FPGA, většina výrobců nabízí za tímto účelem vlastní SW. Pro tuto práci bylo vybráno prostředí ISI dodávanou firmou XILINX.

XILINX ISI – Tento program umožňuje využití dvou textových jazyků, a to VHDL preferovaného v Evropě a jazyku Verilog, který je preferován v USA. Kromě textového

programování umožňuje i využití schematického editoru, v němž lze jednoduše propojovat jednotlivé bloky implementovaného zapojení. Mezi další usnadnění programování patří například využití tzv. IP jader, což jsou výrobcem předefinované realizace běžně využívaných komponent, u nichž lze snadno přizpůsobovat jejich parametry.

4.2 HW pro realizaci přijímače

4.2.1 Vývojová deska

Navrhovaný přijímač bude implementovaný na vývojové desce Atlys™ Spartan-6 FPGA Development Board vyráběné firmou Atlys.

Jádro této desky tvoří FPGA obvod řady Spartan 6 XL45 řízený hodinovým kmitočtem 100 MHz z CMOS oscilátoru. Pro ukládání konfiguračních souborů nabízí deska 4x 16 MB SPI Flash paměť. Program pro FPGA je do desky přenášen pomocí USB rozhraní, pomocí něhož je možné realizovat i datové přenosy.

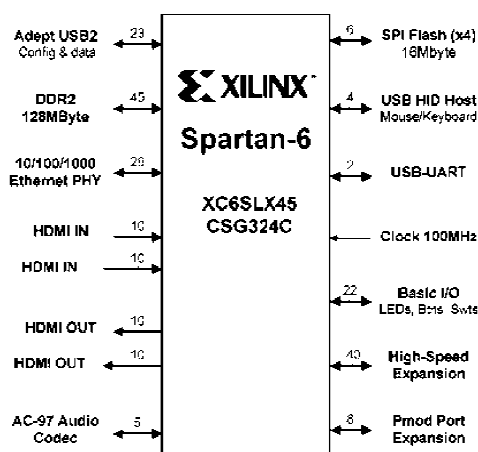
Dále je na desce k dispozici 128 MBytová paměť typu DDR2 schopná pracovat na kmitočtu 800 MHz.

Deska je vybavena dvěma rozšiřujícími konektory. Prvním je 68-pinový vysokorychlostní paralelní vstupně výstupní konektor VHDC, který je využíván v SCSI-3 aplikacím a umožňuje přenášet na každém ze 40 pinů určených pro přenos signálů i signály s kmitočtem několika MHz. Využívaných 40 datových pinů tohoto konektoru je rozděleno na 20 impedančně kontrolovaných pinů. Pro aplikace s nižší přenosovou rychlostí, které nevyžadují velký počet pinů, lze využít druhý rozšiřující konektor Pmod s osmi signálovými piny.

Ke komunikaci s okolními zařízeními slouží na desce několik rozhraní (Obrázek 17).

Tyto rozhraní jsou:

- 10/100/1000 Ethernet PHY.
- Dva vstupní a dva výstupní HDMI porty.
- USB-UART (již zmíněný v souvislosti s nahráváním konfiguračního programu).
- Obvod zahrnující AC-97 Audio kodek zahrnující porty line-in, line-out, mic, & headphone.
- USB-HID port pro připojení klávesnice/myši.



Obrázek 17 Komunikační rozhraní a periferie připojené k FPGA obvodu. [5].

Napájení desky

Deska vyžaduje externí napájení napětím 5 V / 4 A, toto napětí je poté za pomoci vnitřních regulačních obvodů upravováno na 3,3 V, 2,5 V, 1,8 V, 1 V a 0,8 V pro obvody osazené na desce. Konkrétní rozložení proudu mezi jednotlivé napájení je značně závislé na naprogramování FPGA, jeho přibližné rozložení je možné nalézt v návodu k vývojové desce (zdroj [5]).

4.2.2 FPGA

Jak už bylo poznamenáno v předchozí podkapitole, obsahuje používaná vývojová deska FPGA obvod z řady Spartan-6 vyráběný firmou Xilinx. Tyto obvody jsou zaměřeny na dobrý poměr ceny a výkonu obvodu. V desce je konkrétně použit obvod Spartan-6 LX45 v pouzdře CSG324C.

Přehled bloků obsažených v obvodu Spartan 6 LX45 je uveden v následující tabulce (Tabulka 6) převzaté z manuálu obvodů této řady, který je k dispozici na webových stránkách firmy Xilinx.

Tabulka 6 Přehled bloků obvodu Spartan 6 LX45 v pouzdře CSG324C[6].

Logické buňky	CLB			DSP48A1 Slices ⁽²⁾	Bloky RAM		CMT ⁽⁴⁾	Počet bloků řadičů paměti	Počet I/O bank	Max počet I/O bloků
	Silice ⁽¹⁾	Flip-Flop	Max distribuovaná RAM		16Kb ⁽³⁾	Max (Kb)				
43661	6822	54756	401	58	116	2088	4	2	4	218

Programovatelné logické bloky CLB jsou tvořeny tzv. silice bloky (1) ty se skládají

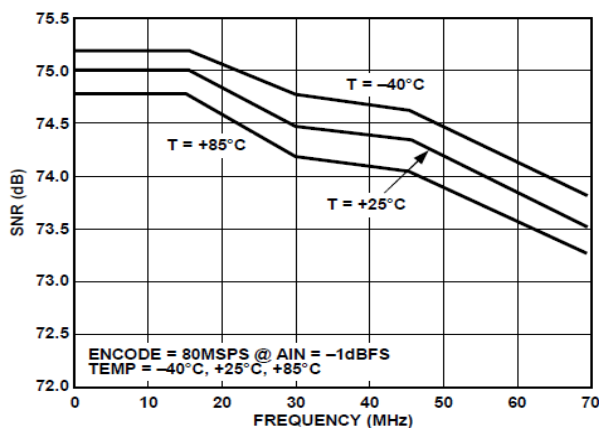
ze čtyř bloků LUT s šesti vstupnou architekturou a osmi Flip-Flop registrů. Pro usnadnění vytváření číslicových filtrů jsou v obvodu použity bloky DSP48A1 (2), složené z násobičky 18x18b sčítačky a akumulátoru. Z důvodu úspory programovatelných logických bloků CLB jsou v obvodu použity 16 Kb paměťové bloky RAM (3), které lze použít i jako dva nezávislé paměťové bloky s velikostí 9 Kb. Práci s hodinovými signály v obvodu zajišťují čtyři bloky kmitočtového syntetizátoru pracující na principu fázového závěsu PLL a osm DCM (digital clock manager) rozdělené do čtyř bloků CMT (4). U varianty obvodu v pouzdře CSG324C je uživateli k dispozici 218 vstupně/výstupních bloků.

4.2.3 Modul A/D D/A převodníku

Pro realizaci analogově digitálního a digitálně analogového převodu je použit modul zapůjčený z ústavu radioelektroniky je obsazen čipy AD převodníku AD 6645-105 a DA převodníku AD 9764 od firmy Analog Devices. Pro připojení k vývojové desce je pro tento modul použit vysokorychlostní 68-pinový paralelní konektor VHDC. Jeho pomocí je zajištěno i napájení celého modulu.

AD převodník AD 6645-105

Jedná se o vysokorychlostní monolitický čtrnáctibitový analogově digitální převodník od firmy Analog Devices, který je realizovaný technologií CMOS 3,3 V. Diferenční analogový vstup převodníku s vnitřním odporem 1 K Ω , kapacitou 1,5 pF a šířkou pásma 270 MHz pracuje v rozsahu 2,2 Vp-p. Převodník s dobrými parametry pracuje s vstupními signály do kmitočtu 200 MHz. Na obrázku (Obrázek 18) je zaznamenána hodnota závislost SNR na vstupní frekvenci převodníku.



Obrázek 18 Závislost SNR AD převodníku na vstupním kmitočtu (převzato z [7])

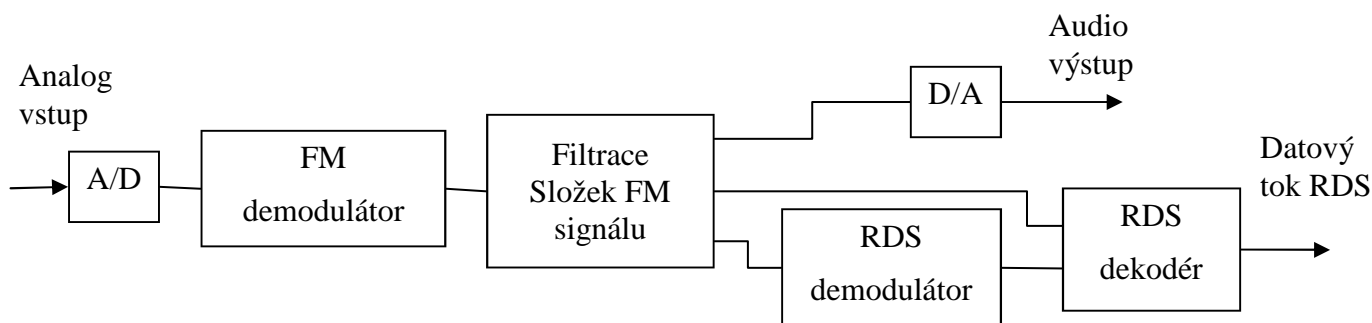
DA převodník AD 9764

Je to čtrnáctibitový digitálně analogový převodník ze série TxDAC firmy Analog Devices s maximální rychlostí vstupních dat 125 MSP. Je vytvořen technologií CMOS s možností napájení 3 V a 5 V. Dosahuje malému ztrátovému výkonu, který je možno snížit až na 45 mW jen s mírným snížením plného rozsahu proudového výstupu. Ten má impedanci 100 K Ω a v plném rozsahu dosahuje proudu 20 mA.

5 IMPLEMENTACE BLOKŮ V ČÍSLICOVÉ PODOBĚ

5.1 Implementace bloků přijímače

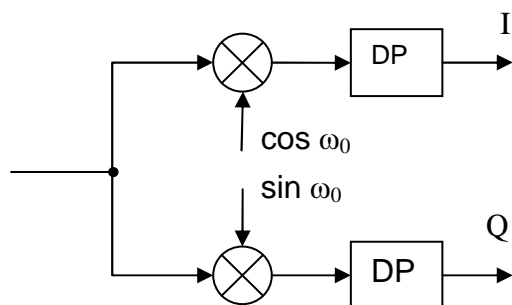
Na následujícím obrázku (Obrázek 19) je blokové schéma přijímače rozhlasového vysílání VKV/FM se službou RDS. Tato podkapitola se zabývá problémem implementace těchto povětšinou původně analogových bloků do číslicové podoby.



Obrázek 19 Blokové schéma implementovaného přijímače.

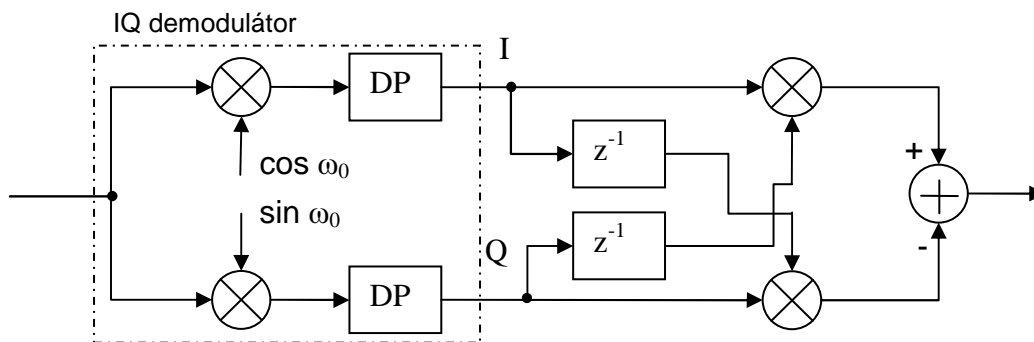
5.1.1 Implementace FM demodulátoru

Základním blokem každé číslicové architektury je IQ demodulátor, který rozdělí přijímaný signál do dvou větví reálné a imaginární složky. Pomocí směšování přijímaného signálu s harmonickými signály $\cos \omega_0$ a $\sin \omega_0$, odpovídajícím nosnému kmitočtu přijímané modulace, je přijímaný signál převeden do základního pásma. Zbylé harmonické složky jsou poté pomocí dolní propusti odfiltrovány. Takto vzniklé signály I a Q jsou poté dále číslicově zpracovány zpracovávány demodulačními a dekodovacími obvody závisujícími na parametrech přijímaného signálu. Schéma zapojení IQ demodulátoru (Obrázek 20).



Obrázek 20 Blokové schéma IQ demodulátoru

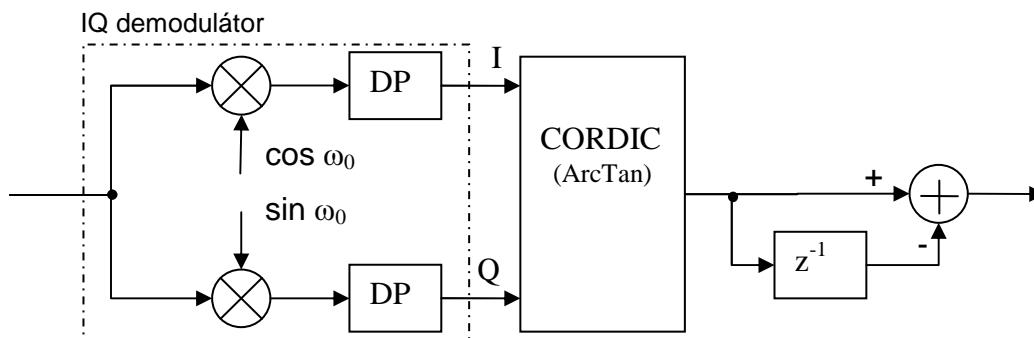
Běžně jsou v číslicovém zpracování frekvenčně modulovaného signálu využívány dva typy demodulátorů. Prvním je kvadrurní demodulátor pracující na principu metody diferencování kvadrurních složek signálu, jehož schéma je na obrázku (Obrázek 21). Jak již bylo řečeno jeho základem je IQ demodulátor připojený před vstup. Vzorky signálů jednotlivých větví I a Q jsou v tomto demodulátoru zpožděny a vynásobeny s aktuálními vzorky signálu protějščí větve. Poté jsou od sebe výsledky násobení odečteny, výsledný signál odpovídá požadované modulační složce přijímaného frekvenčně modulovaného signálu.



Obrázek 21 Zapojení kvadrurního demodulátoru.

Při realizaci demodulátoru obvodem FPGA se nabízí řešení demodulace prostřednictvím využití podpory IP jader volně nabízených s v použitém softwaru pro konfiguraci FPGA Xilinx ISI. Pro účely demodulace je nabízeno IP jádro s implementací výpočetního algoritmu CORDIC. Tento algoritmus slouží k odhadu goniometrických funkcí. Má široké využití zejména k převodu mezi pravoúhlými a polárními souřadnicemi a výpočtu argumentu a fáze komplexních čísel. Díky němu se nabízí použití druhého typu demodulátoru pracujícím na principu goniometrické výpočtu okamžité difference (rozdílu) fázového úhlu I a Q složek.

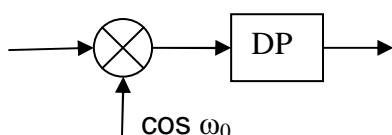
Základem tohoto typu demodulátoru je opět IQ demodulátoru z jehož výstupních signálů I a Q je pomocí algoritmu CORDIC vypočítána okamžitá difference (rozdíl) jejich fázového úhlu v rozsahu 0 až 2π . Derivace tohoto rozdílu odpovídá okamžitému kmitočtu vstupní složky. Tato derivace je vyřešena v poslední části, kde je vypočítán rozdíl mezi aktuálním a předchozím vzorkem rozdílu fázového úhlu.



Obrázek 22 Zapojení demodulátoru s využitím CORDIC algoritmu.

5.1.2 Implementace RDS demodulátoru

Datový tok RDS signálu je modulován amplitudovou modulací DSB, jednoduché schéma demodulátoru této modulace je na obrázku (Obrázek 23). Ten je tvořen násobičkou, na níž je DSB signál pomocí násobení harmonickým signálem, který odpovídá nosnému kmitočtu, převeden do základního pásma. Vyšší harmonické složky na výstupu násobičky jsou odfiltrovány filtrem typu dolní propust. Tento demodulátor složený z násobičky DDS a FIR filtru jde velice snadno implementovat.



Obrázek 23 Blokové schéma DSB demodulátoru.

5.1.3 Filtrace složek FM signálu

K oddělení jednotlivých složek jsou používány číslicové filtry typu FIR popsané dále v této kapitole.

5.1.4 RDS dekodér

Kódování přenášených signálů obvykle probíhá pouze u číslicového signálu, a tudíž jeho implementace do číslicové podoby není nutná. Kódování bifázového symbolu je sice v obvodech vysílače prováděno analogově, ale jeho dekódování lze snadno vyřešit pomocí negovaného exkluzivního součtu XNOR komparovaného RDS signálu a periodického obdélníkového signálu, jehož perioda odpovídá délce trvání symbolu. Následné diferenciální dekódování je realizováno jednoduchými klopnými obvody a obvodem XOR.

Podrobný popis použitého dekódování bude popsán v následující kapitole.

5.2 Implementace základních bloků v číslicové podobě

V číslicovém zpracování signálu se obvykle využívá obvodů plnící obdobnou funkci jako části využívané u analogového zpracování signálů, jako jsou násobičky, sčítačky filtry, apod. Najdou se ale i obvody jejichž analogové obvody se v analogovém zpracování nevyskytují. Typickým obvodem z této skupiny jsou bloky DCM nebo výpočet algoritmu CORDIC. V této podkapitole jsou vypsány implementace bloků použitých při řešení této práce.

5.2.1 Bloky s analogovou obdobou

Násobička

Násobička je základní blok číslicového zpracování signálů s obdobou v analogovém

směšovači. Tento blok je tento blok spolu s filtry používán ve všech číslicových obvodech pro modulaci a demodulaci signálu.

Sčítačka

Sčítačka je využívána zejména v zapojení obvodů pro modulaci a demodulaci pracujících s reálnou a imaginární složkou zpracovávaného signálu. Analogovou náhradou sčítačky využívané zejména v číslicových obvodech jsou sumační zesilovače.

DDS

DDS (Direct Digital Synthesizer) hodnota na výstupu tohoto syntetizátoru harmonických funkcí sinus a cosinus je řízena aktuální hodnotou fázového akumulátoru, který určuje hodnotu fáze vyčítané z tabulky funkcí sinus a cosinus. Hodnotu výstupního kmitočtu f_{out} při stabilní hodnotě kmitočtu hodinového signálu f_{clk} určuje počet bitů fázového akumulátoru B a jeho inkrementace řízená velikostí velikost fázového inkrementu $\Delta\theta$. Tuto závislost vyjadřuje následující vztah.

$$f_{out} = \frac{f_{clk}\Delta\theta}{2^B}$$

Při dosažení hodnoty $\Delta\theta=1$ získáme minimální možný generovaný kmitočet odpovídající frekvenčnímu rozlišení $f\Delta$. DDS lze kromě číslicové realizace oscilátorů použít i k realizaci AM, FM a PM modulátoru.

FIR filtr

V každém obvodu pro vysílání či příjem signálů je nutné použití filtrů, nejčastěji to bývají filtry typu dolní propust DP nebo pásmová propust PP. K implementaci číslicových filtrů se obvykle používají filtry typu FIR. Také je možné využít CIC filtrů, tyto filtry jsou ale oproti FIR filtrům náročnější na potřebný počet bloků. Moderní obvody FPGA disponují bloky DSP48 určenými přímo k snadné implementaci digitálních filtrů. Využití DSP48 znamená značnou úsporu buněk FPGA, které by byly využity k realizaci digitálních filtrů.

5.2.2 Bloky bez analogové obdoby

CIC filtr

Tento druh filtru se využívá pro implementaci decimátoru a interpolátoru, tedy obvodů sloužících ke změně vzorkovací periody. Díky jejich použití je možné snížit hardwarovou náročnost některých obvodů obzvláště FIR filtrů. Jak už bylo řečeno CIC filtr lze využít i pro realizaci běžných číslicových filtrů. Avšak jejich implementace je oproti výše zmíněným FIR filtrům hardwarově náročnější, a tudíž jejich použití za tímto účelem není používáno.

DCM

Blok DCM neboli Digital Clock Manager je určen k úpravě a generaci hodinových signálů nutných pro správnou funkci číslicových bloků. K těmto blokům mohou podle použitého FGA obvodu patřit i digitální syntetizátory pracující na principu fázové smyčky PLL. Obvody pracující s hodinovým signálem jsou vytvářeny pomocí IP jader, které zajistí správný rozvod hodinového signálu po čipu.

Vyrovňovací paměť FIFO (First In First Out)

Jak už název napovídá, nejčastější použití je k vyrovnání dvou datových toků pracujících s různými hodinovými doménami. V podstatě se jedná o dvou portovou paměť typu RAM doplněnou o řídicí obvody, pomocí níž je řízen zápis do prvního portu a čtení z druhého portu. Čtená a zapisovaná data nemusí mít stejnou délku slova, pro přechod mezi hodinovými doménami nepotřebuje velkou paměť a pomocí IP jádra ji lze snadno nakonfigurovat z paměti RAM.

6 REALIZACE PŘIJÍMAČE VKV FM + RDS

K vytvoření jednotlivých bloků bylo využito generátoru IP jader implementovaného v návrhovém prostředí ISI, v němž byl projekt realizován pomocí programovacího jazyku VHDL.

Základem je vývojová deska Atlys™ Spartan-6 FPGA Development Board s modulem analogově digitálního a digitálně analogového převodníky popsané v čtvrté kapitole (4.2). Na výstupu A/D převodníku, z něhož jsou do přijímače přiváděna vstupní data je 14 bitový signál v rozsahu ± 1 vyjádřený ve formátu jednoduchého dvojkového doplňku (0QN), který je používán i většinou bloků použitých při realizaci přijímače. Celý řetězec tvořící přijímač proto pracuje s 14 bitovým vyjádřením. Výstupní D/A převodník vyžaduje na svém vstupu data v rozsahu 0 až 2 vyjádřená v neznaménkovém dvojkovém doplňku. Před vstup D/A převodníku je proto zařazen blok, který jednoduchým exkluzivním součtem XOR s hodnotou "011111111111" převede výstupní data do požadovaného formátu.

K zobrazení naladěného kmitočtu a přijatých informací z RDS je použit modul LCD displeje SC1602B. Jedná se o běžný dvouřádkový LCD displej zobrazující 2x16 znaků.

6.1 Analogová část pro realizaci přijímače

Základem zvolené metody pásmového vzorkování je anténa podle potřeby doplněná zesilovačem a analogová pásmová propust pro filtraci spektra signálu na výstupu antény.

6.1.1 Použité antény a zesilovače

Při realizaci byly využívány dva typy antény.

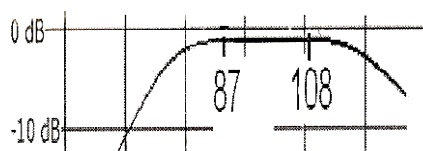
První anténou byla vnitřní anténa určená pro autorádia CALEARO 7697015 se zabudovaným zesilovačem. Tento zesilovač dosahuje pro pásmo FM rozhlasu (87,5 – 108 MHz) zisku 14 dB. Jeho napájení je zajištěno běžným 12 V adaptérem. Díky jejím malým rozměrům i přes zabudovaný zesilovač je dosažená úroveň přijatého signálu v místech s horším pokrytím poměrně malá. Vzhledem k tomu že, diferenční vstup AD převodníku pracuje v rozsahu 2,2 V se tato anténa se hodí spíše k použití v místech s dobrým pokrytím rozhlasového vysílání.

Druhou používanou variantou bylo požití VKV dipólu určeného pro příjem rozhlasového pásma 87,5-108 MHz, který byl zapůjčen z ústavu radioelektroniky.

Výhodou této antény je to, že na jejím výstupu jsou už odfiltrované složky přijímaného signálu mimo požadované rozhlasové pásmo. Tudíž odpadá použití samostatného analogového filtru, který by do přijímacího řetězce přidával další útlum.

6.1.2 Analogový filtr pro VKV rozhlasové vysílání

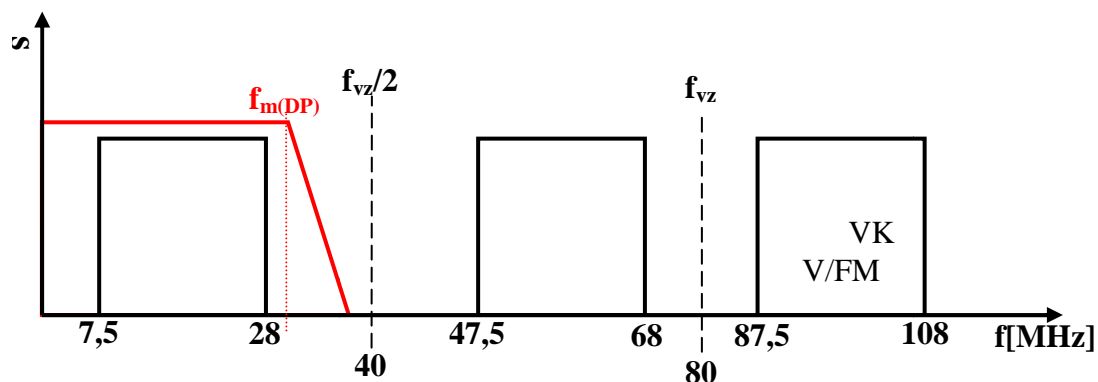
Při realizaci s anténou CALEARO 7697015 byl k selekci požadovaného rozhlasového pásma použit filtr pro VKV/FM rozhlasový signál zapůjčený panem Ing. Štrausem, jehož kmitočtová charakteristika je zobrazena na obrázku (Obrázek 24).



Obrázek 24 Přibližná kmitočtová charakteristika analogového filtru typu PP.

6.2 Realizace příjmu FM signálu a jeho demodulace

Při realizaci je používána metoda pásmového vzorkování, při níž na analogově digitálním převodníku dochází k záměrnému zrcadlení VKV pásma rádiového signálu. Potřebného zrcadlení je dosaženo s vzorkovacím kmitočtem 80 MHz. Rozložení spektra signálu po analogově digitálním převodu je nastíněno na obrázku (Obrázek 25).



Obrázek 25 Spektrum signálu za AD převodníkem.

Přijímač pracuje pouze s nejnižším zrcadleným spektrem. Proto je při realizaci za AD převodníkem umístěn digitální filtr FIR typu dolní propust s mezním kmitočtem 30 MHz, pomocí něhož je zbytek spektra za AD převodníkem potlačen.

6.2.1 Realizace ladění přijímače

Volba jednotlivých přijímaných kanálů závisí na kmitočtu harmonických signálů sinus a cosinus pro IQ demodulátor. Generování harmonických signálů sin a cos, které mají kmitočet odpovídající požadovanému kanálu rozhlasového vysílání, je v projektu zajištěno blokem laditelného generátoru (Lad_gen). Jeho základ tvoří přes IP jádro vygenerovaný

blok DDS s fázovým akumulátorem o velikosti 15 bitů, hodnota fázového inkrementu je nastavena na stream, tedy je zadávána z jednoho vstupu DDS.

Pro toto nastavení lze pomocí rovnice (x) vypočítat, že při kmitočtu hodinového signálu 80 MHz dosahuje frekvenční rozlišitelnosti $\Delta f = 2441,4$ Hz. Základní hodnota fázového inkrementu je nastavena pro základní kmitočet 87,5 MHz tedy $\Delta\theta = 3072$.

Řešení přeladování přijímače

Realizovaný přijímač umožňuje změnu přijímaného kmitočtu jemným nebo hrubým krokem, a to o 0,01 MHz nebo o 0,1 MHz. Pro hrubý krok ladění je k hodnotě fázového inkrementu přičtena či odečtena hodnota 41. Výsledná změna kmitočtu není zcela přesná a je oproti potřebnému kroku 0,1 MHz větší o 97,6563 Hz. Tato hodnota je však zanedbána, protože celkový posun kmitočtu při přeladění na druhou stranu spektra je 0,02 MHz a v případě potřeby lze snadno kompenzovat pomocí jemného kroku ladění. Pro ten je hodnota fázového inkrementu zvyšována či snižována o 4. Rozdíl vzniklý při jemném kroku ladění už není možno zanedbat. Proto dochází k čítání tohoto kroku (pomocný signál c) a hodnota fázového inkrementu je změněna o 5 při každém desátém kroku (c=10) v případě zvyšování kmitočtu. Řešení tohoto čítání pro případ zvyšování kmitočtu je ukázán v následující ukázce ze zdrojového kódu laditelného generátoru.

```
if c<X"A" then
    frek<=frek+X"0004";
    c<=c+1;
else
    frek<=frek+X"0005";
    c<=X"0";
end if;
```

Pro snižování kmitočtu je také snižována hodnota c a změna kroku nastane při hodnotě c=0. V deseti krocích se tedy fázový inkrement (*frek*) změní stejně jako u hrubého kroku ladění. S každým krokem ladění dochází také k změně příslušné hodnoty kmitočtu zobrazené na displeji. Aktuální hodnotu fázového inkrementu a stavu čítače lze načíst z dvou různých paměťových buněk nebo ji do nich uložit, čímž vnikají dvě paměťové předvolby.

6.2.2 Realizace demodulátoru pro VKV/FM1

Pro realizaci byl zvolen demodulátor pracující na principu goniometrické výpočtu okamžité diference fázového úhlu I a Q složek. Funkční schéma tohoto demodulátoru využívající obvod CORDIC je zobrazeno v předchozí kapitole (Obrázek 22). První část je tvořena IQ demodulátorem směřujícím přijímaný signál s harmonickými signály sinus a cosinus z laditelného demodulátoru. Takto získané signály jednotlivých větví má stále vzorkovací kmitočet 80 MHz. Vzhledem k velkému poměru mezi tímto vzorkovacím kmitočtem a šířkou pásma následujících FIR filtrů realizujících dolní propust by velikost plochy potřebná pro realizaci těchto filtrů byla neúnosně vysoká. Z toho důvodu jsou před FIR filtry zařazeny CIC decimátory pomocí nichž je vzorkovací kmitočet snížen na přijatelnou hodnotu. Zbývá část zapojení demodulátoru je realizována podle zapojení v schématu CORDIC demodulátoru (Obrázek 22). Na vstupy bloku součtového obvodu je přiváděn aktuální signál z bloku CORDIC spolu se stejným signálem zpožděným o jednu

periodu vzorkovacího obvodu. Demodulovaný signál z výstupu součtového obvodu je dále přiváděn na FIR filtry, pomocí nichž jsou z něj odděleny složky monofonního audio signálu, pilotního signálu a RDS signálu. Tyto filtry jsou spolu s filtry IQ demodulátoru popsány v podkapitole (6.3).

Nastavení číslicových násobiček demodulátoru

K směšování signálu jsou použity číslicové násobičky optimalizované pro maximální rychlost, které jsou generované pomocí IP jádra. Oba vstupy násobičky jsou nastaveny pro zpracování čtrnáctibitového znaménkového signálu (0QN), výstup je ponechán na plném počtu 28 bitů. První dva nejvýznamnější bity vznikají násobením znaménkových bitů vstupních signálů, pro požadovanou šířku slova 14 bitů je z výstupního signálu násobičky použit pouze druhý nejvýznamnější bit a následujících 13 bitů.

Nastavení CIC decimátorů

Decimátory vytvořené pomocí CIC filtrů jsou nastaveny na výběr každého 160. vzorku. Realizují tedy podvzorkování signálu z 80 MHz na 500 KHz, díky čemuž je výrazně snížena hardwarová náročnost realizace FIR filtrů. Stejně jako většina ostatních obvodů pracuje s daty ve formátu dvojkového doplňku 0QN. 14 bitový výstup je zajištěn metodou „Truncation“, která odstraní přebytečné LSB bity.

Na vstup CIC decimátoru jsou vstupní data přiváděny pomocí vstupní fronty tvořené FIFO paměti generované pomocí příslušného IP jádra. Čtení dat z paměti (*rd_en*) je řízeno signálem *Rfd* (ready for data) získaným z výstupu decimátoru. Jelikož jsou na výstupu číslicové násobičky při každé nástupné hraně hodinového signálu platná data, na řídicím vstupu pro zápis dat *wr_en* je trvale nastavena logická 1 povolující zápis.

Nastavení bloku CORDIC

Blok CORDIC algoritmu je vygenerovaný pomocí IP jádra dostupného pro ISI. Je nastaven pro výpočet hodnoty arc-tangens, která vyjadřuje potřebnou hodnotu okamžitého rozdílu fáze mezi vstupními signály.

Vstupní signály pro výpočet CORDIC algoritmu pracují se znaménkovým doplňkem 1QN, proto jsou vstupy tohoto bloku nastaveny jako 15 bitové. Zpracováváný 14 bitový signál pomocí vložení nulového znaku za znaménkový bit rozšířen na 15 bitů. Na výstupu CORDIC bloku je z důvodu případného vyjádření hodnoty $\pm\pi$ 16 bitové slovo ve formátu 2QN. Realizovaný blok má výstup nastaven na hodnotu „scaled radian“ pracující v rozsahu ± 1 , proto je druhý a třetí MSB bit vynechán a hodnota na výstupu pak odpovídá 14 bitovému signálu ve vyjádření 0QN.

Zpoždovací obvod

Tento Obvod pracuje jako jednoduchý 14 bitový klopný obvod řízený hranou hodinového signálu. Jeho řešení je zobrazeno v následujícím zdrojovém kódu.

```
zpozd_1: process (clk) begin
    if rising_edge (clk) then
        d_out<=pp;
        pp<=d_in;
    end if;
end process;
```


Nastavení součtového obvodu

Tento obvod je opět realizovaný pomocí IP jádra a je nastaven pro výpočet rozdílu vstupních signálů. Sejně jako zbytek realizovaných obvodů pracuje s 14 bitovými znaménkovými signály (0QN) na vstupu i výstupu obvodu.

6.3 Realizace FIR filtrů

V této podkapitole je popsána realizace filtrů typu FIR použitých při realizaci přijímače.

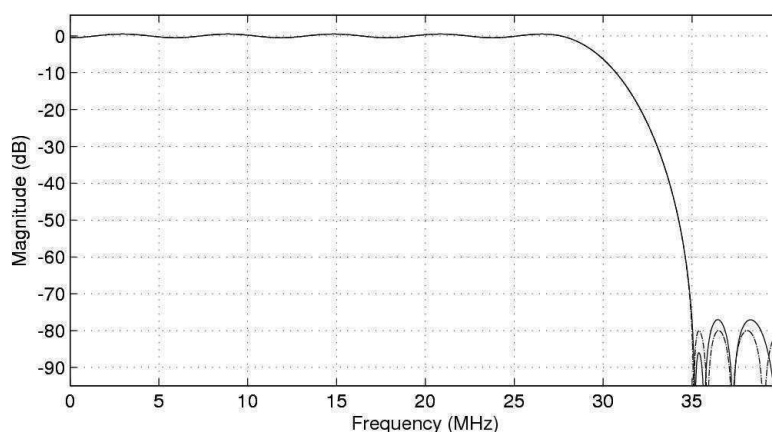
Potřebné koeficienty požadovaných přenosových charakteristik jednotlivých filtrů byly do nastavení IP jader nahrány prostřednictvím „.coe“ souborů. Tyto soubory byly generovány nástrojem pro návrh filtrů FDATool, který je k dispozici v programu MATLAB. Vypočítané koeficienty jsou ukládány v 16 bitových slovech ve dvojkovém doplňku formátu 0QN, tedy před desetinou čárkou je pouze znaménkový bit.

Všechny filtry jsou navrhovány pro decimátorem upravenou hodnotu vzorkovací frekvence 500 KHz a k jejich řízení je využíván hodinový signál 80 MHz. Jedinou výjimkou je vstupní filtr umístěný za výstupem AD převodníku, který zpracovává signál s vzorkovacím kmitočtem 80 MHz. Vstup i výstup všech filtrů stejně jako u ostatních bloků 14 bitový ve formátu 0QN. K zajištění 14 bitového výstupu je opět použita metoda „Truncation“.

Mezní kmitočty přenosových charakteristik jednotlivých číslicových filtrů byly nastavovány tak, aby byla zaručena jak dobrá použitelnost tak i přijatelný řád, který ovlivňuje hardwarovou náročnost realizace těchto filtrů.

6.3.1 Přenosová charakteristika filtru vstupního signálu

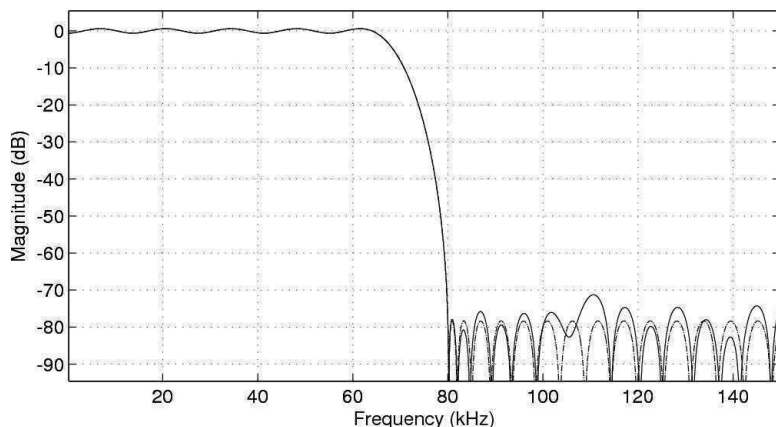
Mezní kmitočty propustného pásma vstupního filtru je nastaven na 29 MHz útlum nepropustného pásma je od kmitočtu 35 MHz nastaven na 80 dB.



Obrázek 26 Přenosová charakteristika vstupního filtru.

6.3.2 Přenosová charakteristika filtru IQ demodulátoru

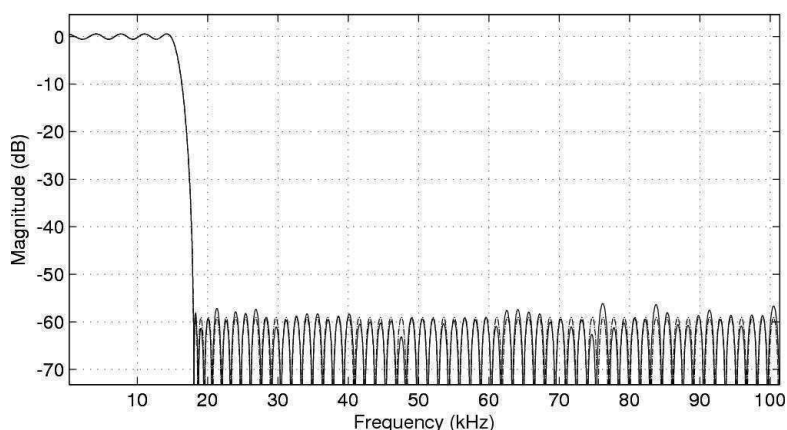
Pro tento filtr byl nastaven mezní kmitočet propustného pásma na 65 KHz. V nepropustném pásmu nastaven útlum o 80 dB od kmitočtu 80 KHz.



Obrázek 27 Přenosová charakteristika filtru IQ demodulátoru.

6.3.3 Přenosová charakteristika filtru pro oddělení monofonního audio signálu

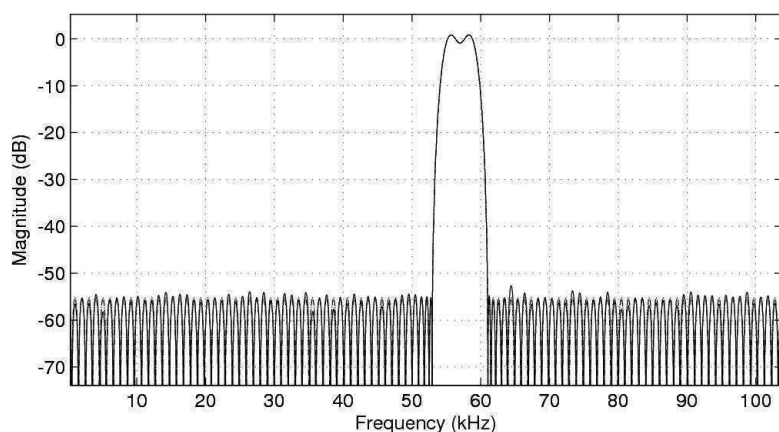
Z důvodu menšího rozestupu jednotlivých složek VKV/FM signálu je pro tento filtr typu DP požadována větší strmost. Mezní kmitočet propustného pásma je nastaven na 15 KHz a v nepropustném pásmu je od 18 KHz požadován útlum o 60 dB.



Obrázek 28 Přenosová charakteristika filtru pro oddělení monofonního audio signálu.

6.3.4 Přenosová charakteristika filtru pro oddělení monofonního RDS složky

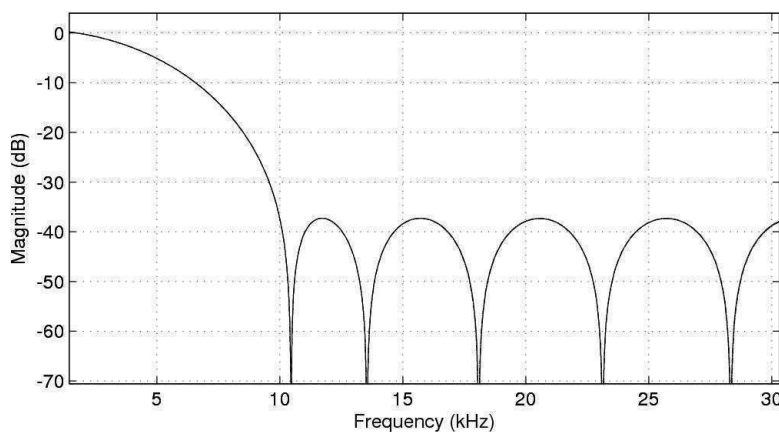
Pro tuto pásmovou propust se středním kmitočtem 57 kHz byla zvolena šířka pásma 4 KHz a šířka pásma, u nějž je dosaženo útlumu 60 dB na 8 KHz.



Obrázek 29 Přenosová charakteristika filtru pro oddělení monofonního RDS složky

6.3.5 Přenosová charakteristika filtru RDS demodulátoru

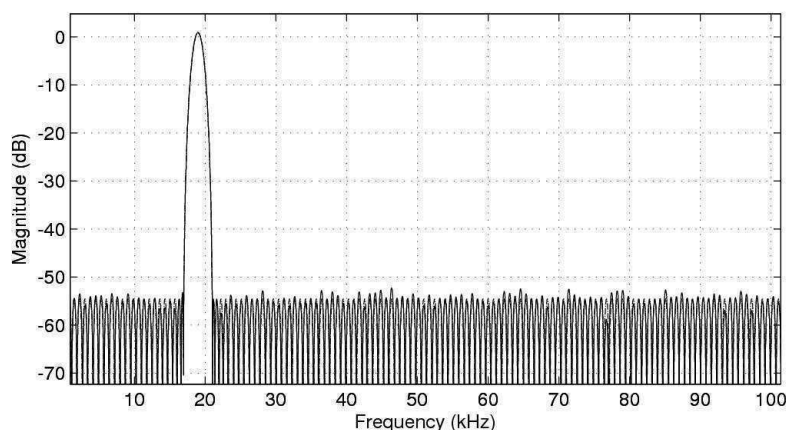
Dolní propust použitá v RDS demodulátoru propouští kmitočty do 3 KHz a pro kmitočty nad 10 KHz má nadefinován útlum 60 dB.



Obrázek 30 Přenosová charakteristika filtru RDS demodulátoru

6.3.6 Přenosová charakteristika filtru pro oddělení pilotního signálu

K oddělení pilotního signálu o kmitočtu 19 KHz, který je v projektu používaného k synchronizaci demodulování a dekódování dat RDS. Při generování filtru je nastavena šířka pásma 1 KHz a šířka pásma pro útlum o 60 dB na 4 KHz.



Obrázek 31 Přenosová charakteristika filtru pro oddělení pilotního signálu

Tento filtr s touto přenosovou charakteristikou je v přijímači realizován dvakrát. V obou případech je z jeho výstupu používán pouze znaménkový bit.

V prvním případě (*PP_pilot_sig.coe*) je při generování IP jádra typ filtru nastaven jako běžný filtr (Single Rate). Znaménkový bit jeho výstupu je používán pomocí binárního čítače podělen 16, tím je získán obdélníkový signál s periodou odpovídající době trvání jednoho bifázového symbolu.

V druhém případě (*PP_pilot_sig.coe2*) je však IP generátoru nastaven pro generování filtru s interpolací signálu. Hodnota interpolace je nastavena na 27. Výsledný filtr se chová jako obdobně jako násobič kmitočtu, kmitočet výsledného signálu odpovídá 27 násobku původního pilotního signálu. Signál získaný ze znaménkového bitu je dále v obvodu synchronizován s hodinovým kmitočtem 80 MHz a použit k synchronizaci RDS demodulátoru.

6.4 Realizace příjmu RDS

RDS signál modulovaný na subnosný kmitočet 57 KHz je nejdříve demodulován a dekodován. Z výsledného jednobitového datového toku je poté potřeba zachytit přenášené skupiny RDS zpráv a zpracovat v nich obsažené zprávy přenášené systémem RDS.

6.4.1 Realizace demodulace a dekodování RDS

Jak už bylo řečeno RDS signál je v k rozhlasovému vysílání obsažený na subnosném kmitočtu 57 KHz na něž je amplitudově namodulován. Základní schéma realizovaného demodulátoru je zobrazeno na v kapitole 5.1.2 (Obrázek 23). Pro jeho realizaci je použita stejná číslicová násobička, která je používána i u FM demodulátoru. Přenosová charakteristika dolní propusti realizované pomocí filtru typu FIR je zobrazena na v předchozí kapitole 6.3.5 (Obrázek 30).

Jelikož RDS signál je přenášen jako sériový tok dat, je výstupní signál filtru nutné podrobit komparaci. Jak je patrné z průběhu bifázového symbolu (Obrázek 8), je pro další zpracování podstatná polarita jeho průběhu, tudíž je komparace prováděna na základě znaménkového bitu výstupního signálu.

Harmonický signál cosinus pro tento demodulátor je generován pomocí bloku DDS generátoru, na jeho vstup hodinového kmitočtu je přiváděn obdélníkový signál odvozený z pilotního signálu, čímž je zajištěna jeho synchronizace.

Synchronizace RDS demodulátoru a dekodéru

K získání hodinového signálu pro řízení DDS je využíván interpolační filtru pilotního kmitočtu popsany v kapitole 6.3.6. Kmitočet signálu na výstupu tohoto filtru odpovídá 27 násobku pilotního kmitočtu. Tedy 513 KHz za předpokladu, že kmitočet pilotního signálu je přesně 19 KHz. Použitím znaménkového bitu (MSB) výstupního signálu tohoto filtru tedy získáme periodický obdélníkový signál o kmitočtu 513 KHz. Tento signál je ještě synchronizován s hodinovým signálem 80 MHz a připojen k hodinovému vstupu DDS. Synchronizace s hodinovými signály je provedena pomocí dvou po sobě jdoucích klopných obvodů řízených náběžnou hranou hodinového signálu 80 MHz.

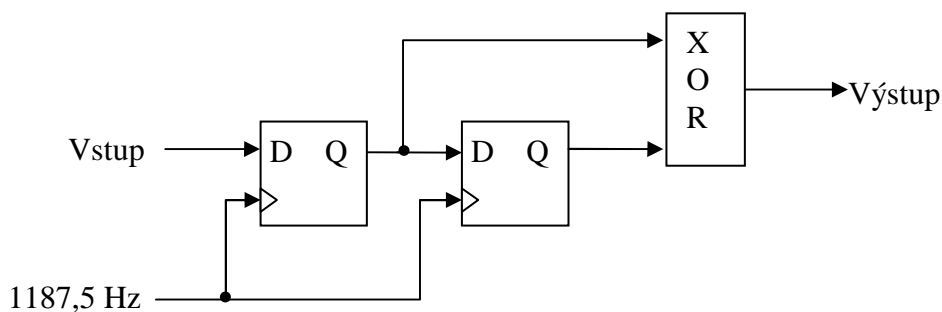
Synchronizace dekódování RDS signálu je zajištěna pomocí periodického obdélníkového signálu, jehož perioda odpovídá délce jednoho symbolu (bitu). Jeho kmitočet 1187,5 Hz odpovídá pilotního signálu 19 KHz / 16. K získání tohoto signálu je využit znaménkový bit (MSB) FIR filtru pilotního kmitočtu. Obdélníkový signál získaný z jeho znaménkového bitu je podělen pomocí čítače, tím je dosaženo požadovaného periodického obdélníkového signálu s kmitočtem 1187,5 Hz. Pomocí tohoto čítače je také odvozen signál s dvojnásobným kmitočtem 2375 Hz, ten je využíván v bifázovém dekodéru.

Realizace bifázového dekódování

Dekodér je řízen dvěma periodickými obdélníkovými signály s kmitočty 1187,5 Hz a 2375 Hz popsány výše. Rozhodování o úrovni vstupního signálu je řízeno sestupnou hranou obdélníkového signálu 2375 Hz. Jelikož poloha sestupné hrany proti bifázovému signálu odpovídá maximum v harmonickém průběhu bifázového symbolu (Obrázek 8), je v tuto dobu největší pravděpodobnost správného dekódování symbolu. V tento okamžik se zaznamená hodnota signálu. O výsledném symbolu je poté rozhodnuto podle kombinace vzorků získaných při první a druhé půlperiody periodického obdélníkového signálu 1187,5 Hz.

Realizace diferenciálního dekódování

Posledním krokem je diferenciální dekódování. Tento dekodér je realizován pomocí jednoduché kombinace obvodu XOR a klopných obvodů řízených nástupnou hranou periodického obdélníkového signálu odpovídajícího délce jednoho bitu (1187,5 Hz). Jejich zapojení je naznačeno v následujícím schématu (Obrázek 32).



Obrázek 32 Schéma realizovaného diferenciálního dekodéru.

6.4.2 Realizace skupinové synchronizace zprávy RDS

Jedna skupina RDS zprávy obsahuje 104 bitů rozdělených do 4 bloků. Každý z těchto bloků tvoří prvních 16 bitů přenášené informační slovo a zbývajících 10 bitů tvoří kontrolní slovo. Díky použití různého offsetového slova pro jednotlivé bity jsou také kontrolní slova jednotlivých bloků nezaměnitelná, a právě toho je využito pro zachycení RDS skupiny.

Před samotným řešením zachycení RDS zpráv je sériový datový tok RDS převeden pomocí posuvného registru (*posuvný_registr.vhd*) na paralelní. Tento registr je řízen již dříve zmíněným obdélníkovým signálem 1187,5 Hz, který bude v dalším textu označován jako *Bit_rate*. Výstup tohoto registru je tvořen čtyřmi 26 bitovými signály odpovídající jednotlivým blokům skupiny bitů RDS.

Signály jednotlivých bloků jsou uvnitř synchronizačního bloku (*RDS_dat_synch.vhd*) zpracovávány paralelně ve čtyřech samostatných větvích. Nejdříve je z informačního slova spočítán základ kontrolního slova. K tomu je použit výpočet pomocí generující matice popsany v kapitole (2.2.5). Výsledné kontrolní slovo je pak získáno pomocí přičtení (modulo 2 realizované pomocí XOR) konkrétního offsetového slova daného bloku. Výsledné vypočítané kontrolní slovo je porovnáváno s kontrolním slovem na vstupu čítače, a pokud si odpovídají, je na výstup *rdy* odpovídajícího bloku poslán impulz o délce jednoho hodinového taktu signalizující platnost informačního slova daného bloku na výstupu. Celý obvod je taktován hodinový signálem 500 KHz. Obvod je resetován druhou půlperiodou signálu *Bit_rate*.

Díky větvení synchronizačního obvodu je skupinová synchronizace zajištěna, i pokud je obsah některého z bloků poškozen.

6.4.3 Realizace zpracování RDS zpráv

Zprávy zpracovávané realizovaným blokem zpracování RDS dat lze pomyslně rozdělit podle způsobu jejich zpracování na následující kategorie.

Do první možnosti spadají zprávy PI určující oblast vysílání a programový okruh, PTY obsahující typ vysílaného programu TP a TA značící informace o dopravním zpravodajství a informace o alternativních kmitočtech ve zprávě AF. Zpracování těchto zpráv je řešeno rozhodovací tabulkou, z níž je zobrazená informace vybrána na základě číselné hodnoty dané zprávou. Tyto rozhodovací tabulky jsou řešeny pomocí příkazu *case*.

Druhým pomyslným typem jsou zprávy PS přenášející jméno naladěné stanice a RT obsahující znaky rádio-textu. Pomocí nich jsou v třetím a čtvrtém bloku přímo přenášeny 8 bitové symboly reprezentující daný znak v ASCII tabulce spolu s jejich adresou obsaženou v druhém bloku přijaté skupiny bitů. Tyto symboly jsou zapisovány přímo na danou adresu v příslušné paměti dané funkce.

Posledním pomyslným typem jsou data pro aktualizaci času. Aktuální hodina, minuta a časový posun odpovídají přímo číselnému vyjádření daných bitů. V bloku zpracování RDS je tedy proběhne pouze korekce aktuální hodiny pro dané časové pásmo a data jsou dále předána do obvodu pro zobrazení času na displeji.

Zobrazení zpracovaných dat

Zpracovaná data jsou zobrazována pomocí 16 znaků druhého řádku displeje. Volba

zobrazení jednotlivých druhů dat je realizováno pomocí kombinace tří prepínačů. Kromě rádio-textu počet znaků ostatních zpráv je menší než délka řádku displeje a jsou doplněny o potřebný počet symbolů prázdného znaku (X“20“), díky čemuž je zamezeno výskytu náhodných znaků v prázdných polích.

Zobrazení celé zprávy rádio-textu je zajištěno pomocí posuvného registru. Jeho pomocí je realizováno posunutí zobrazovaného textu o jeden znak každé půl sekundy.

6.5 Další obvody realizovaného přijímače

6.5.1 Ovladač LCD displeje

Jedná se o kód získaný od mého dřívějšího vedoucího pana Ing. Štrause, který byl upraven pro potřeby tohoto návrhu.

Ovladač displeje obsahuje stavový čítač, pomocí něhož proběhne počáteční inicializace displeje. Pracuje se sedmi stavy, z nichž některé realizují pouze zpoždění mezi jednotlivými kroky inicializace. Počáteční stav realizuje pouze zpoždění o 18,5 ms, po něm následující stav slouží k nastavení bitové komunikace pomocí dvojice niblů (4 bity). Následuje stav realizující zpoždění, po němž je dalším stavem nastaven směr přepisování textu displeje. Opět následuje zpoždění a stav nastavující počáteční podmínky při zapnutí displeje (vypnutí blikání kurzoru), poté následuje poslední stav realizující zpoždění a za ním je inicializace dokončena. Za inicializací následují dvě podmínky realizující zápis niblů pro adresu a přenášená data a přiřazení vstupních dat pro jednotlivé symboly displeje.

6.5.2 ADC Zesílení vstupního signálu

Za vstupem analogově digitálního převodníku je vložen blok ADC. V případě špatného signálu rozhlasového vysílání je možné upravit úroveň převedeného signálu pomocí bitového posunu vlevo a doplněním uvolněných LSB bitů nulami. Velikost tohoto posunutí je možné nastavit od posuvu o jeden až 4 bity pomocí ovládacích prepínačů.

6.5.3 Debouncer

Účelem tohoto bloku je potlačit zákmity použitých tlačítek. Nejdříve je pomocí čítače vytvořen pulzní signál s periodou 10 ms. Pomocí něho je řízeno získání třech po sobě jdoucích stavů tlačítka. Ke změně výstupu na danou hodnotu dojde pouze tehdy, pokud jsou všechny tři stavy shodné, tedy má-li stav tlačítka konstantní hodnotu po dobu 30 ms. Tato doba je dostatečně dlouhá k odeznění zákmitů tlačítka.

6.6 Hodinové signály

Součástí vývojové desky je CMOS oscilátor generující hodinový signál s periodou 10 ns (100 MHz) od něhož jsou pomocí bloků DCM a PLL odvozovány potřebné hodnoty dalších hodinových signálů. Při realizaci obvodu jsou používány dva hodinové signály.

Zásadní vliv na kmitočet prvního hodinového signálu má zvolená hodnota vzorkovacího kmitočtu A/D převodníku. Tato hodnota je nastavena právě kmitočtem

hodinového signálu přiváděného na A/D převodník, požadovaný kmitočet hodinového signálu je tedy 80 MHz. Tento signál je používán pro řízení bloků od vstupu přijímače až po bloky decimátorů. Dále jsou jím z důvodu úspory potřebné plochy řízeny všechny FIR filtry použité v zapojení.

Pro ostatní zbývající bloky je použitý hodinový signál s kmitočtem 500KHz, jehož hodnota odpovídá vzorkovacímu kmitočtu na výstupu decimátorů. Tímto signálem je řízen i výstupní D/A převodník.

Posledním používaný hodinový signál je použit pro řízení LCD displeje a jeho kmitočet je 27MHz.

K dosažení takto malého hodinového kmitočtu bylo nutné využít sériové spojení dvou bloků pro úpravu hodinového signálu generovaných IP jádrem „ClockWizard“. V prvním bloku je ze 100 Hz vytvářen řídicí hodinový signál 80 MHz a 27 MHz, a také pomocný hodinový signál 5 MHz, z něhož je v druhém bloku získán druhý řídicí hodinový signál 500 KHz.

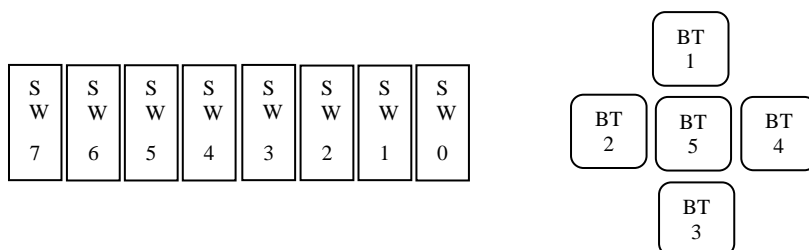
6.7 Ovládací prvky přijímače

Ovládání realizovaného přijímače je možné rozdělit na tři části.

Ke změně kmitočtu nahoru a dolů slouží tlačítka BT 1 a BT 3. Pokud je přepínač SW 0 v poloze 0 (dolní poloha), probíhá ladění s jemným krokem 0,01 MHz, v opačném případě je použit hrubý krok 0,1 MHz. Přepínače SW 1 a SW 2 slouží jako předvolby pro práci s pamětí ovládanou pomocí tlačítka BT 5. Pomocí přepínače SW 2 se volí, jestli po stisknutí tlačítka BT 5 dojde k uložení naladěného kmitočtu do paměti předvolby (poloha 1) nebo je přijímač přeladěn na kmitočet uložený v paměti. K dispozici jsou dvě předvolby, je mezi nimi možné volit pomocí přepínače SW 1.

Dále je volba zobrazované funkce RDS. Ta závisí na číselném vyjádření zvolené kombinace nastavené na přepínačích SW 5 až SW 3 (jméno kanálu - 0, rádio-text - 1, alternativní frekvence - 2, vysílaný obsah - 3 a programová identifikace - 4).

Pomocí kombinace zbývajících přepínačů SW 6 a SW 7 je nastaven bitový posuv vstupního signálu v rozmezí jednoho až tří bitů, pomocí něhož je možné zčásti kompenzovat malou úroveň rozhlasového signálu.



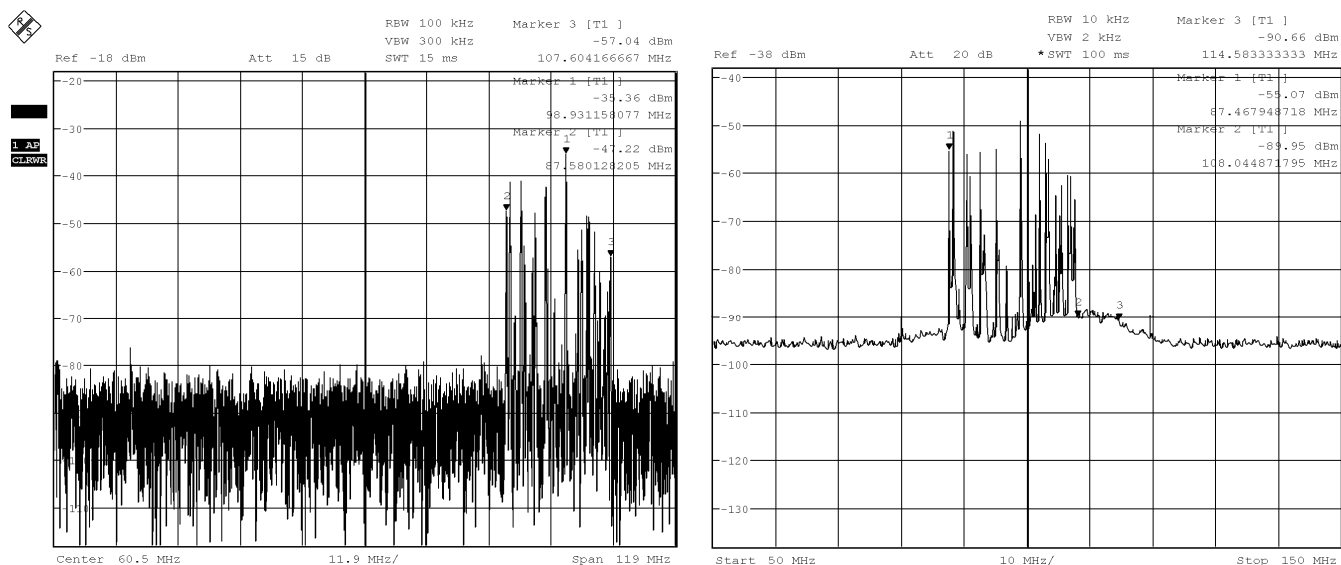
Obrázek 33 Rozmístění ovládacích prvku na vývojové desce.

7 VÝSLEDKY MĚŘENÍ A SIMULACÍ

7.1 Měření analogových částí přijímače

Vstupní signál pro AD převodník byl během realizace přijímán jednou ze dvou variant antény případného filtru VKV/FM popsané v kapitole 6.1, a to skládaný dipól a anténa CALEARO 7697015 doplněná o filtr VKV/FM pásma.

Na následujícím obrázku je zobrazeno spektrum signálu přijatého oběma těmito variantami v místnosti SC.61 budovy Technická 12, dipól vlevo a CALEARO 7697015 doplněné o filtr přijímaného pásma vpravo.



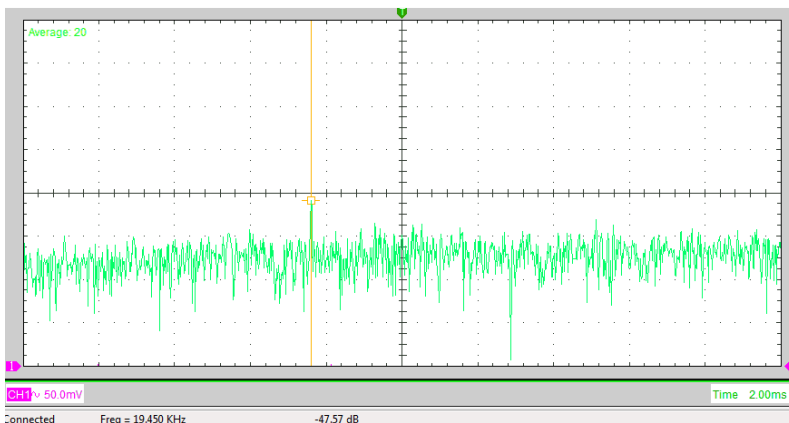
Obrázek 34 Spektrum signálu přijímaného dipólem (vlevo) a vnitřní anténou CALEARO 7697015 doplněnou o filtr VKV/FM pásma (vpravo).

Jak je z obrázku (Obrázek 34) patrné, obě varianty dosahují dostatečného oddělení pásma VKV/FM signálu pro využití pásmového vzorkování. I přes vnitřní zesilovač je úroveň signálu přijatého pomocí CALEARO 7697015 přibližně o 14dB menší než při použití skládaného dipólu. Tento rozdíl je nejspíše způsoben jejími relativně malými rozměry (30cm).

7.2 Výsledky měření demodulovaného signálu

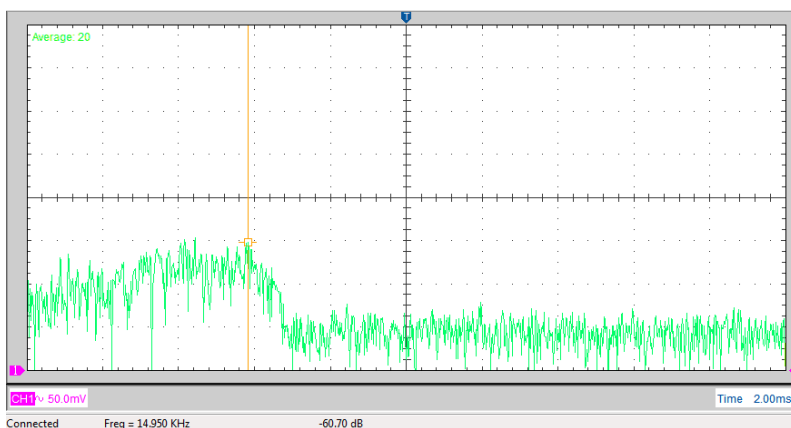
Měření probíhalo na kmitočtu 87,8 MHz (stanice Černá Hora) v lokalitě Úsobrnou.

Spektra z výstupů demodulovaného signálu byly získány pomocí PC osciloskopu DSO-2250-USB nastaveného pro výpočet FFT. Výpočet FFT pracuje s 2048 vzorky a Hanningovým okem. Její výsledky jsou zobrazeny v rozlišení 15 dB na dílek. Signály z FM demodulátoru a filtrů jednotlivých složek FM signálu byly měřeny na výstupu DA převodníku taktovaného 500 KHz.



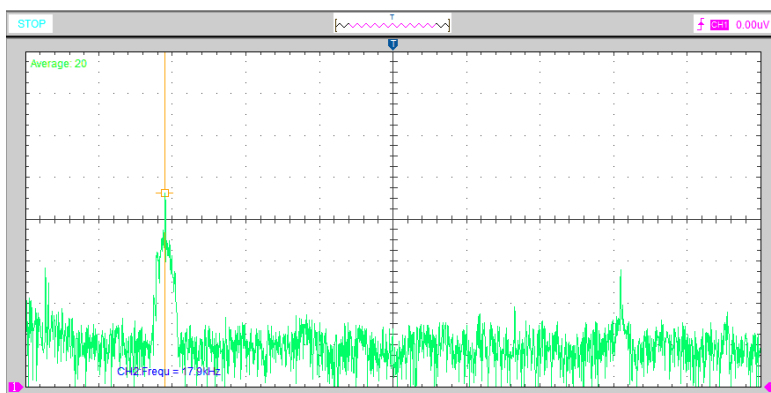
Obrázek 35 Změřené spektrum demodulovaného signálu.

Ve spektru demodulovaného signálu (Obrázek 35) by měly být viditelné jednotlivé složky signálu rozhlasového vysílání. Ve změřeném spektru jsou ale tyto složky skryty v šumu a je patrná jen špička spektra pilotního kmitočtu.



Obrázek 36 Změřené spektrum signálu za filtrem monofonní složky.

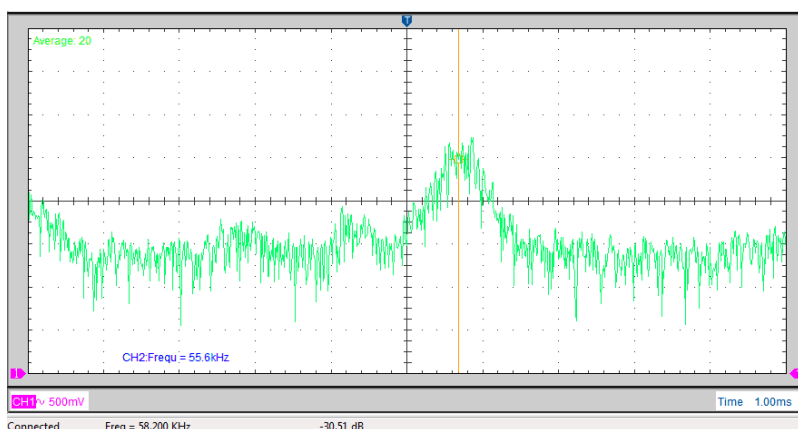
Ve spektru demodulovaného signálu zpracovaného filtrem pro oddělení monofonního signálu (Obrázek 36) je mírně patrný nárůst vyšších složek modulačního spektra vlivem preemfáze. Při poslechu naladěné stanice je slyšitelný rušivý signál neznámého původu.



Obrázek 37 Změřené spektrum signálu za filtrem pilotního kmitočtu.

Na obrázku (Obrázek 37) je zobrazeno změřené spektrum signálu za filtrem

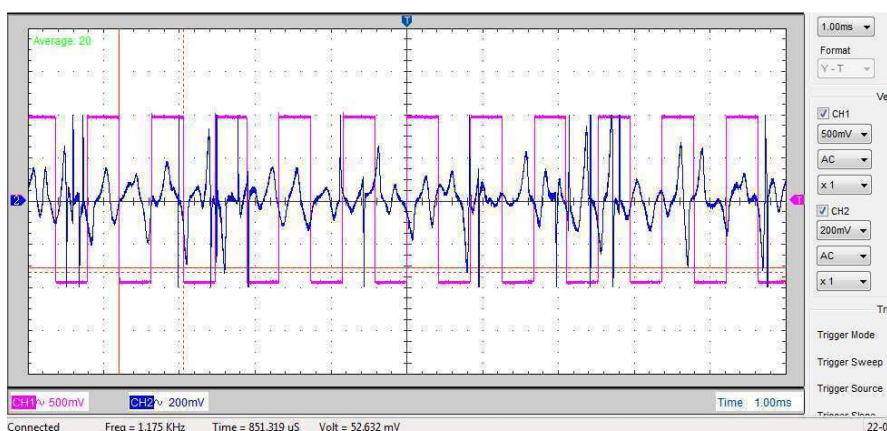
oddělujícím pilotní kmitočet. Jak vidět je ze spektra kolem kmitočtu 19 KHz, obsahuje signál kromě požadovaného pilotního kmitočtu i nežádoucí složky. Ty se projevují jako silná amplitudová modulace.



Obrázek 38 Spektrum signálu za filtrem složky RDS.

Spektrum signálu za filtrem RDS složky (Obrázek 38) sice přibližně odpovídá předpokládanému průběhu, ale časový průběh filtrovaného signálu je zkreslen šumem.

Na následujícím obrázku (Obrázek 39) je modrou barvou zobrazen časový průběh RDS signálu po demodulaci. K porovnání je zobrazen průběh signálu získaného zpracováním pilotního kmitočtu. Jeho perioda odpovídá době jednoho bifázového symbolu.



Obrázek 39 Časový průběh demodulovaného RDS signálu.

Jak je z tohoto průběhu vidět, z důvodu zkreslení není možné správně určit právě přijímaný bifázový symbol.

7.3 Simulace a testování zpracování RDS signálu

7.3.1 Simulace skupinové synchronizace bitů RDS

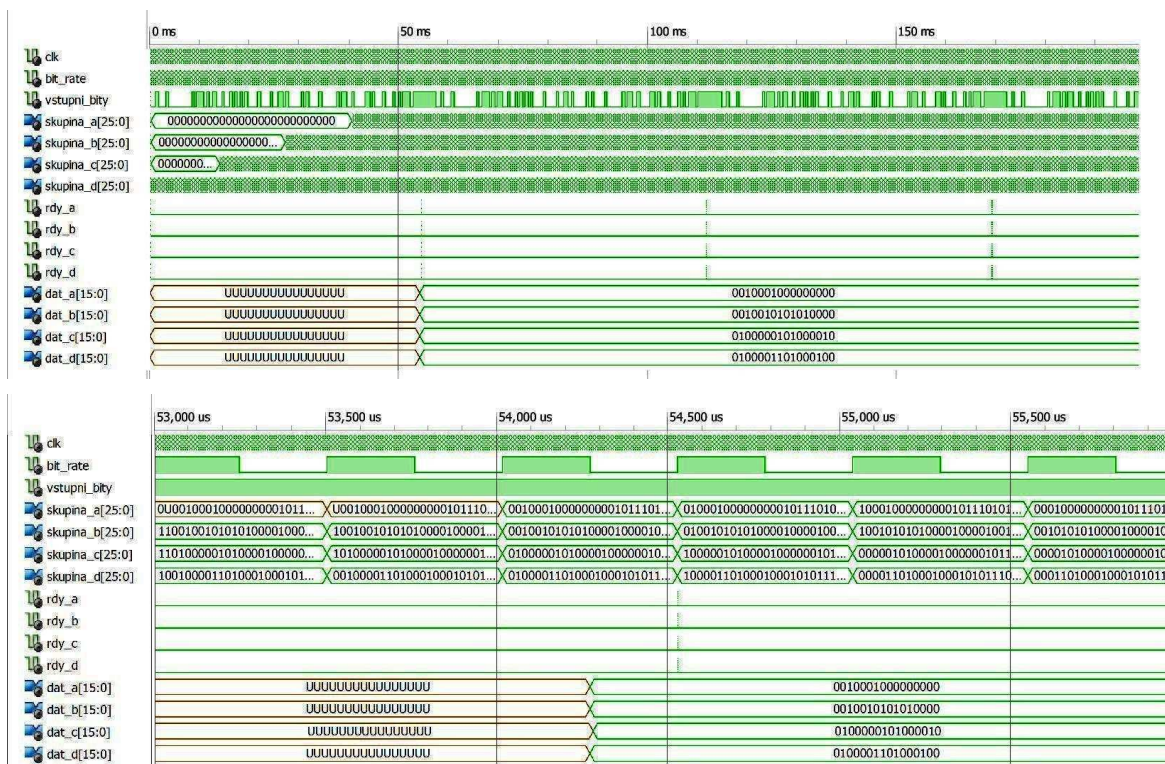
Princip skupinové (blokové) synchronizace je založen na porovnávání přijatého a

vypočítaného kontrolního slova daného bloku. K ověření platnosti vypočtené hodnoty jsou v standardu RDS příklady dvou sekvencí dat s odpovídajícími kontrolními slovy před i po přičtení offsetového slova viz. (Tabulka 7).

Tabulka 7 Testovací sekvence ze standardu RDS.

Informační slovo	Kontrolní slovo	
	Před přičtením offsetového slova	Po přičtení offsetového slova B „0110011000“
1111 1111 1111 1111	00110 01101	01010 10101
0000 0000 0000 0001	01101 11001	00001 00001

Pro získání vstupních dat pro jiné kombinace informačního slova byl v programu Matlab vytvořen skript zajišťující výpočet kontrolního slova ze zadaných 16 bitů (informační slovo). I tento program byl ověřen pomocí testovacích sekvencí. Pomocí tohoto skriptu byly přepočítány kódová slova pro čtyři bloky tvořící skupinou RDS bitů. Takto získaná skupina RDS dat byla pro simulaci vložena do paměti testovacího bloku a pomocí posuvného registru po jednom bitu přiváděna na vstup bloku zajišťující skupinovou synchronizaci. Výsledky této simulace jsou zobrazeny na následujícím obrázku (Obrázek 40). V horní části obrázku je zobrazena celá simulace a v dolní části potom detail při zachycení dat.



Obrázek 40 Výsledky simulace skupinové synchronizace RDS.

7.3.2 Ověření zpracování a zobrazení zpráv služby RDS

Zpracování a zobrazení jednotlivých zpráv bylo ověřeno přímo na vývojové desce s připojeným LCD displejem. K tomu byl vytvořen testovací blok, pomocí něhož byla simulována aktuální data jinak získávané blokem skupinové synchronizace. Následuje ukázka zdrojového kódu tohoto bloku zajišťující testování přenosu zprávy RT (rádio-text) v skupině 2B. Kód pro testování ostatních funkcí je obdobný.

```
doutA<="0010001000000000";
doutB<="0010111010111" & cit1;    --cit1 - změna adresy symbolů
doutC<="0000000000000001";
doutD<=cit2 & cit3;                --přenášené symboly
rdyA<= rdy;
rdyB<= rdy;
rdyC<= rdy;
rdyD<= rdy;

process(clk) begin
if rising_edge(clk) then
    if counter<"011" then
        counter<= counter +1;
        rdy<='0';
    elsif counter="010" then
        counter<= counter +1;
        rdy<='1';
    elsif counter="011" then
        rdyA<='0';
        cit1<=cit1+1;
        cit2<=cit2+1;
        cit3<=cit3+1;
        counter<=(OTHERS=>'0');
    end if;
    if cit1<"0101" then                -- Nastavení čítačů na
        cit1<=cit1+1;                  -- počáteční hodnotu po 5
        cit1<=(others=>'0');           -- symbolech.
        cit2<=X"41";
        cit3<=X"51";
    end if;
end if;
end process;
```

Po uplynutí třech period hodinového signálu jsou oznámena platná data (rdy) a zvýšena hodnota čítačů *cit1* až *cit3*. Hodnota *cit1* je použita pro poslední 4 bity v bloku B a tím určuje adresu znaků v bloku D. Změna těchto symbolů je zajištěna pomocí hodnoty *cit2* a *cit3*.

8 ZÁVĚR

Cílem práce bylo na FPGA obvodu vytvořit laditelný přijímač rozhlasového vysílání v pásmu VKV/FM. Tento přijímač má umožňovat příjem zpráv doplňkového systému RDS přenášených spolu s VKV/FM.

Pro realizaci práce byla zvolena analogově digitální architektura přímé konverze signálu. Za účelem zvýšení rozlišení přijímaného signálu bylo navíc využito metody pásmového vzorkování.

Jednotlivé části přijímače byly navrženy a vytvořeny na vývojové desce Atlys™ Spartan-6 FPGA Development Board, k níž byl připojen modul s osazený 14 bitovými AD a DA převodníky Analog Devices AD6645-105 a AD9764. K zobrazení přijatých informací byl k desce připojen dvouřádkový LCD displej.

Realizovaný přijímač vykazuje při demodulaci signálu nežádoucí zašumění, které se během zpracování nepodařilo odstranit. To má vliv na kvalitu poslechu reprodukováného vysílání a ovlivňuje správnou detekci jednotlivých bitů přijímaného RDS signálu. Proto je správná funkčnost obvodů pro synchronizaci, zpracování a zobrazení RDS zpráv ověřena pomocí simulací, kterými byla dokázána jejich správná funkce.

Jelikož se nepodařilo vyřešit problém s kvalitou signálu na výstupu demodulace, bylo zadaného cíle této práce dosaženo pouze částečně.

LITERATURA

- [1] PROKEŠ, A. *Rádiové přijímače a vysílače*. Přednášky. Brno: FEKT VUT v Brně, 2005.
- [2] KOLOUCH, J. *Programovatelné logické obvody*. Elektronické skriptum. Brno: FEKT VUT v Brně, 2009.
- [3] MARŠÁLEK, R. *Koncept softwarového rádia, architektury vysílačů a přijímačů*. Prezentace. Brno: FEKT VUT v Brně, 2012.
- [4] Standard RDS. [online]. 1998 – [cit. 5. prosince 2011]. Dostupné na WWW: <ftp://ftp.rds.org.uk/pub/acrobat/rbds1998.pdf>
- [5] Digilent. *Atlys reference manual*. [online] Dostupné na WWW: http://www.digilentinc.com/Data/Products/ATLYS/Atlys_rm.pdf
- [6] Xilinx. *Spartan-6 Family Overview*. [online] Dostupné na WWW: http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf
- [7] Analog Devices. *AD6645 14-Bit, 80 MSPS/105 MSPS A/D Converter data sheet*. [online] Dostupné na WWW: http://www.analog.com/static/imported-files/data_sheets/AD6645.pdf
- [8] Analog Devices. *AD9764 14-Bit, 125 MSPS D/A Converter data sheet*. [online] Dostupné na WWW: http://www.analog.com/static/imported-files/data_sheets/AD9764.pdf
- [9] ŠŤASTNÝ, J. *FPGA prakticky – realizace číslicových systémů pro hradlová pole*, Praha: BEN – Technická literatura, 2010 1. vydání, 200 s. ISBN 978-80-7300-261-9.
- [10] DANĚK, K. *Moderní rádioví přijímač – kniha o jeho návrhu*, Praha: BEN – Technická literatura, 2005 1. české vydání, 216 s. ISBN 80-7300-142-X.

SEZNAM ZKRATEK

RDS	systém doplňkových číslicových informací
S/N	poměr signálu k šumu
B _s	šířka pásma vstupního filtru
SAW	filtr s povrchovou akustickou vlnou
f_{PER}	periodický kmitočet
f_{vz}	vzorkovací kmitočet A/D převodníku
f_c	kmitočet zpracovávaného signálu
SNR	poměr užitečného signálu k šumu
P_s	výkon signálu
P_{n-in}	výkon šumu v užitečném pásmu
P_{n-out}	výkon šumu mimo užitečné pásmo
IOB	vstupně/výstupní blok
CLB	logický blok
PI	struktury propojující jednotlivé bloky
AD	analogově digitální
DA	digitálně analogový
PLL	číslicový syntetizátor řízený fázovým závěsem
DCM	Digital Clock Manager
DDS	Direct Digital Synthesizer
$\Delta\theta$	fázový inkrement DDS
f_{out}	výstupní kmitočet DDS
f_{clk}	kmitočet hodinového signálu DDS
B	počet bitů fázového akumulátoru DDS
VHDC	vysokorychlostní paralelní vstupně výstupní konektor
FIR	filtr s konečnou impulzní odezvou
CIC	Cascaded Integrator-Comb filters