



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

# OPTIMALIZACE POSTUPU VELKOPLOŠNÉHO ODVRSTVOVÁNÍ INTEGROVANÝCH OBVODŮ POMOCÍ POKROČILÝCH INSPEKČNÍCH TECHNOLOGIÍ

OPTIMIZATION OF INTEGRATED CIRCUITS LARGE-AREA DELAYERING PROCESS USING ADVANCED  
INSPECTION TECHNOLOGIES

## BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

### AUTOR PRÁCE

AUTHOR

Marek Vlach

### VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Ondřej Chmela, Ph.D.

BRNO 2021

# Bakalářská práce

bakalářský studijní program **Mikroelektronika a technologie**

Ústav mikroelektroniky

**Student:** Marek Vlach

**ID:** 211247

**Ročník:** 3

**Akademický rok:** 2020/21

## NÁZEV TÉMATU:

### **Optimalizace postupu velkoplošného odvrstvování integrovaných obvodů pomocí pokročilých inspekčních technologií**

#### **POKYNY PRO VYPRACOVÁNÍ:**

Student se blíže seznámí s problematikou technologického vývoje integrovaných obvodů a používaných materiálů pro realizaci polovodičových čipů. Prostuduje současně známé technologie pro odpouzdřování pouzder čipu, inspekci a materiálovou analýzu povrchu čipu a technologie leptání pro účely postupného odkrývání jednotlivých vrstev integrovaných obvodů. Student se také zaměří na technologický vývoj integrovaných obvodů od prvních prototypů tranzistorů až po současně využívané i s přesahem nově vyvíjených tranzistorových struktur. Náplní praktické části bakalářské práce bude optimalizace technologie velkoplošného odvrstvování integrovaného obvodu s využitím pokročilých inspekčních technologií a materiálových analýz. Hlavním přínosem této práce bude zpracování komplexního přehledu: 1) vývoje struktury hlavních stavebních prvků (tranzistorů) integrovaných obvodů, 2) technologií pro odpouzdřování a odvrstvování (leptání) čipu, 3) inspekčních technologií pro analýzu struktur na čipu a jeho materiálové (prvkové) složení.

#### **DOPORUČENÁ LITERATURA:**

Podle doporučení vedoucího práce.

**Termín zadání:** 8.2.2021

**Termín odevzdání:** 3.6.2021

**Vedoucí práce:** Ing. Ondřej Chmela, Ph.D.

**doc. Ing. Jiří Háze, Ph.D.**  
předseda rady studijního programu

#### **UPOZORNĚNÍ:**

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **Abstrakt**

V této bakalářské práci je zpracován přehled používaných technologických metod pro odpouzďování a odvrstvování integrovaných obvodů. Dále jsou v práci uvedeny používané inspekční techniky a materiálové analýzy při odvrstvování polovodičových čipů. Práce se také zabývá technologickým vývojem integrovaných obvodů z pohledu používaných tranzistorových struktur. V praktické části práce je pak navržen a odzkoušen postup odpouzďování a velkoplošného odvrstvování integrovaných obvodů.

## **Klíčová slova**

Integrovaný obvod, polovodičový čip, tranzistorová struktura, odpouzďování, odvrstvování, inspekční technika, materiálová analýza

## **Abstract**

This bachelor thesis provides an overview of the technological methods used for decapsulation and delayering of integrated circuits. Furthermore, the inspection techniques and material analysis used during delayering of semiconductor chips are presented. The thesis also discusses the technological development of integrated circuits in terms of the transistor structures used. In the practical part of the thesis, a procedure for decapsulation and large-area delayering of integrated circuits is proposed and tested.

## **Keywords**

Integrated circuit, semiconductor chip, transistor structure, decapsulation, delayering, inspection technique, material analysis

## **Bibliografická citace**

VLACH, Marek. *Optimalizace postupu velkoplošného odvrstvování integrovaných obvodů pomocí pokročilých inspekčních technologií*. Brno, 2021. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/134685>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Ondřej Chmela.

# Prohlášení autora o původnosti díla

**Jméno a příjmení studenta:** *Marek Vlach*

**VUT ID studenta:** *211247*

**Typ práce:** *Bakalářská práce*

**Akademický rok:** *2020/21*

**Téma závěrečné práce:** *Optimalizace postupu velkoplošného odvrstvování integrovaných obvodů pomocí pokročilých inspekčních technologií*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 3. června 2021

-----  
podpis autora

## **Poděkování**

Děkuji především vedoucímu bakalářské práce Ing. Ondřeji Chmelovi, Ph.D. za účinnou pedagogickou a odbornou pomoc, ochotu, trpělivost i věnovaný čas a další cenné rady při zpracování mé bakalářské práce. Dále bych rád poděkoval Ing. Martinu Búranovi, Ing. Vilému Kledrowetzovi, Ph.D. a doc. Ing. Lukáši Fucikovi, Ph.D. za poskytnuté materiály pro vypracování praktické části bakalářské práce.

V Brně dne: 3. června 2021

-----  
podpis autora

# Obsah

ÚVOD .....	9
<b>1 POUZDŘENÍ.....</b>	<b>10</b>
1.1 DRUHY POUZDER.....	10
1.1.1 <i>Plastová pouzdra</i> .....	10
1.1.2 <i>Kovová pouzdra</i> .....	10
1.1.3 <i>Keramická pouzdra</i> .....	11
1.2 PROPOJOVACÍ TECHNIKY .....	11
1.2.1 <i>Holé čipy COB</i> .....	11
1.2.2 <i>Obrácené čipy FC</i> .....	12
1.2.3 <i>Čipy na páskových nosičích TAB</i> .....	12
1.2.4 <i>Pouzdrění čipů na úrovni waferu WLP</i> .....	13
1.2.5 <i>Kontaktování mikrodrátkem</i> .....	13
1.3 SHRNUTÍ DRUHŮ POUZDER A PROPOJOVACÍCH TECHNIK.....	14
<b>2 METODY ODPOUZDŘOVÁNÍ.....</b>	<b>15</b>
2.1 ODPOUZDŘOVÁNÍ HERMETICKÝCH POUZDER .....	15
2.2 ODPOUZDŘOVÁNÍ PLASTOVÝCH POUZDER.....	16
2.2.1 <i>Manuální chemické leptání</i> .....	16
2.2.2 <i>Tryskové chemické leptání</i> .....	17
2.2.3 <i>Plazmatické odpouzďřování</i> .....	17
2.2.4 <i>Laserové odpouzďřování</i> .....	18
2.2.5 <i>Termomechanické odpouzďřování</i> .....	18
2.3 SHRNUTÍ METOD ODPOUZDŘOVÁNÍ .....	18
<b>3 POLOVODIČOVÉ ČIPY .....</b>	<b>20</b>
3.1 HISTORIE VÝVOJE INTEGROVANÝCH OBVODŮ .....	20
3.1.1 <i>Bipolární tranzistor BJT</i> .....	21
3.1.2 <i>Tranzistor řízený elektrickým polem MOSFET</i> .....	22
3.2 VÝROBNÍ TECHNOLOGIE INTEGROVANÝCH OBVODŮ CMOS .....	23
3.2.1 <i>Technologie utopené vrstvy oxidu SOI</i> .....	24
3.2.2 <i>3D polovodičové struktury FinFET</i> .....	25
3.3 NOVĚ VYVÍJENÉ TRANZISTOROVÉ STRUKTURY .....	27
3.3.1 <i>3D polovodičové struktury GAAFET</i> .....	27
3.3.2 <i>Polovodičové sloučeniny pro tranzistorové struktury</i> .....	28
3.3.3 <i>CNTFET tranzistor s uhlíkovými nanotrubicemi</i> .....	28
3.4 MATERIÁLY PRO ZÁKLADNÍ SUBSTRÁT .....	29
3.5 MATERIÁLY PRO ČIPOVOU STRUKTURU.....	29
3.5.1 <i>Metalizace</i> .....	30
3.5.2 <i>Dielektrické vrstvy</i> .....	31
3.6 SHRNUTÍ VÝVOJE IO A MATERIÁLŮ PRO POLOVODIČOVÉ ČIPY .....	31
<b>4 METODY ODVRSTVOVÁNÍ POLOVODIČOVÝCH ČIPŮ .....</b>	<b>33</b>
4.1 MOKRÉ LEPTÁNÍ.....	33
4.2 SUCHÉ LEPTÁNÍ.....	34
4.2.1 <i>Iontové leptání IBE – suché fyzikální leptání</i> .....	35

4.2.2	<i>Plazmatické leptání – suché chemické leptání</i> .....	35
4.2.3	<i>Reaktivní iontové leptání RIE – suché chemicko-fyzikální leptání</i> .....	36
4.2.4	<i>Vlastnosti suchého leptání</i> .....	37
4.3	LAPOVÁNÍ .....	37
4.4	SHRNUTÍ METOD ODVRSTVOVÁNÍ POLOVODIČOVÝCH ČIPŮ .....	37
<b>5</b>	<b>INSPEKCE A MATERIÁLOVÁ ANALÝZA</b> .....	<b>39</b>
5.1	INSPEKČNÍ TECHNIKY .....	39
5.1.1	<i>Optická mikroskopie</i> .....	39
5.1.2	<i>Skenovací elektronová mikroskopie SEM</i> .....	40
5.2	METODY PRO ANALÝZU PRVKOVÉHO ZASTOUPENÍ VRSTEV .....	41
5.2.1	<i>Energiově disperzní rentgenová spektroskopie EDS</i> .....	41
5.2.2	<i>Rentgenová fotoelektronová spektroskopie XPS</i> .....	42
5.2.3	<i>Hmotnostní spektrometrie sekundárních iontů SIMS</i> .....	43
5.3	SHRNUTÍ INSPEKČNÍCH TECHNIK A METOD PRO ANALÝZU PRVKOVÉHO ZASTOUPENÍ VRSTEV .....	43
<b>6</b>	<b>EXPERIMENTÁLNÍ ČÁST</b> .....	<b>44</b>
6.1	PROCESOROVÉ ČIPY .....	44
6.1.1	<i>Odpouzdřování procesorových čipů</i> .....	44
6.1.2	<i>Odvrstvování procesorových čipů mokrým leptáním</i> .....	46
6.1.3	<i>Odvrstvování procesorových čipů suchým leptáním</i> .....	50
6.2	ASIC ČIPY .....	53
6.2.1	<i>Odvrstvování ASIC čipů</i> .....	53
6.3	SHRNUTÍ EXPERIMENTÁLNÍ ČÁSTI .....	56
<b>7</b>	<b>ZÁVĚR</b> .....	<b>57</b>
	<b>LITERATURA</b> .....	<b>58</b>
	<b>SEZNAM OBRÁZKŮ</b> .....	<b>62</b>
	<b>SEZNAM TABULEK</b> .....	<b>64</b>
	<b>SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>65</b>



# ÚVOD

Předložená bakalářská práce seznamuje čtenáře s jednotlivými metodami odpouzdřování a odvrstvování integrovaných obvodů na celé ploše čipu, které se běžně využívají v polovodičovém průmyslu. Nejprve je odstraněno pouzdro pokrývající polovodičový čip a poté je provedeno odvrstvení (leptání) jednotlivých funkčních vrstev na čipu. Odvrstvování integrovaných obvodů se nejčastěji provádí pro identifikaci příčin defektů v čipové struktuře, zjištění materiálového složení, odhalení funkce obvodu apod.

Pro odstranění materiálů pouzder nebo jednotlivých vrstev na čipu se využívá metod založených na chemických, fyzikálních a mechanických principech. V některých případech bude vhodné využít leptacích účinků tekutých roztoků nebo ionizovaného reaktivního plynu (plazmy), v jiných případech plně postačuje broušení pouzdra nebo povrchu čipu. Pro zvolení správné metody odpouzdřování a odvrstvování integrovaných obvodů je však potřeba znát materiálové složení pouzder a čipů, proto je část práce věnována používaným materiálům pro pouzdra a polovodičové čipy.

Samotné odvrstvování integrovaných obvodů je však nutné doprovázet inspekčními technikami pro sledování rozdílů mezi aktuálním a předchozím stavem odvrstveného čipu. Pro zjištění materiálového složení jednotlivých vrstev na čipu slouží různé druhy materiálových analýz. V práci jsou tak uvedeny inspekční techniky a různé druhy materiálových analýz používané při odvrstvování.

Práce se také zabývá vývojem integrovaných obvodů z pohledu používaných tranzistorových struktur. S rostoucím stupněm integrace prvků na čipu je nutné vyvíjet nové tranzistorové struktury, které nahrazují ty doposud používané. Postupem času bylo nutné přejít od bipolárních tranzistorů k MOSFET tranzistorům v provedení CMOS až po novodobé struktury jako jsou FinFET a SOI. Polovodičový průmysl však směřuje dále ve výzkumu a jsou již vyvíjeny nové tranzistorové struktury pro budoucí integrované obvody.

V praktické části práce je pak ze zjištěných poznatků navrhnut a odzkoušen postup odpouzdřování a velkoplošného odvrstvování procesorových čipů. Kromě procesorových čipů je proces odvrstvování také vyzkoušen na nezapouzdřených čipech typu ASIC, u nichž na rozdíl od procesorových čipů je známá topologie.

# 1 POUZDŘENÍ

Polovodičové čipy je nutno chránit před vnějšími vlivy, které by mohly narušit funkčnost obvodu. Proto se v elektronických obvodech používají pouzdra a pouzdřící hmoty, které plní funkci nejen mechanické a environmentální ochrany, ale i požadavky spojené s chlazením, stíněním a jinými nároky pro danou aplikaci. Pouzdra musí být schopna zajistit elektrické propojení polovodičových čipů s okolním prostředím, tak aby byly zachovány elektrické vlastnosti obvodu [1].

## 1.1 Druhy pouzder

Možnosti provedení pouzder pro polovodičové čipy jsou dány především zvolenými materiály. Rozlišují se dvě základní skupiny materiálů, které vychází ze své chemické podstaty a složení. Do první skupiny patří organické materiály, kde se jedná hlavně o polymery vyznačující se nehermetickou ochranou, zatímco do druhé skupiny materiálů patří anorganické materiály vyznačující se hermetickou ochranou. Jedná se nejvíce o kovy a keramiku [1].

### 1.1.1 Plastová pouzdra

Plastová pouzdra patří do skupiny nehermetických pouzder, které se vytváří především z materiálů na bázi pryskyřic. Mezi typické představitele patří epoxidové, polyuretanové a silikonové pryskyřice. Jako plnivo se používá rozemletý Si nebo  $\text{SiO}_2$ , z důvodu přiblížení se vlastnostem polovodičových čipů. Každý druh pryskyřice se odlišuje především různou hodnotou tvrdosti, viskozitou a dobou vytvrzení. Důležitou roli hrají i rozdílné elektrické a tepelné vlastnosti pryskyřic. Plastová pouzdra je možné vyrábět třemi způsoby, kterými jsou technologie zalévání, lisování a fluidizace [1], [2]. Plastová pouzdra nabízí mnoho výhod oproti hermetickým pouzdrům, co se týče hmotnosti, dostupnosti, a hlavně díky své nízké ceně a nákladům na výrobu.

### 1.1.2 Kovová pouzdra

Kovová pouzdra patří do skupiny hermetických pouzder. Na výrobu pouzder se používají různé druhy kovů např. Cu, Al, W, Mo, ale i kovových slitin např. ocel, kovár aj. Zvláště pro splnění stále vyšších nároků jsou vyvíjeny kompozitní materiály složené z více materiálů založené na bázi Cu, Al s přídavkem Si a dalších prvků. Jelikož kovová pouzdra jsou hermeticky uzavřena, tak obvod uvnitř pouzdra je dokonale chráněn před vnějšími vlivy jako jsou vlhkost, atmosféra, chemikálie apod. Pouzdra zajišťují výborný odvod tepla z polovodičového čipu do okolí a svým stíněním poskytují ochranu před rušivými vlivy elektromagnetického pole. Proto se používají ve výkonové a vysokofrekvenční technice. Nevýhodou kovových pouzder jsou však jejich vysoké náklady, a tedy použití je omezeno pro náročnější aplikace [1].

Kovová pouzdra se zhotovují ze dvou kovových částí, jimiž jsou základna s vývody, na které je umístěn čip, a víčko. Po spojení základny s víčkem se vytvoří celek pouzdra. Mezi používané metody pro spojení víčka a základny patří pájení, termokomprese, elektrické svařování nebo temování [1], [2].

### **1.1.3 Keramická pouzdra**

Keramická pouzdra se stejně jako pouzdra kovová řadí do skupiny pouzder hermetických používaných pro náročnější aplikace. Mezi používané materiály pro keramická pouzdra patří  $\text{Al}_2\text{O}_3$ , BeO, AlN, aj. Keramická pouzdra představují vysoce spolehlivý systém s hermetickou ochranou. Vyznačují se svojí mechanickou pevností a chemicky jsou téměř inertní. Mají výborné elektrické a tepelné vlastnosti, a tedy splňují požadavky kladené na chlazení a stínění. Svoje využití najdou ve vysokofrekvenční nebo výkonové technice. Oproti kovovým pouzdrům s obdobnými vlastnostmi se liší zpravidla nižší cenou a větší různorodostí provedení [1], [3].

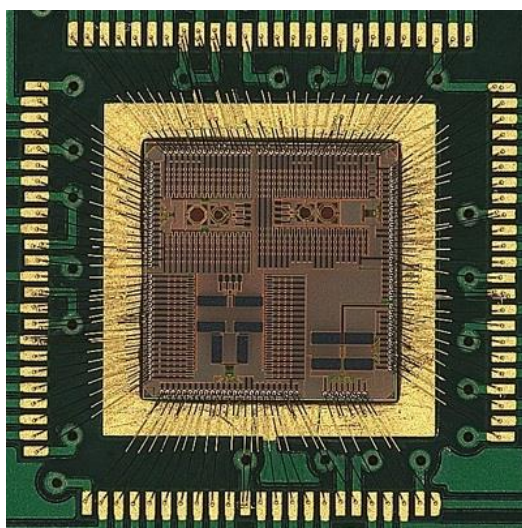
Keramická pouzdra se skládají podobně jako pouzdra kovová ze dvou částí, jimiž jsou základna s vývody, na níž je umístěn čip, a víčko. Jako spojovací materiál pro spojení víčka se základnou slouží skelná pájka či lepidlo [2].

## **1.2 Propojovací techniky**

Polovodičový čip je nezbytné před samotným procesem pouzdření propojit s vnějším systémem tím způsobem, aby byly zachovány a nezměněny elektrické vlastnosti obvodu. Pro jednotlivé typy čipů je charakteristické rozdílné řešení vývodů. S tím souvisí výrazně odlišný způsob montáže čipů do obvodů. Nejrozšířenějším způsobem montáže jsou holé čipy (chip on board, COB) a obrácené čipy (flip chip, FC). Dalším příkladem montáže jsou čipy na páskových nosičích (tape automated bonding, TAB). Existuje také i moderní způsob pouzdření čipů na úrovni waferu (wafer level packaging, WLP) [2], [4].

### **1.2.1 Holé čipy COB**

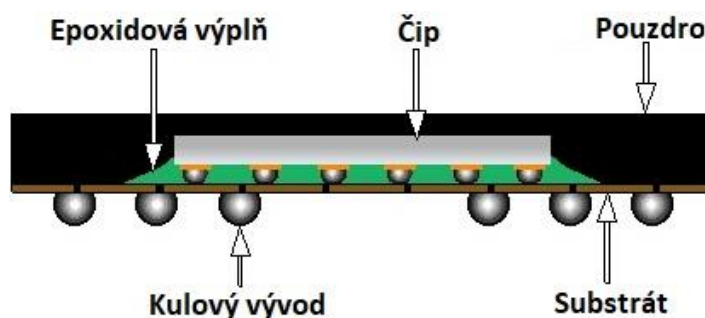
Holé čipy se připevňují přímo na substrát lepidlem nejčastěji na bázi epoxidů, eutektickým spojením pomocí Au fólie nebo měkkou pájkou, přičemž kontaktní plošky jsou situovány na horní straně čipu. Propojení čipu s okolím se pak provádí pomocí kontaktování mikrodrátkem [2]. Pohled na nakontaktovaný holý čip je zobrazen na obrázku 1.1.



Obrázek 1.1 Holý čip nakontaktovaný mikrodrátkem [5]

### 1.2.2 Obrácené čipy FC

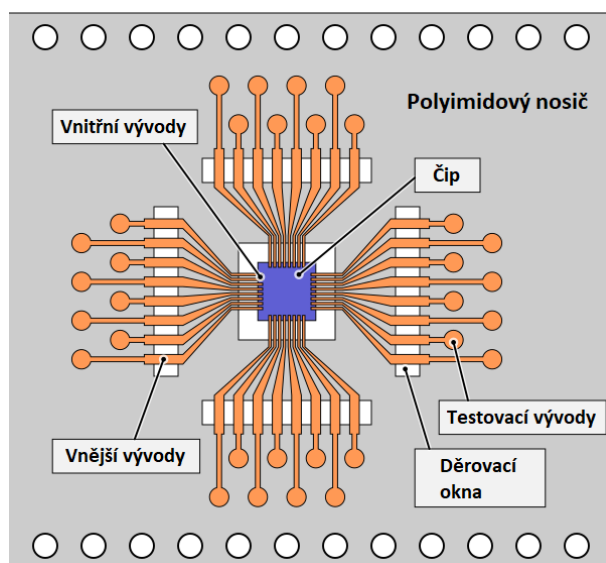
Obrácené čipy mají speciálně vytvořené vývody ve tvaru kulového nebo bradavkového výstupku na jeho lící straně. Montáž čipu na substrát se provádí v obrácené poloze tak, že jeho aktivní strana s vývody směřuje směrem k substrátu. Tímto způsobem lze zkrátit délku potřebnou pro průchod signálu z čipu na substrát. Zkrácení délky vývodů velmi výrazně přispívá ke snížení parazitních kapacit a indukčností spojů [2]. Zapojení obráceného čipu je uvedeno na obrázku 1.2.



Obrázek 1.2 Obrácený čip v pouzdře [6]

### 1.2.3 Čipy na páskových nosičích TAB

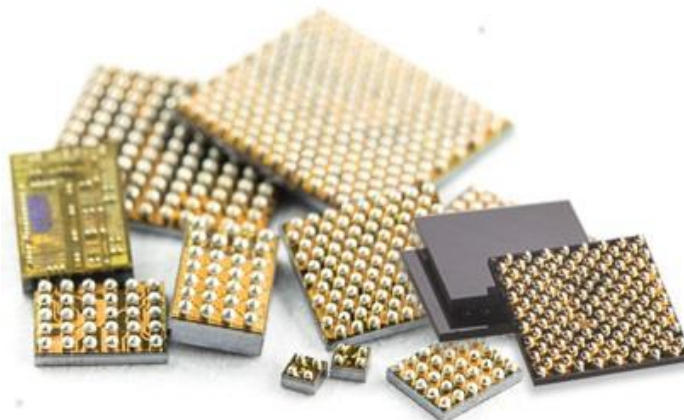
Tento způsob propojení využívá čipů umístěných na páskových nosičích, jak je znázorněno na obrázku 1.3. Vývody jsou umístěny paprskovitě kolem čipu ve tvaru vodivých pásků, jež tvoří součást nosiče. Montáž do obvodu pak probíhá pájením ohřátým nástrojem, kdy současně dochází k oddělení čipu z nosiče [2].



Obrázek 1.3 Čip na páskovém nosiči [7]

#### 1.2.4 Pouzdření čipů na úrovni waferu WLP

U Wafer level packaging se pouzdření čipů provádí již na samotném waferu před jejich dělením. Znamená to tedy, že na hotovém waferu je vytvořena pouzdřicí struktura a následně je wafer rozřezán. Při pouzdření na úrovni waferu se zároveň vytváří vývody jednotlivých čipů přímo na waferu ve tvaru pro přímé připojení čipu [2]. Na obrázku 1.4 jsou uvedeny různé druhy zapouzdřených čipů pomocí této technologie.

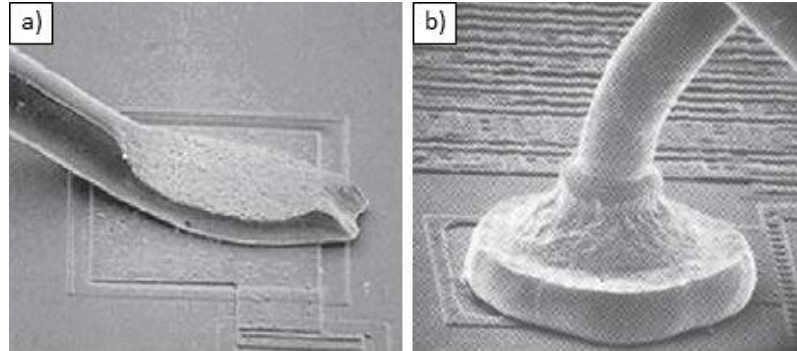


Obrázek 1.4 Zapouzdřené čipy provedené technologií WLP [8]

#### 1.2.5 Kontaktování mikrodrátkem

Tato metoda využívá velmi tenkého vodiče o průměru 18 až 350  $\mu\text{m}$  pro elektrické propojení čipu s vnějším systémem, přičemž průměr vodiče závisí na typu zvolené aplikace. Spojení mikrodrátku s kontaktní ploškou na čipu je tvořeno metalurgickým

spojem. Pro kontaktování čipů mikrodrátkem se využívají tři základní techniky, jimiž jsou ultrazvukové, termokompresní a termosonické kontaktování. Dále podle provedení kontaktu mikrodrátkového spoje lze rozlišit hranový a kuličkový spoj viz obrázek 1.5. Propojení kromě mikrodrátku může být realizováno vodičem mikropáskového tvaru, kde typické hodnoty šířky mikropásku jsou od 100  $\mu\text{m}$  do 1 mm a tloušťky od 20  $\mu\text{m}$  do 100  $\mu\text{m}$ . Mezi používané materiály vodičů pro kontaktování patří Al, Au nebo Cu. [1].



Obrázek 1.5 Detailní snímek a) hranového a b) kuličkového spoje [9]

### 1.3 Shrnutí druhů pouzder a propojovacích technik

V současné době existuje několik různých způsobů pouzdření. Pro běžné a levné aplikace postačí použití nehermetických pouzder z organických materiálů a v případě náročných aplikací vyžadujících vysokou spolehlivost (letectví, vojenská technika, lékařství apod.) se využijí anorganické materiály s hermetickým pouzdřením. U organických materiálů se rozlišují především pouzdra plastová a u anorganických materiálů jde nejvíce o pouzdra kovová a keramická.

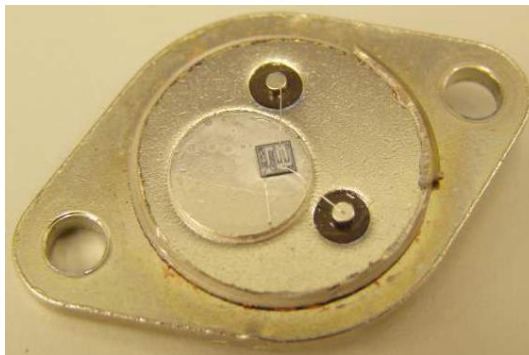
Polovodičové čipy je před samotným procesem pouzdření nutné elektricky propojit do vnějšího systému, k tomu se využívá několik propojovacích technik. Nejvíce zastoupené typy čipů jsou holé a obrácené čipy. Proto také existují dvě hlavní metody připojování čipů do systému, jimiž jsou kontaktování mikrodrátkem a připojování přímými (kulovými) vývody. Kromě těchto technik existují i čipy na páskových nosičích a rozvíjející se technologie pouzdření čipů na úrovni waferu.

## 2 METODY ODPOUZDŘOVÁNÍ

Při odstraňování pouzder z čipů je hlavním požadavkem minimalizovat riziko poškození čipu a jeho elektrického propojení. S tím se pojí použitý způsob technologie odpouzďování, který závisí na zvoleném materiálu pouzdra. Metody odpouzďování se v zásadě liší pro pouzdra hermetická skládající se z víčka a základny a pouzdra nehermetická, kde čip je obklopen plastovým materiálem. Odstranění hermetických pouzder na rozdíl od pouzder plastových představuje obvykle snazší způsob odpouzďování. Typicky bude postačovat oddělení víčka od základny vhodnou metodou, zatímco u plastových pouzder už z principu výroby bude odstranění pouzdra komplikovanější [10], [11].

### 2.1 Odpouzďování hermetických pouzder

U hermetických pouzder čip není nijak spojen s víčkem pouzdra, a proto neoptimálnější metodou odpouzďování je mechanické odstranění víčka od základny. Typickou technikou odstranění víčka pro kovová i keramická pouzdra je použití jednoho nebo dvou tenkých nožů, jejichž řez je veden spojem mezi víčkem a základnou. U keramických pouzder se využívá obou nožů vedených proti sobě, mezi nimiž se nachází spoj (svar) pouzdra. Pouzdro je fixováno na podstavci a vyvolaný tlak oběma noži na svar způsobí jeho prasknutí. U kovových pouzder se využívá obdobného principu s rozdílem použití jednoho nože. Pouzdro je opět fixováno na podstavci a řez nože je veden na svar s podporou přírazu. Nevýhodou těchto technik je možné poškození čipu a jeho elektrického propojení [11], [12]. Úspěšně odpouzďené kovové pouzdro TO3 je zobrazeno na obrázku 2.1.



Obrázek 2.1 Odpouzďené kovové pouzdro TO3 [13]

Mnohem spolehlivější metodu odpouzďování pro kovová pouzdra, jejichž spoj je tvořen pájkovou slitinou nejčastěji Au a Sn, představuje roztavení pájkového spoje. Víčko kovového pouzdra je zahříváno na teplotu tavení pájky. Po roztavení slitiny pájky se víčko uvolní od základny a lze ho odejmout. Broušení patří u keramických pouzder mezi spolehlivější metody. K broušení keramického pouzdra je používán diamantový



brusný kotouč s hrubší zrnitostí, kterým se vybrousí do víčka otvor požadovaného tvaru [11], [12].

Kromě těchto základních metod odpouzdřování hermetických pouzder existuje celá řada specializovaných zařízení určených přímo pro odpouzdření konkrétního typu pouzdra.

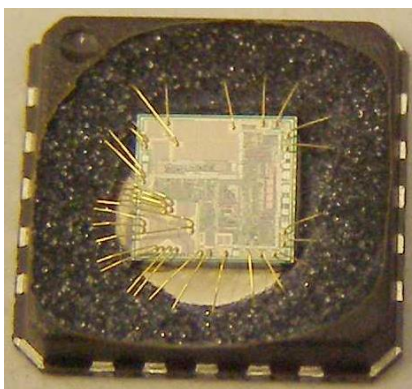
## 2.2 Odpouzdřování plastových pouzder

Pro plastová pouzdra existuje hned několik možností odpouzdřování. K nejrozšířenějším patří chemické leptání pouzder pomocí kyselin, které je možné provádět jak manuálně, tak i specializovaným zařízením pro tryskové leptání. Kromě chemického leptání pouzder byly vyvinuty technologie omezující rizika spojená s používáním kyselin, především s jejich bezpečnou manipulací a likvidací použitých kyselin. Těmito technologiemi jsou plazmatické, laserové a termomechanické odpouzdřování [12].

### 2.2.1 Manuální chemické leptání

Manuální chemické leptání spočívá v nanášení malého množství kyseliny dusičné  $\text{HNO}_3$  na povrch pouzdra nebo ponořování celého pouzdra do kyseliny sírové  $\text{H}_2\text{SO}_4$  za účelem odstranění plastového materiálu. Samotný čip je vůči používaným kyselinám netečný díky ochranné pasivační vrstvě  $\text{SiO}_2$  či  $\text{Si}_3\text{N}_4$  na jeho povrchu, avšak  $\text{Cu}$  či  $\text{Al}$  kontaktovací plošky nebo vývody do určité míry s kyselinami reagují. V případě mikrodrátků vyvedených z čipu určuje jejich materiálové složení, zda dojde k naleptání mikrodrátků či nikoliv.

Při částečném odstraňování pouzdra se nanáší pomocí pipety malé množství  $\text{HNO}_3$  zahřáté na 90 až 100 °C na vybranou část pouzdra, jež má být odleptána, přičemž zbylé části pouzdra jsou kryty. Poté, co je odleptána požadovaná část pouzdra, se nechá odhalený čip očistit působením ultrazvuku v lázni acetonu nebo izopropylalkoholu (IPA). Následně pomocí stlačeného dusíku se čip nechá osušit [11], [14]. Příklad odstranění části plastového pouzdra QFN touto technikou je uveden na obrázku 2.2.



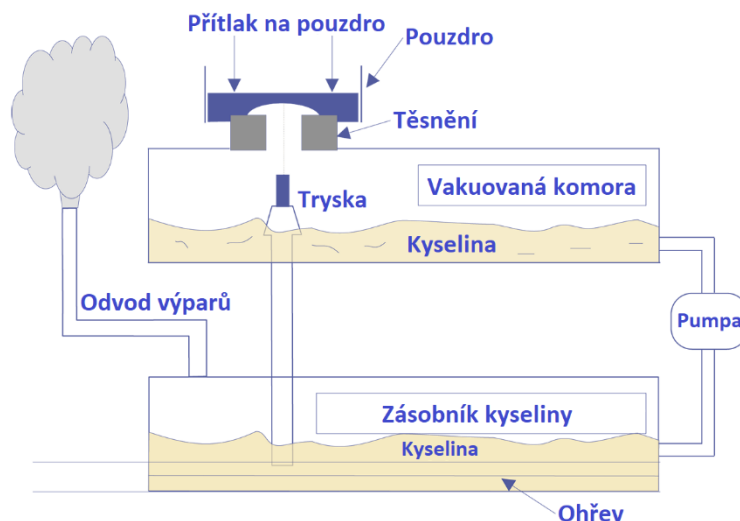
Obrázek 2.2 Pouzdro QFN po manuálním chemickém leptání [13]



Pro kompletní odpouzdření čipu existuje také možnost celé pouzdro ponořit do kádinky s  $H_2SO_4$ , která je zahřívána na teplotu 150 až 250 °C. Plastové pouzdro se v kádince s kyselinou kompletně rozloží během pár minut. Z pouzdra po vytažení zůstanou nerozložitelné části jako jsou např. nosný kovový rám s vývody nebo čip. Následuje očištění čipu působením ultrazvuku v acetonové nebo izopropylalkoholové lázni s pozdějším sušením pomocí stlačeného dusíku [11], [14].

### 2.2.2 Tryskové chemické leptání

Preferovanou technikou pro odpouzdřování plastových pouzder je použití aparatury pro tryskové stříkání horké kyseliny na definovanou oblast pouzdra. Schéma aparatury je ilustrováno na obrázku 2.3. Pouzdro se umístí do držáku aparatury a proud horké kyseliny vedený tryskou na povrch pouzdra způsobí odleptávání materiálu pouzdra. Po odhalení povrchu čipu se proud horké kyseliny po nastavených časových parametrech automaticky zastaví a může následovat čištění čipu s obdobným postupem jak u manuálního chemického leptání [10].



Obrázek 2.3 Schéma systému pro tryskové chemické leptání [11]

Pro tryskové leptání je vhodnou volbou použití  $HNO_3$  ohřáté na 75 až 80 °C nebo  $H_2SO_4$  ohřáté na 280 až 290 °C. Celková doba tryskového leptání trvá pár minut [11]. Podstatnou výhodou tryskového leptání oproti manuálnímu chemickému leptání je přesnost vyleptaného otvoru, automatizace a efektivita procesu.

### 2.2.3 Plazmatické odpouzdřování

Při plazmatickém odpouzdřování plastových pouzder se využívá chemicky reaktivních účinků nízkotlaké plazmy k odleptávání materiálu plastového pouzdra. Jako pracovní směs plynů tvořící prostředí plazmatu jsou použity plyny  $CF_4 + O_2$  v poměru 1:9. Při plazmatickém leptání je vhodné použít krycí masku na pouzdro, jejíž motiv určuje části pouzdra vystavené plazmě [11], [12].

Plazmatické odpouzdřování oproti chemickému leptání je vysoce selektivní a šetrnější, avšak časově velice náročné. Celková doba procesu se pohybuje kolem 6 až 8 hodin. Jelikož se jedná o časově náročný proces, je vhodné odstranit část pouzdra jinou metodou pro podstatné zkrácení doby odpouzdřování. Metoda plazmatického odpouzdřování kvůli časové náročnosti procesu není velmi rozšířená [11], [12].

#### **2.2.4 Laserové odpouzdřování**

U laserového odpouzdřování se využívá energie laserového paprsku generovaného výkonovým laserem. Laserový paprsek je směřován na povrch pouzdra, kde způsobuje ablaci plastového materiálu. Pro tyto účely byly vyvinuty tři rozdílné druhy laserových systémů pracujících v pulsním režimu, mezi které patří CO<sub>2</sub> laser, Nd:YAG laser a excimerový KrF laser [15].

Laserový systém je řízen přesnými krokovými motory, čímž je zaručena vysoká selektivita laserového svazku. Lze tedy realizovat odpouzdřování pouzder menších či nepravidelných tvarů, u kterých by odpouzdřování chemickým leptáním bylo značně náročné. Laserový svazek po ablaci materiálu pouzdra sice odkryje polovodičový čip, ale po interakci s čipem by mohl nenávratně teplotně poškodit jeho horní vrstvy. Proto se laserové odpouzdřování kombinuje s chemickým leptáním, kdy laserový svazek slouží k odstranění většiny pouzdra a zbylá část se chemicky odleptá. Podstatně se touto kombinací metod zkrátí čas potřebný k odpouzdřování než při samotném chemickém leptání [16], [17].

#### **2.2.5 Termomechanické odpouzdřování**

Termomechanické odpouzdřování plastových pouzder se obecně skládá z jednoho až několika technologických kroků. Mezi tyto kroky patří mechanické odstranění části pouzdra, zahřátí pouzdra do jeho změknutí nebo vynaložení mechanické síly k prasknutí či oddělení části pouzdra. Hlavní nevýhodou těchto metod je možné poškození čipu.

Jedna z metod termomechanického odpouzdřování spočívá v oddělení horní části zahřátého pouzdra od kovového nosného rámu s čipem. V podstatě se jedná o velmi podobnou metodu odpouzdřování jak u keramických pouzder s dvěma noži. Pouzdro je však umístěno na vyhřívané podložce. Jinou metodou termomechanického odpouzdřování je odbušování spodní části pouzdra do odhalení povrchu čipu. Zbylá část pouzdra je poté zahřívána a čip může být ze změkklého plastového materiálu vytažen [12].

Existuje nespočet dalších metod termomechanického odpouzdřování, které se liší rozdílnou úspěšností odstranění pouzdra.

### **2.3 Shrnutí metod odpouzdřování**

Metody odpouzdřování lze v zásadě rozdělit podle složitosti na odpouzdřování hermetických (kovových a anorganických) pouzder a plastových pouzder. U hermetických pouzder v zásadě postačuje oddělit víčko od základny pomocí tenkých

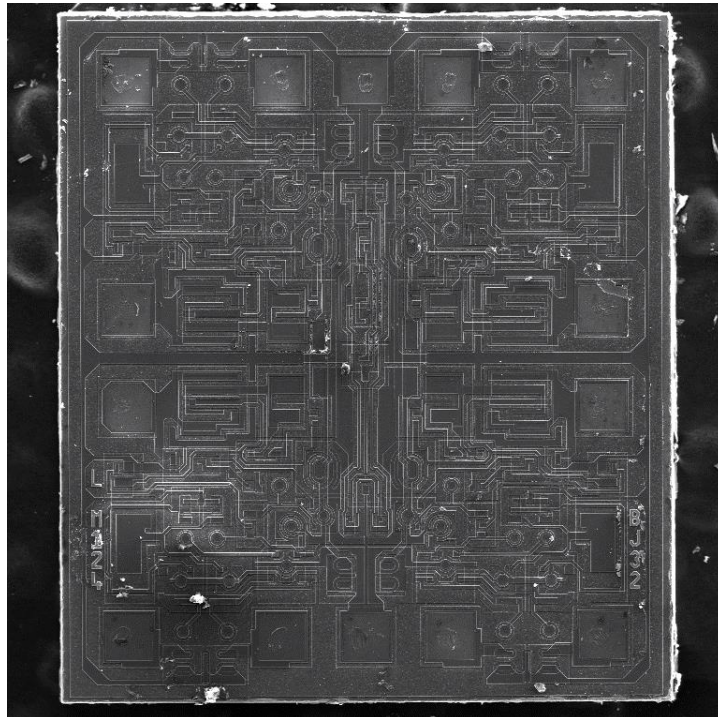
nožů či roztavením pájkového spoje. Existuje také možnost vybrousit do víčka otvor. U plastových pouzder je čip obklopen plastovým materiálem, a proto je nutné využít sofistikovanější metody. Nejvíce typické metody odpouzdřování plastových pouzder spočívají v manuálním nebo tryskovém chemickém leptání pouzdra. Pro omezení rizik spojených s používáním kyselin byly však vyvinuty další metody založené na odlišných principech, jako jsou plazmatické, laserové a termomechanické odpouzdřování. V tabulce 2.1 je uvedeno přehledné porovnání jednotlivých metod pro odpouzdřování plastových pouzder.

Tabulka 2.1 Srovnání metod odpouzdřování plastových pouzder

	<b>Přednosti</b>	<b>Zápory</b>
<b>Manuální chemické leptání</b>	<ul style="list-style-type: none"> <li>• Jednoduchá a levná metoda</li> </ul>	<ul style="list-style-type: none"> <li>• Bezpečnostní rizika při používání kyselin</li> </ul>
<b>Tryskové chemické leptání</b>	<ul style="list-style-type: none"> <li>• Vysoká rychlost a efektivita procesu</li> </ul>	<ul style="list-style-type: none"> <li>• Bezpečnostní rizika při používání kyselin</li> <li>• Vysoké náklady</li> </ul>
<b>Plazmatické odpouzdřování</b>	<ul style="list-style-type: none"> <li>• Vysoká selektivita leptání</li> </ul>	<ul style="list-style-type: none"> <li>• Časově náročný proces</li> <li>• Vysoké náklady</li> </ul>
<b>Laserové odpouzdřování</b>	<ul style="list-style-type: none"> <li>• Vysoká přesnost a rychlost procesu</li> <li>• Vhodné pro malá pouzdra a pouzdra nepravidelných tvarů</li> </ul>	<ul style="list-style-type: none"> <li>• Potřeba kombinace s chemickým leptáním</li> <li>• Vysoké náklady</li> </ul>
<b>Termomechanické odpouzdřování</b>	<ul style="list-style-type: none"> <li>• Existuje mnoho individuálních postupů odpouzdřování</li> <li>• Nízké náklady</li> </ul>	<ul style="list-style-type: none"> <li>• Riziko poškození čipu</li> <li>• Vyžaduje praktické zkušenosti obsluhy</li> </ul>

### 3 POLOVODIČOVÉ ČIPY

Základ veškerých elektronických systémů tvoří polovodičové čipy, v jejichž objemu je realizována polovodičová struktura. Tato polovodičová struktura obsahuje elektrické prvky (především tranzistory a hradla) sdružené do funkčních bloků, které v dané konfiguraci zajišťují požadovanou elektrickou funkci [4]. Na obrázku 3.1 je pod skenovacím elektronovým mikroskopem (SEM) zobrazen integrovaný obvod (IO) LM124 se čtyřmi operačními zesilovači. Z obrázku je však patrné, že při manipulaci s čipem došlo k značné kontaminaci povrchu nečistotami.



Obrázek 3.1 Snímek holého čipu integrovaného obvodu LM124 pořízený skenovacím elektronovým mikroskopem

#### 3.1 Historie vývoje integrovaných obvodů

V roce 1959 byl zkonstruován první křemíkový IO, který byl vyroben planární technologií. Rané IO byly z velké části tvořeny bipolárními tranzistory, avšak spotřeba energie vlivem statických ztrát tranzistorů představovala limitující faktor pro maximální počet tranzistorů integrovaných na jednom čipu. Řešení přišlo v 60. letech minulého století v podobě MOS tranzistorů. MOS tranzistory oproti bipolárním tranzistorům byly snazší a levnější na výrobu v masovém měřítku. Díky technologii výroby a nižším statickým ztrátám bylo možné integrovat podstatně větší množství tranzistorů na jednom čipu. MOS tranzistory vytvořily základní stavební kameny moderní elektroniky.

V 70. letech byla představena řada obvodů jako jsou paměti DRAM, mikroprocesory a logické obvody série 4000 [18].

Integrované obvody v 80. letech obsahovaly již tisíce kusů tranzistorů a spotřeba energie vlivem statických ztrát MOS tranzistorů opět byla hraničním faktorem. Z MOS technologie bylo nutné přejít na technologii CMOS, která se vyznačuje minimálními statickými ztrátami díky komplementárnímu zapojení MOS tranzistorů. V následujících letech se CMOS technologie stala součástí veškerých digitálních aplikací a přetrvává až do dnešních dnů, kdy tvoří největší část polovodičového průmyslu [18].

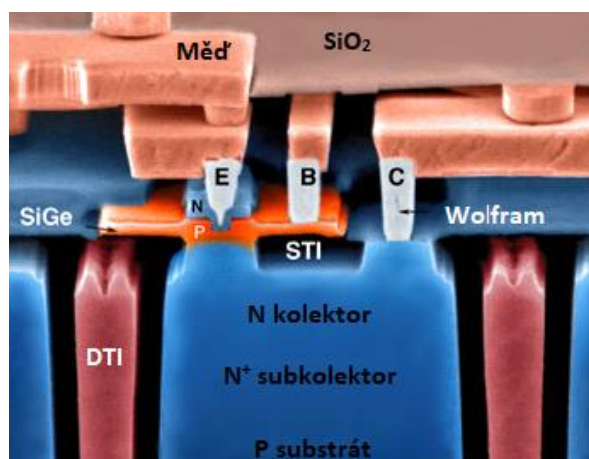
V průběhu několika minulých desítek let došlo k rapidnímu zmenšování rozměrů (rozlišení) MOS tranzistorů a vyvíjení dokonalejších technologií výrobních procesů. Moorův zákon udává, že počet tranzistorů na jednom čipu se zdvojnásobuje každé dva roky. Zmenšování rozměrů vede k vyšším zástavbovým hustotám prvků na čipu, k zvyšování rychlosti spínání tranzistorů, ale také k snižování výsledné ceny a spotřeby energie IO. Časový vývoj jednotlivých rozlišení tranzistorů je uveden v tabulce 3.1.

Tabulka 3.1 Vývoj rozlišení tranzistorů v IO [19], [20]

<b>Planární technologie</b>	→	10 μm (1971)	→	6 μm	→	3 μm	→	1,5 μm	→
1 μm	→	0,8 μm	→	0,6 μm	→	0,35 μm	→	0,25 μm	→
180 nm	→	130 nm	→	90 nm (2003)	→	65 nm (2005)	→	45 nm (2007)	→
32 nm (2009)	→	<b>3D technologie</b>	→	22 nm (2012)	→	14 nm (2014)	→	10 nm (2016)	→
7 nm (2018)	→	5 nm (2020)	→	3 nm (~2022)	→	2 nm (~2023)			

### 3.1.1 Bipolární tranzistor BJT

Bipolární tranzistor (bipolar junction transistor, BJT) je složen ze tří oblastí polovodiče se dvěma PN přechody v uspořádání NPN nebo PNP. Prostřední oblast se nazývá báze a krajní oblasti se nazývají emitor a kolektor. Bipolární tranzistor je tranzistor řízený proudem, který využívá malého proudu tekoucího přes přechod báze, emitor k řízení proudu protékajícího celou strukturou tranzistoru přes kolektor, bázi a emitor. Takto je popsána velice stručně funkce bipolárního tranzistoru typu NPN, který je znázorněn na obrázku 3.2. U tranzistoru PNP je funkce totožná, ale proudy protékají přes polovodičové přechody opačným směrem.



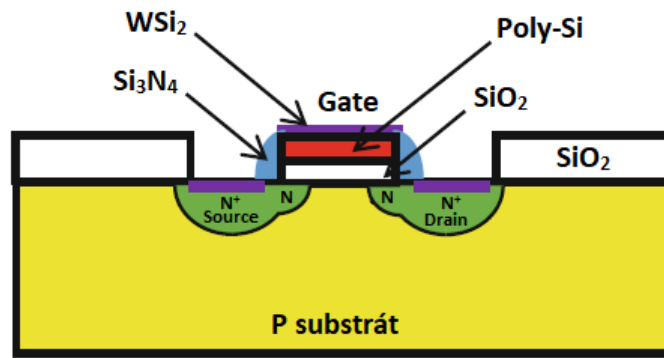
Obrázek 3.2 Struktura bipolárního tranzistoru NPN se subkolektorem [21]

Pro větší účinnost tranzistorů má oblast emitoru větší koncentraci dopantů než oblast báze a koncentrace dopantů v bázi je větší než v oblasti kolektoru. Bipolární tranzistory jsou charakteristické vysokou rychlostí spínání. Pro rychlé spínání tranzistorů musí nosiče nábojů urazit krátkou vzdálenost přes bázi, proto se tranzistory zhotovují s velice tenkou bází. Nevýhodou bipolárních tranzistorů je fakt, že při sepnutém tranzistoru teče do báze statický proud, který zvyšuje celkovou spotřebu. Tranzistory z tohoto důvodu není možné integrovat po větším počtu na čip a je nutno přejít k jiné struktuře [22].

### 3.1.2 Tranzistor řízený elektrickým polem MOSFET

MOSFET (metal-oxide-semiconductor field-effect transistor), zkráceně MOS tranzistor je druh unipolárního tranzistoru, který se skládá z řídicí elektrody gate a tří polovodičových oblastí drain, source a substrát (bulk). V objemu substrátu jsou vytvořeny dvě silně dotované oblasti drain a source s opačným typem vodivosti oproti substrátu. Na povrchu substrátu mezi těmito oblastmi se nachází gate elektroda, která je od substrátu izolována velice tenkou vrstvou  $\text{SiO}_2$ . Jako materiál gate elektrody se původně používal Al, nicméně se přešlo k polykrystalickému křemíku z důvodu výhodnějšího výrobního procesu [18].

MOSFET je tranzistor řízený elektrickým polem, který po přivedení napětí vhodné orientace mezi řídicí elektrodou gate a oblast source vyvolá vznik inverzní vrstvy pod hradlem tranzistoru s opačnou vodivostí oproti substrátu nazývanou kanál. Indukovaný kanál pak spojuje oblasti source a drain a umožňuje průchod elektrického proudu mezi těmito oblastmi. Kanál může být jednak s vodivostí typu N, je-li použit substrát typu P, nebo s vodivostí typu P, je-li použit substrát typu N. Proto existují dvě varianty MOS tranzistorů, a to NMOS a PMOS, kde první písmeno v názvu udává typ vodivosti kanálu. Struktura NMOS tranzistoru je uvedena na obrázku 3.3.



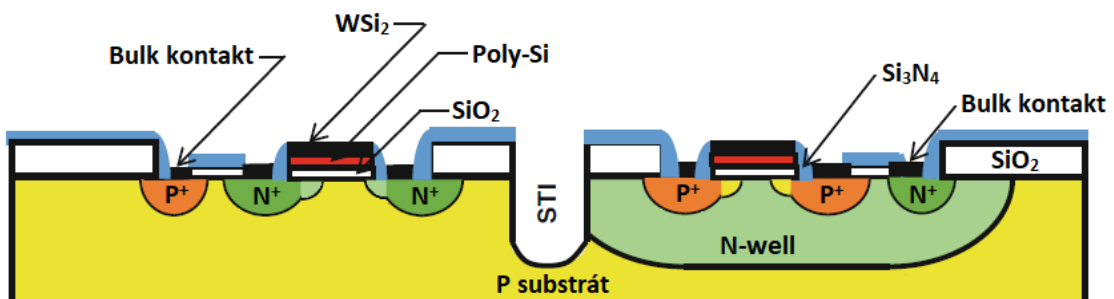
Obrázek 3.3 Struktura NMOS tranzistoru [23]

MOS tranzistory oproti bipolárním tranzistorům jsou obecně snazší na výrobu a disponují velmi malou spotřebou, neboť řídicí elektrodou neprotéká žádný proud. Jejich nevýhodou je však horší frekvenční odezva, kvůli vysoké vstupní kapacitě.

Použití samotných MOS tranzistorů v IO však představuje určitý problém, protože již při integraci několika tisíců tranzistorů na čip dochází k značné spotřebě energie vlivem statických ztrát. Tomuto problému je možné předejít použitím komplementárních dvojic MOS tranzistorů v technologii CMOS, které zlepšují celkové vlastnosti a spolehlivost IO.

### 3.2 Výrobní technologie integrovaných obvodů CMOS

CMOS (complementary metal-oxide-semiconductor) je technologie výroby komplementárních a symetrických dvojic NMOS a PMOS tranzistorů v objemu substrátu pro realizaci logických hradel. CMOS technologie oproti MOS tranzistorům vyniká vyšší odolností proti šumu, vysokou rychlostí, nižším pracovním napětím, a hlavně nižší spotřebou, neboť v každém okamžiku jsou sepnuty tranzistory s jedním druhem vodivosti a druhý typ tranzistorů se nachází v nevodivém stavu. Jednoduchá struktura a minimální spotřeba umožňuje v oblasti digitálních aplikací integrovat obrovské množství tranzistorů na čip. Technologie CMOS v dnešní době tvoří drtivou většinu IO [18]. Struktura CMOS je znázorněna na obrázku 3.4.



Obrázek 3.4 Struktura CMOS včetně substrátových kontaktů [23]

Současné nanometrové CMOS technologie se však při snižování délek kanálu tranzistorů stále více podotýkají s efekty vyvolané krátkým kanálem (short channel effects, SCE), kdy délka kanálu je srovnatelná s depletičními oblastmi kolem source a drain. Tyto efekty přispívají k nedokonalému řízení proudu kanálem a k růstu svodových proudů vedoucích k vyšší spotřebě IO. Při snižování rozměrů tranzistorů se kromě délek kanálu snižují i tloušťky hradlového oxidu, což má za následek vznik nežádoucího tunelujícího proudu přes oxid [18], [24].

K potlačení těchto nežádoucích jevů byla nejprve od rozlišení 90 nm představena technologie napjatého křemíku (strained silicon) pro zvýšení pohyblivosti nosičů náboje, kdy v oblasti kanálu tranzistoru je pozměněna vzdálenost atomů krystalické mřížky křemíku pomocí SiGe vrstvy zabudované pod kanálem nebo SiGe, popřípadě SiC vrstev tvořící oblasti source a drain [25].

Další důležitou inovaci přinesla od rozlišení 45 nm implementace high-k dielektrik jako hradlový oxid namísto konvenčního SiO<sub>2</sub>. High-k dielektrika jsou materiály s hodnotou relativní permitivity  $\epsilon_r$  v rozsahu 10 až 30, které umožňují použít tlustší vrstvu dielektrika, čímž se zamezí vzniku tunelujícího proudu přes oxid, a zároveň umožňují dosahovat stejných elektrických parametrů jako tenká vrstva SiO<sub>2</sub>. Mezi high-k dielektrika patří např. HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub> [24], [26].

Při pokračování snižování rozměrů tranzistorů pod rozlišení 32 nm začne být chování tranzistorů výrazně ovlivněno SCE a hradlová elektroda ztrácí schopnost správného řízení proudu kanálem, což má za následek růst svodových proudů mezi oblastmi source a drain a tedy i růst spotřeby IO. Polovodičový průmysl proto vyvinul nové tranzistorové struktury a technologie zvané SOI a FinFET, které vycházejí ze struktury MOSFET a používají se pro CMOS technologie od rozlišení 22 nm [18], [27].

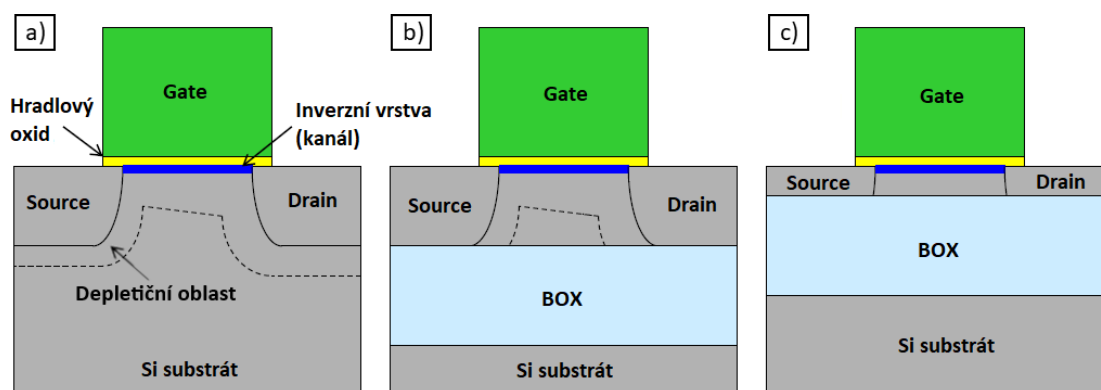
### 3.2.1 Technologie utopené vrstvy oxidu SOI

Technologie utopené vrstvy oxidu (silicon on insulator, SOI) spočívá ve vytvoření izolační vrstvy tzv. utopené vrstvy oxidu (buried oxide layer, BOX), která izoluje oblast s polovodičovou strukturou tranzistoru od zbytku substrátu. Namísto klasického Si waferu je zde použit SOI wafer složený ze tří vrstev, a to Si substrátu, izolační vrstvy SiO<sub>2</sub> a velice tenké Si vrstvy, kde je možné vytvářet tranzistorové struktury [18].

Vytvořením BOX se jednak zabrání vzniku svodových proudů procházejících mezi oblastmi source a drain přes substrát, čímž se významně sníží spotřeba, a jednak se sníží velikosti přechodových kapacit, což přispívá k zvýšení rychlosti tranzistoru. BOX zabraňuje vytvoření nechtěné parazitní polovodičové struktury vzniklé při integraci prvků na společný substrát (latch-up immunity). Nicméně i přes uvedené výhody SOI technologie nedokáže jednoduše odvádět tepelné ztráty, neboť izolační vrstva SiO<sub>2</sub> představuje tepelný izolant. Další nevýhodou je cena SOI waferů, která je vyšší než u běžného Si waferu [23].



Technologii SOI je možné rozdělit do dvou kategorií, jimiž jsou PD (partially-depleted) SOI a FD (fully-depleted) SOI. Rozdíl mezi technologiemi je dán tloušťkou použité Si vrstvy pro tranzistory. Pokud tloušťka Si vrstvy je větší než šířka depleční oblasti kolem oblastí source a drain, jedná se o PD SOI technologii s tloušťkou Si vrstvy 50 až 90 nm, v opačném případě se jedná o FD SOI technologii s tloušťkou Si vrstvy 5 až 20 nm [18], [24]. Na obrázku 3.5 jsou zobrazeny jejich struktury a podrobnější srovnání obou technologií je uvedeno v tabulce 3.2.



Obrázek 3.5 Struktura a) MOSFET, b) PD SOI a c) FD SOI [28]

Tabulka 3.2 Porovnání technologií PD a FD SOI [29]

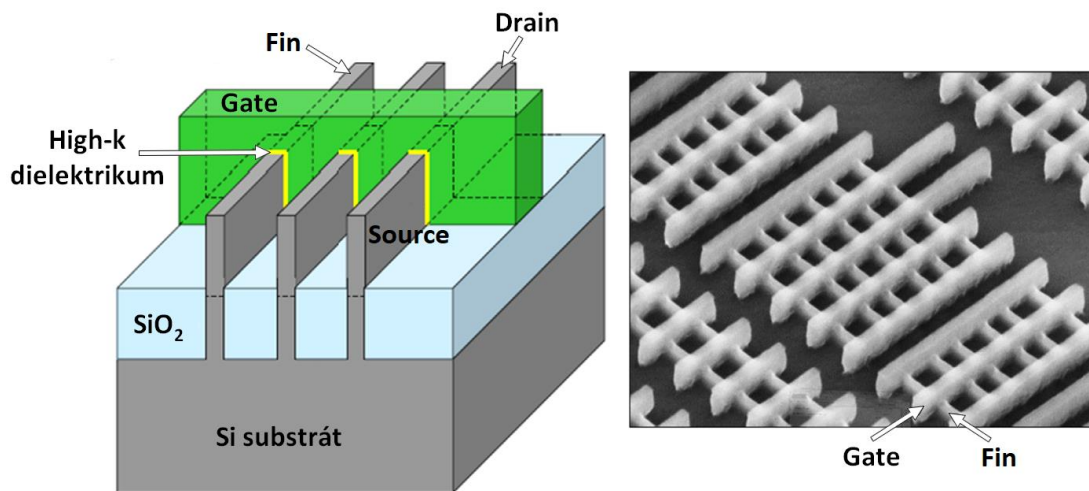
	Struktura	Aplikace	Přednosti	Zápory	Rozlišení
<b>PD SOI</b>	<ul style="list-style-type: none"> <li>• Dotovaný kanál</li> <li>• Tloušťka Si vrstvy 50 až 90 nm</li> <li>• Tloušťka BOX 100 až 200 nm</li> </ul>	<ul style="list-style-type: none"> <li>• Výkonové mikroprocesory</li> <li>• Elektronika pro letectví, automotive, vojenskou techniku apod.</li> </ul>	<ul style="list-style-type: none"> <li>• Jednodušší výrobní proces</li> </ul>	<ul style="list-style-type: none"> <li>• Floating body efekt – rozdílné prahové napětí tranzistorů</li> </ul>	<ul style="list-style-type: none"> <li>• 180 až 22 nm</li> </ul>
<b>FD SOI</b>	<ul style="list-style-type: none"> <li>• Obvykle nedotovaný kanál</li> <li>• Tloušťka Si vrstvy 5 až 20 nm</li> <li>• Tloušťka BOX 5 až 50 nm</li> </ul>	<ul style="list-style-type: none"> <li>• Výkonové mikroprocesory</li> <li>• Elektronika s velice nízkou spotřebou</li> </ul>	<ul style="list-style-type: none"> <li>• Drastické snížení spotřeby</li> <li>• Větší potlačení SCE</li> </ul>	<ul style="list-style-type: none"> <li>• Obtížné vytvoření tenké Si vrstvy</li> </ul>	<ul style="list-style-type: none"> <li>• 22 nm a méně</li> </ul>

### 3.2.2 3D polovodičové struktury FinFET

FinFET (fin field-effect transistor) je 3D tranzistorová struktura, kde oblast kanálu pod hradlovou elektrodou je řízena z více než z jedné strany, jak je tomu u konvenčních MOS tranzistorů. FinFET tranzistory mají na povrchu křemíkového substrátu vytvořenou velmi tenkou okolo 10 nm vertikální Si vrstvu zvanou fin. V této vertikální vrstvě je realizovaná oblast kanálu tranzistoru, která je obepnuta ze dvou bočních nebo všech tří

stran izolační vrstvou dielektrika společně s hradlovou elektrodou. Tranzistor se spíše označuje pod pojmem Tri-gate FET, pokud je oblast kanálu obklopena ze tří stran [23], [27].

Obklopením oblasti kanálu tranzistoru hradlovou elektrodou z více stran se docílí zlepšení řízení proudu kanálem, neboť se více potlačí svodové proudy díky velice tenké šířce finu resp. vzniklé vyprázdněné oblasti kanálu od nosičů náboje. U FinFET tranzistorů je možné dosáhnout vyšší proudové hustoty pomocí zvětšení rozměrů finů nebo častěji konstrukcí FinFET tranzistorů s vícenásobnými paralelními finy propojenými dohromady, jak je znázorněno na obrázku 3.6. Typicky výška finů je menší než čtyřnásobek jejich šířky. FinFET tranzistory je možné realizovat na standardním Si waferu nebo na SOI waferu, kde je možné při procesu leptání získat finy pravidelných tvarů o přesných výškách. [18], [27].



Obrázek 3.6 Struktura FinFET tranzistoru [28]

Výrobci integrovaných obvodů začali s komerční výrobou FinFET tranzistorů pro budoucí generace tranzistorů od 22 nm. V současné době FinFET tranzistory jsou hlavní tranzistorová struktura použitá v moderních digitálních IO. Najdou široké uplatnění nejen v paměťových obvodech jako je výroba pamětí typu SRAM a DRAM, ale také mají velké potenciální uplatnění pro analogové aplikace. Pro splnění kritérií extrémně nízké spotřeby je vhodné použít IO založené na strukturách SOI FinFET [24].

Mezi výhody nabízené FinFET tranzistory oproti SOI technologii patří větší proudová zatížitelnost při stejné velikosti tranzistorů. Jejich nevýhodou je však komplexní proces výroby oproti SOI technologii, která vychází z planárních technik. Hlavní nevýhodou SOI technologie je omezený počet dodavatelů a vysoká cena SOI waferů pro širší komerční dostupnost IO založených na SOI technologii. Z těchto důvodů se struktura FinFET stala dominantní v polovodičovém průmyslu [18]. Přehledné porovnání FinFET tranzistorů se SOI technologií je uvedeno v tabulce 3.3.

Tabulka 3.3 Porovnání FinFET tranzistorů a SOI technologie [18]

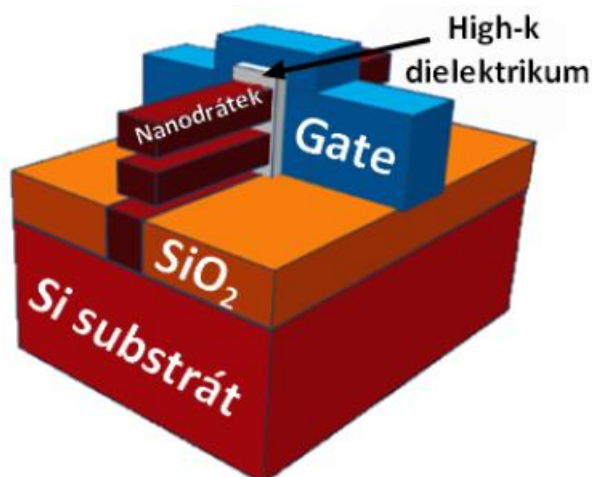
	Přednosti	Zápory
<b>SOI</b>	<ul style="list-style-type: none"> <li>Jednodušší výrobní proces</li> <li>Navazuje na planární technologie</li> </ul>	<ul style="list-style-type: none"> <li>Vysoká cena SOI waferů (~ +10 % dražší než Si wafer)</li> <li>Omezený počet dodavatelů SOI waferů</li> <li>Nemožnost kombinace s technologií napjatého křemíku</li> </ul>
<b>FinFET</b>	<ul style="list-style-type: none"> <li>Dosažení vyšší proudové zatížitelnosti při stejné velikosti tranzistorů</li> <li>Možnost kombinace s technologií napjatého křemíku</li> </ul>	<ul style="list-style-type: none"> <li>Velice komplexní proces výroby</li> </ul>

### 3.3 Nově vyvíjené tranzistorové struktury

Polovodičový průmysl úspěšně vyvinul moderní IO pro generace od 22 nm do 7 nm založené na FinFET technologii. Nicméně při zmenšování rozměrů FinFET tranzistorů, jakmile šířka finů dosáhne méně než 5 nm, značně se zhorší pohyblivost nosičů náboje a opět nastane problém týkající se SCE a svodových proudů [30]. U budoucích IO s rozlišením 5 nm a méně je proto očekáván přechod od FinFET tranzistorů k odlišným strukturám a nahrazení dosavadního Si jinými efektivnějšími materiály. Mezi slibné kandidáty připadá použití GAAFET tranzistorů, které navazují na strukturu FinFET nebo alternativně použít polovodičové materiály s vyšší pohyblivostí nosičů náboje oproti Si. Další navrhnutá, avšak spíše futuristická struktura je CNTFET tranzistor, který by byl složen z uhlíkových nanotrubic.

#### 3.3.1 3D polovodičové struktury GAAFET

GAAFET (gate-all-around field-effect-transistor) je tranzistorová struktura, která technologicky navazuje na předchozí strukturu FinFET tranzistoru a v podstatě se jeví jako nejvhodnější řešení pro budoucí generace IO, neboť oba tranzistory vychází ze stejných procesních kroků výroby. U GAAFET tranzistoru je docíleno, že hradlová elektroda obklopuje celou oblast kanálu tranzistoru ze všech čtyř stran. Namísto finů se zde využívají Si nanodrátky nebo nanopásky obklopené hradlovou elektrodou, které se pro zvýšení proudové hustoty několikanásobně vrství nad sebou, jak je vidět na obrázku 3.7. Struktura GAAFET vykazuje výborné elektrostatické vlastnosti a lepší odolnost k SCE oproti FinFET tranzistorům. S výrobou GAAFET tranzistorů se však pojí mnoho úskalí s výrobním procesem. Příkladem může být velice obtížné vytvoření nanodrátků, což se nepříjemně projeví na vysokých nákladech [30], [31].



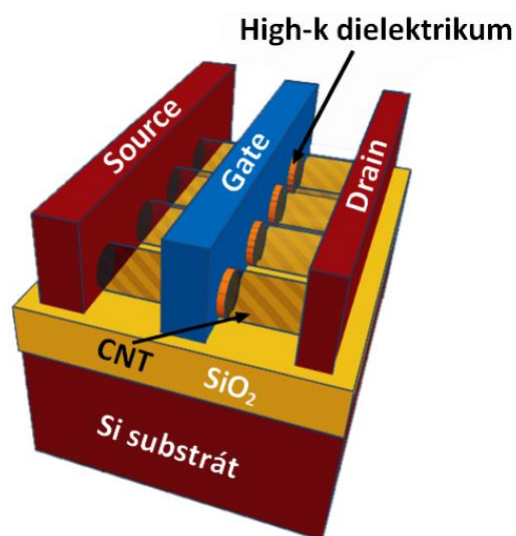
Obrázek 3.7 Struktura GAAFET tranzistoru [31]

### 3.3.2 Polovodičové sloučeniny pro tranzistorové struktury

Další slibný krok ke zmenšování rozlišení tranzistorů představuje použití materiálů s vyšší pohyblivostí nosičů náboje. Polovodičové materiály vytvořené ze sloučenin z III. a V. skupiny periodické soustavy prvků např. GaAs, InAs, InGaAs, InGaSb aj. vykazují oproti konvenčnímu Si vyšší pohyblivost nosičů náboje. Integrace těchto sloučenin do struktur s FinFET a GAAFET tranzistory vede ke zlepšení celkových parametrů tranzistorů. Nicméně hlavním problémem těchto polovodičových sloučenin je rozdílná hodnota mřížkové konstanty oproti Si, což se může projevit různými defekty v polovodičové struktuře [31].

### 3.3.3 CNTFET tranzistor s uhlíkovými nanotrubicemi

Struktura CNTFET (carbon nanotube field-effect transistor) přináší zásadně odlišný koncept vytvoření oblasti kanálu tranzistoru pomocí polovodičového materiálu složeného ze supertenké vrstvy atomů uhlíku o tloušťce jednoho atomu známé pod názvem grafen. Vrstva grafenu je svinuta do trubicového tvaru a propojuje dvě kovové elektrody chovající se jako source a drain, jak je znázorněno na obrázku 3.8. Tyto duté uhlíkové nanotrubicce (carbon nanotubes, CNT) vynikají výjimečnými fyzikálními vlastnostmi, zejména výborným odvodem tepla, vysokou pohyblivostí nosičů náboje a vysokou proudovou zatížitelností. Největší výzvou však zůstává výrobní proces CNTFET tranzistorů, kdy je potřeba vyvinout zcela odlišnou metodu výroby, která je však vzdálená dnešním dnům [31].



Obrázek 3.8 Struktura CNTFET tranzistoru [31]

### 3.4 Materiály pro základní substrát

Základní dva polovodičové materiály pro nosný substrát pochází ze IV. skupiny periodické tabulky prvků jedná o germanium a křemík. Nicméně od Ge se upustilo z důvodů značných problémů při jeho procesním zpracování. Si oproti Ge má možnost vytvoření kvalitní planární vrstvy  $\text{SiO}_2$  na jeho povrchu a celkově disponuje výhodnějšími vlastnosti, i když má nižší pohyblivost nosičů náboje. Křemík proto tvoří 90 % světové produkce waferů [32].

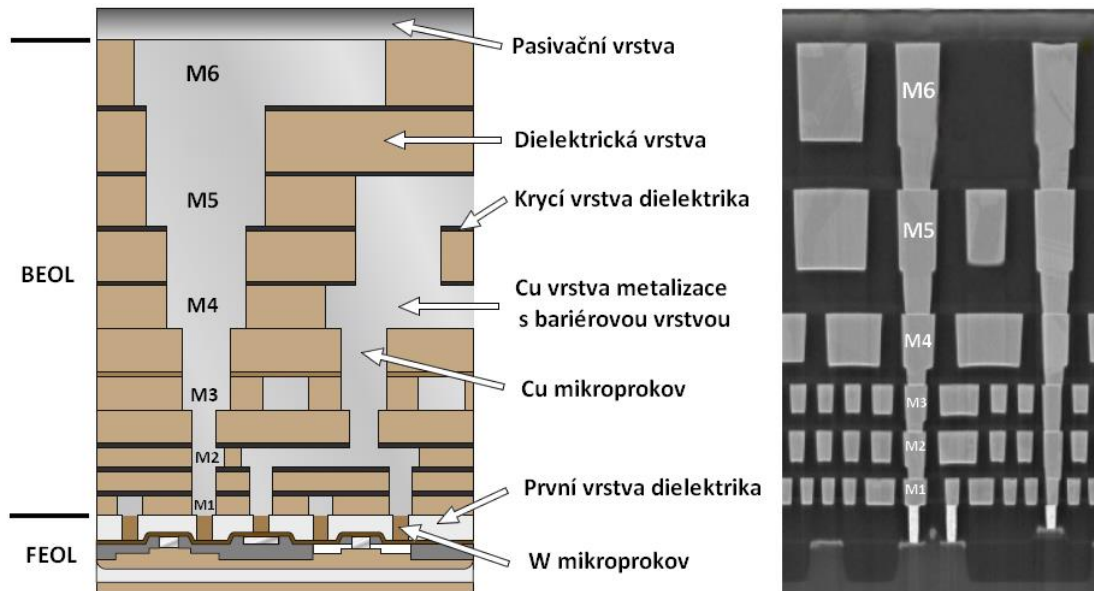
Samotný polovodičový wafer je potřeba dotovat příměsovými prvky pro následné vytváření polovodičových přechodů. Dotováním vlastních polovodičů příměsovými prvky se jednak docílí přesné přizpůsobení rezistivity polovodičového materiálu v širokém rozsahu a určí se typ jeho vodivosti. Pro získání vodivosti typu N se využívá dopantů z V. skupiny např. P, As, Sb a pro získání vodivosti typu P se využívají prvky z III. skupiny, kam spadá B, Al, Ga a In.

Kromě nejznámějších křemíkových substrátů existuje několik desítek sloučenin vykazující vlastnosti polovodičů. Tyto polovodičové sloučeniny pochází z III.-V. a II.-VI. skupiny. V komerční produkci jsou nejvíce zastoupeny sloučeniny GaAs, GaAsP, InP, GaAlAs, InGaP, GaN, které jsou určeny pro specifické aplikace, nejčastěji pro výrobu LED diod nebo pro výrobu vysokofrekvenčních tranzistorů [22], [32].

### 3.5 Materiály pro čipovou strukturu

Během hromadných operací na waferu tedy vytváření čipových struktur dochází k několika tisícům procesních kroků, které je možné rozdělit do dvou základních kategorií na FEOL (front end of line) a BEOL (back end of line) [22]. Ve FEOL operacích

dochází k vytváření jednotlivých integrovaných prvků (tranzistory, rezistory a kapacity) na waferu. Zatímco v BEOL operacích se integrované prvky vzájemně propojí pomocí metalických vrstev s mikroprokvy, které se prokládají dielektrickými vrstvami. Na závěr se celá čipová struktura opatří kontaktními ploškami a pokryje ochranou pasivační vrstvou. Příčný řez čipovou strukturou je znázorněn na obrázku 3.9.



Obrázek 3.9 Příčný řez čipovou strukturou s šesti vrstvami metalizace [33], [34]

### 3.5.1 Metalizace

Metalické vrstvy či metalizace je označení pro elektrické propojení integrovaných součástek pomocí tenkých vrstev z kovových materiálů. IO mohou být podle složitosti a zástavbové hustoty prvků tvořeny deseti i více vrstvami metalizace.

Na povrchu polovodičových součástek je nejprve zformována bariérová vrstva silicidu některého teplotvzdorného kovu Ti, W, Ta nebo Mo, která se vyznačuje nižším přechodovým odporem a zároveň zabraňuje difuzi kovových atomů metalizace do polovodičových materiálů [22]. Následně se povrch polovodičových součástek pokryje izolační vrstvou typicky  $\text{SiO}_2$ , která bude zajišťovat izolaci mezi metalickými vrstvami. Pomocí maskování se do izolační vrstvy vyleptají otvory pro vytvoření mikroprokovů, které budou sloužit pro propojení polovodičových součástek s první vrstvou metalizace. Na vzniklou dielektrickou vrstvu s mikroprokvy se následně deponuje metalická vrstva. Opakováním maskovacích a depozičních kroků dielektrických a metalických vrstev je možné vytvářet několik vrstev metalizace.

Původně se pro metalické vrstvy používal hliník, který stále přetrvává, nicméně od rozlišení tranzistorů  $0,25 \mu\text{m}$  se přešlo k mědi z důvodu nedostatečné vodivosti Al při zmenšování rozměrů. Cu se vyznačuje vyšší vodivostí oproti Al, avšak snadno difunduje do Si a vrstev  $\text{SiO}_2$ . Proto je potřeba vrstvy metalizace oddělit bariérovou

vrstvou od izolačních vrstev. Jako materiál bariérové vrstvy je u Al použit TiW nebo TiN, zatímco u Cu je využit TiN, Ta a TaN [22].

U mikroprokovů s kontaktem na polovodičové součástky se namísto předchozích dvou kovů používá W, aby nedošlo ke kontaminaci polovodiče. W má však svá úskalí s přechodovým odporem a adhezí k Si, proto se W mikroprokov formuje v typické konfiguraci vrstev Ti/TiN/W [22].

### 3.5.2 Dielektrické vrstvy

Dielektrické vrstvy v integrovaných obvodech mohou být z hlediska funkce rozděleny do několika skupin, existují např. mezivrstvé izolační vrstvy, ochranné pasivační vrstvy, izolační vrstvy pro hradla tranzistorů nebo dielektrické vrstvy pro kapacitory.

Mezivrstvé izolační vrstvy poskytují elektrickou izolaci mezi vrstvami metalizace, kde nejrozšířenějším představitelem je vrstva  $\text{SiO}_2$ . Pro zamezení difuze Cu metalizace do vrstev  $\text{SiO}_2$  je možné dielektrickou vrstvu opatřit krycí vrstvou  $\text{Si}_3\text{N}_4$  nebo  $\text{SiC}$  [32]. Namísto standardní vrstvy  $\text{SiO}_2$  lze pro izolační vrstvy použít dielektrické materiály s nižší relativní permitivitou, než má  $\text{SiO}_2$  ( $\epsilon_r = 3,9$ ), neboť se sníží velikosti parazitních kapacit a docílí se menších časových zpoždění signálu. Dielektrické materiály s nízkou hodnotou  $\epsilon_r$  se nazývají low-k dielektrika, kam patří převážně polymery (PI, PTFE, PP, PE apod.), avšak polymery se podotýkají s dvěma hlavními problémy. Nesnesou vysoké teploty při zpracování a mají nízkou tepelnou vodivost [35].

Ochranná pasivační vrstva nanášená na povrch čipu slouží k jeho ochraně před vnějšími vlivy a zabránění kontaminace povrchu čipu. Pasivační vrstva je obvykle tvořena vrstvou  $\text{SiO}_2$  nebo  $\text{Si}_3\text{N}_4$ . Pro pasivační vrstvu je také možné použít vrstvu polyimidu nebo vrstvy  $\text{Ta}_2\text{O}_5$  a  $\text{SiC}$  pro zvýšenou ochranu čipu [32].

U tranzistorů byl dlouhý čas jako hradlové dielektrikum používána vrstva  $\text{SiO}_2$ . Tranzistory s rozlišením 90 nm a méně vyžadují tloušťku oxidu přibližně 1,2 nm. Při této tloušťce  $\text{SiO}_2$  dochází k tunelování nosičů náboje z hradlové elektrody skrz vrstvu oxidu do kanálu tranzistoru. Výsledkem je pak nepříjemně velký proud protékající gate elektrodou. Řešením tohoto problému je použití high-k dielektrik s vyšší  $\epsilon_r$  v rozmezí 10 až 30, které byly popsány v předchozích kapitolách. Vhodnou volbou hradlového dielektrika je použití  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$  a mnoha dalších vyvíjejících se high-k dielektrik [24], [26].

## 3.6 Shrnutí vývoje IO a materiálů pro polovodičové čipy

Základní elektronické prvky obsažené v polovodičových čipech jsou tranzistory, které se seskupují do logických hradel a bloků pro získání požadované funkce obvodu. V prvotních IO byly použity BJT tranzistory, od kterých se však muselo přejít k MOS tranzistorům. Při rostoucím stupni integrace prvků na čipu se muselo opět přejít dál k CMOS technologii, která tvoří největší podíl IO. CMOS technologie při nižších rozlišeních tranzistorů nedokáže zaručit plnohodnotnou funkci IO, a proto se v dnešní

době nahrazují MOS tranzistory za FinFET tranzistory nebo se kombinují se SOI technologií. Vývoj budoucích IO směřuje k výrobě nových tranzistorových struktur jako je GAAFET a CNTFET nebo použití nových polovodičových materiálů.

Mezi materiály používané v polovodičových čípech patří především Si substrát, v kterém je dotováním příměsí realizována polovodičová struktura. Na povrchu Si substrátu je pak vrstvením metalických a dielektrických vrstev realizováno elektrické propojení jednotlivých integrovaných součástek v substrátu. Jako materiál metalizace se používá Cu nebo Al. U izolačních vrstev je nejvíce zatoupen  $\text{SiO}_2$ , nicméně vývoj směřuje k použití low-k dielektrik. U hradlového dielektrika naopak vývoj směřuje k použití high-k dielektrik namísto standardní vrstvy  $\text{SiO}_2$ .



## 4 METODY ODVRSTVOVÁNÍ POLOVODIČOVÝCH ČIPŮ

Odvrstvování (delayering, deprocessing) je systematický proces odstraňování tenkých vrstev v polovodičových čípech. Odvrstvování úzce souvisí s chybovou analýzou (failure analysis) integrovaných obvodů, kdy je potřeba odstraňovat jednotlivé vrstvy pro identifikaci či ověření příčin defektů v čipové struktuře. Mimo chybovou analýzu lze odvrstvování provádět v rámci reverzního inženýrství IO z hlediska materiálového složení, použitých obvodových prvků, funkcí obvodu apod. [12], [36].

Zkoumaný defekt nebo část obvodu se s největší pravděpodobností bude nacházet pod několika vrstvami a pro získání přístupu ke zkoumané vrstvě je potřeba všechny předešlé vrstvy postupně odstranit. Získáním přístupu se rozumí možnost provádění testování a měření na zkoumané vrstvě nebo častěji možnost pořizování detailních obrazů odvrstvených čipů pro analýzu obvodu. Proces odvrstvování se stal díky postupnému zvyšování počtu obsažených vrstev na čipu se stále jemnějšími motivy velice obtížnou a náročnou činností, která vyžaduje dlouholeté zkušenosti [12].

Odvrstvování se skládá z několika postupných kroků, kdy v každém kroku je odstraněna jedna nebo více vrstev z čipu. Každá vrstva je složena ze specifických materiálů, a proto je potřeba ke každé vrstvě přistupovat s rozdílnou metodou. Pro odvrstvování IO byly vyvinuty tři základní metody, kterými jsou mokré leptání, suché leptání a lapování [12].

Tyto metody je nezbytné spolu kombinovat pro úspěšný proces odvrstvení čipů. Kupříkladu dielektrické vrstvy je možné selektivně odstranit pomocí suchého leptání, zatímco metalické vrstvy se odstraní mokřím leptáním. Podobně lapování se v některých situacích střídá s mokřím leptáním. V mnoha případech při odstraňování vrstev lze vycházet ze stejných technik a prostředků používaných při výrobě, resp. leptání čipových struktur na waferu [12], [36].

### 4.1 Mokrý leptání

Mokrý leptání je nejstarší používanou metodou odvrstvování IO, při které se na povrch čipu nanáší zásaditý nebo kyselý roztok pro odleptání jedné nebo více vrstev. Výběr vhodného roztoku závisí na selektivitě leptání vůči obsaženým materiálům v čipové struktuře, tak aby bylo minimalizováno nechtěné poškození či odleptání klíčových materiálů a vrstev. Kupříkladu kyselina fluorovodíková HF se nedá považovat za selektivní a může být použita pro odleptání téměř všech vrstev z čipu, zatímco peroxid vodíku  $H_2O_2$  je vysoce selektivní a lze s ním odleptat jenom bariérové vrstvy TiW či TiN [36]. Existuje nespočet různých roztoků pro odvrstvování, které je možné rozdělit podle jejich selektivity leptání k daným materiálům. Souhrn některých vybraných roztoků je uveden v tabulce 4.1.

Tabulka 4.1 Vybrané materiály a jejich leptací roztoky [37], [38]

Materiál	Leptací roztok	Materiál	Leptací roztok
Si	HF:HNO <sub>3</sub> :H <sub>2</sub> O (2:2:1)	Al	NaOH:H <sub>2</sub> O (1:1)
	HF:HNO <sub>3</sub> :CH <sub>3</sub> COOH (5:3:3)		H <sub>3</sub> PO <sub>4</sub>
Poly-Si	HF:HNO <sub>3</sub> :H <sub>2</sub> O (1:50:20)	Cu	HNO <sub>3</sub> :H <sub>2</sub> O (5:1)
	HF:HNO <sub>3</sub> :CH <sub>3</sub> COOH (1:16:12)	W, Ta	HF:HNO <sub>3</sub> (1:1)
SiO <sub>2</sub>	NH <sub>4</sub> F:HF (6:1)	Ti	HF:HNO <sub>3</sub> :H <sub>2</sub> O (1:1:50)
	HF:H <sub>2</sub> O (1:10; 1:100)		H <sub>2</sub> SO <sub>4</sub>
Si <sub>3</sub> N <sub>4</sub>	H <sub>3</sub> PO <sub>4</sub>	TiW, TiN	H <sub>2</sub> O <sub>2</sub>

Řízení rychlosti leptání vrstev je primárně ovlivněno použitou teplotou a koncentrací leptacích roztoků a v neposlední řadě dobou procesu. Při použití leptacích masek je možné odleptat vybranou plochu na čipu namísto standartního odleptání celé vrstvy. Po každém skončení procesu leptání vždy následuje očištění čipu v lázni acetonu či izopropylalkoholu a jeho osušení stlačeným dusíkem.

Hlavní nevýhodou mokrého leptání je různá selektivita a izotropní povaha leptacích roztoků. Izotropní leptání způsobuje podleptání vrstev. Většina leptacích roztoků se vyznačuje velmi dobrou selektivitou leptání kovových materiálů, nicméně u leptání vrstev Si a SiO<sub>2</sub> se využívá HF, která při dlouhé expozici dokáže odleptat i ostatní vrstvy. Proto je vhodné mokré leptání používat pouze k odstranění metalických vrstev a u dielektrických vrstev používat metodu suchého leptání [12], [36].

Mezi hlavní výhody mokrého leptání patří relativně jednoduchý a účinný proces leptání s nízkými náklady, avšak reprodukovatelnost leptání je značně omezena z důvodu obtížné řízení procesu. Při zacházení s roztoky je navíc potřeba dbát zvýšené bezpečnosti, neboť mohou být vysoce toxické, reaktivní, karcinogenní či hořlavé. Problémy spojené se špatným řízením procesu a izotropní povahou mokrého leptání jsou obecně omezujícím faktorem pro odleptání velkých ploch na čipu [39].

## 4.2 Suché leptání

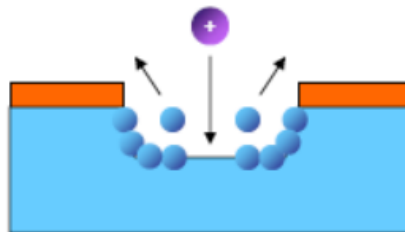
Suché leptání využívá k odstranění jednotlivých vrstev čipu plynné leptací médium ve vakuovém prostředí. Polovodičový čip je umístěn ve vakuované komoře, resp. v plazmovém reaktoru, do kterého je přiváděn pracovní plyn nebo směs plynů. V závislosti na konstrukci reaktoru je dosaženo, že pracovní plyn mezi dvěma elektrodami se vlivem přiloženého elektrického pole začne ionizovat/disociovat, čímž vznikne plazma. Ze vzniklého plazmatu jsou získány ionty, radikály a elektrony. Vlastní

proces leptání pak může probíhat následujícími třemi způsoby [12], [36]:

- Jestliže z produktů plazmy jsou elektrickým polem urychleny kladné ionty, které následně bombardují povrch čipu a tím odprašují materiál z jeho povrchu, pak je řeč o **suchém fyzikálním leptání – iontové leptání**.
- V případě že z produktů plazmy dopadají neutrální radikály na povrch čipu, dochází k chemické reakci mezi radikály a povrchem čipu, což způsobí odleptání materiálu. Jedná se o **suché chemické leptání – plazmatické leptání**.
- Existuje také možnost skombinovat obě leptací techniky do jedné a vytvořit tak **suché chemicko-fyzikální leptání – reaktivní iontové leptání**, kdy kladné ionty a neutrální radikály odstraňují materiál z povrchu čipu.

#### 4.2.1 Iontové leptání IBE – suché fyzikální leptání

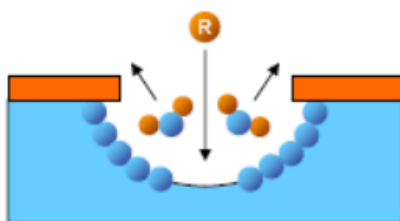
Iontové leptání (ion beam etching, IBE) je založeno na urychlování kladných iontů vzácného plynu nejčastěji Ar elektrickým polem s následným bombardováním povrchu čipu, kde vysoká kinetická energie částic způsobí odprášení materiálu, jak je znázorněno na obrázku 4.1. IBE se oproti jiným metodám suchého leptání vyznačuje vysoce anizotropní povahou, avšak s velice nízkou selektivitou leptání, a tedy většinu materiálů odprašuje srovnatelnou rychlostí [10].



Obrázek 4.1 Princip iontového leptání [36]

#### 4.2.2 Plazmatické leptání – suché chemické leptání

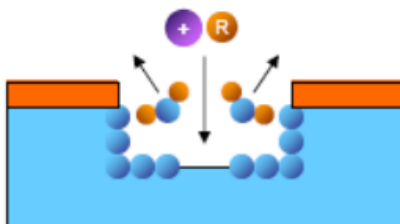
Při plazmatickém leptání se využívá neutrálních radikálů reaktivního plynu, které narozdíl od iontů nejsou ovlivněny elektrickým polem a v prostoru plazmového reaktoru se difuzně rozptýlí. Samotné leptání nastává, jakmile radikály dopadnou na povrch čipu. Neutrální radikály chemicky reagují s atomy odleptávaného materiálu, přičemž vznikají těkavé sloučeniny. Princip plazmatického leptání je naznačen na obrázku 4.2. Tato metoda se vyznačuje izotropní povahou a vysokou selektivitou leptání, a proto podle použitého pracovního plynu je možné odleptávat požadované materiály [12].



Obrázek 4.2 Princip plazmatického leptání [36]

#### 4.2.3 Reaktivní iontové leptání RIE – suché chemicko-fyzikální leptání

V polovodičovém průmyslu je nejvíce zastoupena metoda kombinující chemické i fyzikální leptání vrstev, taková metoda se nazývá reaktivní iontové leptání (reactive ion etching, RIE). Povrch čipu je bombardován kladnými ionty reaktivního plynu se současnou depozicí neutrálních radikálů. Reaktivní ionty odprašují a zároveň s radikály chemickými reakcemi odleptávají materiál povrchu čipu, jak je znázorněno na obrázku 4.3. Jedná se tak o požadovaný kompromis mezi iontovým a plazmatickým leptáním. RIE dosahuje převážně anizotropního leptání s dobrou selektivitou. Současně lze také dosáhnout vyšší leptací rychlosti než u předchozích metod [10], [36]. Některé používané plyny pro odleptávání vrstev čipu pomocí RIE jsou uvedeny v tabulce 4.2.



Obrázek 4.3 Princip reaktivního iontového leptání [36]

Tabulka 4.2 Vybrané materiály a jejich pracovní plyny pro RIE [37], [39]

Materiál	Pracovní plyn	Materiál	Pracovní plyn
Si	$SF_6 + He + O_2$	Al, Cu, Ti	$BCl_3 + Cl_2$
Poly-Si	$HBr + Cl_2$	W, TiW	$SF_6 + O_2$
	$Cl_2$		$SF_6$
$SiO_2$	$CF_4 + O_2$	Ta	$CF_4 + O_2$
	$CHF_3 + O_2$		
$Si_3N_4$	$SF_6 + O_2$	TiN	$SF_6 + O_2$
	$CF_4 + O_2$		

#### 4.2.4 Vlastnosti suchého leptání

Proces suchého leptání je narozdíl od mokrého leptání plně automatizován, a tedy je možné zajistit mnohem reprodukovatelnějších výsledků leptání. Při vhodné konfiguraci suchého leptání je pak možné dosáhnout anizotropního leptání s dobrou selektivitou. Suché leptání umožňuje odleptávat vrstvy s jemnějším motivem a podle použitého pracovního plynu odleptávat i většinu materiálů. Metody suchého leptání jsou díky svým vlastnostem vhodné pro různé velikosti čipů. Mezi nevýhody suchého leptání však patří vysoké pořizovací náklady [36], [39].

### 4.3 Lapování

Lapování (parallel polishing, lapping) představuje poslední metodu používanou pro odvrstvování IO. Jedná se o mechanickou metodu, při které se využívá suspenze abrazivního materiálu s velice jemnou zrnitostí 1 až 0,05  $\mu\text{m}$  pro broušení povrchu čipu. Lapování je časově náročný proces, který vyžaduje precizní nastavení systému pro broušení, protože nejdůležitějším parametrem je zajištění planarity povrchu. Planarita povrchu se při procesu broušení obtížně udržuje a spadá do hlavních nevýhod této metody zvláště při broušení velkých ploch čipu. Problém s planaritou čipu je možné částečně vyřešit metodou chemicko-mechanického lapování (chemical-mechanical polishing, CMP), kdy suspenze kromě brusiva obsahuje kyselinu, která chemicky narušuje povrch čipu pro snazší broušení [12], [36].

Předností lapování oproti suchému a mokrému leptání je možnost pohledu na vodorovný řez čipovou strukturou se všemi použitými materiály v jedné vrstvě. U předchozích metod takto souvislý pohled není možný, neboť při výskytu více materiálů v jedné vrstvě je odleptán konkrétní druh materiálu a zbylé zůstanou nedotčeny. Použití této metody je tedy výhodné především u IO s několika vrstvami. Lapování dále umožňuje v čipové struktuře zkoumat procesní defekty jako jsou malé objekty způsobující zkrat, které by mohly být odleptány při použití předchozích metod [12], [36].

### 4.4 Shrnutí metod odvrstvování polovodičových čipů

Odvrtvování čipů se provádí z důvodu hledání defektů v čipové struktuře, materiálového složení, použitých obvodových prvků nebo funkcí IO. K odstranění jednotlivých vrstev existují tři základní metody, jimiž jsou mokré leptání, suché leptání a lapování. Suché leptání je dále možné rozdělit podle využívané fyzikální a chemické reakce na iontové leptání, plazmatické leptání nebo reaktivní iontové leptání. Každá z uvedených metod má své klady i zápory, a proto dohromady tvoří nezastupitelné místo v průběhu procesu odvrstvování. Přehledné srovnání uvedených metod je uvedeno v tabulce 4.3.

Tabulka 4.3 Srovnání metod odvrstvování polovodičových čipů [36], [39]

	<b>Přednosti</b>	<b>Zápory</b>
<b>Mokrý leptání</b>	<ul style="list-style-type: none"> <li>• Jednoduchá implementace a nízké náklady</li> <li>• Vysoká selektivita leptání většiny roztoků na kovové materiály</li> </ul>	<ul style="list-style-type: none"> <li>• Nevhodné pro leptání motivů menších než 1 <math>\mu\text{m}</math></li> <li>• Špatné řízení procesu a rozdílné výsledky leptání</li> <li>• Bezpečnostní rizika při používání leptacích roztoků</li> </ul>
<b>Suché leptání</b>	<ul style="list-style-type: none"> <li>• Vhodné i pro leptání motivů menších než 100 nm</li> <li>• Několik možných metod suchého leptání</li> <li>• Automatizovaný a reprodukovatelný proces</li> </ul>	<ul style="list-style-type: none"> <li>• Horší implementace a vysoké náklady</li> <li>• Možná redepozice odleptaného materiálu na čip</li> </ul>
<b>Lapování</b>	<ul style="list-style-type: none"> <li>• Jednoduchá implementace a nízké náklady</li> <li>• Planární odstraňování vrstev</li> <li>• Praktické pro odstranění několika vrstev naráz</li> </ul>	<ul style="list-style-type: none"> <li>• Obtížné řízení procesu</li> <li>• Vyžaduje praktické zkušenosti pro udržení planarity povrchu</li> <li>• Časově náročný proces</li> </ul>

## 5 INSPEKCE A MATERIÁLOVÁ ANALÝZA

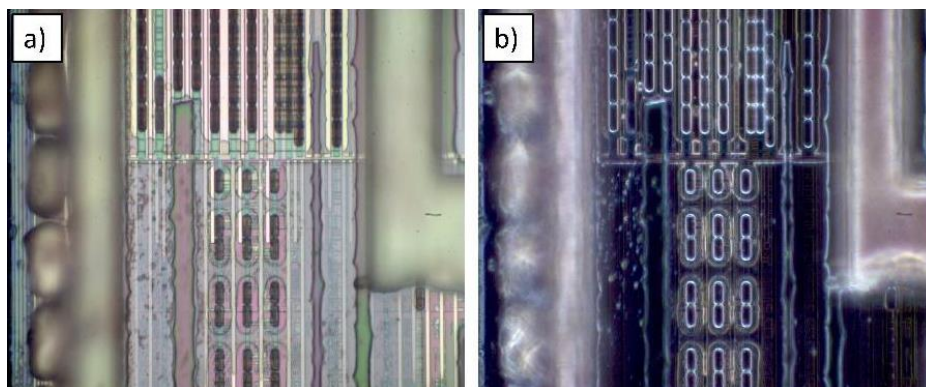
### 5.1 Inspekční techniky

Při odvrstvování IO je potřeba do tohoto procesu zařadit určitý druh inspekční techniky pro pozorování rozdílů mezi původním a aktuálním stavem odvrstveného čipu. Každý krok při procesu odvrstvování tak musí být následován inspekci pro úspěšnou analýzu vrstev čipu. Pro inspekci IO je možné využít řadu forem mikroskopie, kde mezi klíčové techniky patří optická a skenovací elektronová mikroskopie (SEM). Volba mikroskopie závisí na náročnosti použití, interpretaci výsledků a rozlišovací schopnosti [12].

#### 5.1.1 Optická mikroskopie

Optická mikroskopie nabízí několik jedinečných režimů inspekce vyvinutých na základě různých konstrukcí a principů optických mikroskopů, jako je např. zobrazení ve světlém (bright) nebo temném poli (dark field), polarizační mikroskopie, ultrafialová nebo infračervená mikroskopie, konfokální mikroskopie aj. Používané techniky optické mikroskopie pro zobrazení ve světlém a temném poli jsou popsány v následujících bodech [12]:

- **Zobrazení ve světlém poli** – Tato technika patří mezi základní a nejpoužívanější techniky v optické mikroskopii. Světelný paprsek je přiváděn kolmo na povrch čipu, přičemž fotony při dopadu na rovinný povrch jsou odraženy do objektivu a obraz je vnímán jako světlý. Při dopadu paprsku na nerovný povrch jsou fotony odraženy mimo objektiv a obraz je vnímán jako tmavý.
- **Zobrazení v temném poli** – Světelný paprsek na rozdíl od předchozí techniky dopadá na rovinu povrchu čipu pod úhlem. Paprsek se tak od rovinného povrchu odráží mimo objektiv a obraz je vnímán jako tmavý, zatímco od nerovností se paprsek může odrazit do objektivu a obraz je vnímán jako světlý. Výsledné obrazy obou technik zobrazení ve světlém a temném poli jsou znázorněny na obrázku 5.1.

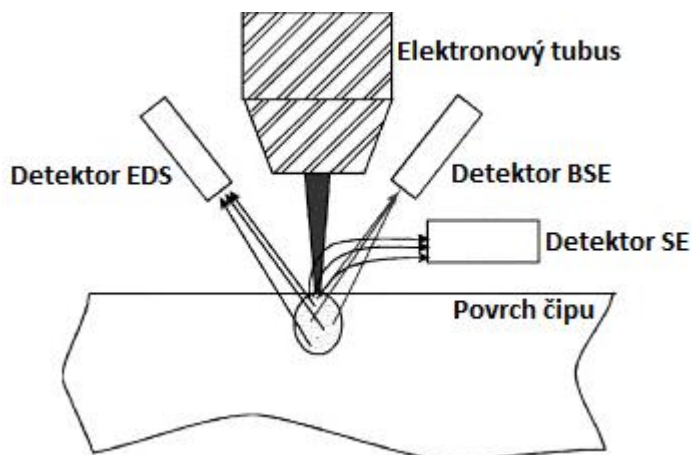


Obrázek 5.1 Snímek povrchu čipu pořízený optickým mikroskopem pro zobrazení a) ve světlém a b) v temném poli

S příchodem nových technologických generací IO optická mikroskopie postupně ztrácí svoji relevanci, a to především díky nárokům na vysokou rozlišovací schopnost, která je u optických mikroskopů omezena polovinou vlnové délky světelného záření, což u viditelného světla odpovídá zhruba 250 nm. Optická mikroskopie je však nenáročnou technikou pro rychlou inspekci vrstev čipu, nabízí snadnou interpretaci a rozpoznávání materiálů na základě barev, která ovšem není zcela vypovídající, a navíc optická mikroskopie nevyžaduje vakuový systém, který je zapotřebí u SEM. Z těchto důvodů je optická mikroskopie stále velmi užitečnou inspekční technikou, i když rozlišení pro rozpoznání malých objektů je omezené [12].

### 5.1.2 Skenovací elektronová mikroskopie SEM

Neustálé zmenšování rozměrů v každé nové generaci IO způsobilo, že skenovací elektronová mikroskopie (SEM) se stala jednou z nejdůležitějších inspekčních technik při odvrstvování čipů, která se oproti optické mikroskopii vyznačuje mnohonásobně vyšší rozlišovací schopností. Systém SEM je tak považován za náhradu optické mikroskopie, kdy rozměry pozorovaných objektů jsou pod hranicí optického rozlišení. Rozlišovací schopnost se u špičkových systémů SEM při použití urychlovacího napětí 20 až 30 kV pohybuje pod 1 nm [40]. Zjednodušený schématický princip SEM s důležitými částmi je zobrazen na obrázku 5.2.



Obrázek 5.2 Zjednodušený schématický princip SEM [40]

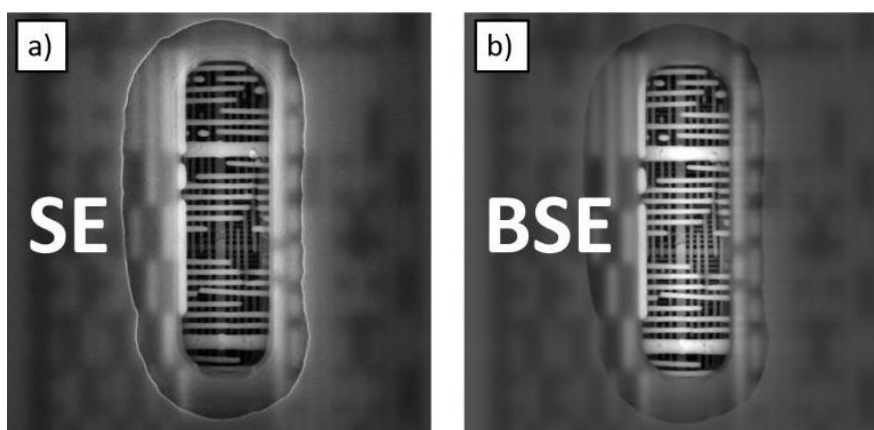
SEM využívá fokusovaný svazek primárních elektronů dopadající na velmi malé místo na čipu, kdy interakcí elektronů s materiálem vznikají detekovatelné signály pro tvorbu obrazu. Postupným pohybem elektronového svazku po povrchu čipu pak je možné zkonstruovat výsledný obraz. Pro tvorbu obrazů jsou jako signály detekovány sekundární elektrony pomocí SE detektoru, které vystoupily z materiálu čipu, a pomocí BSE detektoru jsou detekovány zpětně odražené elektrony od povrchu čipu [40].

- **Detektor sekundárních elektronů SE** – Detektor SE je nejpoužívanějším druhem detektoru, který poskytuje vyšší rozlišení oproti BSE detektoru a zároveň



výsledný obraz je charakteristický topografickým kontrastem. Detekované sekundární elektrony jsou emitovány z velmi malé hloubky (jednotky nm) pod povrchem materiálu.

- **Detektor zpětně odražených elektronů BSE** – U detektoru BSE (back scattered electrons) jsou zpětně odražené elektrony emitovány z větší hloubky (stovky nm) pod povrchem materiálu a jejich počet závisí na atomovém čísle materiálu. Výsledný obraz je pak charakteristický kompozičním kontrastem z důvodu rozdílného chemického složení materiálu, resp. různého atomového čísla. Rozdílnost obrazů pořízených SE a BSE detektorem je zobrazena na obrázku 5.3.



Obrázek 5.3 Snímek povrchu čipu pořízený SEM pro a) SE a b) BSE detektor

## 5.2 Metody pro analýzu prvkového zastoupení vrstev

Pro analýzu chemického složení jednotlivých vrstev čipu slouží metody materiálové analýzy. Při výběru metody je často rozhodující několik faktorů, mezi které patří prostorové rozlišení metody, hloubka analyzovaného materiálu, citlivost metody, informace o chemickém složení, náročnost analýzy apod. Chemické složení materiálů lze provádět několika metodami, z nichž nejznámější je energiově disperzní rentgenová spektroskopie (EDS), dalšími metodami jsou rentgenová fotoelektronová spektroskopie (XPS) a hmotnostní spektrometrie sekundárních iontů (SIMS) [12].

### 5.2.1 Energiově disperzní rentgenová spektroskopie EDS

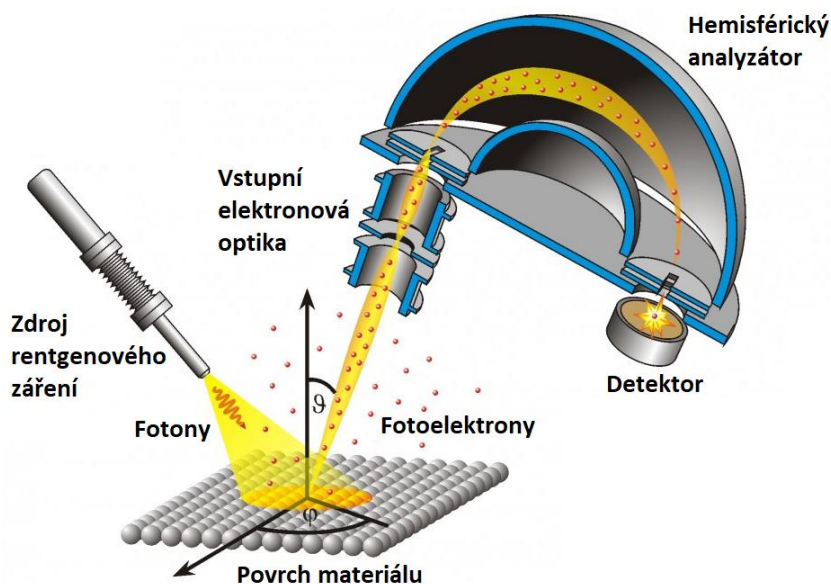
Energiově disperzní rentgenová spektroskopie (energy-dispersive x-ray spectroscopy, EDS, nebo také EDX) je základní materiálová analýza používaná při odvrstvování IO. EDS je obvykle přídatnou součástí SEM po přidání energiově disperzního spektroskopu do komory mikroskopu. Tato metoda je založena na detekci charakteristického rentgenového záření prvků, které vzniká při interakci svazku primárních elektronů s povrchem čipu. Vzniklé rentgenové záření je detekováno pomocí EDS spektroskopu, kde je převáděno na elektrické pulsy, ze kterých je následně sestaveno EDS spektrum

obsažených prvků. Při skenování povrchu materiálu elektronovým svazkem je rovněž možné provést prvkové mapování povrchu čipu [41].

EDS analýza není doporučována pro určování prvků s atomovým číslem menším než 11, a proto není příliš vhodná pro zjišťování zastoupení nitridů a oxidů. Největší nevýhodou EDS je však velká hloubka vniku primárních elektronů do materiálu, což ve výsledku je promítnuto získáním informace z určitého objemu materiálu, a proto je obtížnější stanovit zastoupení prvků v tenkých vrstvách na povrchu [41].

### 5.2.2 Rentgenová fotoelektronová spektroskopie XPS

Rentgenová fotoelektronová spektroskopie (x-ray photoelectron spectroscopy, XPS) je další používanou metodou ke zkoumání chemického složení povrchu čipů. Podstatou analýzy XPS je měření rozložení kinetické energie fotoelektronů. Na povrch zkoumaného materiálu dopadá charakteristické rentgenové záření generované zdrojem rentgenového záření. Záření je absorbováno atomy materiálu, čímž dochází k emisi fotoelektronů z vnitřních energetických hladin atomu. Počet fotoelektronů v závislosti na jejich kinetické energii je detekován hemisférickým analyzátozem. Výsledné rozložení energie fotoelektronů pak udává fotoelektronové spektrum [42]. Zjednodušený schématický princip XPS analýzy je uveden na obrázku 5.4.



Obrázek 5.4 Zjednodušený schématický princip XPS [43]

Výhodou této metody je, že data získaná z XPS poskytují informace o přítomných prvcích, ale i o jejich chemických stavech, resp. vazbách mezi atomy. XPS umožňuje oproti jiným metodám určit zastoupení prvků v tenkých vrstvách tedy v hloubce několika nanometrů pod povrchem. Pomocí této analytické metody je možné detekovat všechny prvky s atomovým číslem větším než 2. Nevýhodou XPS je použití zdroje rentgenového záření, které výrazně ovlivňuje nároky na konstrukci přístroje a provozní podmínky [42].

### **5.2.3 Hmotnostní spektrometrie sekundárních iontů SIMS**

Hmotnostní spektrometrie sekundárních iontů (secondary ion mass spectrometry, SIMS) je další analytická metoda určená k charakterizaci tenkých vrstev, která je často přídatnou součástí pro systémy IBE nebo RIE. SIMS je založena na bombardování povrchu čipu iontovým svazkem s následnou analýzou sekundárních iontů. Sekundární ionty vznikají ionizací odprášených částic primárními ionty a tvoří jen nepatrný zlomek všech emitovaných částic z povrchu. Sekundární ionty jsou pak extrahovány do hmotnostního spektrometru a vyhodnoceny ve formě hmotnostního spektra, 3D mapy či koncentračního hloubkového profilu. SIMS tedy poskytuje informace o prvkovém, ale i izotopovém či molekulárním složení povrchu [44].

SIMS patří mezi nejcitlivější analytické metody, která je schopna analyzovat materiály v hloubce několika nanometrů pod povrchem. Tato metoda je prakticky schopna detekovat všechny prvky z periodické soustavy prvků. Její nevýhodou může být destruktivní povaha metody nebo obtížná kvantifikace dat [44].

## **5.3 Shrnutí inspekčních technik a metod pro analýzu prvkového zastoupení vrstev**

V průběhu procesu odvrstvování IO je nutné pro posouzení fyzických rozdílů mezi původním a aktuálním stavem odvrstveného čipu použít jednu z forem mikroskopie. Výběr inspekční techniky závisí na požadovaném zvětšení obrazu nebo interpretaci výsledků pro možné porovnání změn. Proto jako rychlou a nenáročnou inspekční techniku lze zvolit optickou mikroskopii, která nabízí mnoho režimů inspekce v závislosti na různých konstrukcích a principech optických mikroskopů. Jakmile je však požadována vysoká rozlišovací schopnost mikroskopu pro pozorování malých objektů, tak je nutné přejít k SEM, která nabízí konstrukci obrazů zprostředkovanou detektorem SE nebo BSE.

Pro analýzu chemického složení jednotlivých vrstev čipu lze vybrat jednu z metod materiálové analýzy na základě mnoha faktorů, mezi které patří prostorové rozlišení metody, hloubka analyzovaného materiálu, citlivost metody, informace o chemickém složení apod. Nejběžněji využívanou analytickou metodou při odvrstvování IO je EDS, která však detekuje zastoupené prvky z velké hloubky pod povrchem. Oproti tomu analýzy XPS a SIMS jsou vhodné pro stanovení prvků v tenkých vrstvách. XPS dokáže poskytnout informace nejen o prvcích, ale také o jejich chemických stavech. SIMS navíc poskytuje informace o prvkovém, ale i izotopovém či molekulárním složení povrchu.

## 6 EXPERIMENTÁLNÍ ČÁST

V rámci praktické části bakalářské práce bylo provedeno několik pokusů odpouzdřování a velkoplošného odvrstvování IO, kdy pro tyto účely byly využity zapouzdřené procesorové čipy od firmy Intel vyrobené technologií 22 nm. Kromě procesorových čipů byl proces odvrstvování prováděn i na nezapouzdřených ASIC čipech s výrazně menšími rozměry, které byly navrženy na Ústavu mikroelektroniky. ASIC čipy umožňovaly oproti procesorovým čipům snazší interpretaci výsledků, a to především díky zdokumentované topologii čipu, která u procesorových čipů nebyla známá.

Při odpouzdřování procesorových čipů se vycházelo z metody manuálního chemického leptání, neboť tato metoda byla nejvhodnější a současně dostupná pro daný druh pouzření. Odvrstvování obou druhů čipů pak bylo z velké části založeno na mokřím leptání. Kromě mokřeho leptání byly také vyzkoušeny metody suchého leptání uskutečněné v čistých prostorách CEITEC VUT. Mechanická metoda lapování vrstev nemohla být odzkoušena z důvodu indispozice zařízení na lapování povrchů čipů.

Pro zkoumání povrchu odvrstvených čipů bylo využíváno optického mikroskopu Zeiss Axio Imager v režimu zobrazení ve světlém poli. Další inspekční technikou používanou při odvrstvování byl skenovací elektronový mikroskop Tescan Mira II, kde pro konstrukci obrazů byl používán SE detektor. Pro posouzení obsažených materiálů ve vrstvách čipů byla využita EDS materiálová analýza, která byla součástí SEM.

### 6.1 Procesorové čipy

Dostupné procesorové čipy o rozměrech  $10 \times 10 \text{ mm}^2$  byly zapouzdřeny technikou flip chip v provedení chip scale package (CSP), kdy velikost pouzdra je dána v rozsahu rozměrů čipu viz obrázek 6.1 a). Samotný polovodičový čip je tedy umístěn na organickém substrátu FR4 s BGA vývody a prostor mezi aktivní stranou čipu a substrátem je vyplněn organickou výplní. Pro odpouzdření pak bude postačovat vhodným způsobem oddělit čip od substrátu, aniž by došlo k poškození pasivační vrstvy čipu.

#### 6.1.1 Odpouzdřování procesorových čipů

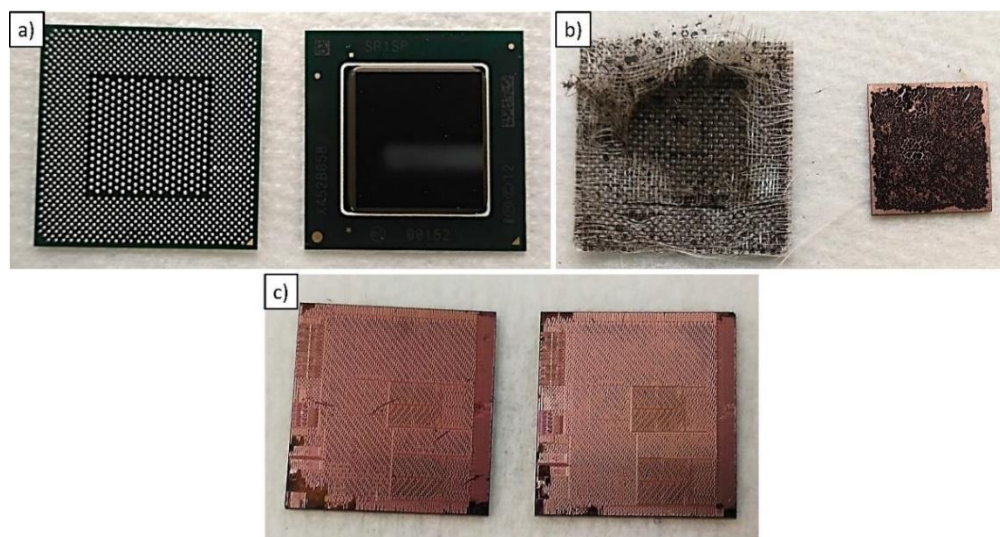
Pro odpouzdřování procesorových čipů byla zvolena metoda manuálního chemického leptání probíhající v digestoři. Přestože je tato metoda popsána pro odstraňování plastových pouzder, jeví se jako vhodná pro odstranění substrátu FR4 i výplně mezi substrátem a čipem, neboť tyto materiály vychází ze stejného organického složení.

Pro první pokus odpouzdřování čipů byl v kádince připraven leptací roztok  $\text{HNO}_3:\text{H}_2\text{SO}_4$  v poměru 3:1, přičemž byla použita 65%  $\text{HNO}_3$  a 96%  $\text{H}_2\text{SO}_4$ . Roztok byl následně na topné plotně míchán a zahříván na teplotu  $90 \text{ }^\circ\text{C}$ . Do ohřátého roztoku byl pinzetou vložen očištěný zapouzdřený čip. Zpočátku bylo možné pozorovat exotermní

reakci s organickým materiálem (roztok se zbarvil do žluta vlivem  $\text{HNO}_3$ ). Přibližně po 1 hodině byl roztok zcela zbarven do černa, což indikovalo, že v kádince převažoval vliv  $\text{H}_2\text{SO}_4$ . Nakonec po 1,5 hodině byl čip z kádinky vytažen a dále se v experimentu nepokračovalo, neboť roztok již výrazně nepřispíval k chemické reakci s organickým materiálem a celý substrát zůstal pouze naleptán. Zapouzdřený čip byl při odpouzdřování každých 10 minut kontrolován vytažením z kádinky a čištěn působením ultrazvuku v ohřáté acetonové lázni na  $55\text{ }^\circ\text{C}$ .

V závislosti na zjištěných poznátcích byl pro druhý pokus odpouzdřování změněn poměr použitých kyselin na 2:3 ( $\text{HNO}_3:\text{H}_2\text{SO}_4$ ) a zvýšena teplota ohřevu na  $160\text{ }^\circ\text{C}$  pro vyšší reaktivitu  $\text{H}_2\text{SO}_4$ . Zvolením této konfigurace bylo docíleno, že po 30 minutách substrát změkkl a postupně při každém čištění ultrazvukem v acetonové lázni se začal rozpadat, resp. začaly se od sebe oddělovat jednotlivé vrstvy výztuže ze skelné tkaniny, které jsou v roztoku nerozpustné. Po zhruba 1-1,5 hodině již došlo k oddělení čipu od substrátu, přičemž na aktivní straně čipu zůstala zbytková organická výplň viz obrázek 6.1 b). Odpouzdřený čip byl následně čištěn ultrazvukem v ohřáté acetonové nebo izopropylalkoholové lázni na  $55\text{ }^\circ\text{C}$ , dokud nebyly odstraněny organická rezidua. Poté následovalo opláchnutí čipu deionizovanou vodou a osušení stlačeným dusíkem.

Tímto postupem bylo odpouzdřeno několik kusů čipů pro následný proces odvrstvování, přičemž celkový čas odpouzdřování vyšel přibližně na 2-2,5 hodiny. Na obrázku 6.1 c) je pak vidět pohled na výsledný odpouzdřený čip. Z obrázku je však patrné, že došlo k odleptání části pasivační vrstvy na hranách čipů. Nicméně při dalších pokusech bylo dosaženo lepších výsledků, a to díky sledování potřebné doby leptání každého čipu, než došlo k oddělení substrátu.

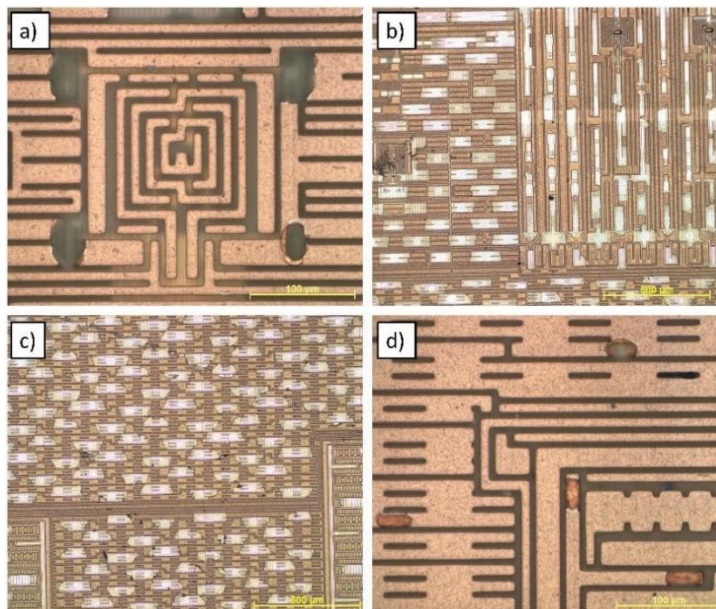


Obrázek 6.1 Snímky jednotlivých kroků při odpouzdřování procesorových čipů: a) zapouzdřený čip technikou CSP, b) oddělení nosného substrátu od čipu a c) odpouzdřený čip



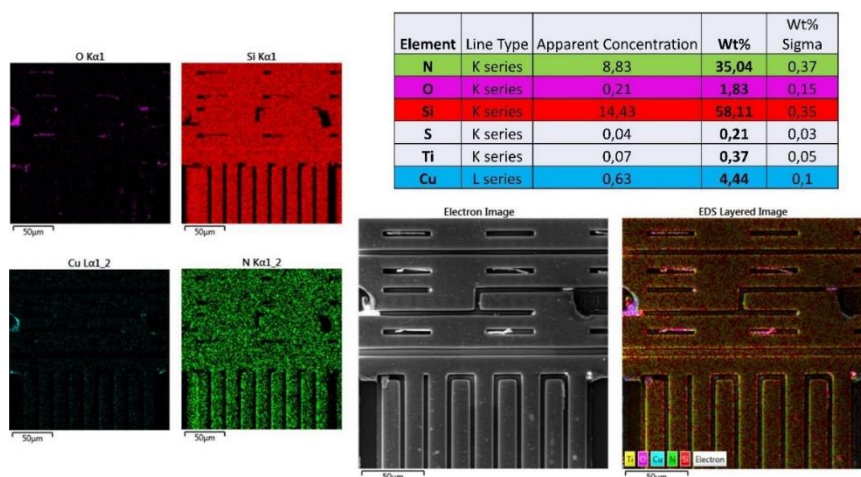
### 6.1.2 Odvrstvování procesorových čipů mokrým leptáním

Odpouzdřené čipy byly následně prozkoumány pod optickým mikroskopem viz obrázek 6.2, přičemž pro pozorování budoucích rozdílů byly vybrány čtyři místa na čipu. Procesorové čipy byly minimálně pokryty organickými zbytky, a tak mohla nastat EDS materiálová analýza povrchu.



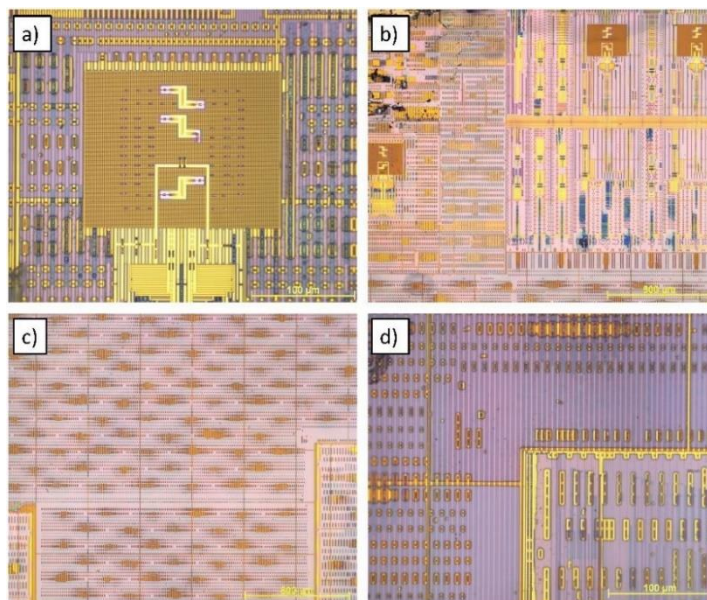
Obrázek 6.2 Optická inspekce procesorového čipu po odpouzdřování

Pomocí EDS analýzy byla zkonstruována mapa zastoupených prvků na čipu, která je uvedena na obrázku 6.3. Z výsledků naměřených hodnot rentgenového spektra je patrné, že největší hmotnostní koncentraci Wt% tvoří prvky Si a N. Lze tedy očekávat, že pasivační vrstva je tvořena  $\text{Si}_3\text{N}_4$ .



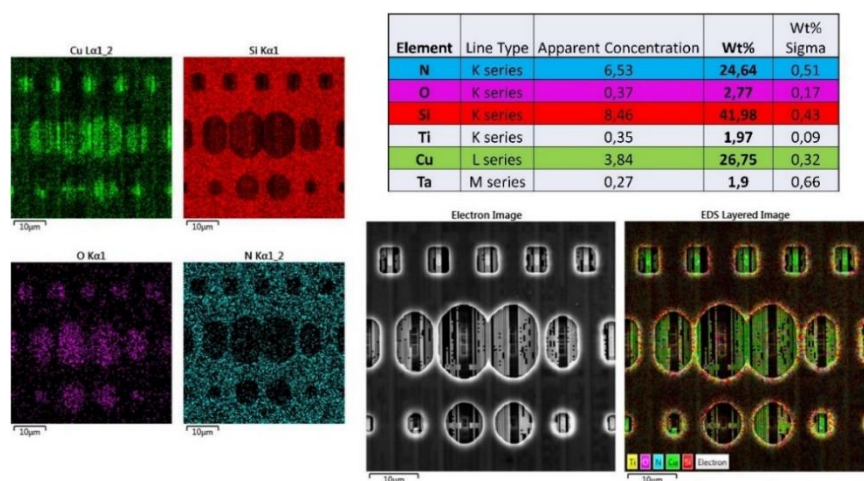
Obrázek 6.3 EDS materiálová analýza procesorového čipu po odpouzdřování

Pro odstranění pasivační vrstvy  $\text{Si}_3\text{N}_4$  byla zvolena 85%  $\text{H}_3\text{PO}_4$ , která byla nalita do kádinky a na topné plotně míchána a zahřívána na 180 °C. Do kyseliny byl následně ponořen čip na 15 minut. Po uplynulé době byl čip vytažen, opláchnut v deionizované vodě a osušen stlačeným dusíkem. Obrázek 6.4 ukazuje výsledky procesu, kde je možné pozorovat, že došlo k odstranění pasivační vrstvy, ale také k nechtěnému odstranění první vrstvy Cu metalizace pod pasivační vrstvou.



Obrázek 6.4 Optická inspekce procesorového čipu po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí mokrého leptání

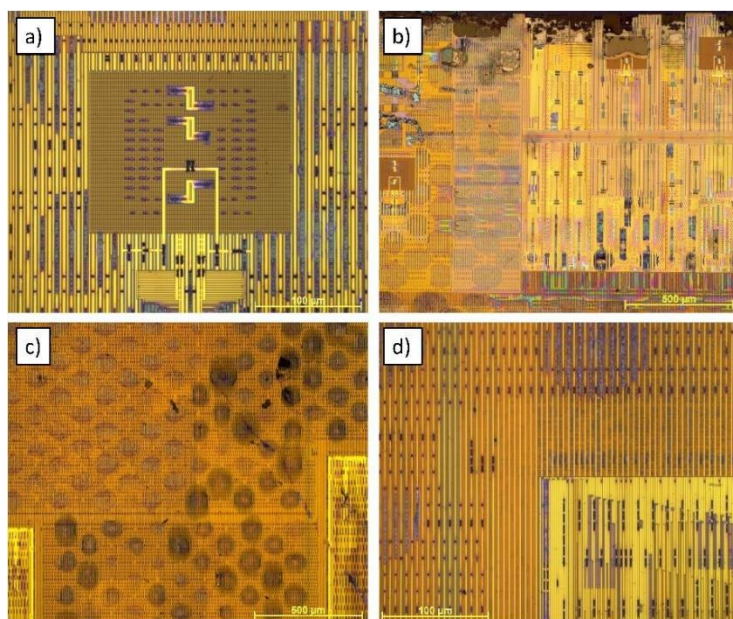
Z následné EDS analýzy byla obdobným způsobem zkonstruována mapa obsažených prvků, kde bylo z rentgenového spektra zjištěno, že povrch čipu je pokryt sekundární vrstvou  $\text{Si}_3\text{N}_4$ , pod níž se nachází druhá vrstva Cu metalizace viz obrázek 6.5



Obrázek 6.5 EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí mokrého leptání

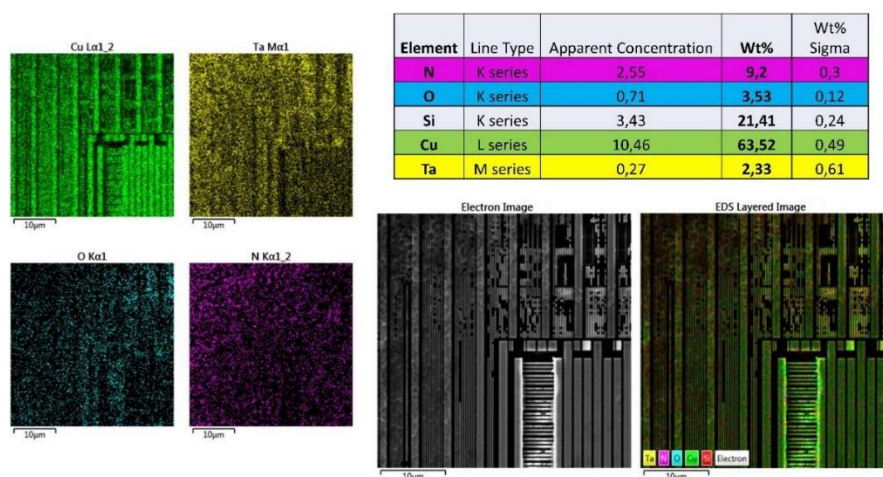


Proto pro odstranění sekundární vrstvy  $\text{Si}_3\text{N}_4$  byl čip opětovně ponořen do ohřáté  $\text{H}_3\text{PO}_4$  a nechal se leptat dalších 15 minut. Po uplynulé době byl čip vytažen, opláchnut a osušen. Na obrázku 6.6 je možné pozorovat, že došlo k odleptání dané vrstvy.



Obrázek 6.6 Optická inspekce procesorového čipu po odleptání sekundární vrstvy  $\text{Si}_3\text{N}_4$  pomocí mokrého leptání

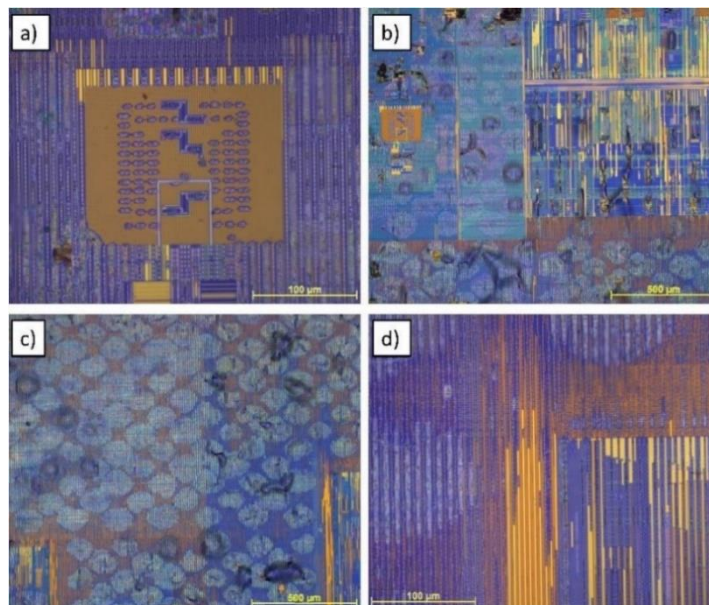
Po provedení prvkové analýzy pomocí EDS viz obrázek 6.7 bylo zjištěno, že na čipu zůstala ještě zčásti vrstva  $\text{Si}_3\text{N}_4$ , nicméně bylo dosaženo druhé vrstvy Cu metalizace. Mezi prvky se také objevuje Ta, který může naznačovat bariérovou vrstvu TaN kolem okrajů Cu metalizace.



Obrázek 6.7 EDS materiálová analýza procesorového čipu po odleptání sekundární vrstvy  $\text{Si}_3\text{N}_4$  pomocí mokrého leptání

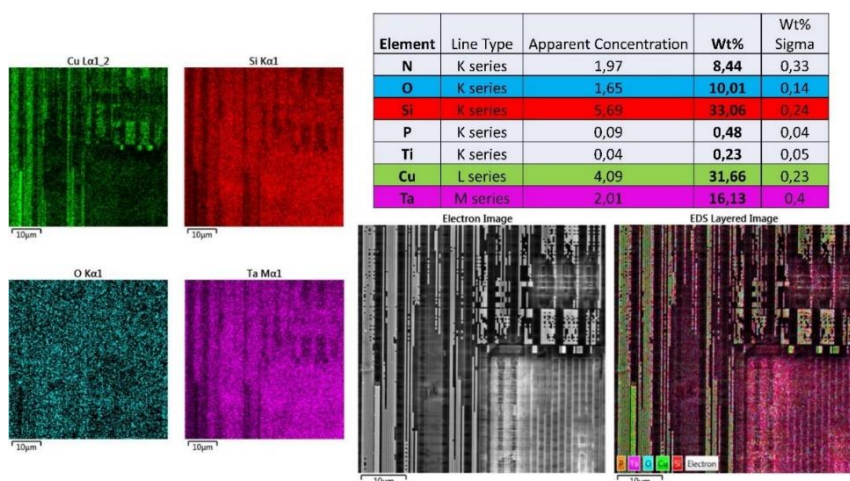


Pro odstranění druhé vrstvy Cu metalizace byl při pokojové teplotě namíchán ředěný roztok  $\text{HNO}_3:\text{H}_2\text{O}$  v poměru 5:1, kdy byla použita 65%  $\text{HNO}_3$  a deionizovaná voda. Do kádinky s připraveným roztokem byl následně ponořen čip na 5 minut. Po uplynulé době byl čip vytažen, opláchnut a osušen známým postupem. Obrázek 6.8 ukazuje, že došlo k částečnému odstranění Cu vrstvy. Při delší době leptání sice došlo k odstranění metalizace z větší části, ale také docházelo k delaminaci spodních vrstev.



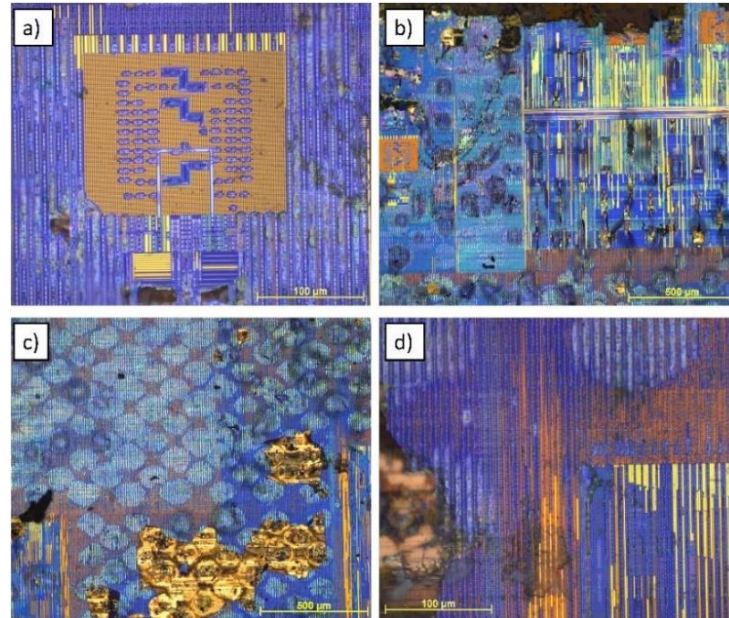
Obrázek 6.8 Optická inspekce procesorového čipu po odleptání druhé vrstvy Cu metalizace pomocí mokrého leptání

Z vytvořené prvkové mapy a vyhodnoceného rentgenového spektra pomocí EDS viz obrázek 6.9 je patrné, že pod částečně odleptanou vrstvou Cu metalizace se nachází izolační vrstva  $\text{SiO}_2$  a pravděpodobně bariérová vrstva TaN.



Obrázek 6.9 EDS materiálová analýza procesorového čipu po odleptání druhé vrstvy Cu metalizace pomocí mokrého leptání

Pro odleptání izolační vrstvy  $\text{SiO}_2$  byla zvolena dostupná pufrovaná kyselina fluorovodíková, což byl roztok  $\text{NH}_4\text{F}:\text{HF}$  v poměru 7:1. Při pokojové teplotě byl čip pomocí pinzety položen na hladinu roztoku stranou s leptanou vrstvou na 2,5 minuty. Po uplynulé době byl čip vytažen, opláchnut v deionizované vodě a osušen stlačeným dusíkem. Srovnáním obrázku 6.10 s předešlým stavem na obrázku 6.9 bylo zjištěno, že roztok způsobil značnou delaminaci spodních vrstev po celé ploše čipu.



Obrázek 6.10 Optická inspekce procesorového čipu po odleptání izolační vrstvy  $\text{SiO}_2$  pomocí mokrého leptání

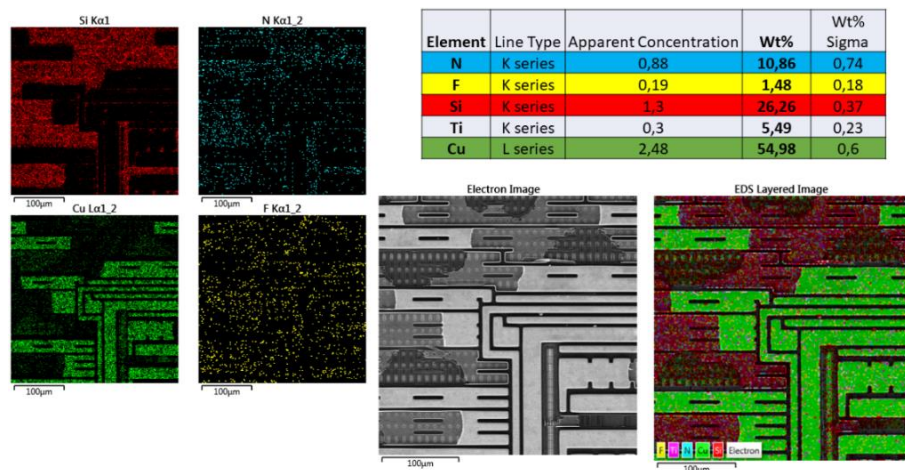
Tímto způsobem nemohlo být dále pokračováno, neboť celý povrch čipu byl odvrstven s různou hloubkou. Všechny roztoky pro leptání vrstev  $\text{SiO}_2$  jsou založeny na HF, s kterou se jednak obtížně manipuluje, ale také řízení selektivního leptání je obtížné. Vhodnou alternativou pro odstranění vrstvy  $\text{SiO}_2$  by bylo použití jedné z metod suchého leptání. Při mokřém leptání došlo ke zničení několika čipů a pro vyzkoušení suchého leptání na odleptání vrstvy  $\text{SiO}_2$  by bylo nutné připravit nové vzorky a opakovat tak celý časově náročný postup odpouzdřování a odvrstvování.

### 6.1.3 Odvrstvování procesorových čipů suchým leptáním

Kromě mokřého leptání byly odzkoušeny celkem čtyři různé procedury suchého leptání pro odstranění  $\text{Si}_3\text{N}_4$  pasivační vrstvy na odpouzdřených čipech. Práce probíhala v čistých prostorách na CEITEC VUT, kde byly využívány metody reaktivního iontového leptání uskutečňované v systémech Oxford PlasmaPro NGP 80 (RIE-FLUORINE) a Oxford Instruments Plasma Technology PlasmaPro 100 (RIE-CHLORINE).

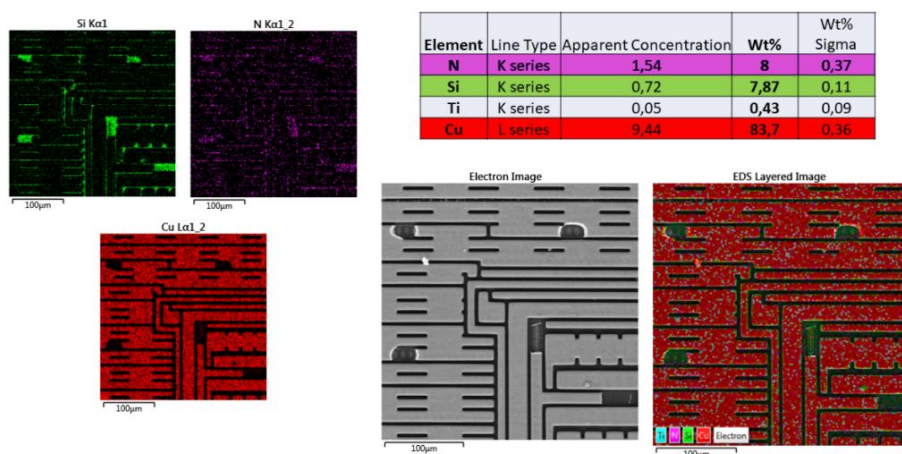
Jako první byla zvolena procedura kombinující plyny  $\text{CHF}_3 + \text{O}_2$  uskutečněná v systému RIE-FLUORINE v poměru průtoků daných plynů 50 sccm + 5 sccm. Dalšími nastavenými parametry byl výkon RF zdroje 300 W a tlak v komoře 55 mT. Celkový čas

procesu byl zvolen na 15 minut, aby skutečně došlo k odstranění tenké pasivační vrstvy, neboť na CEITEC VUT nemohla být uskutečněna EDS analýza povrchu čipu a musela být provedena až na Ústavu mikroelektroniky. Z výsledné EDS mapy prvků na obrázku 6.11 je patrné, že došlo k odleptání pasivační vrstvy, pod níž se nachází první vrstva Cu metalizace. K narušení první vrstvy metalizace nedošlo při RIE, ale již při samotném procesu odpouzdřování tohoto vzorku čipu.



Obrázek 6.11 EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí RIE za použití plynů  $\text{CHF}_3 + \text{O}_2$

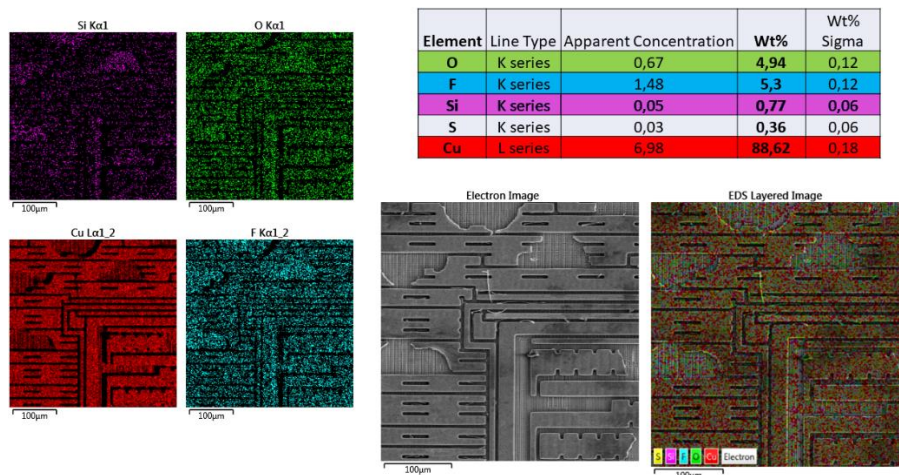
Druhou procedurou byla zvolena kombinace plynů  $\text{CHF}_3 + \text{Ar}$  uskutečněná v systému RIE-FLUORINE v poměru průtoků daných plynů 12 sccm + 38 sccm. Dalšími nastavenými parametry byl výkon RF zdroje 300 W a tlak v komoře 30 mT. Celková doba procesu byla zvolena na 15 minut ze stejných důvodů jak v předchozím případě. EDS analýza na obrázku 6.12 pak ukazuje, že došlo k odleptání pasivační vrstvy a odhalení první vrstvy Cu metalizace.



Obrázek 6.12 EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí RIE za použití plynů  $\text{CHF}_3 + \text{Ar}$

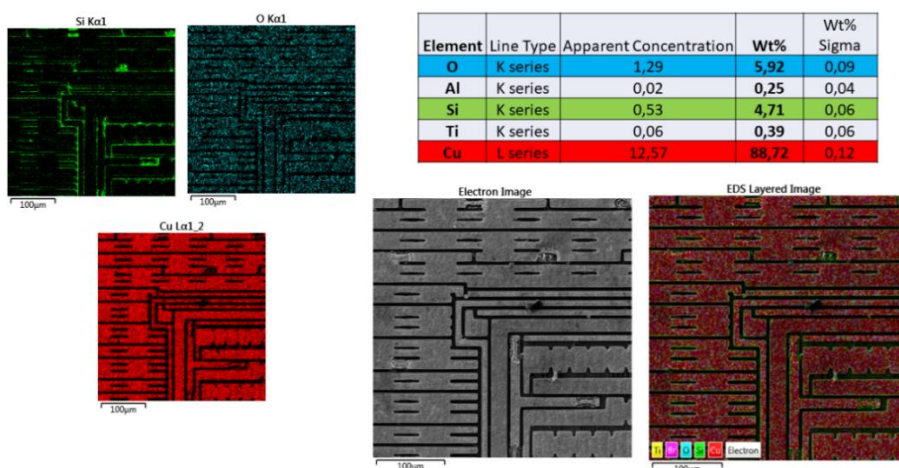


Jako třetí procedura byla zvolena kombinace plynů  $\text{SF}_6 + \text{O}_2$  uskutečněná v systému RIE-FLUORINE v poměru průtoků daných plynů 50 sccm + 10 sccm. Dalšími nastavenými parametry byl výkon RF zdroje 300 W a tlak v komoře 30 mT. Doba procesu byla znovu zvolena na 15 minut. Z vytvořené prvkové mapy a vyhodnoceného rentgenového spektra pomocí EDS viz obrázek 6.13 je patrné, že došlo k odleptání pasivační vrstvy.



Obrázek 6.13 EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí RIE za použití plynů  $\text{SF}_6 + \text{O}_2$

Poslední procedurou byla zvolena kombinace plynů  $\text{BCl}_3 + \text{Cl}_2$  uskutečněná v systému RIE-CHLORINE v poměru průtoků daných plynů 25 sccm + 10 sccm. Dalšími nastavenými parametry byl výkon RF zdroje 300 W, výkon ICP zdroje 1000 W a tlak v komoře 10 mT. Celkový čas procesu vyšel znovu na 15 minut. Po provedení prvkové analýzy pomocí EDS viz obrázek 6.14 je vidět, že došlo k odleptání pasivační vrstvy a odhalení první vrstvy Cu metalizace.

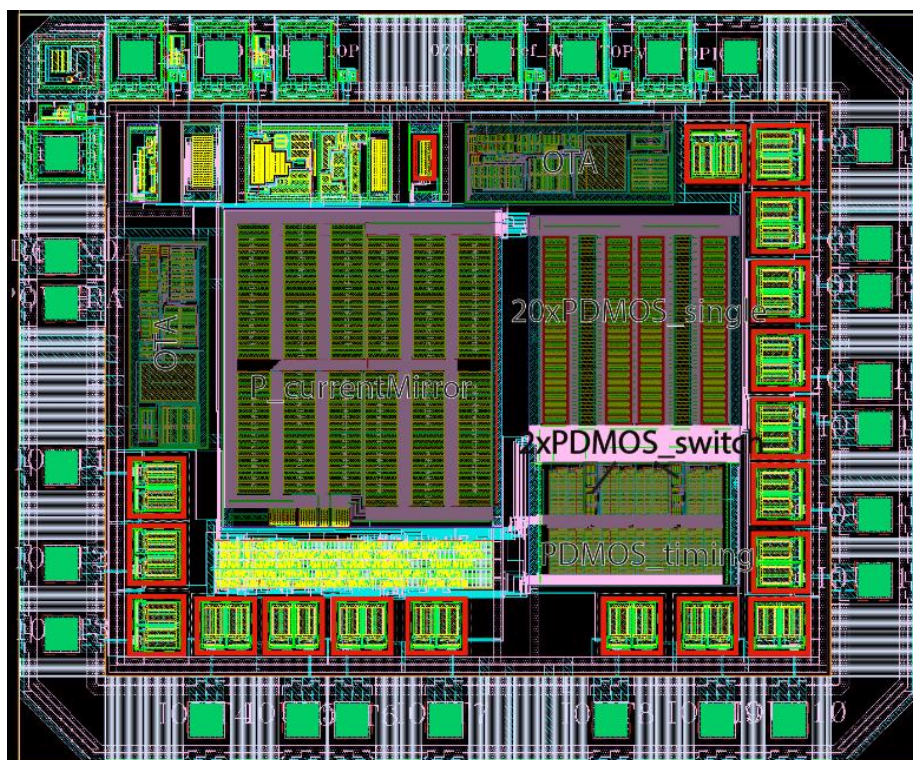


Obrázek 6.14 EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí RIE za použití plynů  $\text{BCl}_3 + \text{Cl}_2$

Po vyhodnocení výsledků lze konstatovat, že všechny navrhnuté procedury pro RIE odleptaly pasivační vrstvu  $\text{Si}_3\text{N}_4$ . Některé však na povrchu čipu zanechaly stopové množství prvků obsažené ve zvolených plynech, konkrétně se tak jedná o F při použití kombinace plynů  $\text{SF}_6 + \text{O}_2$ . Oproti mokrému leptání je RIE náročnější metoda, avšak lze s ní dosáhnout uspokojivější selektivity leptání, neboť při ní nedošlo k odleptání první vrstvy Cu metalizace.

## 6.2 ASIC čipy

Metody odvrstvování také mohly být odzkoušeny na nezapouzdřených čipech typu ASIC v němž byl integrován obvod nastavitelné proudové reference. Dostupné čipy díky svým menším rozměrům  $2,4 \times 2 \text{ mm}^2$  a zdokumentované topologii umožňovaly snazší orientaci na čipu. Topologie IO nastavitelné proudové reference je znázorněna na obrázku 6.15. Jelikož ASIC nebyl zapouzdřen stačilo rovnou přejít k procesu odvrstvování.

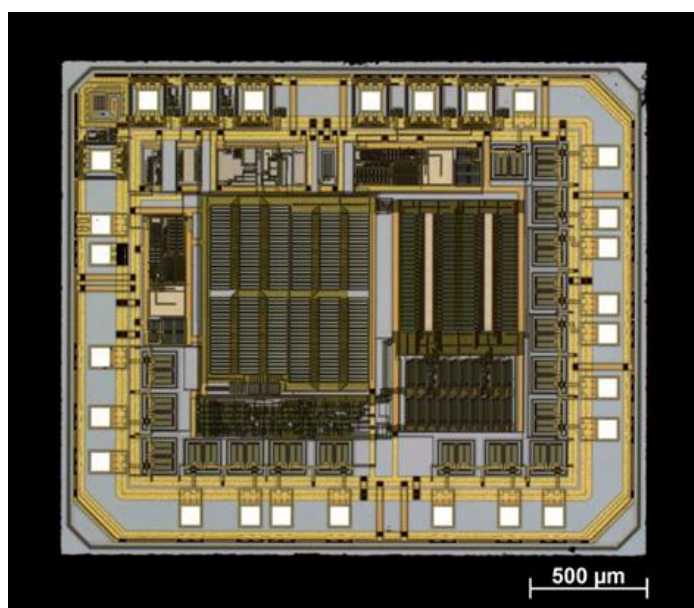


Obrázek 6.15 Topologie čipu ASIC s nastavitelnou proudovou referencí

### 6.2.1 Odvrstvování ASIC čipů

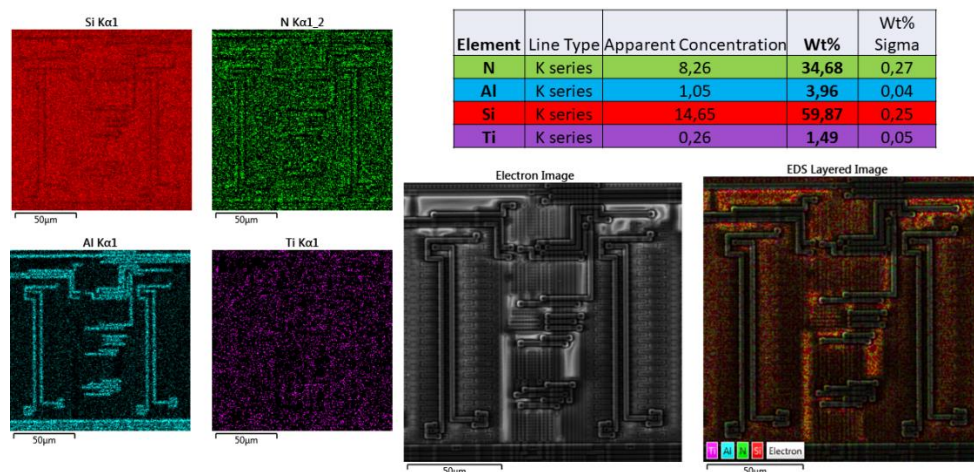
Nezapouzdřené ASIC čipy byly nejprve prozkoumány pod optickým mikroskopem viz obrázek 6.2, přičemž díky jejich malým rozměrům mohla být zobrazena celá plocha čipu.





Obrázek 6.16 Optická inspekce nezapouzdřeného čipu ASIC

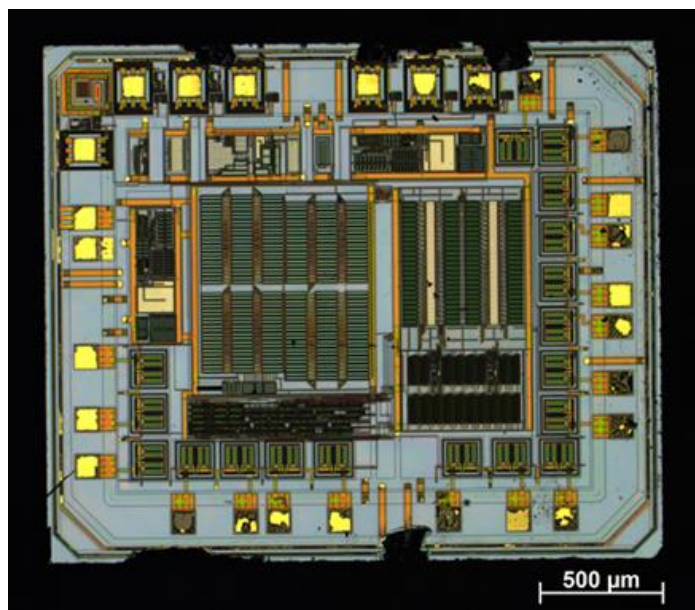
Následovala EDS materiálová analýza pro určení prvkového složení povrchu čipu, přičemž ke sledování rozdílů byla vybrána oblast PDMOS\_switch. Z výsledné prvkové mapy znázorněné na obrázku 6.17, je jasně patrné, že celý povrch je pokryt ochranou pasivační vrstvou  $\text{Si}_3\text{N}_4$  a zároveň pod ní se nachází Al vrstva metalizace.



Obrázek 6.17 EDS materiálová analýza nezapouzdřeného čipu ASIC

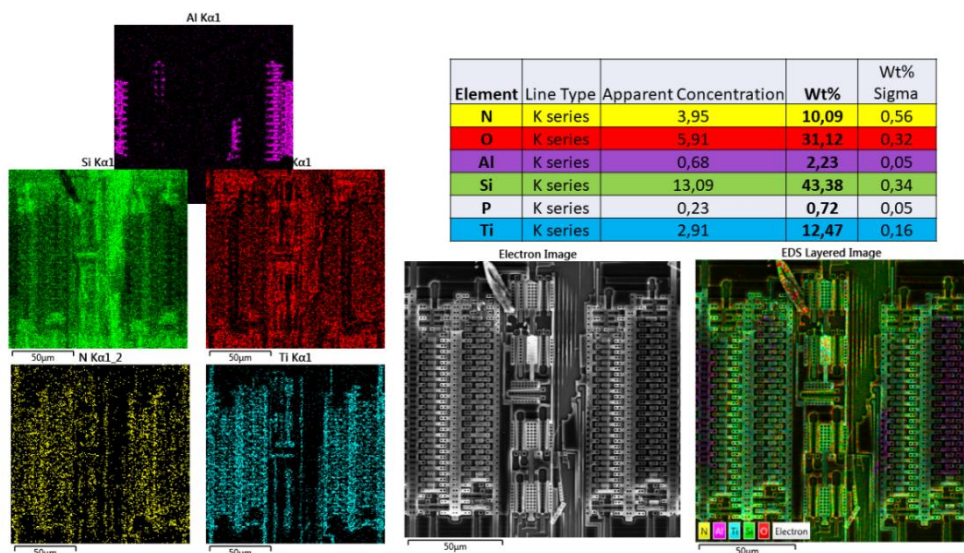
Pro odstranění pasivační vrstvy  $\text{Si}_3\text{N}_4$  byla zvolena 85%  $\text{H}_3\text{PO}_4$ , která byla nalita do kádinky a na topné plotně míchána a zahřívána na 180 °C. Do kyseliny byl následně pinzetou ponořen čip na 15 minut. Po uplynulé době byl čip vytažen, opláchnut v deionizované vodě a osušen stlačeným dusíkem. Obrázek 6.18 ukazuje výsledky procesu, kde je možné pozorovat, že došlo k odstranění pasivační vrstvy. Okraje čipu

nebyly odleptány kyselinou, ale poškozeny při špatné manipulaci s čipem pomocí pinzety.



Obrázek 6.18 Optická inspekce nezapouzdřeného čipu ASIC po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí mokrého leptání

Po provedení EDS analýzy a vyhodnocení zastoupených prvků na zmiňované oblasti čipu viz obrázek 6.19 bylo zjištěno, že došlo k odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$ , ale zároveň k částečnému odstranění první vrstvy Al metalizace, neboť  $\text{H}_3\text{PO}_4$  leptá i Al. Po odleptání pasivační vrstvy se zde dále vyskytuje zřejmě bariérová vrstva TiN kolem Al metalizace, ale také izolační vrstva  $\text{SiO}_2$ .



Obrázek 6.19 EDS materiálová analýza nezapouzdřeného čipu ASIC po odleptání pasivační vrstvy  $\text{Si}_3\text{N}_4$  pomocí mokrého leptání

Z dosažených výsledků plyne, že pro odstranění pasivační vrstvy  $\text{Si}_3\text{N}_4$  by bylo vhodnější použít metody suchého leptání, zvláště pokud je čip vyroben s technologií Al metalizace. Dále v experimentech nebylo pokračováno, neboť pro odstranění izolační vrstvy  $\text{SiO}_2$  by bylo nutné přejít od mokrého leptání k suchému leptání, které však z časových důvodů nebylo odzkoušeno.

### 6.3 Shrnutí experimentální části

V praktické části práce byly navrženy a odzkoušeny postupy pro odpouzdřování a odvrstvování IO. K dispozici byly zapouzdřené procesorové čipy s rozměry  $10 \times 10 \text{ mm}^2$  a nezapouzdřené ASIC čipy s rozměry  $2,4 \times 2 \text{ mm}^2$ .

Procesorové čipy byly zapouzdřeny technikou flip chip v provedení chip scale package a pro jejich odpouzdření byla zvolena metoda manuálního chemického leptání. Procesorové čipy se podařilo odpouzdřit pomocí roztoku  $\text{HNO}_3:\text{H}_2\text{SO}_4$  v poměru 2:3, který byl zahříván na  $160 \text{ }^\circ\text{C}$ . Odpouzdřené čipy byly následně zkoumány optickým a skenovacím elektronovým mikroskopem, který disponoval EDS analýzou.

Pro velkoplošné odvrstvování procesorových čipů byly zvoleny metody mokrého leptání a reaktivního iontového leptání. Mokřím leptáním byla odleptána pasivační vrstva  $\text{Si}_3\text{N}_4$  pomocí zahřáté  $\text{H}_3\text{PO}_4$  na  $180 \text{ }^\circ\text{C}$ , vrstva Cu metalizace pomocí roztoku  $\text{HNO}_3:\text{H}_2\text{O}$  v poměru 5:1 a izolační vrstva  $\text{SiO}_2$  pomocí roztoku  $\text{NH}_4\text{F}:\text{HF}$  v poměru 7:1. Dále v mokřím leptání nebylo pokračováno z důvodů značné delaminace jednotlivých vrstev. Pro srovnání s výsledky mokrého leptání byla pomocí RIE odleptána pasivační vrstva  $\text{Si}_3\text{N}_4$ , kde byly odzkoušeny čtyři kombinace plynů ( $\text{CHF}_3 + \text{O}_2$ ,  $\text{CHF}_3 + \text{Ar}$ ,  $\text{SF}_6 + \text{O}_2$  a  $\text{BCl}_3 + \text{Cl}_2$ ). Bylo zjištěno, že pro odleptání ochranné pasivační vrstvy  $\text{Si}_3\text{N}_4$  je vhodnější použít RIE, které nabízí vyšší selektivitu leptání.

Pro odvrstvování ASIC čipů byly zvoleny metody mokrého leptání, kde byla odleptána pasivační vrstva  $\text{Si}_3\text{N}_4$  pomocí zahřáté  $\text{H}_3\text{PO}_4$  na  $180 \text{ }^\circ\text{C}$ , přičemž došlo k částečnému odstranění Al metalizace. Pro odstranění izolační vrstvy  $\text{SiO}_2$  pomocí mokrého leptání nebylo pokračováno z důvodů nežádoucí delaminace vrstev, která nastala při odvrstvování procesorových čipů.

Každý čip vyžaduje odlišný postup odvrstvování na základě několika rozhodujících faktorů, mezi které patří technologická generace IO, hustota integrace prvků na čipu, typ aplikace IO, topologie IO, obsažené materiály, tloušťka a počet jednotlivých vrstev apod. Z těchto předpokladů je pak možné vycházet pro zvolení vhodné metody inspekce, materiálové analýzy povrchu čipu a správné kombinace chemických, fyzikálních a mechanických metod odvrstvování IO, kde významnou roli hraje selektivita odstranění (leptání) dané vrstvy, dostupnost a náročnost metody. Celkově lze říct, že pro optimalizaci procesu odvrstvování IO je nutné vycházet ze známých a dlouhodobě ověřených postupů. Nelze tedy na všechny čipy použít stejný postup odvrstvování, ale díky získaným zkušenostem z předchozích optimalizací je možné obdržet postup odvrstvování pro libovolný polovodičový čip.



## 7 ZÁVĚR

Hlavním cílem této bakalářské práce bylo zpracovat přehled popisující 1) technologický vývoj IO z pohledu používaných tranzistorových struktur, 2) technologické metody odpouzdřování a odvrstvování integrovaných obvodů a 3) inspekční techniky a materiálové analýzy pro zkoumání povrchu čipů. V praktické části práce byl pak ze získaných poznatků optimalizován postup odpouzdřování a velkoplošného odvrstvování IO.

První část práce byla věnována problematice pouzdření polovodičových čipů, kde byly popsány používané materiály pouzder a propojovací techniky. V následující části byly popsány technologické metody odpouzdřování zapouzdřených čipů, kdy každé pouzdro podle jeho materiálového složení vyžaduje odlišný způsob odpouzdřování. Lze tedy odlišit metody odpouzdřování kovových, keramických a plastových pouzder. Jednotlivé metody odpouzdřování se od sebe odlišují v několika aspektech, a proto byly navzájem porovnány.

Další část práce pak tvořila problematiku spojenou s výrobou polovodičových čipů, kdy v této kapitole byl uveden jednak technologický vývoj integrovaných obvodů z pohledu používaných tranzistorových struktur od prvotních bipolárních tranzistorů až po současné CMOS technologie i nově vyvíjené struktury, ale také používané materiály obsažené v polovodičových čipech. Na problematiku polovodičových čipů pak navazuje následující kapitola technologických metod odvrstvování IO. Tyto metody založené na chemických, fyzikálních i mechanických principech odstraňování jednotlivých vrstev se vyznačují především různou selektivitou odstraňování (leptání) materiálů, proto jsou tyto metody spolu porovnány a zhodnoceny z několika různých faktorů.

V neposlední řadě byly v práci popsány inspekční techniky a materiálové analýzy, které jsou nutnou součástí procesu odvrstvování IO, kdy zvolení správné metody inspekce závisí především na požadovaném zvětšení obrazu a výběr materiálové analýzy závisí na poskytované informaci o chemickém složení.

V praktické části práce byl na základě sepsaných poznatků navrhnout a odzkoušen proces odpouzdřování a velkoplošného odvrstvování IO, kdy pro tyto účely byly využity zapouzdřené procesorové čipy. Procesorové čipy byly nejprve odpouzdřeny a následně na nich bylo odleptáno několik funkčních vrstev. Tranzistorové úrovně bohužel nebylo dosaženo především z důvodů velice komplexního a časově náročného procesu. Kromě procesorových čipů byl proces odvrstvování prováděn také na čipech typu ASIC s menšími rozměry, u nichž byla předem známá topologie.

## LITERATURA

- [1] SZENDIUCH, I. *Pouzdrění v mikroelektronice*. Brno: NOVAPRESS s.r.o, 2016, 86 s. ISBN 978-80-214-5417-0.
- [2] SZENDIUCH, I., M. ADÁMEK, M. ŘEZNÍČEK et al. *Moderní mikroelektronické technologie - základ elektronického hardware*. Brno: NOVAPRESS s.r.o, 2015, 188 s. ISBN 978-80-214-5293-0.
- [3] TUMMALA, R. R., E. J. RYMASZEWSKI a A. G. KLOPFENSTEIN. *Microelectronics Packaging Handbook: Semiconductor Packaging* [online]. 2nd ed. Boston, MA: Springer, 1997, 1060 s. [cit. 2020-10-14]. ISBN 9781461560371. Dostupné z: doi:10.1007/978-1-4615-6037-1
- [4] SZENDIUCH, I. *Základy technologie mikroelektronických obvodů a systémů*. Vyd. 1. Brno: VUTIUM, 2006, 379 s. ISBN 80-214-3292-6.
- [5] *Crack Microcontroller PIC16F722 Code* [online]. 2000 [cit. 2021-05-05]. Dostupné z: <http://www.ic-cracker.com/crack-microcontroller-pic16f722-code/>
- [6] GOTRO, J. Polymers in Electronic Packaging: Introduction to Flip Chip Packaging. In: *Polymer Innovation Blog* [online]. 2018 [cit. 2020-11-06]. Dostupné z: <https://polymerinnovationblog.com/polymers-electronic-packaging-introduction-flip-chip-packaging/>
- [7] File:Tape-automated bonding carrier.svg. In: *Wikimedia Commons* [online]. 2010 [cit. 2020-11-07]. Dostupné z: [https://commons.wikimedia.org/wiki/File:Tape-automated\\_bonding\\_carrier.svg](https://commons.wikimedia.org/wiki/File:Tape-automated_bonding_carrier.svg)
- [8] Wafer Level Chip Scale Package WLCSP. In: *JCET Group* [online]. 2019 [cit. 2020-11-06]. Dostupné z: <https://www.jcetglobal.com/en/FuwuInfo/40/>
- [9] SZENDIUCH, I. COB II – kontaktování polovodičových čipů (technologický proces). *DPS Elektronika od A do Z* [online]. 2018, (3) [cit. 2020-11-06]. Dostupné z: <https://www.dps-az.cz/vyroba/id:53141/cob-ii-kontaktovani-polovodicovych-cipu-technologicky-proces->
- [10] BECK, F. *Integrated circuit failure analysis: a guide to preparation techniques* [online]. New York: Wiley, 1998, 190 s. [cit. 2020-10-16]. ISBN 0471974013.
- [11] *Delid and Decap* [online]. 2006 [cit. 2020-10-16]. Dostupné z: <https://www.semitracks.com/reference-material/failure-and-yield-analysis/failure-analysis-package-level/delid-and-decap.php>
- [12] WAGNER, L. C. *Failure analysis of integrated circuits: tools and techniques* [online]. Boston, Mass.: Kluwer Academic Publishers, 1999, xiii, 255 s. [cit. 2020-10-16]. ISBN 0412145618.
- [13] KULIKOV, V. *Manual Chemical Decapsulation: EFA Laboratory* [online]. 2008 [cit. 2020-11-06]. Dostupné z: <http://vvku.eu/cv/docs/decap.pdf>

- [14] *Decapsulation/Decapping/Delidding* [online]. 2001 [cit. 2020-10-20]. Dostupné z: <https://www.eesemi.com/decap.htm>
- [15] HENDERSON, C. Laser Decapsulation. *Info Tracks: Semitracks Monthly Newsletter* [online]. 2013, (51), 1-3 [cit. 2020-10-22]. Dostupné z: <https://www.semitracks.com/newsletters/september/2013-september-newsletter.pdf>
- [16] *Laser Decapsulation – Making Light Work of Failure Analysis* [online]. 2011 [cit. 2020-10-22]. Dostupné z: <https://www.ial-fa.com/blog/laser-decapsulation-making-light-work-of-failure-analysis>
- [17] AUBERT, A., L. DANTAS DE MORAIS a J.-P. REBRASSÉ. Laser decapsulation of plastic packages for failure analysis: Process control and artefact investigations. *Microelectronics and reliability* [online]. Elsevier Ltd, 2008, **48**(8), 1144-1148 [cit. 2020-10-22]. ISSN 0026-2714. Dostupné z: doi:10.1016/j.microrel.2008.07.004
- [18] VORA, P. a R. LAD. A Review Paper on CMOS, SOI and FinFET Technology. *Design and Reuse* [online]. 2017 [cit. 2020-11-13].
- [19] 5 nm process. In: *Wikipedia: the free encyclopedia* [online]. [cit. 2020-11-13]. Dostupné z: [https://en.wikipedia.org/wiki/5\\_nm\\_process](https://en.wikipedia.org/wiki/5_nm_process)
- [20] VIDYA, S., S. V. KAMAT, A.R. KHAN a V. VENKATESH. 3D FinFET for Next Generation Nano Devices. *2018 International Conference on Current Trends towards Converging Technologies (ICCTCT)* [online]. IEEE, 2018, , 1-9 [cit. 2021-05-05]. ISBN 978-1-5386-3702-9. Dostupné z: doi:10.1109/ICCTCT.2018.8550967
- [21] CRESSLER, J. D. Silicon-Germanium as an Enabling IC Technology for Extreme Environment Electronics. *2008 IEEE Aerospace Conference* [online]. IEEE, 2008, , 1-7 [cit. 2020-11-27]. ISBN 978-1-4244-1487-1. ISSN 1095-323X. Dostupné z: doi:10.1109/AERO.2008.4526489
- [22] VAN ZANT, P. *Microchip fabrication: a practical guide to semiconductor processing* [online]. 6th ed. New York: McGraw-Hill Education, 2014, 979 s. [cit. 2020-10-30]. ISBN 978-0-07-182102-5.
- [23] KHANA, V. K. *Integrated nanoelectronics: nanoscale CMOS, post-CMOS and allied nanotechnologies* [online]. [Delhi]: Springer, 2016, 471 s. [cit. 2021-05-05]. Nanoscience and technology. ISBN 978-81-322-3625-2.
- [24] SAMAL, A., S. L. TRIPATHI a S. K. MOHAPATRA. A Journey from Bulk MOSFET to 3 nm and Beyond. *Transactions on Electrical and Electronic Materials* [online]. 2020, **21**(5), 443-455 [cit. 2020-11-27]. ISSN 1229-7607. Dostupné z: doi:10.1007/s42341-020-00222-y

- [25] PARTON, E. a P. VERHEYEN. Strained silicon — the key to sub-45 nm CMOS. *III-Vs Review* [online]. 2006, **19**(3), 28-31 [cit. 2021-05-20]. ISSN 09611290. Dostupné z: doi:10.1016/S0961-1290(06)71590-3
- [26] RADAMSON, H. H., J. LUON, E. SIMOEN a C. ZHAO. *CMOS Past, Present, and Future* [online]. Woodhead Publishing, 2018, 280 s. [cit. 2021-05-05]. ISBN 978-0-08-102140-8.
- [27] BHATTACHARYA, D., N. K. JHA a X. JIANG. FinFETs: from devices to architectures. JIANG, X., ed. *Digitally-Assisted Analog and Analog-Assisted Digital IC Design* [online]. Cambridge: Cambridge University Press, 2015, s. 21-55 [cit. 2021-05-05]. ISBN 9781316156148. Dostupné z: doi:10.1017/CBO9781316156148.003
- [28] BOHR, M., I. S. FELLOW a K. MISTRY. *22 nm Transistor Technology* [online]. 2011 [cit. 2021-05-05]. Dostupné z: [https://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details\\_Presentation.pdf](https://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details_Presentation.pdf)
- [29] JANWADKAR, S. *Silicon on Insulator (SOI) Technology* [online]. [cit. 2020-11-27]. Dostupné z: <https://www.slideshare.net/shudhanshu29/silicon-on-insulator-soi-technology>
- [30] LAPEDUS, M. What's After FinFETs?. *Semiconductor Engineering* [online]. 2017 [cit. 2020-11-27]. Dostupné z: <https://semiengineering.com/whats-after-finfets/>
- [31] VORA, P., A. VERMA a D. PARIKH. Overcoming challenges of futuristic transistor technology below 5nm node. *Semiconductor Digest* [online]. 2020 [cit. 2020-11-13].
- [32] FRANSSILA, S. *Introduction to microfabrication* [online]. 2nd ed. Chichester, West Sussex [England]: John Wiley & Sons, 2010, xiv, 518 s. [cit. 2021-05-05]. ISBN 978-0-470-74983-8.
- [33] KASAP, S. a P. CAPPER, ed. *Springer Handbook of Electronic and Photonic Materials* [online]. 2nd ed. Cham: Springer International Publishing, 2017, 1537 s. [cit. 2020-12-14]. ISBN 978-3-319-48931-5. Dostupné z: doi:10.1007/978-3-319-48933-9
- [34] TYAGI, S., M. ALAVI, R. BIGWOOD et al. A 130 nm generation logic technology featuring 70 nm transistors, dual Vt transistors and 6 layers of Cu interconnects. *International Electron Devices Meeting 2000* [online]. San Francisco, CA, USA, 2000, , 567-570 [cit. 2020-12-14]. Dostupné z: doi:10.1109/IEDM.2000.904383.
- [35] VEDAM, M. V. *DIELECTRICS IN INTEGRATED CIRCUITS* [online]. Arizona State University: Department of Electrical Engineering, 2003 [cit. 2020-12-02].

- Dostupné z: <https://pdfs.semanticscholar.org/a05c/a12f7a665880301a0a22c9d0f1624cd0c529.pdf>
- [36] OTHMAN, N. *EMT 480/3: RELIABILITY AND FAILURE ANALYSIS: Lecture 8: Die Deprocessing* [online]. [cit. 2020-12-07]. Dostupné z: [http://portal.unimap.edu.my/portal/page/portal30/LectureNotes/KEJURUTERAAN\\_MIKROELEKTRONIK/Semester 2 Sidang Akademik 20182019/EMT 480 Reliability and Failure Analysis/EMT 480 - Lecture 8.ppt](http://portal.unimap.edu.my/portal/page/portal30/LectureNotes/KEJURUTERAAN_MIKROELEKTRONIK/Semester2/SidangAkademik20182019/EMT480ReliabilityandFailureAnalysis/EMT480-Lecture8.ppt)
- [37] Delayering. *Semitracks* [online]. 2007 [cit. 2020-12-07]. Dostupné z: [www.semitracks.com/reference-material/failure-and-yield-analysis/failure-analysis-die-level/delayering.php](http://www.semitracks.com/reference-material/failure-and-yield-analysis/failure-analysis-die-level/delayering.php)
- [38] Die Deprocessing / Wet Etching Recipes. *EESemi* [online]. 2005 [cit. 2020-12-07]. Dostupné z: [https://www.eesemi.com/etch\\_recipes.htm](https://www.eesemi.com/etch_recipes.htm)
- [39] ROSS, Richard J. *Microelectronics failure analysis: desk reference* [online]. 6th ed. Materials Park, Ohio: ASM International, 2011 [cit. 2021-05-05]. ISBN 1-61503-725-X.
- [40] RUPRECHT, M., G. BENSTETTER a D. HUNT. A review of ULSI failure analysis techniques for DRAMs. Part II: Defect isolation and visualization. *Microelectronics Reliability* [online]. 2003, **43**(1), 17-41 [cit. 2021-05-10]. ISSN 00262714. Dostupné z: doi:10.1016/S0026-2714(02)00295-0
- [41] HAMUYUNI, J., M. O. DARAMOLA a O. O. OLUWASINA. *Energy-Dispersive X-Ray Spectroscopy: Theory and Application in Engineering and Science* [online]. , 1-23 [cit. 2021-05-10]. Dostupné z: doi:10.1002/9781118468586.EPOC4030
- [42] MEYERS, R. A., ed. *Encyclopedia of Analytical Chemistry* [online]. Chichester, UK: John Wiley & Sons, Ltd, 2006 [cit. 2021-05-20]. ISBN 0471976709. Dostupné z: doi:10.1002/9780470027318
- [43] AG JACOBS EXPERIMENTAL PHYSICS SAARLAND UNIVERSITY. *Photoelectron spectrometer, ESCALAB Mk II by Vacuum Generators* [online]. c2017-2021 [cit. 2021-05-20]. Dostupné z: [https://jacobs.physik.uni-saarland.de/home/index.php?page=steinbeiss/home\\_cms\\_steinbeissdet3-1&navi=service](https://jacobs.physik.uni-saarland.de/home/index.php?page=steinbeiss/home_cms_steinbeissdet3-1&navi=service)
- [44] VAN DER HEIDE, P. *Secondary Ion Mass Spectrometry: An Introduction to Principles and Practices* [online]. New Jersey: Wiley, 2014, 365 s. [cit. 2021-05-20]. ISBN 978-1-118-91677-3.

# SEZNAM OBRÁZKŮ

1.1	Holý čip nakontaktovaný mikrodrátkem [5] .....	12
1.2	Obrácený čip v pouzdře [6] .....	12
1.3	Čip na páskovém nosiči [7] .....	13
1.4	Zapouzdřené čipy provedené technologií WLP [8] .....	13
1.5	Detailní snímek a) hranového a b) kuličkového spoje [9] .....	14
2.1	Odpouzdřené kovové pouzdro TO3 [13] .....	15
2.2	Pouzdro QFN po manuálním chemickém leptání [13] .....	16
2.3	Schéma systému pro tryskové chemické leptání [11] .....	17
3.1	Snímek holého čipu integrovaného obvodu LM124 pořízený skenovacím elektronovým mikroskopem .....	20
3.2	Struktura bipolárního tranzistoru NPN se subkolektorem [21] .....	22
3.3	Struktura NMOS tranzistoru [23] .....	23
3.4	Struktura CMOS včetně substrátových kontaktů [23] .....	23
3.5	Struktura a) MOSFET, b) PD SOI a c) FD SOI [28] .....	25
3.6	Struktura FinFET tranzistoru [28] .....	26
3.7	Struktura GAAFET tranzistoru [31] .....	28
3.8	Struktura CNTFET tranzistoru [31] .....	29
3.9	Příčný řez čipovou strukturou s šesti vrstvami metalizace [33], [34] .....	30
4.1	Princip iontového leptání [36] .....	35
4.2	Princip plazmatického leptání [36] .....	36
4.3	Princip reaktivního iontového leptání [36] .....	36
5.1	Snímek povrchu čipu pořízený optickým mikroskopem pro zobrazení a) ve světlém a b) v temném poli .....	39
5.2	Zjednodušený schématický princip SEM [40] .....	40
5.3	Snímek povrchu čipu pořízený SEM pro a) SE a b) BSE detektor .....	41
5.4	Zjednodušený schématický princip XPS [43] .....	42
6.1	Snímky jednotlivých kroků při odpouzdřování procesorových čipů: a) zapouzdřený čip technikou CSP, b) oddělení nosného substrátu od čipu a c) odpouzdřený čip .....	45
6.2	Optická inspekce procesorového čipu po odpouzdřování .....	46
6.3	EDS materiálová analýza procesorového čipu po odpouzdřování .....	46
6.4	Optická inspekce procesorového čipu po odleptání pasivační vrstvy $\text{Si}_3\text{N}_4$ pomocí mokrého leptání .....	47
6.5	EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy $\text{Si}_3\text{N}_4$ pomocí mokrého leptání .....	47
6.6	Optická inspekce procesorového čipu po odleptání sekundární vrstvy $\text{Si}_3\text{N}_4$ pomocí mokrého leptání .....	48
6.7	EDS materiálová analýza procesorového čipu po odleptání sekundární vrstvy $\text{Si}_3\text{N}_4$ pomocí mokrého leptání .....	48
6.8	Optická inspekce procesorového čipu po odleptání druhé vrstvy Cu metalizace pomocí mokrého leptání .....	49
6.9	EDS materiálová analýza procesorového čipu po odleptání druhé vrstvy Cu metalizace pomocí mokrého leptání .....	49
6.10	Optická inspekce procesorového čipu po odleptání izolační vrstvy $\text{SiO}_2$ pomocí mokrého leptání .....	50
6.11	EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy $\text{Si}_3\text{N}_4$ pomocí RIE za použití plynů $\text{CHF}_3 + \text{O}_2$ .....	51

6.12	EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy Si <sub>3</sub> N <sub>4</sub> pomocí RIE za použití plynů CHF <sub>3</sub> + Ar .....	51
6.13	EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy Si <sub>3</sub> N <sub>4</sub> pomocí RIE za použití plynů SF <sub>6</sub> + O <sub>2</sub> .....	52
6.14	EDS materiálová analýza procesorového čipu po odleptání pasivační vrstvy Si <sub>3</sub> N <sub>4</sub> pomocí RIE za použití plynů BCl <sub>3</sub> + Cl <sub>2</sub> .....	52
6.15	Topologie čipu ASIC s nastavitelnou proudovou referencí .....	53
6.16	Optická inspekce nezapouzdřeného čipu ASIC.....	54
6.17	EDS materiálová analýza nezapouzdřeného čipu ASIC.....	54
6.18	Optická inspekce nezapouzdřeného čipu ASIC po odleptání pasivační vrstvy Si <sub>3</sub> N <sub>4</sub> pomocí mokrého leptání.....	55
6.19	EDS materiálová analýza nezapouzdřeného čipu ASIC po odleptání pasivační vrstvy Si <sub>3</sub> N <sub>4</sub> pomocí mokrého leptání.....	55

## SEZNAM TABULEK

2.1	Srovnání metod odpouzdřování plastových pouzder.....	19
3.1	Vývoj rozlišení tranzistorů v IO [19], [20].....	21
3.2	Porovnání technologií PD a FD SOI [29].....	25
3.3	Porovnání FinFET tranzistorů a SOI technologie [18].....	27
4.1	Vybrané materiály a jejich leptací roztoky [37], [38].....	34
4.2	Vybrané materiály a jejich pracovní plyny pro RIE [37], [39].....	36
4.3	Srovnání metod odvrstvování polovodičových čipů [36], [39] .....	38



# SEZNAM SYMBOLŮ A ZKRATEK

Zkratky:

IO	integrovaný obvod
SEM	skenovací elektronová mikroskopie
TEM	transmisní elektronová mikroskopie
COB	holý čip, chip on board
FC	obrácený čip, flip chip
TAB	čipy na páskových nosičích, tape automated bonding
WLP	pouzdrění čipů na úrovni waferu, wafer level packaging
IPA	izopropylalkohol
BJT	bipolární tranzistor, bipolar junction transistor
MOSFET	metal-oxide-semiconductor field-effect-transistor
MOS	metal-oxide-semiconductor
CMOS	complementary metal-oxide-semiconductor
STI	shallow trench isolation
DTI	deep trench isolation
FinFET	fin field-effect transistor
SOI	silicon on insulator
BOX	utopená vrstva oxidu, buried oxide layer
PD SOI	partially-depleted silicon on insulator
FD SOI	fully-depleted silicon on insulator
GAAFET	gate-all-around field-effect transistor
CNTFET	carbon nanotube field-effect transistor
CNT	uhlíková nanotrubička, carbon nanotube
FEOL	front end of line
BEOL	back end of line
IBE	iontové leptání, ion beam etching
RIE	reaktivní iontové leptání, reactive ion etching
CMP	chemicko-mechanické lapování, chemical-mechanical polishing
SE	sekundární elektrony
BSE	zpětně odražené elektrony, back scattered electrons
EDS, EDX	energieově disperzní rentgenová spektroskopie, energy-dispersive x-ray spectroscopy
XPS	rentgenová fotoelektronová spektroskopie, x-ray photoelectron spectroscopy
SIMS	hmotnostní spektrometrie sekundárních iontů, secondary ion mass spectrometry
CSP	chip scale package

BGA	ball grid array
RF	radiofrekvenční
ICP	indukčně vázané plazma, inductively coupled plasma
ASIC	zákaznický integrovaný obvod, application specific integrated circuit

Symboly:

$\epsilon_r$	relativní permitivita	(-)
$W_t$	hmotnostní koncentrace	(%)