

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

DIPLOMOVÁ PRÁCE



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

ELEKTRO-TERMÁLNÍ MODEL A SIMULACE INTEGROVANÉHO OBVODU

ELECTRO-THERMAL MODEL AND SIMULATION OF INTEGRATED CIRCUIT

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Martin Sikora

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2020



Diplomová práce

magisterský navazující studijní obor **Mikroelektronika**

Ústav mikroelektroniky

Student: Bc. Martin Sikora

ID: 186182

Ročník: 2

Akademický rok: 2019/20

NÁZEV TÉMATU:

Elektro-termální model a simulace integrovaného obvodu

POKYNY PRO VYPRACOVÁNÍ:

Cílem této práce je navrhnout přístup k elektro-termální simulaci integrovaného obvodu, který bude jednoduše aplikovatelný do stávajícího návrhového flow 0,25um BCD procesu firmy ON Semiconductor. Základem práce je analýza aktuálního stavu v této oblasti - seznámení se se stávajícími přístupy pro elektro-termální analýzu a možnostmi dostupných EDA nástrojů. Samotná práce spočívá v návrhu metody, která umožní modelovat vzájemné teplotní ovlivňování prvků na čipu, vyzařování tepla z čipu do pouzdra/desky/okolí a bude jednoduše aplikovatelná do stávajícího návrhového flow. Navržená metoda bude ověřena na vhodném reálném obvodu (včetně vytvoření elektro-termálního modelu) a pokud to bude možné, tak budou simulační výsledky porovnány s naměřenými hodnotami vyrobeného obvodu.

DOPORUČENÁ LITERATURA:

- [1] RACITI A. et al.: "Electro-Thermal Pspice Modeling and Simulation of Power Modules", IEEE Trans. Industrial Electronics, 62 (10), 2015.
- [2] GUVEN I. CHAN C. L. MADENCI E.: "Transient 2-D thermal analysis of electronic packages by the boundary element method," IEEE Trans. Adv.Packag., vol. 22, no. 3, pp. 476–486, 1999.
- [3] LEWIS R. W. MORGAN K. THOMAS H. R. SEETHARAMU K. N.: The Finite Element Method in Heat Transfer Analysis, Chichester, U.K., Wiley, 1996.

Termín zadání: 3.2.2020

Termín odevzdání: 1.6.2020

Vedoucí práce: Ing. Roman Prokop, Ph.D.

doc. Ing. Lukáš Fucik, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Termální vlivy mají v integrovaných obvodech stále větší dopad na životnost a správnou funkci čipu. Z toho důvodu je nutné čipy podrobit elektro-termálním simulacím ještě před zahájením výroby, aby se předešlo případným selháním obvodů. Tato diplomová práce se proto v první části zabývá popisem těchto jevů a způsoby vytváření teplotních modelů. Dále se práce zabývá dostupnými nástroji pro elektro-termální simulace a způsobem, jakým tyto simulátory fungují. V praktické části je ověřeno fungování elektrotermální simulace v nástroji Eldo, je navržena metoda automatizovaného vytváření termální sítě a realizován program pro její vytvoření na základě layoutu obvodu. Výsledky elektro-termální simulace s vygenerovanou termální sítí jsou porovnány s výsledky aktuálně používané metody.

KLÍČOVÁ SLOVA

Termální jevy, termální modely, termální síť, elektro-termální simulace, Eldo, Cadence.

ABSTRACT

Thermal effects in integrated circuits have increasing impact on chip's lifetime and function. For this reason, the chips must be subjected to electro-thermal simulations prior to the launch of production in order to avoid potential circuit failures. Therefore, in the first part of this diploma thesis these effects and methods of creating thermal models are described. The thesis also explores available tools for electro-thermal simulations and the way these simulators work. In the practical part of the thesis, the operation of electro-thermal simulation in the Eldo tool is verified, a method of automated thermal network creation is proposed and an application for its generation based on the circuit layout is implemented. The results of the electro-thermal simulation with the generated thermal network are compared with the results of the currently used method.

KEYWORDS

Thermal effects, thermal models, thermal network, electro-thermal simulations, Eldo, Cadence.

SIKORA, Martin. *Elektro-termální model a simulace integrovaného obvodu*. Brno, 2020, 47 s. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce: Ing. Roman Prokop, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma „Elektro-termální model a simulace integrovaného obvodu“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno

.....

podpis autora

PODĚKOVÁNÍ

Rád bych poděkoval vedoucímu diplomové práce panu Ing. Romanu Prokopovi Ph.D. za odborné vedení, konzultace a podnětné návrhy k práci. Dále bych chtěl také poděkovat odbornému konzultantovi diplomové práce Ing. Tomáši Pečenkovi, Ph.D. za trpělivost, aktivitu a cenné rady při realizaci práce.

Obsah

Úvod	9
1 Teoretická část	10
1.1 Termální jevy	10
1.2 Elektro-termální simulace	11
1.2.1 Elektro-termální model	12
1.2.2 Termální síť	13
1.3 Nástroje pro elektro-termální simulace	16
1.3.1 Cadence Legato Reliability Solution	16
1.3.2 Termální analýza v ustáleném stavu	18
1.3.3 Dynamická termální analýza	19
1.4 Mentor Eldo's Electro-Thermal Analysis	19
1.4.1 Princip funkce	19
1.5 Technologie ONC25	21
1.5.1 Termální simulace v ONC25	22
2 Praktická část	23
2.1 Ověření funkce nástroje Eldo	23
2.1.1 Ověření elektro-termálního modelu	23
2.1.2 Ověření přenosu tepla	26
2.1.3 Ověření teoretického výpočtu	27
2.2 Návrh metody pro elektro-termální simulace	29
2.2.1 Generace termální sítě	29
2.2.2 Zpracování výsledků DC analýzy	33
2.3 Testování metody na reálném designu	37
2.3.1 Nastavení simulace	38
2.3.2 Simulační výsledky	39
2.4 Návrhy vylepšení metody	42
2.4.1 Doba simulace	42
2.4.2 Rozložení výkonu	42
Závěr	44
Literatura	45
Seznam zkratek	47

Seznam obrázků

1.1	Základní přístupy k provádění elektro-termálních simulací [5].	12
1.2	Elektro-termální BJT model [5].	13
1.3	Schéma obvodu ekvivalentního elektrického vedení pro modelování vlastností vedení tepla [6].	14
1.4	Termální ekvivalentní obvod pro desku s externím tepelným vstupem [14].	15
1.5	Termální ekvivalentní obvod pro desku s vnitřní generací tepla [14]. . .	15
1.6	Termální ekvivalentní obvod pro desku s vnitřní generací tepla a externím tepelným vstupem [14].	15
1.7	Ukázka výsledku simulace horkého bodu a teplotního senzoru [7]. . .	17
1.8	Mapování dat mezi jednotlivými komponenty.[12].	17
1.9	Termální analýza v ustáleném stavu.[12].	18
1.10	Dynamická termální analýza.[12].	19
1.11	Termální analýza Eldo. [13].	20
2.1	Simulace elektro-termálního modelu.	24
2.2	Simulace proudu na termálním pinu.	25
2.3	Simulace napětí na termálním pinu.	26
2.4	Schéma zapojení pro ověření přenosu tepla.	26
2.5	Simulace vzájemného ovlivňování součástek.	27
2.6	Schéma zapojení pro testování teoretického výpočtu.	28
2.7	Simulace ověření teoretického výpočtu.	28
2.8	Simulace ověření teoretického výpočtu.	29
2.9	Termální ekvivalentní obvod pro desku v 3D [14].	29
2.10	Formulář pro generaci termální sítě.	31
2.11	Vygenerovaný graf pro simulaci s rozlišením 31x31.	35
2.12	Vygenerované grafy	36
2.13	Vygenerované grafy.	36
2.14	Typické zapojení NCP156. [15]	37
2.15	Pouzdro WLCSP6 [15].	37
2.16	Simulační zapojení NCP156.	38
2.17	Výsledek časové analýzy.	40
2.18	Porovnání DC analýz.	41
2.19	Závislost doby DC simulace na rozlišení sítě.	41
2.20	Možné vylepšení doby simulace.	42
2.21	Možné vylepšení rozložení výkonu.	43

Seznam tabulek

1.1	Tabulka termálních jevů [1].	10
1.2	Odpovídající fyzické proměnné [6].	14
1.3	Charakteristické parametry procesu [16].	21
2.1	Odhadovaný počet rezistorů v termální síti.	30
2.2	Popis textových polí.	31
2.3	Parametry simulace.	38
2.4	Nastavení formuláře pro generaci termální sítě.	39
2.5	Odhadovaný počet rezistorů před a po vylepšení.	42

Úvod

Řízení tepla se stalo klíčovou součástí návrhu moderních mikroelektronických obvodů. Současný trend v technologii integrovaných obvodů, který směřuje k vyšší hustotě pouzder, vyšší rychlosti a řešením se smíšeným signálem, má za následek zvýšení hustoty energie v zařízeních a na čipu. Pečlivá studie teplotních efektu nám pomáhá předpovídat výkon, spolehlivost, životnost a výtěžnost.

V integrovaných obvodech je řízení teploty důležité na všech úrovních, počínaje úrovní tranzistoru, přes úroveň čipu, úroveň pouzdra a úroveň desky plošných spojů až po úroveň systému. Samoohřívání tranzistorů mění jejich elektrické vlastnosti, což může ovlivnit funkčnost obvodu. Míra selhání mikroelektronických zařízení se zdvojnásobuje asi s každým navýšením teploty o 10 °C [3]. Proto se v důsledku nadměrného rozptylu místní energie, stala horká místa hlavním problémem pro dlouhodobou spolehlivost v různých aplikacích, jako jsou inteligentní výkonové integrované obvody, telekomunikační obvody, vysokorychlostní paměti a mikroprocesory. Kromě toho, rozlišení smíšených analogově-digitálních integrovaných obvodů dosahuje úrovní, kde parazitní tepelné a elektrické interakce limitují přesnost [3]. Pro optimalizaci dlouhodobé spolehlivosti a výkonu se stalo nezbytným před výrobou čipu, provádět termální i elektro-termální simulace.

Tato diplomová práce se z těchto důvodů zabývá zkoumáním přístupu k elektro-termálním simulacím a poté návrhem nové metody elektro-termální simulace pro technologii ONC25, která by nahradila stávající postup.

1 Teoretická část

Teoretická část diplomové práce se zabývá termálními jevy, elektro-termálními modely a nástroji pro elektro-termální simulace.

1.1 Termální jevy

Termální jevy lze rozdělit do dvou různých, ale souvisejících kategorií. První kategorií jsou elektro-termální jevy, které souvisejí s Joulovým teplem a stávají se výraznějšími, pokud se začínáme pohybovat v měřítku nanometrů. Druhou kategorií jsou jevy termo-elektrické, které souvisejí s přímou přeměnou teplotních rozdílů na elektrické napětí a naopak. Jednoduše řečeno, termo-elektrické zařízení vytváří napětí, když je na každé jeho straně jiná teplota. Když je na něj přivedeno napětí, vytváří teplotní rozdíl. Jak modelování elektro-termálních efektů, tak termo-elektrických efektů vyžaduje vývoj sofistikovaných simulačních nástrojů a odbornost v teoretické formulaci problému a jeho numerické implementaci [2].

Tab. 1.1: Tabulka termálních jevů [1].

	Termální	Elektrické
Termální	Vedení tepla	Termorezistence Seebeckův jev Pyroelektrický jev
Elektrické	Jouleovo teplo Peltierův jev Thomsonův jev	Elektrická vodivost

Vedení tepla na makroskopické úrovni znamená, že pokud existuje teplotní gradient v pevném tělese, bude tepelná energie proudit z oblasti vysoké teploty do oblasti nízké teploty. Tento jev je popsán Fourierovým zákonem [1]:

$$q = -\lambda * \Delta t [Wm^{-2}], \quad (1.1)$$

kde q je hustota tepelného toku, λ je součinitel tepelné vodivosti a Δt je gradient teploty.

Elektrická vodivost popisuje tok elektrického proudu v přítomnosti gradientu elektrického potenciálu. Pokud je v rovnici Fourierova zákona teplota nahrazena elektrickým potenciálem φ a vektor hustoty tepelného toku vektorem hustoty elektrického proudu j , řešení odpovídajícího problému elektrické vodivosti je dáno [1]:

$$j = -\sigma * \Delta\varphi [Am^{-2}], \quad (1.2)$$

kde σ je měrná elektrická vodivost.

Joulovo teplo je dominantní mechanismus pro generaci tepla elektrickým proudem, který protéká materiálem. Je definováno Joulovým zákonem, který má pro ohmický vodič tvar [1]:

$$Q = j^2 * \rho [Wm^{-3}], \quad (1.3)$$

kde j je vektor proudové hustoty, ρ je měrný elektrický odpor a Q je generované teplo na jednotku objemu.

Termorezistence je jev, kdy se mění odpor materiálu v závislosti na teplotě. Tuto závislost lze vyjádřit jako:

$$\rho = \rho_0 * (1 + \alpha * T + \beta * T + ...) [\Omega m], \quad (1.4)$$

kde α a β jsou teplotní koeficienty materiálu, a ρ_0 je měrný elektrický odpor při nulové teplotě.

Peltierův jev a Seebeckův jev jsou jevy navzájem opačné. Oba se týkají spojení dvou rozdílných vodičů nebo polovodičů. Takto spojeným materiálům se říká termočlánky. Pokud je udržován teplotní rozdíl mezi spojem a volnými konci termočlánku, vzniká na nepřipojeném konci Seebeckovo napětí. Peltierův efekt popisuje generování nebo absorpci (v závislosti na směru proudu) tepla v termočlánku, když proud protéká přechodem [1].

Thomsonův jev je komplementární k Peltierovu efektu. V Thomsonově efektu nejsou zapotřebí dva odlišné materiály, ale proud, který prochází podél vodiče. Pokud je udržován teplotní gradient, vede proud buďto k absorpci nebo ke generaci dalšího tepla [1].

Pyroelektrický jev popisuje změnu elektrické polarizace vyvolané změnou teploty v některých nelineárních dielektrických materiálech.

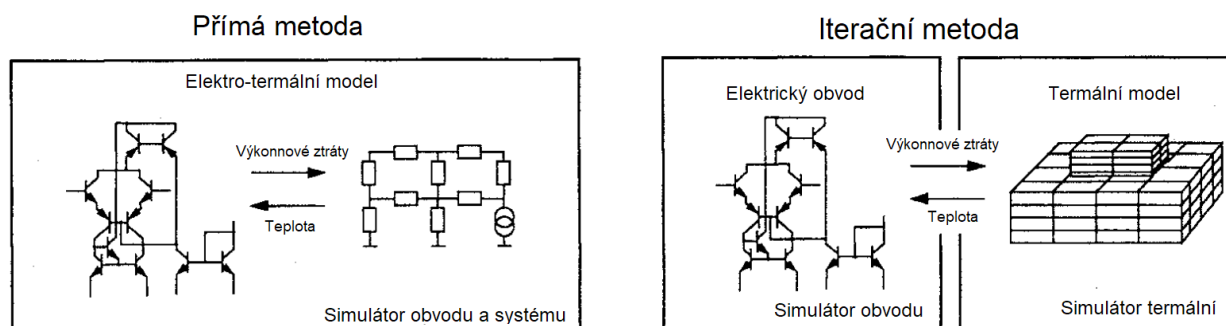
1.2 Elektro-termální simulace

Existují dva základní přístupy k simulaci elektro-termálního chování integrovaných obvodů - přímá metoda a iterační metoda [5].

Přímá metoda je založena na modelování tepelného a elektrického chování obvodu v jednom simulačním nástroji. Teplotní chování může být například modelováno analogovým behaviorálním jazykem a elektrický obvod může být popsán Spice netlistem. Simulace je pak realizována „běžnými“ Spice simulátory jako Eldo (Metor Graphics) nebo Spectre (Cadence Design Systems). Proces teplotního modelování je v tomto případě složitý kvůli komplexní struktuře teplotního modelu čipu, pouzdra a případně chladiče [5].

Iterační metoda je založena na propojení termálního a obvodového simulátoru. Sada tepelných a elektrických rovnic je řešena samostatně. Důležité u této metody je

realizace přenosu dat, synchronizace mezi oběma simulátory a kontrola konvergence. Obecně platí, že proces modelování není u iterační metody tak komplikovaný, protože se používají speciální simulátory, které jsou přímo určeny pro konkrétní tepelný nebo elektrický problém. [5].

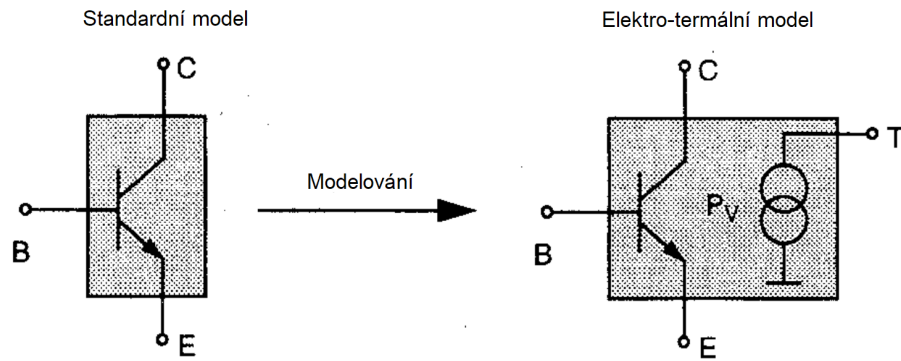


Obr. 1.1: Základní přístupy k provádění elektro-termálních simulací [5].

1.2.1 Elektro-termální model

Cílem procesu teplotního modelování je vytvořit model, který představuje tepelné chování fyzického systému. Tepelná vodivost závislá na teplotě polovodičového materiálu, která vede k nelineární tepelné rovnici, musí být v procesu modelování zohledněna. Proces teplotního modelování vyžaduje parametry materiálu a geometrie, které mohou být vyextrahovány z nástroje pro návrh layoutu. Vytvořené tepelné modely by nakonec měly být ověřeny pomocí měření [5].

Kromě samotného procesu tepelného modelování vyžadují obě metody modifikace modelů v obvodových simulátorech. Standardní modely zařízení, které již obsahují tepelné závislosti elektronických parametrů, musí být rozšířeny na elektro-termální modely. Obr. 1.2 ukazuje rozšířený elektro-termální model BJT rozšířený o tepelný pin T [5].



Obr. 1.2: Elektro-termální BJT model [5].

Hodnota proudu v tomto pinu odpovídá ztrátovému výkonu tranzistoru a hodnota napětí odpovídá teplotě zařízení. Hodnota ztrátového výkonu se vypočítá z elektrické části modelu a teplota (napětí) na termálním pinu ovlivňuje zpětně elektrické chování tranzistoru. Teplota se takto stává signálem, který se během simulace mění v čase [5].

1.2.2 Termální síť

V systému může k šíření tepla dojít třemi různými způsoby, konvekcí, tepelným zářením nebo vedením tepla. Elektronických komponent se obvykle týká pouze šíření tepla vedením, které je popsáno v homogenním izotropním materiálu rovnicí:

$$\frac{\delta^2 T}{\delta x^2} = \frac{c * \rho}{\lambda_{TH}} * \frac{\delta T}{\delta t}, \quad (1.5)$$

kde λ_{TH} je měrná tepelná vodivost, c měrná tepelná kapacita a ρ hustota materiálu. Proměnná T popisuje teplotu a souřadnice ve směru šíření tepla x jsou pro zjednodušení uvažovány pouze jako jednorozměrné [6].

Pokud bychom hledali elektrický analogový model pro vedení tepla, nejbližší se podobá popis přenosového vedení:

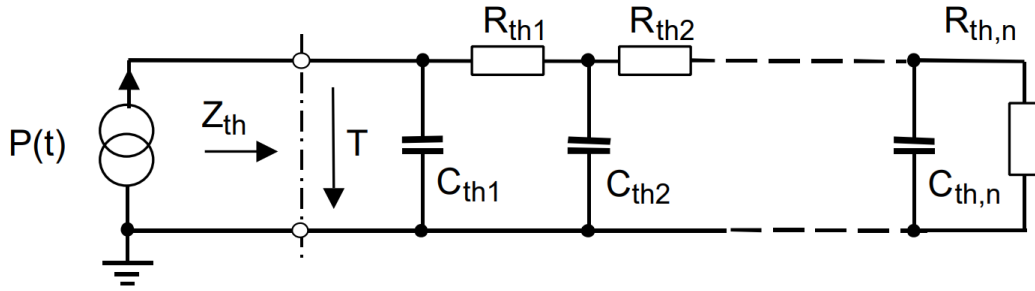
$$\frac{\delta^2 U}{\delta x^2} = C' L' \frac{\delta^2 U}{\delta t^2} + (C' R' + G' L') \frac{\delta U}{\delta t} + G' R' U, \quad (1.6)$$

Kde C' je kapacita na jednotku délky, R' odpor na jednotku délky, G' hodnota příčné vodivosti na jednotku délky a L' indukčnost na jednotku délky. Stejně vlnová rovnice, popisuje rovnice pro přenosové vedení všechny vlastnosti typické pro vlnu, jako jsou odrazy, stojaté vlny atd. Ve srovnání popisuje rovnice vedení tepla difúzní nebo kompenzační proces. V zásadě se jedná o odlišné fyzikální procesy, které nemají přímý vztah [6].

Pokud však uvažujeme, že v oblasti vedení tepla neexistuje v pevném médiu přímé srovnání pro elektrickou indukčnost a že prvek objemu se nemůže sám ochladit, tak můžeme dosazením $L' = 0$ a $G' = 0$ rovnici upravit do podoby [6]:

$$\frac{\delta^2 U}{\delta x^2} = C' R' \frac{\delta U}{\delta t}. \quad (1.7)$$

Tato rovnice už má stejnou strukturu jako rovnice pro vedení tepla. Díky podobnosti rovnic 1.5 a 1.7 lze vedení tepla modelovat jako ekvivalentní obvod přenosového elektrického vedení skládajícího se pouze z R/C prvků [6]. V tabulce 1.2 jsou uvedeny tepelné ekvivalenty elektrických veličin.



Obr. 1.3: Schéma obvodu ekvivalentního elektrického vedení pro modelování vlastností vedení tepla [6].

Tab. 1.2: Odpovídající fyzické proměnné [6].

Termální		Elektrické	
Teplota	T [K]	Napětí	U [V]
Tepelný tok	P [W]	Proud	I [A]
Tepelný odpor	R_{TH} [K/W]	Elektrický odpor	R [V/A]
Tepelná kapacita	C_{TH} [Ws/K]	Elektrická vodivost	C [As/V]

Tepelný odpor

Ekvivalentní tepelný odpor mezi dvěma prvky i a j , je založen na Fourierově zákonu vedení tepla a je dán:

$$R_{TH} = \frac{T_i - T_j}{P_{ij}}, \quad (1.8)$$

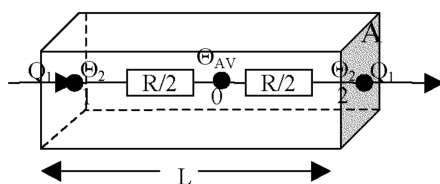
kde T_i a T_j jsou teploty dvou bodů a P_{ij} je tepelný tok mezi těmito body [14].

Výpočet tepelného odporu v případě desky, která je izolována na všech svých plochách s výjimkou dvou protilehlých konců, jak je znázorněno na obrázku 1.4, je:

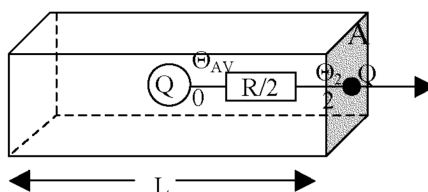
$$R = \frac{L}{kA}, \quad (1.9)$$

kde L je délka desky, A je plocha průřezu a k je tepelná vodivost [14].

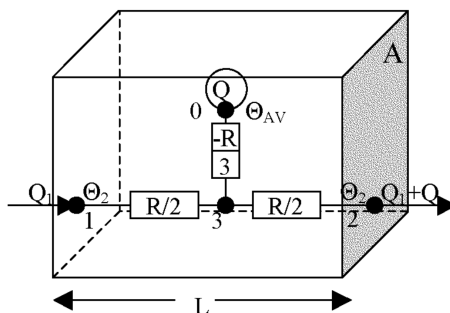
Pro jednosměrný tepelný tok v médiu existují tři možné případy. Jednosměrný tepelný tok s externím tepelným vstupem (obr. 1.4), jednosměrný tepelný tok s vnitřní generací tepla (obr. 1.5) a jednosměrný tepelný tok s externím vstupem tepla a vnitřní generací tepla (obr. 1.6) [14].



Obr. 1.4: Termální ekvivalentní obvod pro desku s externím tepelným vstupem [14].



Obr. 1.5: Termální ekvivalentní obvod pro desku s vnitřní generací tepla [14].



Obr. 1.6: Termální ekvivalentní obvod pro desku s vnitřní generací tepla a externím tepelným vstupem [14].

Tepelná kapacita

Tepelná kapacita má konstantní hodnotu, za předpokladu, že tepelná kapacita materiálu není závislá na teplotě. Tepelná kapacita je definována z rozměrů daného prvku. Celková kapacita je počítána pomocí parametru c_{th} závislého na materiálu, který závisí na měrném teple a hustotě materiálu:

$$C_{TH} = c_{th} * L * A, \quad (1.10)$$

kde L je délka desky, A je plocha průřezu a c_{th} je měrná tepelná kapacita [14].

1.3 Nástroje pro elektro-termální simulace

V této kapitole jsou shrnuty dostupné nástroje pro elektro-termální simulace. Vývojem těchto nástrojů se zabývají všechny firmy, které vedou pole se softwarem pro návrh čipů, mezi které se řadí Cadence a Mentor.

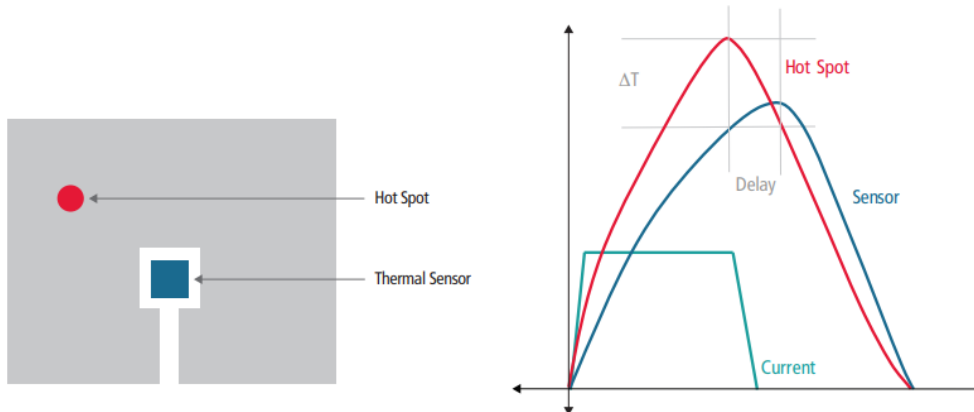
1.3.1 Cadence Legato Reliability Solution

Legato Reliability Solution od firmy Cadence poskytuje analogovým návrhářům nástroje, které potřebují ke správě spolehlivosti svého návrhu po celou dobu životnosti produktu. Legato Reliability Solution reaguje na výzvy při navrhování kritických aplikací, jako jsou automobilový, letecký a lékařský design a zahrnuje novou technologii, která simuluje schopnost výrobního testu identifikovat a odstranit vadné součásti, vliv teploty na elektrický výkon obvodu, a změny v zařízeních v průběhu času, včetně účinků změn teploty a procesu na stárnutí [7].

Elektro-termální simulátor nástroje Legato poskytuje dva elektro-termální simulační motory: statický a dynamický. Statický motor analyzuje průměrný nárůst teploty čipu během normální operace. Dynamický motor analyzuje přechodné zahřívání a ochlazování během normálního provozu. Vestavěný tepelný extraktor vytváří tepelný model čipu, který se používá v tepelné simulaci k simulaci nárůstu teploty v důsledku ztrát výkonu v zařízení. Elektro-termální simulace je založena na časové analýze Spectre APS, která umožňuje návrhářům snadno posoudit vliv kolísání teploty čipu na výkon obvodu [7].

Na Obr. 1.7 lze vidět ukázkou výsledků simulace, kde je vidět rozdíl průběhu teplot na horkém místě a teplotním senzoru.

V elektro-termální analýze je simulace prováděna pomocí technologie Cadence Thermal Technology, která poskytuje reálnou elektro-termální ko-simulaci. V tomto postupu se používá termální technologie k vytvoření tepelného modelu čipu, založeného na struktuře čipu a tepelných vlastnostech jádra. Tento model je tepelným ekvivalentem obvodu čipu [12].

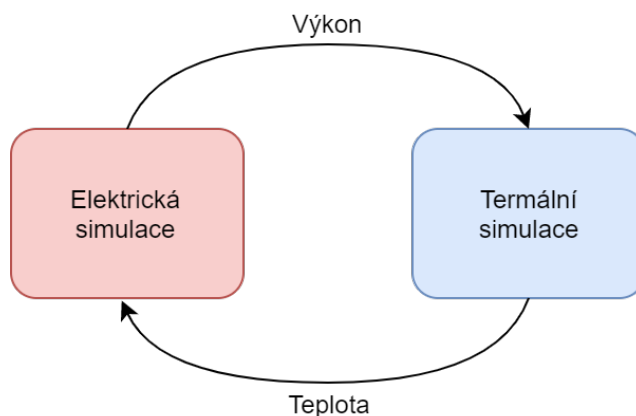


Obr. 1.7: Ukázka výsledku simulace horkého bodu a teplotního senzoru [7].

Elektro-termální analýza používá k provedení ko-simulace elektrické a tepelné popisy obvodu, netlist a tepelný model. Zohledňuje také tepelné interakce mezi zařízeními. Kromě toho bere v úvahu všechny zdroje energie na čipu, včetně tranzistorů, rezistorů a dalších zařízení [12].

Elektro-termální analýza se skládá ze tří komponent. *Spectre APS for electrical simulation* vypočítává velikost jednotlivých výkonových ztrát prvků v obvodu. Druhou komponentou je *Cadence Thermal Technology*. Ta je volána nástrojem Spectre APS, aby provedla termální extrakci jádra a vytvořila termální model použitý v simulaci. Třetí komponentou je *Spectre APS for thermal simulation*, která vypočítá teploty instancí na základě jejich spotřeby energie [12].

Spectre APS automaticky mapuje výkon z elektrického simulátoru, do termálního solveru a zpětně mapuje teplotu z termálního solveru, zpět do elektrického simulátoru viz obr. 1.8 [12].

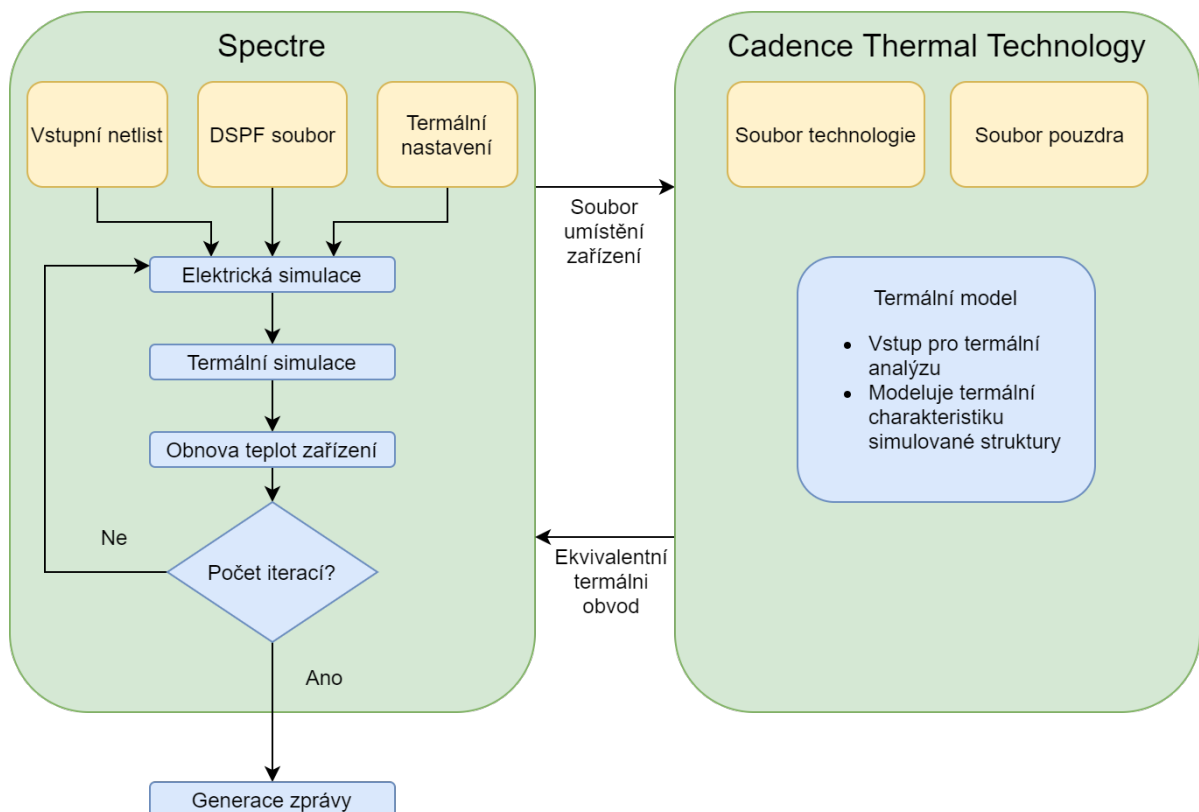


Obr. 1.8: Mapování dat mezi jednotlivými komponenty.[12].

Elektro-termální analýza začíná elektrickou simulací. Výkon instancí se pak využívá pro výpočet teploty instancí na čipu. Pokud teplota konverguje, simulace je dokončena. Pokud tomu tak není, proces tepelné a elektrické simulace pokračuje, dokud se výsledky nekonvergují do stabilního výsledku, který vyhovuje jak elektrickému výkonu obvodu, tak obvodovým teplotním podmínkám [12].

1.3.2 Termální analýza v ustáleném stavu

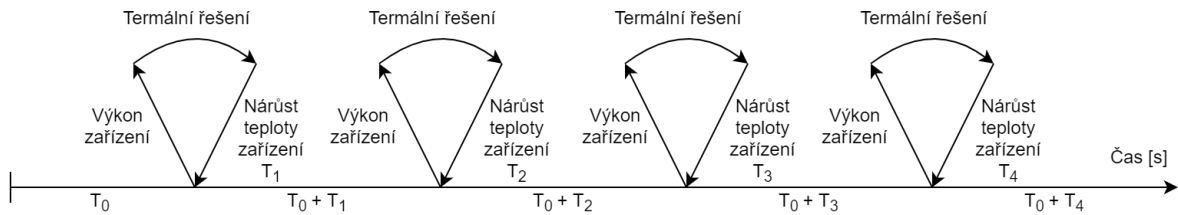
Při termální simulaci v ustáleném stavu se začíná elektrickou simulací s teplotou zařízení nastavenou na hodnotu okolní teploty. Po dokončení elektrické simulace se vypočítá průměrný výkon všech zařízení a odešle se do termálního solveru, aby se vypočítalo navýšení teploty pro každé zařízení. Vypočtené teploty instancí se potom použijí k aktualizaci teplot pro další iteraci elektro-termální simulace. Proces pokračuje, dokud není dosaženo počtu iterací specifikovaných uživatelem. Výstupem termální simulace v ustáleném stavu je textová zpráva, která uvádí nárůst teploty a průměrný výkon každého zařízení v netlistu DSPF. Termální model se potom používá v simulaci tepelné simulace nárůstu teploty v důsledku rozptylu energie zařízení [12].



Obr. 1.9: Termální analýza v ustáleném stavu.[12].

1.3.3 Dynamická termální analýza

Dynamická tepelná analýza se provádí výpočtem tepla v každém kroku časové analýzy. Protože tepelné kolísání je obvykle mnohem pomalejší než elektrické kolísání, předpokládá se, že konvergence elektro-termální ko-simulace je vždy dosaženo pouze jednou iterací v každém časovém kroku. Proto nejsou při dynamické tepelné analýze zapotřebí žádné iterace pro elektro-termální ko-simulaci. To výrazně zvyšuje účinnost algoritmu dynamické termické analýzy, aniž by došlo k výrazným chybám [12].



Obr. 1.10: Dynamická termální analýza.[12].

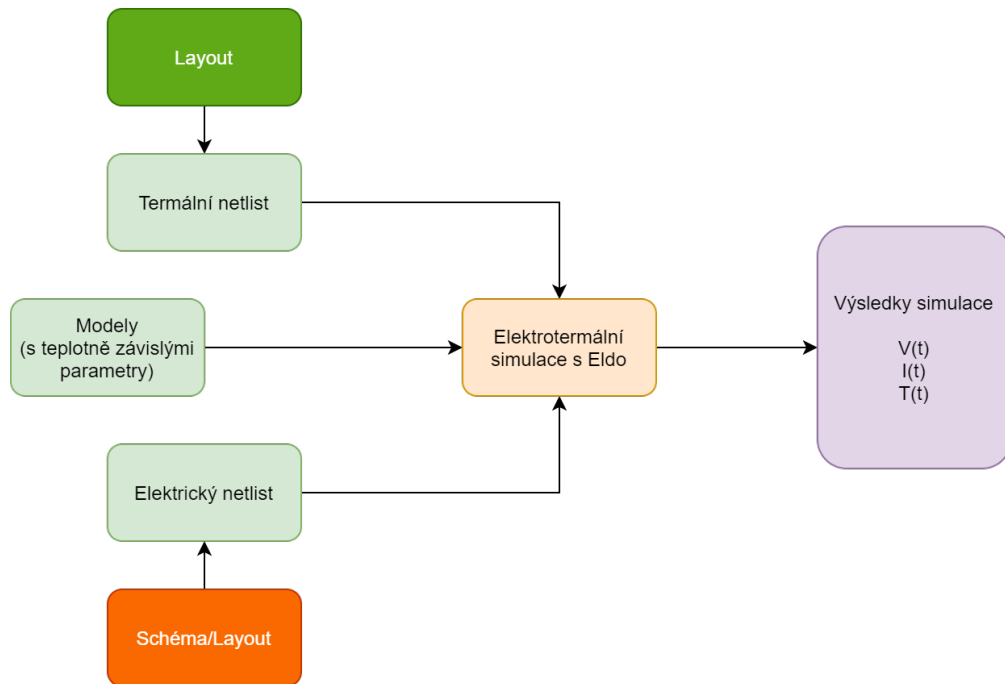
1.4 Mentor Eldo's Electro-Thermal Analysis

Platforma Eldo od firmy Mentor Graphics poskytuje požadovanou přesnost a výkon SPICE pro navrhování a ověřování komplexního návrhu integrovaných obvodů. Ověření spolehlivosti je možné díky pokročilým simulacím stárnutí, které předpovídají problémy se spolehlivostí způsobené degradací obvodu, elektro-termální simulací pro analýzu tepelného dopadu v důsledku výkonových ztrát a simulací a analýzou bezpečné provozní oblasti pro detekci porušení nebezpečných provozních podmínek po celou dobu životnosti integrovaného obvodu [10].

Elektro-termální simulátor platformy Eldo umožňuje pomocí jednoho nástroje zároveň simulovat jak tepelné, tak i elektrické problémy. Příspěvky výkonových ztrát mohou být popsány ve SPICE i Verilog-A jazyce. Podporuje jak čistě analogové, tak i smíšené návrhy [13].

1.4.1 Princip funkce

Eldo řeší problém elektro-termálních simulací tak, že dovoluje lokálním teplotám zařízení nebo celých buněk (podobvodů), aby se chovaly jako skutečné proměnné systému. Teploty jsou řešeny zároveň s napětími a proudy v obvodu. Aby bylo možné tohoto dosáhnout je potřeba do simulačního netlistu vložit odhadovanou termální síť. Tato síť se typicky skládá z rezistorů a kapacitorů a je závislá na layoutu (fyzické vzdálenosti mezi hřejícími zařízeními) a materiálech využitých při procesu.



Obr. 1.11: Termální analýza Eldo. [13].

Příkaz `.TEMPNODE`

Příkaz `.TEMPNODE` je třeba specifikovat uvnitř podobvodů u kterých bude sledován elektrotermální efekt. Tímto příkazem se vytvoří termální pin. Napětí na tomto pinu reprezentuje nárůst teploty podobvodu oproti nastavené globální teplotě. Eldo vypočítává vyzařovaný výkon aktivními zařízeními, které obsahují příkaz `.TEMPNODE`. Tento výkon je reprezentován ekvivalentem proudového zdroje, který je připojen přes termální pin do termální sítě. Toto zapříčiní nárůst teploty v obvodu. Jakýkoliv prvek (rezistor nebo kapacitor) připojen k tomuto pinu je pak považován za termální. Příklad použití:

```

.subcircuit mybjt c b e th
.model bjt bjt level=...
Q1 c b e bjt50
.tempnode th
.ends
  
```

Tímto příkazem se specifikuje podobvod který obsahuje bipolární tranzistor. Zároveň ale podobvod obsahuje termální pin `th`, který lze připojit do termální sítě.

Tento pin lze deklarovat i externě, mimo definici podobvodu:

```
.subcircuit mybjt c b e
.model bjt bjt level=...
Q1 c b e bjt50
.ends
.tempnode subckt=mybjt thnode=th
```

Tímto docílíme toho, že není třeba upravovat stávající PDK a termální piny lze přidávat až dodatečně po vygenerování elektrického netlistu. Propojení termální sítě pak může vypadat následovně:

```
X1 out1 inp em th1 mybjt
X2 out2 inm em th2 mybjt
Rth th1 th2 10
```

V tomto příkladu jsou dva bipolární tranzistory propojeny jedním rezistorem, který z důvodu připojení na termální pin není považován za součástku elektrickou, ale termální.

1.5 Technologie ONC25

ONC25 od firmy ON Semiconductor je 0,25 μm proces, který je ideálním a levným řešením pro smíšené signály. ONC25 je vytvořen pro single-gate nebo dual-gate návrhy s vysokým výkonem nebo nízkým příkonem. Obsahuje také digitální knihovny a funkce pro smíšené signály, jako jsou MIM kondenzátory, Schottkyho diody, zenerovy diody, velké polykřemíkové odpory a hluboké jámy N-typu pro izolaci jámy P-typu. ONC25 poskytuje flexibilitu při implementaci různých aplikací smíšeného signálu [8].

Tab. 1.3: Charakteristické parametry procesu [16].

Parametr	Hodnota
Provozní napětí	2,5 V, 3,3 V, 5 V
Materiál substrátu	200 mm P-Typ, EPI
Délka tranzistoru	0,25 μm (2.5 V CMOS)
Tloušťka hradlového oxidu	50, 70, 125 Å
Velikost kontaktu/průchodky	0.3/0.36 μm
Tloušťka horní metalové vrstvy	1,0, 1,5 a 3,0 μm

1.5.1 Termální simulace v ONC25

V současnosti se pro termální simulaci tohoto procesu používá simulátor TCAD od firmy Synopsys, který je primárně určen pro sledování jevů v polovodičích. Je schopen počítat teploty a podmínky v přechodových jevech statických i dynamických. Je možno ho používat ve smíšeném módu, kde je jeden prvek fyzický a ostatní jsou pouze modelové. Konkrétně se používá pouze část nástroje TCAD, a to Sentaurus Device [11].

Aktuálně se nesimulují celé čipy, ale jen části čipu, jelikož takové simulace jsou výpočetně náročné a na aktuálních výpočetních serverech by nebyly reálné. Proto se modelují pouze výkonové části struktur a místo reálných proudů se do modelu přidávají tepelné kontakty, které slouží jako zdroje tepla, které jsou rovny ztrátovým výkonům součástek [11].

Proto se hledá nové, jednodušší řešení, které by nahradilo stávající postup. Takové řešení nabízejí firmy Cadence a Mentor. Jejich nástroje pro elektro-termální simulaci by mělo být možno implementovat do stávajících PDK, jelikož se řešení firem Cadence a Mentoru již používají pro simulace čistě elektrické.

2 Praktická část

Pro realizaci praktické části práce byl vybrán nástroj Eldo od firmy Mentor Graphics. Důvodem bylo, že tento nástroj se již v procesu ONC25 používá pro simulace elektrické a jeho nastavení pro elektro-termální simulace je oproti nástroji od Spectre Cadence jednodušší.

2.1 Ověření funkce nástroje Eldo

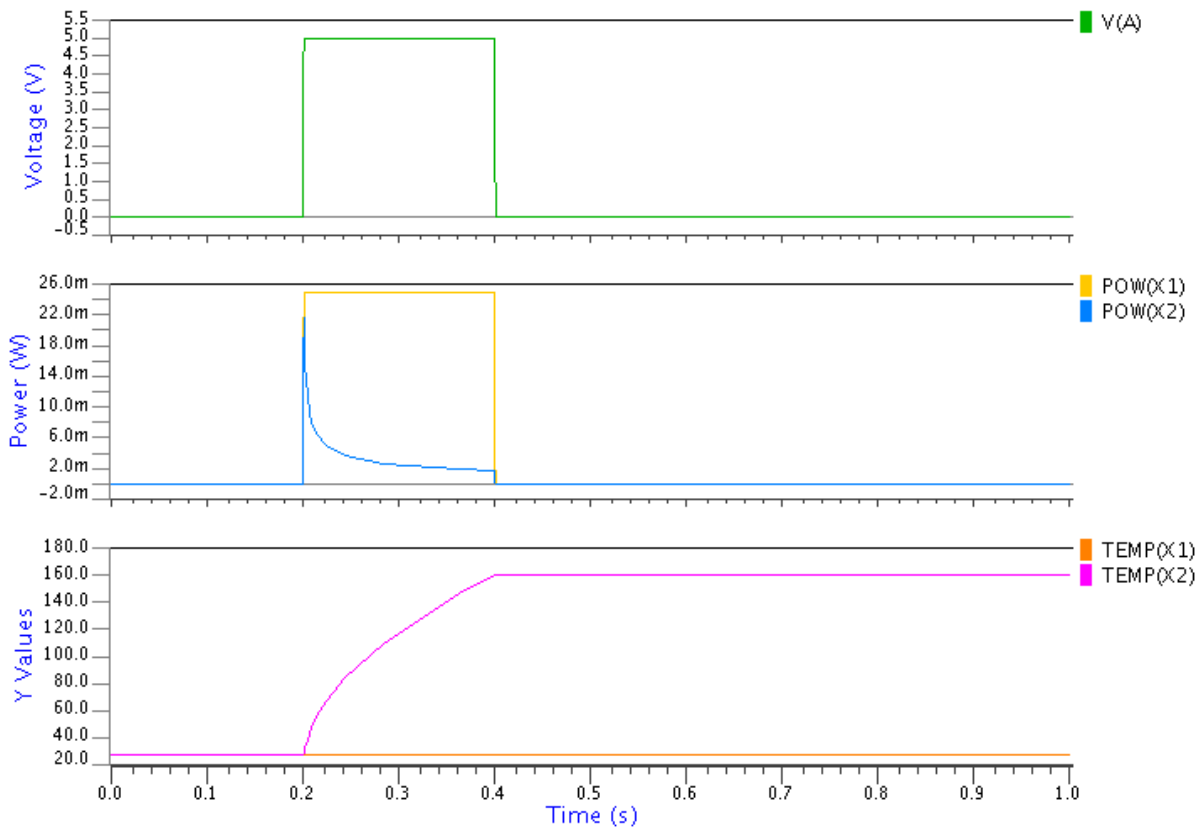
Nejprve bylo třeba ověřit funkčnost konverze normálního modelu do elektro-termálního a ověřit zdali chování termálního pinu odpovídá předpokladům podle dokumentace.

2.1.1 Ověření elektro-termálního modelu

Převod elektrického modelu na elektro-termální byl ověřen na podobvodu s jedním rezistorem.

```
*Subcircuit
.SUBCKT res a b
ra a b 1k tc1 = 0.1
.ENDS
.SUBCKT res2 a b
ra a b 1k tc1 = 0.1
.ENDS
.temnode subckt=res2 thnode=T
*Netlist
v1 a 0 dc 5 pwl (0 0 0.2 0 0.201 5 0.4 5 0.401 0)
x1 a 0 res
x2 a 0 res2
*Thermal netlist
rthn x2.T thn 10k
cthn1 x2.T 0 5u
.tran 0.1 1
.temp 27
*Plot variables
.plot tran v(a)
.plot tran pow(x1) pow(x2)
.plot tran temp(x1) temp(x2)
.end
```


V tomto zapojení byly na stejný zdroj napětí zapojeny dva rezistory s teplotním součinitelem odporu $0,1 \text{ K}^{-1}$. Model druhého rezistoru byl však převeden na model elektro-termální. Na obr. 2.1 jsou zobrazeny výkony na obou rezistorech a jejich teploty. Zatímco u elektrického modelu zůstávají výkon i teploty konstantní, u elektro-termálního modelu se teplota rezistoru zvyšuje, tím stoupá jeho odpor a klesá výkon.

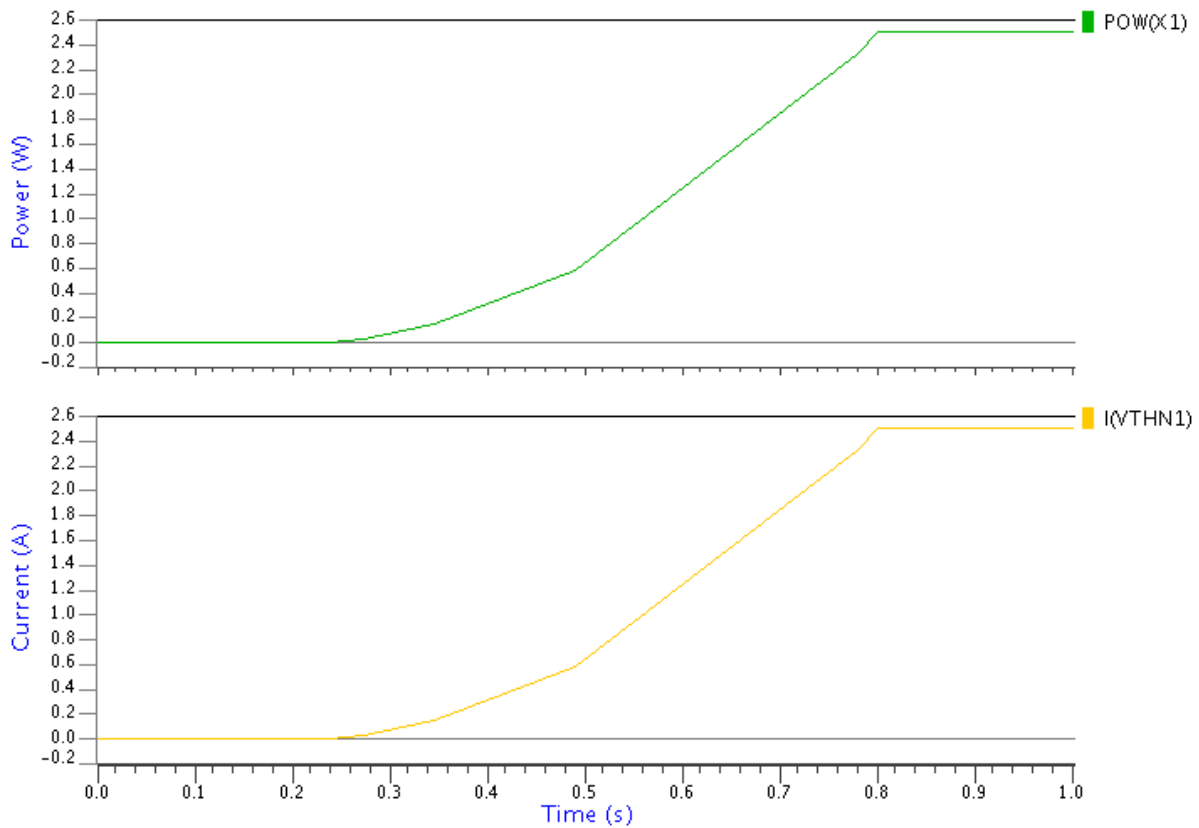


Obr. 2.1: Simulace elektro-termálního modelu.

Dále bylo potřeba ověřit chování termálního pinu, který vznikl převodem na elektro-termální model. Pro ověření proudu termálním pinem bylo použito jednoduché zapojení, kde se na termální pin rezistoru zapojil nulový zdroj napětí:

```
*Netlist
v1 a 0 pwl (0 0 0.2 0 0.8 50 1 50)
x1 a 0 test
*Thermal Netlist
vthn1 x1.thn 0 0
```

Jak můžeme vidět na obr. 2.2, proud termálním pinem je roven výkonu, který se ztrácí na rezistoru.

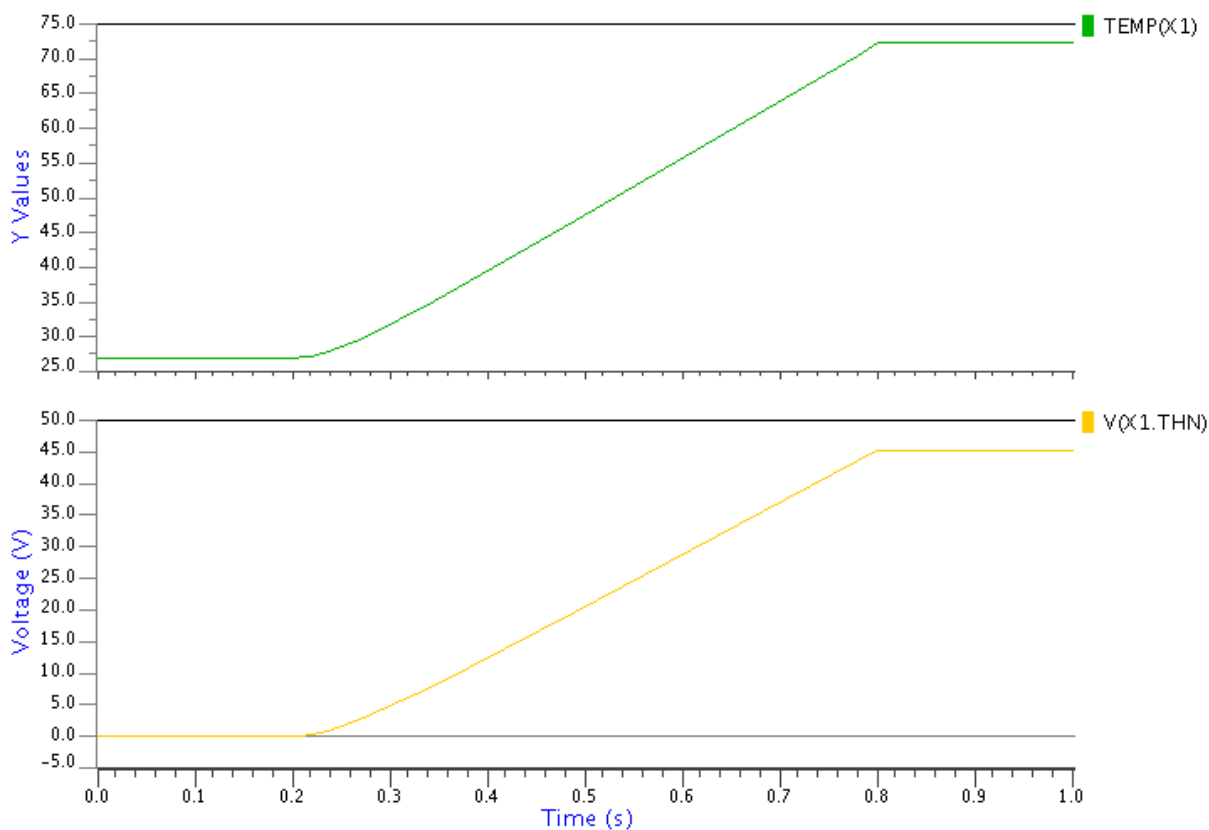


Obr. 2.2: Simulace proudu na termálním pinu.

Pro ověření chování napětí na termálním pinu bylo použité stejné zapojení jako v předchozím případě, ale místo napětového zdroje pro měření proudu byl na termální pin připojen termální rezistor:

```
*Netlist
v1 a 0 pw1 (0 0 0.2 0 0.8 50 1 50)
x1 a 0 test
*Thermal net
rthn1 x1.thn 0 100
```

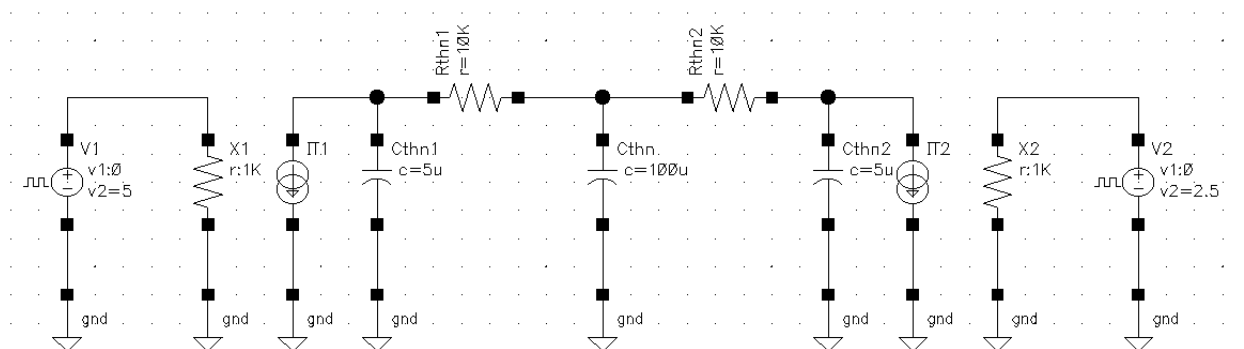
Na obr. 2.3 jsou vyobrazeny dva grafy. První reprezentuje aktuální teplotu zařízení a druhý reprezentuje napětí na termálním pinu. Je vidět, že napětí, které je na termálním pinu (druhý graf), odpovídá rozdílu mezi teplotou zařízení (první graf) a globálně nastavenou teplotou 27 °C.



Obr. 2.3: Simulace napětí na termálním pinu.

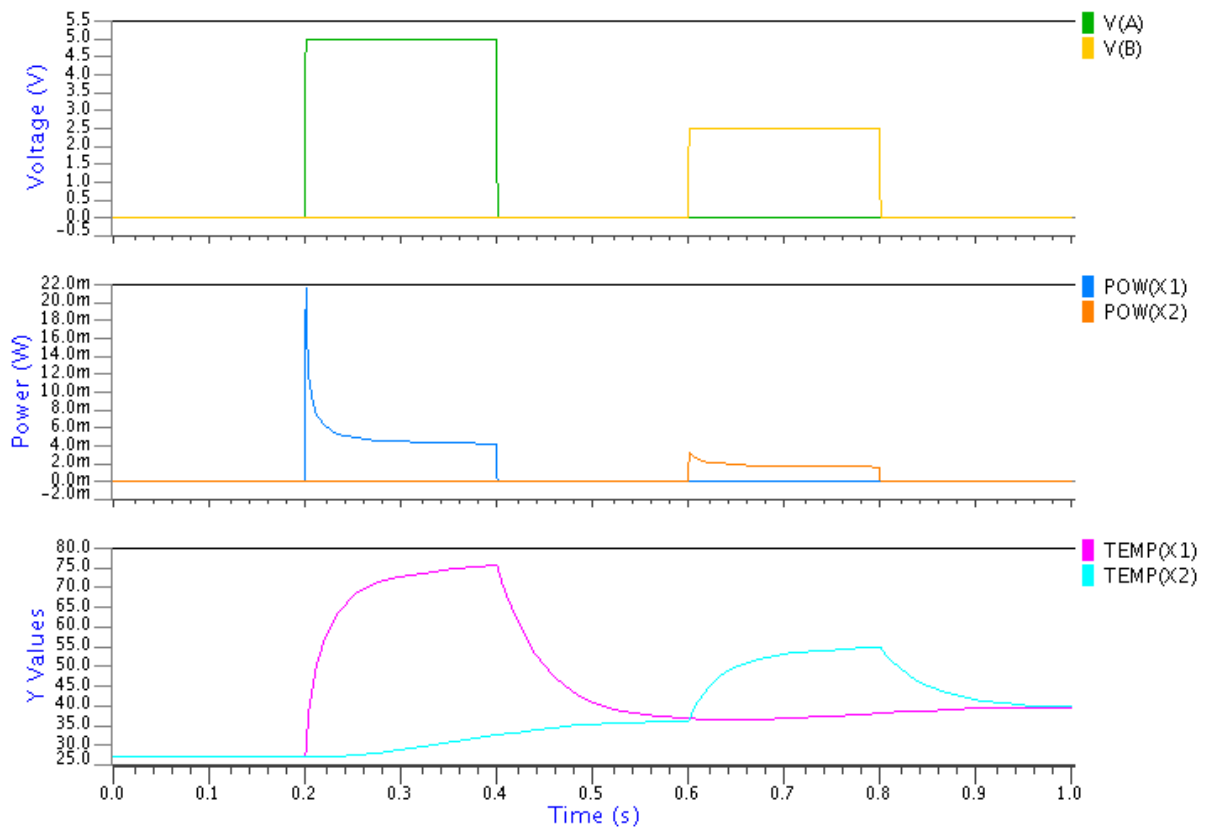
2.1.2 Ověření přenosu tepla

Jeden z hlavních důvodů pro používání elektro-termálních simulací je pozorování dopadu generace tepla jedné součástky na součástky v jejím okolí. Pro ověření tohoto vlivu bylo použito testovací zapojení, které je zobrazeno na obr. 2.4.



Obr. 2.4: Schéma zapojení pro ověření přenosu tepla.

Mezi dva rezistory s elektro-termálními modely byla zapojena termální síť. Po připojení napětí na první rezistor se začne zvyšovat jeho teplota a zároveň se zvyšuje i teplota druhého rezistoru (obr. 2.5). Než se teplota ustálí po odpojení prvního napětí, je na druhý rezistor přivedeno druhé napětí a teplota na obou rezistorech začíná opět stoupat. Lze proto vidět, že se obě součástky navzájem ovlivňují.



Obr. 2.5: Simulace vzájemného ovlivňování součástek.

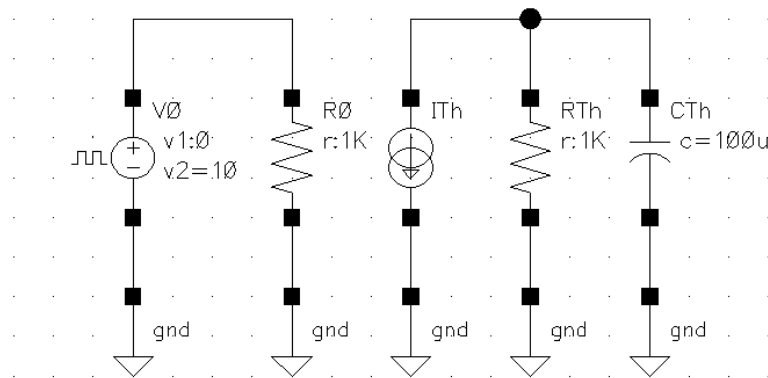
2.1.3 Ověření teoretického výpočtu

Je třeba také ověřit, jak simulace odpovídá teorii. Pro toto bylo vybráno zapojení obr. 2.6. Na rezistor s odporem $1\text{ k}\Omega$ je připojen zdroj napětí 10 V . Ztrátový výkon je proto:

$$P = \frac{V^2}{R} = \frac{10^2}{1k} = 0,1\text{ W}. \quad (2.1)$$

Z rovnice 1.8 si lze vyjádřit rozdíl teploty, který vznikne na termálním rezistoru:

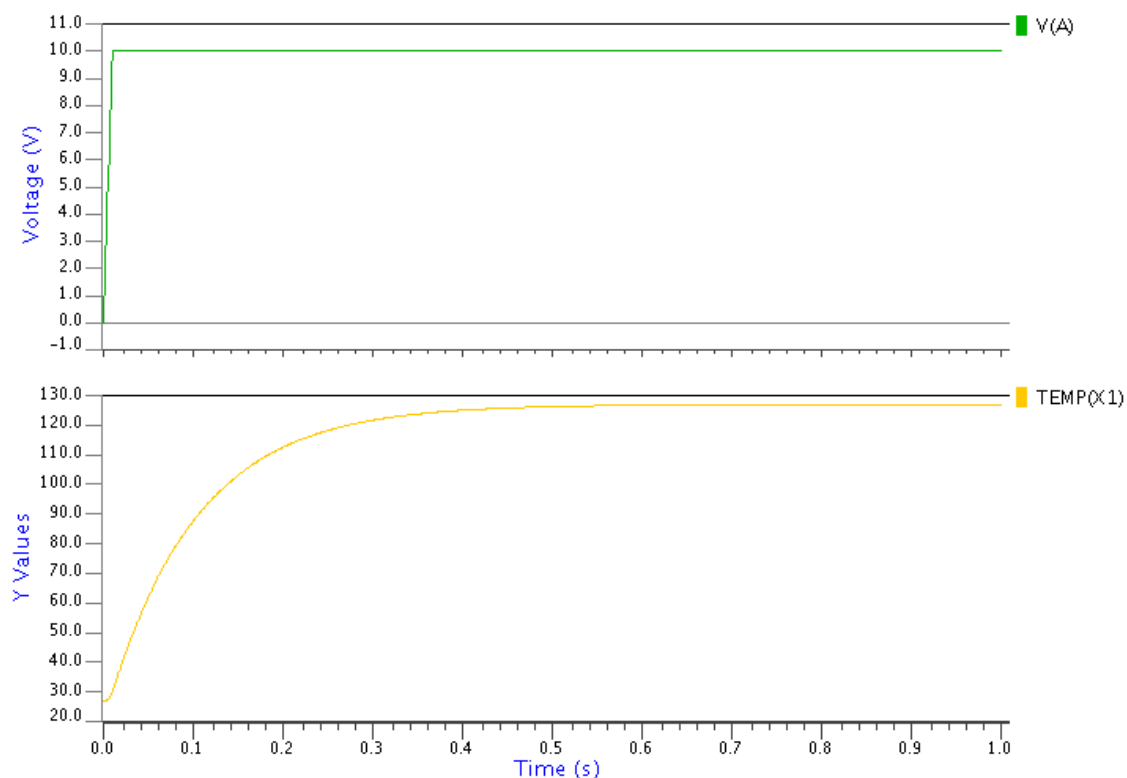
$$T_{ij} = R_{TH} * P = 1k * 0,1 = 100\text{ }^\circ\text{C}. \quad (2.2)$$



Obr. 2.6: Schéma zapojení pro testování teoretického výpočtu.

Při nastavené globální teplotě 27 °C by tak měla být na rezistoru po ustálení teplota 127 °C. Oteplení o 95 % z teplotního rozdílu (na teplotu 123 °C), by mělo podle teorie nastat přibližně v čase 3τ :

$$3\tau = 3 * R_{TH} * C_{TH} = 3 * 1k * 100u = 300 \text{ ms.} \quad (2.3)$$



Obr. 2.7: Simulace ověření teoretického výpočtu.

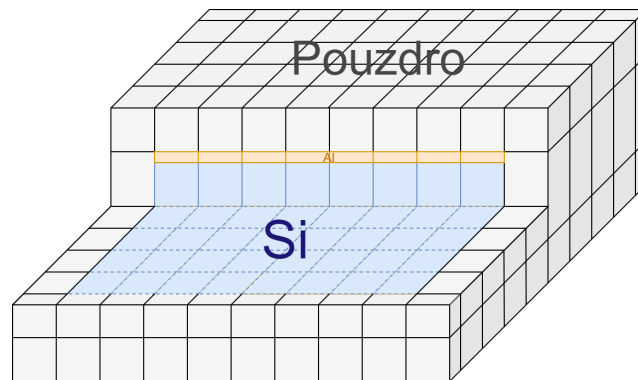
Na obr. 2.7 lze vidět výsledek simulace. Po ustálení je na rezistoru teplota 126,99 °C, což je hodnota totožná s teoretickým výpočtem. Na 95 % se teplota dostala za 323,2 ms. Tato hodnota se sice liší od teoretické o 23,2 ms, avšak výpočet v tomto případě byl spíše orientační.

2.2 Návrh metody pro elektro-termální simulace

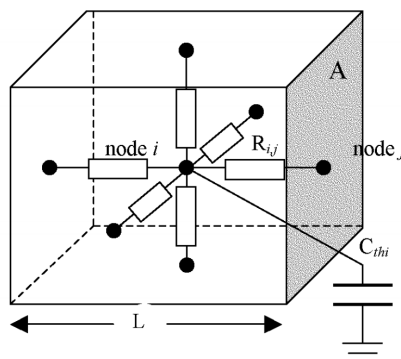
Hlavním úkolem této diplomové práce je návrh metody pro elektro-termální simulace, která je aplikovatelná na stávající postup v procesu ONC25. Aby bylo možné modelovat vzájemné teplotní ovlivňování prvků na čipu a vyzařování tepla z čipu do pouzdra a okolí je potřeba vytvořit nástroj pro generování termální sítě.

2.2.1 Generace termální sítě

Pro generaci termální sítě byl vybrán postup rozdělení čipu, metalové vrstvy a pouzdra do konečných prvků (kvádrů), jak je vidět na obr. 2.8.



Obr. 2.8: Simulace ověření teoretického výpočtu.



Obr. 2.9: Termální ekvivalentní obvod pro desku v 3D [14].

Každý prvek má pak přidělen svou termální síť, která je závislá na jeho rozměrech a tepelných materiálových vlastnostech (viz obr. 2.9). Každý termální rezistor má pak poloviční hodnotu tepelného odporu celé desky v dané ose. Tato metoda má však nevýhodu, že s rozlišením termální sítě roste kvadraticky počet simulovaných odporů. Toto se negativně projeví na časech simulací. Odhadovaný počet prvků lze vidět v tabulce 2.1.

Tab. 2.1: Odhadovaný počet rezistorů v termální síti.

Rozlišení čipu	Počet rezistorů
10x10	3192
20x20	11112
30x30	23832
40x40	41352
50x50	63672
60x60	90792
70x70	122712
80x80	159432
90x90	200952
100x100	247272

Aby byla tato metoda použitelná, bylo potřeba automatizovat proces generace této termální sítě. Pro napsání programu, který bude tuto síť generovat, byl zvolen programovací jazyk Cadence SKILL, který je založen na jazyce Lisp. Jedná se o jazyk, který je nativní v prostředí Cadence a proto dokáže pracovat se schémata a layouty. Zároveň v prostředí Cadence probíhá veškerý vývoj čipů v procesu ONC25, takže je snadné tento program integrovat do návrhového prostředí.

Popis programu

Po spuštění procedury *ThermalNetForm()* v prostředí Cadence se spustí formulář (obr. 2.10) ve kterém je potřeba vybrat příslušnou knihovnu, buňku, která obsahuje layout, a zadají se potřebné termální parametry. Popis jednotlivých textových polí je uveden v tabulce 2.2. Po potvrzení formuláře se spustí procedura *OkCallback()*, která zkontroluje jestli byly zadány všechny potřebné hodnoty a předá je dále proceduře *GetThermalNet()*. Tato procedura započne generaci termální sítě.

Obr. 2.10: Formulář pro generaci termální sítě.

Tab. 2.2: Popis textových polí.

Textové pole	Popis
Slab number	Počet částí do kterých se čip rozdělí v ose x a y.
Silicon thermal conductivity	Tepelná vodivost křemíku.
Package thermal conductivity	Tepelná vodivost pouzdra.
Metal thermal conductivity	Tepelná vodivost kovu.
Wafer height	Výška křemíku.
Package height	Výška vrstvy pouzdra.
Metal height	Výška vrstvy kovu.
Silicon thermal capacitance	Měrná tepelná kapacita křemíku.
Package thermal capacitance	Měrná tepelná kapacita pouzdra.
Metal thermal capacitance	Měrná tepelná kapacita kovu.
Active devices	Instance, které budou zapojeny do termální sítě.

GetThermalNet()

Tato procedura generuje termální síť. Nejprve si načte rozměry layoutu, ze kterých vypočítá rozměry prvků a jejich termální odpory a kapacity. Poté se zpracuje řetězec s aktivními součástkami:

```
devices = parseString(activeDev " ")
devIds = list()
foreach( device devices
  instId = GetInstId(libName layoutName device)
  devIds = append(devIds list(instId))
);foreach
```

Řetězec, který byl zadán do formuláře se rozdělí podle mezer a tím se vytvoří seznam instancí. Pro každou instanci je pak z databáze načteno ID, které je uloženo do seznamu. Procedura dále cyklí v jednotlivých prvcích a pokud se střed instance nachází v daném prvku, připojí se do tohoto prvku termální rezistor s minimální hodnotou a uzlem *XXconn*, na který se může následně termální pin instance připojit:

```
for(i 1 numSlab
  for(j 1 numSlab
    foreach( device devIds
      when( IsInSlab(GetInstCentre(device)
        GetSlabBB(j i slabLength slabWidth lId->bBox))
        fprintf(myPort "Rterm%s_%sconn_slab%d_%d_0.1m\n"
          device->name device->name i j)
      );when
    );foreach
  );for
);for
```

Následuje generace termálních rezistorů pro prvky čipu. Každému prvku je přiřazeno šest termálních rezistorů a jeden termální kapacitor. Toto se opakuje pro metalovou vrstvu a vrstvy pouzdra. Výsledný netlist vypadá takto:

```
RtermI27 I27conn slab5_12 0.1m
RtermI75 I75conn slab17_12 0.1m

Rterm1_1_u slab1_1_u slab1_1 26.444243
Rterm1_1_d slab1_1_d slab1_1 26.444243
Rterm1_1_r slab1_1_r slab1_1 13.984991
Rterm1_1_l slab1_1_l slab1_1 13.984991
Rterm1_1_t slabM1_1_b slab1_1 308.332633
```

```

Rterm1_1_b slabPb1_1_t slab1_1 308.332633
Cterm1_1 0 slab1_1 0.350770n
.
.
.

```

V tomto příkladu byly vygenerovány dva rezistory pro připojení na termální piny zadaných aktivních součástek. Následující rezistory už jsou rezistory prvního prvku termální sítě. Tato síť je uložena do *.cir souboru, který lze vložit do elektrického netlistu vygenerovaného z Cadence prostředí:

```

.
.
.

.tempnode subckt=NCP156_OS_PMOS thnode=th
.tempnode subckt=NCP156_OS_NMOS thnode=th

.include "./aaad51ProjRevA_top_NCP156_ipt_51.cir"

Rth1 XI0.XI27.th I27conn 0
Rth2 XI0.XI75.th I75conn 0
.
.
.

```

Zároveň s příkazem *.include* je třeba v netlistu specifikovat aktivní součástky příkazem *.tempnode* a napojit je nulovými odpory na připravené uzly s názvem *XXconn*, kde se *XX* nahradí názvem instance.

2.2.2 Zpracování výsledků DC analýzy

Pro zobrazení výsledků časové analýzy existuje v ekosystému Eldo nástroj *EZwave*, avšak výsledky DC analýzy jsou zapisovány do *.chi souboru a hodnoty lze prohlížet pouze jednotlivě. Proto byl v jazyce Perl napsán program, který tento soubor přečte, vyčte z něj napětí na termálních uzlech a ty pak vykreslí do termální mapy. Programovací jazyk Perl byl vybrán, z důvodu předchozích zkušeností a je ideální pro načítání dat ze souboru pomocí regulárních výrazů.

Popis programu

Program se spouští příkazem:

```
perl ./thermal.pl <nazev_souboru>.chi [<interpolace>]
```

Prvním argumentem je název výstupního souboru s výsledky DC analýzy. Nepovinným druhým argumentem je míra interpolace. Argument interpolace se zadává ve formátu x,y , kde tyto dva čísla určují počet interpolovaných bodů vygenerovaných mezi datovými body. Pokud není druhý argument specifikován, interpolace proběhne s nastavením $1,1$. Program si ověří zadání vstupního souboru, ověří jeho existenci a otevře ho.

Simulátor Eldo vypisuje data do výstupního *.chi souboru ve formátu:

```
SLAB1_1_U      4.2295E+01
SLAB1_1        4.2244E+01
SLAB1_1_D      4.2189E+01
SLAB1_1_R      4.2472E+01
SLAB1_1_L      4.2195E+01
SLABM1_1_B     4.1704E+01
SLABPB1_1_T    4.1703E+01
SLAB1_2_U      4.2768E+01
SLAB1_2        4.2700E+01
```

Jelikož program v Perlu využívá knihovnu *Gnuplot::Chart* je třeba data převést do formátu:

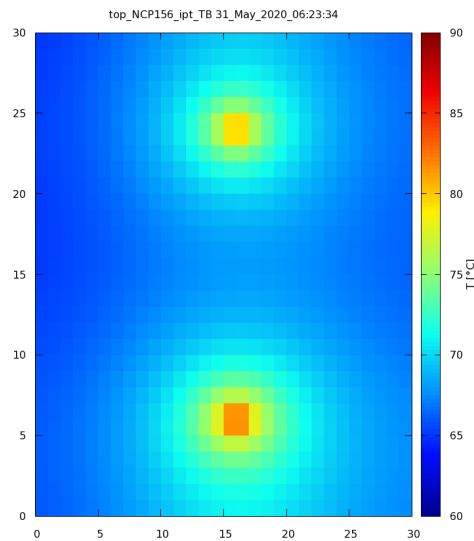
```
my @data = (
  [0, 0, z00],
  [0, 1, z01],
  [0, 2, z01],
  [],
  [1, 0, z10],
  [1, 1, z11],
  .
  .
  .
);
```

Proto program kontroluje každý řádek regulérním výrazem:

```
m/^\s*SLAB(\d+)_\s*(\d+)\s+(-?\d*\.\s*\d+E[+-]?\d+)\s*$/
```

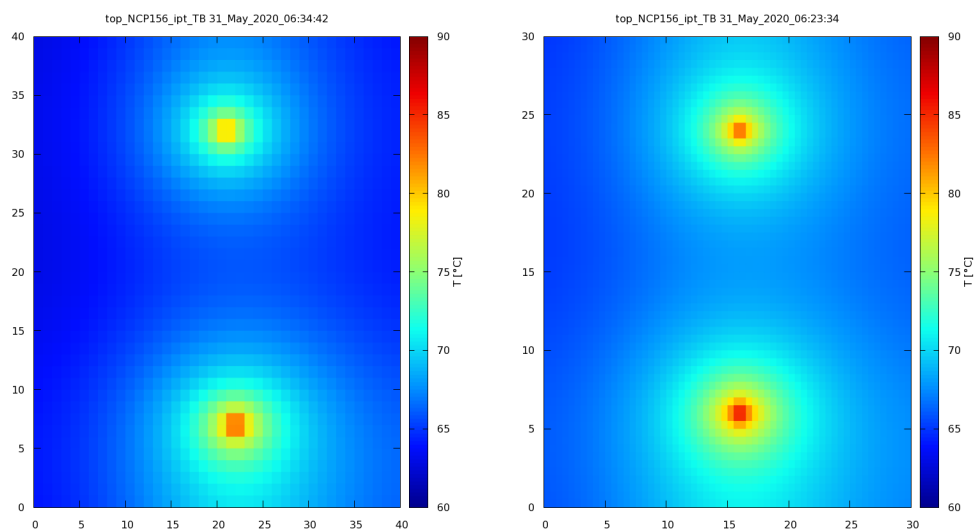
Tímto výrazem se vyextrahují z požadovaných řádku souřadnice a hodnoty napětí v daných uzlech. Program také ze souborů načte globální teplotu. Tato teplota je

nutná, jelikož data ve výstupní souboru reprezentují napětí na termálních uzlech. Tyto hodnoty nepředstavují teploty, ale pouze inkrementy oproti globální teplotě. Proto musíme tuto konstantu přičíst k načteným datům, abychom získali odsimulované teploty. Dále program data seřadí a vloží mezi data s odlišnou hodnotou souřadnice x prázdné pole, které slouží jako oddělovač řádků. Poté se graf vytvoří a uloží jako *.png soubor. Na obrázcích 2.11,2.12a a 2.13a jsou ukázky generovaných grafů při použití rozlišení 31x31, 41x41, 51x51. Pro porovnání jsou na obrázcích 2.12b a 2.13b zobrazeny grafy s rozlišením 31x31, ale byla použita interpolace 2,2 a 3,3.



Obr. 2.11: Vygenerovaný graf pro simulaci s rozlišením 31x31.

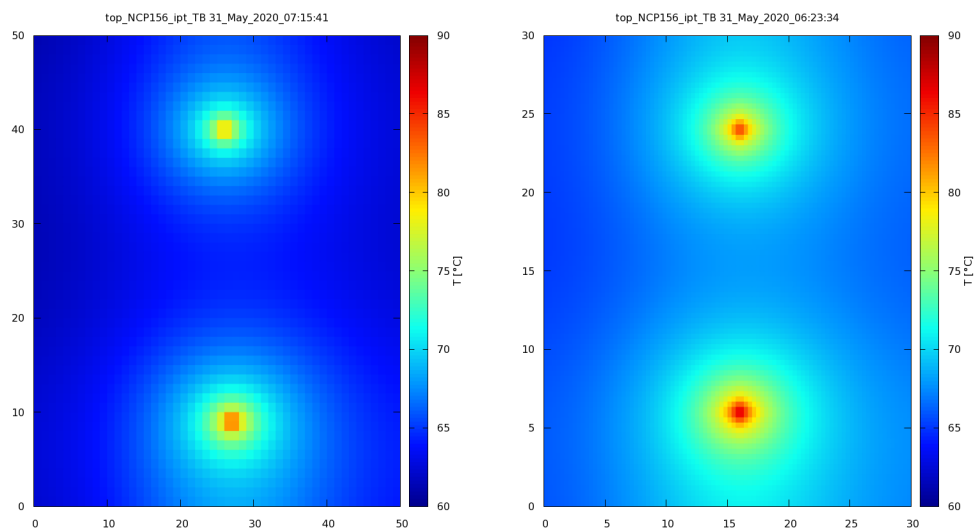
Interpolované grafy sice vypadají plynuleji než grafy, s vyšším rozlišením dat, ale je to na úkor přesnosti. Například si lze všimnout, že na interpolovaných grafech se zobrazují vyšší maximální teploty.



(a) S rozlišením 41x41.

(b) S rozlišením 31x31 a interpolací 2,2.

Obr. 2.12: Vygenerované grafy



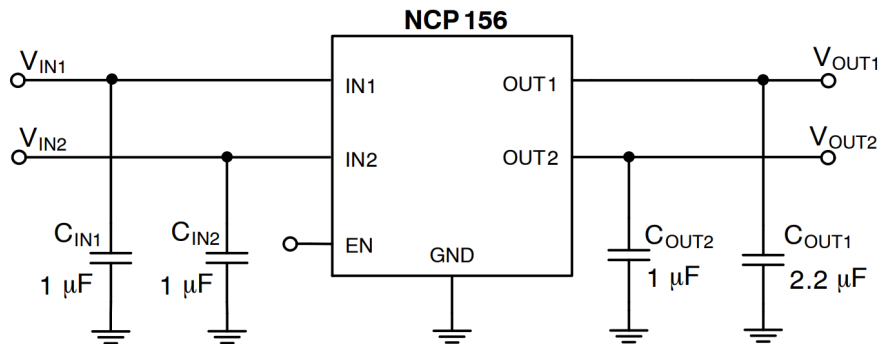
(a) S rozlišením 51x51.

(b) S rozlišením 31x31 a interpolací 3,3.

Obr. 2.13: Vygenerované grafy.

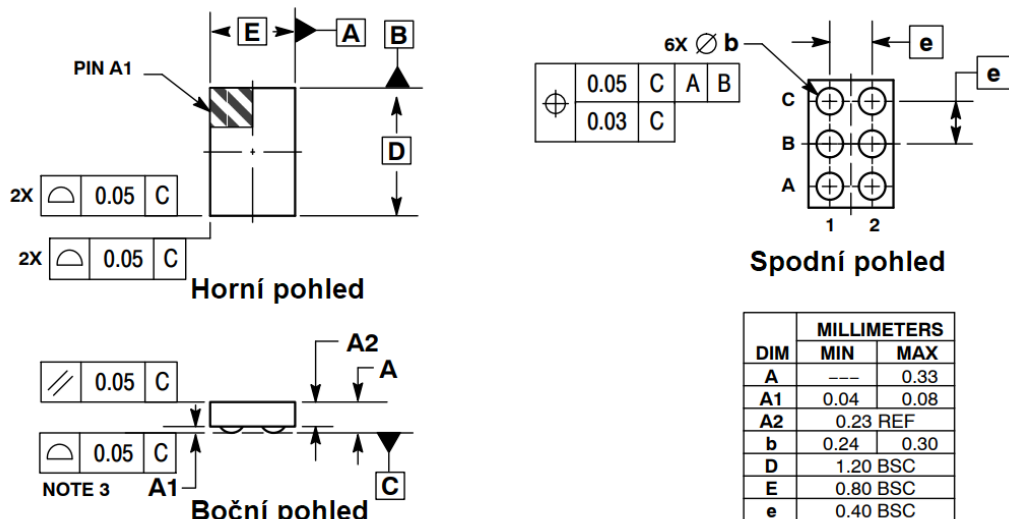
2.3 Testování metody na reálném designu

Pro testování na reálném designu byl vybrán obvod NCP156. Tento čip byl zvolen, jelikož byly dostupné výsledky jeho termální analýzy realizované současnou metodou v nástroji TCAD. Jedná se o lineární napěťový regulátor s duálním výstupem, optimalizovaný pro aplikace kamerových modulů. Na obr. 2.14 je zobrazeno typické zapojení tohoto obvodu.



Obr. 2.14: Typické zapojení NCP156. [15]

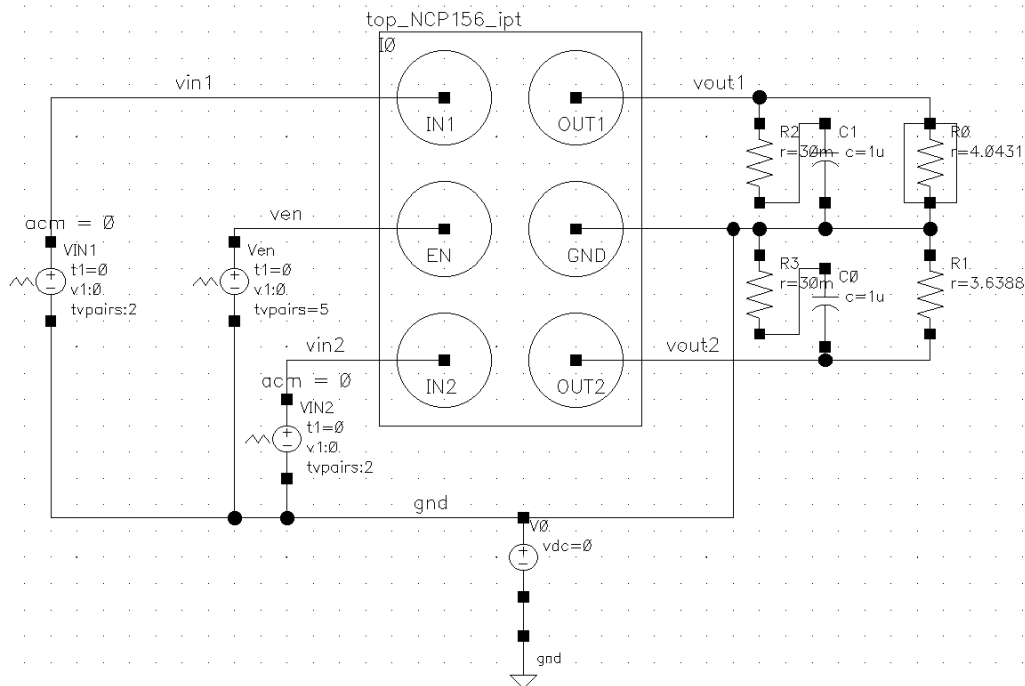
Tento obvod je zabalen v pouzdře WLCSP6, jehož rozměry můžeme vidět na obr. 2.15.



Obr. 2.15: Pouzdro WLCSP6 [15].

2.3.1 Nastavení simulace

Simulační zapojení je možno vidět na obr. 2.16. Na vstupy jsou připojeny pwl zdroje, kterými si nastavíme přesně jaké napětí se má v jaký čas objevit. Na výstupu jsou připojeny rezistory, kterými se nastaví výstupní proud.



Obr. 2.16: Simulační zapojení NCP156.

Konkrétní parametry jsou vypsány v tabulce 2.3. Parametry byly nastaveny podle simulace, která byla v minulosti realizována v nástroji TCAD.

Tab. 2.3: Parametry simulace.

Parametr	Hodnota
V_{in1}	3,679 V
V_{in2}	3,679 V
V_{en}	5 V
V_{out1}	1,820 V
V_{out2}	1,820 V
I_{out1}	450 mA
I_{out2}	500 mA

Výpočet zátěžových odporů:

$$R_0 = \frac{V_{out1}}{I_{out1}} = \frac{1,82}{450m} = 4,0431 \Omega, \quad (2.4)$$

$$R_1 = \frac{V_{out2}}{I_{out2}} = \frac{1,82}{500m} = 3,6388 \Omega. \quad (2.5)$$

Termální síť byla vygenerována s nastavením podle tab. 2.4. Použity byly obecné parametry materiálů. Pouzdro bylo považováno za polyimidové a metalová vrstva za hliníkovou.

Tab. 2.4: Nastavení formuláře pro generaci termální sítě.

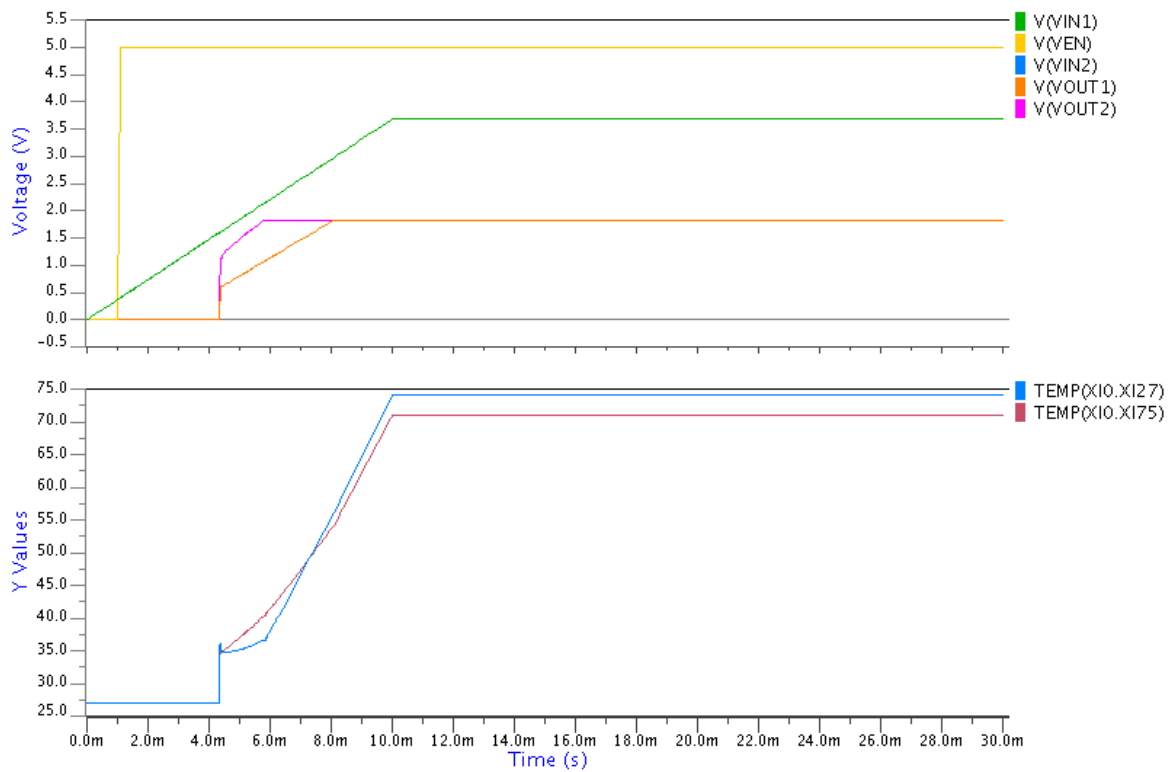
Textové pole	Popis
Slab number	51(DC) 31(Tran)
Silicon thermal conductivity	130 W/m*K
Package thermal conductivity	0.25 W/m*K
Metal thermal conductivity	250 W/m*K
Wafer height	190 μm
Package height	20 μm
Metal height	1 μm
Silicon thermal capacitance	703 J/kg*K
Package thermal capacitance	1090 J/kg*K
Metal thermal capacitance	896 J/kg*K
Active devices	"I16 I27 I28 I54 I75 I106"

2.3.2 Simulační výsledky

Nejprve byla provedena časová analýza (obr. 2.17).

Z grafu byly po ustálení odečteny teploty pro zařízení I75 (výstupní NMOS tranzistor) teplota 74,02 °C a pro zařízení I27 (výstupní PMOS tranzistor) teplota 70,96 °C. Tyto hodnoty téměř odpovídají hodnotám odečtených z grafu, který byl vygenerován pomocí současné metody termální simulace nástrojem TCAD (obr. 2.18b).

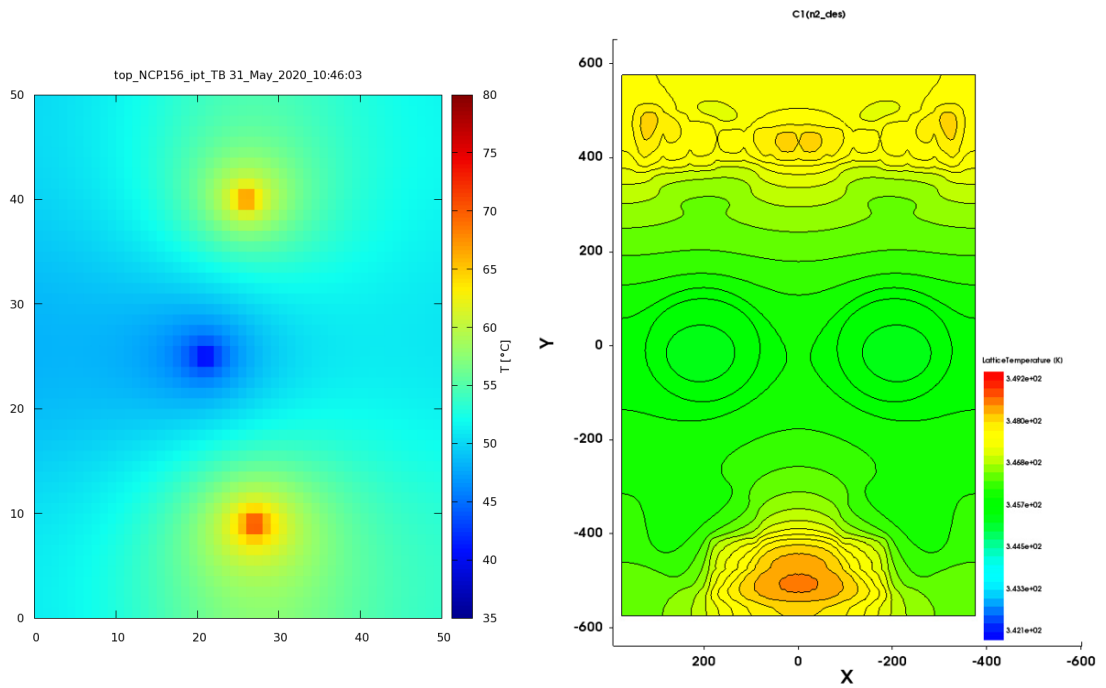
Pokud se však podíváme na grafy DC analýzy (termální mapy), vidíme, že rozptyl teplot se výrazně liší. Zatímco na původní termální mapě (obr. 2.18b) se teploty pohybují v rozmezí 70 °C až 75 °C, na nově vygenerované termální mapě (obr. 2.18a) je se teplota pohybuje v rozmezí 40 °C až 75 °C. Tento rozdíl v rozložení teploty může být způsoben rozdíly mezi modelovanými pouzdry a absence kovových kontaktů v nově navržené metodě, které by teplo po čipu více rozvedly. Další možnou příčinou



Obr. 2.17: Výsledek časové analýzy.

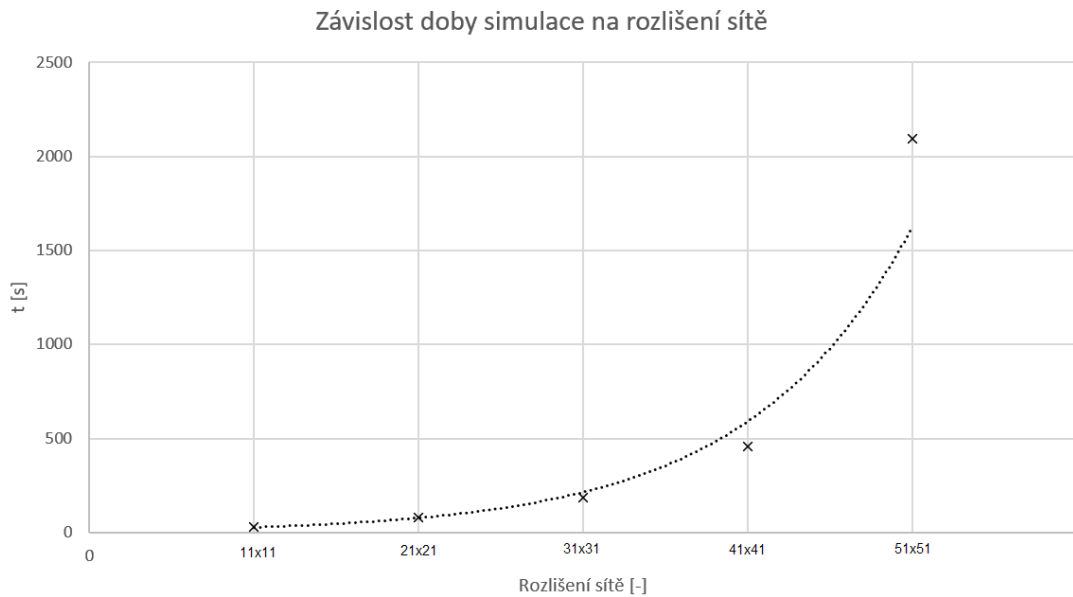
velkého teplotního rozptylu je koncentrace výkonu celých součástí do jediného bodu termální sítě u nově navržené metody.

Výhodou nově navržené metody je však menší časová náročnost pro menší rozlišení (viz obr. 2.19). Vygenerování termální sítě dohromady se simulací zabere jen zlomek času, co zabere modelování celého 3D modelu v nástroji TCAD. A pokud se soustředíme pouze na časovou analýzu určitých prvků, výsledky se jeví být přesné.



(a) Graf vygenerovaný navrženou metodou. (b) Graf vygenerovaný současnou metodou.

Obr. 2.18: Porovnání DC analýz.



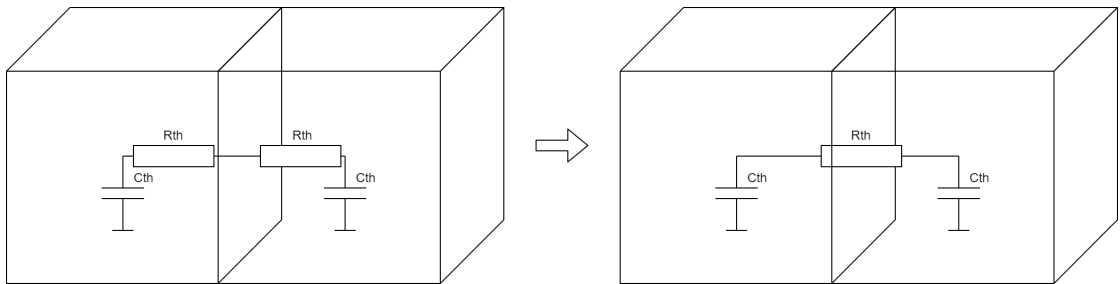
Obr. 2.19: Závislost doby DC simulace na rozlišení sítě.

2.4 Návrhy vylepšení metody

Při testování nově navržené metody pro elektro-termální simulace byly zjištěny určité nedostatky. Tato kapitola rozebírá možná vylepšení nové metody.

2.4.1 Doba simulace

Jak bylo vidět na obr. 2.19), doba simulace je velmi závislá na rozlišení termální sítě. Možnost, jak snížit dobu simulace při zachování stejného rozlišení sítě, by byla sloučit termální rezistory sousedících prvků tak, jak je zobrazeno na obr. 2.20. Tímto by se počet simulovaných termálních rezistorů snížil přibližně na polovinu (viz tab. 2.5).



Obr. 2.20: Možné vylepšení doby simulace.

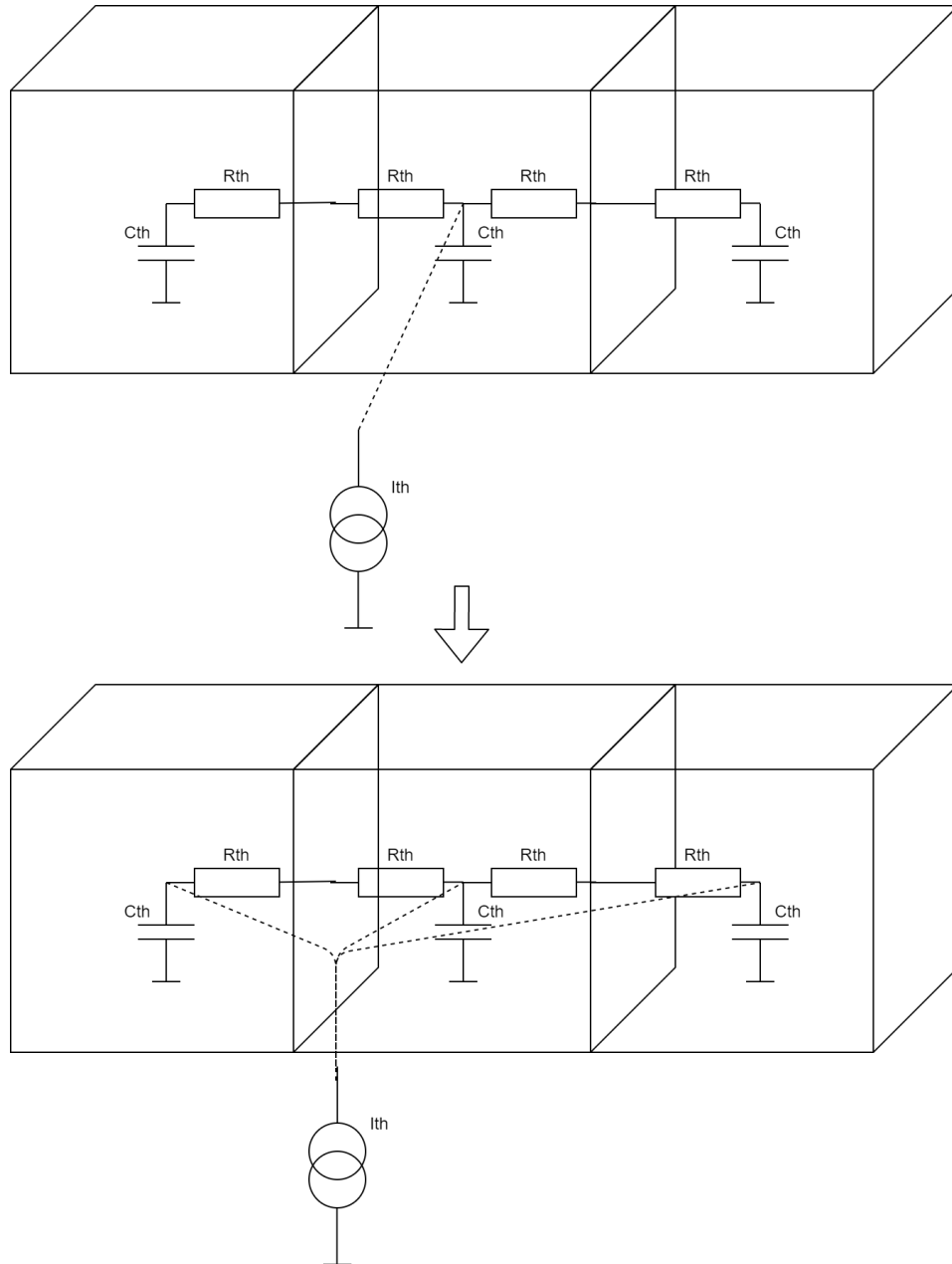
Tab. 2.5: Odhadovaný počet rezistorů před a po vylepšení.

Rozlišení čipu	Počet rezistorů	
	Před	Po
10x10	3192	1796
20x20	11112	6156
30x30	23832	13116
40x40	41352	22676
50x50	63672	34836
60x60	90792	49596
70x70	122712	66956
80x80	159432	86916
90x90	200952	109476
100x100	247272	134636

2.4.2 Rozložení výkonu

Jako jeden z možných důvodů většího teplotního rozptylu (obr. 2.18a) při DC analýze bylo určeno koncentrování výkonu celé součástky do jediného bodu termální

sítě, jelikož se termální piny součástek v navržené metodě připojují pouze do prvků ve kterém leží jejich střed. Tento přístup může být také problematický u součástek které mají nepravidelný tvar. Možným vylepšením by bylo rozložit tento výkon do více prvků ve kterých se součástka nachází (obr. 2.21).



Obr. 2.21: Možné vylepšení rozložení výkonu.

Závěr

Cílem této diplomové práce bylo navrhnout přístup k elektro-termální simulaci integrovaného obvodu, který bude jednoduše aplikovatelný do stávajícího návrhového flow procesu ONC25 firmy ON Semiconductor.

V teoretické části diplomové práce byly popsány základní termální jevy působící v elektrických obvodech, tepelné modely a způsoby jejich získání. Dále byly popsány nástroje pro elektro-termální simulace od firmy Cadence a Mentor a na jakém principu fungují. Nakonec byl popsán aktuální postup termálních simulací procesu ONC25. Ten je založen čistě na termální bázi a realizuje se za pomoci nástroje TCAD a je velmi časově náročný.

Pro praktickou část diplomové práce byl zvolen nástroj Eldo od firmy Mentor Graphics. Nejprve byla otestována konverze normálního modelu na model elektro-termální. Poté bylo ověřeno chování termálního pinu, který vznikl konverzí na elektro-termální model. Na základě informací z testování byla navržena metoda pro vytváření termální sítě, která simuluje rozvod tepla po čipu. Aby nebylo nutné tuto síť vytvářet ručně, byl vyvinut program v jazyce SKILL, který na základě layoutu a zadaných parametrů síť automaticky vygeneruje. Vygenerovanou síť bylo pak možno napojit na elektrický netlist. Také byl vyvinut skript, který převádí data z DC analýzy, uložena ve výstupním souboru, do přehledné termální mapy. Bylo také provedeno otestování navržené metody na reálném designu. Pro toto testování byl zvolen čip NCP156. Bohužel se pro tento čip nepodařilo získat hodnoty naměřené na vyrobeném čipu. Výsledky tak byly porovnávány s výsledky, které byly získány dříve realizovanou analýzou v nástroji TCAD. Výsledné teploty z časové analýzy se téměř shodovaly s teplotami získanými v nástroji TCAD. Termální mapa vygenerovaná z DC analýzy však ukázala větší rozptyl teplot, než bylo očekáváno. Toto mohlo být způsobeno absencí kovových kontaktů, které jsou v navržené metodě zanedbány. Další možnou příčinou mohla být koncentrace výkonů součástek do jediného bodu v termální síti. Na závěr bylo navrženo několik možných vylepšení metody generace termální sítě.

Literatura

- [1] BECHTOLD, Tamara, Evgenii B RUDNYI a Jan G KORVINK. *Dynamic electro-thermal simulation of microsystems—a review. Journal of Micromechanics and Microengineering* [online]. 2005, 15(11), R17-R31 [cit. 2019-12-09]. DOI: 10.1088/0960-1317/15/11/R01. ISSN 0960-1317. Dostupné z URL: <<http://stacks.iop.org/0960-1317/15/i=11/a=R01?key=crossref.82f5a5f10f09a2b87ee893278e8a1c40/>>.
- [2] VASILESKA, Dragica a Katerina RALEVA. *Special issue: electrothermal and thermoelectric modeling of nanoscale devices. Journal of Computational Electronics* [online]. 2016, 15(1), 1-2 [cit. 2019-12-09]. DOI: 10.1007/s10825-016-0796-3. ISSN 1569-8025. Dostupné z URL: <<http://link.springer.com/10.1007/s10825-016-0796-3>>.
- [3] SANG-SOO LEE a D.J. ALLSTOT. *Electrothermal simulation of integrated circuits. IEEE Journal of Solid-State Circuits* [online]. 28(12), 1283-1293 [cit. 2019-12-09]. DOI: 10.1109/4.262001. ISSN 00189200. Dostupné z URL: <<http://ieeexplore.ieee.org/document/262001/>>.
- [4] SABRY, M.-N. *Static and dynamic thermal modeling of ICs. Microelectronics Journal* [online]. 1999, 30(11), 1085-1091 [cit. 2019-12-09]. DOI: 10.1016/S0026-2692(99)00069-5. ISSN 00262692. Dostupné z URL: <<https://linkinghub.elsevier.com/retrieve/pii/S0026269299000695>>.
- [5] WUNSCHÉ, S., C. CLAUSS, P. SCHWARZ a F. WINKLER. *Electro-thermal circuit simulation using simulator coupling. IEEE Transactions on Very Large Scale Integration (VLSI) Systems* [online]. 1997, 5(3), 277-282 [cit. 2019-12-10]. DOI: 10.1109/92.609870. ISSN 1063-8210. Dostupné z URL: <<http://ieeexplore.ieee.org/document/609870/>>.
- [6] Maerz, Martin & Nance, Paul. (2000). *Thermal Modeling of Power Electronic Systems*. PCIM Europe Mag. 2.
- [7] *Electrothermal. Cadence: Legato Reliability Solution* [online]. 2019 [cit. 2019-12-12]. Dostupné z URL: <https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/custom-ic-analog-rf-flows/legato-reliability-solution/electro-thermal.html>.

- [8] *ONC25: 0.25 μm Process Technology*. ON Semiconductor [online]. Semiconductor Components Industries, 2017, 2017 [cit. 2019-12-12]. Dostupné z URL: <<https://www.onsemi.com/pub/Collateral/ONC25-D.PDF>>.
- [9] *Electro-thermal Verification for Automotive Smart FET Drivers*. Mentor [online]. 2017 [cit. 2019-12-12]. Dostupné z URL: https://www.mentor.com/products/ic_nanometer_design/resources/overview/electro-thermal-verification-for-automotive-smart-fet-drivers-6bd53733-6121-4124-b286-2121519fc856.
- [10] *Eldo Platform*. Mentor [online]. [cit. 2019-12-12]. Dostupné z URL: <https://www.mentor.com/products/ic_nanometer_design/analog-mixed-signal-verification/eldo-platform>.
- [11] Zdenko Valent - ústní sdělení (Staff Process Engineer ve společnosti ON Semiconductor, 1. máje 2634, Rožnov pod Radhoštěm) dne 10. prosince 2019.
- [12] *Legato Reliability Solution*. Product Version ICADVM18.1. Cadence, 2019.
- [13] *Electro-thermal Verification for Automotive Smart FET Drivers*. Mentor [online]. [cit. 2019-12-12]. Dostupné z URL: <https://www.mentor.com/tannereda/multimedia/overview/electro-thermal-verification-for-automotive-smart-fet-drivers-6bd53733-6121-4124-b286-2121519fc856>.
- [14] TRIGKIDIS, G., A. BOUSBAINÉ a R. THORN. *Thermal Modelling of IGBT Devices. Proceedings of the 41st International Universities Power Engineering Conference*. IEEE, 2006, 2006, , 584-588. DOI: 10.1109/UPEC.2006.367545. ISBN 978-186135-342-9. Dostupné z URL: <<http://ieeexplore.ieee.org/document/4218752/>>.
- [15] Semiconductor Components Industries, LLC [online katalogový list]. NCP156. ©2019 [cit. 28.5.2020]. Dostupné z URL: <<https://www.onsemi.com/pub/Collateral/NCP156-D.PDF>>.
- [16] SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC. *ONC25: 0.25 μm Process Technology* [online]. [cit. 2020-05]. Dostupné z URL: <<https://www.onsemi.com/products/product-taxonomy/custom-foundry-services/onc25-process-technology>>.

Seznam zkratek

BCD	bipolární CMOS DMOS – Bipolar CMOS DMOS
BJT	bipolární tranzistor – Bipolar Junction Transistor
CMOS	komplementární kov oxid polovodič – Complementary Metal Oxide Semiconductor
DMOS	dvojitá difuze kov oxid polovodič – Double Diffused Metal Oxide Semiconductor
DSPF	podrobný standardní parazitní formát – Detailed Standard Parasitic Format
PDK	procesní návrhová sada – Process Design Kit
LDO	nízký pokles napětí – Low-Dropout