

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

VESTAVĚNÉ ZAŘÍZENÍ NA BÁZI ATMEL ARM

DIPLOMOVÁ PRÁCE

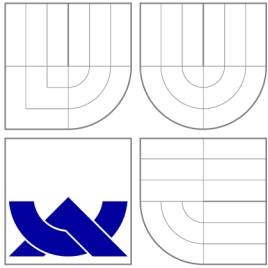
MASTER'S THESIS

AUTOR PRÁCE

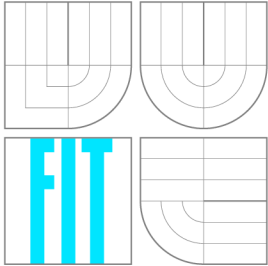
AUTHOR

Bc. JAKUB ORAVEC

BRNO 2010



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

VESTAVĚNÉ ZAŘÍZENÍ NA BÁZI ATMEL ARM

EMBEDDED SYSTEM BASED ON ATMEL ARM

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. JAKUB ORAVEC

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. VÁCLAV ŠIMEK

BRNO 2010

Abstrakt

Tato diplomová práce se zabývá návrhem jednoduchého vestavěného zařízení s využitím procesoru Atmel ARM. V první části jsou přiblíženy produkty společnosti Atmel v tomto segmentu trhu, které zahrnují popis několika zástupců. Druhá část je zaměřena na specifikaci cílů, výběr komponentů, jejich vzájemné propojení, požadavky na napájení, cenové aspekty a samotný návrh. V další kapitole je popsáno testování a použití platformy. Závěr prezentuje aktuální stav projektu a zabývá se dalším postupem prací.

Abstract

This master's thesis deals with design of simple embedded system based on Atmel ARM. There are Atmel's products covering this market segment reviewed in the first part, including the description of a couple of devices. The second part is focused on the aim specification, selection of components, their interconnection, power-supply requirements, price considerations and the design itself. The next chapter describes testing and application of the platform. The conclusion presents the current state of the project and deals with the successive progress.

Klíčové slová

Atmel ARM, vestavěné zařízení, AT91RM9200, FPGA, Spartan-3AN

Keywords

Atmel ARM, embedded system, AT91RM9200, FPGA, Spartan-3AN

Citácia

Jakub Oravec: Vestavěné zařízení na bázi Atmel ARM, diplomová práce, Brno, FIT VUT v Brně, 2010

Vestavěné zařízení na bázi Atmel ARM

Prehlásenie

Prehlasujem, že som túto diplomovú prácu vypracoval samostatne pod vedením pána Ing. Václava Šimeka. Uviedol som všetky literárne pramene a publikácie, z ktorých som čerpal.

.....
Jakub Oravec
24. mája 2010

PodĎakovanie

Touto cestou chcem poďakovať vedúcemu tejto práce Ing. Václavovi Šimekovi za odborné vedenie a pomoc, ďalej Fakulte informačných technológií VUT za umožnenie realizácie takejto práce a nákup materiálu. V neposlednom rade ďakujem mojej snúbenici Veronike za pomoc pri kontrole návrhu.

© Jakub Oravec, 2010.

Táto práca vznikla ako školské dielo na Vysokom učení technickom v Brne, Fakulte informačných technológií. Práca je chránená autorským zákonom a jej použitie bez udelenia oprávnenia autorom je nezákonné, s výnimkou zákonom definovaných prípadov.

Obsah

1	Úvod	3
2	Atmel ARM	4
2.1	Mikrokontroléry ARM firmy Atmel	4
2.1.1	Inštrukčná sada	5
2.2	Príklady mikrokontrolérov	6
2.3	Softvérová podpora Atmel ARM	8
2.3.1	SAM-BA TM	9
2.3.2	YAGARTO	9
2.3.3	GNUARM	10
2.3.4	WinARM	10
2.3.5	Sourcery G++ Lite	10
2.4	Podobné zariadenia na trhu	10
3	Návrh platformy	12
3.1	Ciele a požiadavky	12
3.2	Voľba komponentov	13
3.2.1	Mikrokontrolér	13
3.2.2	FPGA	14
3.2.3	Pamäť SDRAM	15
3.2.4	Pamäť Flash	15
3.2.5	Fyzická vrstva pre Ethernet	16
3.2.6	Grafický výstup	16
3.2.7	Cenová rozvaha	16
3.3	Zdroje hodinových signálov	17
3.4	Požiadavky na napájanie	17
3.5	Blokové schéma	18
3.6	Mechanické prevedenie	20
3.6.1	Dosky plošných spojov	21
3.7	Návrh zapojenia modulu s MCU	21
3.7.1	Pamäte	21
3.7.2	Rozhrania	23
3.7.3	Externá zbernica	25
3.7.4	Vývody na všeobecné použitie	25
3.7.5	Podporné obvody	26
3.8	Návrh zapojenia modulu s FPGA	29
3.8.1	Pamäte	29

3.8.2	Rozhrania	29
3.8.3	Vývody na všeobecné použitie	31
3.8.4	Podporné obvody	32
4	Použitie platformy	34
4.1	Vlastnosti a parametre	34
4.1.1	Adresový priestor MCU	35
4.1.2	Rozhrania použiteľné pre komunikáciu medzi modulmi	37
4.1.3	Rozšírenie možností vzájomného prepojenia modulov	37
4.2	Možnosti zavedenia operačného systému	38
4.2.1	Vstavaný zavádzač	38
4.2.2	Zavedenie programu z paralelnej Flash	39
4.2.3	Zápis programu do pamätí	40
4.3	Konfigurácia mikrokontroléra	41
4.3.1	Konfigurácia hodinových signálov	42
4.3.2	Konfigurácia radiča SDRAM	44
4.4	Testovanie	45
4.4.1	Príprava prostredia pre vývoj aplikácií	46
4.4.2	Priebeh testovania	47
4.4.3	Príprava zavádzača U-Boot	48
4.4.4	Príprava jadra systému Linux	49
5	Záver	50
A	Schéma zapojenia MCU modulu	55
B	Schéma zapojenia FPGA modulu	67
C	Fotodokumentácia	77

Kapitola 1

Úvod

Človek sa denno-denne stretáva s počítačmi v najrôznejších podobách, často bez toho, aby si vôbec uvedomil, že ide o počítač. Keď vezme do ruky telefón, alebo sleduje televízny program, prichádza do styku s určitou formou vstavaného počítača, ktorý sa mu takpovediac snaží spríjemniť, alebo uľahčiť život. V nezanedbateľnej časti týchto zariadení je použitý jeden, alebo dokonca viac procesorov ARM ([24]).

32-bitové procesory ARM začali písať svoju históriu medzi rokmi 1983 a 1985, keď bola výskumníkmi z Acorn Computers navrhnutá ich prvá architektúra. Samotná skratka ARM v tej dobe znamenala „Acorn RISC Machine“. Po vyše piatich rokoch bola založená nová spoločnosť Advanced RISC Machines Ltd, ktorá prebrala vývoj a zainteresovaných ľudí a aj význam skratky sa zmenil na „Advanced RISC Machine“ (viď [37]). Odvtedy táto architektúra prešla mnohými vylepšeniami a mohutným rozmachom najmä v oblasti mobilných zariadení. V [24] sa tvrdí, že v roku 2006 používalo 98 % všetkých mobilných telefónov aspoň jeden procesor založený na ARM.

Táto práca sa zaoberá návrhom jednoduchého vstavaného zariadenia vybudovaného okolo 32-bitového mikrokontroléra firmy Atmel využívajúceho jadro na báze ARM. Toto zariadenie je určené pre vzdelávacie účely ako výkonnejšia alternatíva k platforme FitKit. V prvej časti je čitateľ zbežne zoznámený s produktami firmy Atmel v oblasti mikrokontrolérov ARM, vrátane niekoľkých príkladov konkrétnych typov. V ďalšej časti možno nájsť analýzu a samotný návrh systému postaveného na danej architektúre. V závere práce je uvedený stručný popis vybavenia potrebného pre prácu s modulom a jeho základné otestovanie.

„When we decided to do a microprocessor on our own, I made two great decisions – I gave them two things which National, Intel and Motorola had never given their design teams: the first was no money; the second was no people. The only way they could do it was to keep it really simple.“

*Hermann Hauser
spoluzakladateľ Acorn Computers*

Kapitola 2

Atmel ARM

V tejto kapitole budú popísané mikrokontroléry Atmel využívajúce vo svojom jadre procesor ARM. Taktiež budú prezentované softvérové nástroje používané pre vývoj aplikácií na týchto platformách.

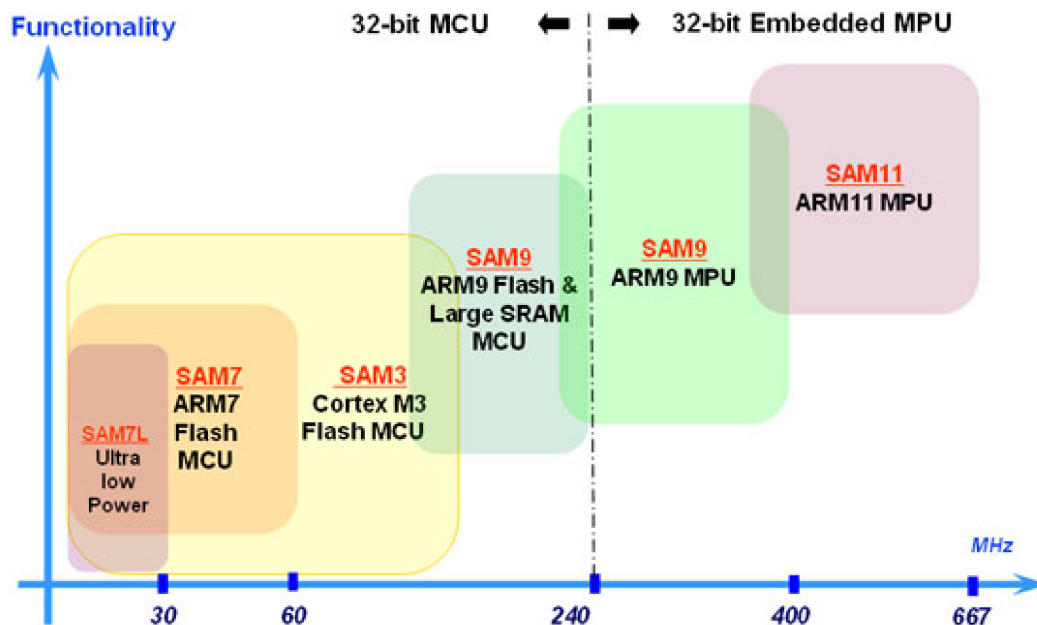
2.1 Mikrokontroléry ARM firmy Atmel

V dokumente [28] z roku 2008 možno nájsť prehľadný prierez portfóliom mikrokontrolérov firmy Atmel postavených na architektúre ARM a ich nadväznosť na 32 bitové mikrokontroléry AVR. Tento dokument ešte neobsahuje informácie o čípoch z rady SAM11, ktoré boli v čase vydania dokumentu v štádiu prípravy. Stránky výrobcu [14] sú menej názorné, každopádne tu možno nájsť aktuálne informácie.

Celá rodina mikrokontrolérov ARM firmy Atmel je označovaná ako AT91SAM. Označenie SAM je skratka od *Smart ARM-based Microcontrollers*. Táto rodina obsahuje niekoľko radov zariadení vystavaných okolo nasledovných mikroprocesorov (viď [28] a [14]):

- **ARM7TDMI** je 32-bitový vstavaný RISC procesor optimalizovaný na výkon, spotrebu a malé rozmery a je používaný v rade kontrolérov SAM7. Má *Von Neumannovskú architektúru s trojstupňovou reťazenou inštrukčnou linkou*. Používa dve inštrukčné sady – sadu Thumb s 16-bitovým inštrukčným slovom a sadu ARM s 32-bitovým inštrukčným slovom. Obsahuje 37 32-bitových registrov, 32 bitovú ALU a barrel-shifter. Poskytuje výkon 0.9 MIPS na 1 MHz taktovacej frekvencie a 4 GB adresového priestoru. Viac informácií možno nájsť v [8].
- **ARM920T** predstavuje 32-bitový ARM procesor používajúci jadro ARM9TDMI určený pre vysokovýkonné aplikácie a periférie, ktoré potrebujú častú obsluhu od operačného systému. Aktuálne je použitý v jednom mikrokontrolére radu SAM9. Oproti ARM7TDMI má päťstupňovú reťazenú linku, MMU s podporou operačných systémov ako Symbian, Windows CE, Linux, a Palm OS. Taktiež pribudla inštrukčná a dátová cache (16K/16K) (prechod na Harvardskú architektúru). Výkon bol zvýšený na 1,1 MIPS na každý 1 MHz. Viac informácií možno nájsť v [9].
- **ARM926EJ-S** pridáva k ARM920T DSP inštrukcie potrebné pri real-time spracovaní signálov a tiež technológiu *Jazzele* pre akceleráciu spracovania bytekódu Javy. Ďalej oproti ARM920T pribudla ICE-RT logika pre real-time ladenie. Tiež je použitý v niektorých mikrokontroléroch rady SAM9. Viac informácií možno nájsť v [10].

- **Cortex-M3** je procesor schopný pracovať na frekvenciách do 96 MHz. Používa inštrukčnú sadu ARM Thumb2. Mikrokontroléry SAM3 obsahujúce tento procesor v jadre boli v čase písania tejto práce v štádiu vzorkovej výroby a sú celené ako výkonnejšie náhrady za MCU rady SAM7 – viď obrázok 2.1. Viac informácií možno nájsť v [11].



Obrázok 2.1: Rady mikrokontrolérov Atmel ARM rodiny AT91SAM. Obrázok bol prevzatý z [13]

2.1.1 Inštrukčná sada

Tlak na cenu, výkon a spotrebu vstavaných zariadení používajúcich procesory ARM viedol ku niekoľkým vylepšeniam inštrukčnej sady ARM s cieľom zvýšiť výslednú hustotu kódu pri zachovaní výkonnostných parametrov. Stručný prierez inštrukčnými sadami a ich vylepšeniami možno nájsť v [2].

Výrazným míľnikom vo vývine inštrukčnej sady ako celku, bolo zavedenie rozšírenia Thumb v architektúre ARMv4T (znak T v označeniach architektúr označuje použitie rozšírenia Thumb). Ide o 16-bitové inštrukcie pokrývajúce veľkú časť najpoužívanejších 32-bitových ARM inštrukcií. V priebehu vykonávania programu sú tieto krátke inštrukcie procesorom dekódované na 32-bitové ARM inštrukcie. Hoci sú 16-bitové Thumb inštrukcie spracovávané rovnako rýchlo ako dlhé ARM inštrukcie, pre vytvorenie rovnakej funkčnosti je týchto inštrukcií potrebných viac. Vo výsledku je hustota kódu vyššia približne o 30 %, ale za cenu mierne zníženej výkonnosti (viď [29]). Vhodnou kombináciou použitia týchto dvoch druhov inštrukcií možno dosiahnuť požadovaný pomer cena/výkon.

V snahe vylepšiť výkonnosť kódu pozostávajúceho z Thumb inštrukcií a odbúrať tak nutnosť kombinovať ich s dlhými ARM inštrukciami bola zavedená technológia Thumb2. Výsledná sada pozostáva z 16-bitových inštrukcií Thumb rozšírených o

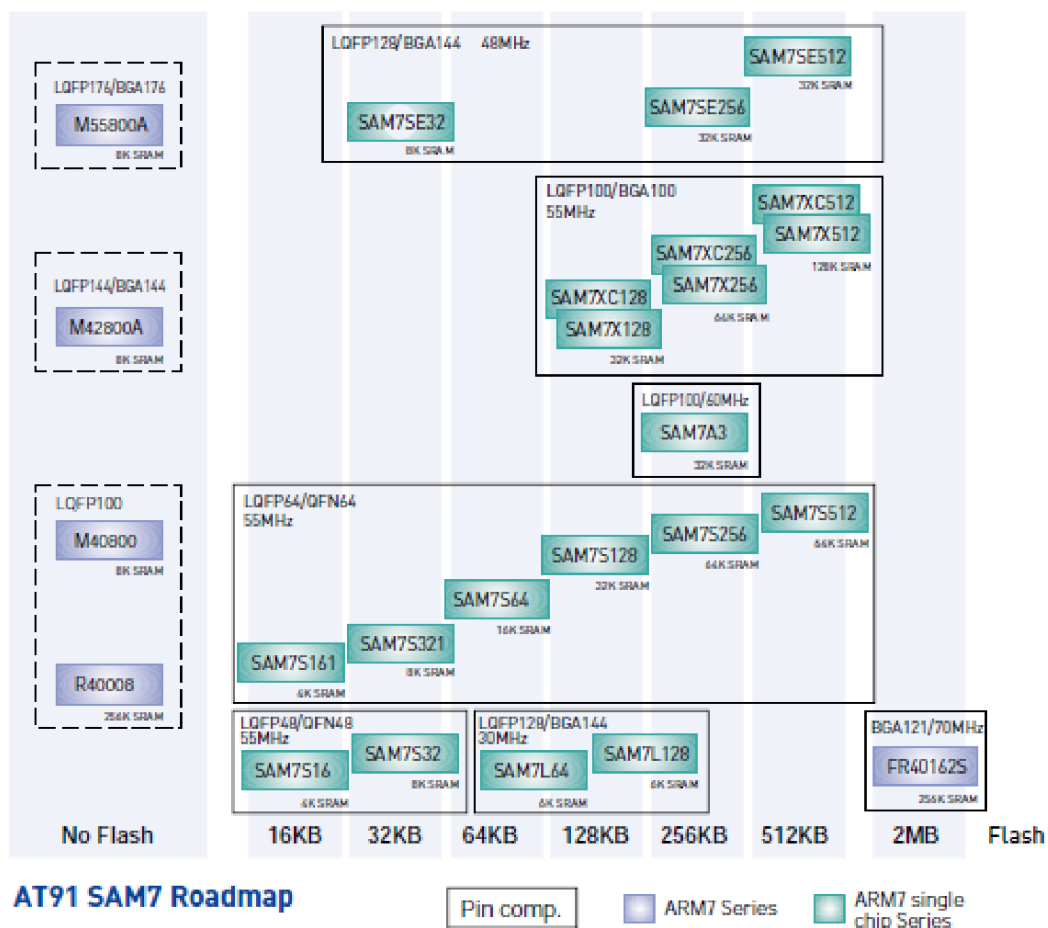
- nové 16-bitové Thumb inštrukcie pre zlepšenie riadenia toku programu;

- nové 32-bitové Thumb inštrukcie odvodené z ekvivalentov na strane ARM sady.

Zároveň bola 32-bitová inštrukčná sada ARM rozšírená o nové inštrukcie pre prácu s dátami. Vo výsledku táto koncepcia priniesla zmenšenie výsledného kódu na 74 % a pokles výkonu na 98 % oproti kódu používajúcemu len pôvodné inštrukcie ARM. V porovnaní s kódom používajúcim aj inštrukcie Thumb, je kód v Thumb2 o 5 % menší a o 2-3 % rýchlejší. Viac detailov a ukážok možno nájsť v [29].

2.2 Príklady mikrokontrolérov

Keďže nie je účelom tejto práce vyčerpávajúco popísať množstvo typov kontrolérov Atmel ARM, budú pre hrubé načrtnutie portfólia uvedené príklady niekoľkých zaujímavých zástupcov. Na obrázkoch 2.2 a 2.3 sú zobrazené niektoré typy mikrokontrolérov podľa pinovej kompatibility a kapacity pamäti SRAM a Flash.



Obrázok 2.2: Typy mikrokontrolérov Atmel ARM radu AT91SAM7. Ohraničené oblasti obrázku predstavujú pinovo kompatibilné skupiny mikrokontrolérov. Obrázok bol prevzatý z [28].

Ako zástupcu mikrokontrolérov osadených procesorom ARM7TDMI spomenieme typ AT91SAM7X256, za procesor ARM926EJ-S to bude typ AT91SAM9263 a za nové mikro-

kontroléry s procesorom Cortex-M3 v jadre bude predstavený typ SAM3U4E. Toho času jediný zástupca s procesorom 920T – typ AT91RM9200 – bude prezentovaný neskôr.

AT91SAM7X256

V [16] možno nájsť popis mikrokontroléra pre všeobecné použitie AT91SAM7X256. Je vhodný pre nasadenie v real-time aplikáciách požadujúcich USB, Ethernet a/alebo CAN konektivitu. Najvyššia frekvencia hodín je 55 MHz, napájacie napätie jadra je 1,8 V a vstupno-výstupných portov 1,8 V alebo 3,3 V. Tieto porty sú 5 V-tolerantné. Čip obsahuje aj napäťový regulátor, preto postačuje poskytnúť jediné napájacie napätie 3,3 V. Mikrokontrolér ďalej, okrem iného, obsahuje nasledujúce periférie:

- USB 2.0 FS device port
- Ethernet MAC 10/100 base T
- radič podľa CAN 2.0A resp. 2.0B
- USART, SPI, SSC, TWI a 8-kanálový 10-bitový ADC

Mikrokontrolér má integrovaný tzv. Boot Assistant (SAM-BATM – viď časť 2.3.1) pre jednoduché in-system programovanie vstavanej pamäte Flash s kapacitou 256 KB. Tento typ ďalej disponuje s 64 KB pamäte SRAM. Na trhu sú dostupné aj verzie s 128 KB, resp. 512 KB pamäte Flash a 32 KB, resp. 128 KB s označením AT91SAM7X128, resp. AT91SAM7X512. Tieto typy sú vzájomne pinovo kompatibilné (viď obrázok 2.2). Vyrábajú sa aj varianty s podporou kryptografie v zabudovanom 128 alebo 256-bitovom AES jadre. Tieto sú odlišené znakom „C“ nasledujúcim po znaku „X“ v typovom označení. Všetky spomínané varianty sú vyhotovené v 100-pinových puzdrách typu TFPGA alebo LQFP.

AT91SAM9263

Mikrokontrolér AT91SAM9263 je osadený procesorom ARM926EJ-S s výkonom 220 MIPS pri taktovacej frekvencii 200 MHz. Popis je možné nájsť na stránkach výrobcu [17]. Tento čip je výkonovo a osadenými perifériami cielený na použitie v zariadeniach obsahujúcich náročnejšie užívateľské rozhrania a podporuje systémy Linux a Windows CE. Za všetky periférie možno spomenúť tieto:

- USB 2.0 FS device port
- 2x USB 2.0 FS host port
- Ethernet MAC 10/100 base T
- radič podľa CAN 2.0A resp. 2.0B
- radič TFT/STN LCD (v režime TFT až 16 miliónov farieb a rozlíšenie až 2048x2048)
- 6 kanálové audio rozhranie (AC97)
- rozhranie pre obrazový senzor
- USART, SPI (50Mbps), TWI, CompactFlash, SDCard a MultiMediaCard rozhranie

Ďalej sú k dispozícii dve rozhrania externej zbernice – jedno pre pripojenie externých pamätí a jedno pre pripojenie zariadení užívateľských rozhraní. Čip sa dodáva v puzdre TFBGA324.

SAM3U4E

Podľa [18] je mikrokontrolér SAM3U4E založený na procesore ARM Cortex M3 s maximálnou taktovacou frekvenciou 96 MHz. Má zabudovanú pamäť Flash s kapacitou 256 KB a pamäť SRAM s kapacitou 52 KB. Je navrhnutý pre aplikácie požadujúce vysoké dátové priepustnosti, hlavne pre realizáciu periférií pripájaných k PC pomocou USB – rôzne dátové záznamníky, čítačky pamäťových kariet a pod.

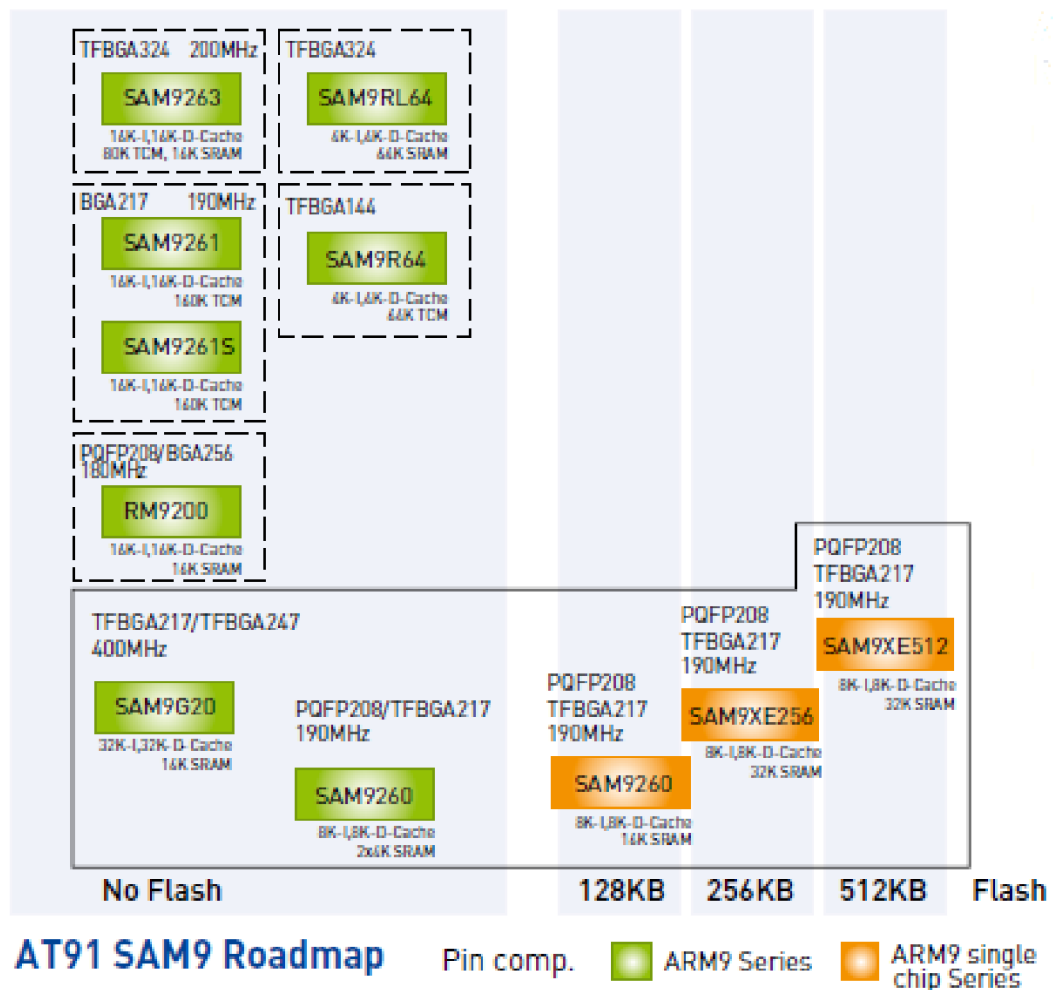
- USB 2.0 High speed (480 Mbps) device port,
- radič podľa CAN 2.0A resp. 2.0B,
- USART, SPI, SSC, 2x TWI,
- 8-kanálový 12-bitový ADC (1 Msps),
- 8-kanálový 10-bitový ADC,
- rozhranie externej zbernice,
- možnosť pripojiť SD alebo MMC pamäťovú kartu.

Čip sa dodáva v 100 alebo 144 pinových puzdrách LFBGA alebo LQFP.

2.3 Softvérová podpora Atmel ARM

Pri voľbe platformy pre nové zariadenie sú dostupnosť a kvalita vývojových nástrojov kritériami, ktoré majú značnú prioritu. Na vývoj pre ARM možno použiť komerčné vývojové riešenia ako IAR EWARM alebo ARM RealView, ktoré obsahujú ako vývojové prostredie, tak aj prekladač a ladiace nástroje. Druhý menovaný je k dispozícii aj vo verzii pre OS Linux. Z pohľadu tejto práce sú zaujímavejšie voľne dostupné prostriedky. V [3] sú popísané vývojové nástroje pre mikrokontroléry AT91 ako alternatíva k spomínaným komerčným riešeniam IAR EWARM, resp. ARM RealView. Prezentuje sa tu vývojové prostredie pozostávajúce z nasledovných nástrojov:

- Atmel SAM-ICE JTAG emulátor;
- SAM-BATM umožňujúci programovať pamäte mikrokontrolérov rodiny AT91;
- EclipseTM open-source integrované vývojové prostredie;
- YAGARTO (Yet Another GNU ARM Toolchain) – obsahuje okrem iného aj C/C++ kompilátor, assembler, linker a debugger;
- Make – možno získať napríklad z projektu *GnuWin32*;
- GDB Server pre vzdialené pripojenie GNU GDB debuggera k ARM mikrokontroléru pomocou J-Link sondy. Tento server sa dodáva spolu s SAM-ICE emulátorom (viď [15]).



Obrázok 2.3: Typy mikrokontrolérov Atmel ARM rodiny AT91SAM9. Ohraničené oblasti obrázku predstavujú pinovo kompatibilné skupiny mikrokontrolérov. Obrázok prevzatý z [28]

2.3.1 SAM-BA™

SAM Boot Assistant (skrátene SAM-BA) je softvér umožňujúci jednoduché programovanie zariadení z rodiny AT91SAM prostredníctvom JTAG, RS232 alebo USB (viď [6]). Aplikácia na strane počítača má grafické užívateľské rozhranie, dovoľuje však aj spustenie z príkazového riadka, čo umožňuje dávkové spracovanie. Ďalej poskytuje možnosť tvorby skriptov a prehliadania obsahu pamäti pripojeného zariadenia. Táto aplikácia je voľne k dispozícii na stránkach firmy Atmel Corporation. Na strane zariadenia (mikrokontroléra) potom asistent používa vyhradenú pamäť ROM obsahujúcu program slúžiaci na komunikáciu s aplikáciou na strane počítača.

2.3.2 YAGARTO

Projekt YAGARTO pozostáva z troch balíkov prekladaných na platforme MinGW:

- JTAG debugger s rozhraním J-Link GDB Server alebo Open On-Chip Debugger (Ope-

nOCD);

- Binutils, Newlib, GCC kompilátor a Insight debugger;
- Eclipse Platform Runtime Binary, Eclipse CDT a CDT plugin pre GDB;

Tieto nástroje je možné získať na stránkach [21].

2.3.3 GNUARM

Na stránkach [23] možno nájsť toolchain obsahujúci GNU binutils, kompilátory pre C a C++ a tiež Insight debugger. GNUARM toolchain je prekladaný na platforme Cygwin.

2.3.4 WinARM

WinArm je zaujímavým projektom, hoci staršieho dáta – posledná verzia pochádza z polovice roka 2006. Na rozdiel od predchádzajúcich nie je závislý ani na platforme MinGW ani na Cygwin. Všetky potrebné nástroje sú obsiahnuté v distribučnom balíku. Obsahuje C/C++ kompilátor, GNU-Binutils, Newlib verize 1.14.0, množstvo ukázkových aplikácií, Programmers Notepad pre úpravu zdrojových textov, taktiež Insight-GDB a OpenOCD debugger. Viac podrobností a dokumentácia sú na stránkach [34].

2.3.5 Sourcery G++ Lite

Na stránkach [20] možno nájsť informácie o sade nástrojov pre ARM procesory. Je k dispozícii v rôznych verziách. Najnižšiu z nich – Lite – je možné stiahnuť zadarmo spolu s dokumentáciou. Balík obsahuje prekladače jazykov C a C++, taktiež assembler, linker a knižnice potrebné pre vývoj aplikácií.

2.4 Podobné zariadenia na trhu

Na trhu možno zakúpiť množstvo typov a modelov jednodoskových počítačov (SBC – single board computer) pre realizáciu vstavaných zariadení. Za všetky možno spomenúť napríklad stránky Micro/sys [25], kde sú ponúkané pomerne výkonné zariadenia vystavané okolo procesorov výrobcov Intel a Freescale. Model SBC1651 dosahuje taktovacie frekvencie procesora až 800 MHz a umožňuje inštalovať až 512 MB pamäte RAM.

V ponuke Technologic Systems na stránkach [30] možno nájsť množstvo jednodoskových počítačov vystavaných okolo ARM procesorov. Zariadeniu navrhovanému v rámci tejto práce sú asi najviac podobné typy rodiny TS-73xx obsahujúce procesor ARM9 taktovaný na 200 MHz, pamäť v rozsahu 32 až 128 MB, slot pre SD pamäťovú kartu a niektoré modely dokonca VGA výstup, prípadne dotykový panel.

Nasledujúci prehľad uvádza zoznam vlastností modulu TS-7300:

- 200MHz ARM9 CPU,
- PC/104 rozširujúca zbernica,
- 32MB SDRAM (možno až 64-128MB),
- užívateľsky programovateľné CycloneII FPGA,
- 2 10/100 Ethernet porty,

- 2x USB 2.0 (12Mbit/s max),
- 2 SD Card sloty,
- 10 RS232 portov,
- 55 digitálnych IO liniek,
- VGA výstup + 8MB RAM 800x600,
- podpora maticovej klávesnice a alfanumerického LCD,
- možnosť pripojiť teplotné čidlo, RTC a WiFi modul,
- prevádzka bez ventilátora v rozsahu teplôt od -40°C do +70°C, +85°C pri 166MHz,
- zavedenie Linuxu do príkazového riadka za 1,69 sekundy,
- Debian Linux na SD karte,
- dostupný bootloader založený na Linuxe,
- Linuxový nástroj pre konfiguráciu FPGA.,

Túto dosku je možné podľa informácií zo stránok výrobcu zakúpiť v cene od 189 dolárov pri odbere minimálne 100 kusov, čo podľa aktuálneho kurzu predstavuje 3 809 Kč (kurz ČNB k 11.5.2010: 20,151 CZK/USD).

Kapitola 3

Návrh platformy

V tejto kapitole budú postupne prezentované požiadavky na navrhovaný systém, jeho analýza a návrh. Preskúmané budú rôzne aspekty návrhu a realizácie vstavaného zariadenia od voľby komponentov s ohľadom na požiadavky, dostupnosť a cenu, cez ich mechanické usporiadanie a fyzické prepojenie, až po návrh detailnej schémy zapojenia.

3.1 Ciele a požiadavky

Vstavané zariadenie, ktorého návrh je popisovaný v tejto práci má za cieľ byť výkonnejšou alternatívou k platforme FitKit, ktorá je vo veľkej miere používaná na Fakulte informačných technológií VUT v Brne vo vyučovaní. Nekladie si za cieľ byť konkurenciou alebo náhradou, skôr doplnkom pre záujemcov požadujúcich pre svoju aplikáciu vyšší výkon, väčšie množstvo pamäte vrátane jej správy (*memory management*) a jednoduchšiu konektivitu (USB a Ethernet).

V nasledujúcich bodoch sú zhrnuté požiadavky na navrhovaný systém. Z nich vychádza analýza, výber komponentov, ale aj elektrické a mechanické vyhotovenie.

1. použitie mikrokontroléra Atmel ARM;
2. použitie FPGA pre prípadné doplnenie chýbajúcich periférií a ďalšie experimenty;
3. non-volatilná pamäť pre program mikrokontroléra a konfigurácie FPGA;
4. dostatok SDRAM pamäte pre mikrokontrolér aj pre FPGA;
5. USB device aj host rozhranie;
6. možnosť pripojenia do počítačovej siete;
7. možnosť pripojenia pamäťovej karty aspoň jedného bežne používaného druhu;
8. možnosť prejaviť sa navonok aj vizuálnou cestou (výstup na displej alebo monitor);
9. jednoduchá modifikovateľnosť zapojenia za účelom získania väčšieho výkonu alebo nižšej ceny;
10. modularita.

V nasledujúcom zozname sú uvedené vzorové aplikácie, ktoré by malo byť možné na navrhovanom zariadení realizovať bez väčšieho pridávania externých súčiastok a zariadení:

- čítačka pamäťovej karty (prevodník USB-pamäťová karta),
- prehliadač súborového systému na pripojenom USB dátovom zariadení (napríklad USB kľúčenka),
- DHCP server,
- webový server,
- grafický procesor (rasterizačné algoritmy v FPGA).

Na aspoň teoretickú realizovateľnosť týchto vzorových aplikácií bude prihliadané pri samotnom návrhu zariadenia.

3.2 Voľba komponentov

V tejto časti bude prezentovaná voľba kľúčových komponentov s ohľadom na horeuvedené požiadavky, dostupnosť a cenu.

3.2.1 Mikrokontrolér

Ako mikrokontrolér pre navrhované vstavané zariadenie bol zvolený typ AT91RM9200 so zabudovaným procesorom ARM920T. Tento model je na trhu už dlhší čas – podľa histórie revízií z katalógového listu bol tento publikovaný v roku 2003. Obsahuje periférie potrebné pre splnenie požiadaviek kladených na zariadenie a má tiež dostatok IO vývodov pre pripojenie ďalších neplánovaných zariadení. Stručný popis a odkazy na katalógový list a ďalšie súvisiace materiály možno nájsť na stránkach výrobcu [12]. Tu je uvedený len stručný prehľad vlastností tohoto typu:

- výkon 200 MIPS pri 180 MHz, memory management unit (MMU),
- 16 KB vstavanej SRAM, žiadna Flash pamäť,
- rozhranie externej zbernice (EBI – *external bus interface*) s podporou SDRAM, statickej pamäte, BurstFlash, CompactFlash a NAND Flash/SmartMedia,
- Ethernet MAC 10/100 Base-T s MII alebo RMII rozhraním
- USB 2.0 Full Speed (12 Mbps) device port
- USB 2.0 Full Speed (12 Mbps) host port – až dva – podľa použitého puzdra,
- Multimedia Card Interface (MCI) – rozhranie pre MMC a SD pamäťové karty,
- obvod reálneho času RTC
- Debug Unit s dvojvodičovou sériovou linkou,
- 7 externých zdrojov prerušenia,
- až do 122 konfigurovateľných IO pinov (podľa puzdra),
- 4x USART s podporou pre RS485, IrDA (do 115 Kbps),

- SPI – 8 alebo 16-bitové prenosy, 4 externé signály výberu zariadenia (*chip select*),
- dvojvodičové rozhranie TWI,
- dostupné v puzdrách PQFP208 a LFBGA256.

Variant v BGA puzdre s 256 vývodmi je oproti PQFP verzii rozšírený o štvrtý 32 bitový IO radič, ktorého vývody sú multiplexované s ETM portom a taktiež má navyše jeden USB host port – BGA verzia má teda dva USB host porty, a je tak možné vytvoriť napríklad USB rozbočovač.

3.2.2 FPGA

Ďalším požadovaným prvkom v zariadení je FPGA. Výrobcov FPGA je na trhu niekoľko, avšak rozhodnutie padlo celkom jasne na firmu Xilinx, už len z toho dôvodom, že na Fakulte informačných technológií VUT sa FPGA čipy tejto firmy používajú v množstve zariadení a je tu k dispozícii vývojový a simulačný softvér. Nutnosť inštalovať nové programové vybavenie by predstavovalo zbytočnú komplikáciu.

Vzhľadom na zameranie, rozsah a cenovú hladinu navrhovaného zariadenia bola zvolená rodina Spartan-3A, ktorá v čase písania tohoto materiálu zahŕňa 5 typov uvedených v tabuľke 3.1. Viac podrobností možno nájsť v [40]. V rovnakom zdroji je možné nájsť aj tabuľku s prehľadom puzdier jednotlivých čipov (tabuľka 3.2). V platforme FitKit (viď [36]) je použitý typ XC3S50 (rodina Spartan-3), pre rozšírenie možností je teda potrebné siahnuť po niektorom z vyšších modelov.

Typ	Hradiel	Eq log. buniek	Spolu CLB	Dist. RAM	Block RAM	Náso.-bičiek	DCM	Max. IO	Max. dif. párov
XC3S50A	50K	1.584	176	11Kb	54Kb	3	2	144	64
XC3S200A	200K	4.032	448	28Kb	288Kb	16	4	248	112
XC3S400A	400K	8.064	896	56Kb	360Kb	20	4	311	142
XC3S700A	700K	13.248	1.427	92Kb	360Kb	20	8	372	165
XC3S1400A	1,4M	25.344	2.816	176Kb	576Kb	32	8	502	227

Tabuľka 3.1: Prehľad typov FPGA čipov rodiny Spartan-3A firmy Xilinx. Tabuľka bola prevzatá z [40].

Pre zamýšľané účely sa dobrým kompromisom zdá byť typ XC3S200A. V prípade použitia puzdra FT256 je možné do rovnakej dosky plošných spojov osadiť FPGA typu XC3S400A v prípade potreby realizovať zložitejšie zariadenia. Toto puzdro ponúka 195 single-ended užívateľských vývodov a/alebo 90 diferenciálnych párov.

Na rozdiel od čipov rodiny Spartan-3 (FitKit), kde čipy s rovnakými puzdrami sú aj pinovo kompatibilné (viď [39]), toto neplatí u rodiny Spartan-3A. Podľa tabuľky 3.2 sa všetkých päť typov rodiny Spartan-3A dodáva v puzdre FT256 (BGA puzdro 16 x 16 guľôčok). Avšak pinovo kompatibilné sú len typy XC3S200A s XC3S400A a XC3S700A s XC3S1400. Druhý menovaný pár ponúka o 34 menej užívateľských vstupov/výstupov z dôvodu znásobenia napájacích kontaktov (viď [40]).

Ďalšie pinovo kompatibilné typy možno nájsť v rodine Spartan-3AN, ktoré sú oproti typom Spartan-3A rozšírené o zabudovanú pamäť Flash, v ktorej je možné uchovávať konfiguráciu FPGA. V tejto rodine možno nájsť všetkých päť typov rodiny Spartan-3A obohatených o pamäť Flash, hoci už nie v takej pestrej ponuke puzdier. Ako vyplýva

z dokumentácie [38], typy XC3S200A a XC3S400A v puzdre FT256 možno nahradiť typom XC3S200AN v rovnakom puzdre.

Rozdielom rodín Spartan-3 a Spartan-3A, resp. Spartan-3AN, ktorý zjednodušuje návrh je aj fakt, že rodiny Spartan-3A, resp. Spartan-3AN vystačia s dvoma napájacími napätiami (1,2 V a 3,3 V – vid’ [38]), zatiaľ čo príslušníci rodiny Spartan-3 vyžadujú napätia tri (1,2 V, 3,3 V a 2,5 V – vid’ [39])

Typ/puzdro	VQ100	TQ144	FT256	FG320	FG400	FG484	FG676
XC3S50A	X	X	X	-	-	-	-
XC3S200A	X	-	X	X	-	-	-
XC3S400A	-	-	X	X	X	-	-
XC3S700A	-	-	X	-	X	X	-
XC3S1400	-	-	X	-	-	X	X

Tabuľka 3.2: Prehľad puzdiel jednotlivých typov FPGA čipov rodiny Spartan-3A firmy Xilinx. Znak „X“ znamená, že sa daný typ dodáva v danom puzdre. Čipy vyhotovené v rovnakom puzdre (jeden stĺpec tabuľky) nemusia byť nutne vzájomne pinovo kompatibilné. Tabuľka bola prevzatá a upravená z [39].

3.2.3 Pamäť SDRAM

Pri voľbe pamäte SDRAM existuje niekoľko obmedzení. Prvým je skutočnosť, že zvolený mikrokontrolér podporuje len pamäťové čipy s CAS latenciou rovnou 2 (vid’ [7]), hodnoty 1 a 3 nie sú podporované. Ďalším obmedzením je dostupnosť – predajcovia totiž nie sú schopní, alebo ochotní niektoré druhy pamätí predávať v kusovom množstve.

Radič SDRAM zvoleného mikrokontroléra podporuje rôzne konfigurácie pamäte. Podporované počty adresovaných riadkov sú 2048, 4096 a 8192; podporované počty stĺpcov od 256 do 2048. Pripojená pamäť môže mať dve alebo štyri banky a 16- alebo 32-bitov širokú dátovú zbernicu. V katalógovom liste mikrokontroléra AT91RM9200 sa uvádza, že maximálna hodinová frekvencia pre radič pamäte SDRAM je 80 MHz.

S ohľadom na uvedené vlastnosti radiča pamäte SDRAM bola pre navrhovaný systém zvolená pamäť MT48LC16M16A2TG-75 IT:D s organizáciou 4M x 16-bitov x 4 banky, čo vo výsledku činí 32 MB kapacity (pre katalógový list vid’ [26]). Rovnaká pamäť bude pripojená aj k čipu FPGA. Bez zmeny v návrhu dosky plošných spojov je možné osadiť čip MT48LC8M16A2TG resp. MT48LC4M16A2TG s kapacitou 16 resp. 8 MB a znížiť tak celkovú cenu zariadenia. Taktiež je možné zvýšiť kapacitu pamäte osadením pamäťového čipu MT48LC32M16A2.

3.2.4 Pamäť Flash

Keďže mikrokontrolér AT91RM9200 nedisponuje žiadnou pamäťou Flash a je požadované uloženie programu aj pri vypnutom napájaní, je vhodné do zapojenia zahrnúť aj pamäť Flash. Zvolený mikrokontrolér po resete hľadá v pripojených pamätiach platný kód podľa ôsmich vektorov obsluhy výnimiek (vid’ časť Boot Program v [7]), nájdený program sa následne skopíruje do zabudovanej pamäte SRAM a začne sa s jeho vykonávaním. Prvým prehľadávaným pamäťovým zariadením je zariadenie pripojené na SPI zbernicu aktivované signálom NPXS0 (chip select). Výrobca odporúča na tomto mieste použiť pamäť DataFlash. Vzhľadom na dostupnosť bol zvolený typ AT45DB081D-SU ([5]), teda pamäť s kapacitou 1 MB a maximálnou hodinovou frekvenciou 66 MHz.

Kapacitu tejto pamäte možno použiť aj pre uloženie konfigurácie FPGA. Najväčšia konfigurácia, ktorá prichádza v navrhovanom zariadení do úvahy – teda konfigurácia pre typ XC3S400A má 1 886 560 bitov, teda necelých 256 kB ([38]). Takéto použitie tejto pamäte má opodstatnenie v prípade, že zavádzaný operačný systém už pri svojom štarte potrebuje používať perifériu realizovanú v FPGA. V prípade, že operačný systém FPGA pri svojom štarte nepotrebuje, je možné túto pamäť neosadiť a konfiguráciu do FPGA nahráť až po zavedení systému, napríklad zo súboru v súborovom systéme. Samozrejme, pamäť je možné použiť aj na ľubovoľný iný účel.

Pre zavedenie systému, resp. jeho zavádzača, je možné použiť aj paralelnú pamäť Flash pripojenú na rozhranie externej zbernice EBI. Použitý mikrokontrolér z nej dokáže po resete spustiť program. Na tomto mieste bola použitá pamäť SST39VF3201 typu NOR Flash s kapacitou 4 MB.

3.2.5 Fyzická vrstva pre Ethernet

Mikrokontrolér AT91RM9200 disponuje rozhraním MII (*media independent interface*), resp. RMII (*reduced MII*) pre pripojenie zariadenia implementujúceho fyzickú vrstvu modelu sieťovej komunikácie. Je ho teda možné pripojiť do počítačovej siete s pomocou niekoľkých málo externých súčiastok. Čip TLK100 predstavuje transceiver fyzickej vrstvy Ethernet 10/100 BASE-T firmy Texas Instruments. Vyžaduje jediné napájacie napätie 3,3 V a niekoľko externých súčiastok. Pre pripojenie samotného kábla ako média je potrebné použiť špeciálne vyhotovenie konektora s oddeľovacím transformátorom, alebo použiť transformátor ako samostatnú súčiastku.

3.2.6 Grafický výstup

Pre grafický výstup by bolo možné realizovať rozhranie VGA tak, ako je realizované na platforme FitKit – vytvoriť pre každý farebný kanál pomocou kaskády rezistorov jednoduchý DA prevodník a logiku vytvoriť v FPGA. Ďalšou možnosťou je realizovať grafický výstup DVI a celú logiku vrátane TMDS transmitéru realizovať v FPGA. Z dôvodu zjednodušenia použitia a ušetrenia kapacity FPGA sa javí byť výhodné použiť externý DVI transmitér – napríklad typ TFP410PAP od Texas Instruments, ktorý podporuje rozlíšenia od VGA až po UXGA (1600x800) a vstup v 12 alebo 24 bitovom formáte (záchyt jednou alebo oboma hranami hodinového signálu). Tento čip je možné konfigurovať prostredníctvom I²C zbernice a vyžaduje jediné napájacie napätie 3,3 V. Viac detailov možno nájsť v [33].

3.2.7 Cenová rozvaha

Pre porovnanie cien boli vybraní dodávatelia Mouser Electronics a Farnell. Ceny kľúčových komponentov v tabuľke 3.3 boli získané z webových stránok <http://www.mouser.com>, resp. <http://cz.farnell.com/>. Tabuľka obsahuje aj ceny pri odbere 25 kusov pre získanie obrazu o množstevných zľavách predajcov. Ceny boli aktuálne ku dňu 3.5.2010.

Niektoré súčiastky od Texas Instruments je možné pre stavbu prototypu zariadenia získať ako vzorky zadarmo. Po registrácii na <http://www.ti.com> možno vyžiadať až 8 kusov z vybraných druhov súčiastok tohto výrobcu. Pre realizáciu navrhovaného zariadenia boli takto získané komponenty pre napájací zdroj, DVI transmitér, ako aj čip TLK100 pre pripojenie do počítačovej siete.

Veľkú časť ceny zariadenia bude tvoriť samotná doska plošných spojov, jej výroba a osadenie. Keďže výška týchto položiek sa odvíja od návrhu dosky (rozmery, počty vrstiev

popis	typ	cena Mouser EUR	cena Farnell EUR	poznámka
MCU	AT91RM9200	18,46 (11,70)		PQFP puzdro
MCU	AT91RM9200	19,83 (12,45)		BGA puzdro
FPGA	XC3S200AN		19,04 (19,04)	BGA256 puzdro
SDRAM	MT48LC16M16A2P-75		12,76 (9,75)	2 ks
ETH PHY	TLK100	3,93 (3,14)	7,03 (5,27)	vzorka zdarma
DVI transmitter	TFP410PAP	6,67 (6,01)	5,82 (4,91)	vzorka zdarma
Flash 4MB	SST39VF3201	2,83 (2,83)	6,69 (5,84)	parallel Flash
Flash 1MB	AT45DB081D-SU	1,35 (1,05)	1,87 (1,24)	serial Flash

Tabuľka 3.3: Prehľad cien kľúčových komponentov ku dňu 3.5.2010 získaný zo stránok <http://www.mouser.com> a <http://cz.farnell.com/>. V prípade dostupnosti u oboch dodávateľov je hrubo vyznačená výhodnejšia cena. V zátvorke je uvedená cena pri odbere 25 kusov.

a otvorov, ...), bude jej cena stanovená až samotnou firmou prevádzajúcou výrobu resp. montáž.

3.3 Zdroje hodinových signálov

V navrhovanom systéme je potrebných niekoľko zdrojov hodinových signálov. Samotný mikrokontrolér pre svoju funkciu pri použití radiča USB a hodín reálneho času požaduje dva externé kryštály dopĺňajúce zabudované oscilátory. Jeden z dvoch modulov PLL (*phase-locked loop*) je podľa dokumentácie [7] použiteľný pre generovanie hodinového signálu s frekvenciou 48 MHz pre radiče USB. Táto frekvencia musí byť dodržaná s toleranciou $\pm 0,25\%$. K použitému mikrokontroléru teda budú pripojené kryštály pre 32,768 kHz a 12 MHz, kde prvý menovaný bude použitý pre taktovanie hodín reálneho času.

Ďalším obvodom požadujúcim hodinový signál je pamäť SDRAM. Tá je taktovaná rozhraním externej zbernice mikrokontroléra. V prípade pamäte SDRAM pripojenej k FPGA je nutné hodinový signál generovať čipom FPGA.

Obvod TLK100 podľa dokumentácie [31] vyžaduje pre svoju činnosť pripojenie 25 MHz kryštálu, keďže je pre pripojenie k mikrokontroléru použité plné rozhranie MII. V prípade použitia rozhrania RII (redukované MII) by bolo nutné použiť 50 MHz kryštál, keďže komunikácia prebieha na polovičnom počte dátových vodičov.

Čip FPGA obsahuje niekoľko vývodov (GCLKx) použiteľných pre vstup hodinového signálu do tzv. DCM (*digital clock manager*), ktorý umožňuje ďalšie spracovanie privádzaného signálu, ako delenie a násobenie frekvencie, posun fázy a podobne (viď [38]). Aspoň na jeden z pinov GCLKx je vhodné pripojiť oscilátor, ktorý môže byť použitý pre taktovanie logiky realizovanej v FPGA. Keďže použitý mikrokontrolér obsahuje programovateľný generátor hodinového signálu (PCK), ponúka sa možnosť použiť tento generátor ako (ďalší) zdroj hodinového signálu pre logiku v FPGA.

3.4 Požiadavky na napájanie

V tejto časti bude prezentovaný hrubý odhad požiadaviek na napájanie jednotlivých čipov navrhovaného zariadenia za účelom návrhu napájacieho zdroja. Pre vytvorenie odhadu boli použité katalógové listy jednotlivých komponentov.

Veľká časť zariadenia pracuje s napájacím napätím 3,3 V, výnimku tvorí jadro a niektoré ďalšie súčasti mikrokontroléra pracujúce s napätím 1,8 V (VDDCORE, VDDOSC a VDDPLL) a interné napájanie VCCINT (1,2 V) čipu FPGA.

V tabuľke 3.4 sú uvedené odbery jednotlivých komponentov navrhovaného zariadenia založené na údajoch z katalógových listov. Odhad pre mikrokontrolér vychádzal z maximálneho odberu jadra pri vykonávaní programu uloženého v internej SRAM pamäti a súčtu odberov všetkých periférií. K hodnote odberu mikrokontroléra z 3,3 V vetvy bola pripočítaná hodnota 300 mA, čo predstavuje rezervu pre jednotlivé vývody mikrokontroléra. Tieto majú podľa katalógového listu [7] maximálny dovolený odoberaný prúd 8 mA. Pre túto aplikáciu sa bude naďalej uvažovať s priemerne 2,5 až 3 mA na každý z 94, resp. 122 vstupno-výstupných pinov.

Na stránkach Texas Instruments [32] možno nájsť hotové riešenia napájania pre FPGA obvody Xilinx rodiny Spartan-3A. Z tohoto dokumentu boli prevzaté aj maximálne hodnoty odoberaného prúdu čipom FPGA XC3S200A. Pre alternatívne použitie čipu XC3S400A je odber prúdu z 3,3 V vetvy približne o 1 A väčší. Keďže varianty XC3S200AN, resp. XC3S400AN sú rozšírené len o pamäť typu Flash, očakávajú sa podobné odbery ako v prevedení bez tejto pamäte. Konkrétne hodnoty pre konkrétnu aplikáciu je možné určiť pomocou špecializovaného softvéru XPower Estimator (skript v Exceli) alebo XPower Analyzer (viď [38]).

Spotreba pamäte SDRAM bola určená ako odber v dávkovom móde (*burst mode*). Pri obnovovaní celého obsahu pamäte príkazmi *auto refresh* s minimálnymi časovými rozstupmi však spotreba vzrastie až na 285 mA. Pri distribuovanom obnovovaní (jeden riadok každých 7,813 μ s) je spotreba na úrovni necelých 10 mA (viď [26]).

Výrobca DVI transmitéru TFP410PAP v katalógovom liste [33] uvádza spotrebu pre prípad zobrazenia čierno-bielej šachovnice, pričom každé políčko má rozmer 1x1 pixel.

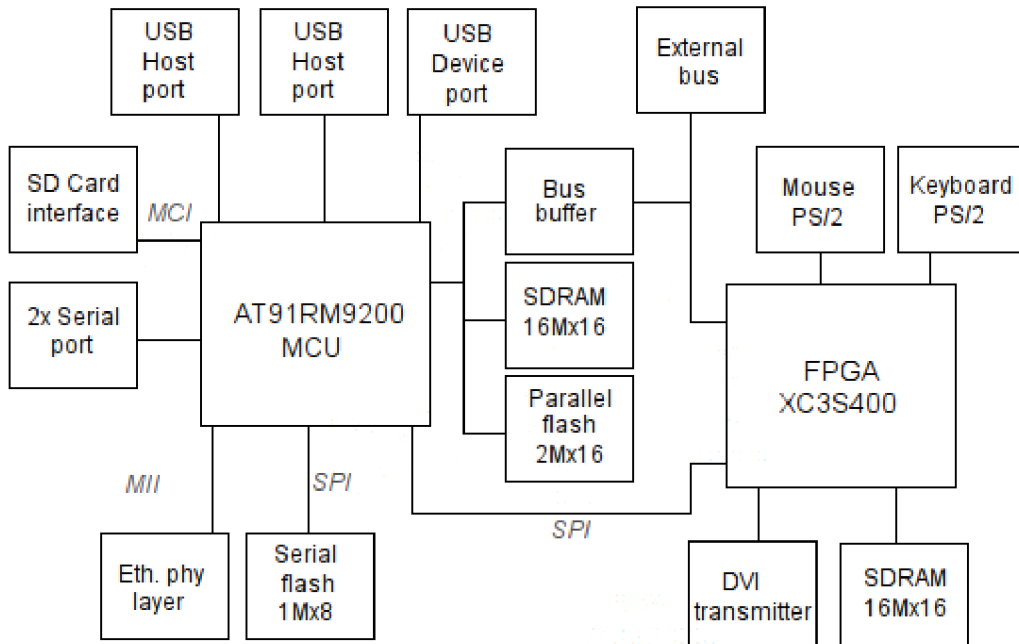
Popis	Typ	3,3 V	1,8 V	1,2 V
MCU	AT91RM9200	20+300	25	-
FPGA	XC3S200A	3100	-	600
SDRAM	MT48LC16M16A2TG-75	135	-	-
ETH PHY	TLK100	100	-	-
DVI trans.	TFP410PAP	250	-	-
Flash 4MB	SST39VF3201	35	-	-
Flash 1MB	AT45DB081D-SU	20	-	-
MCU modul		310+300	25	-
FPGA modul		3485	-	600
Spolu		3795+300	25	600

Tabuľka 3.4: Maximálny uvažovaný odber jednotlivých komponentov pre jednotlivé napájacie napätia v mA. Hodnoty šikmým písmom predstavujú rezervu pre vstupno-výstupné piny príslušného čipu. Do súčtu boli hodnoty pre pamäte SDRAM započítané dvakrát.

3.5 Bloková schéma

Na obrázku 3.1 je uvedená bloková schéma navrhovaného vstavaného zariadenia. Zobrazuje mikrokontrolér s príslušnými perifériami a pamäťou. Nie sú zobrazené lišty užívateľských vývodov, ani obvody týkajúce sa napájania. Sériová pamäť Flash môže a nemusí byť osadená v závislosti od potreby nahráť konfiguráciu do FPGA ešte pred štartom prípadného

operačného systému schopného túto konfiguráciu načítať zo súborového systému. Konfigurácia sa do FPGA nahráva prostredníctvom sériovej linky. Komunikácia medzi mikrokontrolérom a FPGA prebieha pomocou zbernice, keď je možné v FPGA vytvoriť sadu registrov namapovaných do adresového priestoru mikrokontroléra. Taktiež môže FPGA vyvolať prerušenie činnosti procesora pomocou prerušovacích vývodov.



Obrázok 3.1: Bloková schéma navrhovaného systému. Pre prehľadnosť nie sú zobrazené užívateľské vývody mikrokontroléra a FPGA.

Vzhľadom na požiadavky kladené na systém uvedené na začiatku tejto kapitoly, je možné toto zariadenie realizovať niekoľkými spôsobmi, ktoré budú diskutované ďalej. Vo výsledku je potrebné nájsť kompromis medzi modularitou, komfortom použitia a cenou. Odhliadnúc od možnosti osadiť väčšiu alebo menšiu pamäť, výkonnejšiu, či lacnejšiu FPGA čip, je tu ešte aspekt fyzickej realizácie. V princípe boli identifikované nasledovné možnosti usporiadania (možnosti 1,2 a 3,4 sú vzájomne ortogonálne):

1. **Mikrokontrolér v PQFP puzdre** – teda lacnejší variant, oproti BGA puzdru však postráda jeden USB host port a IO radič D. Z dôvodu absencie USB host portu by teda nebolo možné experimentovať s funkčnosťou USB hub-u. Na druhej strane, použitie tohoto typu puzdra by viedlo na jednoduchšiu (menej vrstiev), i keď rozmernejšiu dosku plošných spojov.
2. **Mikrokontrolér v BGA puzdre** – ako bolo uvedené vyššie, toto puzdro dáva možnosť použitia dvoch USB host portov bez externého rozbočovača za cenu vyšších nákladov na dosku plošných spojov a problematickú montáž BGA puzdra.
3. **Všetko na jednej doske** – predstavuje kompaktné riešenie.
4. **FPGA ako samostatný modul** – osadenie mikrokontroléra a príslušných periférií na samostatnú dosku spojov a modul s FPGA pripojiť pomocou kontaktnej lišty na

externú zbernicu MCU modulu. Na rozdiel od predchádzajúceho riešenia, umožňuje použiť modul mikrokontroléra aj samostatne, prípadne pripojiť k nemu iný, ako navrhovaný FPGA modul.

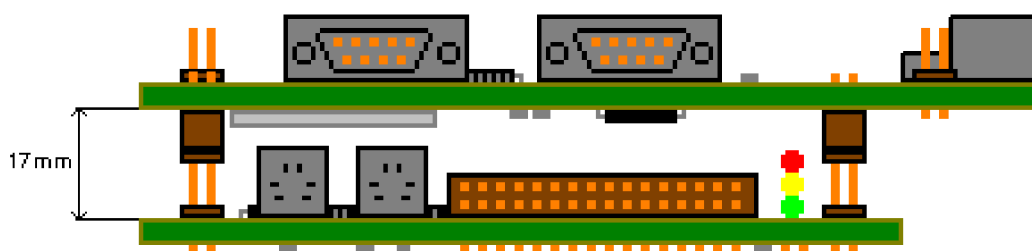
Ako rozumné riešenie sa javí použiť mikrokontrolér v PQFP puzdre na samostatnej doske spojov – teda kombinácia možností 1 a 4. V tomto prípade by bola realizovaná doska použiteľná aj samostatne, v prípade vhodného rozmiestnenia pinov kontaktných lišt by bolo možné modul zasunúť napríklad do kontaktného poľa. Takisto, v prípade potreby experimentovať napríklad so zbernicou PCI Express je možné pripojiť špecializovaný modul obsahujúci niektorý z vyšších typov FPGA s konektorom pre tento druh zbernice.

3.6 Mechanické prevedenie

Navrhované vstavané zariadenie je realizované na dvoch samostatných doskách plošných spojov. Každý modul je pritom možné použiť aj samostatne. Moduly je možné navzájom prepojiť (viď obrázok 3.2) pomocou troch kontaktných lišt (na obrázku sú znázornené len dve):

- lišta so zbernicou (50 pinov),
- lišta s vývodmi na všeobecné použitie (50 pinov) a
- napájacia lišta (4 piny).

Keďže je potrebné zabezpečiť medzi doskami dosatočne veľkú medzeru pre súčiastky a tiež pre prúdenie vzduchu, boli použité kontaktné lišty s celkovou výškou 20 mm. Na montáž do jednej z dosiek sa spotrebujú 3 mm výšky, preto je výsledná medzera medzi modulmi 17 mm. Do tohto priestoru bolo nutné umiestniť komponenty modulov. Vďaka SMD montáži väčšiny súčiastok, predstavovali možné riziko len rôzne konektory umiestnené po obvode dosiek. Bol zvolený typ lišt, ktorý má aj pri úplnom zasunutí do dutinkového protikusu časť kolíkov odokrytú a prístupnú zvonka. Tým je umožnené napríklad pripojenie logického analyzátora a sledovanie priebehu signálov na zbernici.



Obrázok 3.2: Náčrt prepojenia modulu mikrokontroléra (hore) a FPGA modulu (dole).

Taktiež bolo nutné zohľadniť spôsob spojenia dosiek pri návrhu spodného (FPGA) modulu. Všetky kontaktné lišty, ktoré majú byť k dispozícii užívateľovi, boli použité v uhlovom prevedení tak, aby trčali na stranu a bol tak k nim umožnený prístup. To isté platí aj pre LED, ktoré boli vyvedené na okraj modulu tak, aby ich bolo možné pozorovať aj pri prekrytí dosky modulom s mikrokontrolérom.

3.6.1 Dosky plošných spojov

Vzhľadom k zložitosti zapojenia a rozmerom komponentov sú pre oba moduly použité viacvrstvové dosky plošných spojov – pre modul s mikrokontrolérom štvorvrstvová a pre FPGA modul šesťvrstvová, keďže bol zvolený typ FPGA v puzdre BGA. V oboch prípadoch sú najvnútornejšie vrstvy použité pre rozvod napájania (3,3 V a GND) a zvyšné dve, resp. štyri vrstvy pre ostatné signály.

Pre dosku plošných spojov modulu s mikrokontrolérom bola zvolená konštrukčná trieda VI. Najviac obmedzujúcim faktorom bol rozmer prekoveného otvoru, keďže jeho priemer pozostáva z priemeru vrtáka a minimálneho presahu plôšky na polomere. Pre modul FPGA bola zvolená konštrukčná trieda VIII, čo bolo dané použitím FPGA v puzdre BGA.

Konštrukčná trieda	III	IV	V	VI	VII	VIII
Min. šírka vodičov v mm	0,4	0,3	0,2	0,15	0,125	0,1
Min. šírka izolačných medzier v mm	0,4	0,3	0,2	0,15	0,125	0,1
Min. presah plôšky na polomere v mm	0,4	0,3	0,2	0,15	0,125	0,1
Najmenší priemer vrtáku v mm	0,8	0,6	0,4	0,3	0,2	0,1

Tabuľka 3.5: Konštrukčné triedy dosiek plošných spojov. Tabuľka bola prevzatá z [22].

Schémy zapojenia a návrhy dosiek plošných spojov zostavené na ich podklade boli vytvorené s pomocou návrhového systému Altium Designer verzie Summer 2009 (viac informácií je na stránkach [1]). Z tohto systému boli generované aj podklady pre výrobu dosiek plošných spojov, ako aj zoznamy komponentov a pomocné výkresy pre osádzanie súčiastok.

3.7 Návrh zapojenia modulu s MCU

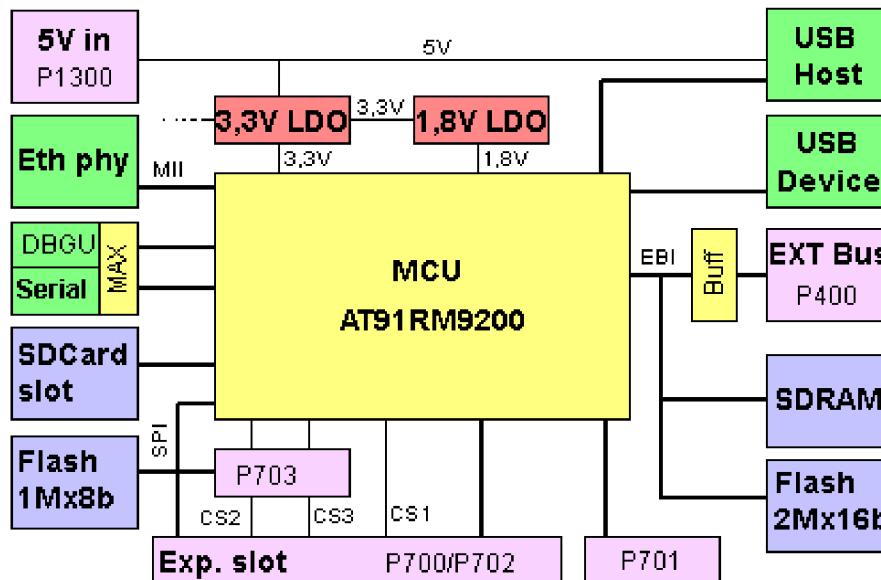
Na tomto mieste je popísaný modul vstavaného systému obsahujúci mikrokontrolér ARM firmy Atmel, jeho štruktúra, komponenty a rozhrania. Na obrázku 3.3 je znázornená bloková schéma tohto modulu. Podrobnú schému zapojenia možno nájsť v dodatku A tejto práce. Pokiaľ nebude v texte uvedené inak, označovanie pozícií komponentov zodpovedá značeniu v schéme zapojenia modulu s mikrokontrolérom (dodatok A). Fotografie modulu sú uvedené v dodatku C.

3.7.1 Pamäte

Modul osadený mikrokontrolérom AT91RM9200 disponuje niekoľkými pamäťmi. Z pohľadu ich umiestnenia možno rozlišovať dva druhy pamätí:

- pamäte zabudované v mikrokontroléri – kapacita, typ a ďalšie parametre sú dané voľbou mikrokontroléra a
- pamäte osadené na doske plošných spojov v samostatných puzdrách.

Odhlídnúc od pamätí inštrukčnej a dátovej cache (16 kB každá), obsahuje mikrokontrolér aj pamäť typu SRAM o kapacite 16 kB a pamäť typu ROM s kapacitou 128 kB. Posledne menovaná pamäť obsahuje základný zavádzací program, ktorý môže zaviesť do pamäte SRAM ďalší vykonateľný kód z niektorej vonkajšej pamäte pripojenej cez SPI, TWI, alebo 8 bitovú dátovú zbernicu v EBI. Tento program tiež dokáže prijať ďalší vykonateľný program cez rozhranie USB, alebo sériovú linku DBGU.



Obrázok 3.3: Bloková schéma modulu s mikrokontrolérom. Pre prehľadnosť nie sú znázornené rozhrania JTAG a rozvod napájania 3,3 V k ostatným blokom.

Nasledujúce odstavce popisujú pamäte inštalované v module s MCU podľa doporučení výrobcu uvedených v katalógovom liste [7]. Schéma zapojenia je uvedená v dodatku A.4.

32 MB SDRAM

Ako pamäť SDRAM bol použitý typ MT48LC16M16A2TG s kapacitou 32 MB a šírkou dátovej zbernice 16 bitov. Namiesto tohto pamäťového čipu možno osadiť aj prevedenia s väčšou, resp. menšou kapacitou, keďže majú rovnaké rozloženie vývodov (viď časť 3.2.3).

Táto pamäť je pripojená na rozhranie EBI (*external bus interface*) podľa vzoru výrobcu z katalógového listu [7]. Pre výber SDRAM na zbernici (*chip select*) je použitý signál NCS1/SDCS mikrokontroléra. Tabuľka 3.6 uvádza parametre pamäťového čipu MT48LC16M16A2TG-75 potrebné pre konfiguráciu radiča SDRAM v mikrokontroléri získané z katalógového listu [26].

Sériová Flash pamäť

Pre účely uloženia programu zavedeného po štarte systému, bola do systému začlenená sériová DataFlash pamäť s kapacitou 1 MB. Je pripojená na SPI rozhranie mikrokontroléra a je povolovaná signálom NPCS0, takže bootovací program uložený v ROM mikrokontroléra z nej dokáže zaviesť program do zabudovanej SRAM pamäte. Pamäť je teda vhodná pre uloženie ďalšieho zavádzača (napr. U-Boot, ZooBoot, ...), ktorý prevedie inicializáciu hardvéru a zavedie jadro operačného systému. Pamäť môže byť, samozrejme, použitá aj na iné účely.

Keďže v prípade použitia bootovacieho programu umiestneného v internej pamäti ROM, je táto pamäť ako prvá prehľadávaná na prítomnosť vykonateľného kódu, môže nastať situácia, keď je požadované zavedenie programu zo zdroja skúmaného neskôr (USB, DBGU). Preto je možné vyradiť túto sériovú pamäť pomocou prepajky W901 z činnosti tým, že bude neustále pozdržaná v resete.

Parameter	Označenie	Hodnota
Počet bitov adresy stĺpca	NC	9
Počet bitov adresy riadka	NR	13
Latencia CAS	CL	2 alebo 3 cykly
Počet bankov	NB	4
Write recovery time	TWR	2 cykly
Row cycle delay	TRC	> 66 ns
Row precharge delay	TRP	> 20 ns
Row to column delay	TRCD	> 20 ns
Active to precharge delay	TRAS	> 44 ns
Exit self refresh to active delay	TXSR	> 75 ns
Šírka dátovej zbernice		16 bitov
Periódá obnovovania		64 ms

Tabuľka 3.6: Parametre pamäte MT48LC16M16A2TG-75 potrebné pre konfiguráciu mikrokontroléra podľa katalogového listu [26]. Niektoré názvy sú ponechané v anglickom jazyku pre jednoznačnosť.

Paralelná Flash pamäť

Ďalej bola zaradená paralelná pamäť Flash SST39VF3201-70-4C-EKE s kapacitou 4 MB a šírkou dátovej zbernice 16 bitov. Táto je mapovaná priamo do adresového priestoru MCU a môže byť použitá pre uloženie vlastného zavádzacieho programu namiesto programu uloženého v ROM mikrokontroléra. Táto pamäť je pripojená na EBI a je aktivovaná prostredníctvom signálu NCS0/BFCS.

Slot pre pamäťovú kartu SecureDigital

Zariadenie obsahuje aj slot pre pripojenie pamäťovej karty typu SD. Pre pripojenie tohoto druhu pamäte ponúka použitý mikrokontrolér rozhranie MCI (MultiMedia Card Interface). Táto kapacita môže byť využitá pre uskladnenie operačného systému vrátane súborového systému.

Slot pre vloženie pamäťovej karty obsahuje dva mikrosvínače, jeden je možné použiť pre detekciu prítomnosti pamäťovej karty a druhý detekuje stav prepínača ochrany karty proti zápisu. Tieto svínače sú opatrené pull-up rezistormi R801 resp. R802 a pripojené na vývody PB22, resp. PB23 mikrokontroléra.

3.7.2 Rozhrania

Na tomto mieste sú popísané rozhrania modulu s MCU ako USB, Ethernet, SPI, sériová linka zodpovedajúca RS-232 a ďalšie rozhrania použiteľné pri vývoji, programovaní a ladení aplikácií pre tento modul.

USB

Modul je osadený dvoma rozhraniami USB 2.0 Full Speed (12 Mbps). Jeden je typu host a druhý typu device, takže je možné pripojiť modul aj ako podriadené zariadenie, napr. k PC, a/alebo pomocou host rozhrania k modulu pripojiť podriadené zariadenie typu USB dátové médium (kľúčienka, disk), tlačiareň a iné. Zapojenia týchto rozhraní sú uvedené v dodatku A.8.

Pre pripojenie device zariadenia k host portu modulu bol použitý USB konektor typu A. Filter a pull-down rezistory pripojené k tomuto rozhraniu boli navrhnuté podľa odporúčania výrobcu MCU uvedeného v katalógovom liste [7].

Zapojenie okolo device portu modulu je o niečo zložitejšie (vychádzajúc opäť z odporúčaní výrobcu), keďže modul musí byť schopný pomocou (ne)pripojenia pull-up rezistora na signál DP upovedomiť nadradené zariadenie o svojej (ne)prítomnosti. Taktiež MCU dokáže zistiť prítomnosť host zariadenia pomocou logickej hodnoty na pine PB24.

Ethernet

Mikrokontrolér AT91RM9200 disponuje rozhraním MII (*media independent interface*) resp. RMII (*reduced media independent interface*), ktoré bolo na navrhovanom module použité pre pripojenie čipu TLK100 spoločnosti Texas Instruments. Tento obvod realizuje fyzickú vrstvu Ethernetu a integruje v sebe celú funkčnosť potrebnú pre komunikáciu po štandardnej krútenej dvojlinke, vrátane funkcie automatickej detekcie prekríženia kábla tzv. *Auto MDI/MDI-X crossover*. Obvod pre svoju funkciu vyžaduje zdroj hodinového signálu – pri použití MII je to signál s frekvenciou 25 MHz, ktorý zabezpečuje pripojený kryštál. Pre detaily ohľadom zapojenia viď dodatok A.5.

Pre pripojenie samotného komunikačného média (krútenej dvojlinky) je použitý konektor RJ-45 s integrovanými transformátormi. Transformačné pomery oboch transformátorov musia byť 1:1 z dôvodu zachovania funkcie Auto MDI/MDI-X crossover. Bolo by možné použiť typ konektora bez transformátorov a tieto pripojiť ako samostatnú súčiastku, ale toto riešenie spotrebuje viac priestoru na doske plošných spojov.

Filtre okolo konektora RJ-45 (*TPI – twisted pair interface*), ako aj zvyšok zapojenia (indikačné LED a kryštál) boli navrhnuté podľa odporúčania výrobcu v katalógovom liste [31]. Rezistory R1010 až R1012 pripojené paralelne k indikačným LED slúžia na počiatočnú konfiguráciu funkcie *Auto-negotiation* do režimu keď sa obvod TLK100 s partnerom v komunikácii „dohodne“ na rýchlosti a používanom duplexe dátových prenosov. Toto nastavenie je možné zmeniť pomocou interných registrov obvodu.

Keďže na rozhranie MII možno pripojiť viac obvodov realizujúcich fyzickú vrstvu, sú obvody odlišené adresou. Obvod TLK100 umožňuje túto adresu definovať počas resetu pomocou logickej hodnoty na vývodoch MII_RXD_0 až MII_RXD_3 a MII_COL označených tiež ako PHYAD0 až PHYAD4. Keďže vývody sú ošetrené internými pull-down rezistormi a v zapojení je použitý jediný tento obvod, je ponechaná adresa 00000.

Vývod PWRDNN/INT (42) slúži pre vypnutie čipu. Táto funkcia nie je implementovaná, a nakoľko je vývod vybavený interným pull-up rezistorom, je tento pin ponechaný nezapojený.

Na samostatnú kontaktnú lištu je vyvedené rozhranie JTAG obvodu TLK100 pre prípad potreby, alebo experimentovania s boundary-scan.

SPI

SPI rozhranie použitého mikrokontroléra obsahuje 4 signály chip select (SPICS0 až SPICS3). Dva z nich (SPICS2 a SPICS3) sú k dispozícii na dvanásťpinovej kontaktnej lište P703 modulu spolu s hodinovým a dátovými signálmi. Na túto lištu je tiež vyvedené napájanie 3,3 V (viď dodatok A.6). Sem je možné pripojiť ďalšie rozširujúce moduly (GPS, RF transceiver a iné).

Signál SPICS0 je použitý pre výber sériovej DataFlash pamäte osadenej priamo na module a SPICS1 je k dispozícii na konektoroch P700 a P702 spolu s SPICS2 a SPICS3. Signál

SPICS1 je však v prípade pripojenia FPGA modulu použitý pre zavedenie konfigurácie do čipu FPGA (viď dodatky A.6 resp B.5).

Sériová linka RS-232

Signály RXD0 a TXD0 mikrokontroléra sú privedené na obvod U700 – MAX3232CUE, ktorý predstavuje prevodník napätových úrovní z LVTTTL na úrovne RS-232 (viď dodatok A.6). Tento obvod je v prevedení SMD a pre svoju činnosť vyžaduje len 5 kondenzátorov s kapacitou 100 nF. Keďže pre toto sériové rozhranie je použitá len polovica obvodu U700, druhá polovica je využitá sériovým ladiacim rozhraním DBGU mikrokontroléra. Napäťovo upravené signály týchto dvoch rozhraní sú vyvedené na deväťpinové dutinkové subminiatúrne D-konektory.

JTAG

Modul má vyvedené aj dve rozhrania JTAG. Na konektor P101 (dodatok A.2) je vyvedené rozhranie JTAG mikrokontroléra, ktoré možno použiť pre čítanie a zápis obsahu pamätí modulu, taktiež pre tzv. boundary-scan a iné. Zapojenie a rozmiestnenie vývodov na tomto konektore je zhodné s rozložením na vývojovom kite AT91RM9200EK spoločnosti Atmel a zodpovedá rozmiestneniu vývodov JTAG/ICE rozhrania ponúkaného rovnakou spoločnosťou pre prácu s podobnými zariadeniami.

Na konektor P1000 (dodatok A.5) je pre prípad potreby vyvedené rozhranie JTAG obvodu TLK100 (fyzická vrstva sieťového rozhrania).

3.7.3 Externá zbernica

V dodatku A.7 je uvedená schéma zapojenia konektora externej zbernice a prislúchajúcich obvodov. Profajšok na module FPGA možno nájsť v dodatku B.6. Na konektor P400 je vyvedená časť EBI (external bus interface) predstavujúca zbernicu s dátovou šírkou 16 bitov. K dispozícii je spolu 23 adresových signálov, čo umožňuje naadresovať spolu 8 MB pamäťového priestoru. V súčinnosti so signálmi NSMCS a NCS vo funkcii povoľovacích signálov (*chip select*) teda možno adresovať až 16 MB adresového priestoru. Toto rozhranie ďalej obsahuje riadiace signály NRD, NWE, NUB a tiež NRST, ktoré zabezpečujú (po poradí) čítanie dát, povolenie zápisu dát, výber horného bajtu pri 16 bitovom prístupe a reset pripojeného zariadenia.

Keďže časť tejto zbernice je použitá aj pre pripojenie pamäte SDRAM a paralelnej Flash pamäte na module s MCU, kde komunikácia prebieha na pomerne veľkých rýchlostiach (s SDRAM na 80 MHz), sú dátové signály spodných 16 adresových signálov opatrené zbernicovým transceiverom s trojstavovým výstupom SN74ALVCH16245. Tento spôsobuje, že signály sú na externú zbernicu pripojené len v prípade, že sa nekomunikuje z pamäťou SDRAM, resp. Flash. Transceiver je ovládaný obvodom U4, ktorý obsahuje jedno NAND hradlo. Týmto sa odbúrало ovplyvnenie komunikácie po zbernici v rámci modulu parazitnými kapacitami na externej časti zbernice, keďže nemožno dopredu určiť, čo bude na externú zbernicu pripojené.

3.7.4 Vývody na všeobecné použitie

Vývody mikrokontroléra, ktoré neboli použité pre realizáciu funkčnosti samotného modulu, sú vyvedené na kontaktné lišty pre neskoršie využitie. Tri z nich (vývody PA19 až PA21)

boli pripojené na LED D101 až D103 (viď dodatok A.3), ktoré sú umiestnené na module a možno ich použiť pre signalizáciu užívateľovi. Ostatné nevyužité piny sú vyvedené na konektory P700, P701 a P702 (viď dodatok A.6). Lišta P701 pozostáva zo šiestich pinov, ktoré možno použiť ako všeobecné vstupy/výstupy, alebo ako niektorú perifériu. Funkcia jednotlivých pinov je popísaná v tabuľke 3.7.

Pin	Vývod	Periféria 1	Periféria 2	Popis
1	PA22	RXD2	TIOB2	USART príjem, resp. vstup/výstup čítača/časovača
2	PA23	TXD2	IRQ3	USART vysielanie, resp. požiadavka na prerušenie
3	PA24	SCK2	PCK1	USART hodiny, resp. výstup prog. generátora hodín
4	PB0		RTS3	USART ready to send
5	PB1		CTS3	USART clear to send
6	PB2		SCK3	USART hodiny

Tabuľka 3.7: Multiplexovanie periférií MCU pripojených na kontaktnú lištu P701.

Konektor P700 obsahuje 50 dutiniek, na ktoré sú pripojené vývody PC0 až PC31 (celý port C) mikrokontroléra, ďalej niektoré signály rozhraní SPI a TWI, ako aj niektoré ďalšie nevyužité signály. Presný popis uvádza tabuľka 3.8. Možno badať, že okrem použitia na všeobecné vstupno-výstupné piny možno využiť aj niekoľko periférií ako SPI s troma signálmi chip select, programovateľný generátor hodinového signálu (PCKx), požiadavky na prerušenie IRQx a FIQ, taktiež SSC (*synchronous serial controller*), ďalšie signály chip select pre externú zbernicu NCSx, čítače/časovače a dvojvodičovú zbernicu TWI. V prípade využitia pinov 1 a 2 konektora ako zbernice TWI, je možné pomocou prepojok W701 a W702 pripojiť pull-up rezistory R701 a R702.

Celý konektor (až na piny 7 až 12 – SPI) je na doske plošných spojov zdvojený ako P702. Piny 7 až 12 sú použité pre napájacie napätie 3,3 V pre pripojené externé zariadenia.

3.7.5 Podporné obvody

Mikrokontrolerový modul obsahuje aj ďalšie obvody zabezpečujúce správnu funkciu celého modulu. Ide predovšetkým o napájací podsystem spolu s resetovacím podsystemom, ďalej obvody oscilátorov a konfiguračné prepojky.

Napájanie modulu a reset

Celý modul je napájaný napätím 5 V, ktoré je priamo použité pre napájanie pripojeného podriadeného USB zariadenia. Z tohto napájacieho napätia je pomocou obvodu TL1963a-33 (U1300) odvodené napájacie napätie 3,3 V (max. 1,5 A) a z neho následne pomocou obvodu TPS77518D (U1301) aj napätie 1,8 V (max. 0,3 A) pre jadro mikrokontroléra. Obvod TL1963a-33 je na doske plošných spojov vybavený plôškou slúžiacou na odvod tepla (viď dodatok A.11). Prítomnosť napájacieho napätia 3,3 V je indikovaná LED D1301. Schému zapojenia napájacieho zdroja, ako aj obvodov obsluhujúcich reset, možno nájsť v dodatku A.9.

Modul obsahuje aj jednoduchý Power-on Reset (POR) obvod tvorený integrovaným obvodom MCP1322T-29LE, ktorý uvoľní signál NRST do neakívneho stavu až po uplynutí 250 ms od prekročenia napätia 2,9 V v 3,3 V na napájacej vetve. Tento obvod obsluhuje aj reset vyvolaný užívateľom prostredníctvom tlačítka SW1.

Ďalším resetovacím signálom mikrokontroléra je signál NTRST (*test reset*). Tento je uvoľňovaný obvodom U1301 po ustálení napätia 1,8 V (výstup PG – *power good*) a slúži

Pin	Vývod	Periféria 1	Periféria 2	Pin	Vývod	Periféria 1	Periféria 2
1	PA25	TWD	IRQ2	2	PA26	TWCK	IRQ1
3	PB27	PCK0		4	PA23	TXD2	IRQ3
5	PB29	IRQ0		6	PB28	FIQ	
7	PA5	SPCS2	TXD3	8	PA6	SPCS3	RXD3
9	PA2	SPCK	IRQ4	10	PA4	SPCS1	PCK1
11	PA0	MISO	PCK3	12	PA1	MOSI	PCK0
13	PC5	BFWF		14	PC6	NWAIT	
15	PC3	BFBAA/SMWE		16	PC4	BFOE	
17	PC1	BFRDY/SMOE		18	PC2	BFAVD	
19	PC15			20	PC0	BFCK	
21	PC13	NCS7		22	PC14		
23	PC11	NCS5/CFCE1		24	PC12	NCS6/CFCE2	
25	PC31	D31		26	PC10	NCS4/CFCS	
27	PC29	D29		28	PC30	D30	
29	PC27	D27		30	PC28	D28	
31	PC25	D25		32	PC26	D26	
33	PC23	D23		34	PC24	D24	
35	PC21	D21		36	PC22	D22	
37	PC19	D19		38	PC20	D20	
39	PC17	D17		40	PC18	D18	
41	PB6	TF1	TIOA3	42	PC16	D16	
43	PB8	RD1	TIOB4	44	PB7	TK1	TIOB3
45	PB10	RK1	TIOA5	46	PB9	RD1	TIOB4
47	PC9	A25/CFRNW		48	PB11	RF1	TIOB5
49	PC7	A23		50	PC8	A24	

Tabuľka 3.8: Multiplexovanie periférií MCU pripojených na kontaktnú lištu P700. Po resete MCU je pin konfigurovaný ako signál uvedený hrubým písmom resp. ako vstupno-výstupný pin, ak žiadny signál nie je uvedený hrubo.

na resetovanie rozhrania JTAG/ICE. Aktívny stav na NTRST možno vyvolať manuálne stlačením tlačidla SW2. Viac informácií o použití oboch resetovacích vstupov MCU možno nájsť v katalógovom liste [7].

Oscilátory a PLL

Mikrokontrolér AT91RM9200 vyžaduje pre svoju funkciu dva kryštály pre generovanie hodinových signálov. Jeden pracuje na frekvencii 32,768 kHz a je používaný obvodom reálnych hodín (RTC). Druhý kryštál udáva takt systémového hodinového signálu. Keďže zavádzací program v ROM mikrokontroléra obsahuje automatickú detekciu použitého kryštálu, môže tento pracovať len na niekoľkých (tridsiatich) stanovených frekvenciách. Zavádzací program samočinne zistí, ktorý z rozpoznateľných kryštálov je pripojený a podľa toho následne konfiguruje systém (viď časť 13.3.3 v [7]). Frekvencia druhého kryštálu bola zvolená 12 MHz, keďže z tejto frekvencie možno jednoducho získať frekvenciu 48 MHz pre rozhranie USB a tiež plnú pracovnú frekvenciu 180 MHz.

Obvod generátora hodín v mikrokontroléri obsahuje dva obvody fázového závesu (PLL). Jeden je použitý práve na generovanie hodín pre rozhrania USB a druhý na generovanie hlavného hodinového signálu (*main clock*). Každý z obvodov PLL potrebuje pre svoju činnosť pripojiť externý filter pozostávajúci z dvoch kondenzátorov a jedného rezistora (viď

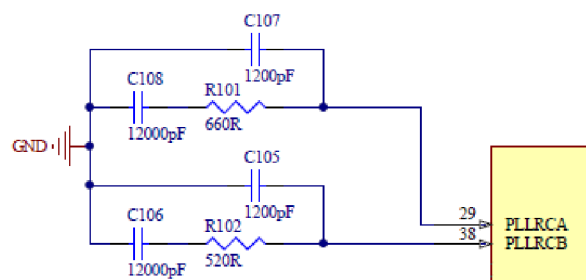
dotatok A.2). Ich hodnoty závisia od vstupnej frekvencie (a teda od použitého kryštálu) a tiež od požadovanej výstupnej frekvencie. Na výpočet hodnôt možno použiť v Exceli skriptovaný nástroj spoločnosti Atmel, ktorý je voľne k dispozícii na stránkach [19].

V tomto prípade bol jeden obvod fázového závesu vyhradený pre vytvorenie frekvencie 96 MHz pre USB (neskôr sa delí na polovicu). Hodnoty súčiastok tohto filtra boli určené pomocou uvedeného nástroja nasledovne:

- $F_{in} = 12 \text{ MHz}$; $DIV = 1$; $MUL = 8$; $F_{out} = 96 \text{ MHz}$ $F_n = 46 \text{ kHz}$;
- boli vypočítané hodnoty súčiastok filtra („Estimate Filter“);
- v „Discrete element values“ boli zvolené blízke hodnoty $R_{102} = 520\Omega$; $C_{106} = 12 \text{ nF}$; $C_{105} = 1,2 \text{ nF}$;
- „Calculate PLL Spread“.

Vo výsledku vyšiel čas nábehu (*start up time*) rovný 0,619 ms a činiteľ útlmu (*damping factor*) 0,911.

Rovnaký postup bol zopakovaný pre filter druhého obvodu PLL s tým rozdielom, že bol použitý násobiaci faktor $MUL = 15$, čím sa získala výstupná frekvencia 180 MHz a parameter F_n bol zvolený $F_n = 33 \text{ kHz}$. Pri voľbe $R_{101} = 660\Omega$; $C_{108} = 12 \text{ nF}$ a $C_{107} = 1,2 \text{ nF}$ vyšiel čas nábehu 0,619 ms a činiteľ útlmu 0,844.



Obrázok 3.4: Zapojenie filtrov PLL obvodov mikrokontroléra.

Konfigurácia

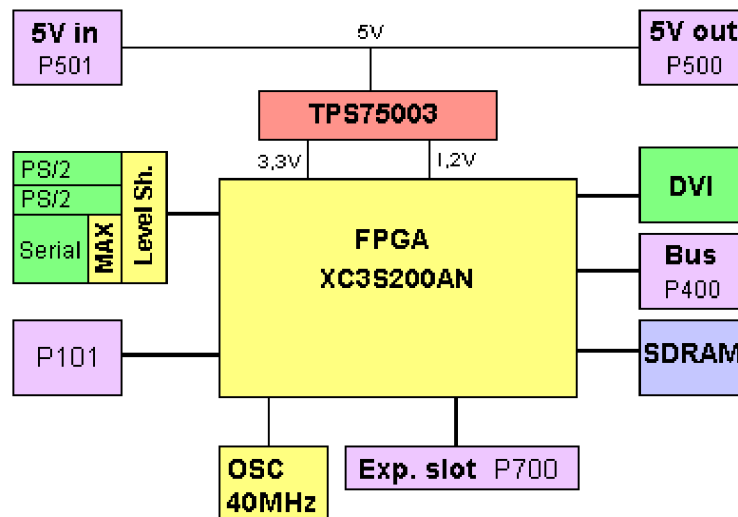
Pre konfiguráciu modulu s MCU je použitých niekoľko málo skratovacích prepojok. Ide o prepojku P102 obsluhujúcu pin BMS – boot mode select (dotatok A.3). Pomocou nej možno určiť, či sa po resete bude vykonávať kód z internej pamäte ROM, alebo z externej 16-bitovej paralelnej pamäte Flash. V prípade použitia zavádzača z internej ROM, možno pomocou prepojky W901 vyradiť z činnosti pamäť DataFlash pripojenej na SPI a umožniť tak zavádzaču načítať vykonateľný program cez USB, alebo ladiace rozhranie DBGU.

Ďalšou prepojkou je W101 obsluhujúca signál JTAGSEL (dotatok A.2). Možno ňou zvoliť režim práce rozhrania JTAG medzi JTAG boundary scan a Embedded ICE. Po zmene jej nastavenia je nutné aplikovať oba resety (NRST a NTRST), aby sa zmena prejavila.

Ďalej možno nastaviť pripojenie pull-up rezistorov na linky dvojvodičovej zbernice TWI pomocou prepojok W701 a W702 (viď dotatok A.6).

3.8 Návrh zapojenia modulu s FPGA

Táto časť sa zaoberá návrhom modulu osadeného čipom FPGA firmy Xilinx. Ide o typ XC3S200AN, ale je nahraditeľný aj typmi XC3S400A a XC3S200A v rovnakých puzdrách a s rovnakým rozložením vývodov. Blokovú schému modulu možno nájsť na obrázku 3.5. Podrobnú schému zapojenia modulu možno nájsť v závere tejto práce v časti s prílohami. Označovanie pozícií jednotlivých komponentov zodpovedá značeniu v schéme zapojenia FPGA modulu uvedenej v dodatku B, pokiaľ nie je v texte uvedené inak.



Obrázok 3.5: Bloková schéma modulu s FPGA. Pre prehľadnosť nie je znázornený rozvod napájania 3,3 V k ostatným blokom a rozhrania JTAG.

3.8.1 Pamäte

Ako pamäť pripojená k FPGA je použitý rovnaký typ MT48LC16M16A2TG s kapacitou 32 MB a šírkou dátovej zbernice 16 bitov, ako je osadený na module s mikrokontrolérom. Pamäť je pripojená na bank 1 čipu FPGA a rovnako, ako v prípade modulu s MCU, ju je možné vymeniť za iný typ s menšou alebo väčšou kapacitou. Schéma zapojenia je uvedená v dodatku B.2.

Použitý typ FPGA, na rozdiel od ostatných rodín generácie Spartan3, v sebe obsahuje aj pamäť typu Flash pre uloženie konfigurácie. Obovod je však pomocou pinov M0 až M2 nastavený do režimu konfigurácie *slave serial* – konfigurácia sa teda zavádza sériovo z nadradeného zariadenia, v tomto prípade z mikrokontroléra na pripojenom MCU module (viď dodatok B.5).

FPGA XC3S200AN ďalej obsahuje 28 kb distribuovanej RAM a 288 kb blokovej RAM organizovanej do 16 dvojportových blokov s kapacitou 18 kb (viď [38]).

3.8.2 Rozhrania

V ďalšom texte budú popísané rozhrania RS-232, PS-2, JTAG a DVI, ktorými disponuje modul FPGA. Taktiež bude zmienené konfiguračné rozhranie FPGA čipu. Zapojenie rozhraní PS-2 a RS-232 bolo prevzaté z dokumentácie k platforme FitKit [36].

Sériová linka RS-232

Pre realizáciu sériovej linky typu RS-232 bol použitý obvod MAX232CWE, ktorý pracuje s napájaním 5 V a vyžaduje pre svoju funkciu päť kondenzátorov s kapacitou $1\ \mu F$. Tento obvod prispôbuje napäťové úrovne z/na úrovne požadované štandardom RS-232. Ošetruje štyri signály tohto rozhrania: TXD, RXD, RTS a CTS, ktoré sú vyvedené na kolíkový subminiaturný D-konektor. Schéma zapojenia je uvedená v dodatku B.4.

PS-2

FPGA modul obsahuje dve rozhrania PS-2 použiteľné pre pripojenie štandardnej počítačovej klávesnice a myši (viď dodatok B.4). Keďže rozhranie pracuje s 5 V napäťovými úrovňami, bol pre pripojenie k FPGA (3,3 V LVTTTL) použitý level shifter SN74CBTD3384PWLE. Tento je možné rozpojením prepojky W501 vyradiť z činnosti. Signály rozhraní PS-2 sú vyvedené na bežné konektory používané v PC.

DVI

Vzhľadom k požiadavke na obrazový výstup bol do zapojenia modulu zahrnutý aj DVI transmittér spoločnosti Texas Instruments TFP410. Ten na vstupnej strane prijíma obrazové dáta v podobe binárne kódovaných farebných zložiek jednotlivých pixelov a tiež informácie o horizontálnej a vertikálnej synchronizácii. Na výstupe sú prítomné signály jedného kanálu rozhrania DVI, ktoré sú vyvedené na štandardný DVI konektor. Zapojenie transmittéra, ako aj DVI konektora možno nájsť v dodatku B.3.

K FPGA sú okrem dátových signálov so šírkou 24 bitov pripojené aj konfiguračné signály v podobe zbernice I²C, jej resetovacieho signálu, horizontálnej a vertikálnej synchronizácie. DVI transmittér obsadzuje takmer všetky vývody banku 0.

Zbernica I²C je povolená pri vysokej úrovni na vstupe ISEL transmittéra. Nízka úroveň prevádza reset zbernice a je ho možné vyvolať z FPGA, keďže vstup ISEL je pripojený na pin IO_L01N_0. Pri povolenej zbernici I²C (ISEL = 1) je možné použiť programovateľný výstup transmittéra na pine PO1 pripojenom na pin IO_L01P_0 FPGA. Konfigurácia tohto programovateľného výstupu, ako aj ostatných funkcií transmittéra, sa prevádza pomocou registrov dostupných cez I²C. Adresa čipu na zbernici je pomocou vstupov A1 až A3 nastavená na 0111000x, kde x nadobúda hodnotu 1 pre čítanie a hodnotu 0 pre zápis – pre čítanie sa teda použije adresa 0x71 a pre zápis 0x70.

Pomocou prepojky W301 je možné DVI transmittér uviesť do stavu s nízkym príkonom. Pre viac informácií viď katalógový list [33].

JTAG

Na konektor P1001 (dodatok B.5) sú vyvedené signály TDO, TDI, TMS a TCK rozhrania JTAG FPGA s rovnakým rozložením, ako JTAG rozhranie FPGA osadeného na platforme FitKit. Uhlový konektor je umiestnený na okraji dosky tak, aby bol prístupný aj pri spojení s modulom mikrokontroléra (viď dodatok B.8).

Konfiguračné rozhranie

Pomocou vývodov M0 až M2 je FPGA nastavené do režimu konfigurácie ako *slave serial* – to znamená, že konfigurácia bude nahratá po sériovej linke z nadradeného zariadenia. Pre zavedenie konfigurácie sa používajú vývody PROG_B, DONE, CCLK, DO/DIN, INIT_B.

Tieto sú vyvedené na kontaktnú lištu P700, ktorá predstavuje protikus k dutinkovej lište P700 modulu s MCU. Zapojenie je zvolené tak, aby bolo možné nahradiť konfiguráciu do FPGA pomocou rozhrania SPI mikrokontroléra s použitím niekoľkých ďalších vývodov MCU. Pripojenie je uvedené v tabuľke 3.9, schéma zapojenia potom v dodatku B.5.

Signál SPCS1 (na IO.L13N.2) nie je použitý priamo na konfiguráciu, ale je vyhradený celkovo pre FPGA. Pri konfigurácii teda MCU aktivuje SPCS1, pomocou PROG_B a INIT_B uvedie FPGA do režimu konfigurácie a po SPI odošle konfiguráciu. Priebeh konfigurácie možno sledovať pomocou LED D102 až D104. Po skončení konfigurácie (normálna funkcia) je zas možné použiť SPI s SPCS1 pre komunikáciu medzi MCU a FPGA.

FPGA	MCU
PROG_B	PC29
DONE	PC30
CCLK	SPCK
D0/DIN	MOSI
INIT_B	PC31
IO.L13N.2	SPCS1

Tabuľka 3.9: Pripojenie konfiguračného rozhrania FPGA k MCU cez konektor P700.

3.8.3 Vývody na všeobecné použitie

FPGA modul obsahuje konektor P101, na ktorý sú vyvedené vývody čipu FPGA nepoužívané v rámci modulu. Niektoré pozície môžu slúžiť ako všeobecné vstupno-výstupné piny, iné sú použiteľné len ako vstupy. Pripojenie jednotlivých pinov uvádza tabuľka 3.10 a dodatok B.4.

Označenie	Pin FPGA	Označenie	Pin FPGA
X0	IO.L02P.1	X1	IO.L22P.3
X2	IO.L22N.3	X3	IO.L23N.3
X4	IO.L24P.3	X5	IO.L23P.3
X6	IO.L02N.2	X7	IO.L03P.2
X8	IO.L03N.2	X9	IO.L05P.2
X10	IO.L06P.2	X11	IO.L05N.2
X12	IO.L04N.2	X13	IO.L06N.2
X14	IO.L07N.2	X15	IO.L04P.2
X16	IO.L09N.2/GCLK13	X17	IO.L09P.2/GCLK12
X18	IO.L08P.2	X19	IO.L07P.2
X20	IO.L10N.2/GCLK15	X21	IO.L10P.2/GCLK14
X22	IO.L08N.2	X23	IO.L12P.2/GCLK2
X24	IO.L11P.2/GCLK0	IN0	
IN1		IN2	
IN3		IN4	
GND		3V3	

Tabuľka 3.10: Zapojenie konektora P101 FPGA modulu.

Tabuľka 3.11 zobrazuje pripojenie FPGA ku konektoru P700 (viď dodatok B.5). Označenie pinov je uvedené podľa predpokladaného použitia v prípade spojenia s navrhovaným MCU modulom. Okrem signálov používaných pre nahratie konfigurácie do FPGA (piny 9 až 12 a 25 až 28) je možné všetky signály použiť aj ako všeobecné vstupy/výstupy.

Označenie	Pin	Pin FPGA	Označenie	Pin	Pin FPGA
TWD	1	IO_L19N_2	TWCK	2	IO_L19P_2
PCK0	3	IO_L11N_2/GCLK1	IRQ3	4	IO_L18P_2
IRQ0	5	IO_L18N_2	FIQ	6	IO_L17N_2
	
SPL_CLK	9	IO_L20N_2/CCLK	SPICS1	10	IO_L13N_2
MISO	11	IO_L15N_2/DOUT	MOSI	12	IO_L20P_2/DIN
	
PC31	25	IO_L17P_2/INIT_B			
PC29	27	PROG_B	PC30	28	DONE
	
IN10	35	IP_L21P_1			
IN8	37	IP_L13N_1	IN9	38	IP_L21N_1
IN6	39	IP_L04P_1	IN7	40	IP_L09N_1
TF1/TIOA3	41	IO_L16N_2	IN5	42	IP_L04N_1
TD1/TIOA4	43	IO_L15P_2	TK1/TIOB3	44	IO_L16P_2
RK1/TIOA5	45	IO_L14N_2	RD1/TIOB4	46	IO_L13P_2
			RF1/TIOB5	48	IO_L14P_2

Tabuľka 3.11: Zapojenie konektora P700 FPGA modulu. Vynechané piny nie sú spojené s vývodmi FPGA.

Pripojenie na zbernicu

Piny banku 3 čipu FPGA sú z veľkej časti pripojené na kontaktnú lištu P400. Ich rozloženie bolo volené tak, aby zodpovedalo zapojeniu zbernice vyvedenej na konektor P400 modulu mikrokontroléra (zapojenia možno nájsť v dodatoch B.6 a A.7). Keďže FPGA disponuje pinmi použiteľnými výlučne ako vstupy, boli tieto pripojené na pozície P400, kde sa nachádzajú adresové vodiče zbernice. V prípade použitia FPGA modulu v kombinácii s iným nadradeným modulom, možno tento konektor použiť podľa ľubovôle. Značenie v schémach však vychádza z predpokladu, že sa moduly budú používať spoločne a signály teda boli pomenované ako na zbernici.

3.8.4 Podporné obvody

Modul s FPGA obsahuje aj niekoľko podporných obvodov. Ide najmä o generátor hodinového signálu realizovaný oscilátorom CSX750F pracujúcim na frekvencii 40 MHz. Jeho výstup je pripojený na pin GCLK3 čipu FPGA a je možné ho použiť ako zdroj hodinového signálu pre logiku realizovanú v rámci FPGA. Pripojenie oscilátora k FPGA je zachytené v dodatku B.5.

Ďalším dôležitým podsystemom je napájací zdroj zobrazený v dodatku B.7. Celý modul je napájaný napätím 5 V, ktoré je vyvedené na konektor P500, kde slúži na napájanie pripojeného modulu mikrokontroléra. Toto napájacie napätie je tiež privedené na integrovaný obvod U500 TPS75003HLR, ktorý vyrába spoločnosť Texas Instruments špeciálne pre napájanie FPGA čipov Spartan-3 firmy Xilinx (viď [32]). Obvod je zapojený podľa odporúčaní výrobcu. Taktiež rozloženie súvisiacich súčiastok a motív plošného spoja boli prevzaté z katalógového listu.

Na výstupe napájacieho zdroja realizovaného okolo obvodu U500 sú prítomné napätia 3,3 V, 2,5 V a 1,2 V. Keďže použité FPGA pochádza z rodiny Spartan 3AN, nevyžaduje na-

pájacie napätie 2,5 V a toto zostalo tým pádom nevyužité¹. Tabuľka 3.12 uvádza maximálne odoberateľné prúdy z jednotlivých napájacích vetiev. Pre stanovenie prúdu odoberaného čipom FPGA pre konkrétne nasadenie možno použiť nástroje XPower Estimator alebo XPower Analyzer.

Výstupné napätie	Maximálny odoberaný prúd
3,3 V	3 A
2,5 V	300 mA
1,2 V	3 A

Tabuľka 3.12: Maximálne prúdy odoberané z napájacieho zdroja FPGA modulu za ideálnych teplotných podmienok.

¹Napájacia vetva 2,5 V je použitá len pre spustenie nábehu ostatných napájacích vetiev.

Kapitola 4

Použitie platformy

V tejto kapitole bude popísané navrhované vstavané zariadenie z pohľadu práce s ním ako s celkom. Možno tu nájsť parametre a vlastnosti modulov pri ich vzájomnom prepojení, taktiež sa spomínajú softvérové aspekty použitia systému, vrátane možností zavedenia operačného systému.

Keďže testovanie úzko súvisí s popisom vlastností a použitia celého zariadenia, bude v tejto kapitole venovaná špeciálna časť práve testovaniu a overeniu funkčnosti jednotlivých podsystémov.

4.1 Vlastnosti a parametre

Nasledujúci prehľad zhrňa najdôležitejšie vlastnosti a parametre vytvoreného vstavaného zariadenia. Niektoré periférie môžu byť vyvedené pomocou pinov započítaných medzi užívateľské piny a pochopiteľne ich teda nie je možné používať súčasne v oboch režimoch.

- mikrokontrolér:
 - výkon 200 MIPS pri frekvencii hodinového signálu 180 MHz;
 - obvod reálneho času s možnosťou generovania prerušenia (funkcia Alarm);
 - žiadne aktívne chladiace prvky.
- FPGA XC3S200AN:
 - 200 000 hradiel;
 - 28 Kb distribuovanej RAM pamäte a 288 Kb blokovej RAM pamäte;
 - 16 násobičiek;
 - 4x digital clock manager (DCM) na konektore, pripojený 40 MHz oscilátor.
- pamäte:
 - Flash – 1 MB sériovej DataFlash + 4 MB paralelnej Flash, obe použiteľné pre vykonateľný kód po resete (bootloader, ...);
 - SDRAM – 32 MB pamäte pripojenej na externú zbernicu mikrokontroléra + 32 MB pamäte pripojenej na FPGA;
 - slot pre SD pamäťovú kartu – možno použiť ako úložný priestor pre súborový systém OS.

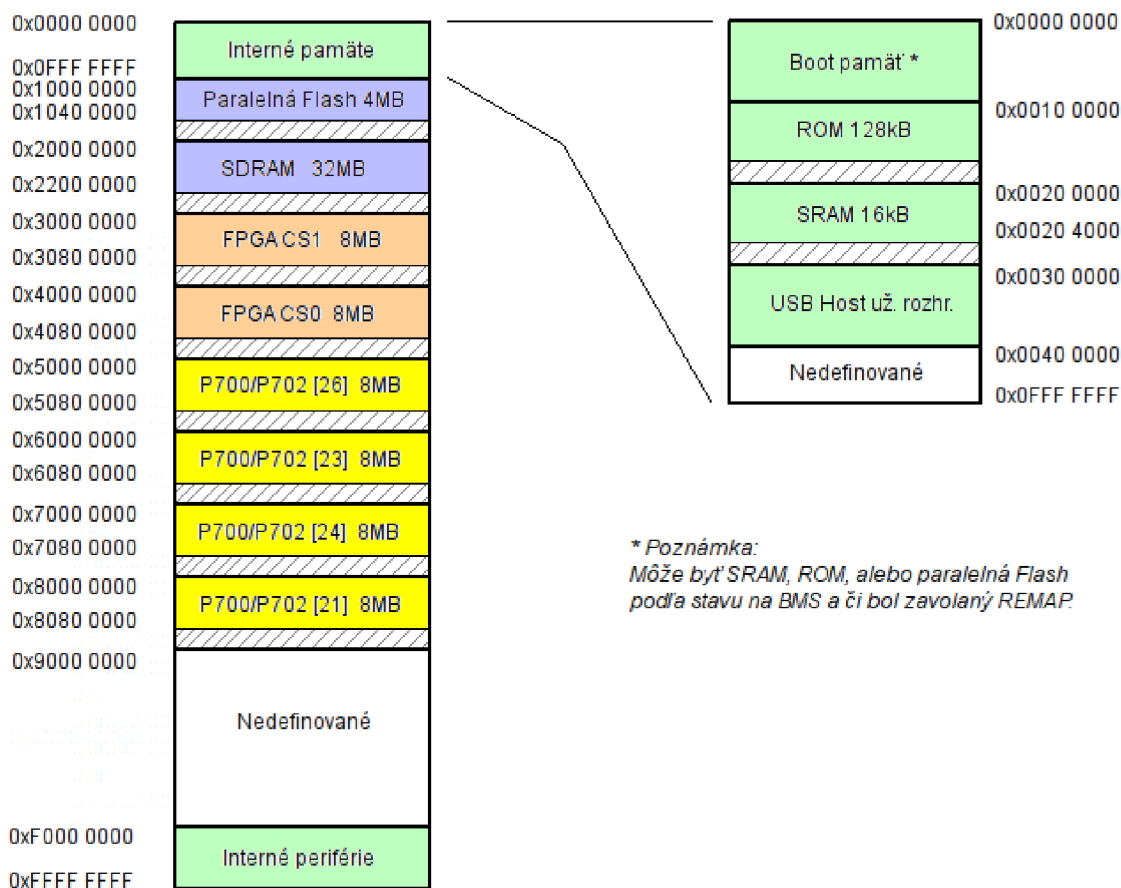
- rozhrania a periférie:
 - Ethernet s 10/100 Mbps prenosom s integrovanou 28 B FIFO štruktúrou a vyhradeným DMA kanálom;
 - USB 2.0 full speed host port s vyhradeným DMA kanálom;
 - USB 2.0 full speed device port s integrovanou 2 kB FIFO štruktúrou;
 - DVI pre pripojenie monitora obsluhované logikou realizovanou v FPGA;
 - sériové linky podľa RS-232 vyvedené na 9 pinový D-konektor:
 - * DBGU rozhranie pre ladiace účely;
 - * dvojvodičová linka (RXD, TXD) dostupná z mikrokontroléra;
 - * štvorvodičová linka (RXD, TXD, RTS, CTS) obsluhovaná logikou v FPGA.
 - rozhranie SPI – Dva externé signály chip select obsluhované mikrokontrolérom vyvedené spolu s napájacím napätím 3,3 V na kontaktné lišty;
 - rozhrania PS/2 pre pripojenie počítačovej myši a klávesnice;
 - programovateľný generátor hodinového signálu;
 - I²C zbernica;
 - SSC rozhranie;
 - signály čítača/časovača;
 - vstupy požiadaviek na prerušenie IRQ.
- užívateľské piny:
 - 50 vstupno-výstupných pinov pripojených na mikrokontrolér, tieto sú multiplexované s niektorými perifériami;
 - 25 vstupno-výstupných pinov pripojených na FPGA, z toho 6 použiteľných ako vstup hodinového signálu pre obvod DCM (*digital clock manager*) v FPGA;
 - 5 vstupných pinov pripojených na FPGA.
- jediné napájacie napätie 5 V.

4.1.1 Adresový priestor MCU

Pre prehľadnosť je na obrázku 4.1 uvedené mapovanie pamätí do adresového priestoru mikrokontroléra. Časti označené červenou a žltou farbou predstavujú mapovanie pamätí pripojiteľných na externú zbernicu. Keďže adresová časť externej zbernice má šírku 23 bitov, je možné adresovať vždy maximálne 8 MB pamäte na jeden povoľovací signál.

Zbernica je prostredníctvom konektora P400 MCU modulu privedená na FPGA modul, kde sú signály pripojené k FPGA čipu. Pripojené sú aj povoľovacie signály NCS2 a NCS3 mikrokontroléra, na FPGA module označené ako CS1 a CS0 (po poradí).

Povoľovacie signály NCS4 až NCS7 sú vyvedené spolu s ďalšími vývodmi mikrokontroléra na kontaktné lišty P700, resp. P702 a možno ich použiť pre povoľovanie ďalších prídavných zariadení pripojených na zbernicu. Na obrázku 4.1 sú zodpovedajúce časti adresového priestoru označené žltou a v hranatých zátvorkách sú uvedené čísla pinov na konektoroch P700, resp. P702, na ktoré sú príslušné povoľovacie signály vyvedené.



Obrázok 4.1: Mapovanie pamätí do adresového priestoru mikrokontroléra.

Premapovanie pamätí po resete

Organizácia interných pamätí je odlišná pre rôzne stavy na pine BMS (*boot mode select*) a tiež pre rôzne fázy činnosti mikrokontroléra (viď poznámka na obrázku 4.1). Keďže zabudovaný procesor po resete začína vykonávať kód od adresy 0x0000 0000, je potrebné nejakým spôsobom zohľadniť rôzne možnosti štartu (viď časť 4.2). To, ktorá pamäť je mapovaná na začiatok pamäťového priestoru (časť označená ako „Boot pamäť“ na obrázku 4.1) možno ovplyvniť dvoma spôsobmi:

- stavom na pine BMS (*boot mode select*) mikrokontroléra,
- zavolaním príkazu *remap*.

V prípade, že je pri uvoľnení resetu BMS na vysokej úrovni, je na adresu 0x0000 0000 mapovaná interná ROM pamäť a umožní tak zavedenie zabudovaného zavádzača. Tento stav trvá až do vydania príkazu *remap*, keď je na začiatok adresového priestoru namapovaná interná pamäť SRAM.

V opačnom prípade, teda keď je BMS pri štarte na nízkej úrovni, je na adresu 0x0000 0000 mapovaná externá Flash pamäť pripojená pomocou EBI cez 16 bitov širokú dátovú zbernicu. Rovnako, ako v predchádzajúcom prípade, je po vykonaní príkazu *remap* na začiatok adresového priestoru mapovaná pamäť SRAM.

Nech je na adresu 0x0000 0000 mapovaná ktorákoľvek pamäť, je táto vždy dostupná aj na svojom pôvodnom umiestnení. V tabuľke 4.1 je prehľadné znázornené mapovanie pamäte v závislosti na stave BMS a príkazu remap. Tento príkaz sa vykonáva zapísaním hodnoty 1 do poľa RCB registra MC_RCR (*remap control register*). Premapovanie možno zrušiť opätovným zapísaním hodnoty 0 do uvedeného poľa. Toto môže pomôcť pri ladení zavádzacej sekvencie. Pre viac informácií viď katalógový list [7].

Stav BMS	Pred remap		Po remap
	1	0	X
Int. pamäťová oblasť 0	Int. ROM	Ext. pamäťová obl. 0 (Flash)	Int. SRAM

Tabuľka 4.1: Mapovanie pamätí do adresového priestoru internej pamäťovej oblasti 0 podľa stavu na pine BMS a príkazu remap.

4.1.2 Rozhrania použiteľné pre komunikáciu medzi modulmi

Medzi modulom s mikrokontrolérom AT91RM9200 a modulom s FPGA je možné použiť niekoľko komunikačných rozhraní. V nasledujúcom prehľade možno nájsť ich stručný popis:

- Zbernica – obsahuje 23 adresových liniek a 16 bitov širokú dátovú časť. K FPGA sú pripojené dva povoľovacie signály CS0 a CS1. Keďže použitý mikrokontrolér obsahuje radič statickej RAM, možno vďaka nemu pomerne jednoducho v FPGA realizovať napr. sady registrov dostupné priamo v adresovom priestore mikrokontroléra;
- SPI – je použité pre zavedenie konfigurácie do čipu FPGA a pri normálnej prevádzke je možné ho použiť pre prenos údajov medzi MCU a FPGA. Nadradeným zariadením v komunikácii (*master*) je mikrokontrolér, ktorý povoľuje komunikáciu s FPGA pomocou signálu SPICS1 (vývod NPCS1 MCU);
- TWI – dvojvodičová zbernica umožňujúca pripojiť okrem FPGA aj ďalšie zariadenia. Keďže DVI transmitér TFP410 pripojený k FPGA je konfigurovateľný práve pomocou takejto dvojvodičovej zbernice, možno v FPGA DVI transmitér pripojiť k TWI rozhraniu MCU a umožniť tak jeho konfiguráciu priamo z mikrokontroléra;
- Rozhranie sériového synchronného radiča (SSC), ktorý podporuje rôzne protokoly používané najmä pri spracovaní zvuku a v telekomunikačných technológiách. Umožňuje pripojiť prevodníky pomocou I²S, kodeky a tiež zariadenia ako čítačky magnetických kariet (viď [7]).
- IRQ – k FPGA je pripojených niekoľko signálov požiadavky na prerušenie IRQ mikrokontroléra. Ide o signály IRQ0, IRQ3 a FIQ (*fast interrupt request*);

4.1.3 Rozšírenie možností vzájomného prepojenia modulov

V prípade, že adresový priestor mikrokontroléra vyhradený pre logiku realizovanú v rámci FPGA s použitím povoľovacích signálov CS0 a CS1 (8 + 8 MB) nepostačuje, je možné tento priestor rozšíriť použitím ďalších povoľovacích signálov z konektora P702. Tieto sú síce k dispozícii aj na konektore P700 pripojenom k FPGA modulu, ale nie sú pripojené k FPGA z dôvodu ušetrenia vývodov FPGA v prospech užívateľsky použiteľných vývodov. Každopádne, v prípade potreby možno externým vodičom prepojiť niektorý povoľovací

signál na konektore P702 MCU modulu s niektorým univerzálnym pinom konektora P101 FPGA modulu. Pri využití všetkých povolovacích signálov tak možno sprístupniť v FPGA ďalších 32 MB adresového priestoru.

Podobným spôsobom možno k FPGA pripojiť napríklad aj ďalšie signály požiadaviek na prerušenie IRQ1 a IRQ2.

4.2 Možnosti zavedenia operačného systému

V tejto časti budú popísané možnosti zavedenia vykonateľného programu, prípadne operačného systému do pamäte modulu a jeho spustenie. Informácie sú čerpané z katalógového listu [7]. Ako už bolo uvedené v predchádzajúcom texte, použitý mikrokontrolér je schopný zaviesť program z rôznych pamätí, alebo periférií ako ladiace rozhranie DBGU alebo USB. V zásade sú dve cesty, ktorými sa môže proces zavádzania a spúšťania programu uberať:

1. Použije sa zavádzač umiestnený v pamäti ROM mikrokontroléra. Tento program je použiteľný okrem iného aj na aktualizáciu firmvéru finálneho zariadenia vo fáze používania;
2. Spustí sa program uložený v externej pamäti Flash pripojenej prostredníctvom zbernice EBI. Táto pamäť musí mať šírku slova 16 bitov.

Medzi uvedenými dvoma možnosťami možno voľiť pri spustení zariadenia pomocou pinu BMS (*boot mode select*) mikrokontroléra. V realizovanom zariadení je tento pin opatrený skratovacou prepojkou umožňujúcou zmenu logickej úrovne na tomto pine. Mikrokontrolér vzorkuje stav pinu BMS tesne pred uvoľnením signálu NRST.

4.2.1 Vstavaný zavádzač

V prípade, že je BMS pri resete na vysokej logickej úrovni, spustí sa program zo vstavanej ROM pamäte, ktorá je v tomto čase namapovaná na začiatok adresového priestoru MCU. Tento program zaistí inicializáciu potrebného hardvéru v mikrokontroléri. Okrem iného určí aj frekvenciu pripojeného kryštálu a zodpovedajúco nastaví deličky frekvencie, ako aj obvody fázového závesu PLL tak, aby bola dodržaná taktovacia frekvencia potrebná pre rozhranie USB. Taktiež sa inicializuje radič prerušení.

Po tejto inicializácii sa prehľadávajú pripojené pamäte na prítomnosť vykonateľného kódu. Ten sa spozná podľa prítomnosti sekvencie ôsmich vektorov obsluhy výnimiek. Všetky tieto vektory musia obsahovať alebo inštrukciu skoku, alebo načítania do registra. Výnimku predstavuje šiesty vektor, ktorý použitý procesor ignoruje a je použitý pre uloženie veľkosti vykonateľného programu.

Poradie prehľadávania pripojených pamätí je nasledovné:

1. DataFlash pripojená cez SPI aktivovaná signálom NPCS0. Táto pamäť má v realizovanom zariadení kapacitu 1 MB, čo vzhľadom na obmedzenie popísané v ďalšom texte poskytuje úložný priestor ako pre program, tak aj pre ďalšie užitočné údaje. Pomocou skratovacej prepojky W901 možno vyradiť túto pamäť z prevádzky a umožniť tak vstavanému zavádzaču zaviesť program z niektorej z ďalších pamätí, resp. rozhraní;
2. EEPROM pamäť pripojená na zbernicu TWI. Keďže zariadenia pripájané na zbernicu TWI sú adresované pomocou jednoznačnej adresy, platí pravidlo, že zavádzací program hľadá zariadenie s adresou 0x0. Predkladaný modul sám osebe takúto pamäť

neobsahuje, ale dvojevodičová zbernica TWI (ak je použitá) je pripojená na vývody FPGA čipu FPGA modulu. Možno teda experimentovať s vytvorením logiky imitujúcej sériovú EEPROM v FPGA, alebo pripojiť vhodnú pamäť na rozširujúci konektor;

3. Paralelná pamäť Flash so šírkou slova 8 bitov. Táto pamäť má byť pripojená cez zbernicu rozhrania EBI a aktivovaná signálom NCS0. Zariadenie realizované v rámci tejto práce takúto pamäť neobsahuje.

Vo všetkých týchto prípadoch sa uplatňuje testovanie platnosti programu pomocou ôsmich vektorov obsluhy výnimiek. V prípade, že v žiadnom z uvedených krokov sa vykonateľný program nenájde, prejde zavádzač do režimu v dokumentácii nazývaného ako *boot uploader*. Najprv je inicializované rozhranie DBGU na osembitové prenosy na rýchlosti 115200 baudov bez parity a s jedným stop bitom. Taktiež sa inicializuje USB rozhranie a DFU protokol. Očakáva sa prijatie vykonateľného programu cez DBGU pomocou protokolu Xmodem, alebo prostredníctvom DFU. Prijatý program je uložený do internej SRAM pamäte. Odkiaľ je následne spustený.

V každom z menovaných prípadov (zavedenie z pamäte, alebo získanie programu cez USB resp. DBGU) platí obmedzenie veľkosti kódu, keďže sa celý musí zmestiť do internej SRAM pamäte s kapacitou 16 kB. Navyše, časť SRAM pamäte je používaná samotným zavádzačom pre uloženie premenných a zásobníka. Použitelná kapacita pamäte SRAM je teda zmenšená o 3 kB.

V prípade vytvárania samostatne bežiacich (tzv. *stand-alone*) aplikácií, teda bez použitia operačného systému, možno s výhodou použiť kód používaný zavádzačom uloženým v internej ROM. Sú tu obsiahnuté funkcie pre prácu s pamäťou DataFlash, protokolom xmodem, ako aj tabuľky pre CRC a funkciu sínus. Dokumentácia programového rozhrania k tomuto kódu siaha nad rámec tejto práce.

4.2.2 Zavedenie programu z paralelnej Flash

Druhou možnosťou vykonania programu je jeho spustenie z paralelnej pamäte Flash pripojenej na rozhranie externej zbernice EBI. Tento režim je zvolený nízkou úrovňou na pine BMS mikrokontroléra počas resetu. Požaduje sa, aby použitá pamäť Flash mala šírku slova 16 bitov. Na module realizovanom v rámci tejto práce je osadený pamäťový čip SST39VF3201 s kapacitou 4 MB.

V tomto prípade ($BMS = 0$) je do internej pamäťovej oblasti 0 (*internal memory area 0*) mapovaný prvý megabajt externej pamäťovej oblasti 0 (*external memory area 0*), kde je prístupná práve paralelná pamäť Flash. Spustiteľný program z tejto pamäte sa nikam nekopíruje ako v prípade zavádzania pomocou zavádzača z internej ROM a nie je teda potrebné poznať jeho veľkosť (spustenie sa rieši namapovaním pamäťových oblastí), a odpadá teda nutnosť úpravy šiesteho (nepoužívaného) vektora obsluhy výnimky.

Keďže cieľom je sprevádzkovať na zhotovenom zariadení operačný systém Linux, bola zvolená možnosť zavádzania z paralelnej pamäte Flash, v ktorej bude umiestnený dvojúrovňový zavádzač s použitím univerzálneho zavádzača U-Boot. Tento je použiteľný nielen pre zavedenie jadra systému Linux, ale vďaka jeho univerzálnosti aj pre otestovanie funkčnosti jednotlivých subsystémov, keďže umožňuje prácu s rôznymi druhmi pamätí, pamäťových kariet, rozhraním Ethernet a podobne. Preto bude ďalší text používať ako vzorový príklad práve U-Boot, ale uvedené postupy možno aplikovať bez straty všeobecnosti aj na iné programové vybavenie.

4.2.3 Zápis programu do pamätí

V predchádzajúcom texte boli zhrnuté možnosti zavedenia, resp. spustenia vykonateľného kódu mikrokontrolérom z niektorej pamäte, či už s využitím zavádzača z internej ROM alebo bez neho. Ďalším súvisiacim problémom je, ako dostať vykonateľný program do niektorej z týchto pamätí. V nasledujúcom texte je popísaný postup uloženia dvojúrovňového zavádzača do pamäte Flash pre ilustráciu problematiky. Podobným spôsobom je, samozrejme, možné uložiť do pamäte Flash aj akýkoľvek iný program. Na postup uloženia zavádzača sa však bude odkazovať ďalší text z časti venovanej testovaniu zariadenia, pojednávajúci práve o zavádzaní jadra operačného systému Linux.

Paralelná pamäť Flash

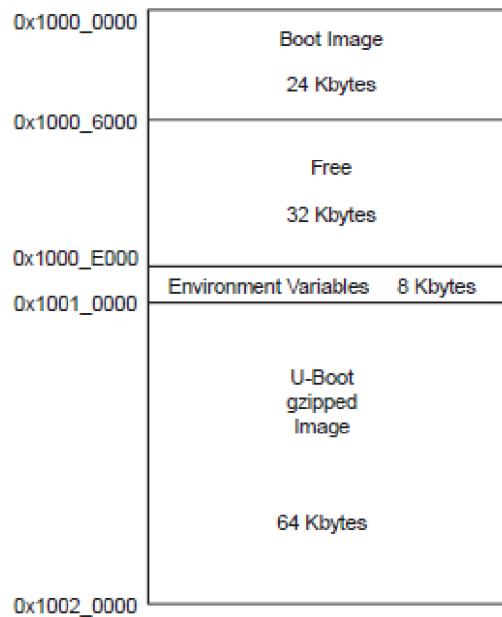
Pokiaľ ide o paralelnú pamäť Flash, možno použiť aplikačnú poznámku spoločnosti Atmel obsiahnutú v archíve [4], ktorý je súčasťou nástrojov a dokumentácie k vývojovému kitu AT91RM920DK. Možno tu nájsť dokument pojednávajúci o opätovnom¹ uložení univerzálneho zavádzača U-Boot do externej pamäte Flash v prípade jeho poškodenia, či vymazania. Prezentujú sa tu dve možnosti, ako zmieňovaný zavádzač uložiť do pamäte. Keďže pripojiť paralelnú pamäť typu Flash k mikrokontroléru AT91RM9200 je možné len jedným spôsobom, možno uvedené postupy aplikovať vo veľkej miere aj na realizované zariadenie. Jediným problémom je použitie kryštálu s inou frekvenciou a z toho plynúce iné nastavenie generátora hodinových signálov, ako aj použitie odlišnej pamäte SDRAM oproti vývojovému kitu AT91RM920DK, od ktorého použité nástroje pôvodne pochádzajú.

Prvou možnosťou je použitie špeciálneho rozhrania Slingshot JTAG/ICE a tiež sériového ladiaceho rozhrania DBGU. Keďže toto špeciálne rozhranie nie je k dispozícii, schodnejšou cestou sa zdá byť druhý popisovaný spôsob uloženia zavádzača. Tento spočíva v pripojení vývojového kitu prostredníctvom sériovej linky DBGU k hostiteľskému počítaču a použití programu Hyperterminál pre odoslanie súborov a povelov na kit. Rovnako dobre môže poslúžiť akýkoľvek terminálový program umožňujúci prenos súborov pomocou protokolu xmodem. Tento protokol je na strane vývojového kitu implementovaný v rámci zavádzača v pamäti ROM (viď časť 4.2.1). Pre spojenie je potrebné nastaviť parametre 115200 baudov, 8 dátových bitov, 1 stop bit, bez parity a riadenia toku.

V uvedenom archíve možno nájsť súbor `loader.bin`, ktorý je potrebné najprv odoslať z hostiteľského PC do internej SRAM pamäte vývojového kitu, odkiaľ je následne spustený. Tento program nakonfiguruje radič pamäte SDRAM a umožní prijatie obrazu zavádzača U-Boot v súbore `u-boot.bin`, ktorý je príliš veľký na to, aby bežal sám osebe z internej SRAM. V tomto momente beží U-Boot z pamäte SDRAM a umožňuje prijatie obrazu tzv. primárneho bootstrapu spolu s nástrojom pre dekompresiu v súbore `boot.bin`. U-Boot taktiež prevedie uloženie tohoto obrazu do pamäte Flash.

V poslednom kroku zostáva už len prijať a do Flash pamäte uložiť komprimovaný obraz samotného zavádzača U-Boot `u-boot.gz` rovnakým spôsobom ako obraz `boot.bin`. Tým je dvojúrovňový zavádzač uložený v pamäti Flash a mikrokontrolér z nej môže opäť štartovať. Výsledná štruktúra pamäte Flash je zobrazená na obrázku C.2. Štart takto konfigurovaného systému prebieha tak, že primárny bootstrap prevedie konfiguráciu systému a uvedie ho do prevádzkyschopného stavu. Toto zahŕňa konfiguráciu a spustenie generátora hodinového signálu a konfiguráciu radiča pamäte. Následne je riadenie odovzdané dekompresnému nástroju, ktorý dokáže rozbaľiť komprimovaný obraz zavádzača U-Boot a spustiť ho.

¹Tento vývojový kit sa od výrobcu dodáva s už uloženým zavádzačom U-Boot v pamäti Flash.



Obrázok 4.2: Mapa pamäte Flash s dvojúrovňovým zavádzačom. Obrázok prevzatý z [4].

Popisovaný postup je pomerne zložitý, čo plynie zo značne obmedzenej kapacity pamäte SRAM a z toho plynúcej potreby zaviesť najprv akýsi „inicializátor“ systému, vďaka ktorému je možné používať aj pamäť SDRAM. Ďalšou zvláštnosťou je, že U-Boot dočasne zavedený v pamäti SDRAM je použitý na uloženie svojho vlastného komprimovaného obrazu do Flash pamäte. Túto procedúru je však potrebné previesť v ideálnom prípade len raz, a to na úplne novom zariadení s prázdnu pamäťou Flash.

Ako bolo naznačené v úvode tejto časti, problém aplikácie uvedeného postupu na zariadení realizovanom v rámci tejto práce spočíva v skutočnosti, že nie je použitá rovnaká hodnota kryštálu udávajúceho taktováciu frekvenciu a tiež pripojenie SDRAM pamäte je odlišné od vývojového kitu, pre ktorý boli nástroje pôvodne určené. Kvôli tomu je nutné mierne modifikovať zdrojové kódy resp. konfiguráciu použitých nástrojov loader, boot a tiež samotný U-Boot.

4.3 Konfigurácia mikrokontroléra

V tejto časti bude popísaná konfigurácia mikrokontroléra pomocou jeho konfiguračných registrov v rozsahu potrebnom pre úpravu zdrojových kódov programov loader, boot a u-boot. Pôjde najmä o konfiguráciu zdrojov hodinových signálov, teda obvodov deličiek a fázových závesov a tiež konfiguráciu radiča SDRAM pamäte pre prácu s použitým typom a usporiadaním pamäte. Použitý mikrokontrolér AT91RM9200 obsahuje, samozrejme, množstvo konfiguračných registrov, ktoré tu nie sú popísané. Vzhľadom na obmedzený priestor tejto práce však budú popísané tie, ktoré je pre overenie funkcie zariadenia nutné nastaviť, resp. meniť ich nastavenie v zdrojových kódach programov určených pre vývojové kity osadené rovnakým MCU. Z tohto dôvodu bude kladený dôraz práve na konfiguráciu hodinových signálov a radiča pamäte SDRAM.

4.3.1 Konfigurácia hodinových signálov

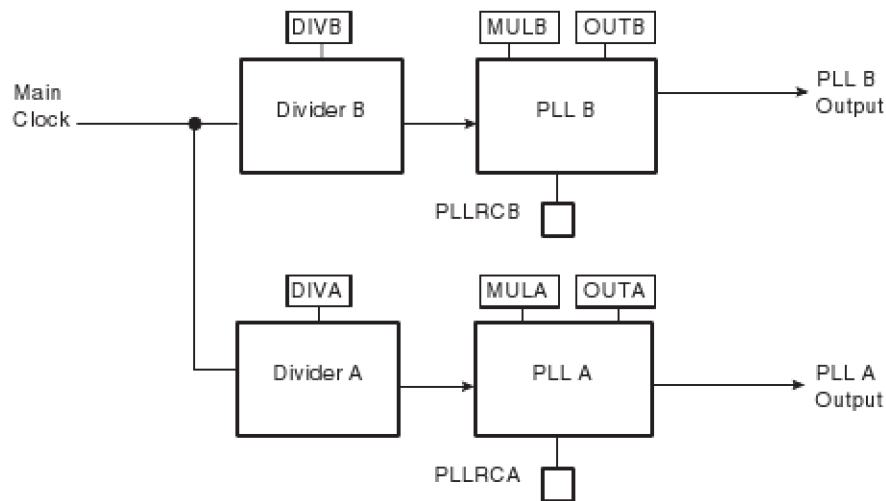
Na obrázku 4.3 je zobrazené zapojenie obvodov fázového závesu v mikrokontroléri. Signál *main clock* je odvodený priamo od oscilátora s frekvenciou danou pripojeným kryštálom – v tomto prípade 12 MHz. Podľa dokumentácie k mikrokontroléru [7], odkiaľ bol prevzatý aj uvedený obrázok, možno obvodom PLL generovať hodinové signály v dvoch frekvenčných rozsahoch:

1. 80 až 160 MHz – $OUT_x = 00$
2. 150 až 180 MHz – $OUT_x = 10$

Výstupná frekvencia obvodu fázového závesu je daná vzťahom:

$$f_{PLLx} = (f_{MainClock} / DIVx) * (MULx + 1)$$

a možno ju teda ovplyvniť voľbou hodnôt DIV_x a MUL_x v konfiguračnom registri $CKGR_PLLxR$ (x je A, resp. B pre obvod PLLA, resp. PLLB).



Obrázok 4.3: Obvody fázového závesu a polia ich konfiguračných registrov.

Výstup obvodu fázového závesu PLLA je možné použiť pre generovanie hodinového signálu pre zvyšok mikrokontroléra. Pre plné využitie výkonu jadra je možné generovať maximálnu frekvenciu 180 MHz.

Vstupná frekvencia	DIVA	MULA	OUTA	Výstupná frekvencia
12 MHz	1	14	10	180 MHz

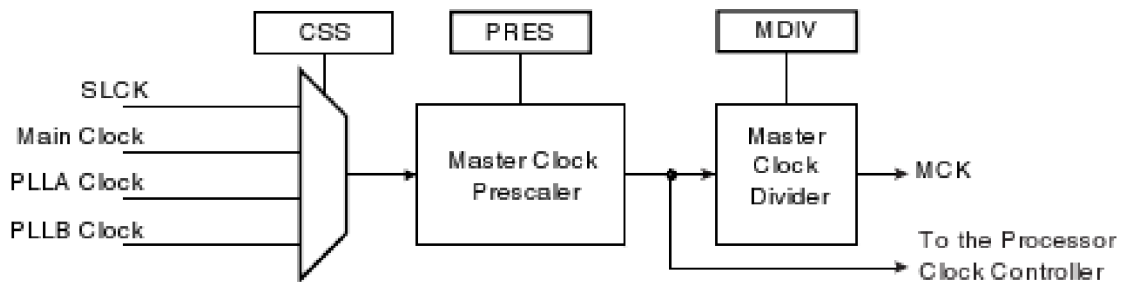
Druhý obvod PLLB je vybavený deličkou :2, kvôli zachovaniu možnosti generovať hodinový signál pre radič USB rozhrania. PLLB sa teda nakonfiguruje tak, aby na výstupe generoval signál s frekvenciou 96 MHz (rozsah 1), z ktorého sa delením dvomi získa taktovanie pre USB s frekvenciou 48 MHz.

Vstupná frekvencia	DIVB	MULB	OUTB	Výstupná frekvencia
12 MHz	1	7	00	96 MHz

Postupom výpočtu hodnôt filtrov externe pripojených k obvodom PLLA a PLLB uvedeným v časti 3.7.5 boli určené aj časy nábehu výstupných frekvencií. Použitý mikrokontrolér obsahuje príznak stability hodinového signálu LOCKA resp. LOCKB. Tento príznak je nulovaný pri zmene nastavení parametrov fázového závesu a nastavovaný po uplynutí určeného času od zmeny týchto parametrov. Čas odmeriava čítač dedikovaný každému z dvoch obvodov PLL na základe hodinového signálu *Slow clock* (32,768 kHz). Počet periód tohto signálu, počas ktorých sa má čakať na nastavenie príznaku stability generovanej frekvencie, je možné nastaviť v poli PLLxCOUNT konfiguračného registra príslušného PLL. V nasledujúcej tabuľke sú uvedené hodnoty konfiguračných registrov CKGR_PLLAR a CKGR_PLLBR pre stanovené hodnoty MULx, DIVx, OUTx a časy nábehu.

PLL	čas nábehu	počet periód slow clock	CKGR_PLLxR
A	0,619 ms	21	0x200E9501
B	0,619 ms	21	0x10071501

Ďalším obvodom umožňujúcim prispôsobenie hodinového signálu potrebám je tzv. *master clock controller*. Jeho blokové zapojenie je na obrázku 4.4. Pomocou hodnoty CSS možno vybrať zdroj hodinového signálu pre master clock a tým aj pre procesor a periférie. V tomto prípade je zvolená hodnota CSS = 10, keďže je žiadané využiť plný výkon. V prípade požiadavky na menší príkon, možno použiť signál z PLLB (96 MHz) a obvod PLLA vypnúť, prípadne použiť hodiny *main clock* (12 MHz) alebo *slow clock* (32,768 kHz) a vypnúť oba obvody PLL.



Obrázok 4.4: Bloková schéma pre master clock controller s poliami konfiguračného registra PMC_MCKR.

Pomocou trojbitového poľa PRES registra PMC_MCKR je možné zvolený hodinový signál deliť hodnotami rovnými mocninám dvoch od 1 do 64. Dvojbitové pole MDIV umožňuje použiť pre zvyšok mikrokontroléra odlišnú frekvenciu ako pre procesor. Možné hodnoty v tomto prípade sú:

- 00 – frekvencia *master clock* je rovnaká ako frekvencia procesora,
- 01 – frekvencia *master clock* je polovičná oproti frekvencii procesora,
- 10 – frekvencia *master clock* je tretinová oproti frekvencii procesora,
- 11 – frekvencia *master clock* je štvrtinová oproti frekvencii procesora.

Podľa katalógového listu mikrokontroléra, je maximálna frekvencia pre master clock 80 MHz. Preto v prípade, že procesor pracuje na 180 MHz, je možné použiť len delenie tromi a získať master clock s frekvenciou 60 MHz, alebo delenie štyrmi a tým frekvenciu master clock 45 MHz.

4.3.2 Konfigurácia radiča SDRAM

Ďalšou súčasťou mikrokontroléra, ktorú je potrebné konfigurovať aj pre základné testovanie funkčnosti navrhovaného zariadenia je radič pamäte SDRAM, keďže do tejto pamäte sa ukladá univerzálny zavádzač U-Boot použiteľný na otestovanie práce s mnohými zabudovanými aj externými perifériami.

Katalógové hodnoty základných parametrov použitej pamäte MT48LC16M16A2TG-75 sú uvedené v tabuľke 3.6. Mikrokontrolér AT91RM9200 obsahuje pomerne široko konfigurovateľný radič pamäti SDRAM s možnosťou pripojiť rôzne organizované pamäte. Zásadné sú tri konfiguračné registre SDRAMC_CR pre konfiguráciu organizácie a časovania pamäte, SDRAMC_MR pre voľbu režimu prístupu a SDRAMC_TR pre časovanie obnovovania obsahu pamäte. Adresy týchto registrov, ako aj ich hodnoty pre vytvorené zariadenie sú uvedené v tabuľke 4.2.

Register	Abs. adresa	Hodnota
SDRAMC_MR	0xFFFF FF90	0x10 pri normálnej funkcii
SDRAMC_TR	0xFFFF FF94	0x1D4
SDRAMC_CR	0xFFFF FF98	0x29912159

Tabuľka 4.2: Hodnoty základných konfiguračných registrov radiča SDRAM určené podľa katalógového listu [26] a adresy týchto registrov. pre jednoznačnosť.

Do registra SDRAMC_CR je potrebné uložiť parametre pripojenej pamäte týkajúce sa šírky adresy riadka a stĺpca, ako aj počet bankov a rôzne hodnoty časových obmedzení uvedených v tabuľke 3.6 vyššie – tentokrát však vo vyjadrení pomocou cyklov hodinového signálu *master clock*. Hodnoty polí registra SDRAMC_CR možno nájsť v tabuľke 4.3. Výsledná hodnota registra SDRAMC_CR je potom 0x29912159.

Parameter	Pole v SDRAMC_CR	Hodnota	Hodnota v SDRAMC_CR
Počet bitov adresy stĺpca	NC	9	01
Počet bitov adresy riadka	NR	13	10
Latencia CAS	CL	2	10 – iné nepodp.
Počet bankov	NB	4	1
Write recovery time	TWR	2 cykly	0010
Row cycle delay	TRC	> 3,96 cyklu	0100
Row precharge delay	TRP	> 1,2 cyklu	0010
Row to column delay	TRCD	> 1,2 cyklu	0010
Active to precharge delay	TRAS	> 2,64 cyklu	0011
Exit self refresh to act. del.	TXSR	> 4,5 cyklu	0101

Tabuľka 4.3: Parametre pamäte MT48LC16M16A2TG-75 potrebné pre konfiguráciu mikrokontroléra podľa katalógového listu [26]. Časové údaje vyjadrené pomocou počtu periód hodinového signálu MCK pri $f_{MCK} = 60 \text{ MHz}$. Niektoré názvy sú ponechané v anglickom jazyku pre jednoznačnosť.

Ďalším konfiguračným registrom radiča SDRAM je SDRAMC_TR, v ktorom je možné konfigurovať periódu obnovovania obsahu pamäte. Použitý typ pamäte vyžaduje obnovenie celého obsahu každých 64 ms (viď [26]). Obnovenie obsahu prebieha po riadkoch pri vydaní príkazu *auto refresh* – s každým vydaním príkazu sa obnoví jeden ďalší nasledujúci riadok. Pri počte riadkov 8192 (13 bitov pre adresu riadka) je teda potrebné vydať povel pre

obnovenie obsahu nasledujúceho riadka každých

$$\frac{64 \text{ ms}}{8192} = 7,813 \mu\text{s}$$

To predstavuje pri hodinovej frekvencii MCK (*master clock*) 60 MHz 468,78 periódy MCK. Obnovovať obsah jedného (vždy nasledujúceho) riadka je teda nutné každých 468 periód hodin *master clock*. Tak sa postupne celý obsah pamäte obnoví za požadovaných 64 ms. Hodnota pre register SDRAMC_TR je teda 0x1D4. Je, samozrejme, možné pamäť obnovovať častejšie (pamäte v prevedení pre automobilový priemysel sa obnovujú každých 16 ms), ale bolo by to na úkor užitočnej práce pamäte.

Tretím, aspoň z pohľadu testovania zariadenia, zaujímavým registrom konfiguruješím radič pamäte SDRAM je register SDRAMC_MR. Tu je možné nastaviť mód prístupu k pamäti, teda príkaz, ktorý radič vydáva pri prístupe k pamäti a tiež šírku dátovej zbernice. V realizovanom zariadení je použitá šírka dátovej zbernice k SDRAM 16 bitov, preto je nutné nastaviť pole DBW na hodnotu 1. Ako mód prístupu sa bežne používa *normálny mód*, ostatné módy sú použité pri inicializácii pamäte, keď sa mód niekoľkokrát mení.

Inicializačná sekvencia SDRAM

V katalógovom liste mikrokontroléru [7] je možné nájsť postup inicializácie pripojenej pamäte SDRAM. Keďže postup nie je triviálny, je na tomto mieste naznačený aspoň v bodoch. Konkrétnu implementáciu zapísanú v jazyku C možno nájsť napríklad v zdrojových kódoch nástrojov loader a boot.

1. ponechať aspoň 200 μs vstupy pamäte bez zmeny;
2. vydať príkaz *all banks precharge* – toto sa zrealizuje použitím hodnoty 0x12 do registra módu prístupu k pamäti SDRAMC_MR a následným pristúpením k pamäti (napríklad zapísanie nuly na začiatok pamäte),
3. vydať osem príkazov *auto refresh* – použitím hodnoty 0x14 do registra módu prístupu SDRAMC_MR a zápisom hodnoty do pamäte osemkrát po sebe;
4. vydať príkaz MRS (*mode register set*) – použitím hodnoty 0x13 do registra SDRAMC_MR a zápisom do pamäte;
5. nastaviť normálny mód prístupu k pamäti – hodnota 0x10 do registra SDRAMC_MR po uplynutí troch hodinových cyklov od skončenia MRS;
6. nastaviť v SDRAMC_TR periódu obnovovania obsahu riadkov (0x1D4) pamäte ako násobok periódy MCK.

V zdrojovom súbore `initboot.c` nástroja boot a v súbore `init.c` zdrojových kódov nástroja loader sú posledné dva kroky medzi sebou zamenené, kvôli dodržaniu časového odstupu troch cyklov od dokončenia MRS.

4.4 Testovanie

Ako bolo spomenuté v úvode kapitoly, táto časť bude venovaná popisu oživovania a testovania vstavaného zariadenia navrhovaného v rámci tejto diplomovej práce. Text by mal slúžiť zároveň ako pomôcka pri uvádzaní úplne nového zariadenia (z výroby) do činnosti.

Celé snaženie má smerovať k sprevádzkovaniu operačného systému Linux na vytvorenom zariadení, pričom v priebehu prác sa postupne preverí funkčnosť jednotlivých podsystémov modulu s mikrokontrolérom. Navrhnutý bol nasledovný testovací scenár:

1. vizuálna kontrola dosiek s plošnými spojmi a osadenia súčiastok,
2. kontrola odberu prúdu z napájacieho zdroja,
3. pripojenie k PC prostredníctvom sériovej linky DBGU a kontrola odozvy vstavaného zavádzača (viď časť 4.2.1),
4. prijatie jednoduchého programu cez DBGU a jeho spustenie z internej SRAM,
5. prijatie jednoduchého programu cez USB a jeho spustenie z internej SRAM,
6. test filtrov PLL pomocou jednoduchej aplikácie prevádzajúcej konfiguráciu generátora hodinového signálu na maximálnu pracovnú frekvenciu 180 MHz,
7. test pamäte SDRAM,
8. prijatie programu `loader.bin` a jeho spustenie z internej SRAM, (viď postup v časti 4.2.3). Tento program inicializuje pamäť SDRAM a Flash,
9. prijatie programu `u-boot.bin`, jeho uloženie do SDRAM a následné spustenie,
10. test periférií pomocou spusteného U-Boot (SD pamäťová karta, Ethernet, ...),
11. prijatie a uloženie zavádzača prvej úrovne `boot.bin` do pamäte Flash,

Kvôli komplikáciám, ktoré vzišli zo skutočnosti, že zdrojové kódy programov `loader` a `boot` obsahujú vlastné skripty pre linker, ktoré nie sú kompatibilné s knižnicou použitého prekladového systému Sourcery G++ Lite a bolo by ich teda potrebné prepracovať, bola časť testovacieho scenára závislá na menovaných programoch vynechaná.

4.4.1 Príprava prostredia pre vývoj aplikácií

Keďže inštalácia nástrojov potrebných pre návrh a syntézu dizajnu pre FPGA je popísaná napríklad v dokumentácii projektu FitKit ([36]), ďalší text sa bude zaoberať inštaláciou a použitím nástrojov určených na prácu s mikrokontrolérom.

Pre vývoj aplikácií a prípravu základného programového vybavenia modulu ako zavádzač, jadro operačného systému a ďalšie, bola zvolená platforma Linux. Základom je tzv. *toolchain* pre ARM procesory. Zvolený bol balík Sourcery G++ Lite Edition získateľný na stránkach [20], kde možno nájsť aj ďalšie informácie. Použitá bola verzia Sourcery G++ Lite 2010q1-202 pre cieľový systém GNU/Linux. Z uvedených stránok je potrebné stiahnuť inštalčný program pre Linux, ktorý sa postará o inštaláciu potrebného vybavenia zahŕňajúceho:

- assembler,
- binárne nástroje (*binutils*),
- debugger,
- knižnicu C (GLIBC),

- kompilátor,
- linker,
- preprocesor a
- profiler.

Po inštalácii sú k dispozícii programy ako gcc, ld, gprof a ďalšie pre architektúru ARM. Všetky menované majú prefix `arm-none-linux-gnueabi-`. Pre preklad zdrojových kódov pomocou týchto programov namiesto štandardných, je možné pri väčšine programov určených pre rôzne architektúry použiť parameter `CROSS_COMPILE`. Teda napríklad:

```
make ARCH=arm uImage CROSS_COMPILE=arm-none-linux-gnueabi-
```

Podporné aplikácie

Ďalšou aplikáciou potrebnou pre prácu s modulom mikrokontroléra je terminál s možnosťou odosielania súborov cez sériové rozhranie pomocou protokolu `xmodem`. Použitá bola aplikácia CuteCom verzie 0.20.0, ktorú je možné nainštalovať z repozitárov bežne používaných linuxových distribúcií. Pre jej správnu funkciu (protokol `xmodem`) je potrebné doinštalovať aj balík `lrzsz`, ktorý možno tiež nájsť v repozitároch. Vzhľadom k absencii sériového portu na vývojovom pracovisku bol pre testovanie použitý prevodník USB-serial Prolific PL-2303.

Druhou možnosťou komunikácie s modulom je použiť rozhranie USB device rozhranie modulu, ktoré sa pripojí k hostiteľskému počítaču pomocou štandardného USB kábla typu A-B. V tomto prípade sa pre odoslanie programu používa protokol DFU (*device firmware upgrade*). Na strane hostiteľského počítača sa potom vyžaduje aplikácia schopná pomocou tohoto protokolu program odoslať. Pre testovanie bola použitá aplikácia `dfu-util`, ktorú je tiež možné nainštalovať z repozitárov linuxových distribúcií.

4.4.2 Priebeh testovania

Po obdržaní modulu s mikrokontrolérom od firmy realizujúcej montáž SMD a osadení zvyšných konektorov, bolo prevedené očistenie dosky plošných spojov a jej vizuálna kontrola na správnosť osadenia, vlasové prepojky a iné chyby. Testovanie prebiehalo podľa scenára uvedeného v časti 4.4 až na body závislé na programoch `load` a `boot`, ako bolo uvedené vyššie.

Najprv bol modul pripojený na zdroj jednosmerného napätia a bol odmeraný odoberaný prúd. Hodnota sa pohybovala okolo 72 mA. Následne bolo sériové ladiace rozhranie modulu pripojené prostredníctvom prevodníka USB-RS232 k hostiteľskému počítaču. Skratovacia prepojka obsluhujúca pin BMS (*boot mode select*) bola v polohe bootovania z internej ROM. V aplikácii CuteCom boli nastavené parametre komunikácie na: 115200 Baudov, 8 dátových a 1 stop bit, žiadna parita ani riadenie toku. Po zahájení spojenia z modulu prichádzali znaky „c“, čo znamená, že sa zavádzač snaží spustiť prenos pomocou protokolu `xmodem`. Z toho vyplýva, že mikrokontrolér a jeho ladiace sériové rozhranie, vrátane obvodu MAX3232, sú funkčné.

Následovalo načítanie programu blikajúceho diódami LED. Binárny súbor bol odoslaný z terminálu CuteCom pomocou protokolu `xmodem`. Po načítaní začali diódy LED okamžite blikáť. Tým sa ukázala funkčnosť prekladového systému použitého na vytvorenie demoaplikácie, ako aj použiteľnosť LED na indikáciu pri ďalšom testovaní.

Keďže vstavaný zavádzač umožňuje načítanie vykonateľného programu aj pomocou protokolu DFU cez rozhranie device USB, bolo otestované aj toto rozhranie. Modul bol pripojený k USB rozhraniu hostiteľského PC pomocou konektora USB typu B (oranžový). Pomocou `dmesg` bolo zistené číslo výrobcu a produktu (*vendor:product*) a toto bolo použité pre aplikáciu `dfu-util`:

```
#dmesg | tail
...
#dfu-util -d 0x03eb:0x6120 -D ledtest.bin
```

Po prebehnutí prenosu sa program spustil z internej SRAM. Týmto sa ukázala nielen funkčnosť zapojenia okolo konektora USB device, ale aj funkčnosť filtra fázového závesu PLLB, ktorý generuje hodinový signál s frekvenciou 96, resp. 48 MHz pre toto rozhranie (viď časti 3.7.5 a 4.3.1).

Ďalej bol prevedený test filtra obvodu fázového závesu PLLA, ktorý je navrhnutý pre generovanie hodinového signálu s plnou frekvenciou 180 MHz pre procesor. Pre tento účel bol vytvorený jednoduchý program, ktorý dvadsaťkrát blikne diódou LED. Pre spomalenie prepínania stavu LED bola použitá oneskorovacia slučka. Následne program prevedie konfiguráciu obvodu PLLA a zmenu zdroja hodinového signálu procesora z *main clock* (12 MHz) na signál generovaný obvodom PLLA (180 MHz) a znova spustí blikanie LED s rovnakou oneskorovacou slučkou. Rovnaký program bol spustený s povolenou inštrukčnou cache procesora. Na výsledku bolo badateľné zrýchlenie frekvencie prepínania stavu LED.

Nasledoval test pamäte SDRAM. Program prevádzajúci test najprv inicializuje obvod PLLA rovnakým spôsobom, ako v predchádzajúcom teste. Potom prevedie inicializáciu radiča SDRAM. Test spočíva v naplnení buniek pamäte číslami, vyčkaním času dostatočného na prejavenie chyby v obnovovaní dynamickej pamäte a následnou kontrolou jej obsahu. Pre tento účel bola pamäť naplnená číslami typu `int` (4 B) od 0 do $8.2^{20} - 1$, program počkal v oneskorovacej slučke približne 15 sekúnd a následne boli uložené hodnoty otestované. Výsledok testu bol indikovaný rozsvietením zelenej, resp. zelenej a červenej LED v prípade úspechu, resp. neúspechu. Test prebehol v poriadku, čo podporuje správnosť výsledku testu nastavenia obvodu PLLA generujúceho hodinový signál pre procesor a tiež indikuje správnosť nastavenia časovania práce s pamäťou a obnovy jej obsahu.

Na základe uvedených výsledkov testu, hoci neboli pre krátkosť času a absenciu konektora RJ-45 testované všetky subsystemy, možno konštatovať, že modul je prinajmenšom čiastočne funkčný a použiteľný.

4.4.3 Príprava zavádzača U-Boot

Zavádzač systému U-Boot je možné nájsť na stránkach [27], pričom najjednoduchší spôsob získania zdrojových kódov je pravdepodobne z ftp servera (odkaz na uvedenej stránke), keďže projekt na SourceForge je neaktuálny a zrejme už ani nebude používaný.

U-Boot umožňuje zavedenie operačného systému z niekoľkých médií. Pre reálne nasadenie je výhodné použiť jadro OS uložené priamo na module v pamäti Flash, prípadne na pamäťovej karte. Pre vývojové účely je možné použiť implementovaný protokol `tftp` a získať obraz jadra zo servera (hostiteľského vývojového PC) prostredníctvom počítačovej siete. Odpadá tak nutnosť neustáleho kopírovania novej verzie.

Konfigurácia

Tento zavádzač podporuje veľké množstvo vývojových kitov, vrátane niekoľkých modulov firmy Atmel, medzi iným aj dve dosky osadené mikrokontrolérom použitým aj v navrhovanom zariadení. Konkrétne ide o kity AT91RM9200DK a AT91RM9200EK, ktoré možno použiť ako referenciu pre prácu s modulom mikrokontroléra realizovanom v rámci tejto práce.

Konfigurácia zavádzača U-Boot pre konkrétnu dosku sa prevádza pomocou direktív prekladača. Pre kit AT91RM9200DK je konfiguračným súborom `u-boot-2010.03/include/configs/at91rm9200dk.h`.

Samotný kód pre obsluhu zariadení špecifických pre daný kit možno potom nájsť v adresári `u-boot-2010.03/board/atmel/at91rm9200dk/`. Pre portovanie u-boot na navrhovanú platformu je vhodné vyjsť z kódu a konfigurácie k uvedenej doske.

Konfigurácia a preklad zavádzača sa prevedie nasledovnými príkazmi:

```
make CROSS_COMPILE=arm-none-linux-gnueabi- at91rm9200dk_config\  
make CROSS_COMPILE=arm-none-linux-gnueabi- all
```

Uloženie zavádzača do pamäte

Pre uloženie zavádzača U-Boot do pamäte možno použiť postup uvedený v časti 4.2.3. Možno použiť aj postup využívajúci rozhranie JTAG/ICE popisovaný v [4]. Tento postup však vyžaduje použitie špeciálneho zariadenia pre pripojenie modulu k hostiteľskému počítaču.

4.4.4 Príprava jadra systému Linux

Postup konfigurácie a prekladu linuxového jadra možno nájsť napríklad na stránkach [35], ktoré sa, okrem iného, zaoberajú aj vývojom jednodoskového počítača podobného navrhovanému modulu. Na týchto stránkach možno nájsť aj odkazy na lokálne kópie zdrojových kódov jadra verzie 2.6.22, a ďalšieho vybavenia. Autor stránok si nepraje kopírovanie a používanie materiálov viažucich sa k jeho práci bez jeho súhlasu, na čo je potrebné dbať najmä pri súboroch modifikovaných pre autorom navrhované zariadenia.

Kapitola 5

Záver

Táto práca dokumentuje analýzu a návrh vstavaného systému vybudovaného okolo procesora ARM dopĺňajúceho platformu FitKit pre potreby náročnejších aplikácií. V prvej časti bol uvedený stručný prehľad produktov firmy Atmel z danej oblasti, ako aj niekoľko ukážok vlastností mikrokontrolérov na konkrétnych zástupcoch. Ďalšia časť bola venovaná formulácii cieľov a požiadaviek kladených na navrhovaný systém, ako aj voľbu komponentov. Boli tiež prezentované možnosti mechanického vyhotovenia a navrhnutá bloková štruktúra, ako aj podrobné zapojenie dvoch modulov zariadenia. V kapitole 4 boli menované vlastnosti systému s dôrazom na ich využiteľnosť v aplikáciách. Ďalej bol načrtnutý spôsob práce so zariadením na niekoľkých testovacích príkladoch s použitím bežne dostupných prostriedkov.

Modul osadený čipom FPGA a grafickým výstupom DVI sa, žiaľ, nepodarilo zrealizovať do finálnej podoby, z dôvodu problematickej montáže BGA puzdra čipu FPGA. Taktiež nebol dokončený modul sieťového rozhrania modulu mikrokontroléra, pre ktorý nebol dodaný konektor RJ-45 s integrovaným transformátorom.

Ďalší postup

Pre plné využitie potenciálu navrhovanej platformy by bolo potrebné doplniť chýbajúci konektor sieťového rozhrania na module mikrokontroléra, ako aj dokončiť práce na module s FPGA.

Za ďalšiu metú vo vývoji a reálnom používaní vytvoreného zariadenia môže byť považované vytvorenie podrobného návodu na použitie zahŕňajúceho príklady využitia jednotlivých častí. Príklady by mali obsahovať aj hlavičkové súbory a základ prekladového systému tak, aby bolo možné všetky potrebné nástroje a ukážkové aplikácie prekladať jednotným spôsobom. Keďže podpora firmy Atmel pre vývojový kit AT91RM9200DK, ktorého sprievodné programové vybavenie (nástroje boot, loader, romboot a iné) sú použiteľné aj pre toto zariadenie, končí a tiež v záujme jednotnosti, by bolo vhodné vytvoriť podobné nástroje aj pre navrhované moduly.

Najväčšou výzvou do budúcnosti však zostáva príprava operačného systému Linux pre plné využitie možností vytvoreného zariadenia, vrátane podpory pre prácu s FPGA, keď by bolo možné nahráť konfiguráciu do FPGA napríklad jednoduchým zápisom do zariadenia `/dev/fpga`.

Návrhy na zlepšenie

V prípade návrhu a realizácie ďalšej verzie by bolo vhodné

- doplniť do dosiek plošných spojov otvory pre nožičky resp. dištančné stĺpiky medzi dosky zvyšujúce mechanickú tuhosť pri zasúvaní dlhých konektorov;
- zjednotiť hodnoty súčiastok (najmä pull-up rezistorov) pokiaľ je to možné;
- rozšíriť rozsah napájacích napätí a doplniť ochranu proti prepólovaniu;
- doplniť popisy pri skratovacích prepojkách a jednoradových kontaktných lištách na doskách plošných spojov.

Literatúra

- [1] Altium: Altium Designer. 2009 [cit. 2010-05-08].
URL http://www.altium.com/products/altium-designer/en/altium-designer_home.cfm
- [2] ARM: ARM Processor Instruction Set Architecture. [cit. 2009-12-28].
URL <http://www.arm.com/products/CPUs/architecture.html>
- [3] Atmel Corporation: GNU-Based Software Development on AT91SAM Microcontrollers. 2007-03-26 [cit. 2009-12-25].
URL http://www.atmel.com/dyn/resources/prod_documents/doc6310.pdf
- [4] Atmel Corporation: AT91RM9200 U-Boot Flash Programming. 2008-07 [cit. 2010-05-10].
URL http://www.atmel.com/dyn/resources/prod_documents/UBootFlashProgramming.zip
- [5] Atmel Corporation: AT45DB081D. 2009-04 [cit. 2009-12-30].
URL http://www.atmel.com/dyn/resources/prod_documents/doc3596.pdf
- [6] Atmel Corporation: AT91 ISP/SAM-BA User Guide. 2009-06-04 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/resources/prod_documents/doc6421.pdf
- [7] Atmel Corporation: AT91RM9200: ARM920T-based Microcontroller. 2009-07 [cit. 2009-12-29].
URL http://www.atmel.com/dyn/resources/prod_documents/doc1768.pdf
- [8] Atmel Corporation: ARM7TDMI. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/resources/prod_documents/0673s.pdf
- [9] Atmel Corporation: ARM920T. 2009 [cit. 2009-12-26].
URL
http://www.atmel.com/dyn/resources/prod_documents/ARM%20T_TRM.pdf
- [10] Atmel Corporation: ARM926EJ-S. 2009 [cit. 2009-12-26].
URL
http://www.atmel.com/dyn/resources/prod_documents/arm%20ejs_trm.pdf
- [11] Atmel Corporation: AT91ARM M3 Cortex. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/resources/prod_documents/6430s.pdf
- [12] Atmel Corporation: AT91RM9200. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/products/product_card.asp?part_id=2983

- [13] Atmel Corporation: AT91SAM 32-bit ARM-based Microcontrollers. 2009 [cit. 2009-12-26].
URL <http://www.atmel.com/products/AT91/>
- [14] Atmel Corporation: AT91SAM 32-bit ARM-based Microcontrollers - Devices. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/products/devices.asp?family_id=605
- [15] Atmel Corporation: AT91SAM-ICE JTAG Emulator. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/products/tools_card.asp?tool%_id=3892
- [16] Atmel Corporation: AT91SAM7X256. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/products/product_card.asp?part_id=3755
- [17] Atmel Corporation: AT91SAM9263. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/products/product_card.asp?part_id=4056
- [18] Atmel Corporation: SAM3U4E. 2009 [cit. 2009-12-26].
URL http://www.atmel.com/dyn/products/product_card.asp?part_id=4562
- [19] Atmel Corporation: PLL LFT Filter CALCULATOR. 2010-03 [cit. 2010-05-3].
URL http://www.atmel.com/dyn/products/tools_v2.asp?family_id=605
- [20] CodeSourcery: GNU Toolchain for ARM Processors. 2010 [cit. 2010-05-06].
URL <http://www.codesourcery.com/sgpp/lite/arm>
- [21] Fischer, M.: Yet another GNU ARM toolchain. [cit. 2009-12-26].
URL <http://www.yagarto.de/>
- [22] Gatema: Technické podmínky. 2009-07-20 [cit. 2010-05-08].
URL <http://pcb.gatema.cz/cz/vyroba-plosnych-spoju/technicke-podminky/>
- [23] Kocik, P. B.: GNU ARM toolchain. 2008-10-19 [cit. 2009-12-26].
URL <http://www.gnuarm.org/home.html>
- [24] Krazit, T.: ARMed for the living room. 2006 [cit. 2009-12-26].
URL http://news.cnet.com/ARMed-for-the-living-room/2100-1006_3-6056729.html
- [25] Micor/sys: ARM Computers. 2009 [cit. 2010-05-08].
URL <http://www.embeddedsys.com/subpages/products/armxscalecomputer.shtml>
- [26] Micron Technology, Inc.: 256Mb: x4, x8, x16 SDRAM Features. 2008-12 [cit. 2009-12-29].
URL <http://download.micron.com/pdf/datasheets/dram/sdram/256MSDRAM.pdf>
- [27] Mike Frysinger: U-Boot Source Code. 2009-03-21 [cit. 2010-05-10].
URL <http://www.denx.de/wiki/U-Boot/SourceCode>
- [28] MSC GMBH: The World of Atmel AT91Series Smart ARM Powered Microcontrollers. 2008 [cit. 2009-12-26].
URL http://www.msccbp.hu/Documents/World_of_AT91_2008.pdf

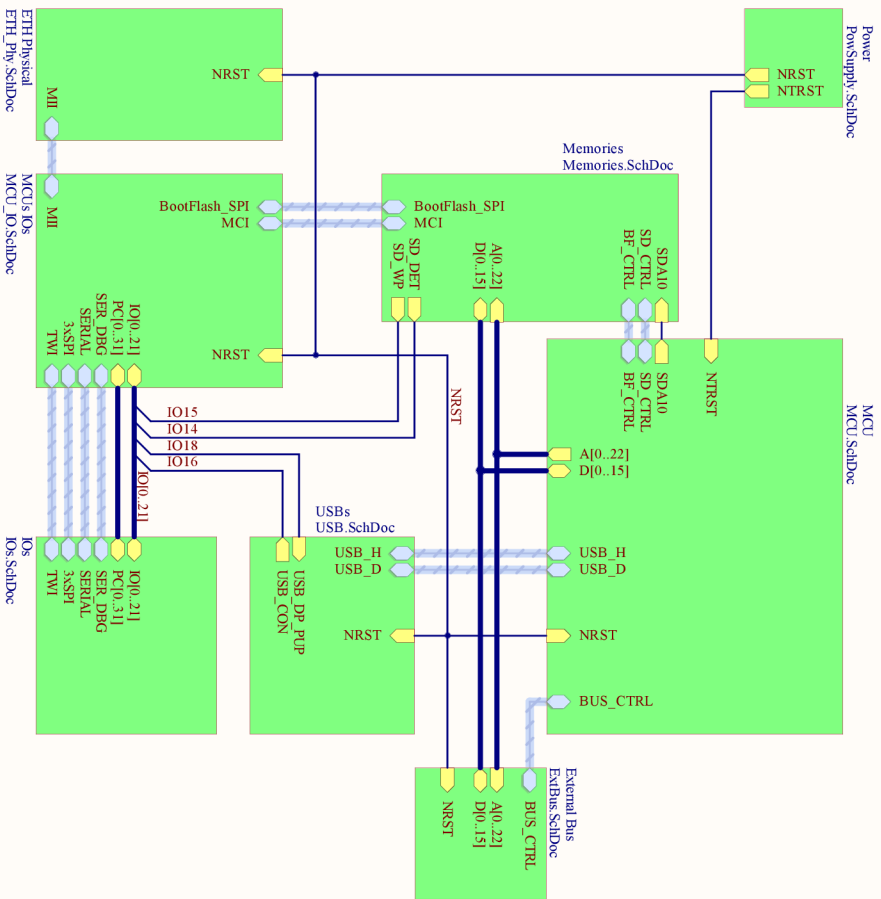
- [29] Phelan, R.: Improving ARM Code Density and Performance: New Thumb Extensions to the ARM Architecture. 2003 [cit. 2009-12-28].
URL <http://www.arm.com/pdfs/Thumb-2CoreTechnologyWhitepaper-Final4.pdf>
- [30] Systems, T.: ARM: Single Board Computers for Embedded Systems. 2009-19-23 [cit. 2010-05-08].
URL <http://www.embeddedarm.com/products/arm-sbc.php>
- [31] Texas Instruments: Industrial Temp, Single Port 10/100 Mb/s Ethernet Physical Layer Transceiver. 2009-10-09 [cit. 2009-03-15].
URL <http://focus.ti.com/lit/ds/symlink/tlk100.pdf>
- [32] Texas Instruments: Power Management: Spartan-3A / XC3S_A Series. 2010 [cit. 2010-05-06].
URL <http://focus.ti.com/analog/docs/refdesignovw.tsp?familyId=64&contentType=2&genContentId=34821>
- [33] Texas Instruments Incorporated: TFP410: TI PanelBus Digita Transmitter. 2002-01 [cit. 2009-12-30].
URL <http://focus.ti.com/lit/ds/symlink/TFP410.pdf>
- [34] Thomas, M.: ARM-Projects. 2009-19-23 [cit. 2009-12-26].
URL http://www.siwawi.arubi.uni-kl.de/avr_projects/arm_projects/
- [35] Tronic Software: Příprava linuxového jádra (kernelu) 2.6.23 pro SBC-9200. 2009 [cit. 2010-05-11].
URL <http://www.tronicsoft.cz/index.php?document=elektro:TS-SBC9200:Instalace:Linux>
- [36] Vašíček, Z.: FITKit: Hardware. 2009-12-29 [cit. 2009-12-29].
URL <http://merlin.fit.vutbr.cz/FITkit/hardware.html>
- [37] WWW stránky: The history of the ARM CPU. 1995 [cit. 2009-12-26].
URL <http://www.ot1.com/arm/armchap1.html>
- [38] Xilinx: Spartan-3AN FPGA Family Data Sheet. 2009-11-19 [cit. 2010-5-3].
URL http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf
- [39] Xilinx: Spartan-3 FPGA Family Data Sheet. 2009-12-4 [cit. 2009-12-26].
URL http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf
- [40] Xilinx: Spartan-3A FPGA Family: Data Sheet. 2009-3-6 [cit. 2010-5-3].
URL http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf

Dodatok A

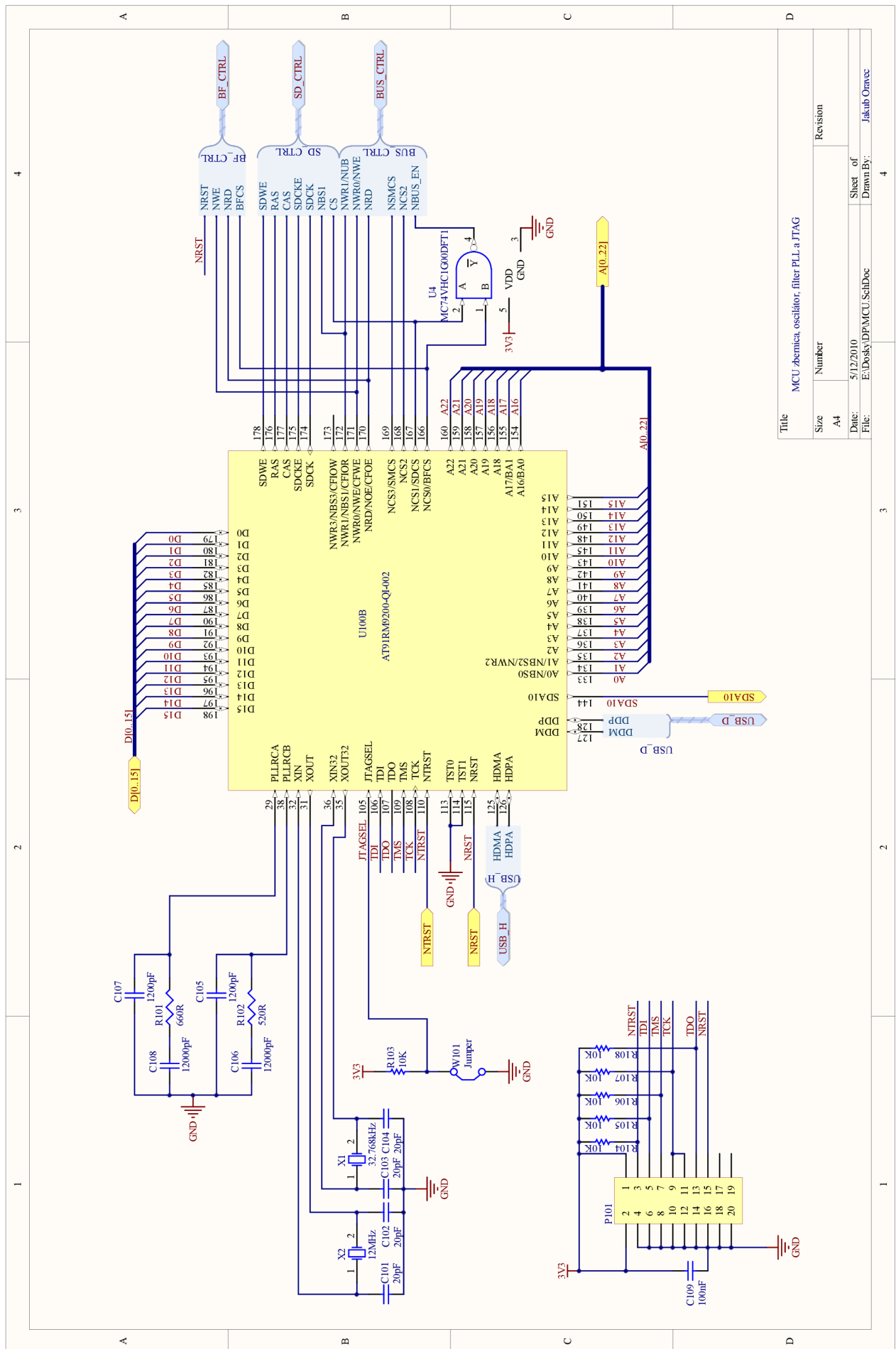
Schéma zapojenia MCU modulu

Tento dodatok obsahuje schémy zapojenia modulu s mikrokontrolérom AT91RM9200, ako aj plány rozmiestnenia súčiastok na oboch stranách dosky plošných spojov.

- **A.1** – Prepojenie subsystémov modulu
- **A.2** – MCU – rozhranie EBI, kryštály, filtre PLL a rozhranie JTAG
- **A.3** – Zapojenie IO portov MCU
- **A.4** – Pamäte SDRAM, NOR Flash, DataFlash a konektor pre SDCard
- **A.5** – Fyzická vrstva pre Ethernet, konektor pre pripojenie do počítačovej siete
- **A.6** – Sériové linky, SPI a vývody na všeobecné použitie
- **A.7** – Externá zbernica
- **A.8** – USB rozhrania
- **A.9** – Napájací zdroj 3,3 V a 1,8 V
- **A.10** – Rozmiestnenie súčiastok na vrchnej strane DPS
- **A.11** – Rozmiestnenie súčiastok na spodnej strane DPS

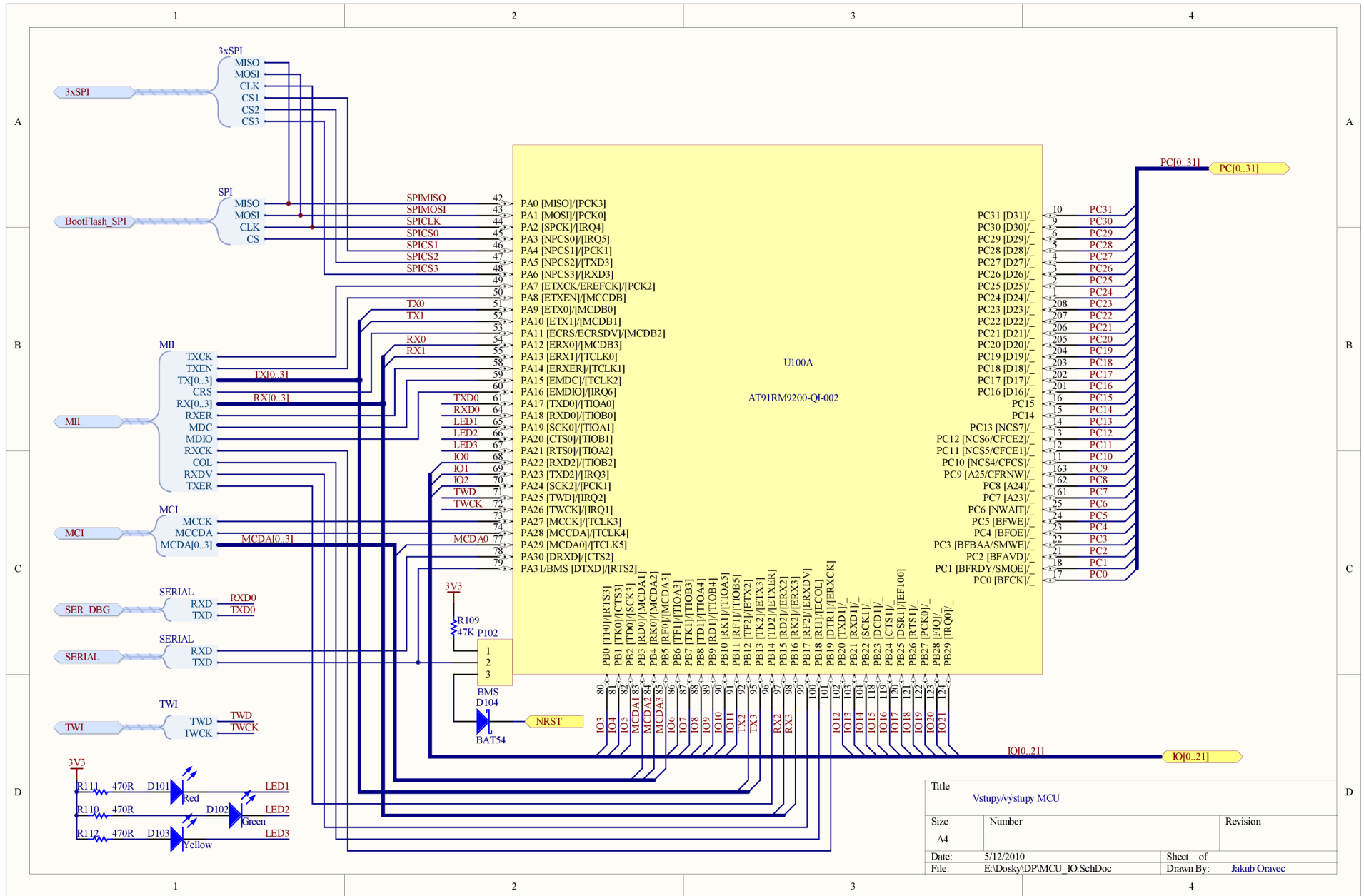


Title		Revision	
Peperone subsystems MCU modulu			
Size	Number		
A4			
Date:	5/12/2010	Sheet of	
File:	E:\Doksy\DP\Top_SchDoc	Drawn By:	Jakub Oravec

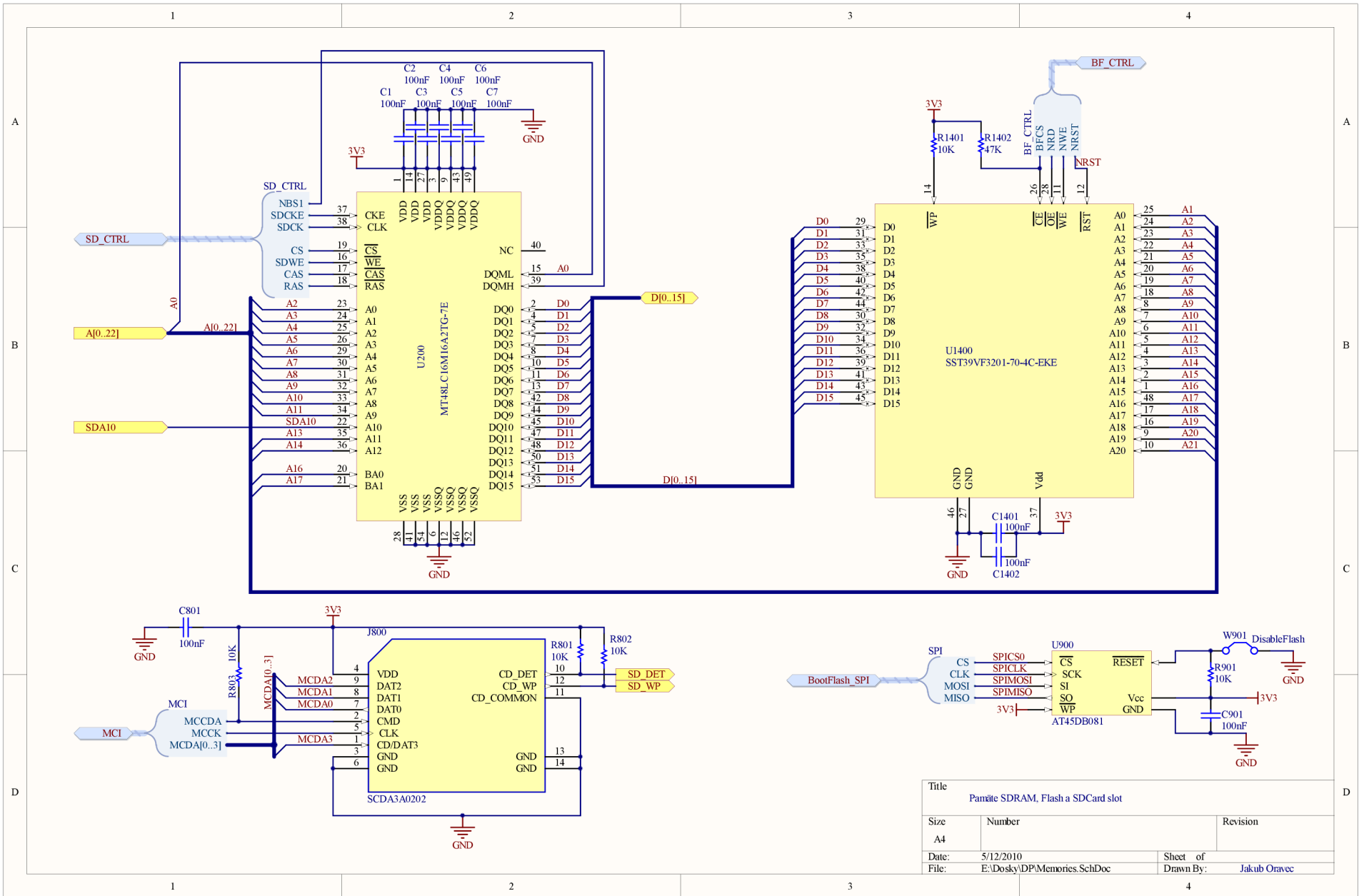


Title: MCU atemica, oscillator, filter PLL a JTAG			
Size: A4	Number: A4	Revision:	
Date: 5/12/2010	Sheet of: 4		Drawn By: Jakub Oravec
File: E:\Dosky\DPAM\MCU_SchDoc			

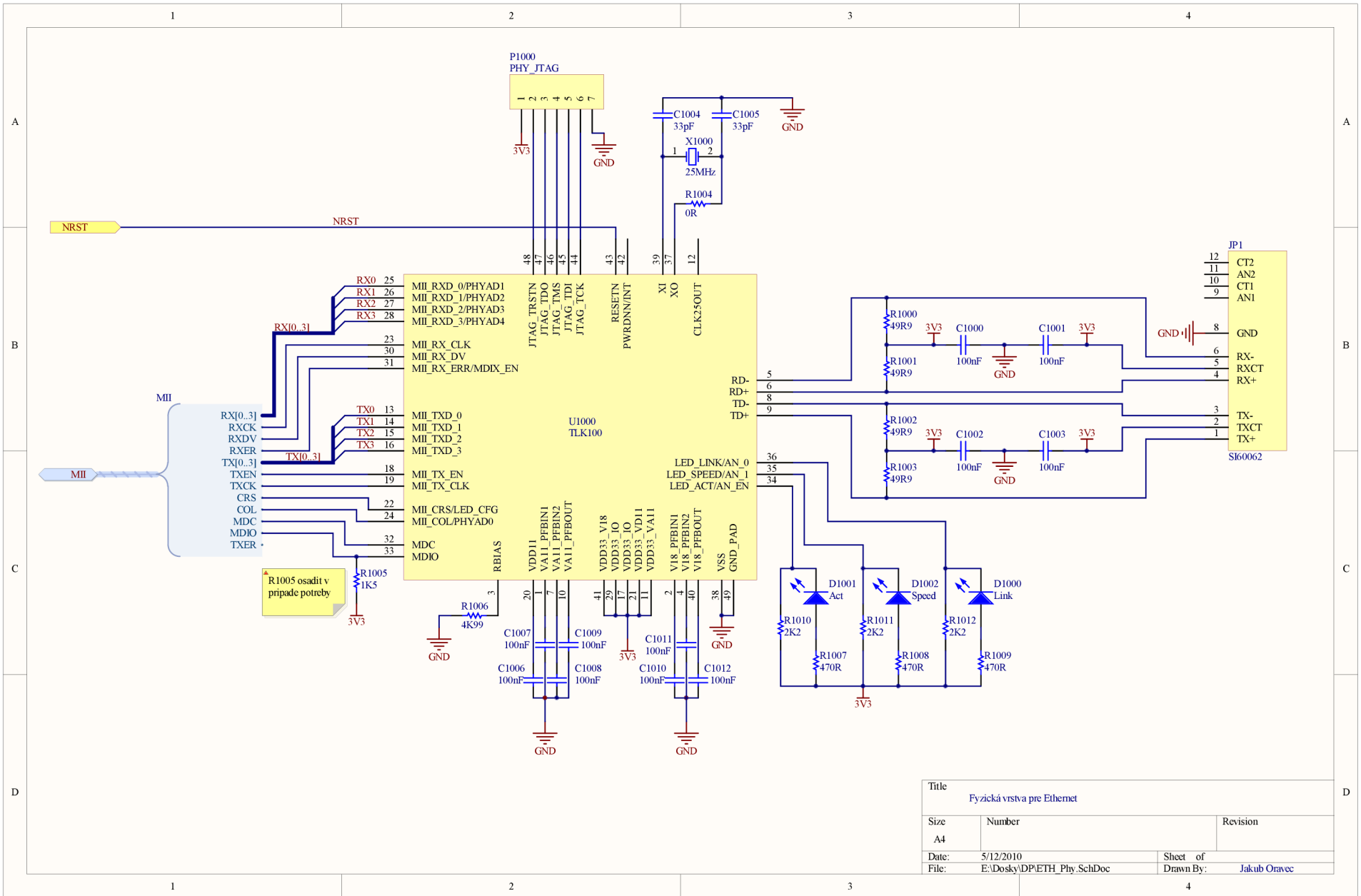
Dodatok A.2



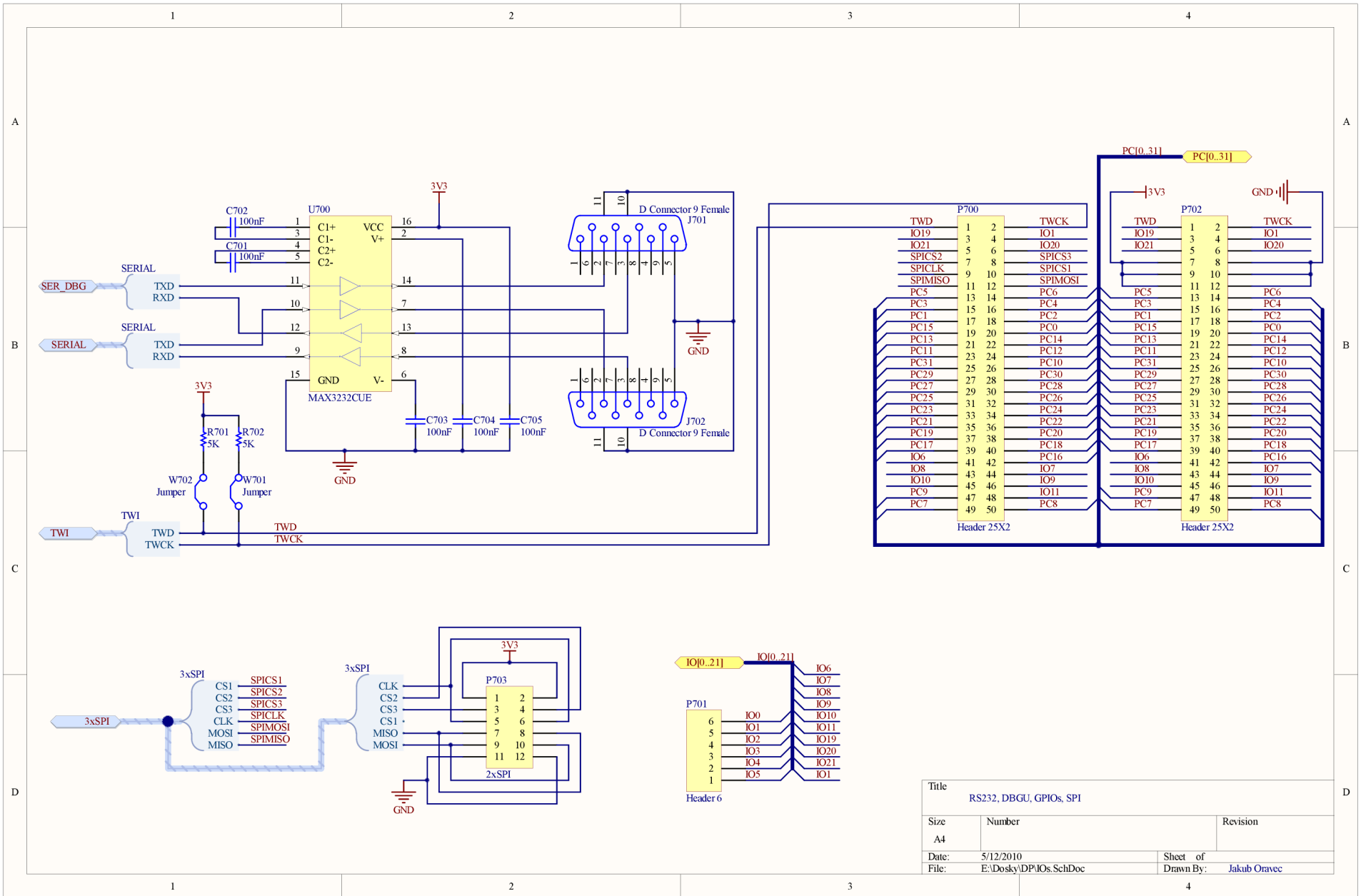
Dodatok A.4

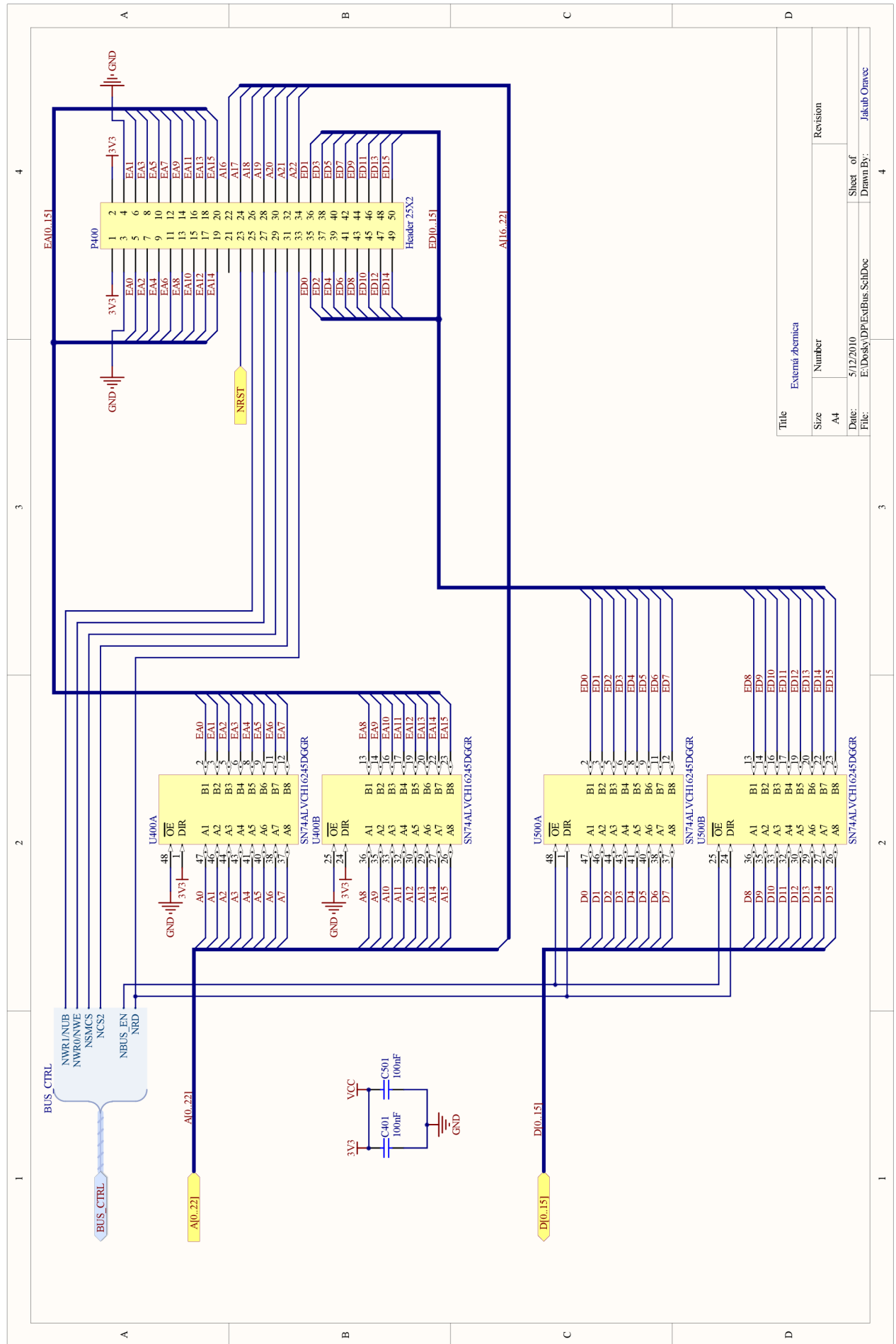


Title		
Pamäte SDRAM, Flash a SDCard slot		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\Memories.SchDoc	Drawn By: Jakub Oravec



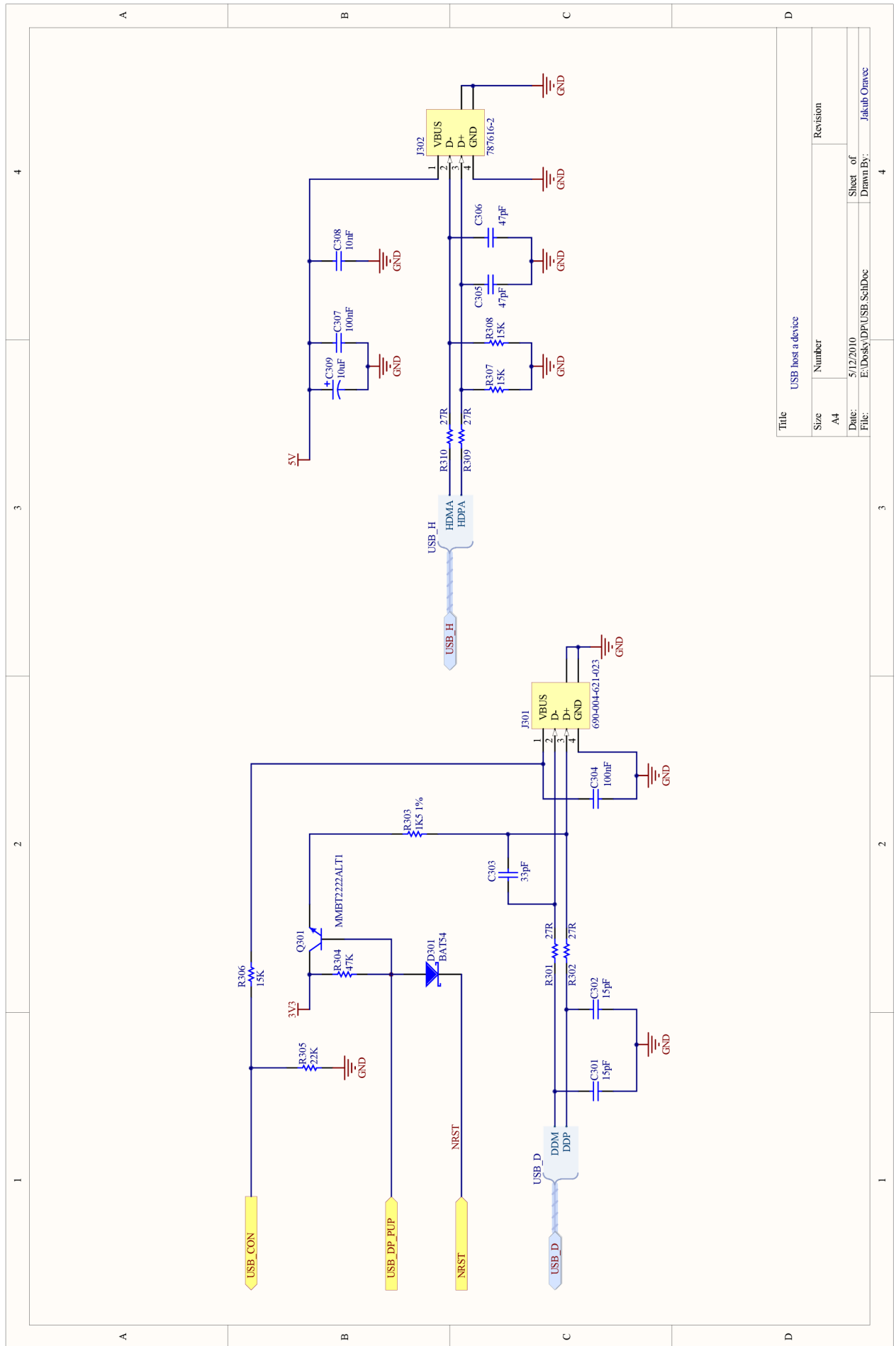
Title		
Fyzická vrstva pre Ethernet		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\ETH_Phys_SchDoc	Drawn By: Jakub Oravec





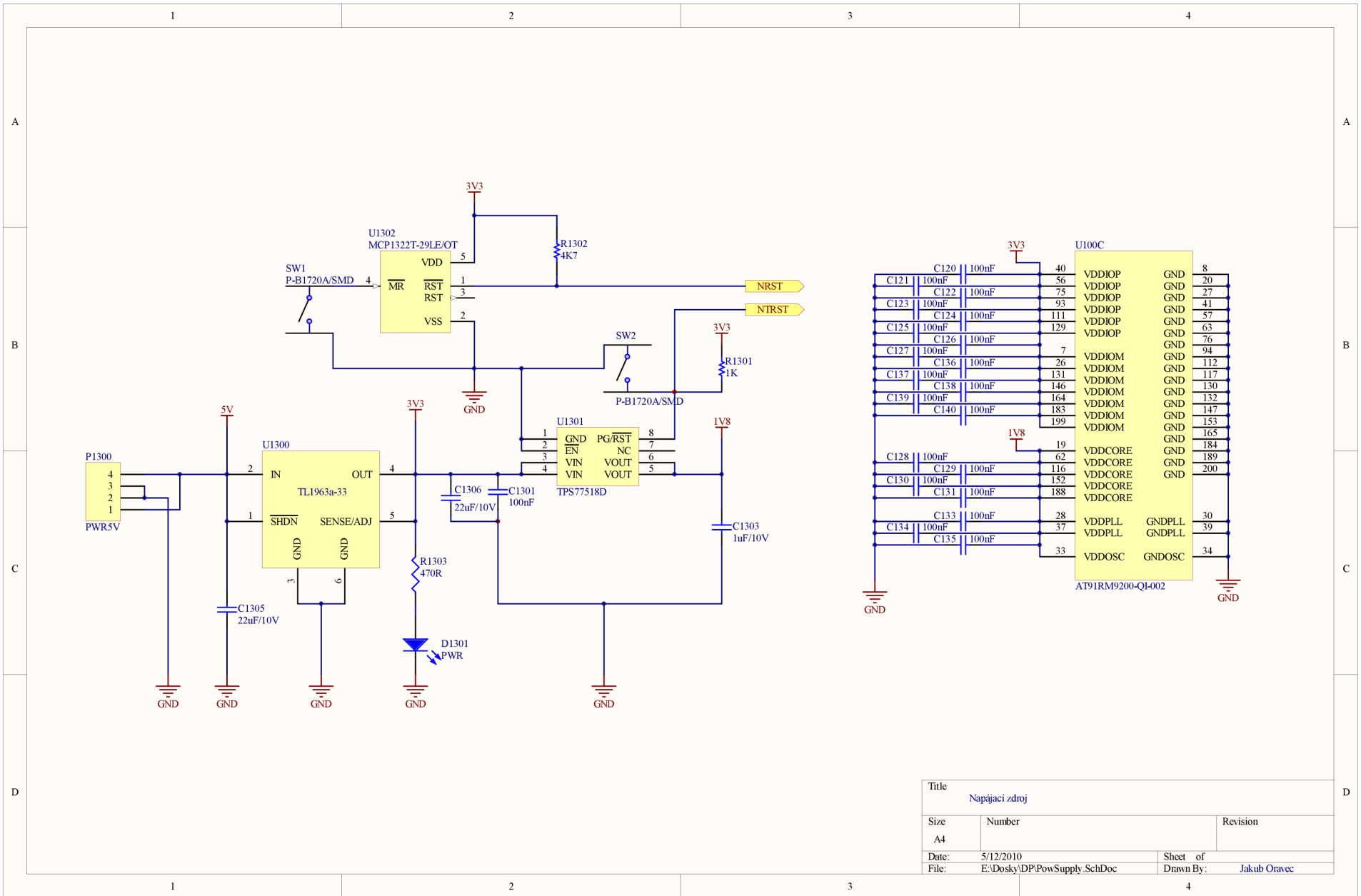
Title		External/zbornica	
Size	A4	Number	Revision
Date:	5/12/2010	Sheet of	
File:	E:\Doksy\DP\ExtBus_SchDoc	Drawn By: Jakub Oravec	

Dodatok A.7

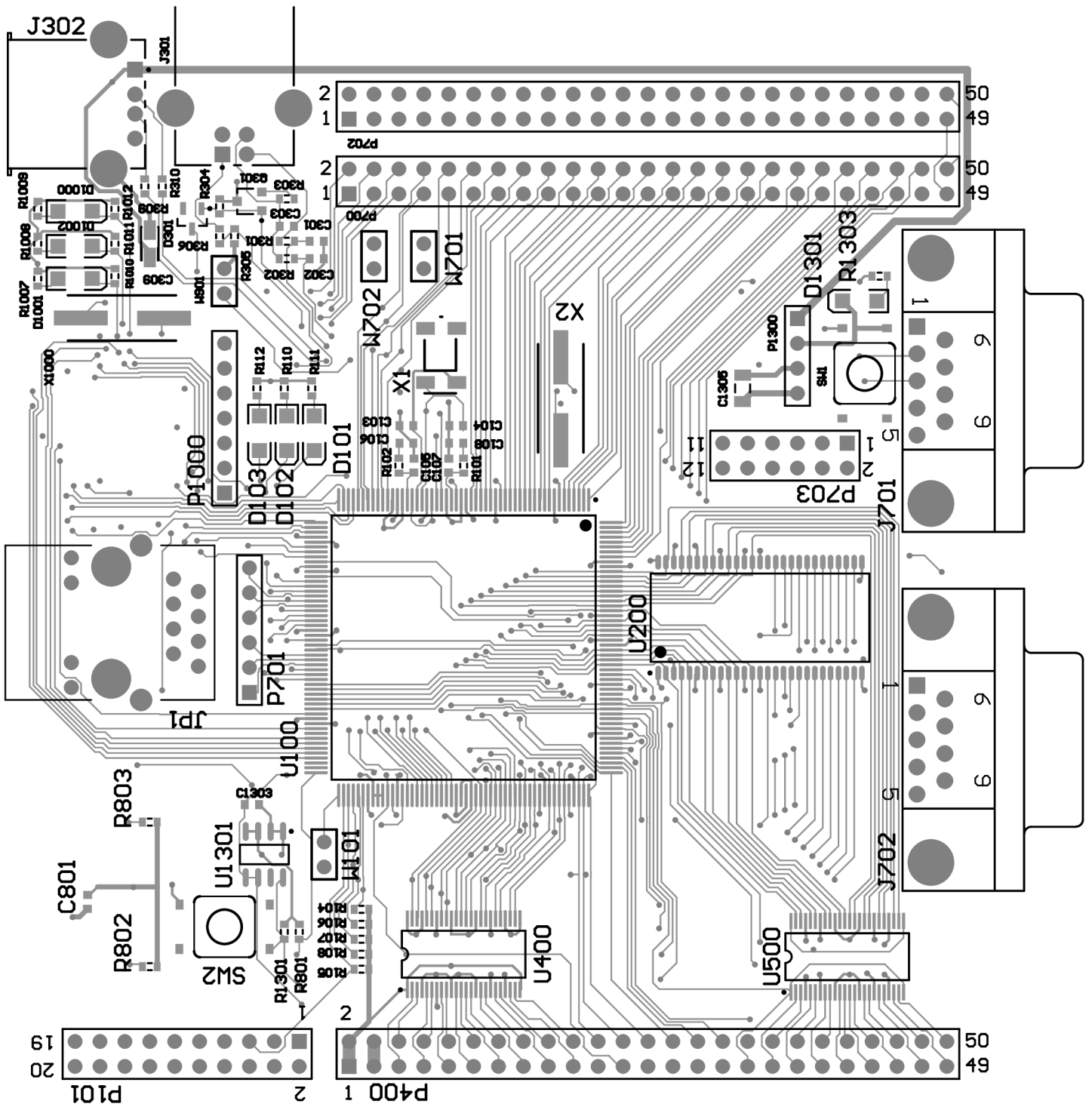


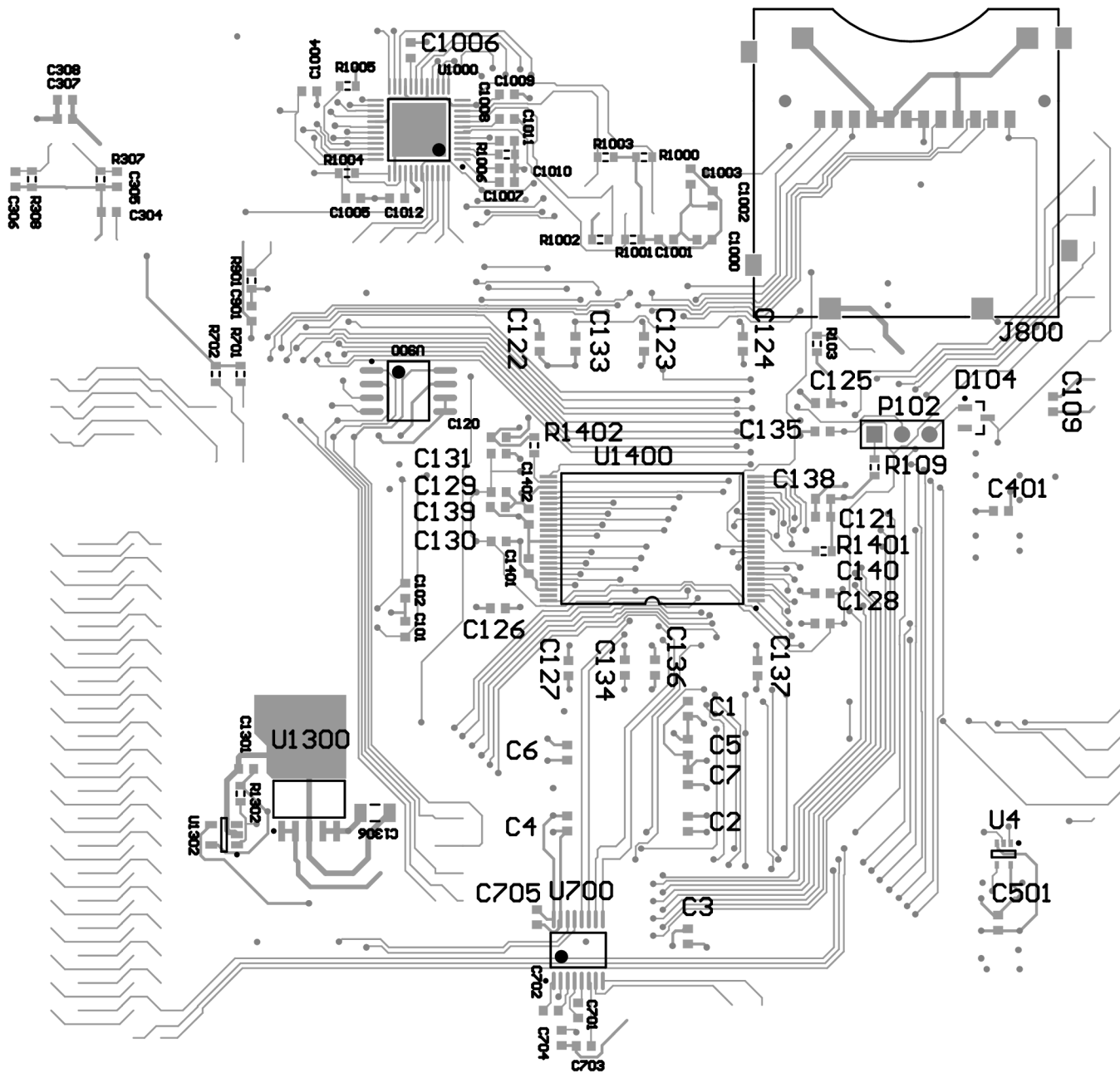
Title		USB host a device	
Size	Number	Revision	
A4			
Date:	5/12/2010	Sheet of	
File:	E:\Dosky\DP\USB_SchDoc	Drawn By:	
		Jakub Oravec	

Dodatok A.8



Title		
Napájaci zdroj		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\PowSupply_SchDoc	Drawn By: Jakub Oravec





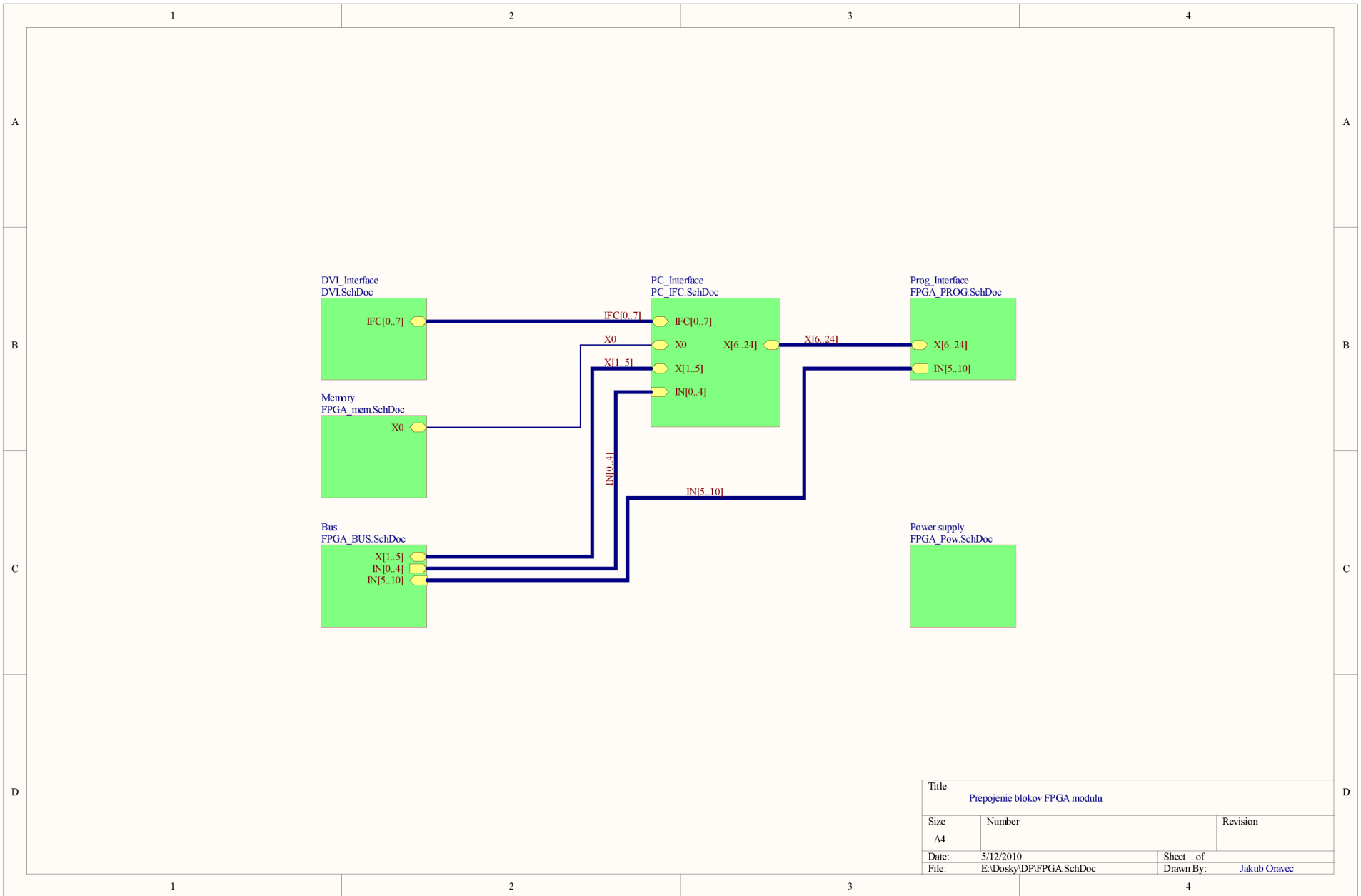
Dodatok A.11

Dodatok B

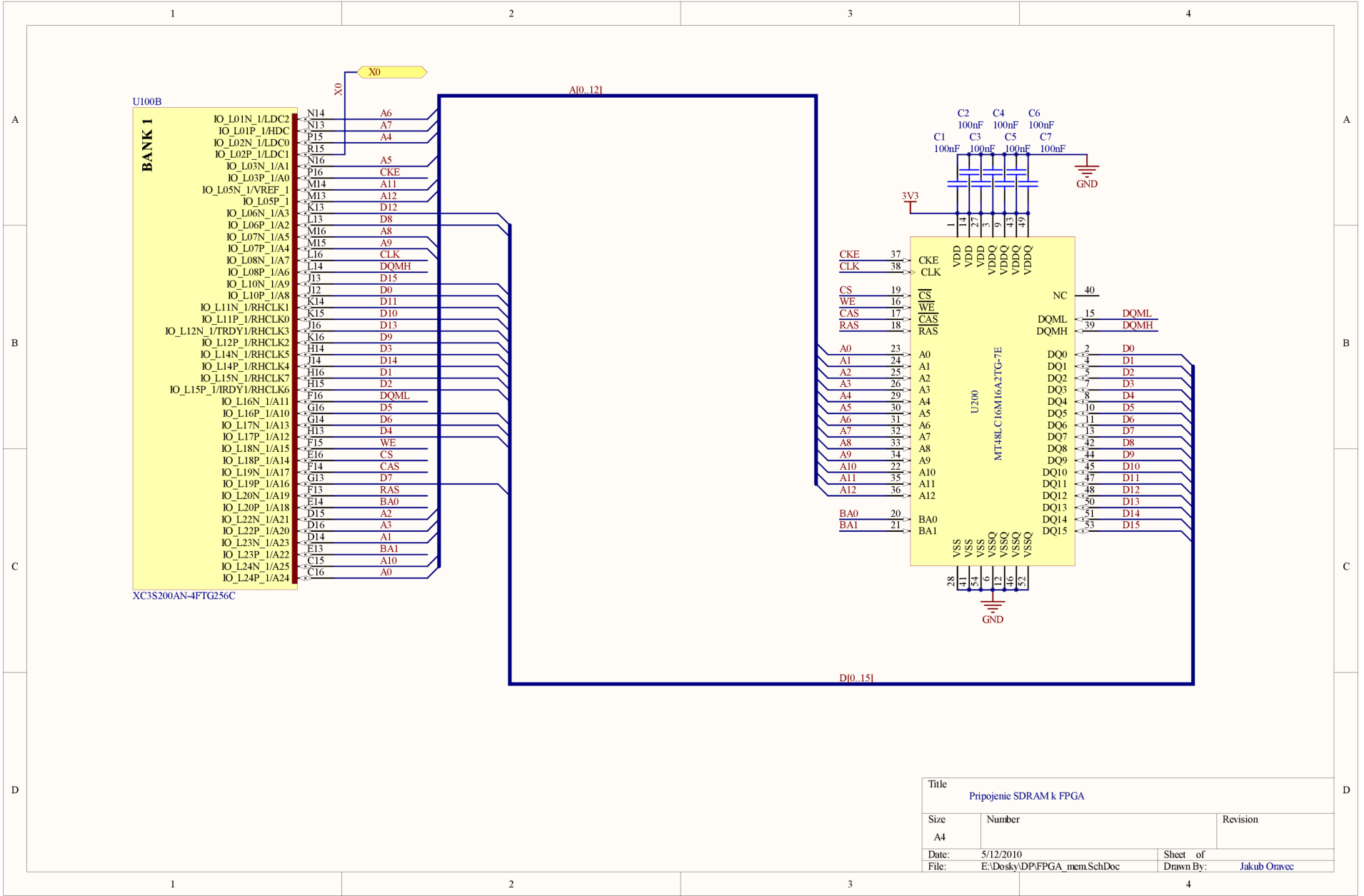
Schéma zapojenia FPGA modulu

Tento dodatok obsahuje schémy zapojenia FPGA modulu, ako aj plány rozmiestnenia súčastok na oboch stranách dosky plošných spojov.

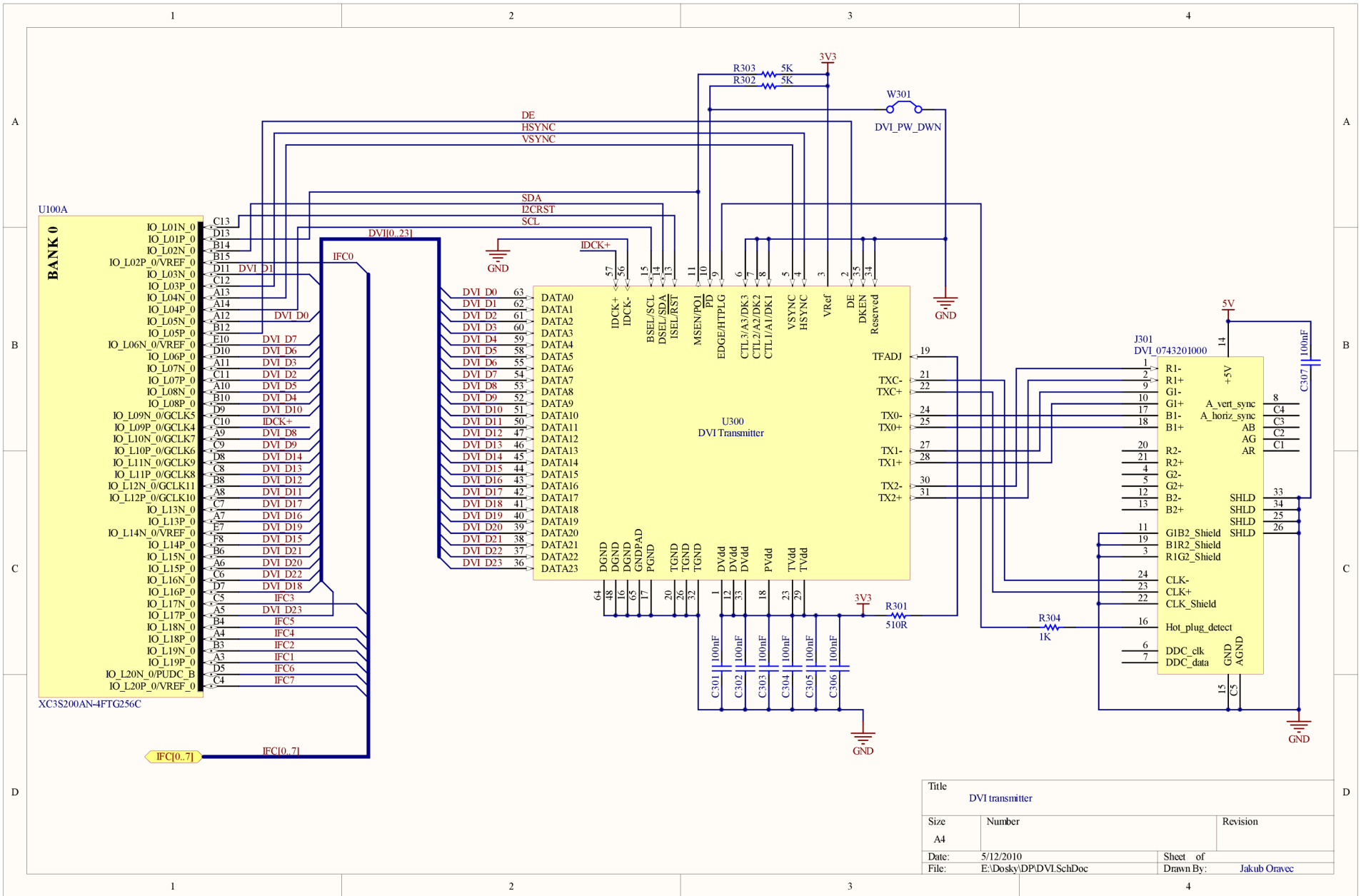
- **B.1** – Prepojenie subsystémov modulu
- **B.2** – Pripojenie SDRAM
- **B.3** – DVI transmitér s konektorom
- **B.4** – Rozhrania PS/2, RS-232 a vývody na všeobecné použitie
- **B.5** – Konfiguračné rozhranie FPGA, oscilátor a vývody na všeobecné použitie
- **B.6** – Pripojenie na zbernicu modulu s MCU
- **B.7** – Napájací zdroj
- **B.8** – Rozmiestnenie súčastok na vrchnej strane DPS
- **B.9** – Rozmiestnenie súčastok na spodnej strane DPS



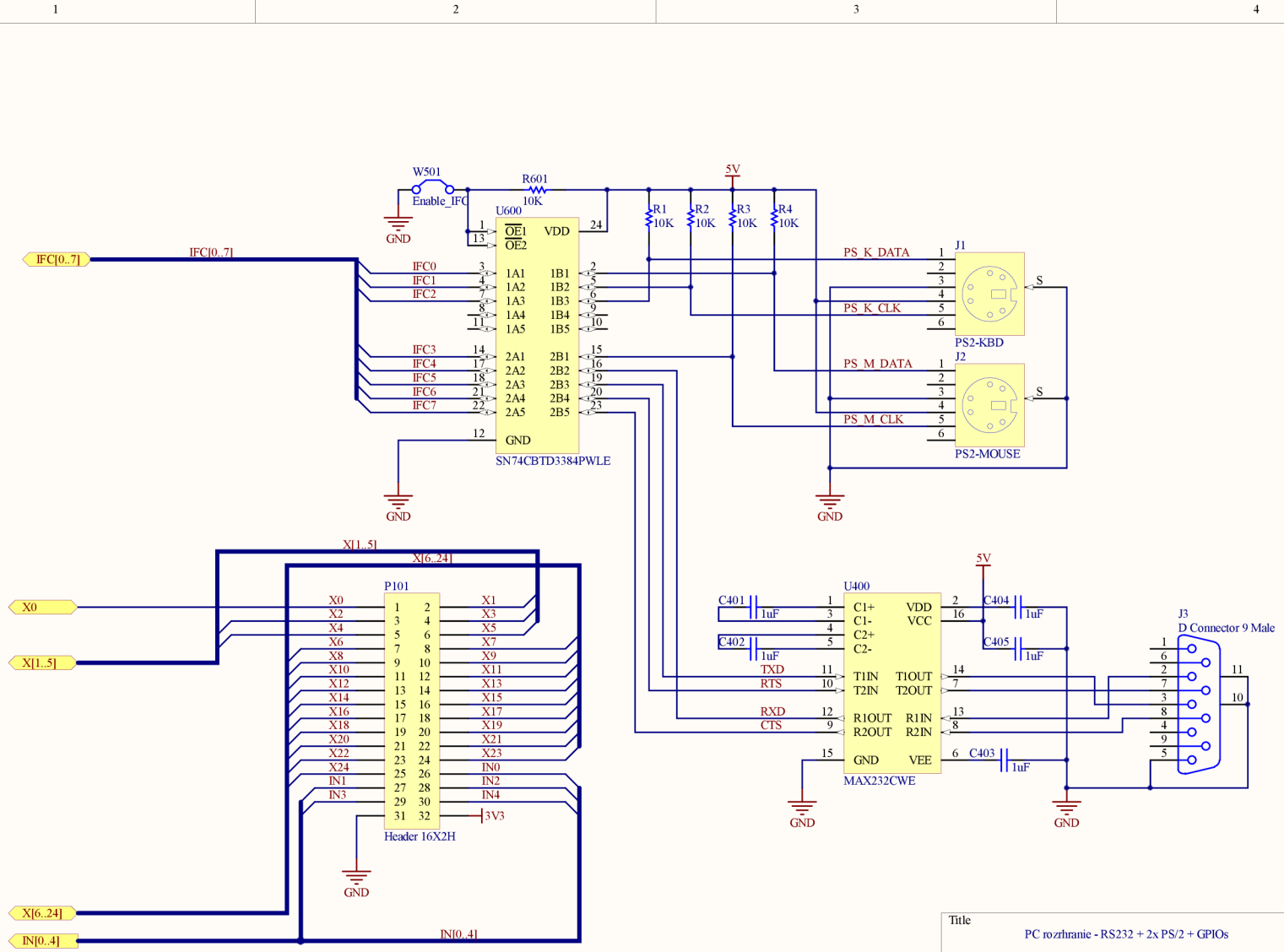
Title		
Prepojenie blokov FPGA modulu		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\FPGA.SchDoc	Drawn By: Jakub Oravec



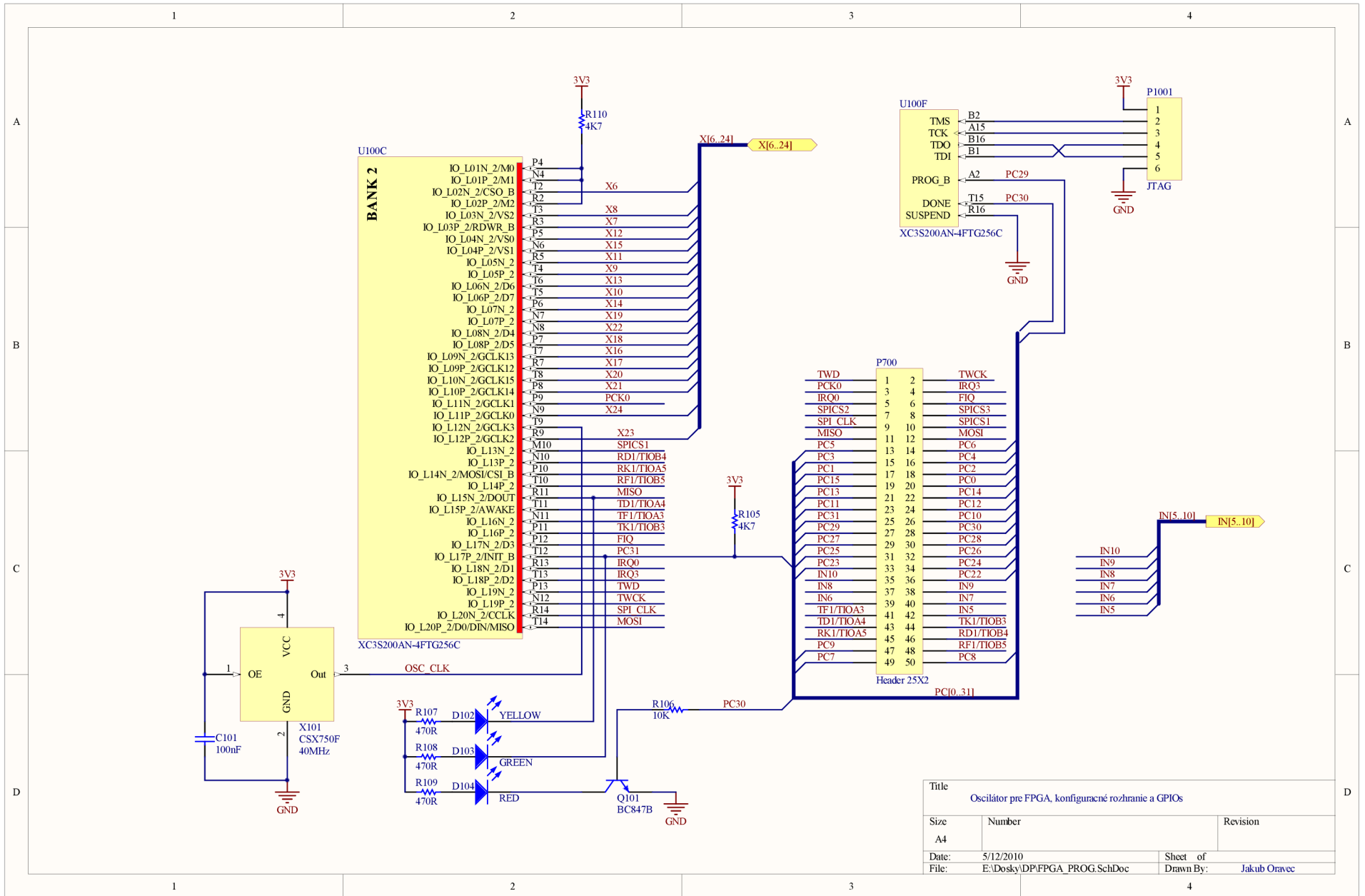
Title		
Pripojenie SDRAM k FPGA		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\FPGA_mem.SchDoc	Drawn By:
		Jakub Oravec



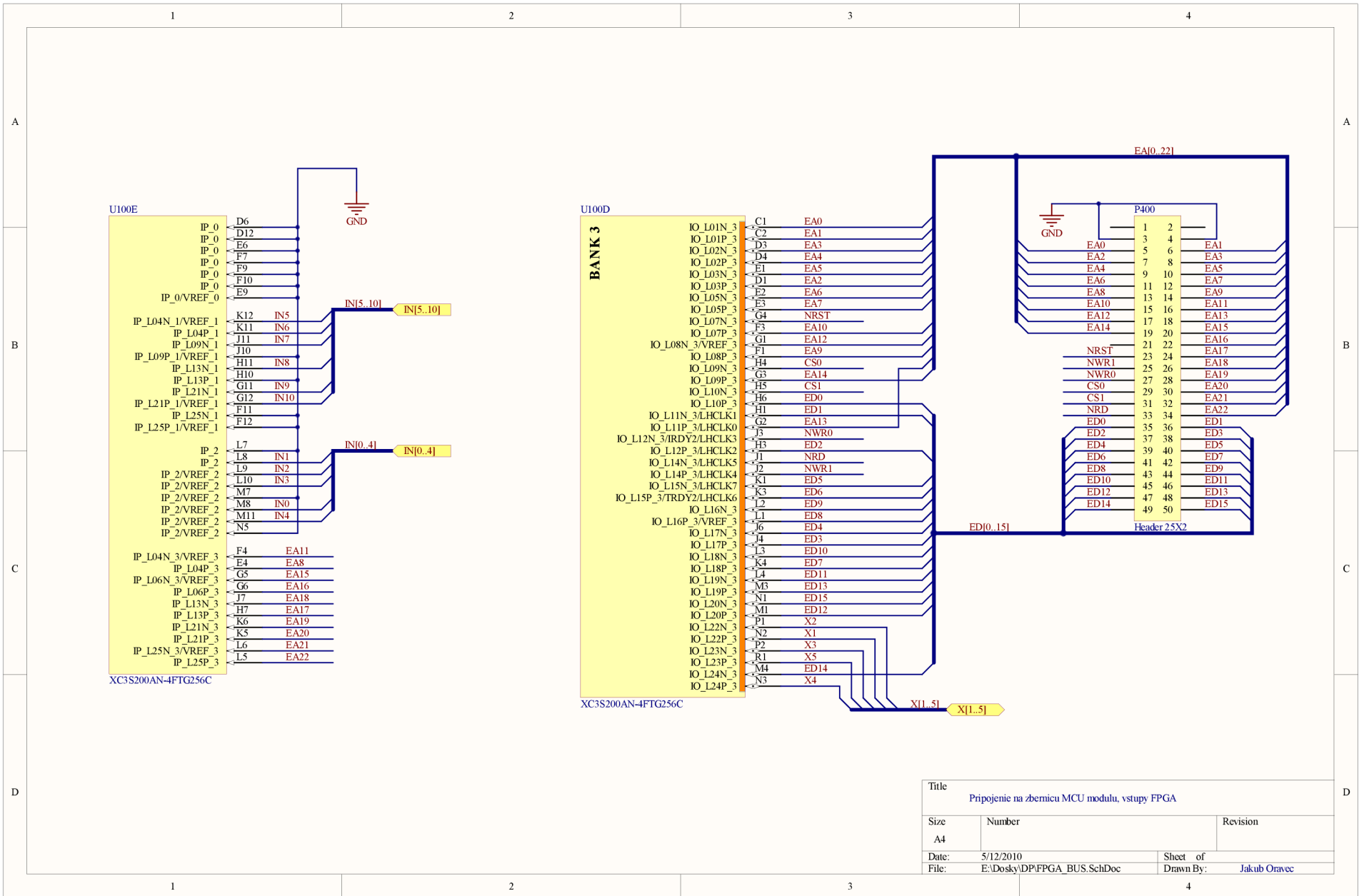
Title			DVI transmitter		
Size	Number		Revision		
A4					
Date:	5/12/2010		Sheet of		
File:	E:\Dosky\DP\DVI.SchDoc		Drawn By:		Jakub Oravec



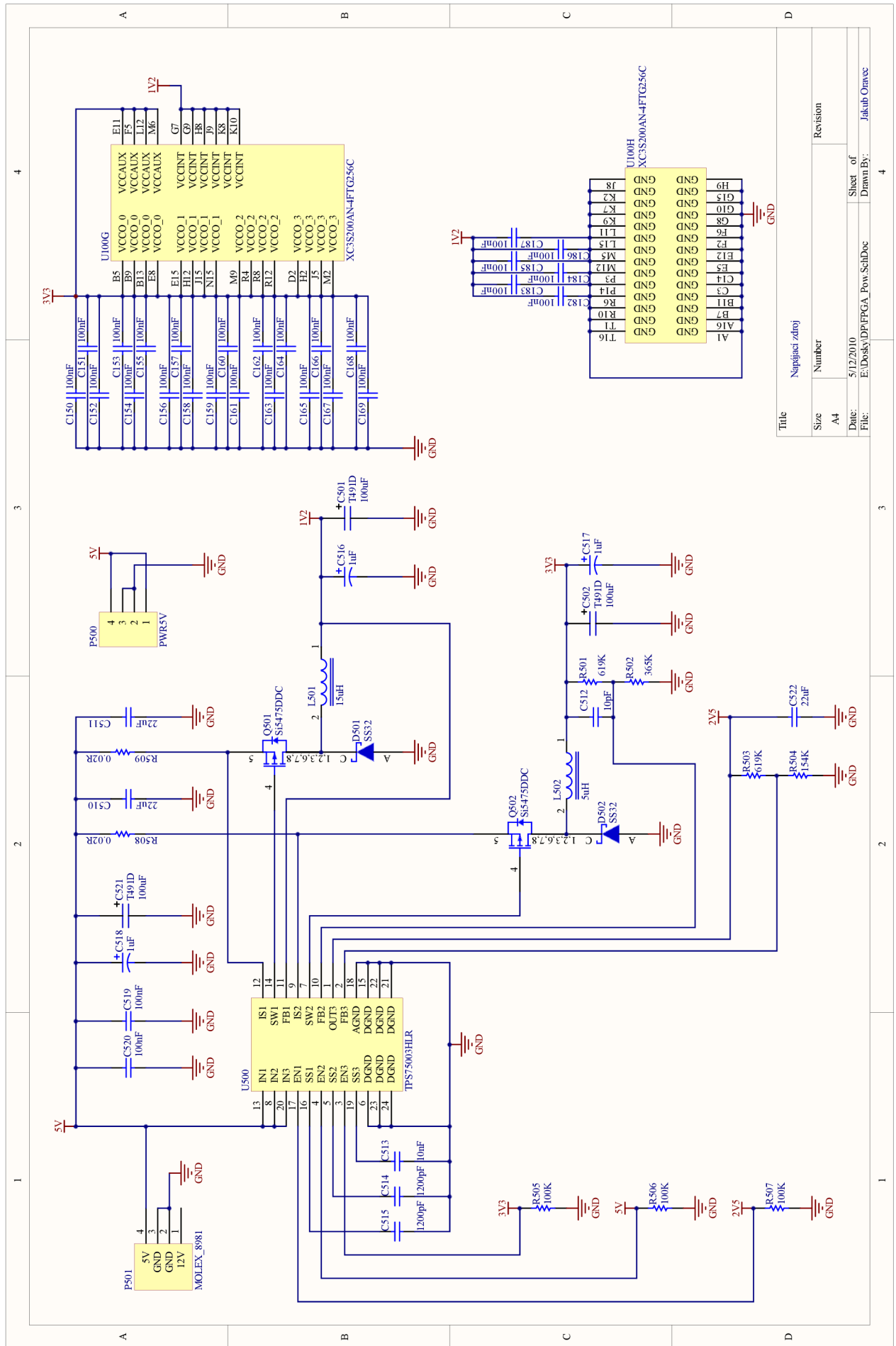
Title		
PC ro zhranie - RS232 + 2x PS/2 + GPIOs		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\PC_IFC.SchDoc	Drawn By: Jakub Oravec



Title		
Oscilátor pre FPGA, konfiguračné rozhranie a GPIOs		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Doksy\DP\FPGA_PROG.SchDoc	Drawn By: Jakub Oravec

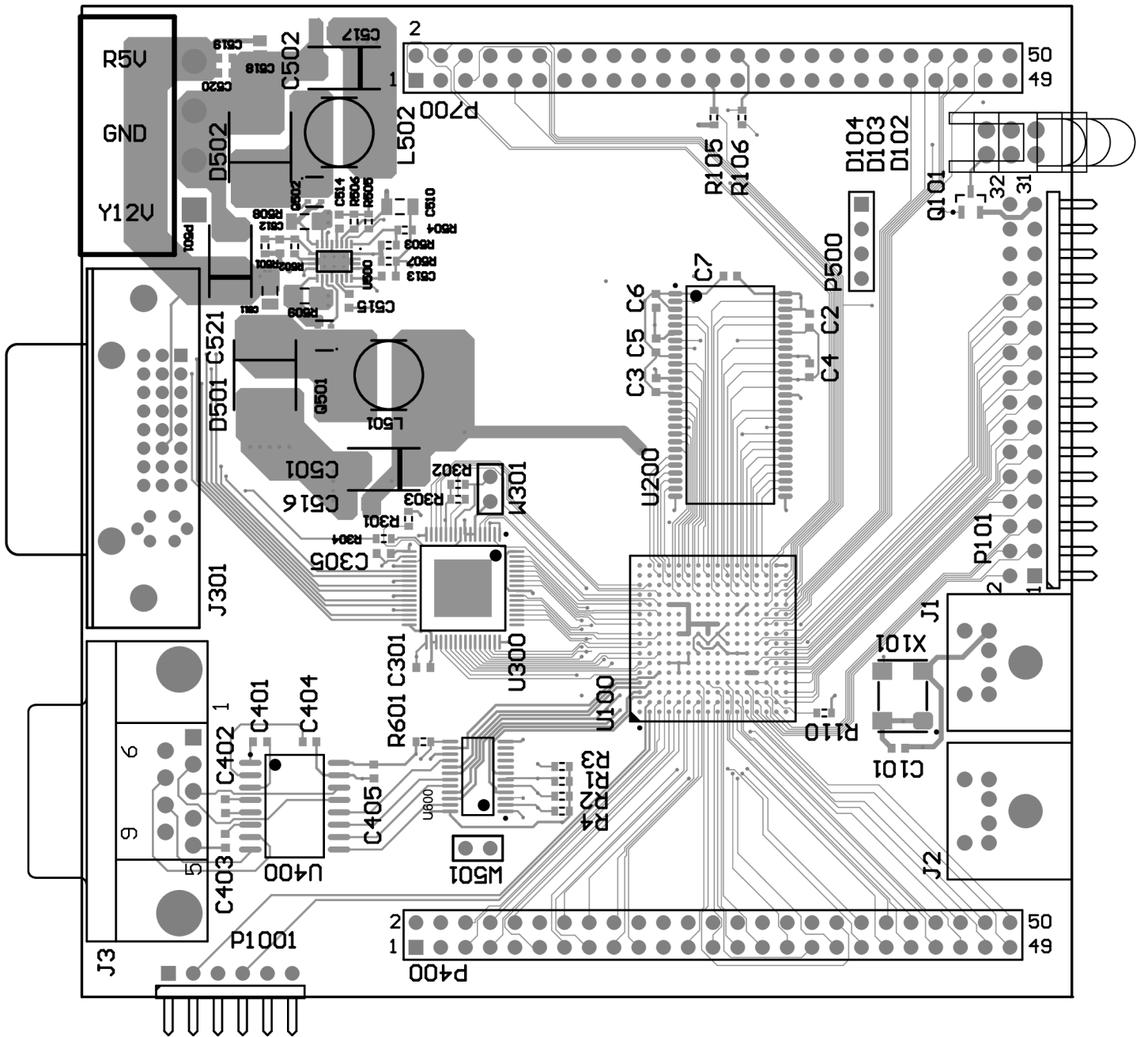


Title		
Pripojenie na zbernicu MCU modulu, vstupy FPGA		
Size	Number	Revision
A4		
Date:	5/12/2010	Sheet of
File:	E:\Dosky\DP\FPGA_BUS.SchDoc	Drawn By: Jakub Oravec

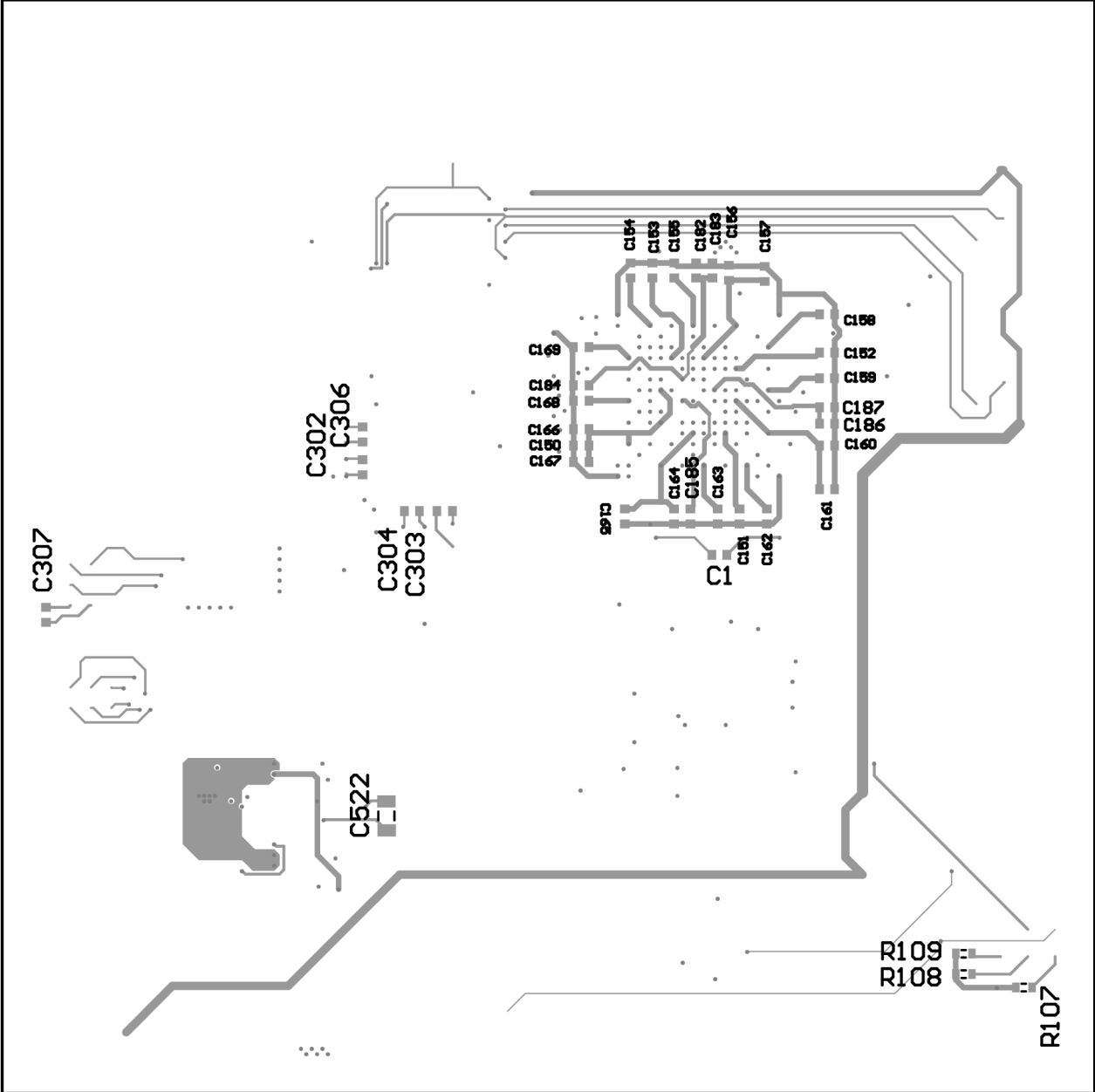


Title		Revision	
Size	A4	Number	
Date:	5/12/2010	Sheet of	
File:	E:\Doksy\DP\FPGA_Pow_SchDec	Drawn By:	Jakub Oravec

Dodatok B.7

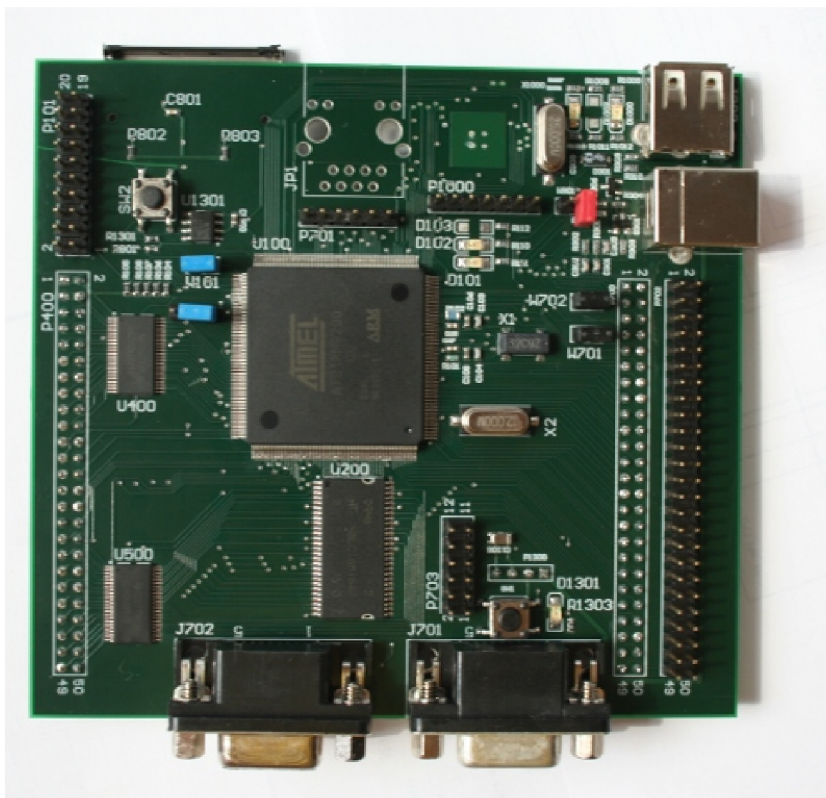


Dodatok B.8

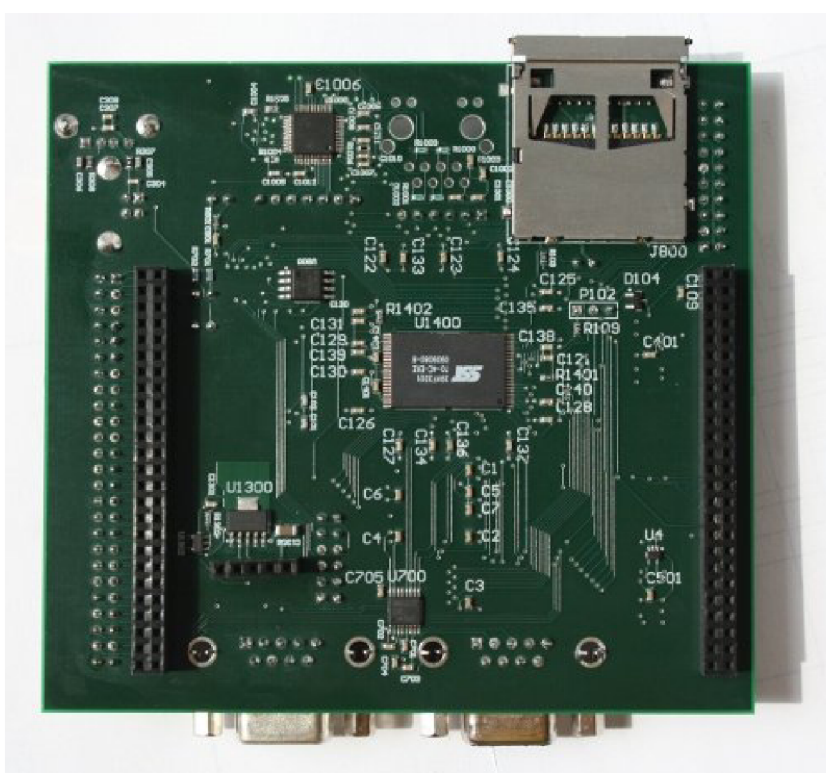


Dodatok C

Fotodokumentácia



Obrázok C.1: Pohľad na MCU modul zhora.



Obrázok C.2: Pohľad na MCU modul zospodu.