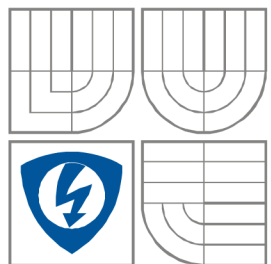


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A
KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

LINEARNÍ AKTIVNÍ FILTR NAPÁJECÍHO NAPĚTÍ "RIPPLE BLOCKER"

LINEAR ACTIVE FILTER OF SUPPLY VOLTAGE "RIPPLE BLOCKER"

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

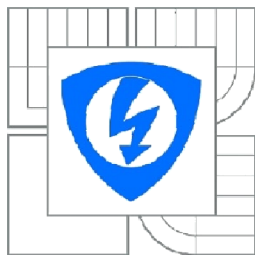
AUTOR PRÁCE
AUTHOR

Bc. Pavel Viček

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. Michal Pavlík, Ph.D.

BRNO, 2015



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Diplomová práce

magisterský studijní obor

Mikroelektronika

Student: Pavel Vlček

ID: 134661

Ročník: 2

Akademický rok: 2014/2015

NÁZEV TÉMATU:

Lineární aktivní filtr napájecího napětí „Ripple Blocker“.

POKYNY PRO VYPRACOVÁNÍ:

Porovnejte výhody a nevýhody možných konstrukčních řešení aktivního filtru napájecího napětí s výkonovým tranzistorem NMOS i PMOS, napětím V_{in} od 1,2 do 5 V a max. výstupním proudem od 0,1 A do 1 A. Porovnejte případně zjištěná omezení pracovního rozsahu V_{in} , V_{out} a pod. Vyhodnoťte možné metody pro zlepšení průběhu PSRR v závislosti na frekvenci. Analyzujte vliv reálného (neideálního) zdroje referenčního napětí na průběh PSRR filtru.

Navrhněte obvodové principy aktivního filtru napájecího napětí s výstupním napětím 1,8 V, jmenovitým proudem 100 mA a co nejlepším PSRR v pásmu 100 kHz až 10 MHz. Návrhem kritických bloků se zabývejte detailně. Pomocné bloky mohou být nahrazeny ideálními knihovními prvky (zdroj referenčního napětí apod). Okomentujte očekávanou změnu vlastností filtru při použití reálného (neideálního) bloku. Porovnejte dosažené PSRR navrženého filtru s filtry dostupnými na trhu.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 22.9.2014

Termín odevzdání: 31.5.2015

Vedoucí práce: Ing. Michal Pavlík, Ph.D.

Konzultanti diplomové práce: Ing. Vítek Musil, ON Semiconductor, SCG CDC

prof. Ing. Vladislav Musil, CSc.

Předseda oborové rady

UPOZORNĚNÍ:

Autor semestrální práce nesmí při vytváření semestrální práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

ABSTRAKT

Práce pojednává o metodách pro zlepšení PSRR lineárních aktivních filtrů napájecího napětí, nebo-li lineárních regulátorů, a o napětovém prostoru z hlediska napájecího napětí, především jeho minimální hodnotě. Jsou použity ideální prvky referenčního a proudového zdroje, práce tedy popisuje jak eliminovat vliv zpětnovazební smyčky na PSRR, jak snížit minimální napájecí napětí a jak nastavit stabilitu celkového zapojení.

ABSTRACT

This work deals with a methodsfor increasing the PSRR of the linear active filters of supply voltage or if linear regulators and voltage range of supply, primarily his minimal value.In the work are used ideal parts of reference voltage source and reference current source. The work describes how to eliminate effect of feedback loop on the PSRR, how to decrease minimal power supply voltage and how to set stability of total schematic.

KLÍČOVÁ SLOVA

Lineární aktivní filtr napájecího napětí, Lineární regulátor, PSRR, frekvenční kompenzace, napětový sledovač.

KEYWORDS

Linear active filter of supply voltage, linear rregulator, PSRR, frequency compensation, voltage follower.

VLČEK, P. *Lineární aktivní filtr napájecího napětí „Ripple Blocker“*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektoniky, 2014. 134 s. Diplomová práce. Vedoucí práce: Ing. Michal Pavlík, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svůj semestrální projekt na téma Lineární aktivní filtr napájecího napětí „Ripple Blocker“ jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedeného semestrálního projektu dále prohlašuji, že v souvislosti s vytvořením tohoto semestrálního projektu jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Rád bych poděkoval vedoucímu diplomové práce panu Ing. Michalu Pavlíkovi za vedení diplomové práce a trpělivost. Také bych rád poděkoval společnosti ON Semiconductor za poskytnutí technického vybavení a konzultací.

V Brně dne

.....

(podpis autora)

OBSAH

OBSAH	VI
SEZNAM OBRÁZKŮ	VIII
SEZNAM TABULEK	XIII
ÚVOD.....	14
1 LINEÁRNÍ AKTIVNÍ FILTRY NAPÁJECÍHO NAPĚTÍ	15
1.1 OMEZENÍ VÝSTUPNÍM TRANZISTOREM.....	16
1.1.1 PMOS jako výstupní tranzistor.....	16
1.1.2 NMOS jako výstupní tranzistor	18
1.1.3 NMOS x PMOS	19
1.2 ZPĚTNOVAZEBNÍ DĚLIČ.....	20
1.3 ZÁKLADNÍ ROVNICE PRO MOS TRANZISTOR	21
2 PARAMETRY LDO	25
2.1 ÚBYTEK NAPĚTÍ U_{DROP} NA LINÁRNÍM REGULÁTORU	25
2.2 KLIDOVÝ PROUD I_{QA} ZEMNÍ PROUD I_{GND}	25
2.3 ZMĚNA VÝSTUPNÍHO NAPĚTÍ KU ZMĚNĚ VSTUPNÍHO NAPĚTÍ $\Delta U_{OUT} / \Delta U_{IN}$	26
2.4 ZMĚNA VÝSTUPNÍHO NAPĚTÍ KU ZMĚNĚ VÝSTUPNÍHO PROUDU $\Delta U_{OUT} / \Delta I_{ZATEZ}$	26
2.5 CHARAKTERISTIKY ZISKU A FÁZE OTEVŘENÉ SMYČKY	26
2.5.1 Fázová rezerva přenosu otevřené zpětnovazební smyčky	28
2.5.2 Rozsah ESR výstupního kondenzátoru	28
3 POTLAČENÍ ZMĚN VSTUPNÍHO NAPĚTÍ.....	30
3.1 CESTY ŠÍŘENÍ VSTUPNÍHO ZVLNĚNÍ.....	30
3.1.1 Zpětnovazební smyčka LDO	31
3.1.2 Napájení regulačního prvku (např. OZ)	32
3.1.3 Blok referenčního napětí	32
3.1.4 Výsledné PSRR:.....	33
3.2 MODEL LDO	34
3.3 ZAPOJENÍ LDO S KONDENZÁTOREM C_{FF}	38
3.3.1 Vliv kondenzátoru C_{FF} na charakteristiky PSRR.....	38
3.3.2 Vliv kondenzátoru C_{FF} na charakteristiku zisku zpětnovazební smyčky.....	40
4 METODY PRO ZLEPŠENÍ PSRR	41
4.1 DRUHÝ STUPEŇ VE TŘÍDĚ AB, DIFERENČNÍ STUPEŇ PMOS (LDO1).....	44
4.1.1 Druhý a třetí stupeň ve třídě AB, diferenční stupeň NMOS (LDO2)	58
4.2 NAPĚŤOVÝ SLEDOVAČ PRO PŘÍMÉ ŘÍZENÍ VÝSTUPNÍHO TRANZISTORU (LDO3)	67
4.3 NAPĚŤOVÝ SLEDOVAČ PRO NEPŘÍMÉ ŘÍZENÍ VÝSTUPNÍHO TRANZISTORU (LDO4)	82
4.4 AUTOREGULAČNÍ SMYČKA PROUDU DRUHÉHO A TŘETÍHO STUPNĚ (VLASTNÍ NÁVRH, LDO5).....	97
4.4.1 Diferenční stupeň.....	99
4.4.2 Frekvenční kompenzace	100
4.4.3 Druhý a třetí stupeň.....	103
5 SROVNÁNÍ PARAMETRŮ LDO	120
5.1 NAVRŽENÁ LDO.....	120
5.2 LDO DOSTUPNÁ NA TRHU.....	122
6 ZÁVĚR	124
LITERATURA.....	125
SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK.....	127

A	MODELY TRANZISTORŮ	128
A.1	PSPICE MODEL TRANZISTORUNMOS TSMC 0,25 μ M.....	128
A.2	PSPICE MODEL TRANZISTORUPMOS TSMC 0,25 μ M	129
B	CELKOVÁ SCHEMATA REGULÁTORŮ	130
B.1	CELKOVÉ SCHÉMA LDO1	130
B.2	CELKOVÉ SCHÉMA LDO2	131
B.3	CELKOVÉ SCHÉMA LDO3	132
B.4	CELKOVÉ SCHÉMA LDO3	133
B.5	CELKOVÉ SCHÉMA LDO5	134

SEZNAM OBRÁZKŮ

Obr. 1.1:	Aplikace lineárního regulátoru ^[5]	15
Obr. 1.2:	Omezení při použití PMOS jako výstupního tranzistoru.....	16
Obr. 1.3:	Nejjednodušší struktura OZ s dolní hranicí dynamického rozsahu nulovému napětí.....	17
Obr. 1.4:	Omezení při použití NMOS jako výstupního tranzistoru.....	18
Obr. 1.5:	Nejjednodušší struktura OZ s horní hranicí dynamického rozsahu blízkou napájecímu napětí.....	19
Obr. 1.6:	LDO s diferenčním párem s PMOS zesilovacími tranzistory.....	20
Obr. 1.7:	LDO s diferenčním párem s NMOS zesilovacími tranzistory.....	20
Obr. 1.8:	Výstupní charakteristika MOS tranzistoru.....	22
Obr. 1.9:	Výstupní charakteristika MOS tranzistoru.....	22
Obr. 1.10:	Strmost λ v závislosti na délce kanálu.....	23
Obr. 2.1:	Definice úbytku napětí U_{DROP} na regulátoru.....	25
Obr. 2.2:	Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO.....	26
Obr. 2.3:	Měření zisku a fáze otevřené smyčky LDO regulátoru.....	28
Obr. 2.4:	Charakteristiky zisku a fáze v závislosti na ESR výstupního kondenzátoru.....	29
Obr. 2.5:	Oblast stability a nestability, minimální a maximální hodnota kondenzátoru C_{OUT} v závislosti na jeho ESR.....	29
Obr. 3.1:	Blokové schéma LDO ^[12]	30
Obr. 3.2:	Výsledná charakteristika PSRR.....	33
Obr. 3.3:	Náhradní schema lineárního regulátoru.....	34
Obr. 3.4:	Model lineárního regulátoru.....	34
Obr. 3.5:	Impedance keramického kondenzátoru v závislosti na frekvenci.....	35
Obr. 3.6:	Přenos zátěže, zisk OZ, PSRR.....	36
Obr. 3.7:	PSRR pro různé kondenzátory.....	36
Obr. 3.8:	Vliv neidální reference na PSRR.....	37
Obr. 3.9:	Zapojení kondenzátoru C_{FF} v obvodu LDO.....	38
Obr. 3.10:	Vliv kondenzátoru C_{FF} na PSRR.....	39
Obr. 3.11:	Vliv kondenzátoru C_{FF} na zisk zpětnovazební smyčky.....	40
Obr. 4.1:	Měření časové přechodné odezvy pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$ a $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$	41

Obr. 4.2:	Převodní charakteristika LDO a napětí U_{DROP} při $I_{\text{ZATEZ}} = 100 \text{ mA}$	42
Obr. 4.3:	Parazitní RC článek v zapojení LDO.....	43
Obr. 4.4:	Střídavá analýza zisku a fáze RC článku.....	43
Obr. 4.5:	Druhý stupeň operačního zesilovače ve třídě AB.....	44
Obr. 4.6:	Princip metody.....	44
Obr. 4.7:	Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO1.....	45
Obr. 4.8:	Vliv proudové vazby na zisk a fázi otevřené smyčky LDO.....	46
Obr. 4.9:	Vstupní ofset jednotlivých stupňů.....	46
Obr. 4.10:	Frekvenční kompenzace s články $R_S C_S$ verze 1.....	47
Obr. 4.11:	Frekvenční kompenzace s články $R_S C_S$ verze 2.....	48
Obr. 4.12:	Vliv $R_S C_S$ článku na zisk a fáze otevřené smyčky LDO s proudovou vazbou 1 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$	49
Obr. 4.13:	Zisk a fáze otevřené smyčky LDO1, pro $I_{\text{ZATEZ}} = 100 \text{ mA}$, $C_{\text{FF}} = 0 \text{ F}$; 1 nF ; 100 nF	50
Obr. 4.14:	PSRR LDO1 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$; 0 A	51
Obr. 4.15:	PSRR LDO1 s proudovou vazbou 1 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$, $\text{ESR} = 10 \text{ m}\Omega$, $100 \text{ m}\Omega$, $500 \text{ m}\Omega$	51
Obr. 4.16:	PSRR LDO1, $I_{\text{ZATEZ}} = 100 \text{ mA}$, nejhorší a nejlepší případ.....	52
Obr. 4.17:	PSRR LDO5 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$, $t = -50 \text{ }^\circ\text{C}$; $27 \text{ }^\circ\text{C}$; $125 \text{ }^\circ\text{C}$	52
Obr. 4.18:	PSRR LDO2, $I_{\text{ZATEZ}} = 100 \text{ mA}$, $C_{\text{FF}} = 0 \text{ F}$; 1 nF	53
Obr. 4.19:	PSRR LDO1 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$, vliv neideální napěťové reference na PSRR LDO, $\text{PSRR}_{\text{REF}} = -40 \text{ dB}$; -60 dB ; -80 dB	53
Obr. 4.20:	Celkové schéma LDO1.....	54
Obr. 4.21:	Časová přechodná odezva LDO1 pro $U_{\text{IN}} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$	55
Obr. 4.22:	Časová přechodná odezva LDO1 pro $U_{\text{IN}} = 3,4 \text{ V} \rightarrow 2,4 \text{ V}$	55
Obr. 4.23:	Časová přechodná odezva LDO1 pro $I_{\text{ZATEZ}} = 0 \text{ mA} \rightarrow 100 \text{ mA}$	56
Obr. 4.24:	Časová přechodná odezva LDO1 pro $I_{\text{ZATEZ}} = 100 \text{ mA} \rightarrow 0 \text{ mA}$	56
Obr. 4.25:	Třetí stupeň ve třídě AB s posunem vstupní úrovně.....	58
Obr. 4.26:	Zisk a fáze LDO2 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$; 0 A	59
Obr. 4.27:	Převodní charakteristika LDO2.....	59
Obr. 4.28:	PSRR LDO1 s druhým stupněm 1 a 2 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$; 0 A	60
Obr. 4.29:	PSRR LDO1 s proudovou vazbou 1 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$, $\text{ESR} = 10 \text{ m}\Omega$, $100 \text{ m}\Omega$, $200 \text{ m}\Omega$	61
Obr. 4.30:	PSRR LDO2, $I_{\text{ZATEZ}} = 100 \text{ mA}$, nejhorší a nejlepší případ.....	61
Obr. 4.31:	PSRR LDO5 pro $I_{\text{ZATEZ}} = 100 \text{ mA}$, $t = -50 \text{ }^\circ\text{C}$; $27 \text{ }^\circ\text{C}$; $125 \text{ }^\circ\text{C}$	62

Obr. 4.32: PSRR LDO2 pro $I_{ZATEZ} = 100 \text{ mA}$, vliv neideální napěťové reference na PSRR LDO, $PSRR_{REF} = -20 \text{ dB}; -40 \text{ dB}; -60 \text{ dB}; -80 \text{ dB}$.	62
Obr. 4.33: Celkové schéma LDO2.	63
Obr. 4.34: Časová přechodná odezva LDO2 pro $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$.	64
Obr. 4.35: Časová přechodná odezva LDO2 pro $U_{IN} = 3,4 \text{ V} \rightarrow 2,4 \text{ V}$.	64
Obr. 4.36: Časová přechodná odezva LDO2 pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$.	65
Obr. 4.37: Časová přechodná odezva LDO2 pro $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$.	65
Obr. 4.38: Principiální schéma metody se sledovačem 1.	67
Obr. 4.39: Rozložení pólů a nul ve frekvenční charakteristice zisku.	67
Obr. 4.40: Zisk a fáze LDO3 se sledovačem 1.	68
Obr. 4.41: Schéma sledovače 3.	69
Obr. 4.42: Zisk a fáze otevřené smyčky LDO 3 pro $I_{ZATEZ} = 0 \text{ A}; 100 \text{ mA}$.	70
Obr. 4.43: Minimální vstupní napětí U_{IN} LDO se sledovačem 1 a 2 pro $I_{ZATEZ} = 0 \text{ A}$ a $I_{ZATEZ} = 100 \text{ mA}$.	71
Obr. 4.44: Schéma sledovače 3.	71
Obr. 4.45: Zisk a fáze LDO se sledovačem 3 ^[11] .	72
Obr. 4.46: Frekvenční kompenzace zisku diferenčního páru.	73
Obr. 4.47: Vliv kompenzace zisku diferenčního stupně na charakteristiky zisku a fáze.	74
Obr. 4.48: Vliv kompenzace zisku diferenčního stupně na parametry $\Delta U_{OUT}/\Delta I_{ZATEZ}$ a $\Delta U_{OUT}/\Delta U_{IN}$.	74
Obr. 4.49: PSRR LDO3 se sledovačem 1 a 2 pro $I_{ZATEZ} = 100 \text{ mA}; 0 \text{ A}$.	75
Obr. 4.50: PSRR LDO3 s proudovou vazbou 1 pro $I_{ZATEZ} = 100 \text{ mA}$, $ESR = 10 \text{ m}\Omega$, $50 \text{ m}\Omega$, $100 \text{ m}\Omega$.	75
Obr. 4.51: PSRR LDO3 pro $I_{ZATEZ} = 100 \text{ mA}$, $C_{FF} = 0 \text{ nF}; 1 \text{ nF}$.	76
Obr. 4.52: PSRR LDO3 pro $I_{ZATEZ} = 100 \text{ mA}$, nejhorší a nejlepší případ.	76
Obr. 4.53: PSRR LDO3 pro $I_{ZATEZ} = 100 \text{ mA}$, $t = -50 \text{ }^\circ\text{C}; 27 \text{ }^\circ\text{C}; 125 \text{ }^\circ\text{C}$.	77
Obr. 4.54: PSRR LDO3 pro, $I_{ZATEZ} = 100 \text{ mA}$, vliv neideální napěťové reference na PSRR LDO, $PSRR_{REF} = -20 \text{ dB}; -40 \text{ dB}; -60 \text{ dB}; -80 \text{ dB}$.	77
Obr. 4.55: Celkové schéma LDO3.	78
Obr. 4.56: Časová přechodná odezva LDO3 pro $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$.	79
Obr. 4.57: Časová přechodná odezva LDO3 pro $U_{IN} = 3,4 \text{ V} \rightarrow 2,4 \text{ V}$.	79
Obr. 4.58: Časová přechodná odezva LDO3 pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$.	80
Obr. 4.59: Časová přechodná odezva LDO3 pro $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$.	80
Obr. 4.60: Základní struktura FVF (Flipped Voltage Follower).	82
Obr. 4.61: Řízení tranzistoru M_C .	82

Obr. 4.62: Struktury LSFVF (Level Shifted Flipped Voltage Follower) a CAFVF (Cascode Flipped Voltage Follower).....	83
Obr. 4.63: Struktura BFVF (Bufered Flipped Voltage Follower).....	84
Obr. 4.64: Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO4.	85
Obr. 4.65: Zisk a fáze struktur FVF, LSFVF, CAFVF a BFVF, pro $I_{ZATEZ} = 100$ mA.	87
Obr. 4.66: Napěťový rozsah struktur FVF, LSFVF.....	87
Obr. 4.67: Napěťový rozsah struktur CAFVF, BFVF, pro $I_{ZATEZ} = 100$ mA.	88
Obr. 4.68: Zisk a fáze LDO3 se strukturou BFVF, $I_{ZATEZ} = 100$ mA; $0A U_{IN} = 2,2$ V; $2,4$ V $2,6$ V; $2,8$ V.	88
Obr. 4.69: PSRR LDO3 se strukturou BFVF, $I_{ZATEZ} = 100$ mA; $0A U_{IN} = 2,2$ V; $2,4$ V $2,6$ V; $2,8$ V.	89
Obr. 4.70: Struktura BFVF-2, úprava sledovače M_S	89
Obr. 4.71: PSRR LDO4 se strukturou BFVF-2, $I_{ZATEZ} = 100$ mA; $0A U_{IN} = 2,2$ V; $2,4$ V $2,6$ V; $2,8$ V.	90
Obr. 4.72: PSRR LDO4 se strukturou BFVF-2 pro $U_{IN} = 2,4$ V, $I_{ZATEZ} = 100$ mA, ESR = 10 m Ω , 50 m Ω , 150 m Ω	91
Obr. 4.73: PSRR LDO4 se strukturou BFVF-2 pro $I_{ZATEZ} = 100$ mA, nejhorší a nejlepší případ.....	91
Obr. 4.74: PSRR LDO4 pro $I_{ZATEZ} = 100$ mA, $U_{IN} = 2,4$ V, $t = -50$ °C; 27 °C; 125 °C.	92
Obr. 4.75: PSRR LDO4 se strukturou BFVF-2, $C_{OUT} = 1\mu$ F, $U_{IN} = 2,4$ V, $I_{ZATEZ} = 100$ mA, vliv neideální napěťové reference na PSRR LDO. PSRR _{REF} = -20 dB; -40 dB; -60 dB; -80 dB.	92
Obr. 4.76: Celkové schéma LDO4 se strukturou BFVF-2.	93
Obr. 4.77: Časová přechodná odezva LDO4 pro $U_{IN} = 2,1$ V \rightarrow $2,8$ V, $I_{ZATEZ} = 100$ mA.	94
Obr. 4.78: Časová přechodná odezva LDO4 pro $U_{IN} = 2,1$ V \rightarrow $2,8$ V, $I_{ZATEZ} = 100$ mA.	94
Obr. 4.79: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 0$ mA \rightarrow 100 mA.	95
Obr. 4.80: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 100$ mA \rightarrow 0 mA.	95
Obr. 4.81: Struktura LDO5.	97
Obr. 4.82: Princip potlačení změn vstupního napětí LDO5.....	97
Obr. 4.83: Princip potlačení změn vstupního napětí klasického LDO.	98
Obr. 4.84: Diferenční stupeň.....	99
Obr. 4.85: Pól diferenčního stupně.	99
Obr. 4.86: Princip kompenzace s pólem C_{P6}	101

Obr. 4.87: Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO5.	102
Obr. 4.88: Varianty koeficientu X_2 a X_1 , koeficient $X_3 = 1$, $I_{ZATEZ} = 100$ mA.	104
Obr. 4.89: Nastavení kmitočtové kompenzace s pólem p_6 , $I_{ZATEZ} = 100$ mA.	105
Obr. 4.90: Varianty koeficientu X_2 , $X_1 = X_3 = 1$, $I_{ZATEZ} = 0$ A.	105
Obr. 4.91: Schéma LDO5 bez kompenzace s nulou z_5	108
Obr. 4.92: Možné úplné či částečné náhrady odporu R_{Z3} tranzistorem, b) napěťový sledovač, c) invertující proudový sledovač, d) neinvertující proudový sledovač.	109
Obr. 4.93: Kompenzace s nulou z_5 , proudový sledovač.	110
Obr. 4.94: Zisk a fáze s kompenzací s nulou z_5 a bez, $I_{ZATEZ} = 100$ mA; 0A.	111
Obr. 4.95: Zisk a fáze LDO5, $I_{ZATEZ} = 100$ mA, $C_{FF} = 0$ F; 1 nF; 100 nF.	111
Obr. 4.96: PSRR s kompenzací s nulou z_5 a bez, $I_{ZATEZ} = 100$ mA; 0A.	112
Obr. 4.97: PSRR LDO5, $I_{ZATEZ} = 100$ mA, ESR = 10 m Ω , 100 m Ω , 25 m Ω	112
Obr. 4.98: PSRR LDO5 pro $I_{ZATEZ} = 100$ mA, nejhorší a nejlepší případ.	113
Obr. 4.99: PSRR LDO5 pro $I_{ZATEZ} = 100$ mA, $t = -50$ °C; -25 °C; 0 °C; 25 °C; 50 °C; 75 °C; 100 °C; 125 °C.	113
Obr. 4.100: PSRR LDO5 pro $I_{ZATEZ} = 100$ mA, s neideální referencí PSRR _{REF} = -20 dB; -40 dB; -60 dB; -80 dB.	114
Obr. 4.101: Celkové schéma LDO5.	115
Obr. 4.102: Časová přechodná odezva LDO5 pro $U_{IN} = 2,4$ V \rightarrow 3,4 V, $I_{ZATEZ} = 100$ mA.	116
Obr. 4.103: Časová přechodná odezva LDO5 pro $U_{IN} = 2,4$ V \rightarrow 3,4 V, $I_{ZATEZ} = 100$ mA.	116
Obr. 4.104: Simulace potlačení vstupního zvlnění v časové oblasti, frekvence vstupního zvlnění 1 MHz, zvlnění $\Delta U_{IN, PK-PK} = 100$ mV; 200 mV, 400 mV.	117
Obr. 4.105: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 0$ mA \rightarrow 100 mA.	117
Obr. 4.106: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 100$ mA \rightarrow 0 mA.	118
Obr. 5.1: Simulované PSRR LDO navržených regulátorů LDO1 až LDO5, simulační podmínky : $U_{IN} = 2,4$ V, $I_{ZATEZ} = 100$ mA, $C_{OUT} = 1$ μ F, ESR = 10 m Ω	120
Obr. 5.2: Nejvyšší PSRR _{REF} reálné napěťové reference, nutné pro dosažení přijatelného výsledného PSRR.	121
Obr. 5.3: Změřené PSRR LDO regulátorů MIC94310, NCP700 a TPS717, podmínky měření: $U_{IN} = 2,5$ V + 100 mV _{PK-PK} , $I_{ZATEZ} = 100$ mA, $C_{IN} = 0$ F, $C_{OUT} = 1$ μ F 0805 (keramický, ESR = jednotky Ω , ESL = 3nH).	122

SEZNAM TABULEK

Tab. 1.1: Parametry modelu TSMC 0,25 μm NMOS a PMOS.....	23
Tab. 4.4.1: Rozměry tranzistorů LDO1.	57
Tab. 4.4.2: Parametry navrženého LDO1.	57
Tab. 4.3: Rozměry tranzistorů LDO2.	66
Tab. 4.4: Parametry navrženého LDO2.	66
Tab. 4.5: Rozměry tranzistorů LDO3.	81
Tab. 4.6: Parametry navrženého LDO3.	81
Tab. 4.7: Rozměry tranzistorů LDO4 se strukturou BFVF-2.	96
Tab. 4.8: Parametry navrženého LDO4 se strukturou BFVF-2.	96
Tab. 4.9: Seznam pólů a nul označených na obr. 4.82.	102
Tab. 4.10: Fázová rezerva v závislosti na kapacitě C_{P6} a rozměrech $(W/L)_{M5}$	104
Tab. 4.11: Hodnoty výpočtu a simulace zesílení.	107
Tab. 4.12: Rozměry tranzistorů LDO5.	119
Tab. 4.13: Parametry navrženého LDO5.	119
Tab. 5.1: Srovnání parametrů navržených LDO.	120
Tab. 5.2: Srovnání parametrů LDO dostupných na trhu.	123

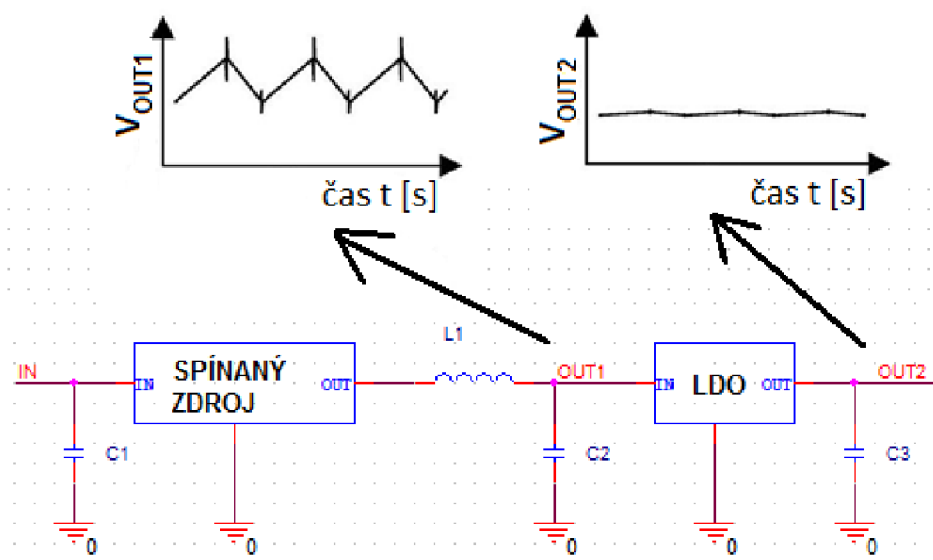
ÚVOD

Práce je popisována pro technologii TSMC CL025/CR025/CM025 250 nm. Model tranzistoru NMOS i PMOS je převzat ze zdroje [1]. Zapojení jsou simulována v programu OrCAD Pspice. Práce popisuje metody jak eliminovat vliv klesajícího zisku operačního zesilovače na PSRR (Power Supply Rejection Ratio).

Je zde popsáno 5 metod pro zlepšení PSRR, první a druhá metoda (LDO1 a LDO2) využívá proudové vazby, která zavádí vstupní zvlnění na hradlo výstupního tranzistoru. Třetí metoda (LDO3) využívá sledovače pro přímé řízení výstupního tranzistoru. Čtvrtá metoda (LDO4) využívá sledovače pro nastavení výstupního napětí, zpětnovazební smyčka nastavuje napětí na kanálu D-S tranzistoru, který je ve funkci sledovače. Vlastní návrh (LDO5) je založen na zvýšení transkonduktance stupně, jímž je řízen výstupní tranzistor, čímž se výrazně sníží klidový i zemní proud celkového zapojení.

1 LINEÁRNÍ AKTIVNÍ FILTRY NAPÁJECÍHO NAPĚTÍ

Lineární aktivní filtry napájecího napětí nebo také častěji používaný název lineární regulátory napětí, většinou s menším úbytkem než 600 mV, dále jen LDO (Low Drop Out), se často používají jako filtr zvlněnina výstupu spínaných zdrojů. Na obr. 1.1 je znázorněna aplikace nečastější aplikace LDO, úkolem LDO je potlačení zvlněnina napájecího napětí.

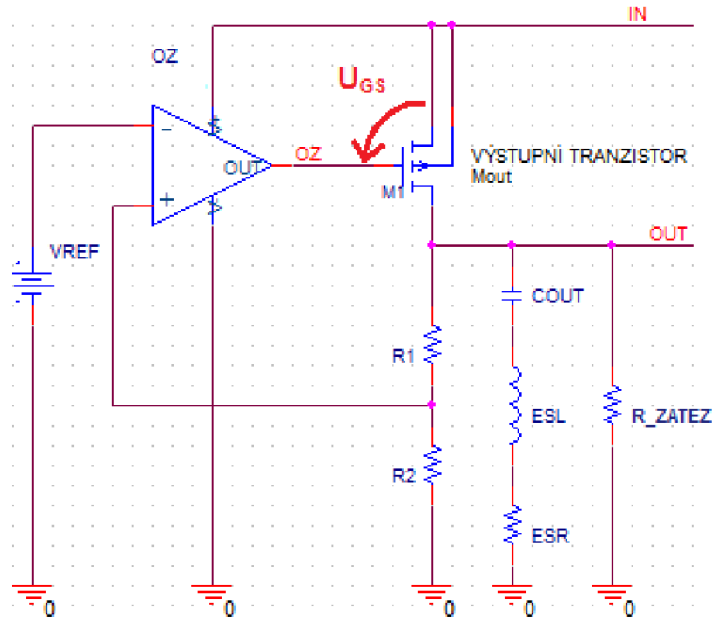


Obr. 1.1: Aplikace lineárního regulátoru^[5].

1.1 Omezení výstupním tranzistorem

V této kapitole jsou popisována omezení parametrů LDO daná výstupním tranzistorem. Jedná se především o parametr minimální napájecí napětí U_{IN_MIN} , který je omezován napětím U_{GS} a minimálním napětím U_{DS} výstupního tranzistoru a také dynamickým rozsahem regulačního prvku.

1.1.1 PMOS jako výstupní tranzistor



Obr. 1.2: Omezení při použití PMOS jako výstupního tranzistoru.

Při použití výkonového tranzistoru PMOS je napětí U_{GS} vztaženo vůči napájecímu napětí U_{IN} , znázorněno na obr. 1.2, a proto minimální napájecí napětí je dáno úbytkem napětí na výstupním tranzistoru. Minimální napájecí napětí je dáno vztahem (2.1).

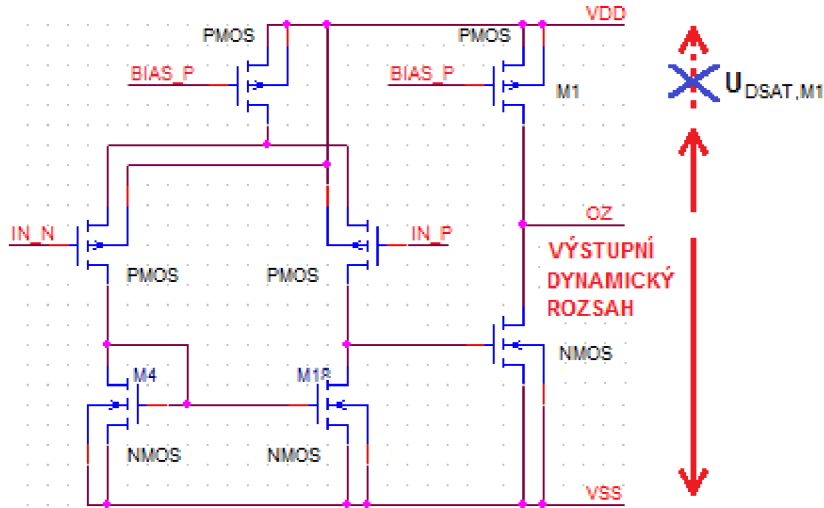
$$U_{IN_MIN} = U_{OUT} + U_{DSAT,Mout} \text{ [V]}, \quad (1.1)$$

Napětí U_{DS_MIN} je úbytek napětí na výstupním tranzistoru. Je tedy zřejmé, že pokud je vstupní napětí vyšší nebo rovno než U_{IN_MIN} , které je dáno vztahem (1.1), výstupní tranzistor pracuje v saturačním režimu v celém rozsahu výstupních proudů, pro výstupní proud, tedy proud $I_{D,MOUT}$, platí vztah (1.11). Pokud je napětí U_{DS} menší než napětí U_{DSAT} , pak výstupní tranzistor pracuje v lineárním režimu, a dojde k poklesu výstupního napětí, což je nežádoucí, pro výstupní proud pak platí vztah (1.1). Oblasti pracovního režimu výstupního tranzistoru ve stejnosměrné převodní charakteristice LDO jsou znázorněny na obr. 2.1.

Problém s nedostatkem napěťového prostoru může nastat pro nízká výstupní napětí, např. $U_{OUT} = 1,2 \text{ V}$. Jelikož je požadován minimální úbytek napětí na výstupním tranzistoru, typicky 100 až 200 mV, minimální napájecí napětí je tedy 1,4V. Aby OZ řídil výstupní tranzistor, musí na svém výstupu nastavit velmi nízké napětí. Maximální napětí, které může OZ v tomto případě nastavit je vyjádřeno vztahem (1.2).

$$U_{OZ_MAX} = U_{IN} - U_{GS,Mout} = U_{IN} - U_{TH} - U_{DSAT,Mout} \quad [V], \quad (1.2)$$

V tomto případě je nutné použít OZ s dolní hranicí dynamického rozsahu blízkou nulovému napětí. Struktura OZ s dolní hranicí dynamického rozsahu blízkou nulovému napětí je na obr. 1.3. Hranice dynamického rozsahu jsou dány vztahy (1.4) a (1.5). Přestože s rostoucím poměrem W/L klesá napětí U_{GS} , nelze zvolit libovolně velký tranzistor. S rostoucím poměrem W/L výstupního tranzistoru sice roste transkonduktance g_m , avšak roste i parazitní kapacita C_{GS} . Klesá tedy i šířka pásma, která je dána tranzitní frekvencí f_T . Pro tranzitní frekvenci PMOS i NMOS tranzistoru platí vztah (1.3).



Obr. 1.3: Nejjednodušší struktura OZ s dolní hranicí dynamického rozsahu nulovému napětí.

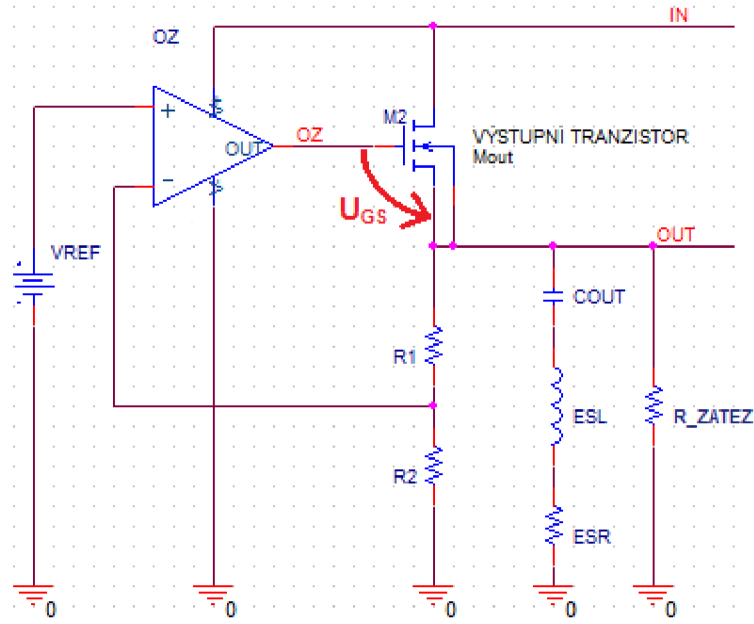
$$f_T = \frac{g_m}{2 \cdot \pi \cdot C_{GS}} \quad [Hz], \quad (1.3)$$

$$U_{HRANICE_1} = U_{DD} + U_{DSAT,M1} \quad [V], \quad (1.4)$$

$$U_{HRANICE_2} \approx U_{SS} \quad [V], \quad (1.5)$$

Ze vztahu (1.3) plyne další nevýhoda použití PMOS jako výstupního tranzistoru. PMOS tranzistor má menší transkonduktanci g_m při stejných rozměrech než NMOS a tím pádem i menší tranzitní frekvenci, což se může projevit při vyšších frekvencích na charakteristice PSRR. A to zejména pro vyšší výstupní proudy I_{ZATEZ} , např. 1 A. Jelikož s rostoucím výstupním proudem I_{ZATEZ} roste poměr W/L a tranzitní frekvence opět klesá, jelikož s rostoucími rozměry roste kapacita C_{GS} .

1.1.2 NMOS jako výstupní tranzistor



Obr. 1.4: Omezení při použití NMOS jako výstupního tranzistoru.

Při použití výkonového tranzistoru NMOS je napětí U_{GS} vztaženo vůči výstupnímu napětí, znázorněno na obr. 1.4, a proto minimální napájecí napětí V_{IN} je dáno úbytkem napětí na výstupním tranzistoru.

$$U_{IN_MIN} = U_{OUT} + U_{GS,Mout} = U_{OZ_MAX} \quad [V], \quad (1.6)$$

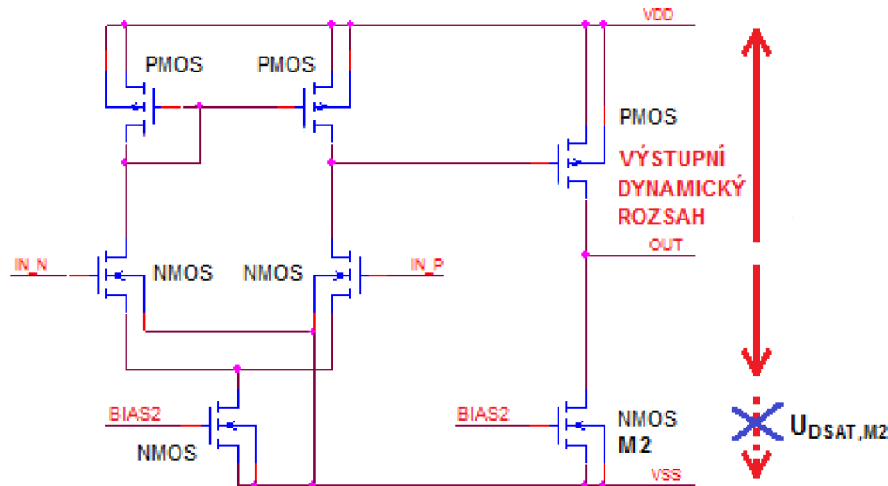
Z rovnice (2.6) plyne, že na výstupu OZ musí být vyšší napětí než na výstupu LDO. Nevýhodou použití NMOS jako výstupního tranzistoru je tedy vyšší minimální napájecí napětí než při použití PMOS. Z toho plyne nutnost použití OZ či jiného regulačního bloku, který bude mít horní hranici dynamického rozsahu blízkou napájecímu napětí. V opačném případě vznikne úbytek napětí ΔU_{OZ} vlivem dynamického rozsahu OZ, tím vzroste minimální napájecí napětí. Pro minimální napájecí napětí pak bude platit vztah (1.7).

$$U_{IN_MIN} = U_{OUT} + U_{GS,Mout} + \Delta U_{OZ} = U_{OUT} + U_{TH} + U_{DSAT,Mout} + \Delta U_{OZ} \quad [V], \quad (1.7)$$

Struktura OZ je na obr. 1.5. Jak je naznačeno na výstupu OZ horní hranice $U_{HRANICE_1}$ dynamického rozsahu může být téměř rovna U_{DD} . Avšak dolní hranice $U_{HRANICE_2}$ je omezena napětím U_{DSAT} tranzistoru, který nastavuje proud I_{BIAS} pro diferenční pár. Při použití PMOS jako vstupních tranzistorů v diferenciálním stupni, by byla omezena napětím U_{DSAT} horní hranice dynamického rozsahu. Pro dynamický rozsah platí vztahy (2.8) a (2.9), U_{DD} je horní úroveň napájecího napětí, U_{SS} je dolní úroveň napájecího napětí:

$$U_{HRANICE_1} \approx U_{DD} \text{ [V]}, \quad (1.8)$$

$$U_{HRANICE_2} = U_{SS} + U_{DSAT,M2} \text{ [V]}, \quad (1.9)$$



Obr. 1.5: Nejjednodušší struktura OZ s horní hranicí dynamického rozsahu blízkou napájecímu napětí.

Nevýhodu NMOS výstupního tranzistoru lze odstranit použitím zdvojovače napětí (charge pump) pro napájení regulačního bloku. Pak pro minimální vstupní napětí U_{IN_MIN} bude platit stejné omezení jako pro PMOS, tzn. U_{IN_MIN} bude omezeno pouze napětím U_{DSAT} výstupního tranzistoru, a bude platit vztah (2.1). Avšak zdvojovač napětí obsahuje kondenzátory, tedy použití NMOS jako výstupního tranzistoru a zdvojovače napětí pro napájení regulačního prvku (např. OZ) má za následek větší plochu na čipu, a tedy i vyšší cenu.

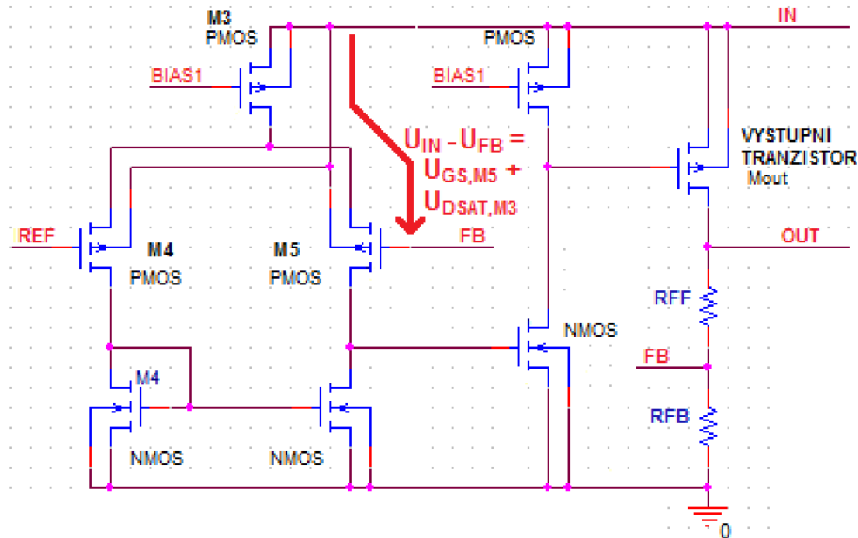
1.1.3 NMOS x PMOS

Jak vyplývá z koncepčního schématu, na obr. 2.2, LDO s PMOS výstupním tranzistorem, výhodou PMOS výstupního tranzistoru spočívá v jednoduchosti zapojení. Pokud je dostatek napěťového prostoru pro vytvoření napětí U_{GS} výstupního tranzistoru, je lepší volba PMOS. Problém může nastat u LDO s nízkým výstupním napětím, např. 1,2 V.

Výhoda NMOS tranzistoru je právě v nízkonapěťových aplikacích, jelikož napětí U_{GS} výstupního tranzistoru je orientováno vůči výstupnímu napětí. Nevýhodou může být vyšší minimální vstupní napětí U_{IN} , právě kvůli orientaci napětí U_{GS} výstupního tranzistoru. Nevýhodu lze odstranit použitím zdvojovače napětí pro napájení regulačního prvku (OZ).

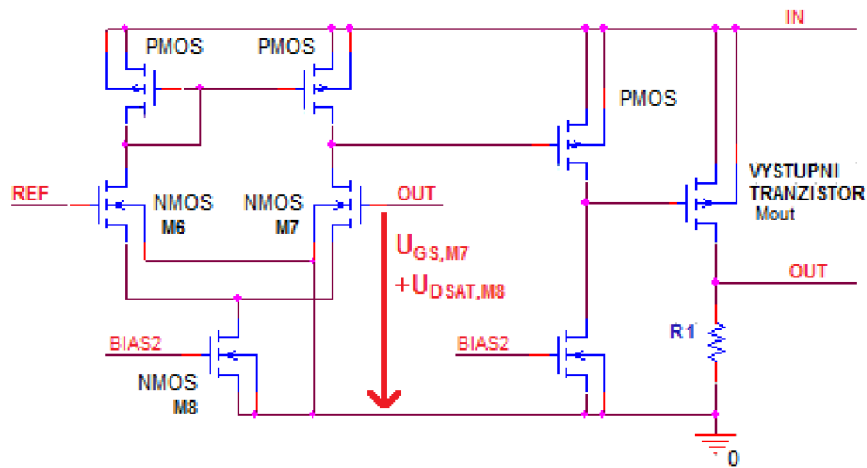
Jelikož minimální vstupní napětí $U_{IN_MIN} = 1,8 \text{ V}$ poskytuje dostatek napěťového prostoru, jsou v této práci popisovány metody pro zlepšení PSRR s použitím PMOS jako výstupního tranzistoru.

1.2 Zpětnovazební dělič



Obr. 1.6: LDO s diferenčním párem s PMOS zesilovacími tranzistory

Na obr. 2.6 a obr. 2.7 je znázorněno, kdy použít zpětnovazební dělič. Na obr. 2.6 červená šipka znázorňuje napětí nutné pro funkci diferenčního páru, tj. napětí $U_{GS,M4,M5} + U_{DSAT,M3}$. Jestliže by bod FB byl připojen na bod OUT, minimální vstupní napětí, nutné pro funkci LDO, by se navýšilo právě o napětí nutné pro funkci diferenčního páru. Jestliže je použit zpětnovazební dělič, bod FB je stažen napětově níže, a tak funkce diferenčního páru nenavýšuje minimální vstupní napětí U_{IN} .



Obr. 1.7: LDO s diferenčním párem s NMOS zesilovacími tranzistory.

Další možností jak získat dostatečný napěťový prostor je použít diferenční pár s NMOS zesilovacími tranzistory. Napětí nutné pro funkci diferenčního páru, tj. napětí $U_{GS,M6,M7} + U_{DSAT,M8}$, znázorněno na obr. 1.7 - červená šipka, je orientováno vůči zemi, tedy opět neovlivňuje minimální vstupní napětí U_{IN} , a tak zpětnovazební dělič v tomto případě není nutný. Avšak další funkcí zpětnovazebního děliče je realizace minimálního výstupního proudu v klidovém stavu, tzn. pokud není připojena zátěž R_{ZATEZ} . Pokud není použit dělič, měl by na výstupu být připojen odpor s velkou hodnotou. Vliv zpětnovazebního děliče na $PSRR$ je popsán v kapitole 4.

1.3 Základní rovnice pro MOS tranzistor

Pro proud kanálem DS tranzistoru ve slabé inverzi (lineárním režimu nebo také trioda) platí vztah (1.10). Pro proud kanálem DS tranzistoru v silné inverzi (saturačním režimu) platí vztah (1.11). Pokud tranzistor pracuje v lineárním režimu, a napětí U_{DS} je blízké 0 V, lze vztah pro výpočet proudu zjednodušit, pro výpočet proudu I_D lze použít vztah (1.14). Pokud je napětí U_{DS} menší než saturační, platí pro proud I_D vztah (1.15). Pro saturační napětí platí vztah (1.16). Transkonduktance pro slabou inverzi je dána vztahem (1.19). Transkonduktance pro silnou inverzi je dána vztahem (1.20). Na obr. 1.1 je výstupní charakteristika MOS tranzistoru, kde je vyznačeno saturační napětí, je to hranice mezi lineárním a saturačním režimem. Vztahy (1.10) až (1.20) jsou převzaty ze zdrojů [2] a [3].

$$I_{D,LIN} = \frac{W}{L} \cdot I_0 \cdot \exp\left(\frac{U_{GS}}{n \cdot U_T}\right) \text{ [A]}, \quad (1.10)$$

$$I_{D,SAT} = \frac{W}{2 \cdot L} \cdot KP \cdot (U_{GS} - U_{TH})^2 \text{ [A]}, \quad (1.11)$$

$$I_0 = U_T^2 \cdot (n-1) \text{ [A]}, \quad (1.12)$$

$$KP = \mu \cdot C_{OX} \text{ [A/V}^2\text{]}, \quad (1.13)$$

$$I_{D,LIN} = \frac{W}{L} \cdot KP \cdot U_{DS} \cdot (U_{GS} - U_{TH}) \text{ [A]}, \quad (1.14)$$

$$I_{D,LIN} = \frac{W}{L} \cdot KP \cdot \left[U_{DS} \cdot (U_{GS} - U_{TH}) - \frac{U_{DS}^2}{2} \right] \text{ [A]}, \quad (1.15)$$

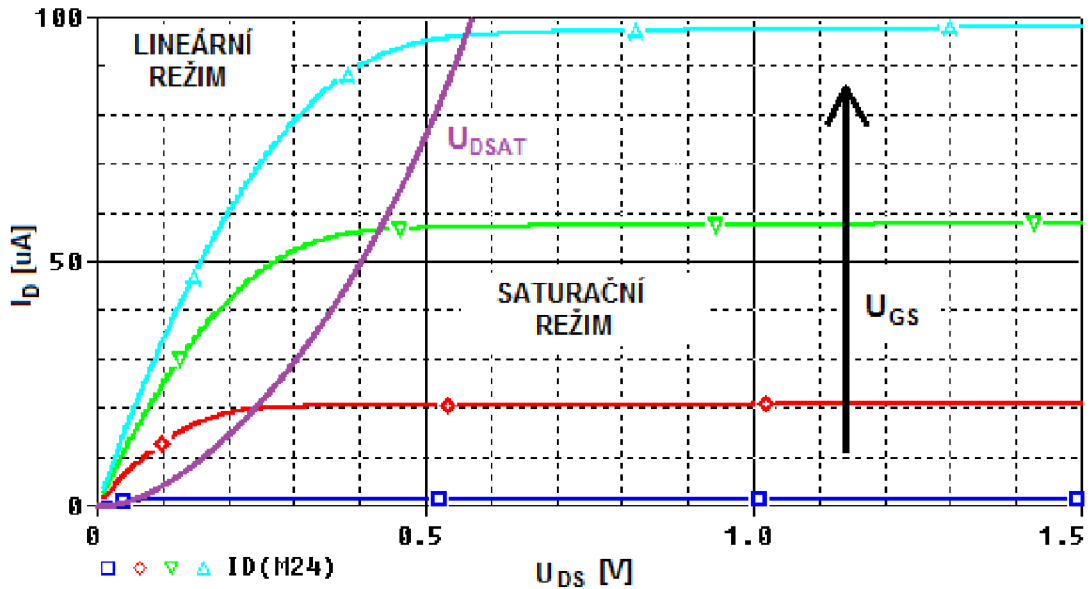
$$U_{DSAT} = U_{GS} - U_{TH} \text{ [V]}, \quad (1.16)$$

$$\lambda = \frac{10^7}{L \cdot \sqrt{N_{A(D)}}} \text{ [1/V]}, \quad (1.17)$$

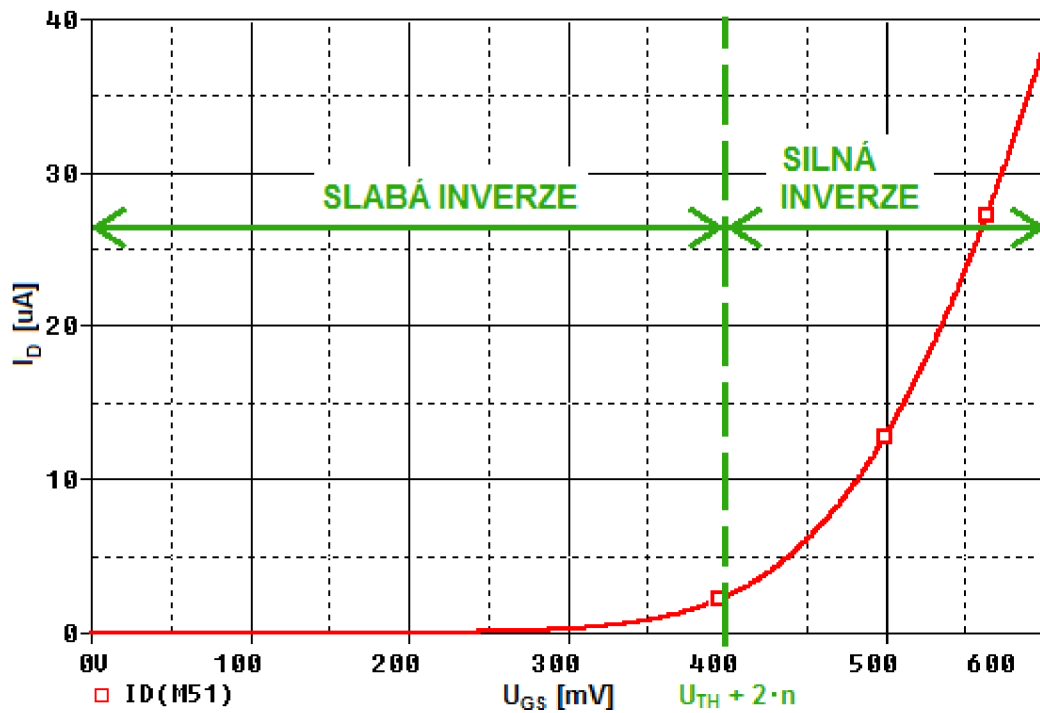
$$R_{OUT} = \frac{1}{I_D \cdot \lambda} \text{ [\Omega]}, \quad (1.18)$$

$$g_{m,SLABA} = \frac{I_D}{n \cdot V_T} \text{ [A/V]}, \quad (1.19)$$

$$g_{m,SILNA} = KP \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH}) = \frac{2 \cdot I_D}{U_{GS} - U_{TH}} = \sqrt{2 \cdot I_D \cdot KP \cdot \frac{W}{L}} \text{ [A/V]}, \quad (1.20)$$



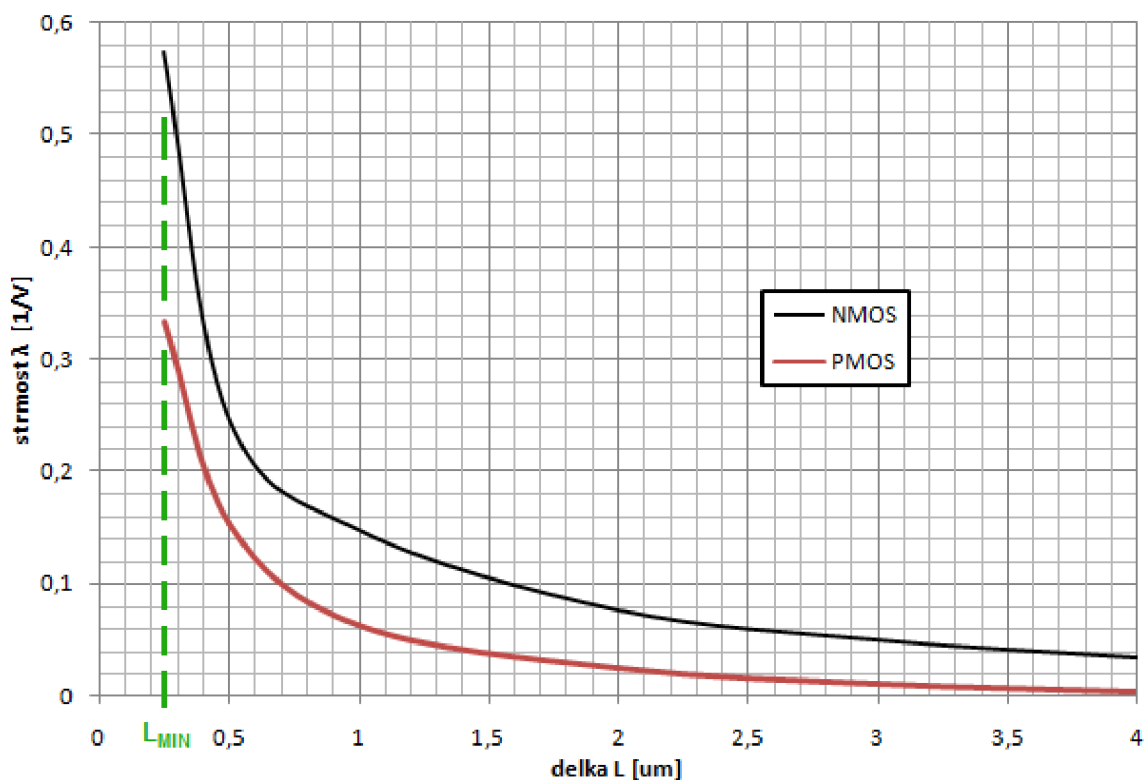
Obr. 1.8: Výstupní charakteristika MOS tranzistoru.



Obr. 1.9: Výstupní charakteristika MOS tranzistoru.

Tab. 1.1: Parametry modelu TSMC 0,25 μm NMOS a PMOS.

Parametry tranzistoru PMOS, $t_{\text{ox}} = 5,8 \text{ nm}$	
Parametr	Hodnota
KP_P , silná inverze [$\mu\text{A}/\text{V}^2$]	25
μ_0 [$\text{cm}^2/(\text{V}\cdot\text{s})$]	86
$KT1_P$ [V]	-0,11
$KT2_P$ [V]	0,02
n faktor [-]	0,94
$U_{\text{TH0},P}$ [V]	-0,55
Parametry tranzistoru NMOS, $t_{\text{ox}} = 5,8 \text{ nm}$	
Parametr	Hodnota
KP_N , silná inverze [$\mu\text{A}/\text{V}^2$]	120
μ_0 [$\text{cm}^2/(\text{V}\cdot\text{s})$]	403
$KT1_N$ [V]	-0,11
$KT2_N$ [V]	0,02
n faktor [-]	1,54
$U_{\text{TH0},N}$ [V]	0,36



Obr. 1.10: Strmost λ v závislosti na délce kanálu.

$$U_{TH,N}(T) = U_{TH0,N} + (KT1_N + KT2_N \cdot U_{BS}) \cdot \left(\frac{T}{T_0} - 1 \right) [\text{V}], \quad (1.21)$$

$$U_{TH,P}(T) = U_{TH0,P} - (KT1_P + KT2_P \cdot U_{BS}) \cdot \left(\frac{T}{T_0} - 1 \right) [\text{V}], \quad (1.22)$$

$$\frac{\delta U_{TH,N}}{\delta T} = (KT1_N + KT2_N \cdot U_{BS}) \cdot \frac{1}{T_0} [\text{V}], \quad (1.23)$$

$$\frac{\delta U_{TH,P}}{\delta T} = -(KT1_P + KT2_P \cdot U_{BS}) \cdot \frac{1}{T_0} [\text{V}], \quad (1.24)$$

Na obr. 1.8 je znázorněna hranice U_{DSAT} mezi lineárním a saturačním režimem. Na obr. 1.9 jsou znázorněny oblasti silné a slabé inverze, hranice mezi těmito oblastmi závisí prahovém napětí daného tranzistoru U_{TH} , a faktoru n . Tímto faktorem n je také určena transkonduktance $g_{m,SLABA}$, vztah (1.10), v oblasti slabé inverze. Hranice mezi slabou a silnou inverzí má rozptyl cca 20 mV v závislosti na poměru W/L , jelikož prahové napětí U_{TH} se mění v závislosti na poměru W/L .

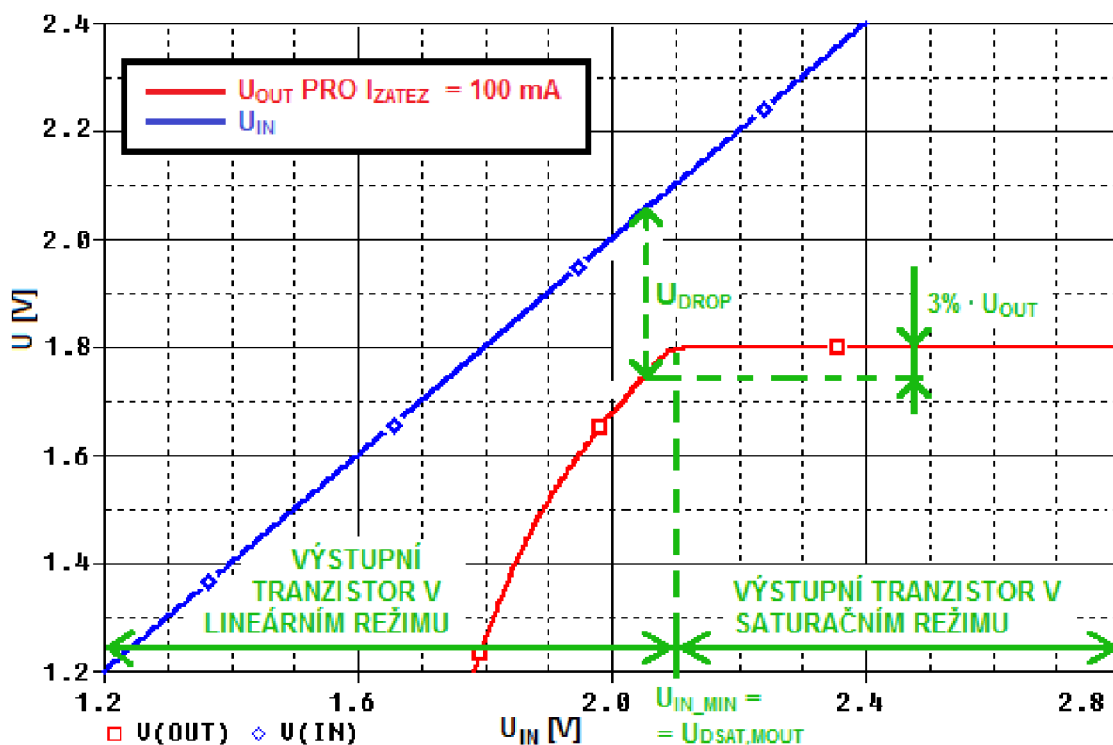
Charakteristika strmosti λ v závislosti na délce kanálu pro NMOS a PMOS byla aproximováno ze simulací použitých modelů, obr. 1.10. Parametry modelu NMOS a PMOS jsou shrnuty v tab. 1.1. Rozptyl prahového napětí v závislosti na teplotě má jednotku $\text{V}/^\circ\text{C}$. Do vztahů (1.12) a (1.13) je tedy dosazena teplota $T = T_0 + \Delta T$. Teplota T_0 , při kterém je určeno napětí U_{TH0} je 27°C . Vztahy (1.12) a (1.13) pak lze upravit do podoby (1.14) a (1.15). Pro $U_{BS} = 0 \text{ V}$ je teplotní závislost prahového napětí $-0,37 \text{ mV}/^\circ\text{C}$ pro NMOS a $0,37 \text{ mV}/^\circ\text{C}$ pro PMOS. Vztahy (1.12) a (1.13) jsou převzaty ze zdroje [4].

2 PARAMETRY LDO

2.1 Úbytek napětí U_{DROP} na lineárním regulátoru

Napětí U_{DROP} je dáno vztahem (2.1). Definice úbytku napětí U_{DROP} na regulátoru je na obr. 2.1. Je to rozdíl vstupního napětí a výstupního napětí. Napětí U_{DROP} je většinou udáváno pro maximální výstupní proud. Způsob měření napětí U_{DROP} převzato ze zdroje [6]. Napětí U_{DROP} je měřeno při poklesu výstupního napětí o 3 % ze své ustálené hodnoty. Pro výstupní napětí 1,8 V je tento pokles 54 mV.

$$U_{DROP} \Big|_{U_{OUT, POKLES} = 0,03 \cdot U_{OUT}} = U_{IN} - U_{OUT} \text{ [V]}, \quad (2.1)$$



Obr. 2.1: Definice úbytku napětí U_{DROP} na regulátoru.

2.2 Klidový proud I_Q a zemní proud I_{GND}

Klidový proud I_Q je proud, který spotřebovává stabilizátor ve stavu, kdy není odebíráno z výstupu proud. **Zemní proud I_{GND}** je proud, spotřebováváný stabilizátorem, závislý na výstupním proudu I_{ZATEZ} . Jestliže $I_{ZATEZ} = 0$, pak se proudy I_Q a I_{GND} rovnají.

2.3 Změna výstupního napětí ku změně vstupního napětí

$\Delta U_{OUT} / \Delta U_{IN}$

Pokles či nárůst výstupního napětí v závislosti na vstupním napětí, z anglického názvu "Line regulation". Tento parametr je definován vztahem (2.2). Ze vztahu je zřejmé, že tento parametr lze vyjádřit jako $PSRR$, avšak tento parametr závisí na skokové vstupního napětí, přičemž výstup také změní skokově svoji hodnotu. Změnu většinou doprovází přechodný podkmit a překmit. Pro většinu LDO, pokud má LDO vysoké $PSRR$, lze předpokládat i nízký překmit a podkmit. Nicméně amplituda překmitu podělená skokem vstupního napětí nemusí odpovídat hodnotě $PSRR$. Tento jev je dále popsán v kapitole 5.4.

$$\frac{\Delta U_{OUT}}{\Delta U_{IN}} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} = \frac{g_{m,OUT} \cdot Z_{OUT}}{1 + g_{m,OUT} \cdot Z_{OUT} \cdot A_{OZ} \cdot \beta} \approx \frac{1}{A_{OZ} \cdot \beta} [-], \quad (2.2)$$

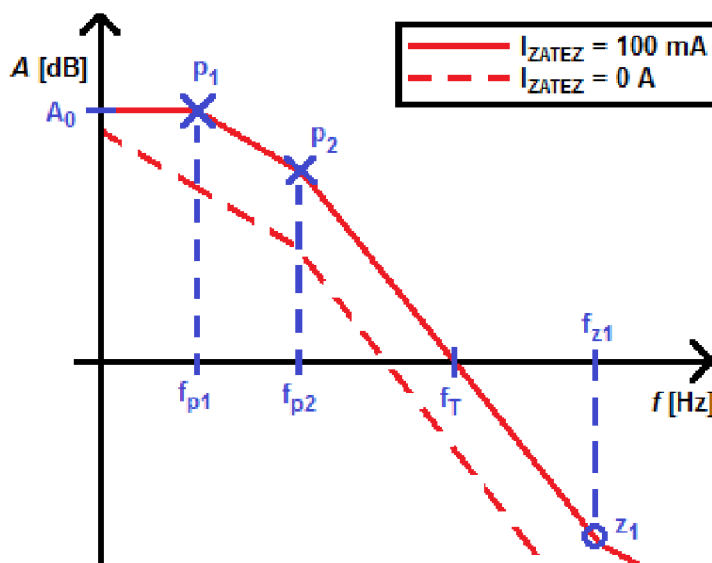
2.4 Změna výstupního napětí ku změně výstupního proudu

$\Delta U_{OUT} / \Delta I_{ZATEZ}$

Pokles či nárůst výstupního napětí v závislosti na výstupním proudu, z anglického názvu "Load Regulation". Tento parametr je definován vztahem (3.3). Skoková změna proudu je opět doprovázena překmitem i podkmitem.

$$\frac{\Delta U_{OUT}}{\Delta I_{ZATEZ}} = \frac{\Delta U_{OUT}}{\Delta I_{ZATEZ}} = \frac{Z_{OUT}}{1 + g_{m,OUT} \cdot Z_{OUT} \cdot A_{OZ} \cdot \beta} \approx \frac{1}{g_{m,OUT} \cdot A_{OZ} \cdot \beta} [V/A], \quad (2.3)$$

2.5 Charakteristiky zisku a fáze otevřené smyčky



Obr. 2.2: Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO.

Na obr. 2.2 je charakteristika zisku zpětnovazební smyčky klasického LDO, jehož schéma je znázorněno na obr. 2.3. Je vidět, že LDO má rozdílné maximální zesílení A_0 zpětnovazební smyčky při výstupním proudu $I_{ZATEZ} = 100$ mA a $I_{ZATEZ} = 0$ A. Důvodem je pokles výstupního odporu R_{OUT} . Při úvaze výstupního proudu $I_{ZATEZ} = 100$ mA lze rezistory R_1 a R_2 zanedbat. Výstupní odpor R_{OUT} je pak dán paralelní kombinací R_{ZATEZ} a výstupního odporu $R_{OUT,MOUT}$ tranzistoru M_{OUT} . Pro odpor $R_{OUT,MOUT}$ platí vztah (1.18), a má hodnotu 64Ω při proudu 100 mA. Ze vztahu (2.5) vyplývá, že snížením výstupního odporu R_{OUT} klesne zesílení výstupního zesilovacího stupně k nule. Zvýšení tranzitní frekvence při připojení zátěže vyplývá ze vztahu (2.4), odpor zátěže R_{ZATEZ} a výstupní kondenzátor C_{OUT} tvoří dohromady frekvenční pól p_1 , jehož frekvence f_{P1} je dána vztahem (2.4). Pro hodnoty $C_{OUT} = 1 \mu\text{F}$, $R_{ZATEZ} = 18 \Omega$ a $R_{OUT,MOUT} = 64 \Omega$ je frekvence $f_{P1} = 11,3$ kHz. Po překročení frekvence f_{P1} klesá zesílení zpětnovazební smyčky se strmostí -20 dB/dek. Pól p_2 se nachází v oblasti nižších frekvencí, jelikož výstupní tranzistor M_{OUT} je řízen druhým zesilovacím stupněm operačního zesilovače, který má vysoký výstupní odpor. Po překročení frekvence f_{P2} klesá zisk se strmostí -40 dB/dek. Frekvence f_{Z1} je dána vlastnostmi výstupního kondenzátoru, jeho kapacitou $C_{OUT} = 1 \mu\text{F}$ a ekvivalentním seriovým odporem $ESR = 10$ m Ω . Pro tyto hodnoty je nula umístěna na frekvenci 15,9 MHz. Pro tranzitní frekvenci f_T platí vztah (2.8), v případě že je uvažován pouze pól p_1 , tzn. frekvence f_{P2} je vyšší než f_T . V případě, že frekvence f_{P2} je nižší než f_T , je frekvence f_T vynásobena poměrem frekvencí f_{P2} a f_T , po úpravě platí pak vztah (2.9). Měření zisku a fáze se provádí umístěním střídavého zdroje s nulovou stejnosměrnou složkou mezi výstup a zpětnou vazbu se ziskem β . Je to znázorněno na obr. 2.2, je měřen zisk výstupu ku bodu FB1, stejným způsobem i fáze.

$$f_{P1} = \frac{1}{2 \cdot \pi \cdot R_{OUT} \cdot C_{OUT}} \text{ [Hz]}, \quad (2.4)$$

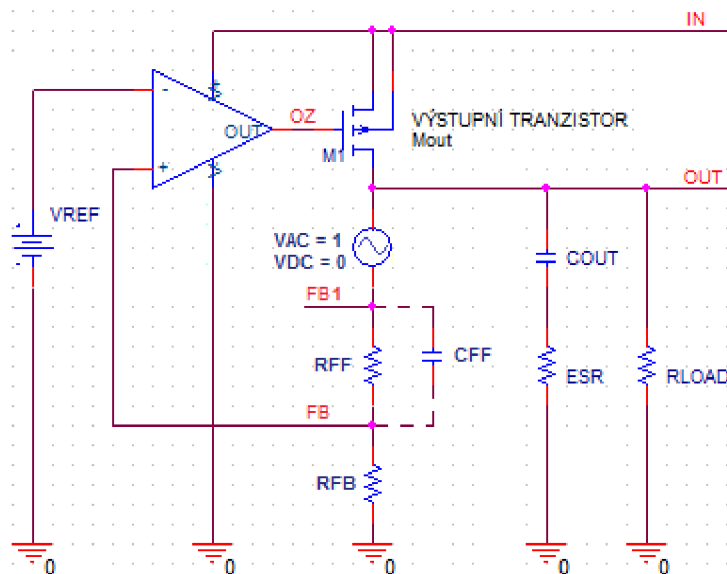
$$f_{P2} = \frac{1}{2 \cdot \pi \cdot R_{OZ} \cdot C_{GS,MOUT}} \text{ [Hz]}, \quad (2.5)$$

$$f_{Z1} = \frac{1}{2 \cdot \pi \cdot ESR \cdot C_{OUT}} \text{ [Hz]}, \quad (2.6)$$

$$\frac{1}{R_{OUT}} = \frac{1}{R_{ZATEZ}} + \frac{1}{R_{OUT,MOUT}} + \frac{1}{R_{FF} + R_{FB}} \left[\frac{1}{\Omega} \right], \quad (2.7)$$

$$f_T \Bigg|_{f_{P2} > f_T} = A_0 \cdot f_{P1} = \frac{\beta \cdot A_{OZ} \cdot R_{OUT} \cdot g_{M,OUT}}{2 \cdot \pi \cdot R_{OUT} \cdot C_{OUT}} = \frac{\beta \cdot A_{OZ} \cdot g_{M,OUT}}{2 \cdot \pi \cdot C_{OUT}} \text{ [Hz]}, \quad (2.8)$$

$$f_T \Bigg|_{f_{P2} < f_T} \approx \sqrt{A_0 \cdot f_{P1} \cdot f_{P2}} = \sqrt{\frac{\beta \cdot A_{OZ} \cdot g_{M,OUT}}{4 \cdot \pi \cdot C_{OUT} \cdot R_{OZ} \cdot C_{GS,MOUT}}} \text{ [Hz]}, \quad (2.9)$$



Obr. 2.3: Měření zisku a fáze otevřené smyčky LDO regulátoru.

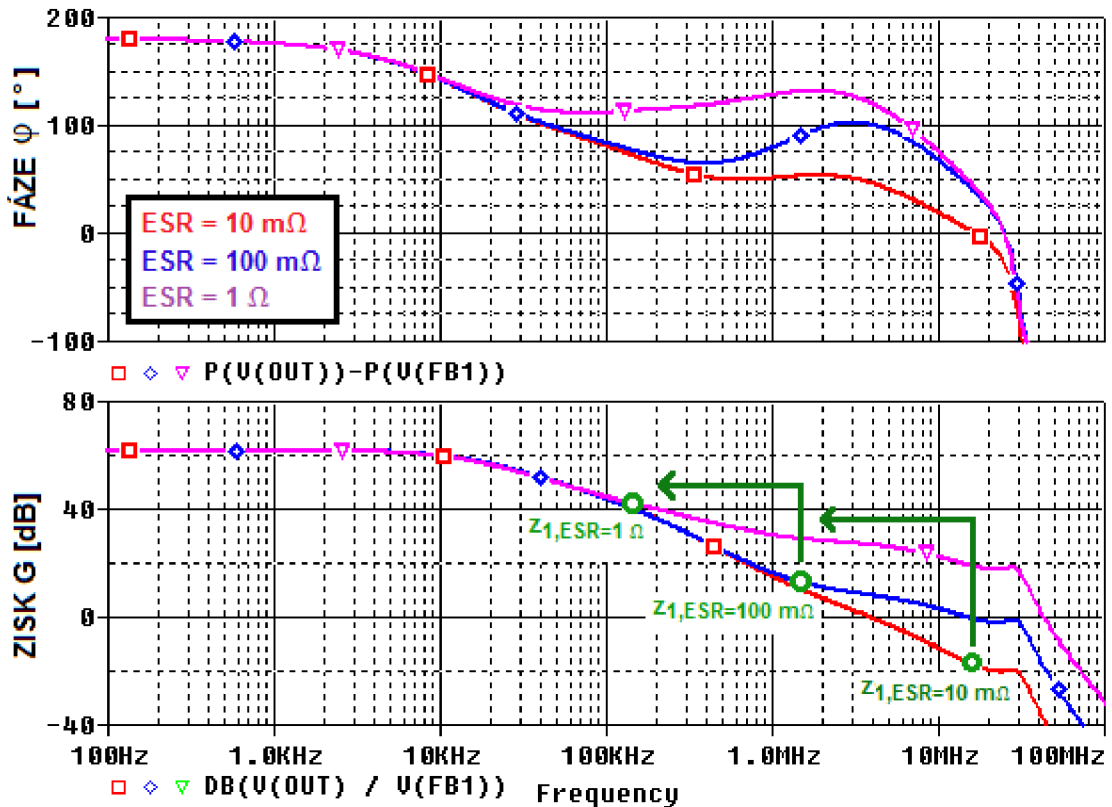
2.5.1 Fázová rezerva přenosu otevřené zpětnovazební smyčky

Hlavním cílem při návrhu regulátoru je zajištění stability. Regulátor je stabilní, pokud fázová rezerva přenosu otevřené smyčky je vyšší než 45° . Fázová rezerva je hodnota fáze při zisku rovnajícím se 1, nebo také 0 dB, avšak pouze v případě, že v přenosu otevřené smyčky není jiné minimum fáze. Pokud ano, pak fázová rezerva je toto minimum. Zisk má hodnotu 1 při tranzitní frekvenci f_T . Tyto parametry jsou zobrazeny na obr. 2.2. Celkový počet zesilovacích stupňů (včetně výstupního tranzistoru) ve zpětné vazbě musí být liché, aby charakter zpětné vazby byl záporný.

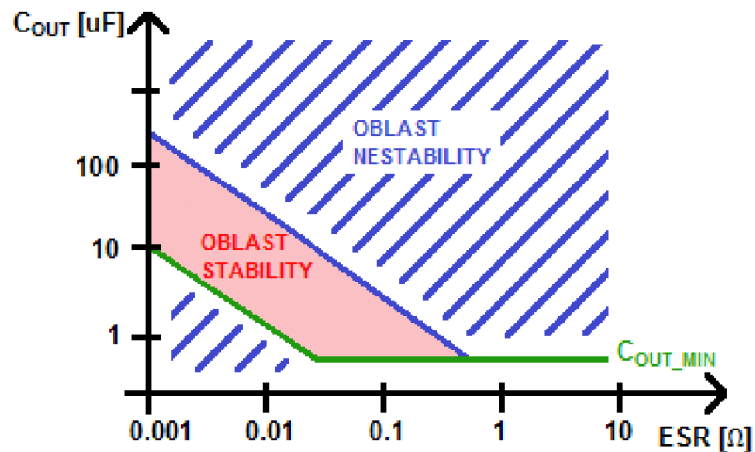
2.5.2 Rozsah ESR výstupního kondenzátoru

Na obr. 2.4 je příklad rozsahu ESR výstupního kondenzátoru, pro které je LDO stabilní. Je zřejmé, že LDO, jehož se tyto charakteristiky týkají je stabilní pouze v rozsahu 0 až 100 m Ω . Pokud je připojen kondenzátor s vyšší hodnotou ESR, frekvence f_{Z1} se sníží, je navýšen zisk a zvýšena hodnota tranzitní frekvence f_T , a zmenšena fázová rezerva.

Klasické LDO je naopak stabilní v rozsahu vyšších ESR, např. 500 m Ω až 10 Ω . Je to způsobeno právě polohou pólu p_2 na nižších frekvencích, jak je znázorněno na obr. 2.2. Tedy jestliže je připojen kondenzátor C_{OUT} s nízkým ESR, nula z_1 se pak nachází na vyšších frekvencích, a tak nemůže dojít k navýšení fázové rezervy, naopak vlivem pólu p_2 dojde k poklesu fázové rezervy. Připojením kondenzátoru C_{OUT} s vysokým ESR se nula z_1 přemístí na nižších frekvenci a částečně nebo úplně eliminuje pól p_2 a dojde k navýšení fázové rezervy.



Obr. 2.4: Charakteristiky zisku a fáze v závislosti na ESR výstupního kondenzátoru.



Obr. 2.5: Oblast stability a nestability, minimální a maximální hodnota kondenzátoru C_{OUT} v závislosti na jeho ESR.

Na obr. 2.5 je příklad stability LDO v závislosti na kapacitě C_{OUT} a odporu ESR. Je zřejmé že se jedná umístění nuly z_1 , tedy její frekvenci. Zvýšením kapacity je možné použít kondenzátor s nižším ESR. Klasické LDO, které je stabilní pro vyšší ESR i vyšší kapacitu C_{OUT} , má většinou pouze dolní hranici nestability. Minimální kapacita je určena fázovou rezervou a polohou pólu p_1 . Návrh je prováděn právě pro minimální hodnotu kapacity C_{OUT} .

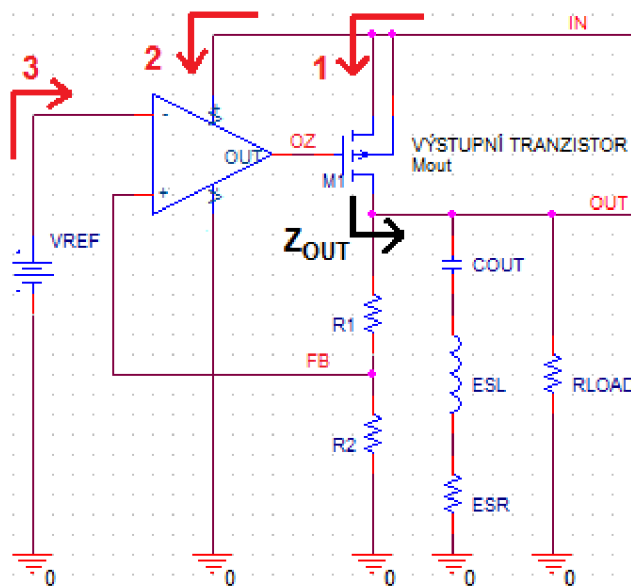
3 POTLAČENÍ ZMĚN VSTUPNÍHO NAPĚTÍ

PSRR (Power Supply RejectionRatio) je parametr LDO. Udává potlačení v závislosti na frekvenci zvlnění, s jakým je LDO schopen potlačit zvlnění na svém vstupu. PSRR je tedy poměr výstupního a vstupního zvlnění. Poměr PSRR a hodnota $PSRR_{dB}$ v jednotkách dB jsou vyjádřeny vztahem (3.1)

$$PSRR_{dB} = 20 \cdot \log(PSRR) = 20 \cdot \log\left(\frac{\Delta U_{OUT}}{\Delta U_{IN}}\right) [-], \quad (3.1)$$

3.1 Cesty šíření vstupního zvlnění

Následující schéma na obr. 3.1 znázorňuje, kudy se šíří vstupní zvlnění a na jaké obvodové bloky má vstupní zvlnění vliv. Vztahy následujících podkapitolách platí pouze při úvaze vlivu dané cesty, tzn. V kapitole 3.2.1 se zvlnění se šíří cestou 1 přes výstupní tranzistor dále zpětnovazebním děličem a přes ideální OZ ($PSRR_{OZ}$ je rovno nule), přičemž na invertující vstup OZ je přivedena ideální reference, tedy $PSRR_{REF}$ je také rovno nule. Šíření zvlnění v kapitolách 3.2.2 pro cestu 2 a 3.2.3 pro cestu 3 jsou analyzovány stejným způsobem. Vztahy (3.6), (3.7), (3.11) a (3.15) jsou převzaty ze zdrojů [7] a [8].



Obr. 3.1: Blokové schéma LDO ^[12].

3.1.1 Zpětnovazební smyčka LDO

Tato cesta má největší vliv na výsledné PSRR, zvlnění se ze vstupu IN šíří na výstup OUT přes výstupní tranzistor M_{OUT} , který je řízen operačním zesilovačem, jehož zisk určuje primárně výslednou charakteristiku PSRR.

Proud I_{OUT} lze popsat vztahem (3.2), tedy nejen proud zátěží, ale celkový proud, který dodává výstupní tranzistor.

$$\Delta I_{OUT} = g_{Mout} \cdot \Delta U_{GS} \text{ [V]}, \quad (3.2)$$

Napětí U_{GS} lze vyjádřit jako rozdíl vstupního napětí U_{IN} a napětí na výstupu U_{OZ} , vztah (3.3). Vztah popisuje cestu zvlněného signálu, zpětnovazební smyčkou LDO.

$$\Delta U_{GS} = \Delta U_{IN} - \Delta U_{OZ} = \Delta U_{IN} - \Delta U_{OUT} \cdot \beta \cdot A_{OZ} \text{ [V]}, \quad (3.3)$$

Po dosazení vztahu (3.3) do (3.4).

$$\Delta I_{OUT} = g_{Mout} \cdot (\Delta U_{IN} - \Delta U_{OUT} \cdot \beta \cdot A_{OZ}) \text{ [A]}, \quad (3.4)$$

Z Ohmova zákona vyplívá vztah pro proud (3.5).

$$\Delta I_{OUT} = \frac{\Delta U_{OUT}}{Z_{OUT}} \text{ [A]}, \quad (3.5)$$

Po dosazení vztahu (3.4) do (3.5) a následné úpravě lze napsat vztah (3.6).

$$\Delta U_{OUT} = g_{Mout} \cdot Z_{OUT} \cdot \Delta U_{IN} - g_{Mout} \cdot Z_{OUT} \cdot \Delta U_{OUT} \cdot \beta \cdot A_{OZ} \text{ [V]}, \quad (3.6)$$

Po úpravě:

$$PSRR_{CESTA1} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} \Big|_{CESTA1} = \frac{g_{Mout} \cdot Z_{OUT}}{1 + g_{Mout} \cdot Z_{OUT} \cdot \beta \cdot A_{OZ}} \approx \frac{1}{\beta \cdot A_{OZ}} \text{ [-]} \quad (3.7)$$

$$PSRR_{CESTA1}(f) \Big|_{f > f_{P1}} \approx \frac{f}{\beta \cdot A_{OZ} \cdot f_{P1}} \text{ [-]}, \quad (3.8)$$

kde g_{MOUT} je transkonduktance výstupního tranzistoru, Z_{OUT} výstupní impedance, pro kterou platí vztahy (3.9), β je zisk zpětné vazby (zpětnovazební dělič R_{FF} a R_{FB}) a platí pro něj vztah (3.10), A_{OZ} je zisk výstupu OZ ku vstupu zapojenému do zpětnovazebního děliče.

$$Y_{OUT}(f) = \frac{1}{Z_{OUT}(f)} = \frac{1}{ESR + \frac{1}{2 \cdot \pi \cdot f \cdot C_{OUT}}} + \frac{1}{R_{ZATEZ}} + \frac{1}{R_{FF} + R_{FB}} \text{ [S]} \quad (3.9)$$

$$\beta = \frac{R_2}{R_1 + R_2} [-], \quad (3.10)$$

3.1.2 Napájení regulačního prvku (např. OZ)

$$\Delta U_{OUT} = g_{Mout} \cdot Z_{OUT} \cdot (\Delta U_{IN} \cdot PSRR_{OZ} - \Delta U_{OUT} \cdot \beta \cdot A_{OZ}) [V], \quad (3.11)$$

Po úpravě:

$$PSRR_{CESTA2} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} \Big|_{CESTA2} = \frac{g_{Mout} \cdot Z_{OUT}}{1 + g_{Mout} \cdot Z_{OUT} \cdot \beta \cdot A_{OZ}} \cdot PSRR_{OZ} \approx \frac{PSRR_{OZ}}{\beta \cdot A_{OZ}} [-], \quad (3.12)$$

kde $PSRR_{OZ}$ je potlačení zvlnění samotného OZ.

$$PSRR_{OZ} = \frac{\Delta U_{OZ}}{\Delta U_{IN}} [-], \quad (3.13)$$

3.1.3 Blok referenčního napětí

Klasický blok referenčního napětí potlačuje vstupní zvlnění s účinností, která klesá s rostoucí frekvencí. Pro zmenšení vlivu této cesty na výsledné $PSRR$ je tedy nutné zvýšit $PSRR_{REF}$ samotného bloku referenčního napětí. Na nízkých frekvencích má $PSRR$ tohoto bloku velmi malý vliv. Vliv bloku referenčního napětí lze vyjádřit následující rovnicí. Zvlnění referenčního napětí se šíří přes diferenční vstup OZ, jelikož OZ se na obou vstupech snaží nastavit stejné napětí. Z referenčního vstupu OZ se zvlnění na výstup LDO šíří přes zpětnovazební dělič, toto popsáno zjednodušeným vztahem (3.13).

$$\Delta U_{OUT} = g_{Mout} \cdot Z_{OUT} \cdot A_{OZ} \cdot (\Delta U_{IN} \cdot PSRR_{VREF} - \Delta U_{OUT} \cdot \beta) [V], \quad (3.14)$$

Po úpravě:

$$PSRR_{CESTA3} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} \Big|_{CESTA2} = \frac{g_{Mout} \cdot Z_{OUT} \cdot A_{OZ}}{1 + g_{Mout} \cdot Z_{OUT} \cdot \beta \cdot A_{OZ}} \cdot PSRR_{REF} \approx \frac{PSRR_{REF}}{\beta} [-], \quad (3.15)$$

$PSRR_{REF}$ je potlačení zvlnění bloku referenčního napětí, U_{REF} je referenční napětí.

$$PSRR_{REF} = \frac{\Delta U_{REF}}{\Delta U_{IN}} [-], \quad (3.16)$$

Ze vztahu (3.14) vyplývá, že s klesajícím zpětnovazebním napětím U_{FB} , klesá i zisk zpětnovazební smyčky, a také $PSRR$. Proto V zapojení LDO regulátorů, které umožňují použití

3.1.4 Výsledné PSRR:

$$PSRR_{LDO} = PSRR_{CESTA1} + PSRR_{CESTA2} + PSRR_{CESTA3}[-], \quad (3.17)$$

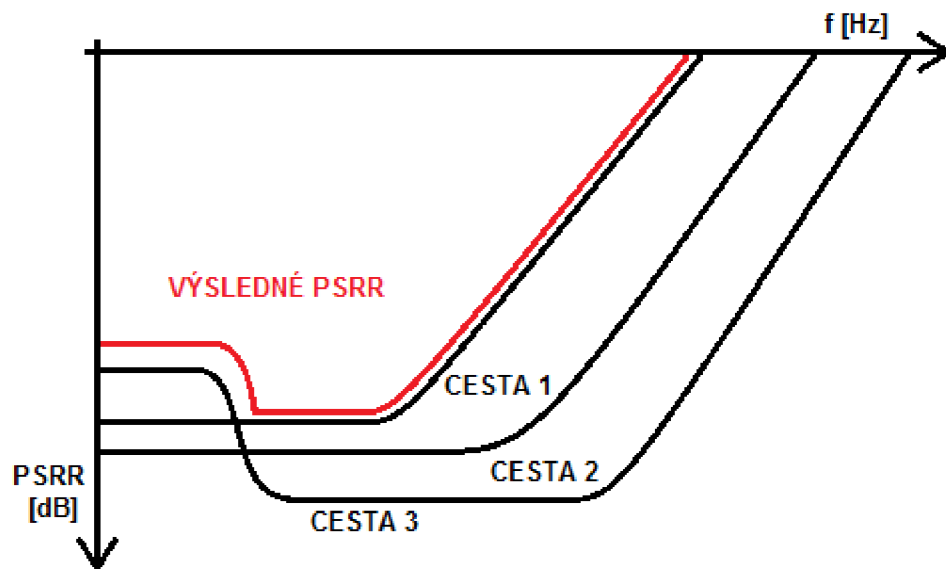
Po dosazení a úpravě:

$$PSRR_{LDO} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} = \frac{g_{Mout} \cdot Z_{OUT}}{1 + g_{Mout} \cdot Z_{OUT} \cdot \beta \cdot A_{OZ}} \cdot (1 + PSRR_{OZ} + PSRR_{REF} \cdot A_{OZ}) [-], \quad (3.18)$$

Dosazením zjednodušených vztahů PSRR (3.6), (3.11), (3.14) pro CESTA1 až 3 lze zjednodušit i výsledný vztah pro PSRR:

$$PSRR_{LDO} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} = \frac{(1 + PSRR_{OZ} + PSRR_{REF} \cdot A_{OZ})}{\beta \cdot A_{OZ}} [-], \quad (3.19)$$

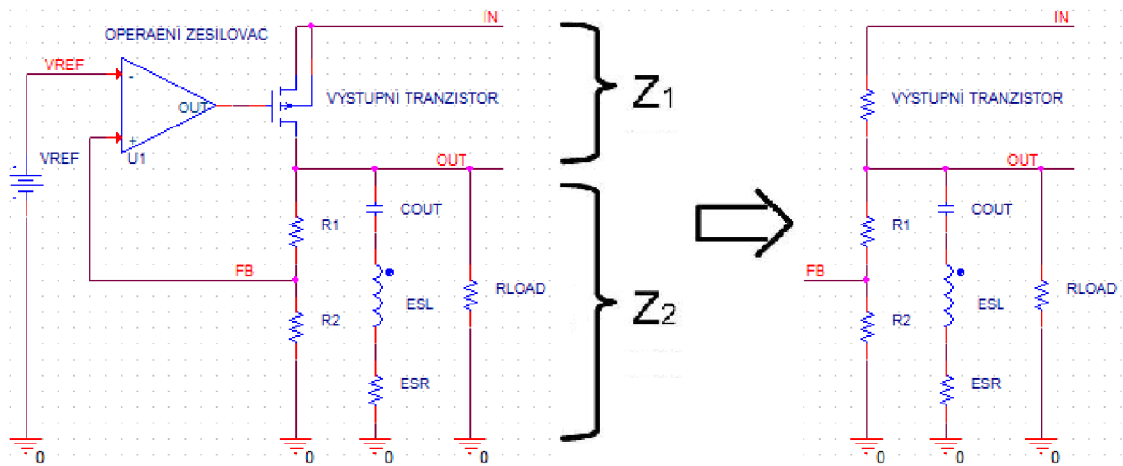
$$PSRR_{LDO_dB} = 20 \cdot \log(PSRR_{LDO}) = 20 \cdot \log\left(\frac{\Delta U_{OUT}}{\Delta U_{IN}}\right) [dB], \quad (3.20)$$



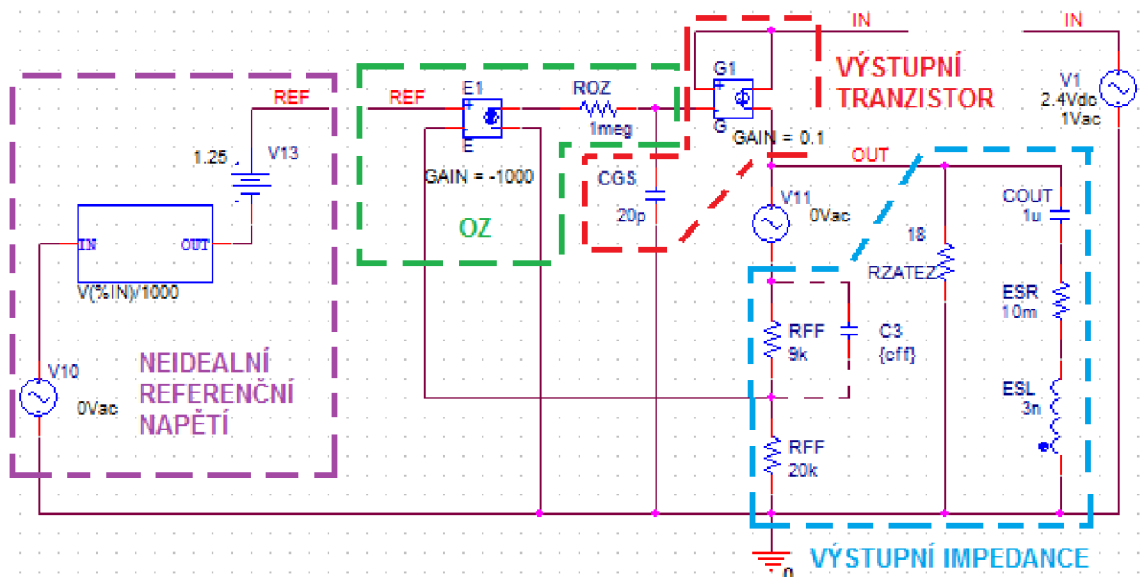
Obr. 3.2: Výsledná charakteristika PSRR.

Z výsledné charakteristiky PSRR je zřejmé, že na výstupní zvlnění má největší vliv CESTA1. Nejmenší vliv má regulační prvek (CESTA2), jelikož $PSRR_{OZ}$ regulačního prvku je ještě násobeno $PSRR$ zpětnovazební smyčky LDO, tedy CESTA1. Blok referenčního napětí nemá vliv na výsledné PSRR pouze v případě, že $PSRR_{REF}$ bloku referenčního napětí bude vyšší než $PSRR$ zpětnovazební smyčky LDO. Vliv $PSRR_{REF}$ bloku referenčního napětí je znázorněn na obr. 3.2.

3.2 Model LDO



Obr. 3.3: Náhradní schéma lineárního regulátoru.



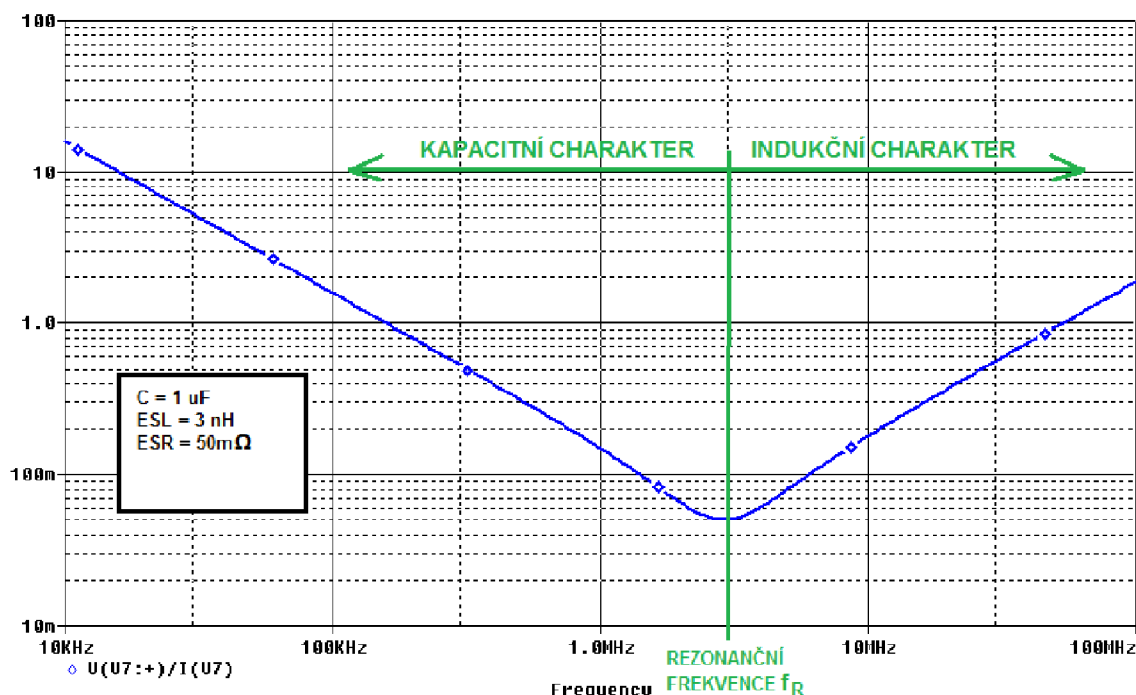
Obr. 3.4: Model lineárního regulátoru.

Na obr. 3.4 je schéma LDO překresleno a nahrazeno modelem, aby bylo možné určit, co ovlivňuje PSRR. Na obr. 3.6 je charakteristika PSRR sestaveného modelu klasického LDO, charakteristiku je možné rozdělit do čtyř oblastí. Oblast 1 je dána především ziskem operačního zesilovače, dále jen OZ. Oblast 2 začíná pólem OZ, pól určuje zlomovou frekvenci, od které zisk operačního zesilovače klesá se strmostí 20 dB/dek. Jelikož se zmenšuje zisk OZ, musí se zmenšovat i PSRR. Oblast 3 začíná v místě, kde mají zátěž i OZ největší vliv na výstupní napětí. Tranzistor tak už není schopen aktivně potlačit zvlnění, a chová se jako obyčejný odpor, to je znázorněno na obr. 3.3. Uplatňuje se kapacitní charakter zátěže. Zátěž spolu s výstupním tranzistorem tvoří dolnoproputní filtr. Avšak reálný kondenzátor má kapacitní charakter pouze do určité frekvence, jelikož kondenzátor má parazitní ESR a parazitní indukčnost, je to sériový rezonanční obvod, a od rezonanční frekvence, na obr. 3.5, se kondenzátor chová jako cívka. Zde začíná čtvrtá oblast, cívka narozdíl

kondenzátoru neznamena pro vyšší frekvence zkrat, a tak PSRR opět klesá. Rezonanční frekvenci, při které výstupní kondenzátor změni svůj charakter na indukční, lze vypočítat pomocí Thomsonova vztahu (4.20).

Výpočet f_R pro keramický kondenzátor s parametry $C_{OUT} = 1 \mu F$, $ESL = 3 nH$, $ESR = 50 m\Omega$:

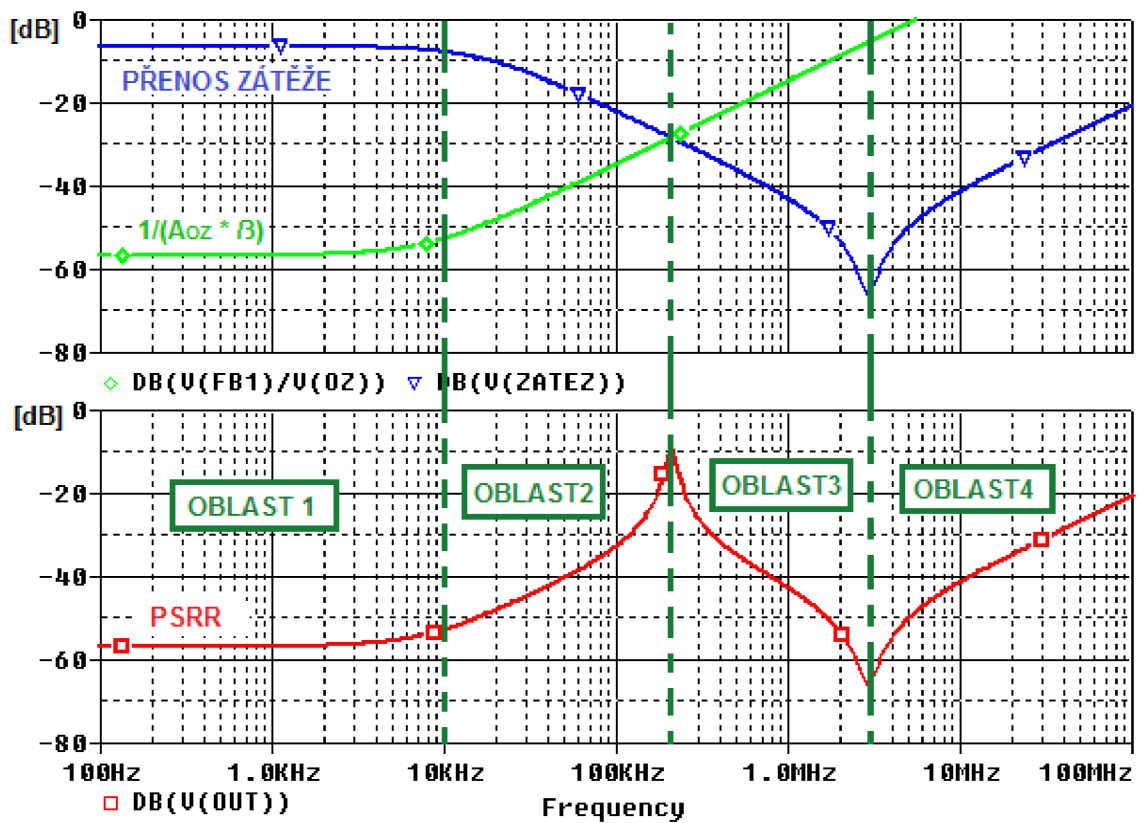
$$f_R = \frac{1}{2 \cdot \pi \cdot \sqrt{ESL \cdot C}} = \frac{1}{2 \cdot \pi \cdot \sqrt{3 \cdot 10^{-9} \cdot 1 \cdot 10^{-6}}} = 2,91 \text{ MHz} \quad (3.21)$$



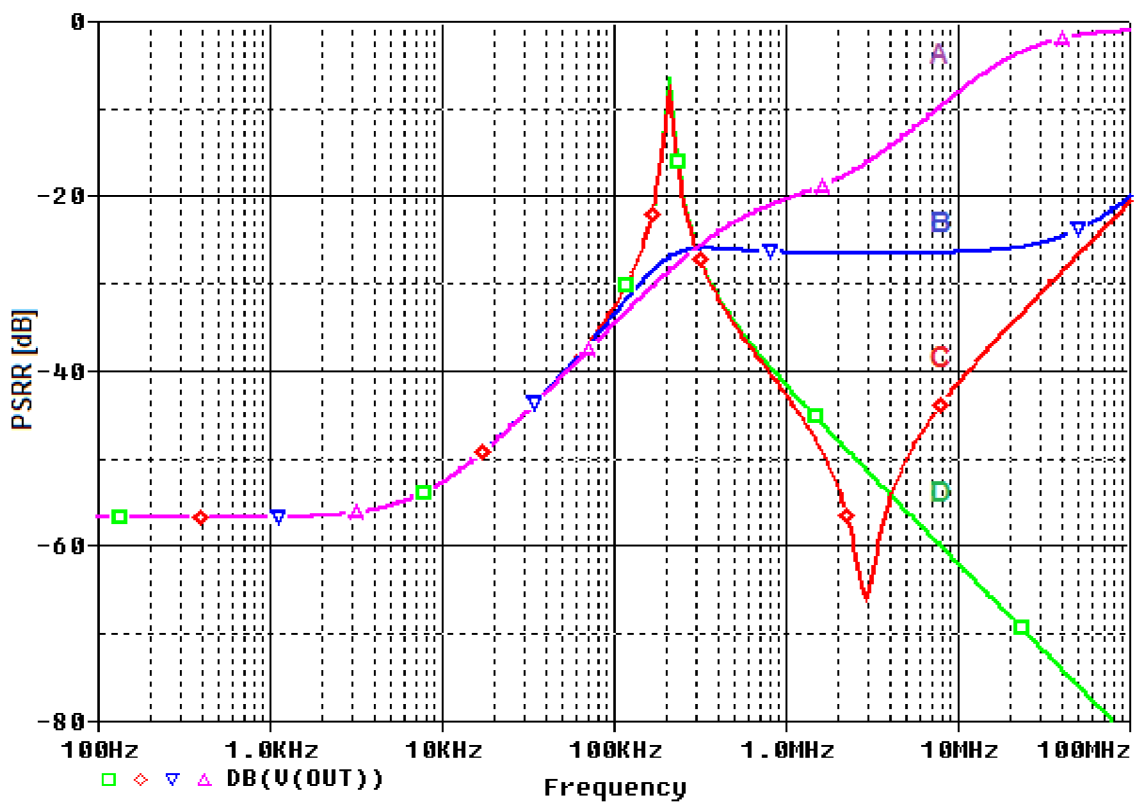
Obr. 3.5: Impedance keramického kondenzátoru v závislosti na frekvenci.

Na obr. 3.7 je PSRR pro různé druhy kondenzátorů. Tedy jestliže je požadováno vysoké PSRR na vyšších frekvencích je nutné použít výstupní kondenzátor s nízkým parazitním odporem ESR a nízkou parazitní indukčností ESL. Jelikož na vyšších frekvencích se tranzistor chová jako odpor, s odporem ESR tvoří střídavý dělič, je tedy zřejmé, že s klesajícím ESR se zlepšuje PSRR. Na trhu se nachází 3 základní druhy kondenzátorů, keramické, tantalové a elektrolitické. Elektrolitické kondenzátory mají nejvyšší parazitní indukčnost ESL, která se pohybuje ve stovkách nH. Tantalové a keramické kondenzátory mají ESR v desítkách $m\Omega$ a ESL také v jednotkách nH. Tzn. použitelné jsou jedinně tantalové a keramické kondenzátory. Na obrázku je výsledek simulace, který znázorňuje PSRR v závislosti na použití 4 kondenzátorů, jsou zde uvedeny příkladové hodnoty ESR a parazitní indukčnosti, kondenzátory mají kapacitu $C_{OUT} = 1 \mu F$:

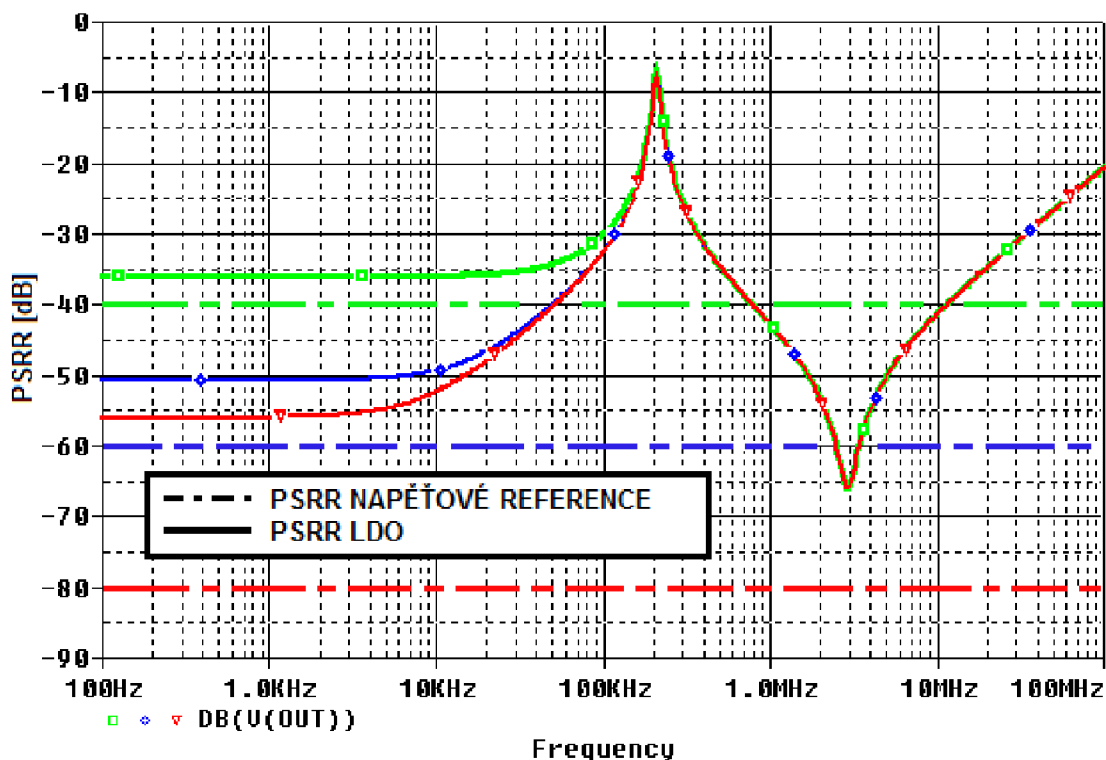
- A. $ESR = 3 \Omega$, $ESL = 200 nH$,
- B. $ESR = 1 \Omega$, $L = 3 nH$,
- C. $ESR = 10 m\Omega$, $ESL = 3 nH$,
- D. $ESR = 0 \Omega$, $ESL = 0 H$.



Obr. 3.6: Přenos zátěže, zisk OZ, PSRR.



Obr. 3.7: PSRR pro různé kondenzátory.



Obr. 3.8: Vliv neideální referencie na PSRR.

Na obr. 4.8 je vidět vliv neideální napěťové referencie na PSRR modelu LDO. Pokud je požadováno výsledné PSRR stejné, jako je PSRR simulované s ideální napěťovou referencí, je třeba připojit napěťovou referenci, která bude mít odstup cca 20 dB, což je znázorněno na obr. 3.8. Pokud $PSRR_{REF_dB}$ napěťové referencie klesne, např. na -60 dB (na obr. 3.8 modrý průběh), je možné pomocí vztahu (3.22) vypočítat vliv cesty 3 napěťové referencie. PSRR napěťové referencie je připočteno k PSRR simulovanému s ideální referencí, tj. -56 dB, což je znázorněno červeným průběhem. Výsledné PSRR simulované s neideální referencí je potvrzeno výpočtem (3.24), tj. -50,5 dB.

$$PSRR_{REF} = 10^{\left(\frac{PSRR_{REF_dB}}{20}\right)} = 10^{\left(\frac{-60}{20}\right)} = 0,001, \quad (3.22)$$

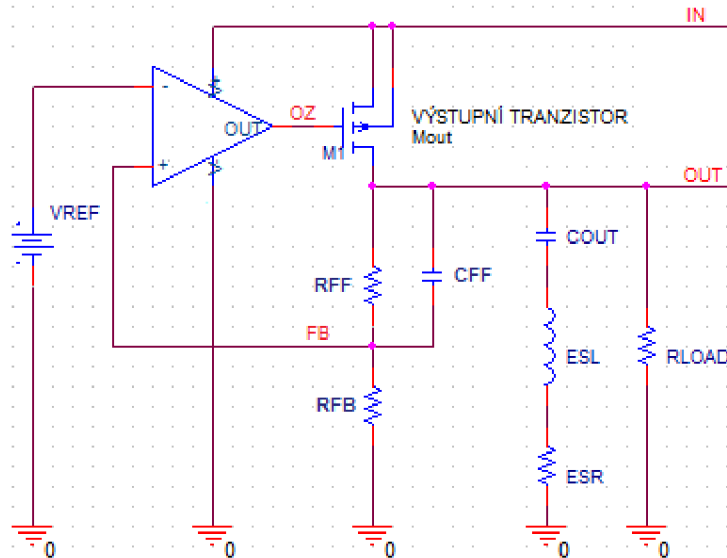
$$PSRR_{CESTA3} \approx \frac{PSRR_{REF}}{\beta} = \frac{0,001}{0,69} = 0,0014, \quad (3.23)$$

$$PSRR = 10^{\left(\frac{PSRR_{dB}}{20}\right)} = 10^{\left(\frac{-56}{20}\right)} = 0,0016, \quad (3.24)$$

$$PSRR_{LDO_dB} = 20 \cdot \log(PSRR + PSRR_{CESTA3}) = 20 \cdot \log(0,0016 + 0,0014) = -50,5 \text{ dB}, \quad (3.25)$$

3.3 Zapojení LDO s kondenzátorem C_{FF}

Označení kondenzátoru vyplívá z jeho umístění v zapojení LDO. Je umístěn v přímě vazbě, z anglického názvu Feed Forward. Je zapojen paralelně s odporem R_{FF} ve zpětnovazebním děliči. Zpětnovazební dělič je dále tvořen odporem R_{FB} , označení z anglického názvu Feed Back - zpětná vazba.



Obr. 3.9: Zapojení kondenzátoru C_{FF} v obvodu LDO.

3.3.1 Vliv kondenzátoru C_{FF} na charakteristiky PSRR

Kondenzátor C_{FF} nemá vliv na stejnosměrný pracovní bod, má vliv pouze na frekvenční složku zpětnovazebního signálu. Vliv se projeví až po mezní frekvenci, mezní frekvence je dána vztahem. Tedy při použití vysoké hodnoty kondenzátoru se zvýší rozsah vlivu kondenzátoru C_{FF} , což vyplívá ze vztahu (3.26).

$$f_{m,FF} = \frac{1}{2 \cdot \pi \cdot R_{FF} \cdot C_{FF}} \text{ [Hz]}, \quad (3.26)$$

Po překročení mezní frekvence je odpor R_{FF} zkrátován kondenzátorem C_{FF} . Zisk zpětné vazby β , který je dán vztahem (3.10), tento vztahem platí pokud není zapojen kondenzátor C_{FF} . Nyní je zisk zpětné vazby β roven jedné. Tzn. ve vztazích PSRR dané cestou 1 až 3, nefiguruje β . Pro odpory R_{FF} a R_{FB} uvedené na obr. 4.4 je zisk β případně bez použití kondenzátoru C_{FF} roven 0,69. Proto pokud není zapojen kondenzátor C_{FF} , je výsledné PSRR menší než převrácená hodnota zisku A_{OZ} . Nyní je PSRR pro cestu 1 až 3 dáno vztahy (3.27), (3.28), (3.29). Ze vztahu (3.27) vyplívá, že nyní je PSRR cesty 1 dáno pouze ziskem A_{OZ} operačního zesilovače. Dále ze vztahu (3.28) zvlnění, které projde na výstup OZ ze vstupu IN je nyní potlačeno čistě ziskem OZ, tedy opět klesá vliv této cesty na PSRR. A ze vztahu (3.29) vyplívá, že nyní zvlnění referenčního napětí projde beze změny na výstup LDO.

$$PSRR_{CESTA1} = \frac{g_{Mout} \cdot Z_{OUT}}{1 + g_{Mout} \cdot Z_{OUT} \cdot A_{OZ}} \approx \frac{1}{A_{OZ}} [-], \quad (3.27)$$

$$PSRR_{CESTA2} = \frac{g_{Mout} \cdot Z_{OUT}}{1 + g_{Mout} \cdot Z_{OUT} \cdot A_{OZ}} \cdot PSRR_{OZ} \approx \frac{PSRR_{OZ}}{A_{OZ}} [-], \quad (3.28)$$

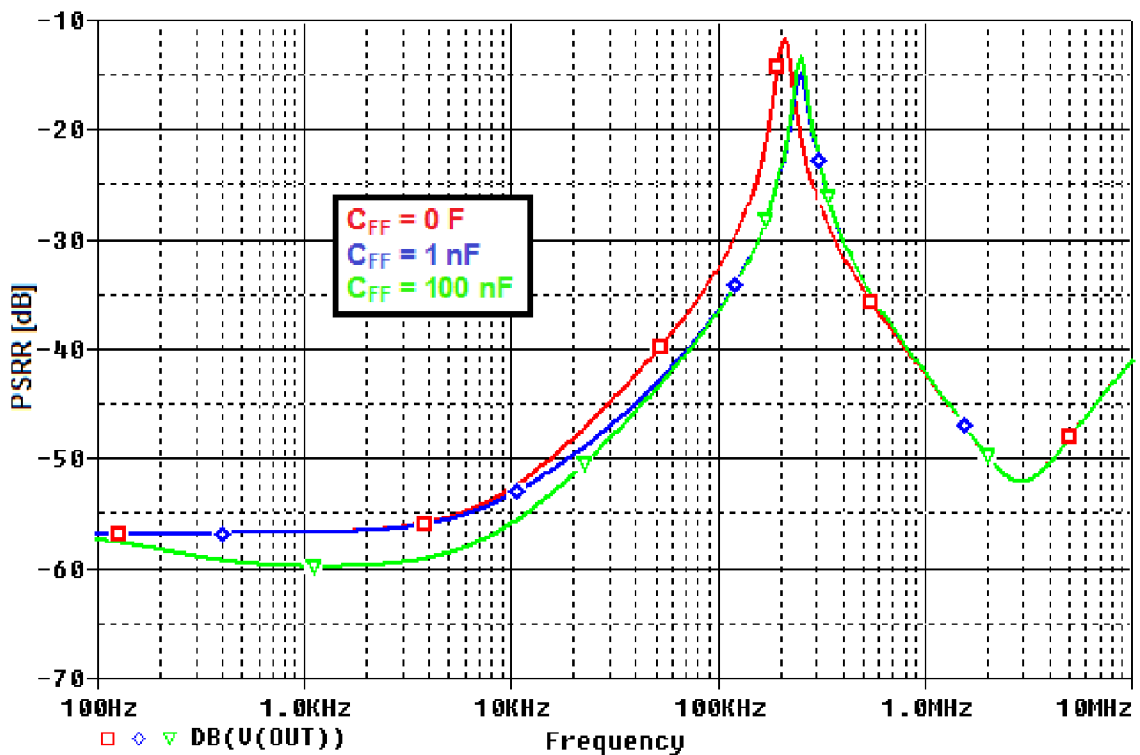
$$PSRR_{CESTA3} = \frac{g_{Mout} \cdot Z_{OUT} \cdot A_{OZ}}{1 + g_{Mout} \cdot Z_{OUT} \cdot A_{OZ}} \cdot PSRR_{REF} \approx PSRR_{REF} [-], \quad (3.29)$$

Výsledné PSRR je nyní dáno vztahy (4.29) a (4.30).

$$PSRR_{LDO} = \frac{g_{Mout} \cdot Z_{OUT}}{1 + g_{Mout} \cdot Z_{OUT} \cdot A_{OZ}} (1 + PSRR_{OZ} + PSRR_{REF} \cdot A_{OZ}) [-], \quad (3.30)$$

$$PSRR_{LDO} = \frac{\Delta U_{OUT}}{\Delta U_{IN}} = \frac{(1 + PSRR_{OZ} + PSRR_{REF} \cdot A_{OZ})}{A_{OZ}} [-], \quad (3.31)$$

Vliv kondenzátoru C_{FF} na výslednou charakteristiku PSRR je vidět na obr. 3.10. Poměr $PSRR_{LDO}$ ve frekvenčním rozsahu od 1 kHz do 200 kHz je nyní dán pouze ziskem A_{OZ} operačního zesilovače (zelený průběh).

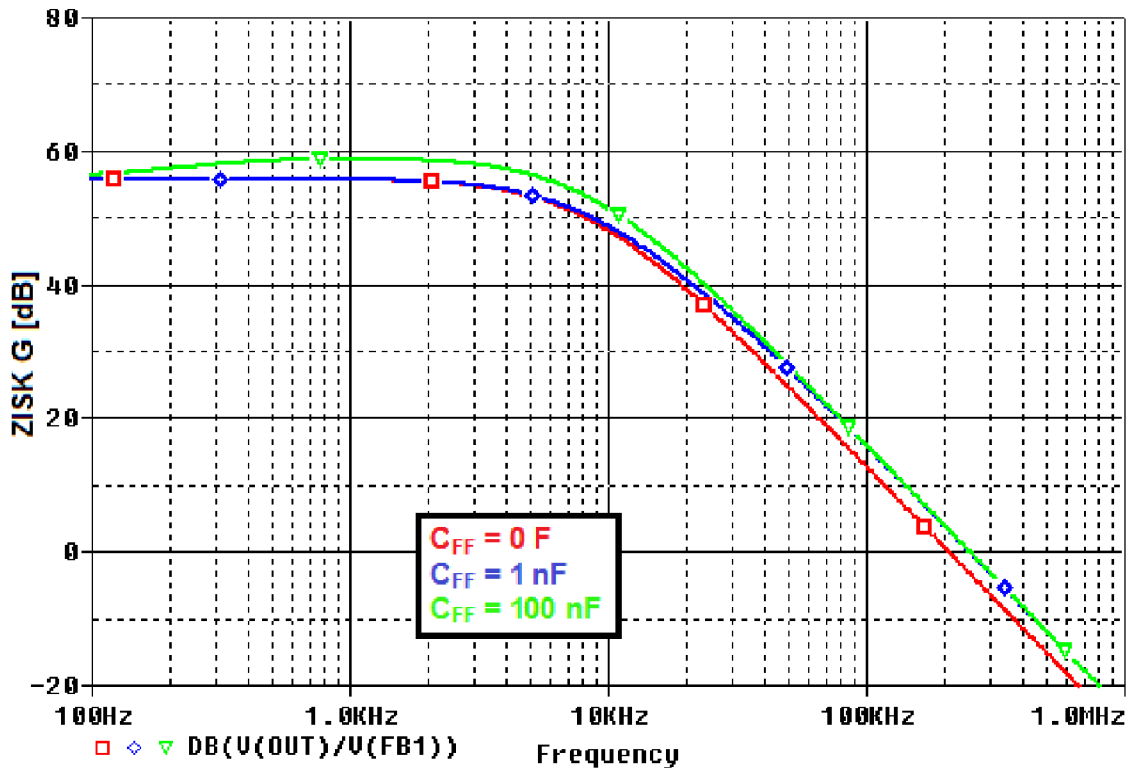


Obr. 3.10: Vliv kondenzátoru C_{FF} na PSRR.

3.3.2 Vliv kondenzátoru C_{FF} na charakteristiku zisku zpětnovazební smyčky

Vliv kondenzátoru C_{FF} na zisk zpětnovazební smyčky je zřejmý z podkapitoly 3.3.1. Jelikož zisk zpětné vazby $\beta = 1$, opět po překročení mezní frekvence, která je dána vztahem (3.26). Zesílení vzroste, je vyděleno ziskem β zpětnovazebního děliče. Lze pro zesílení A_0 zpětnovazební smyčky nyní napsat vztah (3.32). Vliv kondenzátoru na zisk zpětnovazební smyčky je na obr. 3.11.

$$A_0 = A_{OUT} \cdot A_{OZ} = g_{m,OUT} \cdot Z_{OUT} \cdot A_{OZ} [-], \quad (3.32)$$

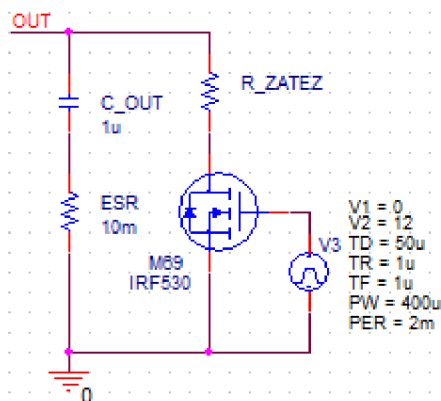


Obr. 3.11: Vliv kondenzátoru C_{FF} na zisk zpětnovazební smyčky.

4 METODY PRO ZLEPŠENÍ PSRR

Zde jsou popisovány metody pro zlepšení $PSRR$ za použití ideální proudové a napěťové reference pro eliminaci negativního vlivu zpětnovazební smyčky na $PSRR$. Jelikož je požadováno co nejlepší $PSRR$, je předpokládáno použití keramického či tantalového kondenzátoru, které mají parazitní seriový odpor ESR v desítkách $m\Omega$ a parazitní indukčnost ESL v jednotkách nH , proto lze parazitní indukčnost při testování stability (charakteristiky zisku a fáze otevřené smyčky) zanedbat. Parazitní indukčnost ESL je použita pouze při simulaci $PSRR$. Všechny metody jsou simulovány s kondenzátorem o kapacitě $C_{OUT} = 1 \mu F$, $ESR = 10 m\Omega$, $ESL = 3 nH$.

Simulace časových přechodných odezvy na skok výstupního proudu $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$ a $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$ jsou prováděny způsobem na obr. 4.1. Strmost skoku I_{ZATEZ} je $t_{RISE} = t_{FALL} = 100 \text{ ns}$.



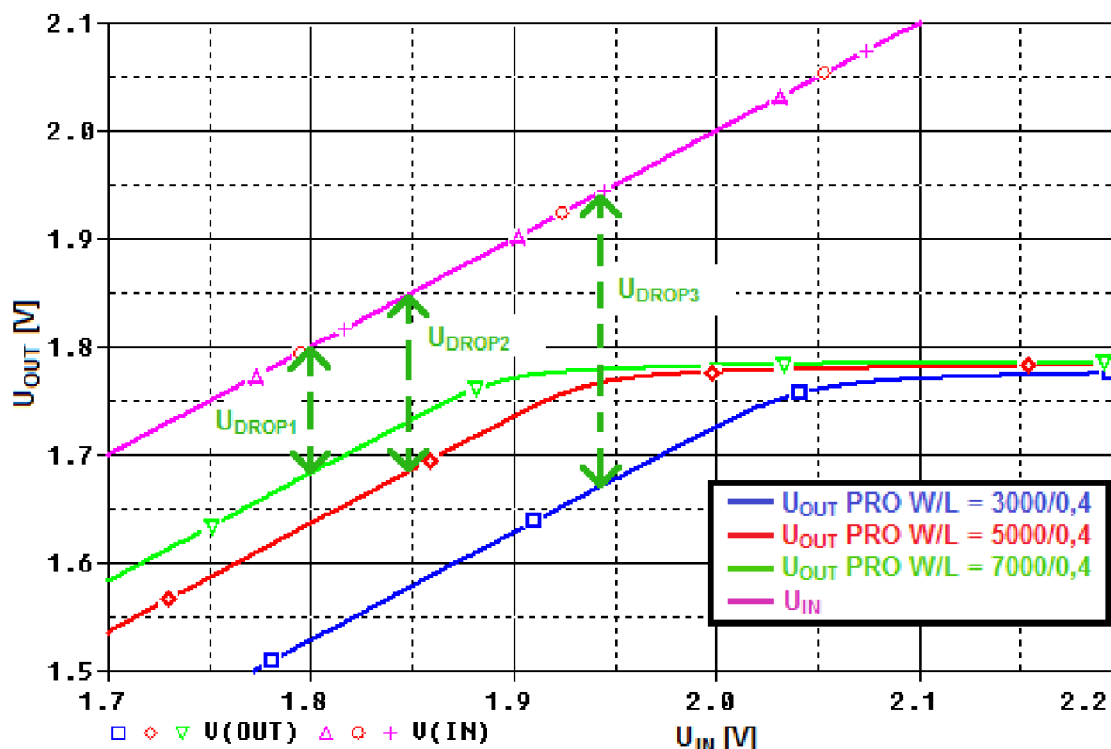
Obr. 4.1: Měření časové přechodné odezvy pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$ a $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$.

Simulace časových přechodných odezvy na napěťový skok jsou prováděny pro skok vstupního napětí $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$ a $U_{IN} = 3,4 \text{ V} \rightarrow 2,4 \text{ V}$. Strmost skoku je $t_{RISE} = t_{FALL} = 100 \text{ ns}$.

Jelikož není zadán žádný konkrétní průběh $PSRR$ napěťové reference, výsledné $PSRR$ je simulováno pouze s neideální napěťovou referencí, která má stálé $PSRR$ v celém frekvenčním rozsahu, tj. -20 dB , -40 dB , -60 dB , -80 dB , je tak možné sestavit křivku nejhoršího $PSRR$ napěťové reference, které je potřebné pro dosažení výsledného $PSRR$ stejného nebo mírně horšího, než je dosaženo v návrhu.

Rozměry výstupního tranzistoru jsou určeny v závislosti na maximálním výstupním proudu I_{ZATEZ} a napětí U_{DROP} . S rostoucím poměrem $(W/L)_{MOUT}$ výstupního tranzistoru M_{OUT} klesá napětí U_{DROP} , tedy klesá minimální vstupní napětí pro $I_{ZATEZ} = 100 \text{ mA}$. Na obr. 4.2 je vidět, že s poměrem $(W/L)_{MOUT} = 3000/0,4$ je dosaženo napětí $U_{DROP3} = 272 \text{ mV}$, s poměrem $(W/L)_{MOUT} = 5000/0,4$ je dosaženo napětí $U_{DROP2} = 154 \text{ mV}$, s poměrem $(W/L)_{MOUT} = 7000/0,4$ je dosaženo napětí $U_{DROP2} = 108 \text{ mV}$.

Nicméně s rostoucími rozměry tranzistoru roste i parazitní kapacita kapacita, v saturačním režimu se uplatňuje především kapacita $C_{GS,MOUT}$. Je tedy volen kompromis mezi nižší kapacitou $C_{GS,MOUT}$ a menším napětím U_{DROP} , rozměry výstupního tranzistoru jsou $(W/L)_{MOUT} = 5000/0,4$.

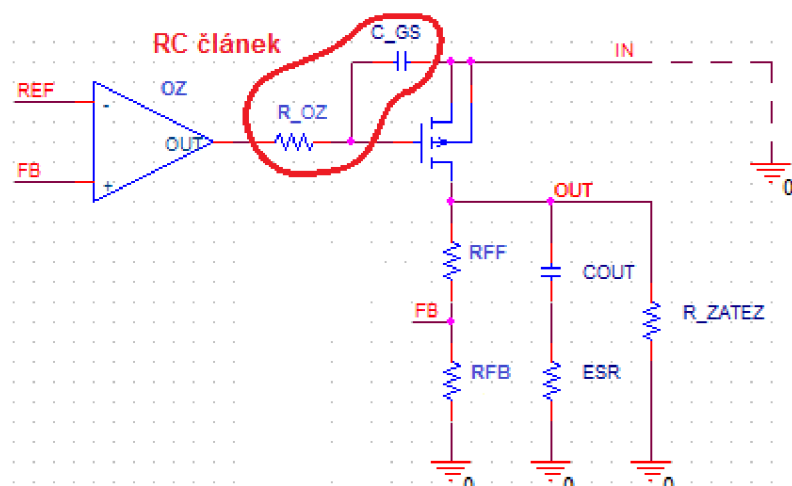


Obr. 4.2: Převodní charakteristika LDO a napětí U_{DROP} při $I_{ZATEZ} = 100 \text{ mA}$.

Pro nastavení stability a zvýšení PSRR je nutné pochopit, jak funguje RC článek. Střídavá analýza je provedena pro $C_{GS} = 8,07 \text{ pF}$, která byla vypočtena podle vztahů (4.1) a (4.2), tyto vztahy jsou převzaty ze zdroje [9]. $R_{OZ} = 10 \text{ k}\Omega$ a $1 \text{ M}\Omega$. Je zřejmé, že zmenšením kapacity či odporu v RC článku se mezní frekvence, tj. frekvence při poklesu o 3 dB, posune do oblasti vyšších frekvencí. Fáze při poklesu o 3 dB má hodnotu -45° , ze simulace na obr. 4.4 je vidět, že se do oblasti vyšších frekvencí posune i fáze.

$$C_{GS} \approx \frac{2}{3} \cdot W \cdot L \cdot C_{OX} \text{ [F]}, \quad (4.1)$$

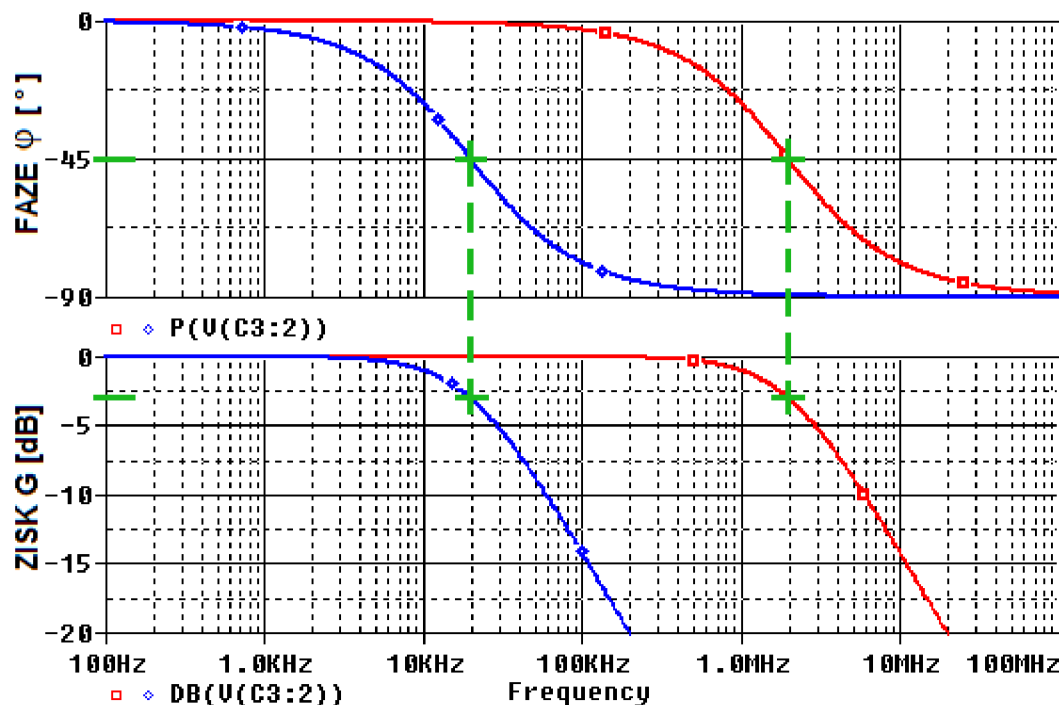
$$C_{OX} \approx \frac{\epsilon_{OX}}{t_{OX}} \left[\frac{\text{F}}{\text{m}^2} \right], \quad (4.2)$$



Obr. 4.3: Parazitní RC člunek v zapojení LDO.

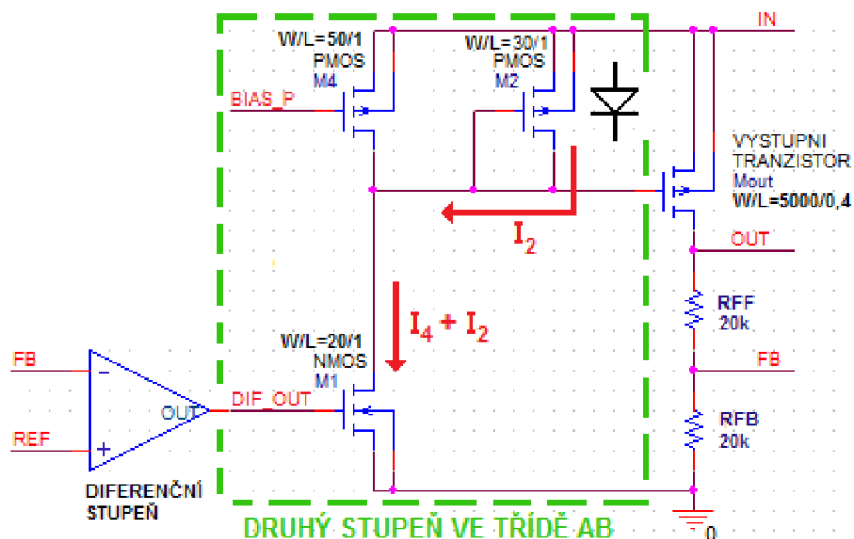
Jelikož kapacita C_{GS} je dána velikostí tranzistoru a technologií výroby, nelze ji zmenšit technikou zapojení, ale lze zmenšit odpor v RC člunku, který v tomto případě představuje výstupní odpor R_{OZ} operačního zesilovače. Tedy cílem následujících metod je posunout pól p_2 popisovaný v kapitole 2.5 do oblasti vyšších frekvencí.

Nevýhodou těchto metod je nižší rozsah ESR výstupního kondenzátoru, pro které je LDO stabilní. Proto je nutné pól p_2 umístit před nulu z_1 . Pokud by frekvence f_{p2} byla vyšší než f_{z1} , došlo by k navýšení zisku a posunu tranzitní frekvence f_T do frekvenční oblasti, kde je LDO nestabilní, tj. fázová rezerva je menší než 45° , je to znázorněno na obr. 2.4.



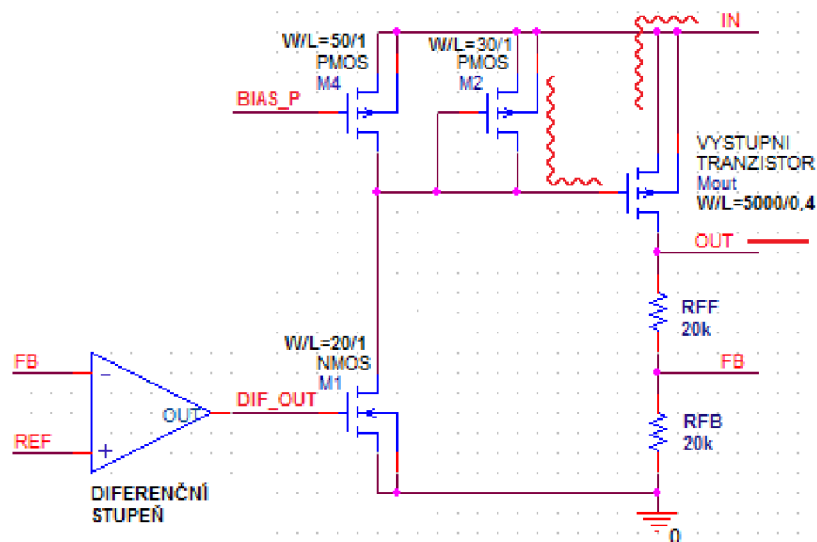
Obr. 4.4: Střídavá analýza zisku a fáze RC člunku.

4.1 Druhý stupeň ve třídě AB, diferenční stupeň PMOS (LDO1)



Obr. 4.5: Druhý stupeň operačního zesilovače ve třídě AB.

Metoda převzata ze zdroje [7]. Na obr. 4.5 je znázorněn princip metody. S rostoucím výstupním proudem I_{ZATEZ} roste napětí U_{GS} výstupního tranzistoru, následkem toho vzroste proud I_2 protékající tranzistorem M_2 , a navyšuje proud tekoucí druhým stupně operačního zesilovače.

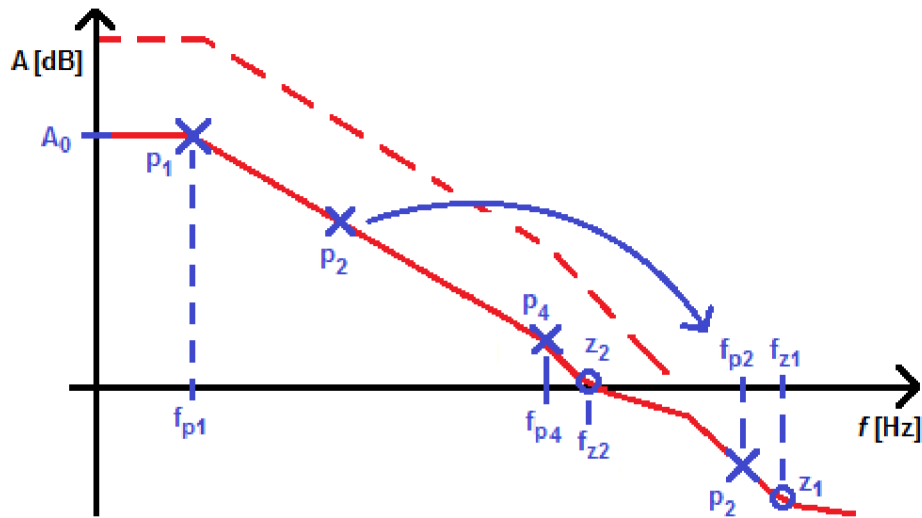


Obr. 4.6: Princip metody.

Metoda se také nazývá EFP (Embedded Feed Forward Path), tedy zabudovaná přímá vazba. V tomto případě je to dioda, která zavede na hradlo výstupního tranzistoru M_{OUT} stejné zvlnění jako je na vstupu, zvlnění na výstupu je pak vyrušeno, obr. 4.6. Po jednoduché estetické úpravě, otočení tranzistoru M_2 , je zřejmé, že tranzistory M_{OUT} a M_2 tvoří proudové zrcadlo, jehož vstupem je tranzistor M_2 .

Ze schematu na obr. 4.4 je zřejmé, že je nutné použít druhý stupeň NMOS. Nejjednodušší OZ s druhým zesilovacím stupněm NMOS je znázorněn na obr. 1.6, diferenční stupeň obsahuje PMOS zesilovací tranzistory. Kvůli orientaci napětí nutného pro funkci diferenčního stupně je nutné použít zpětnovazební dělič, což je popsáno kapitole 1.2. Zpětnovazební napětí U_{FB} je určeno při minimálním vstupním napětí $U_{IN_MIN} = U_{OUT}$ při $I_{ZATEZ} = 0$ A. Jelikož je nutné aby zesilovací tranzistory M_8 a M_9 pracovaly v saturaci, jejich napětí U_{GS} musí být 0,6 V při proudu 15 μ A, saturační napětí $U_{DSAT,M12}$ je 0,15 V, a úbytek na odporu R_S je 0,15 V, referenční napětí $U_{REF} = 0,9$ V. Jsou použity odpory R_{FB} a R_{FF} se stejnou hodnotou 20k Ω .

$$U_{REF} = U_{FB} = U_{OUT} - U_{DSAT,M12} - U_{GS,M8} - U_{RS} \text{ [V]}, \quad (4.3)$$



Obr. 4.7: Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO1.

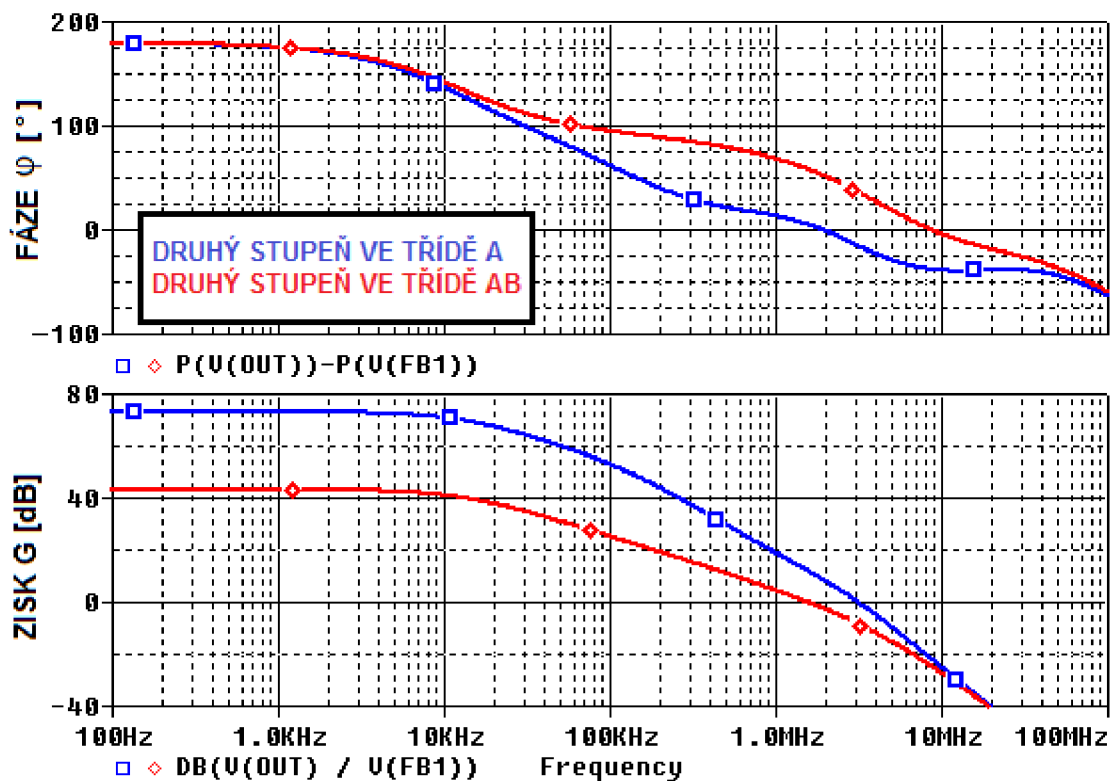
Frekvenci pólu p_2 je nutné volit tak, aby nebyl příliš vysoký zemní proud I_{GND} . Jelikož s rostoucí frekvencí pólu, klesá odpor figurující v tomto pólu. Pro snížení výstupního odporu OZ je třeba zvýšit proud tekoucí druhým stupněm OZ. Je voleno $f_{p2} = 10$ MHz. Podle vztahu (4.4) potřebný odpor $R_{2,ST}$ vychází 2 k Ω .

$$f_{p2} = \frac{1}{2 \cdot \pi \cdot C_{GS} \cdot R_{2,ST}} \text{ [Hz]}, \quad (4.4)$$

$$R_{2,ST} \approx \frac{1}{\lambda_{M1} \cdot I_{D,M1} + g_{m,M2}} \text{ [\Omega]}, \quad (4.5)$$

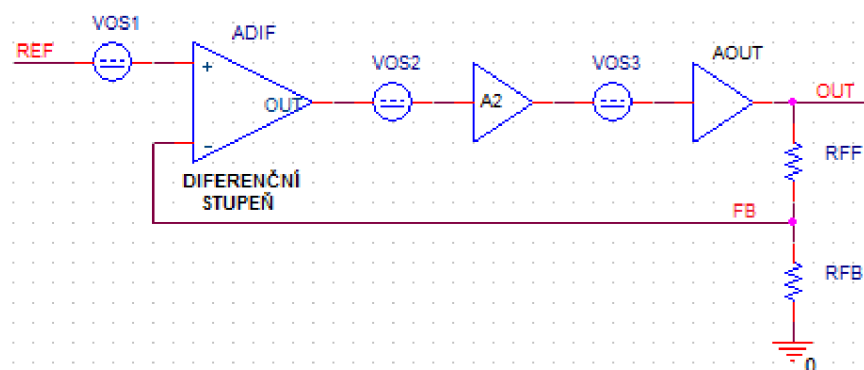
$$f_{p4} = \frac{1}{2 \cdot \pi \cdot R_{OUT,DIF} \cdot C_{OUT,DIF}} \text{ [Hz]}, \quad (4.6)$$

$$R_{OUT,DIF} = \frac{R_{OUT,M8} \cdot g_{m,M8} \cdot R_S \cdot R_{OUT,M10}}{R_{OUT,M8} \cdot g_{m,M8} \cdot R_S + R_{OUT,M10}} \approx R_{OUT,M10} \text{ [\Omega]}, \quad (4.7)$$



Obr. 4.8: Vliv proudové vazby na zisk a fázi otevřené smyčky LDO.

Následkem snížení výstupního odporu druhého stupně, vztah (4.5), je mírné zmenšení tranzitní frekvence f_T , pokles zisku maximálního zisku a zvýšení fázové rezervy, obr. 4.8. Za předpokladu, že výstupní tranzistor M_{OUT} a tranzistor M_2 pracují v režimu saturace, lze výjádřit proud I_2 poměrem poměrů W/L těchto tranzistorů, vztah (4.8). Vztah platí pouze v případě, že délky kanálů tranzistorů M_2 a M_{OUT} se rovnají. Jestliže je zvýšena délka kanálu tranzistoru M_2 , vzroste prahové napětí U_{TH} , následkem toho je mírný pokles proudu I_2 . Proud I_2 je navýšen zvýšením poměru W/L .



Obr. 4.9: Vstupní ofset jednotlivých stupňů.

$$I_2 = \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{MOUT}} \cdot I_{ZATEZ_MAX} \quad [\text{A}], \quad (4.8)$$

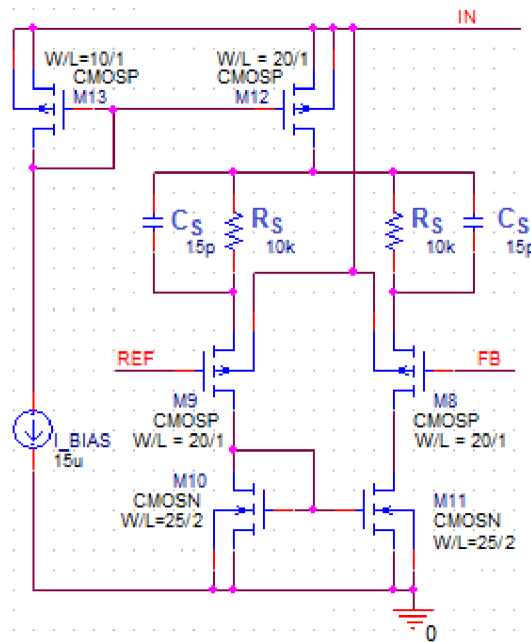
Po dosažení vztahu (4.8):

$$I_1 = I_4 + I_2 = \frac{\left(\frac{W}{L}\right)_{M4}}{\left(\frac{W}{L}\right)_{M13}} \cdot I_{BIAS} + \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{MOUT}} \cdot I_{ZATEZ} \quad [\text{A}], \quad (4.9)$$

$$U_{OS} = \sqrt{U_{OS1}^2 + \left(\frac{U_{OS2}}{A_{DIF}}\right)^2 + \left(\frac{U_{OS3}}{A_{DIF} \cdot A_2}\right)^2} \quad [\text{V}], \quad (4.10)$$

$$U_{OUT} = \frac{U_{REF} + U_{OS}}{\beta} \quad [\text{V}], \quad (4.11)$$

Ze schematu na obr. 4.9 je zřejmé, že největší vliv na celkový vstupní ofset má první stupeň, tedy diferenční zesilovač. Celkový vstupní ofset je popsán vztahem (4.10). Výstupní napětí je pak dáno vztahem (4.11). Ofset U_{OS1} lze zmenšit zmenšením chyby aktivní zátěže diferenčního stupně. Proto je volen co nejmenší poměr šířky a délky kanálu W/L a co největší délka kanálu L tranzistorů M_{10} a M_{11} v aktivní zátěži. Dojde tím také k minimalizaci parametrů $\Delta U_{OUT} / \Delta U_{IN}$ a $\Delta U_{OUT} / \Delta I_{ZATEZ}$.



Obr. 4.10: Frekvenční kompenzace s články $R_S C_S$ verze 1.

Frekvenční kompenzace je řešena zařazením odporů do serie se zesilovacími tranzistory diferenčního páru, obr. 4.10, metoda převzata ze zdroje [2]. Zisk se sníží, avšak fázová rezerva stále není dostatečná. Přidáním kondenzátorů C_S paralelně s odpory R_S je do přenosové cesty zpětnovazební smyčky zařazena frekvenční nula z_2 , a je výrazně navýšena fázová rezerva a mírně i zisk při maximálním definovaném výstupním proudu $I_{ZATEZ} = 100 \text{ mA}$, tak i v oblasti nižších proudů. Princip této

kmitočtové kompenzace je založen na vyrušení vlivu odporů zařazených seriově se zesilovacími tranzistory M_8 a M_9 diferenčního páru. Vliv kondenzátorů C_S na charakteristiky zisku a fáze je na obr. 4.12.

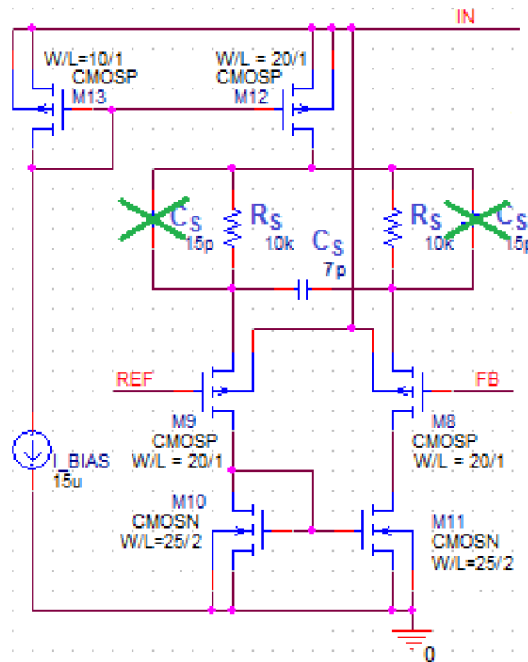
Frekvence nuly z_2 je dána vztahem (4.12). Pro dostatečné navýšení fázové rezervy je třeba umístit nulu z_2 je třeba v okolí traanzitní frekvence, tedy okolí pólu p_2 . Volba odporu R_S záleží na maximálním zisku A_0 otevřené smyčky a proudu $I_{D,M12}$. Příliš velká hodnota odporu R_S by mohla způsobit příliš velký úbytek na odporu R_S . Příliš velký úbytek na odporu R_S by způsobil nárůst minimálního napětí U_{IN_MIN} .

$$f_{z2} = \frac{1}{2 \cdot \pi \cdot R_S \cdot C_S} \approx f_T \text{ [Hz]}, \quad (4.12)$$

$$g_{m,M8} = g_{m,M9} = \frac{1}{R_m} = \frac{2 \cdot I_D}{U_{DSAT}} = \frac{2 \cdot I_D}{U_{GS} - U_{TH}} \text{ [A/V]}, \quad (4.13)$$

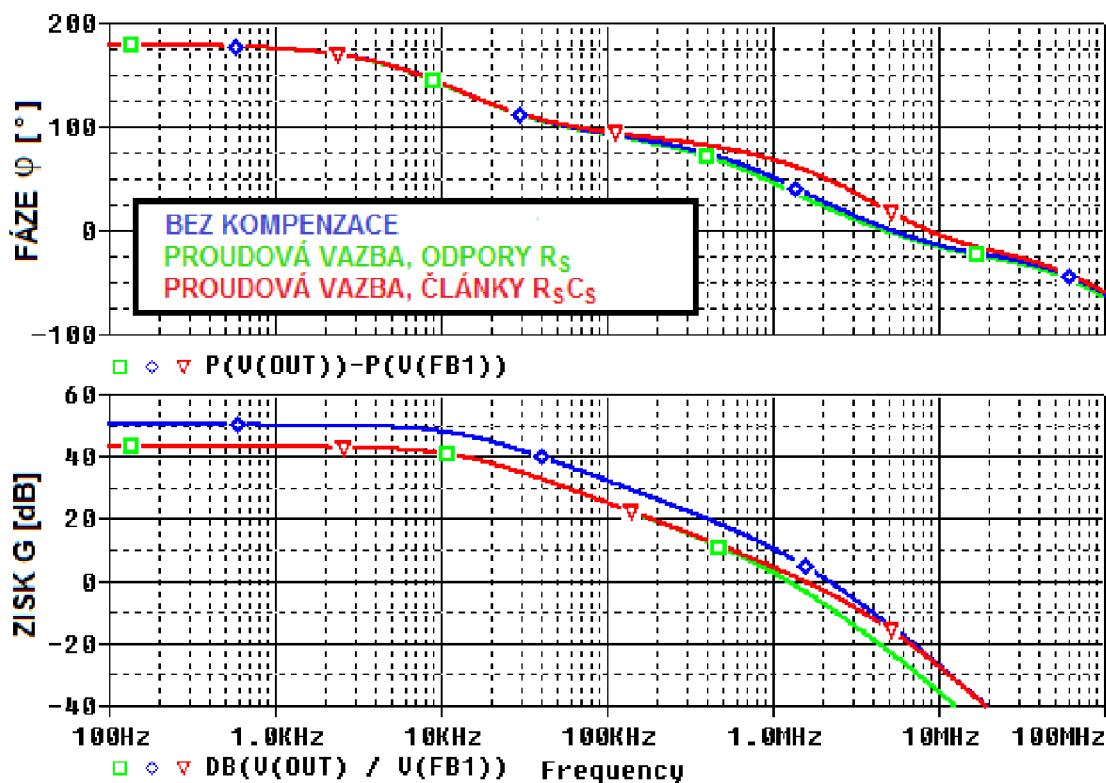
$$g_{m,M8+RS} = \frac{1}{R_m + R_S} = \frac{2 \cdot I_D}{U_{DSAT} + 2 \cdot U_{RS}} = \frac{2 \cdot I_D}{U_{GS} - U_{TH} + 2 \cdot I_D \cdot R_S} \text{ [A/V]}, \quad (4.14)$$

$$A_{DIF} = g_{m,M8+RS} \cdot R_{OUT,DIF} \text{ [-]}, \quad (4.15)$$



Obr. 4.11: Frekvenční kompenzace s články $R_S C_S$ verze 2.

Pokles zisku otevřené zpětnovazební smyčky se zařazenými odpory R_S je způsoben poklesem transkonduktance g_m zesilovacích tranzistorů v diferenciálním stupni OZ, čímž klesne zisk diferenčního páru (4.15). Transkonduktanci tranzistoru MOS si lze představit jako obrácenou hodnotu ekvivalentního odporu R_m , ke kterému je připočtena hodnota degeneračního odporu R_S . Po úpravě a dosazení původní transkonduktance $g_{m,M8}$ (4.13) za R_m je vztah upraven do podoby (4.14).

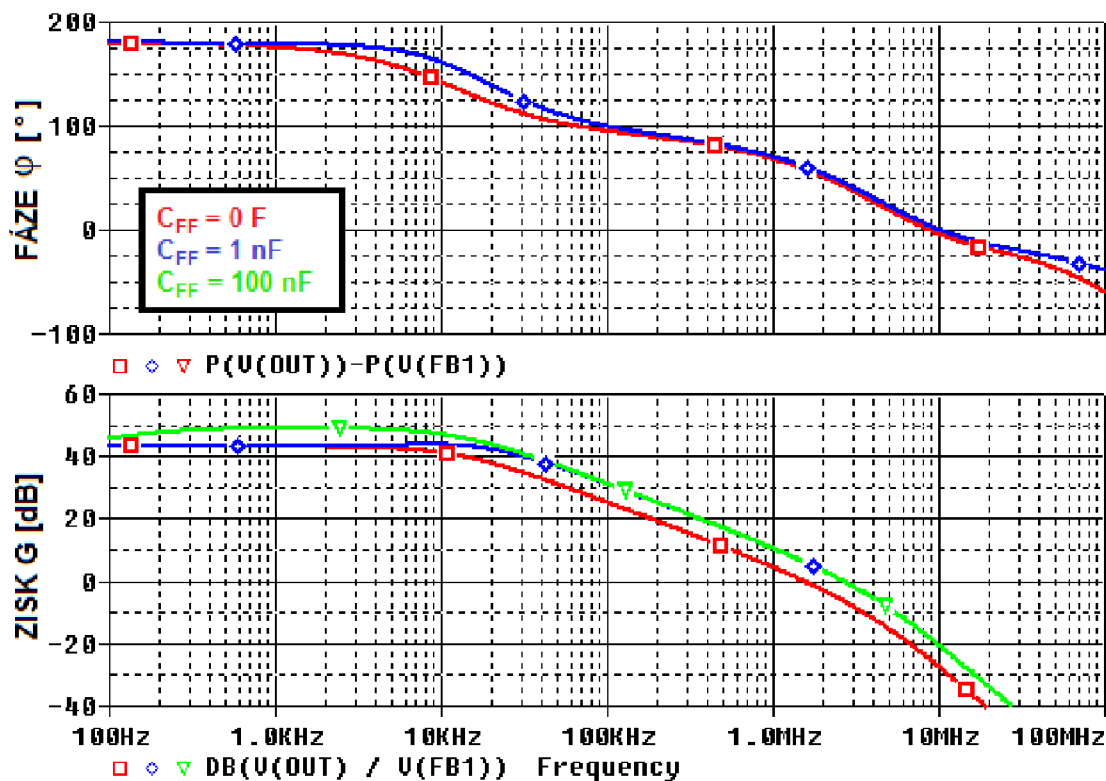


Obr. 4.12: Vliv $R_S C_S$ článku na zisk a fázi otevřené smyčky LDO s proudovou vazbou 1 pro $I_{ZATEZ} = 100$ mA.

Nevýhodou frekvenční kompenzace s články $R_S C_S$ je velká plocha kondenzátorů C_S . Zapojením kondenzátoru C_S podle obr. 4.11 je možné snížit kapacitu C_S na polovinu původní hodnoty, nyní je hodnota pouze 7 pF, jelikož frekvence nuly z_2 je nyní dána součtem odporů R_S (4.16). Celková kapacita a tedy i jejich plocha na čipu je čtyřikrát menší.

$$f_{z2} = \frac{1}{2 \cdot \pi \cdot 2 \cdot R_S \cdot C_S} \text{ [Hz]}, \quad (4.16)$$

Charakteristiky zisku a fáze jsou téměř totožné pro frekvenční kompenzaci s články $R_S C_S$ verze 1 a 2. S použitím kompenzačního $R_S C_S$ článku a proudovou vazbou je fázová rezerva 53° při výstupním proudu $I_{ZATEZ} = 100$ mA, při $I_{ZATEZ} = 0$ A je pak fázová rezerva 61° . Charakteristiky zisku a fáze pro LDO s proudovou vazbou 1 a 2 jsou téměř totožné. Charakteristiky zisku a fáze jsou simulovány i pro hodnoty kondenzátoru C_{FF} 1 nF a 100 nF. Avšak při hodnotě 100 nF je fázová charakteristika posunuta do nestabilní oblasti, tj. fázová rezerva je nižší než 45° . Proto pro navyšení PSRR je použitelná hodnota kondenzátoru C_{FF} maximálně 1 nF.



Obr. 4.13: Zisk a fáze otevřené smyčky LDO1, pro $I_{ZATEZ} = 100 \text{ mA}$,
 $C_{FF} = 0 \text{ F}$; 1 nF ; 100 nF .

Jelikož není zadána reference s konkrétním PSRR, je výsledné PSRR regulátoru simulováno s referencí, jejíž PSRR je stejné na všech frekvencích,

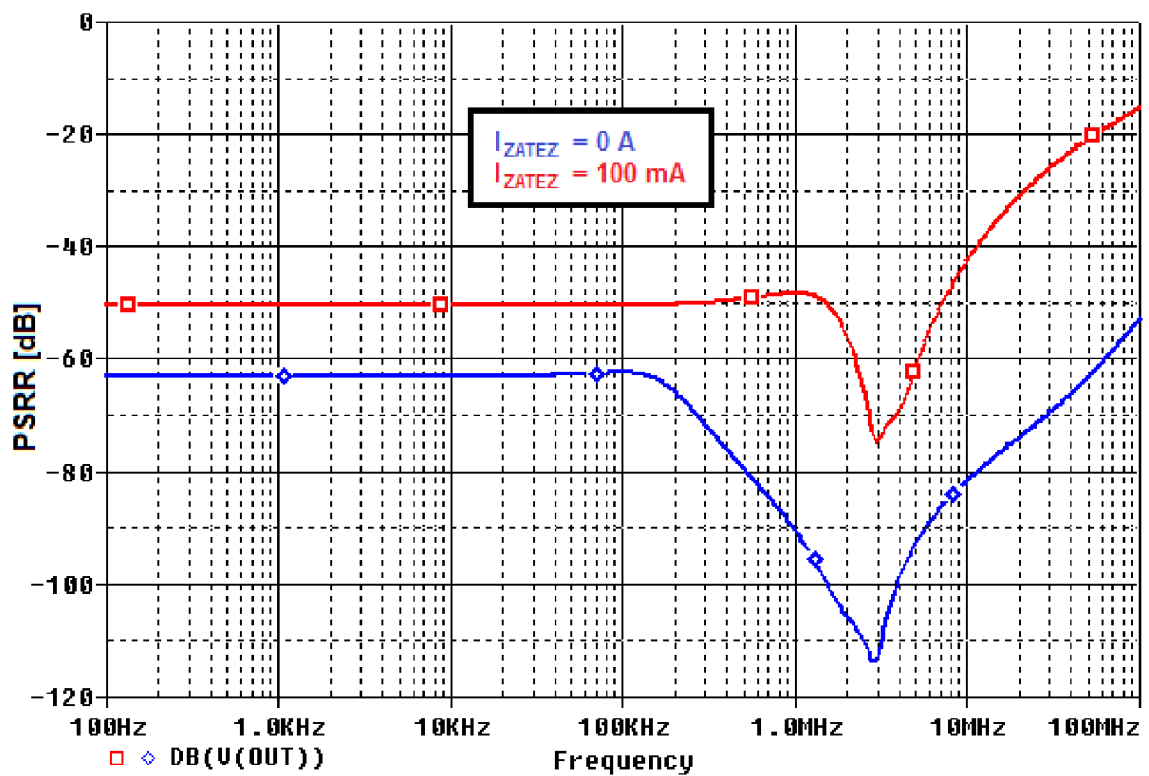
Na obr. 4.19 je vidět vliv neideální napěťové reference. Pokud $PSRR_{REF_dB}$ napěťové reference klesne, např. na -60 dB , na obr. 4.19 modrý průběh, je možné pomocí vztahu (4.18) vypočítat vliv cesty 3 napěťové reference. PSRR napěťové reference je připočteno k PSRR simulovanému s ideální referencí, tj. $-50,5 \text{ dB}$, což je znázorněno na obr. 4.14. Výsledné PSRR simulované s neideální referencí je potvrzeno výpočtem (4.20), tj. $-46,1 \text{ dB}$.

$$PSRR_{REF} = 10^{\left(\frac{PSRR_{REF_dB}}{20}\right)} = 10^{\left(\frac{-60}{20}\right)} = 0,001, \quad (4.17)$$

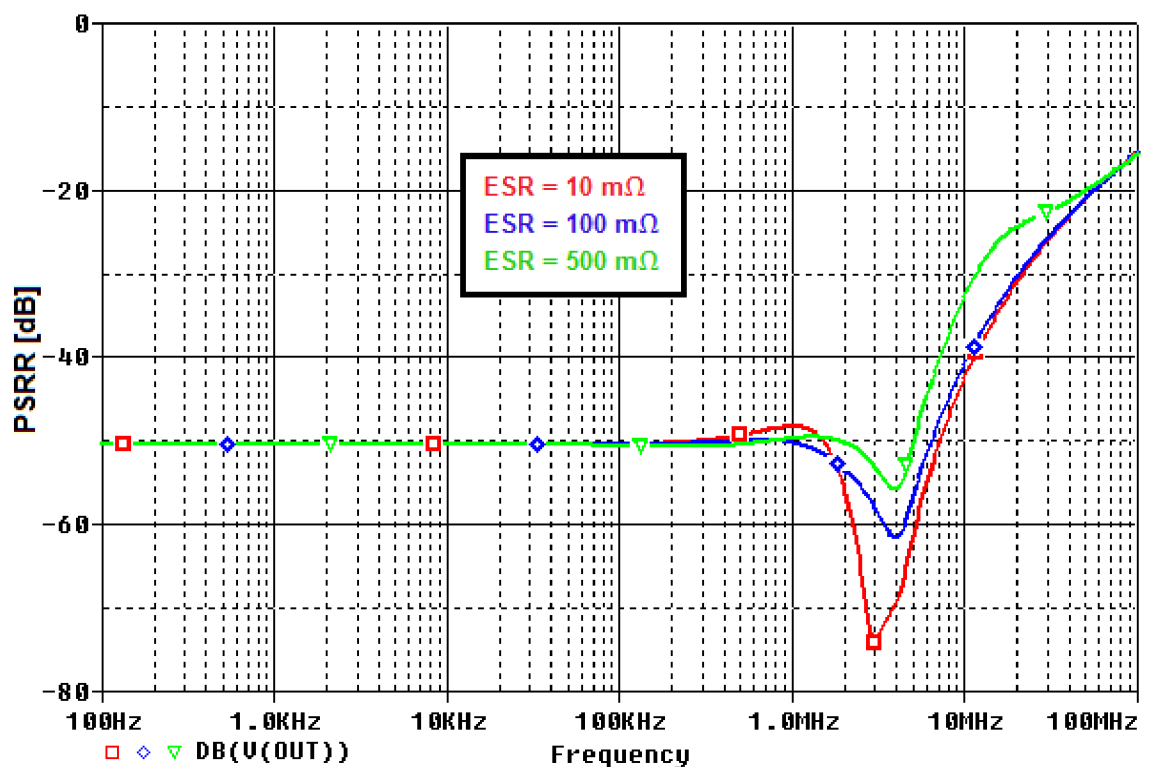
$$PSRR_{CESTA3} \approx \frac{PSRR_{REF}}{\beta} = \frac{0,001}{0,5} = 0,002, \quad (4.18)$$

$$PSRR = 10^{\left(\frac{PSRR_{dB}}{20}\right)} = 10^{\left(\frac{-50,5}{20}\right)} = 0,003, \quad (4.19)$$

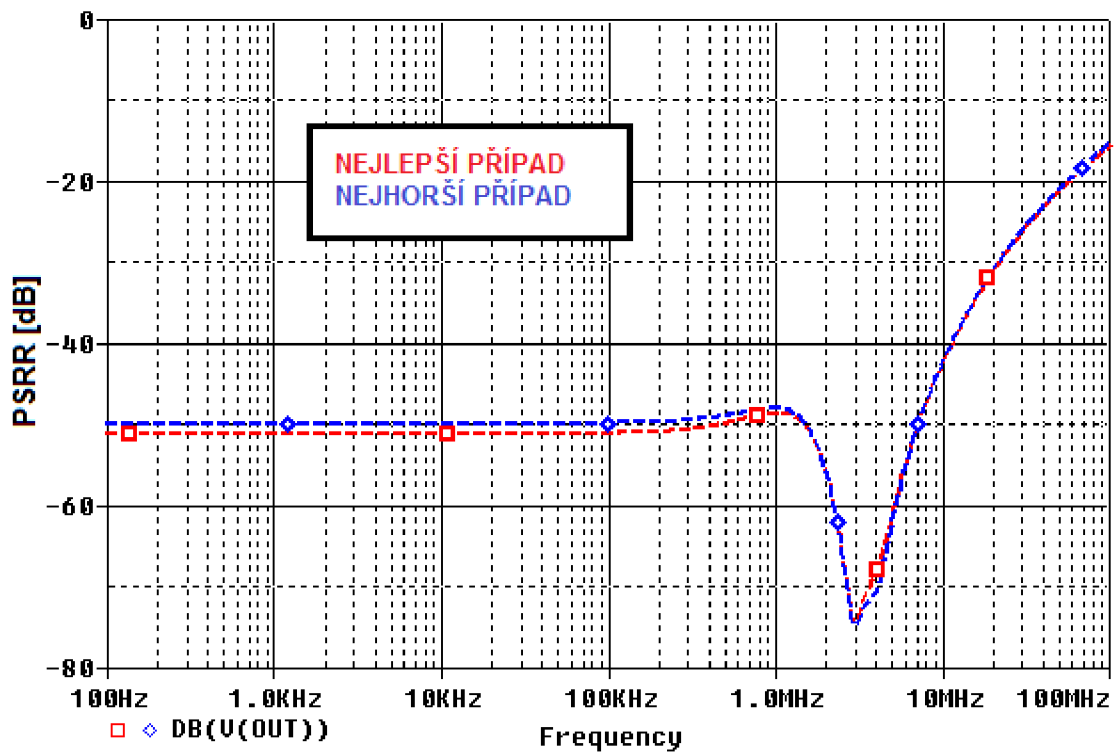
$$\begin{aligned} PSRR_{dB} &= 20 \cdot \log(PSRR + PSRR_{CESTA3}) = 20 \cdot \log(0,003 + 0,002) = \\ &= -46 \text{ dB}, \end{aligned} \quad (4.20)$$



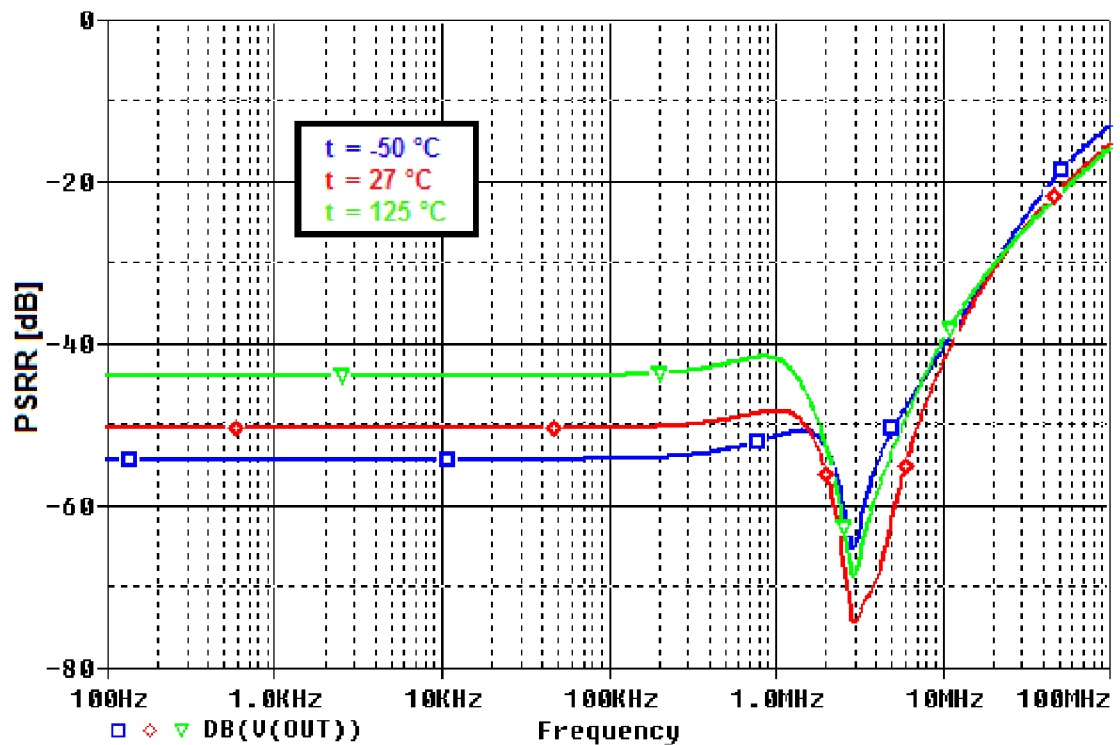
Obr. 4.14: PSRR LDO1 pro $I_{ZATEZ} = 100 \text{ mA}$; 0 A .



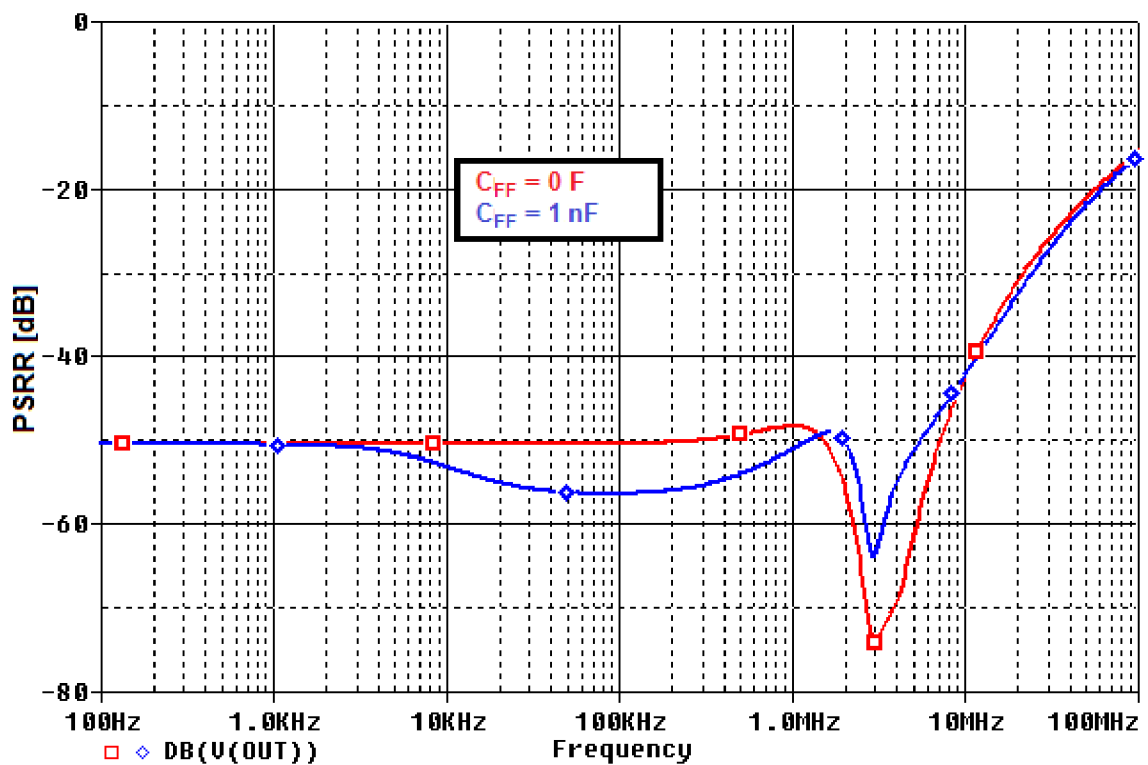
Obr. 4.15: PSRR LDO1 s proudovou vazbou 1 pro $I_{ZATEZ} = 100 \text{ mA}$, $ESR = 10 \text{ m}\Omega$, $100 \text{ m}\Omega$, $500 \text{ m}\Omega$.



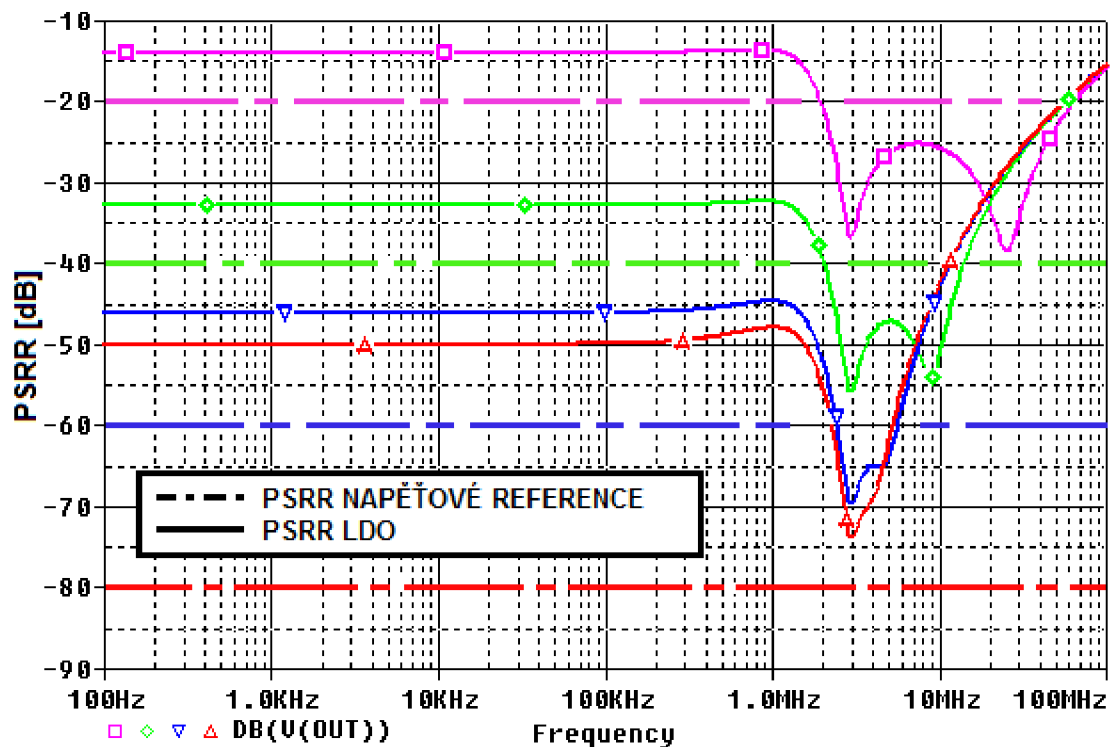
Obr. 4.16: PSRR LDO1, $I_{ZATEZ} = 100$ mA, nejhorší a nejlepší případ.



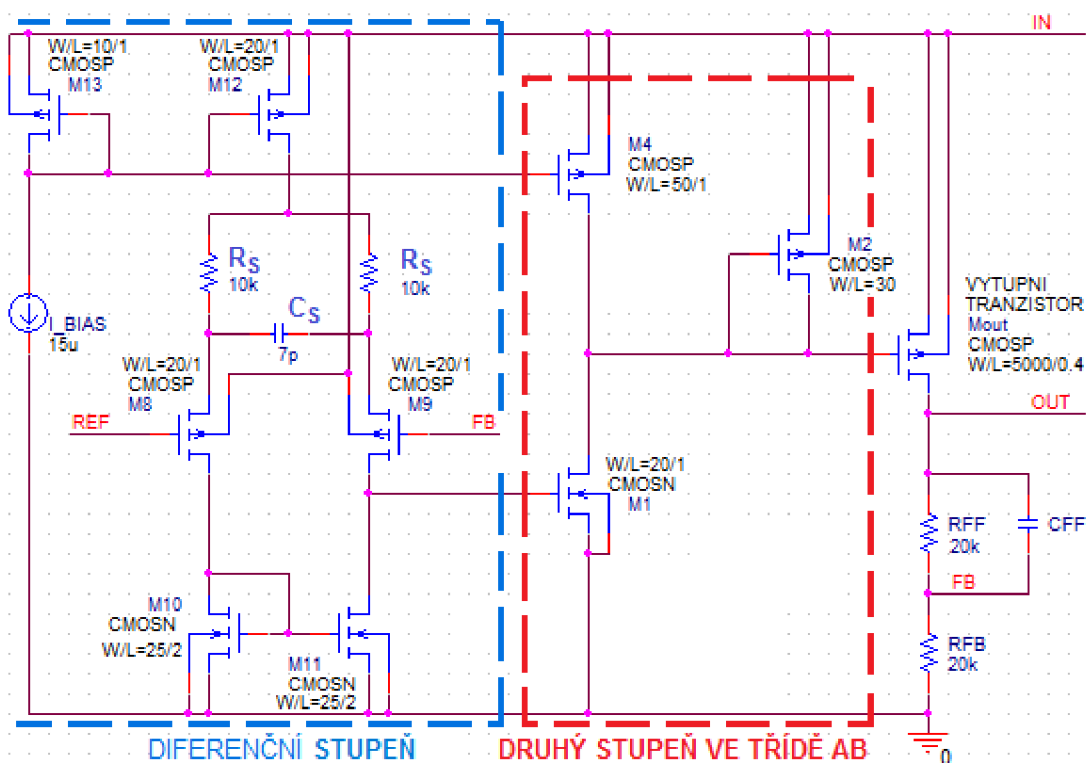
Obr. 4.17: PSRR LDO5 pro $I_{ZATEZ} = 100$ mA, $t = -50$ °C; 27 °C; 125 °C.



Obr. 4.18: PSRR LDO2, $I_{ZATEZ} = 100 \text{ mA}$, $C_{FF} = 0 \text{ F}$; 1 nF .

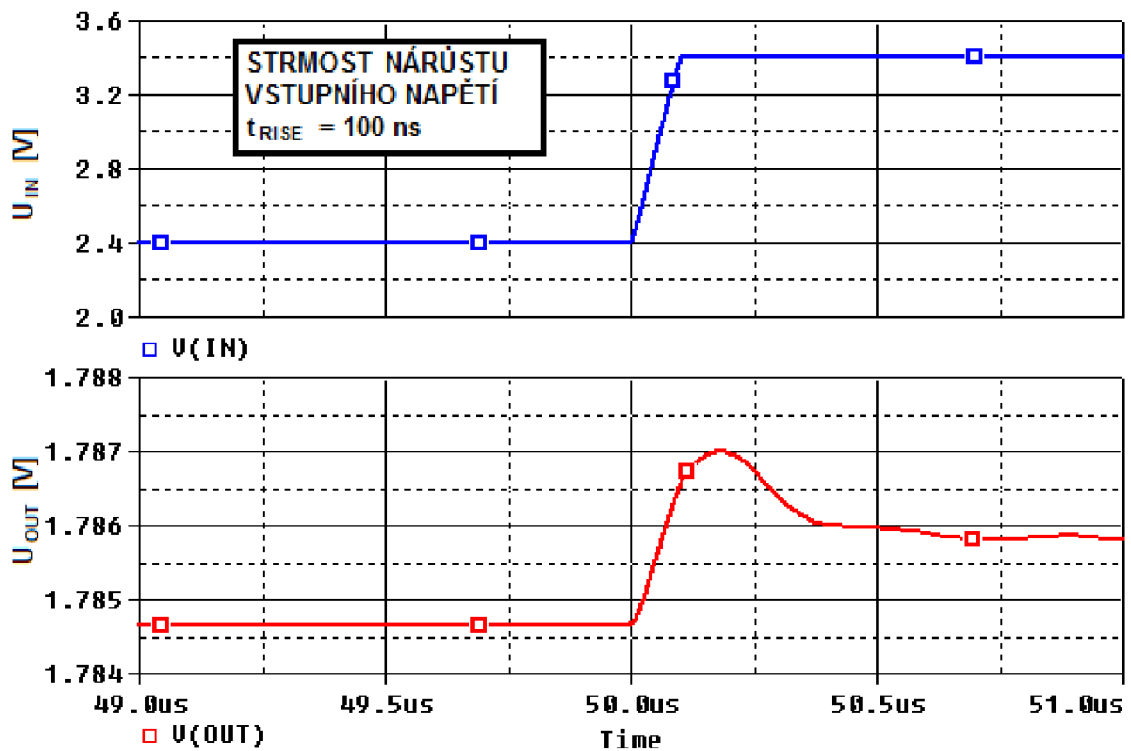


Obr. 4.19: PSRR LDO1 pro $I_{ZATEZ} = 100 \text{ mA}$, vliv neideální napěťové reference na PSRR LDO, $PSRR_{REF} = -40 \text{ dB}$; -60 dB ; -80 dB .

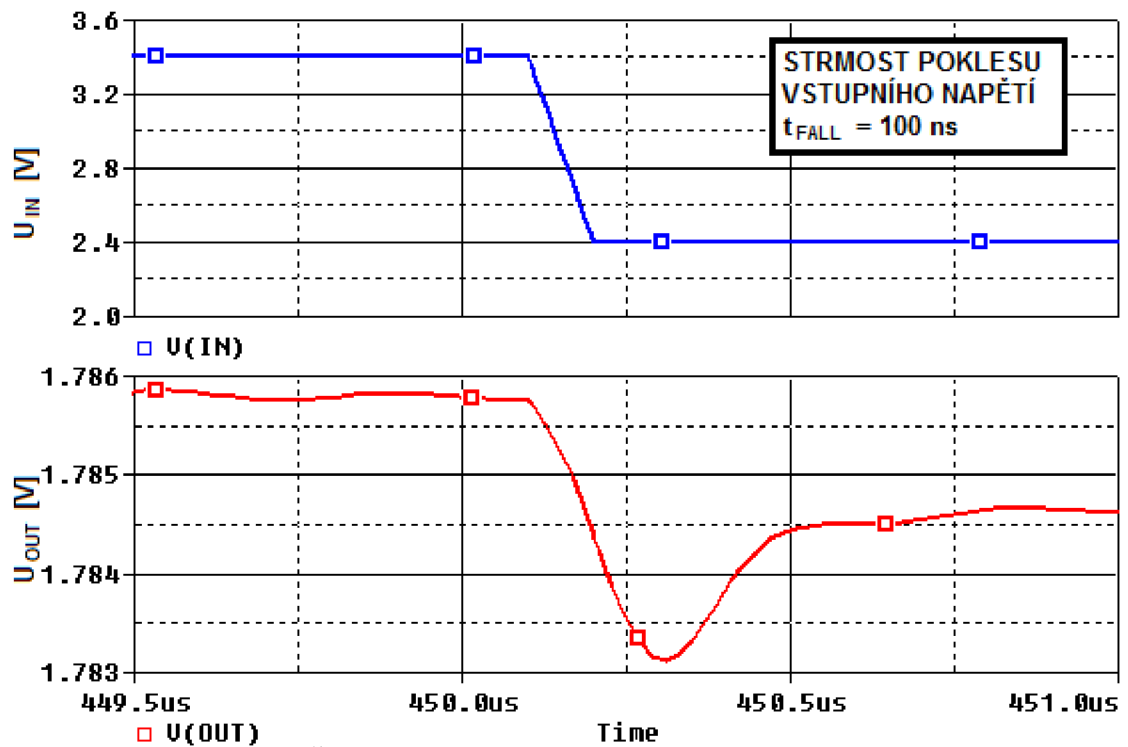


Obr. 4.20: Celkové schéma LDO1.

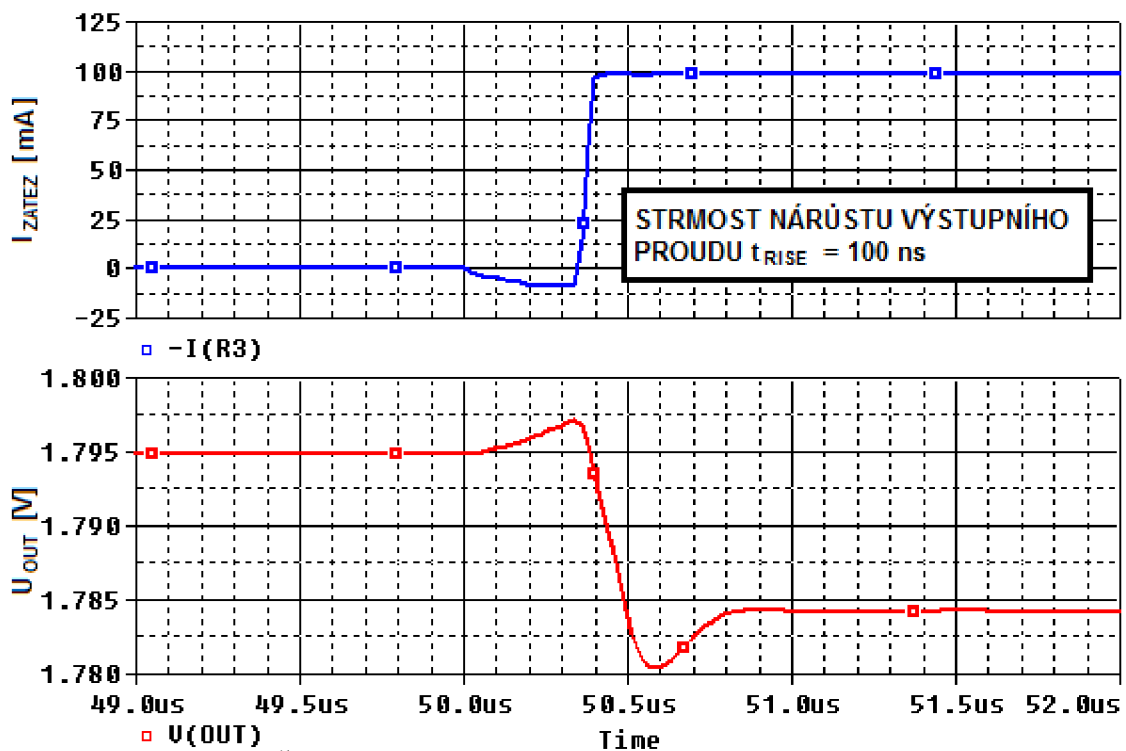
Parametry W/L všech tranzistorů a ostatních součástek (rezistory, kondenzátory a zdroje proudu) jsou sepsány v tab. 4.1. Dosažené parametry jsou shrnuty v tab. 4.2. Parametr rozptyl výstupního napětí U_{OUT_TOL} je určen tolerancí $\pm 3\%$ rozměrů W a L všech tranzistorů, hodnot rezistorů a kondenzátorů, stejným způsobem je simulováno i PSRR pro nehorší a nejlepší případ na obr. 4.16. Pouze součástky se stejnou hodnotou jsou simulovány se vzájemným rozptylem 1 %, tj. rezistory R_S , R_{FF} , R_{FB} a tranzistory v diferencním stupni, tj. M_8 , M_9 , M_{10} , M_{11} .



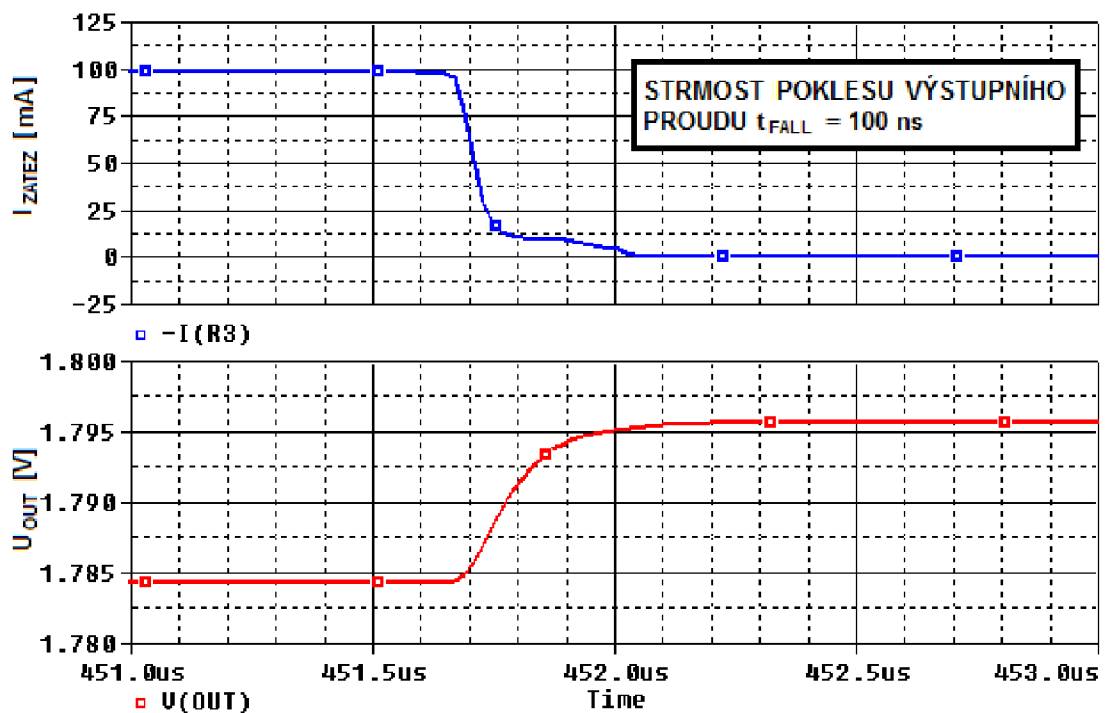
Obr. 4.21: Časová přechodná odezva LDO1 pro $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$.



Obr. 4.22: Časová přechodná odezva LDO1 pro $U_{IN} = 3,4 \text{ V} \rightarrow 2,4 \text{ V}$.



Obr. 4.23: Časová přechodná odezva LDO1 pro $I_{ZATEZ} = 0$ mA \rightarrow 100 mA.



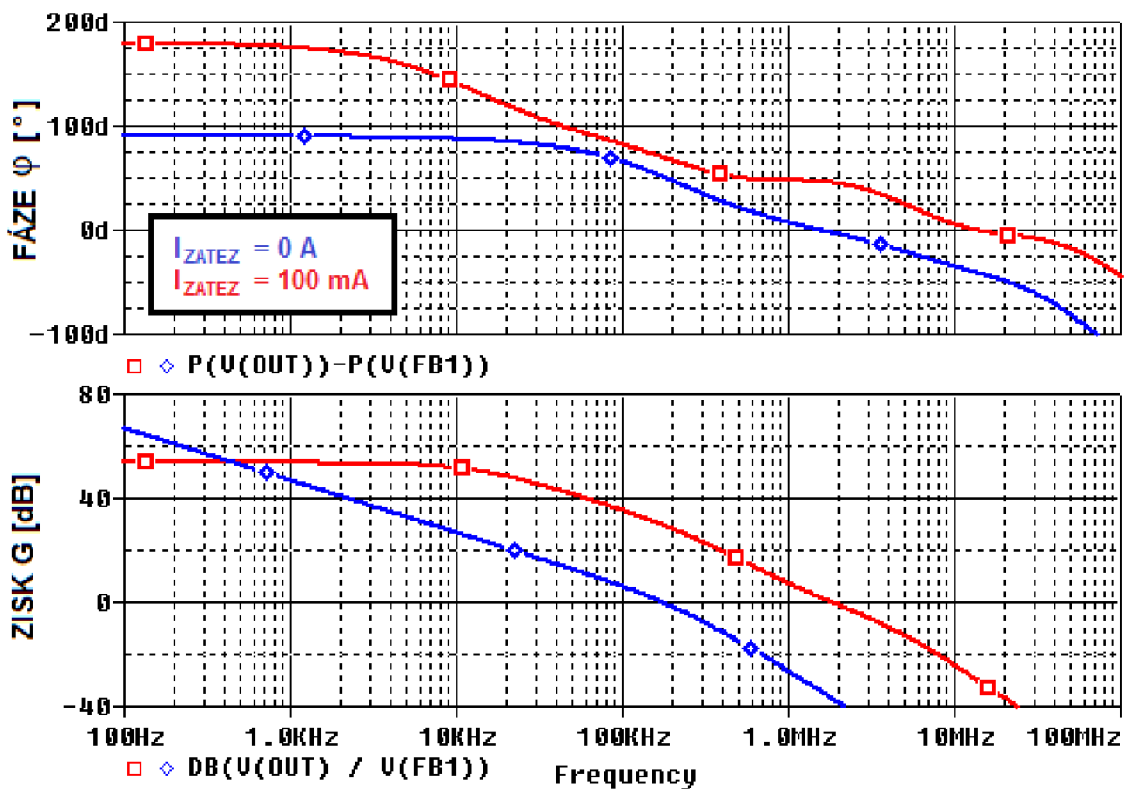
Obr. 4.24: Časová přechodná odezva LDO1 pro $I_{ZATEZ} = 100$ mA \rightarrow 0 mA.

Tab. 4.4.1: Rozměry tranzistorů LDO1.

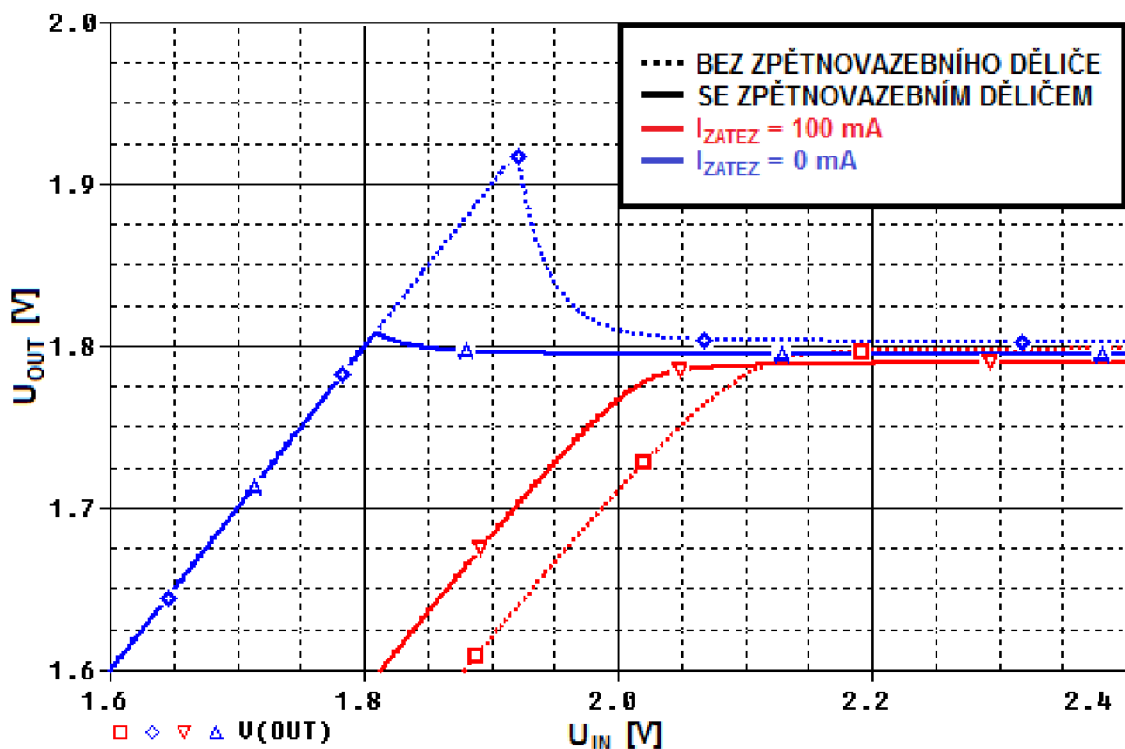
Tranzistor	Hodnota W/L [μm]
M_{OUT}	5000/0,4
M_1	30/1
M_2	20 / 1
M_4	10/ 2
M_8, M_9	20 / 1
M_{10}, M_{11}, M_{12}	25 / 2
M_{13}	10 / 1
Součástka	Hodnota
R_S	10 $\text{k}\Omega$
R_{FF}	20 $\text{k}\Omega$
R_{FB}	20 $\text{k}\Omega$
C_S	7 pF
I_{BIAS}	15 μA
Simulační podmínky : $U_{\text{IN}} = 2,4 \text{ V}$, $t = 27 \text{ }^\circ\text{C}$	

Tab. 4.4.2: Parametry navrženého LDO1.

Parametr	Hodnota
Výstupní napětí U_{OUT} [V]	1,8
Rozptyl výstupního napětí $U_{\text{OUT_TOL}}$ [mV]	± 12
Referenční napětí [V]	0,9
Ubýtek napětí na LDO U_{DROP} [mV]	154
Vstupní napěťový rozsah $U_{\text{IN_ROZSAH}}$ [V], $I_{\text{ZATEZ}} = 100 \text{ mA}$	1,96 až 4
Klidový proud I_Q [μA],	170
Zemní proud I_{GND} [μA], $I_{\text{ZATEZ}} = 100 \text{ mA}$.	350
$\Delta U_{\text{OUT}} / \Delta U_{\text{IN}}$ [mV/V]	1
$\Delta U_{\text{OUT}} / \Delta I_{\text{ZATEZ}}$ [V/A]	0,16
Rozsah ESR [$\text{m}\Omega$], $C_{\text{OUT}} = 1 \text{ }\mu\text{F}$.	10 až 500

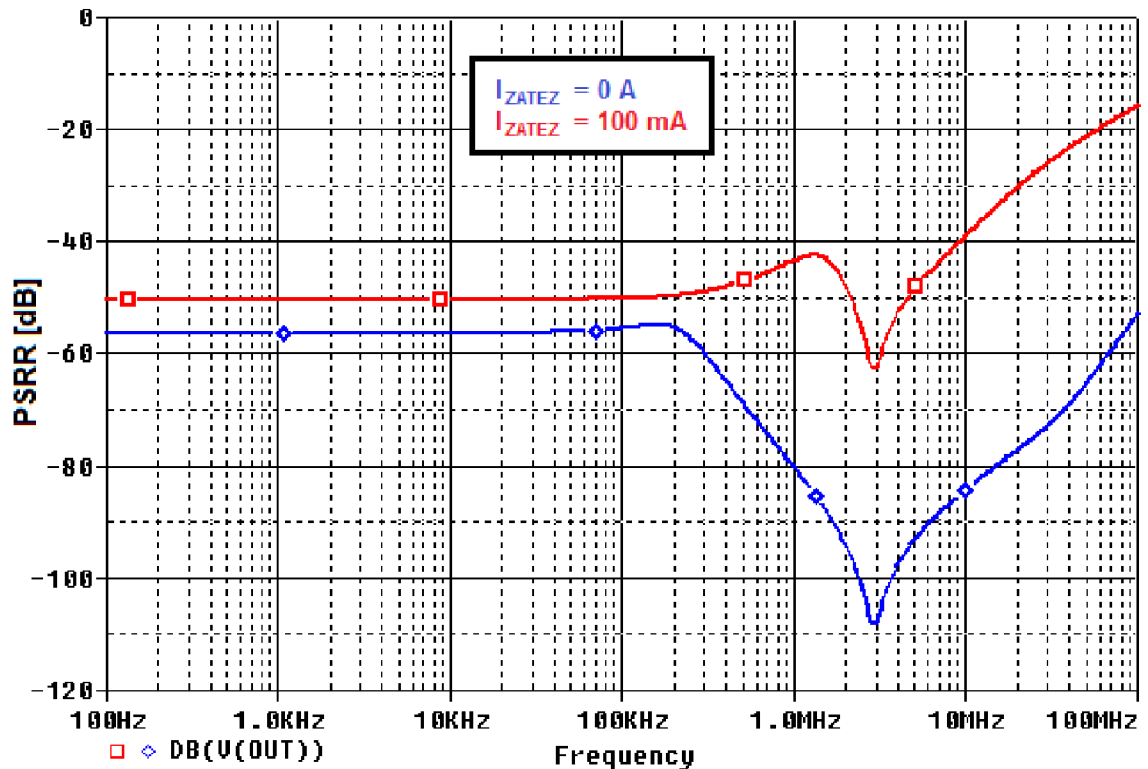


Obr. 4.26: Zisk a fáze LDO2 pro $I_{ZATEZ} = 100$ mA; 0A.



Obr. 4.27: Převodní charakteristika LDO2.

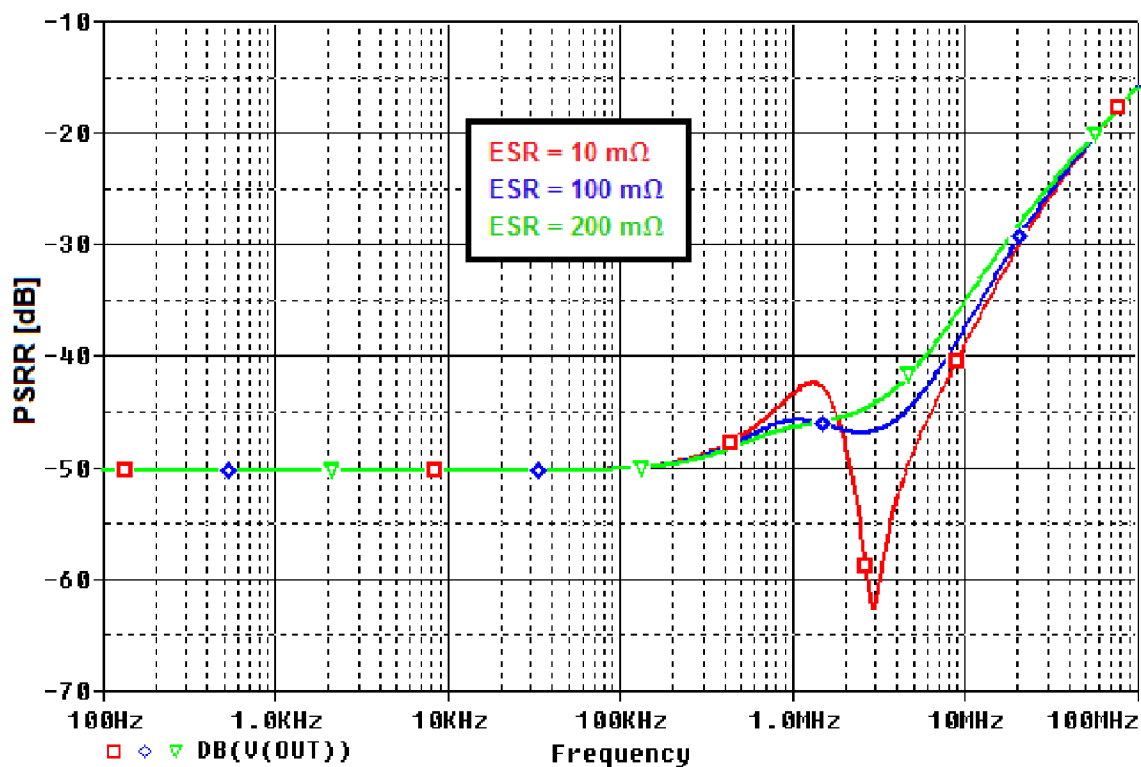
Z převodní charakteristiky na obr. 4.27 je zřejmé, že po překročení meze kdy se vstupní napětí rovná výstupnímu, je výstupní tranzistor M_{OUT} stále plně otevřen. Tento překmit v převodní charakteristice lze odstranit zvýšením proudu $I_{D,M4}$. Nicméně výhodnější způsob je použití zpětnovazebního děliče, jehož přenos β je blízký hodnotě 1, a to kvůli minimálnímu zhoršení PSRR. Tento způsob je výhodnější jelikož nedochází ke zvýšení klidového a zemního proudu. Je použit zpětnovazební dělič s rezistory $R_{FF} = 6 \text{ k}\Omega$ a $R_{FB} = 50 \text{ k}\Omega$. Přenos $\beta = 0,89$. Referenční napětí je 1,6 V.



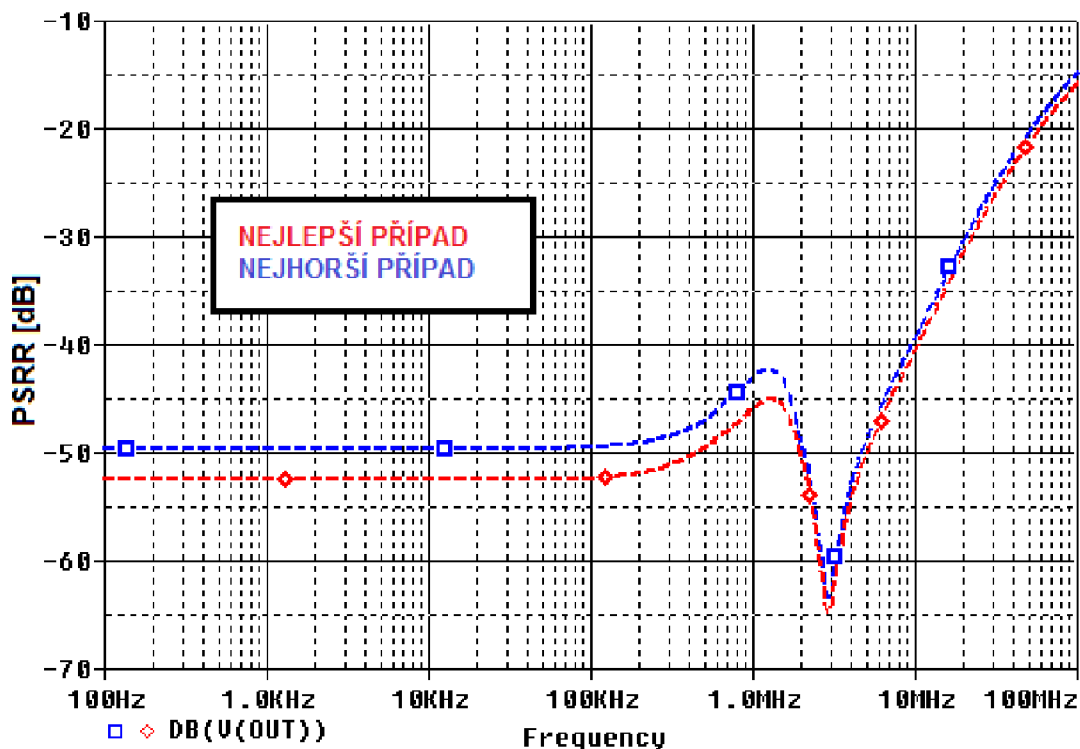
Obr. 4.28: PSRR LDO1 s druhým stupněm 1 a 2 pro $I_{ZATEZ} = 100 \text{ mA}$; 0 A .

Na obr. 4.32 je vidět vliv neideální napěťové reference. Výsledné PSRR simulované s neideální referencí je potvrzeno výpočtem (5.21), tj. -45,2 dB.

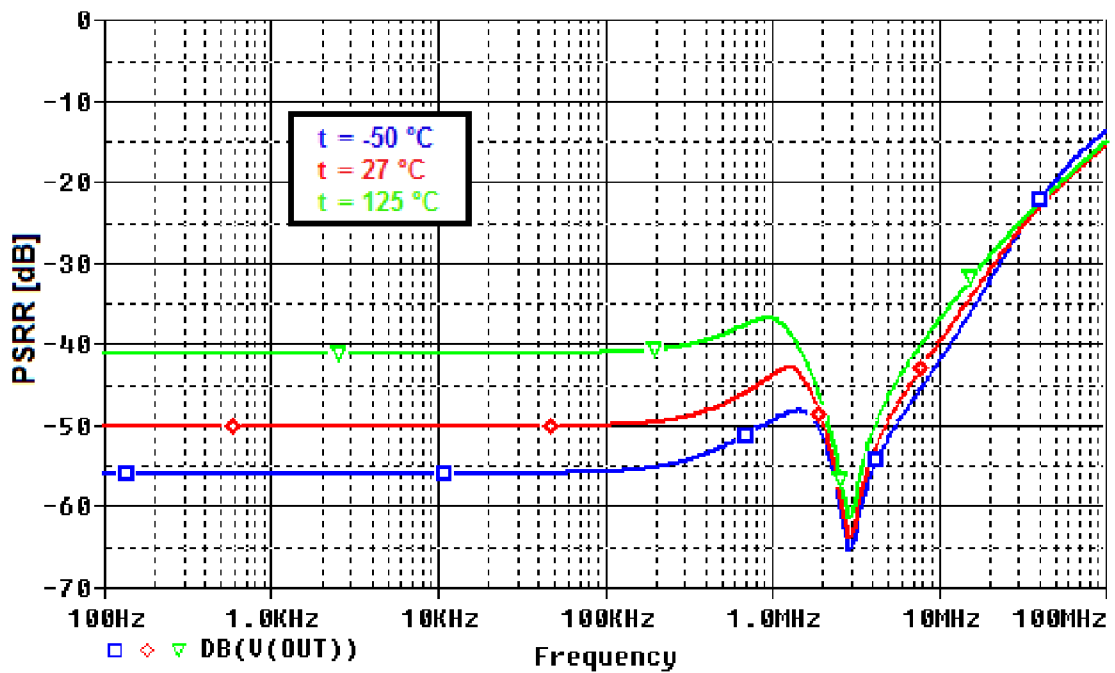
$$\begin{aligned} \text{PSRR}_{\text{dB}} &= 20 \cdot \log(\text{PSRR} + \text{PSRR}_{\text{CESTA3}}) = 20 \cdot \log(0,00316 + 0,00112) = \\ &= -45,2 \text{ dB}, \end{aligned} \quad (4.22)$$



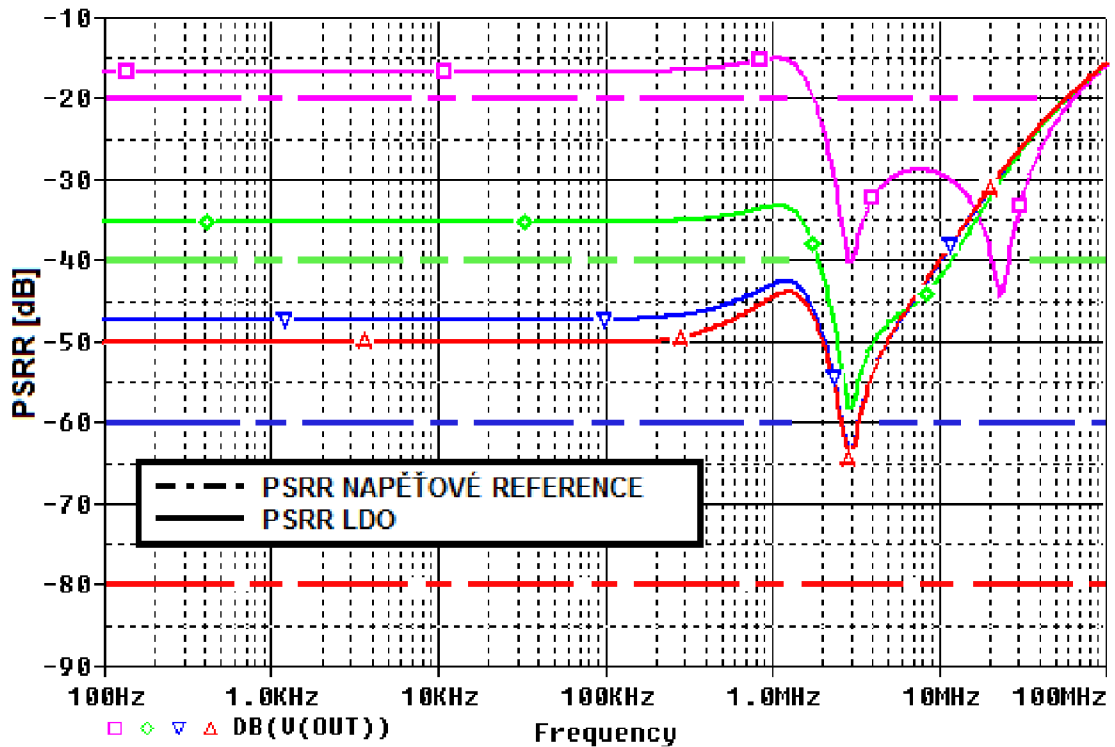
Obr. 4.29: PSRR LDO1 s proudovou vazbou 1 pro $I_{ZATEZ} = 100$ mA, ESR = 10 mΩ, 100 mΩ, 200 mΩ.



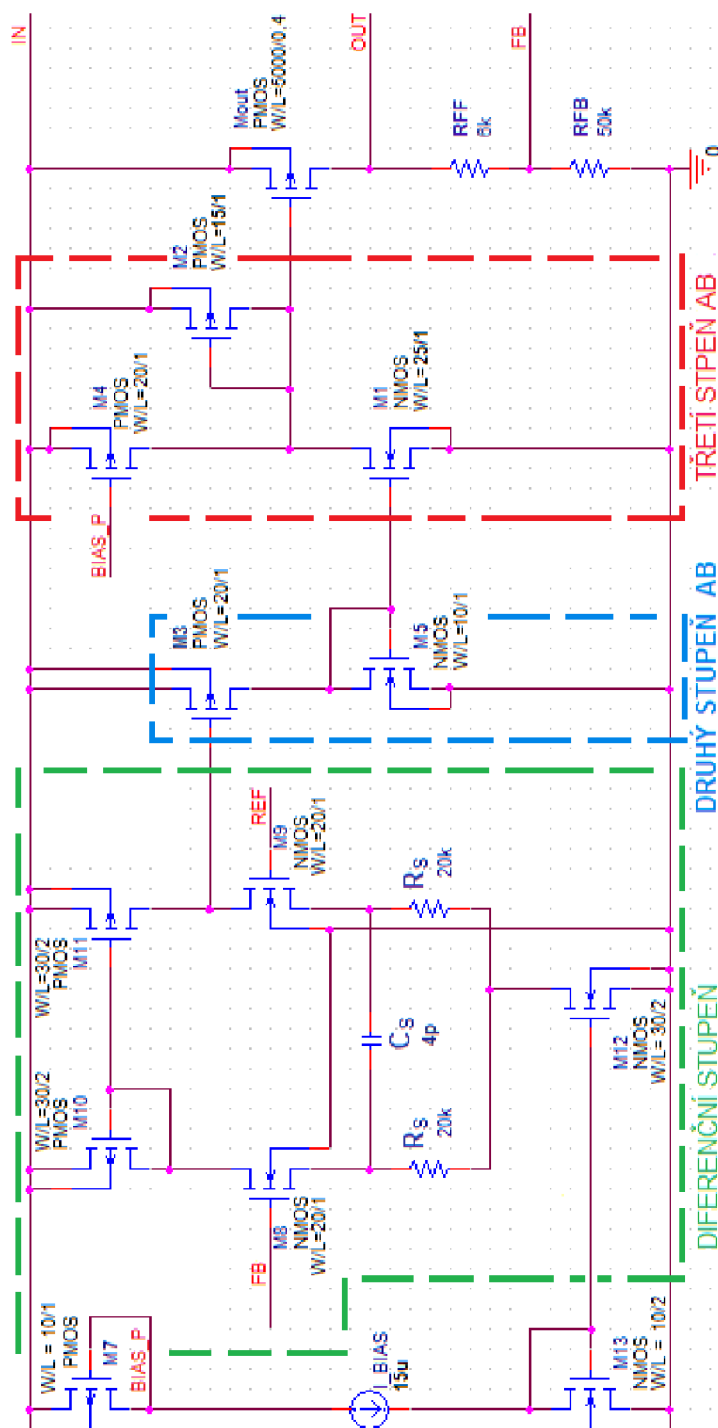
Obr. 4.30: PSRR LDO2, $I_{ZATEZ} = 100$ mA, nejhorší a nejlepší případ.



Obr. 4.31: PSRR LDO5 pro $I_{ZATEZ} = 100 \text{ mA}$, $t = -50 \text{ }^\circ\text{C}; 27 \text{ }^\circ\text{C}; 125 \text{ }^\circ\text{C}$.

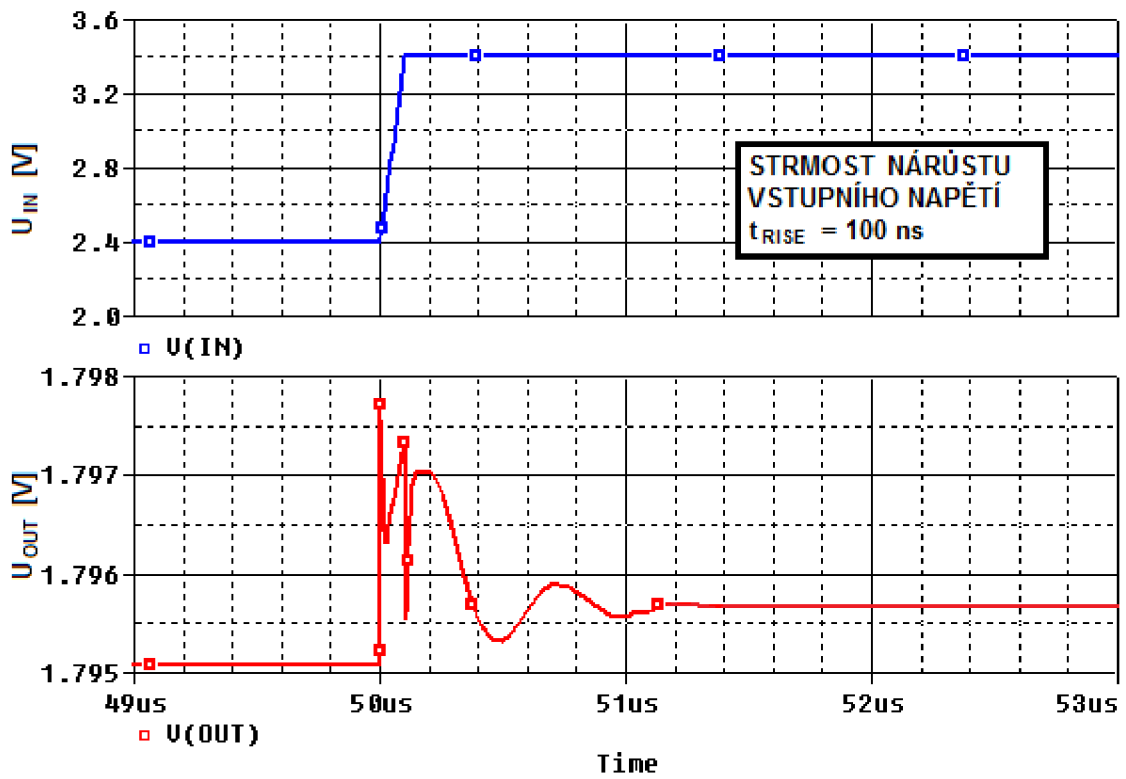


Obr. 4.32: PSRR LDO2 pro $I_{ZATEZ} = 100 \text{ mA}$, vliv neideální napěťové reference na PSRR LDO, $PSRR_{REF} = -20 \text{ dB}; -40 \text{ dB}; -60 \text{ dB}; -80 \text{ dB}$.

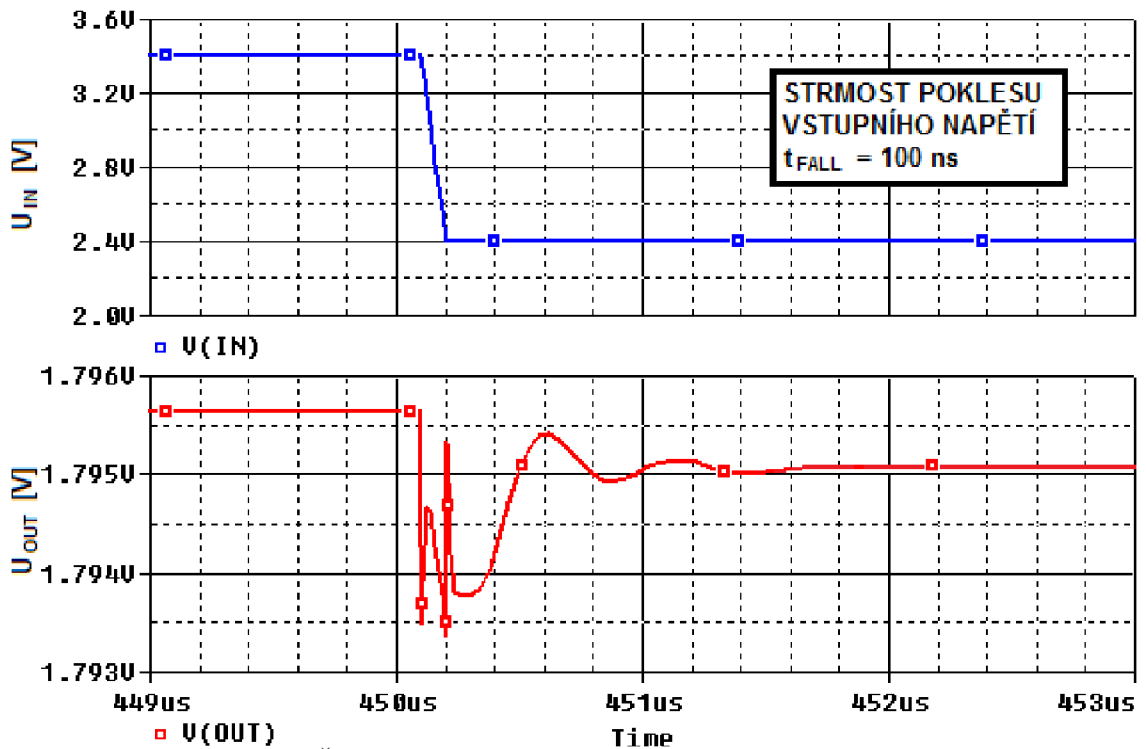


Obr. 4.33: Celkové schéma LDO2.

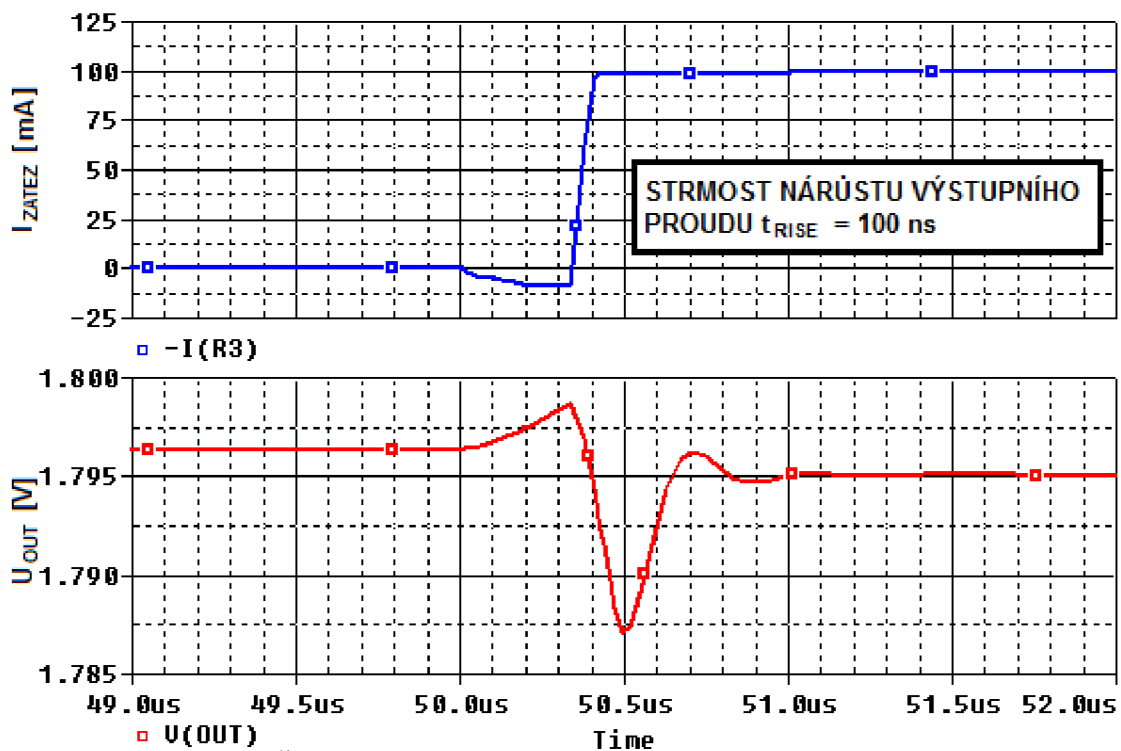
Parametry W/L všech tranzistorů a ostatních součástek (odpory, kondenzátory a zdroje proudu) jsou sepsány v tab. 4.3. Dosažené parametry jsou shrnuty v tab. 4.4. Parametr rozptyl výstupního napětí U_{OUT_TOL} je určen tolerancí 3% rozměrů W a L všech tranzistorů, hodnotou rezistorů a kondenzátorů, stejným způsobem je simulováno i $PSRR$ pro nehorší a nejlepší případ na obr. 4.30. Jelikož rezistory R_{FB} a R_{FF} zde nemají stejnou hodnotu, se vzájemným rozptylem 1% jsou simulovány pouze rezistory R_S a tranzistory v diferencním stupni, tj. M_8 , M_9 , M_{10} , M_{11} .



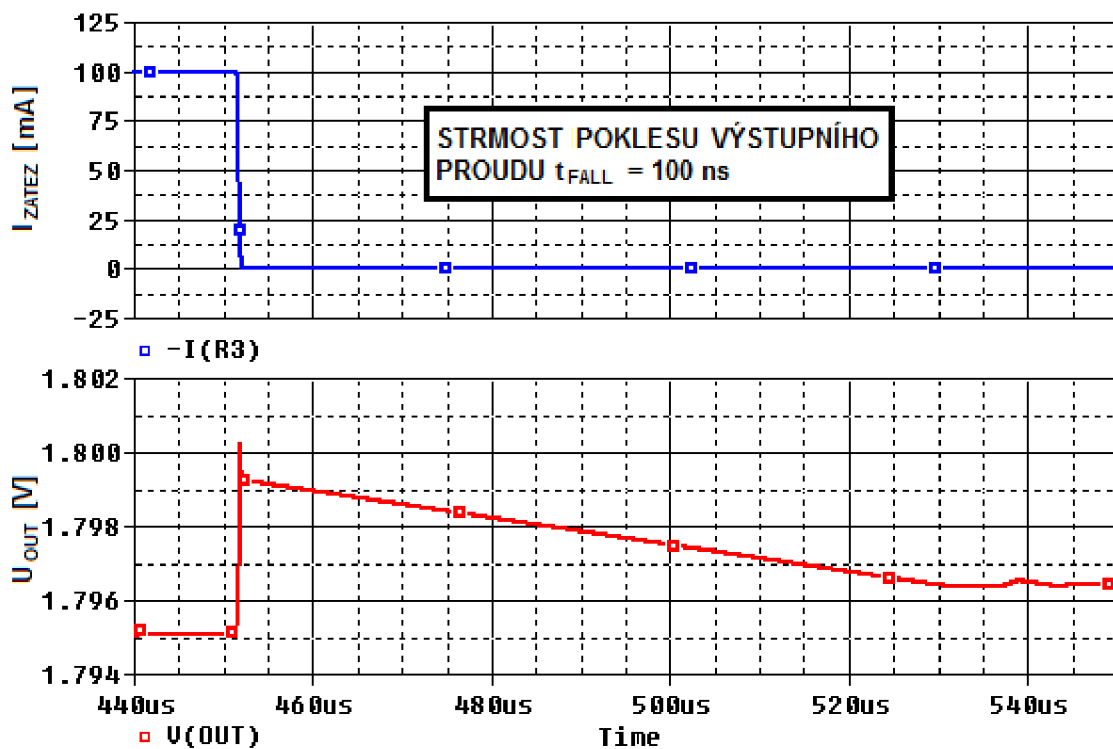
Obr. 4.34: Časová přechodná odezva LDO2 pro $U_{IN} = 2,4$ V \rightarrow 3,4 V.



Obr. 4.35: Časová přechodná odezva LDO2 pro $U_{IN} = 3,4$ V \rightarrow 2,4 V.



Obr. 4.36: Časová přechodná odezva LDO2 pro $I_{ZATEZ} = 0$ mA \rightarrow 100 mA.



Obr. 4.37: Časová přechodná odezva LDO2 pro $I_{ZATEZ} = 100$ mA \rightarrow 0 mA.

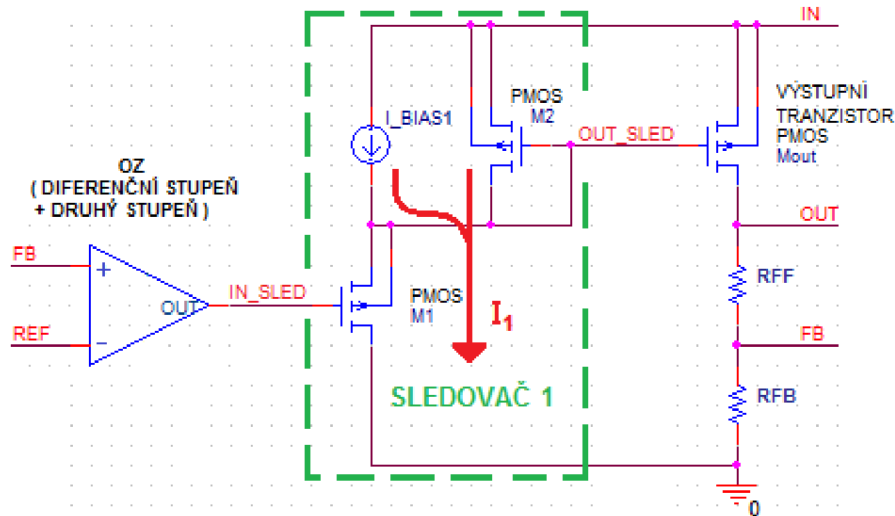
Tab. 4.3: Rozměry tranzistorů LDO2.

Tranzistor	Hodnota W/L [μm]
M_{OUT}	5000/0,4
M_1	25/1
M_2	15 / 1
M_3, M_4, M_8, M_9	20/ 1
M_5, M_6, M_7, M_{13}	10 / 1
M_{10}, M_{11}	30 / 2
M_{12}	60 / 2
M_{13}	20 / 2
Součástka	Hodnota
R_S	20 k Ω
R_{FF}	50 k Ω
R_{FB}	6 k Ω
C_S	4 pF
I_{BIAS}	15 μA
Simulační podmínky : $U_{\text{IN}} = 2,4 \text{ V}$, $t = 27 \text{ }^\circ\text{C}$	

Tab. 4.4: Parametry navrženého LDO2.

Parametr	Hodnota
Výstupní napětí U_{OUT} [V]	1,8
Rozptyl výstupního napětí $U_{\text{OUT_TOL}}$ [mV]	± 40
Referenční napětí [V]	1,6
Ubytek napětí na LDO U_{DROP} [mV]	250
Vstupní napěťový rozsah $U_{\text{IN_ROZSAH}}$ [V], $I_{\text{ZATEZ}} = 100 \text{ mA}$	2,05 až 4
Klidový proud I_Q [μA],	155
Zemní proud I_{GND} [μA], $I_{\text{ZATEZ}} = 100 \text{ mA}$.	310
$\Delta U_{\text{OUT}} / \Delta U_{\text{IN}}$ [mV/V]	1
$\Delta U_{\text{OUT}} / \Delta I_{\text{ZATEZ}}$ [V/A]	0,05
Rozsah ESR [m Ω], $C_{\text{OUT}} = 1 \text{ } \mu\text{F}$.	10 až 200

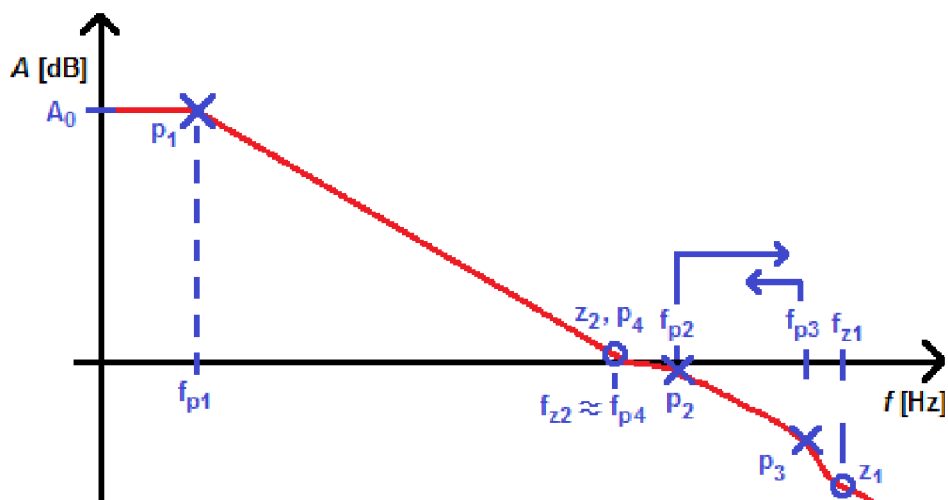
4.2 Napět'ový sledovač pro přímé řízení výstupního tranzistoru (LDO3)



Obr. 4.38: Principiální schéma metody se sledovačem 1.

Další možnost jak snížit odpor figurující v pólu p_2 je zařadit sledovač mezi hradlo výstupního tranzistoru M_{OUT} a výstup operačního zesilovače. Struktura sledovače 2 převzata ze zdroje [10]. Tranzistor M_1 ve funkci sledovače je v klidovém stavu napájen zdrojem proudu I_{BIAS} . Na obr. 4.38 je znázorněno principiální schéma. Proud I_I je dán vztahem (4.26). Pro správnou funkci sledovače, je nutné zapojit substrát tranzistoru M_1 na jeho source.

Jelikož tranzistor M_2 dodává proud tranzistoru M_1 , který je ve funkci sledovače, je možné použít OZ s diferenčním stupněm obsahujícím NMOS zesilovací tranzistory, ale i PMOS zesilovací tranzistory. Avšak pokud není požadavek na regulovatelnost výstupního napětí, kvůli nižšímu poměru PSRR je výhodnější použít diferenční pár s NMOS zesilovacími tranzistory.

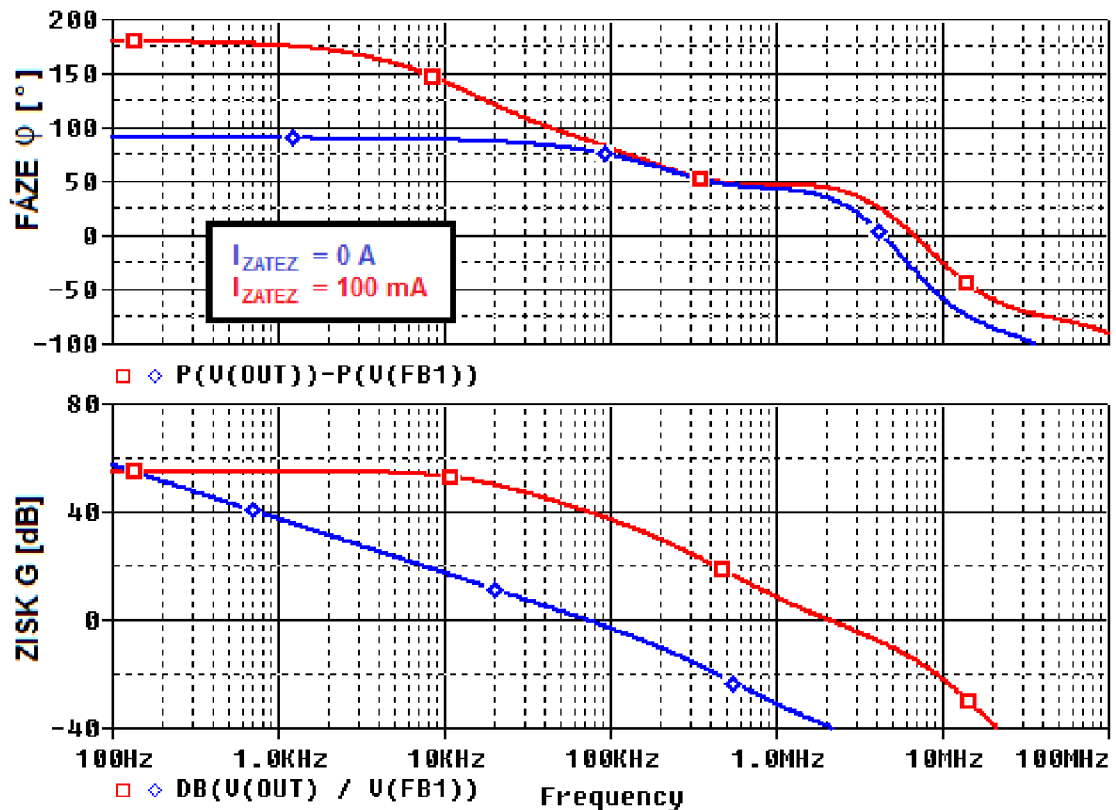


Obr. 4.39: Rozložení pólů a nul ve frekvenční charakteristice zisku.

Cílem metody je rozdělit pól f_{p2} (2.5). Parazitní kapacita $C_{GS,MOUT}$ je přes napájecí zdroj U_{IN} připojena na zem GND. Je zřejmé že, pól f_{p3} (4.27) tvoří výstupní odpor $R_{2,ST}$ (4.28) druhého stupně, výstupní kapacita $C_{2,ST}$ druhého stupně a vstupní kapacita $C_{IN,SLED}$ sledovače. V porovnání s parazitními kapacitami výstupního tranzistoru M_{OUT} je součet kapacit $C_{2,ST}$ a $C_{IN,SLED}$ menší, a pól f_{p3} je posunut do oblasti vyšších frekvencí. Pól f_{p2} (4.23) je nyní tvořen parazitní kapacitou C_{GS} výstupního tranzistoru M_{OUT} a výstupním odporem $R_{OUT,SLED}$ (4.24) sledovače. Kapacita $C_{GS,MOUT}$ je dána vztahy (4.1) a (4.2).

$$f_{p2} = \frac{1}{2 \cdot \pi \cdot R_{OUT,SLED} \cdot C_{GS,MOUT}} [\text{Hz}], \quad (4.23)$$

Jelikož sledovač má mnohonásobně nižší odpor než zesilovací stupeň, lze volit vyšší frekvenci pólu p_2 . Frekvence f_{p2} je volena 5 MHz, $R_{OUT,SLED1}$ pak vychází 3,9 k Ω , (4.24). Jelikož výstupní odpor sledovače l závisí na transkonduktancích tranzistorů M_1 a M_2 , pro první nastavení proudu je výstupní odpor vynásoben 2, pak proud tímto tranzistorem $I_1 \approx 65 \mu\text{A}$. Hodnota je dostavena na 95 μA , kvůli dostatečné fázové rezervě. Klidový proud I_1 volen 35 μA , a proud dodávaný tranzistorem M_2 60 μA .



Obr. 4.40: Zisk a fáze LDO3 se sledovačem 1.

$$R_{OUT_SLED_1} \approx \frac{1}{g_{m,M1} + g_{m,M2}} [\Omega], \quad (4.24)$$

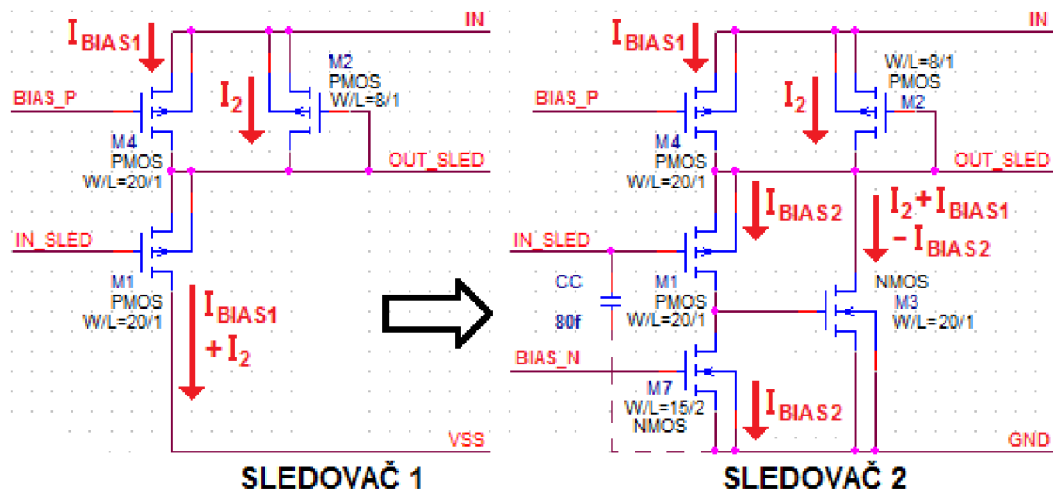
$$I_1 = \frac{1}{2 \cdot R_{OUT_SLED_1}^2 \cdot 2 \cdot KP \cdot \frac{W}{L}} [A], \quad (4.25)$$

$$I_{2_MAX} \approx \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{MOUT}} \cdot I_{ZATEZ_MAX} [A], \quad (4.26)$$

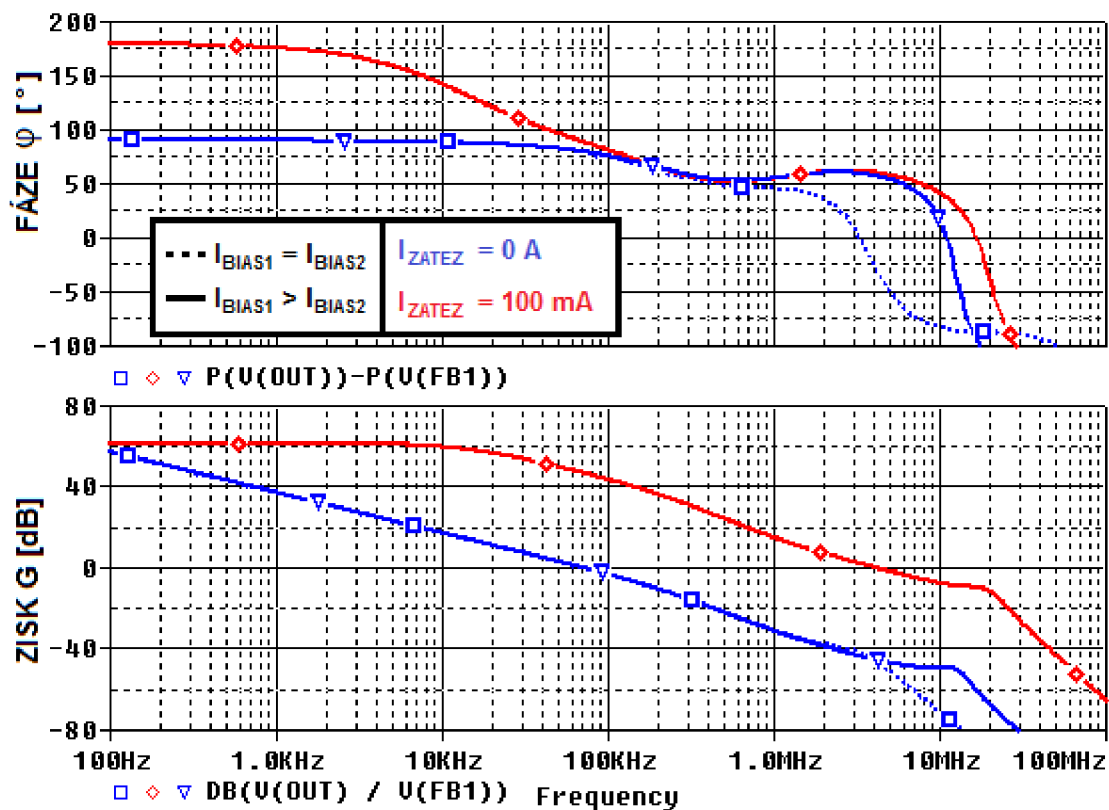
$$f_{P3} = \frac{1}{2 \cdot \pi \cdot R_{2,ST} \cdot (C_{OZ} + C_C + C_{IN_SLED})} [Hz], \quad (4.27)$$

$$R_{2,ST} = \frac{1}{I_{D,M12} \cdot \lambda_{M12} + I_{D,M19} \cdot \lambda_{M19}} [\Omega], \quad (4.28)$$

Fázová rezerva LDO se sledovačem 1 je 45° pro výstupní proud 100 mA, a 78° pro výstupní proud 0 A, obr. 4.40. Výstupní odpor sledovače lze ještě více snížit zapojením podle obr. 4.41. Tranzistor M_7 si lze představit jako pojistku, určuje jaká část proudu I_{BIAS1} poteče sledovačem M_1 . Pokud by se proud I_{BIAS1} rovnal proudu I_{BIAS2} , tak by v klidovém stavu, tj. $I_{ZATEZ} = 0A$, proud I_{BIAS1} protékal pouze tranzistorem M_1 . Tranzistor M_3 by tak byl vyřazen z činnosti, proto I_{BIAS2} je nastaven mírně nižší než I_{BIAS1} . Tranzistor M_3 je zesilovač, který sníží výstupní odpor sledovače svým zesílením A_{M3} . Výstupní odpor sledovače 2 je dán vztahem (4.29).



Obr. 4.41: Schema sledovače 3.



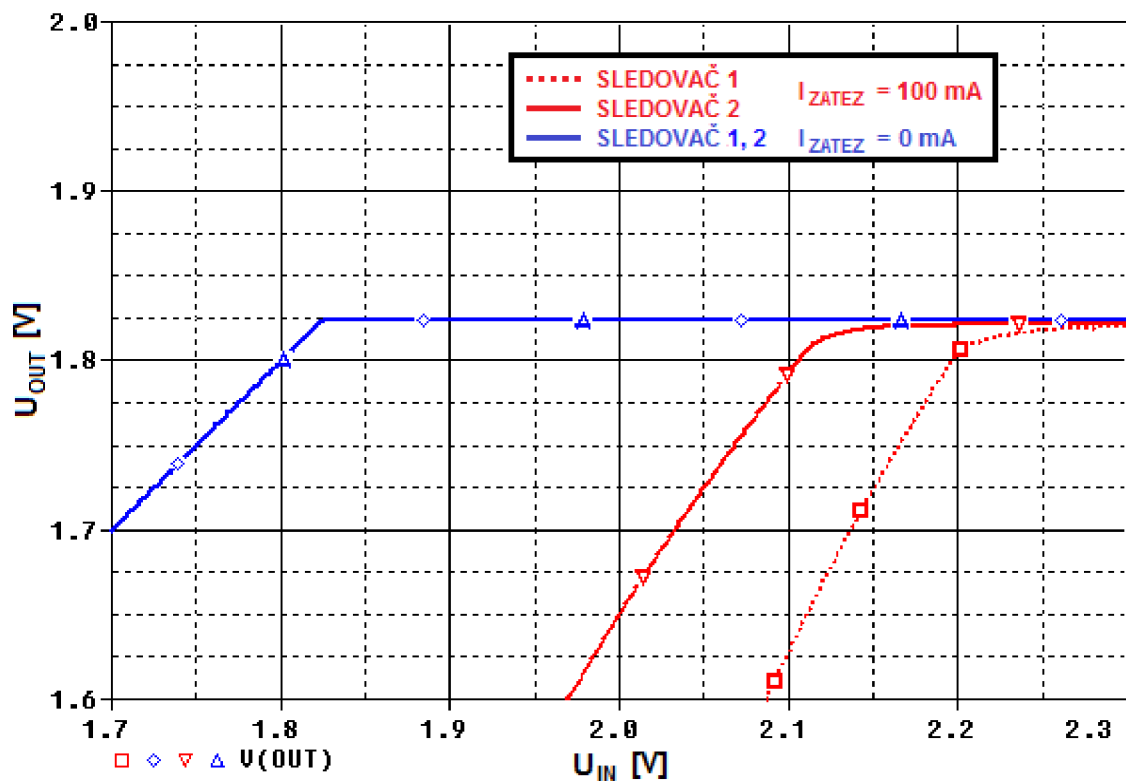
Obr. 4.42: Zisk a fáze otevřené smyčky LDO 3 pro $I_{ZATEZ} = 0$ A; 100 mA.

$$R_{OUT_SLED_2} = \frac{1}{g_{m,M1} \cdot A_{M3} + g_{m,M2}} = \frac{1}{g_{m,M1} \cdot g_{m,M3} \cdot R_{OUT,M1} + g_{m,M2}} = \frac{1}{g_{m,M3} + g_{m,M2}} \quad [\Omega], (4.29)$$

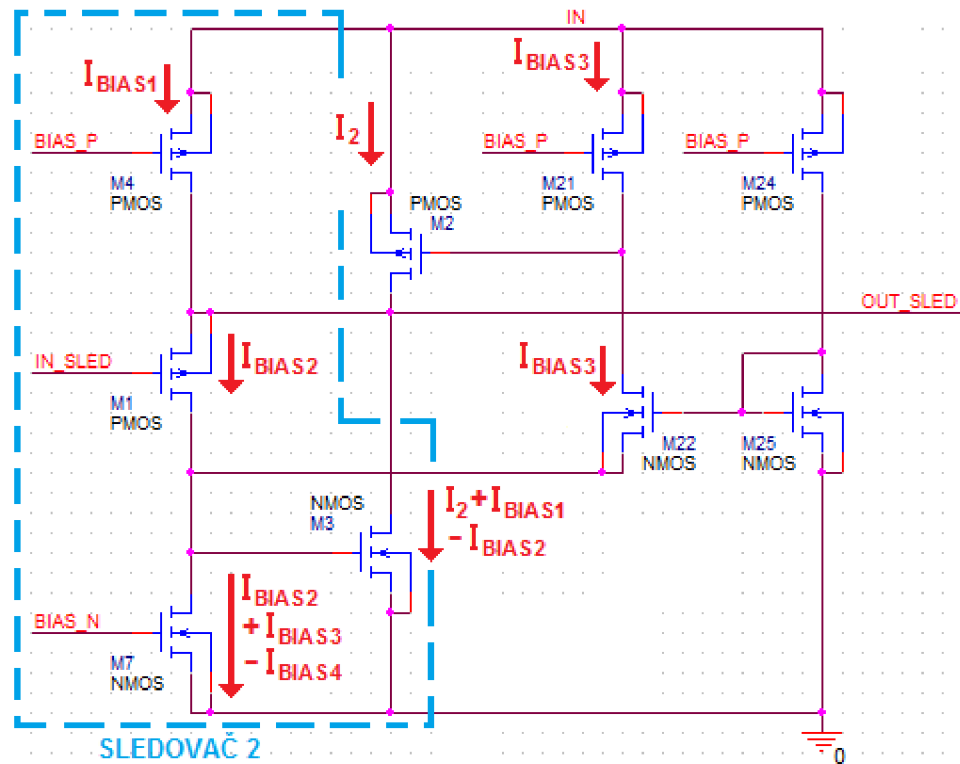
Jedinou nevýhodou popisované struktury LDO3 se sledovačem 2 je nízký rozsah ESR, pro které je LDO stabilní. Jestliže je připojen kondenzátor s vyšším ESR, např. 100 m Ω , frekvence f_{Z1} se sníží, a navýší se zisk v oblasti vyšších frekvencí, tím pádem klesne fázová rezerva k nule. Proto je přidána na vstup sledovače kompenzační kapacita $C_C = 80$ pF. Nyní je nula z_1 pro nižší ESR, např. 10 m Ω , vykompenzována pólem p_2 . Pro vyšší ESR, maximálně 100 m Ω , je nula z_1 vykompenzována pólem p_3 . Přesun pólů je znázorněn na obr. 4.39, použitím sledovače 2 je f_{p2} zvýšena, a použitím kapacity C_C je f_{p3} snížena.

S použitím sledovače 1 kompenzační kapacita C_C není třeba, jelikož pól p_2 sledovače se nachází na nižší frekvenci a pól p_3 na vyšší frekvenci, nula z_1 je opět vykompenzována.

Použitím sledovače 2 je i výrazně sníženo minimální vstupní napětí při výstupním proudu $I_{ZATEZ} = 100$ mA z 2,2 V na 2,11 V, obr. 5.42.



Obr. 4.43: Minimální vstupní napětí U_{IN} LDO se sledovačem 1 a 2 pro $I_{ZATEZ} = 0$ A a $I_{ZATEZ} = 100$ mA.

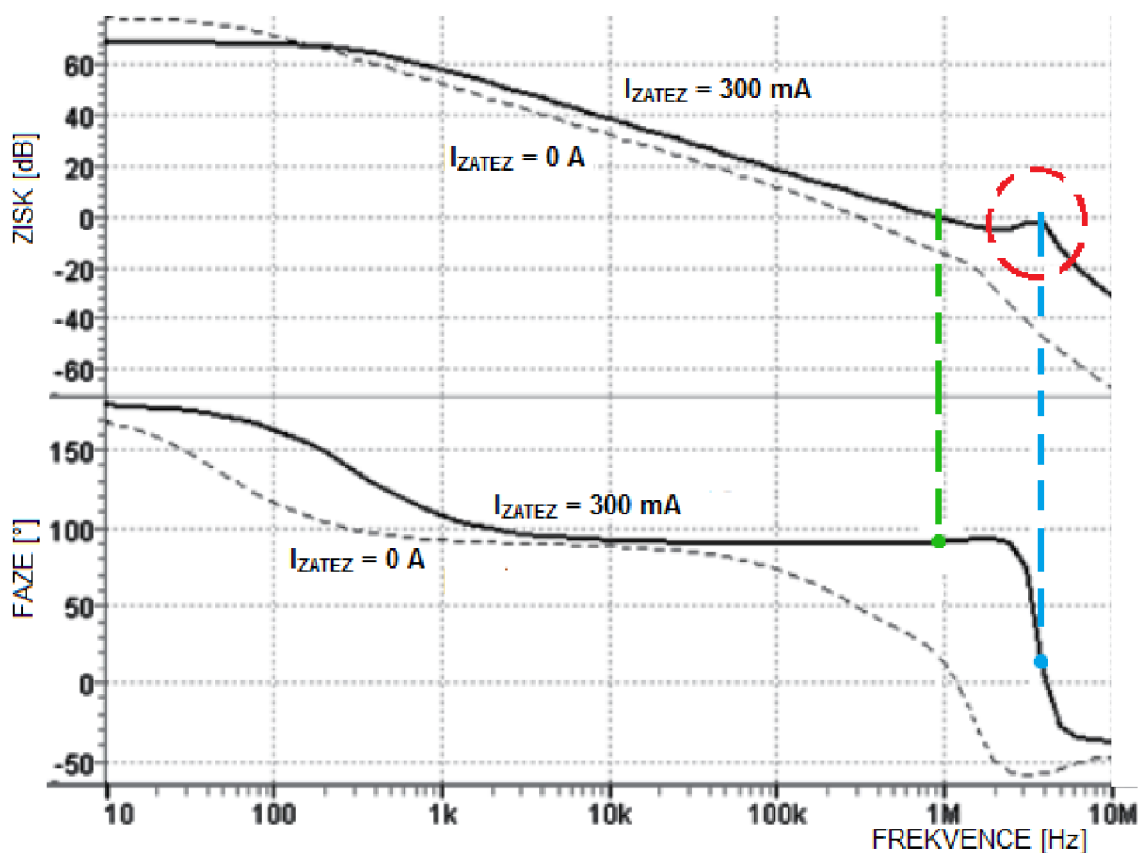


Obr. 4.44: Schéma sledovače 3.

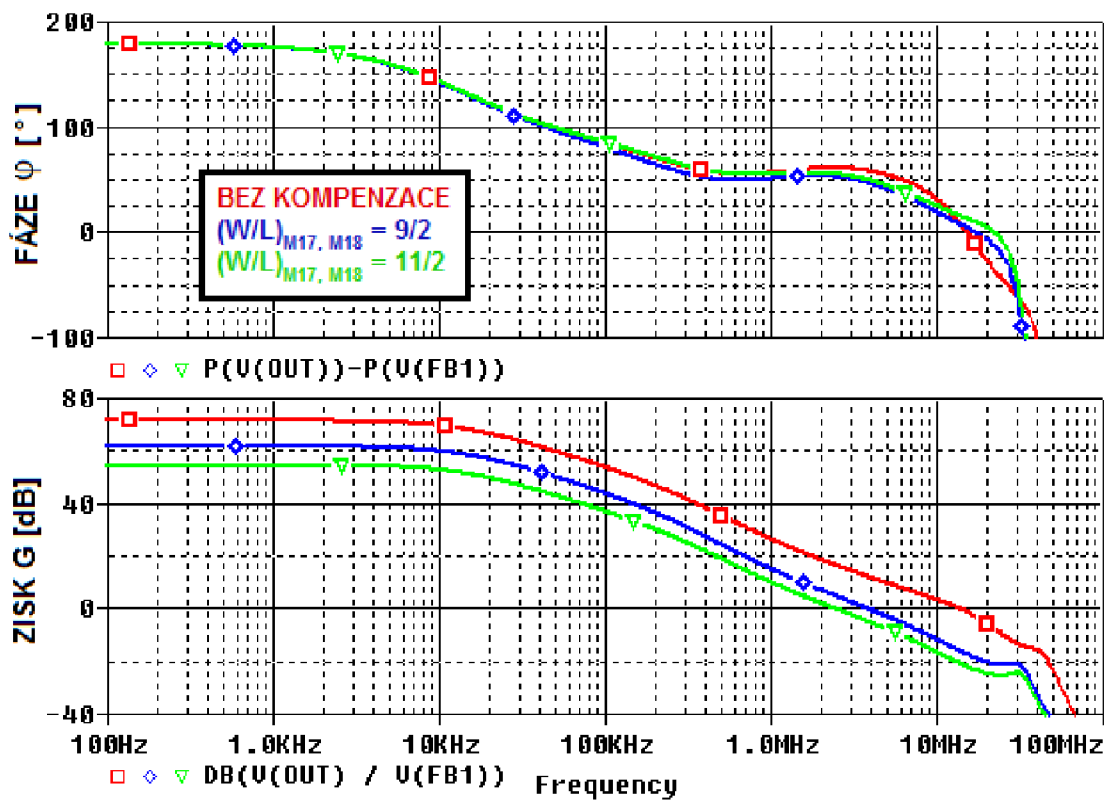
Výstupní odpor sledovače lze snížit použitím sledovače 3 na obr. 4.44. Schéma sledovače 3 převzato ze zdroje [11]. Zavezením vazby s tranzistorem M_{22} výstupní odpor sledovače snížen druhou zpětnou vazbou, tvořenou tranzistorem M_2 a M_{22} . Výstupní odpor sledovače 3 je dán vztahy (4.30) a (4.31). Nicméně opětovným zvýšením frekvence f_{P2} dochází ke snížení rozsahu stability ESR. Autor použil výstupní kondenzátor s kapacitou $C_{OUT} = 1 \mu\text{F}$ a $\text{ESR} = 30 \text{ m}\Omega$. Obr. 4.45 je převzat ze zdroje [11]. Z červeně zakroužkované oblasti plyne, že může dojít k nestabilitě celkového zapojení. Zelenou čarou je označena fázová rezerva ve stabilní oblasti, modrou čarou je označena frekvence, kde zvýšením hodnoty ESR dojde k na vyšení zisku a nestabilitě. Značnou nevýhodou je také velká závislost proudu I_2 na napětí $U_{DS,M21}$. Toto napětí se rovná napětí $U_{GS,M2}$ s rostoucím napětím U_{IN} , roste i napětí $U_{GS,M2}$, a tím i proud I_2 a celkový I_{GND} . Z důvodu příliš nízkého výstupního odporu sledovače 3, potenciální nestability, a velké závislosti proudu I_2 na vstupním napětí U_{IN} je ve výsledném zapojení použit sledovač 2.

$$R_{OUT_SLED_3} = \frac{1}{g_{m,M1} \cdot A_{M3} + g_{m,M1} \cdot A_{M2} \cdot A_{M22}} \quad [\Omega], \quad (4.30)$$

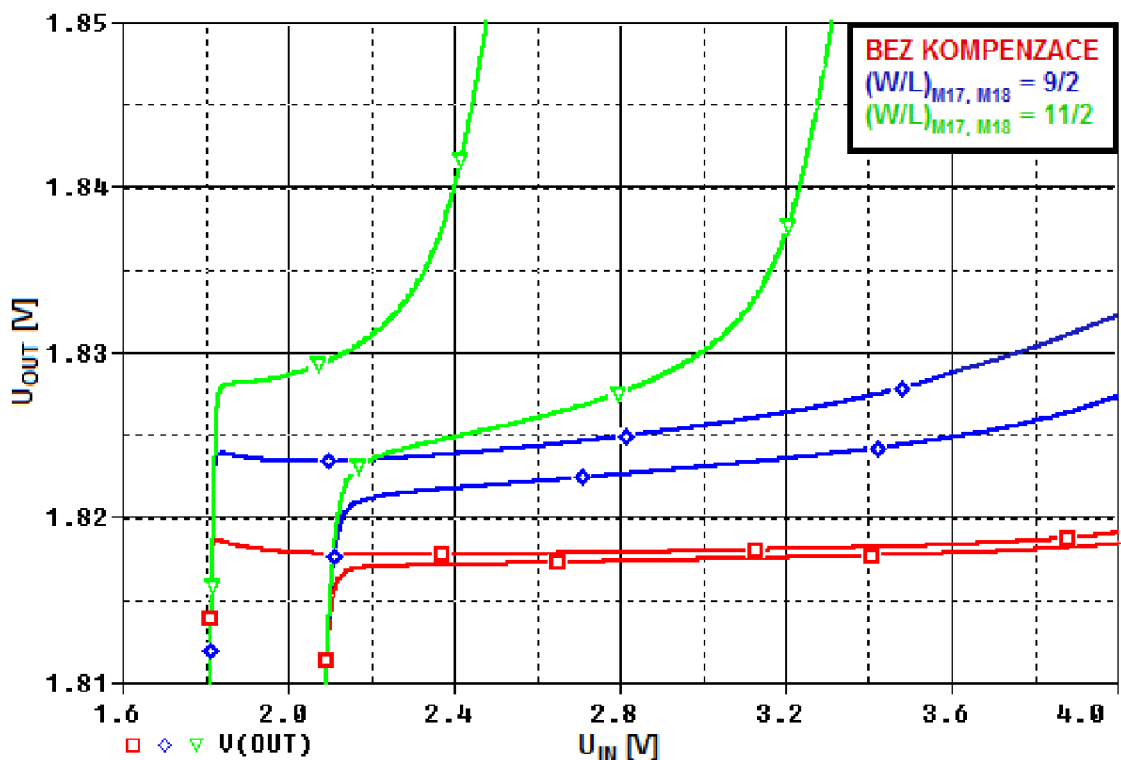
$$R_{OUT_SLED_3} = \frac{1}{g_{m,M1} \cdot g_{m,M3} \cdot R_{OUT,M1} + g_{m,M1} \cdot g_{m,M2} \cdot g_{m,M22} \cdot R_{OUT,M1} \cdot R_{OUT,M22}} \quad [\Omega], \quad (4.31)$$



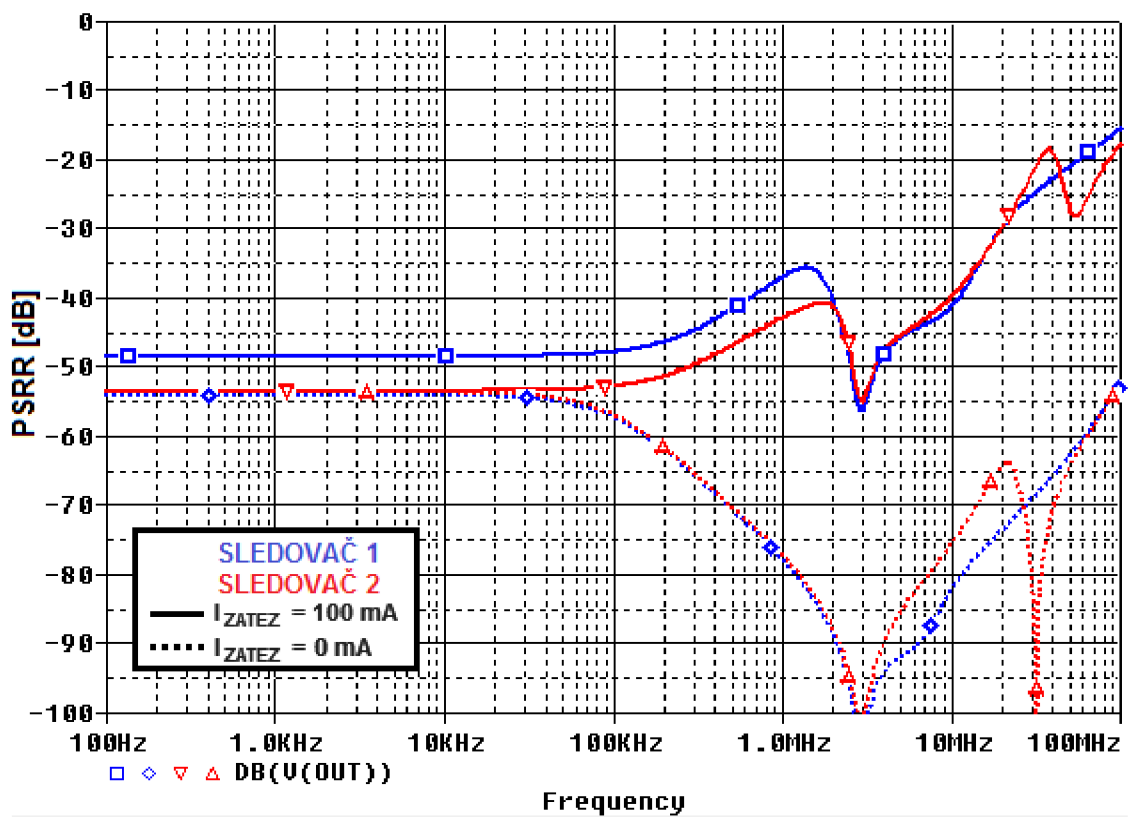
Obr. 4.45: Zisk a fáze LDO se sledovačem 3^[11].



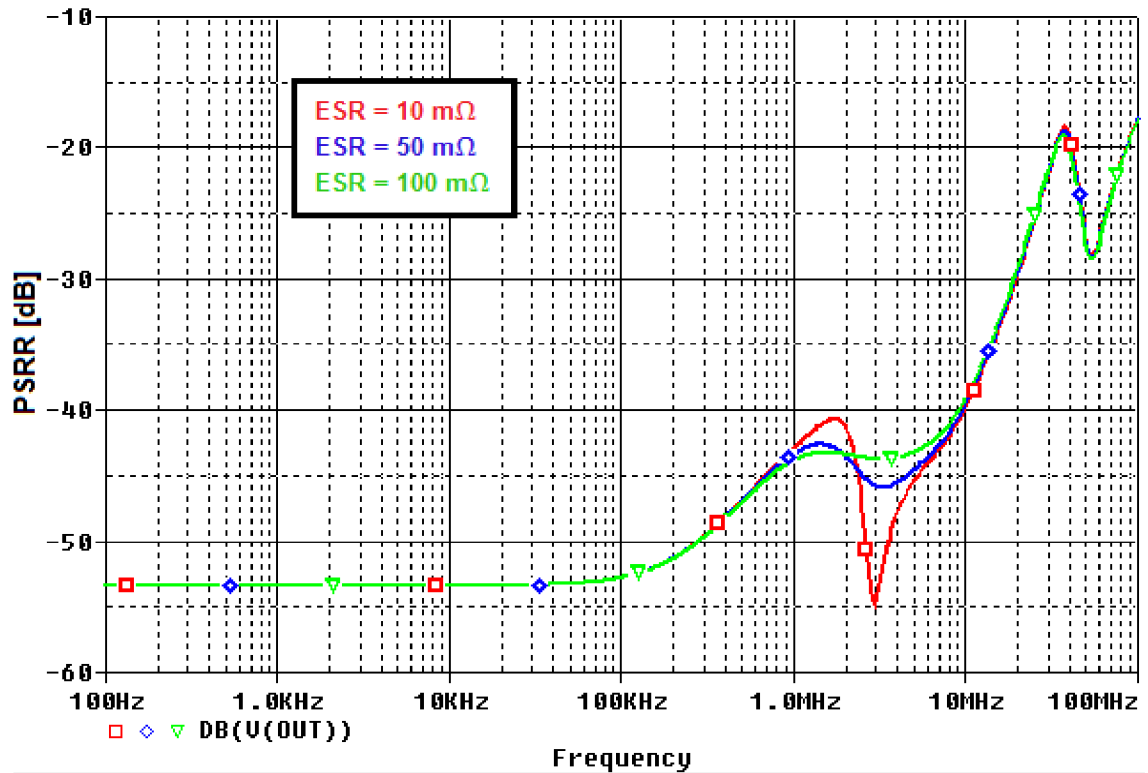
Obr. 4.47: Vliv kompenzace zisku diferenčního stupně na charakteristiky zisku a fáze.



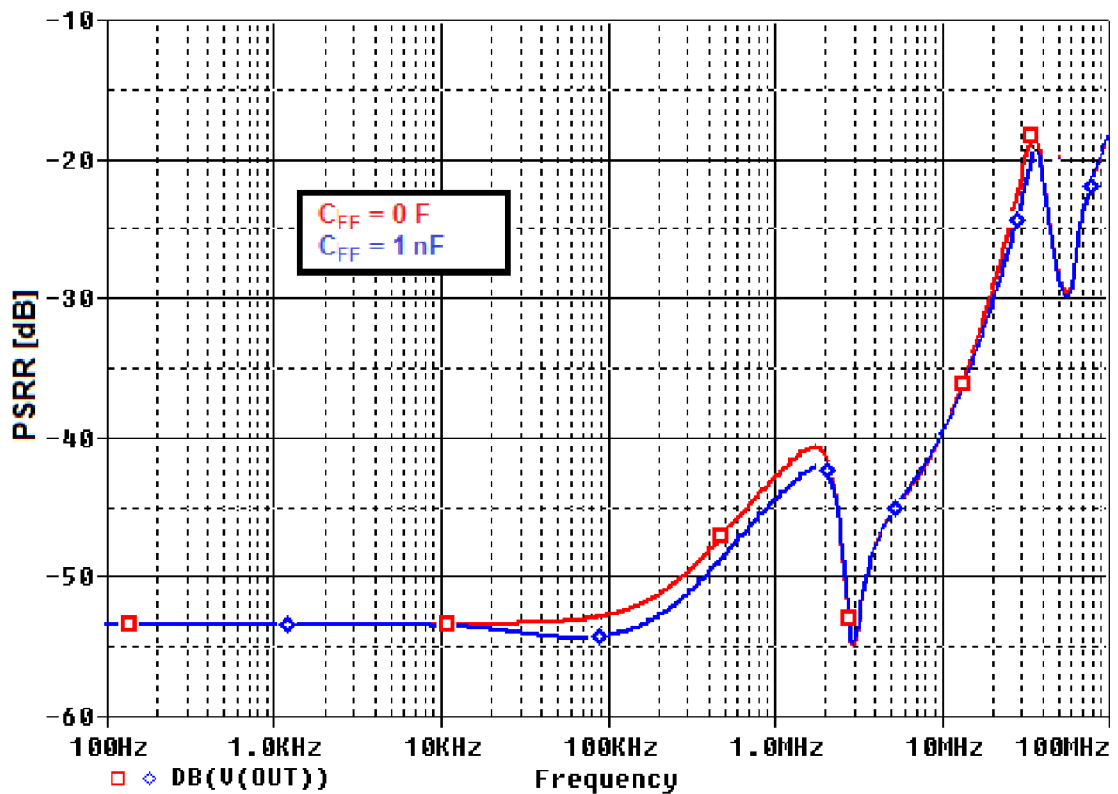
Obr. 4.48: Vliv kompenzace zisku diferenčního stupně na parametry $\Delta U_{OUT}/\Delta I_{ZATEZ}$ a $\Delta U_{OUT}/\Delta U_{IN}$.



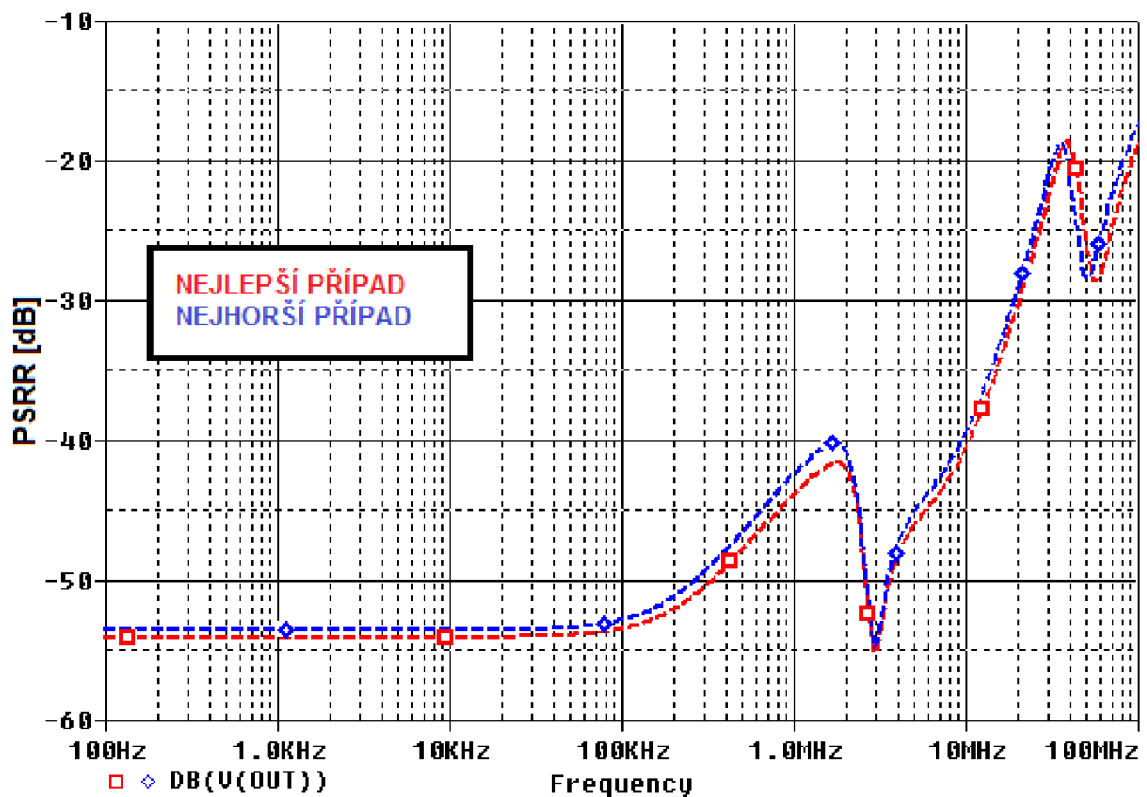
Obr. 4.49: PSRR LDO3 se sledovačem 1 a 2 pro $I_{ZATEZ} = 100 \text{ mA}$; 0 A .



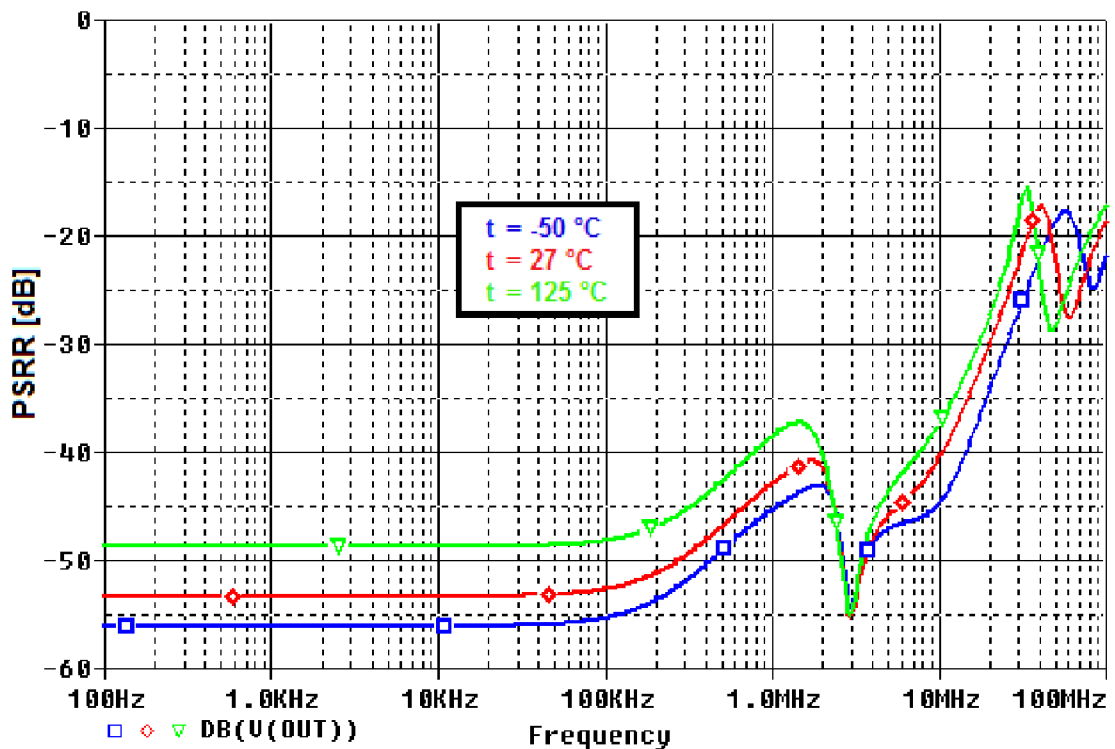
Obr. 4.50: PSRR LDO3 s proudovou vazbou 1 pro $I_{ZATEZ} = 100 \text{ mA}$, ESR = $10 \text{ m}\Omega$, $50 \text{ m}\Omega$, $100 \text{ m}\Omega$.



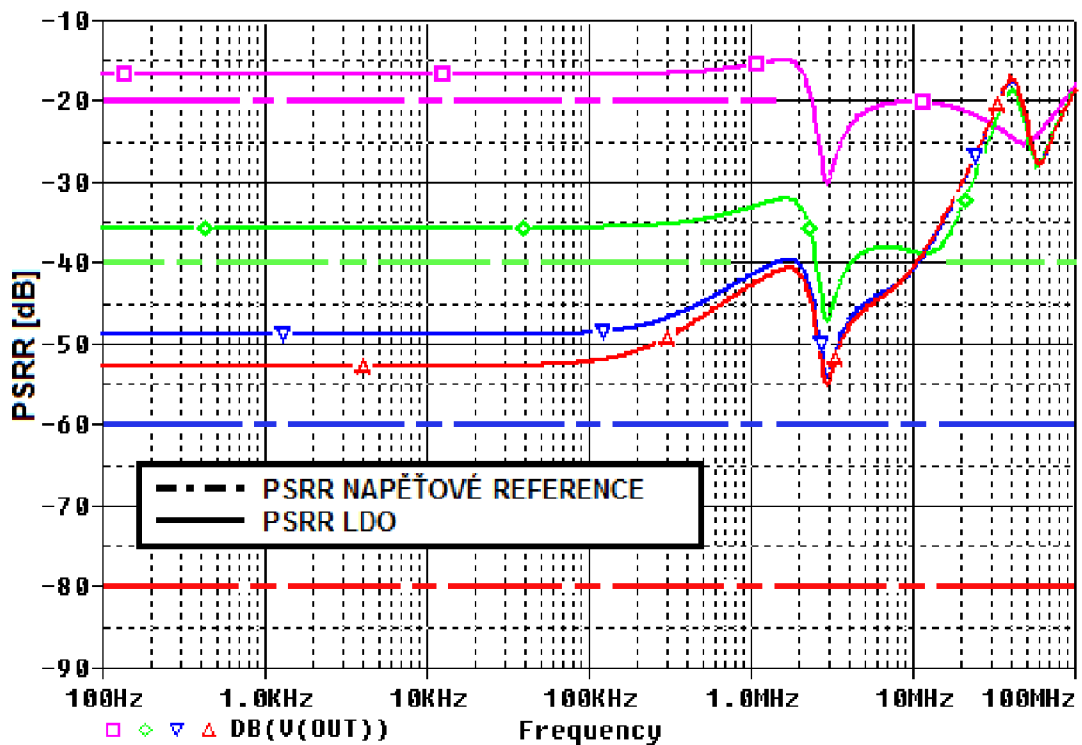
Obr. 4.51: PSRR LDO3 pro $I_{ZATEZ} = 100 \text{ mA}$, $C_{FF} = 0 \text{ nF}$; 1 nF .



Obr. 4.52: PSRR LDO3 pro $I_{ZATEZ} = 100 \text{ mA}$, nejhorší a nejlepší případ.



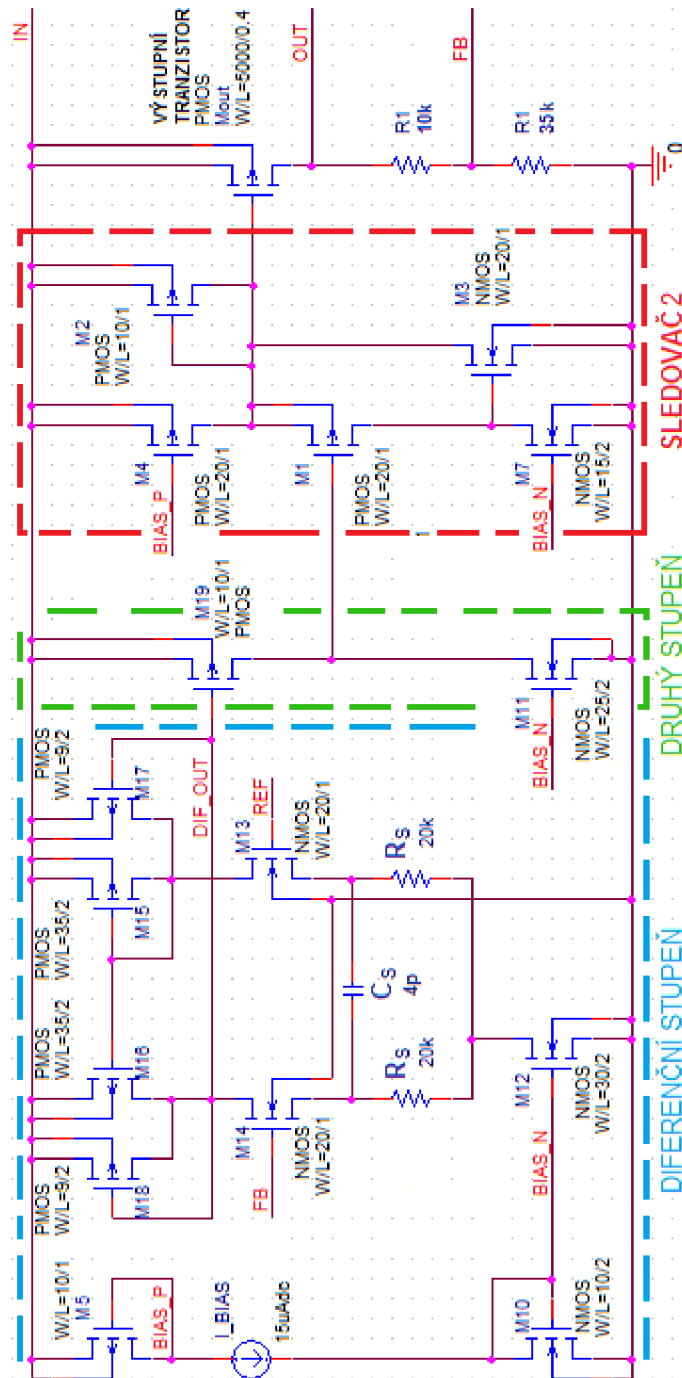
Obr. 4.53: PSRR LDO3 pro $I_{ZATEZ} = 100\text{ mA}$, $t = -50\text{ }^{\circ}\text{C}; 27\text{ }^{\circ}\text{C}; 125\text{ }^{\circ}\text{C}$.



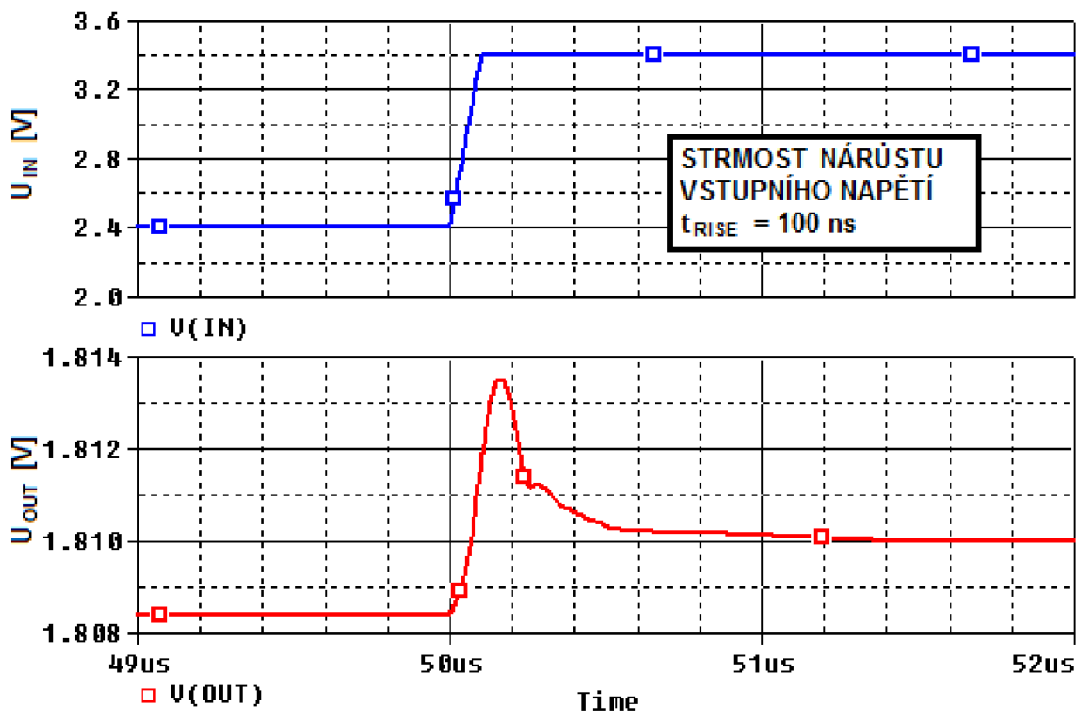
Obr. 4.54: PSRR LDO3 pro $I_{ZATEZ} = 100\text{ mA}$, vliv neideální napěťové reference na PSRR LDO, $PSRR_{REF} = -20\text{ dB}; -40\text{ dB}; -60\text{ dB}; -80\text{ dB}$.

Z obr. 4.54 je zřejmé, že i pro LDO2 platí stejný vliv napěťové reference jako pro LDO1. Zde však je PSRR simulované s ideální referencí mírně vyšší, -53 dB, proto po přičtení $PSRR_{REF_dB}$, které činí -60 dB k PSRR, je výsledné $PSRR_{LDO}$ také mírně vyšší, cca -49,2 dB, vztah (4.35).

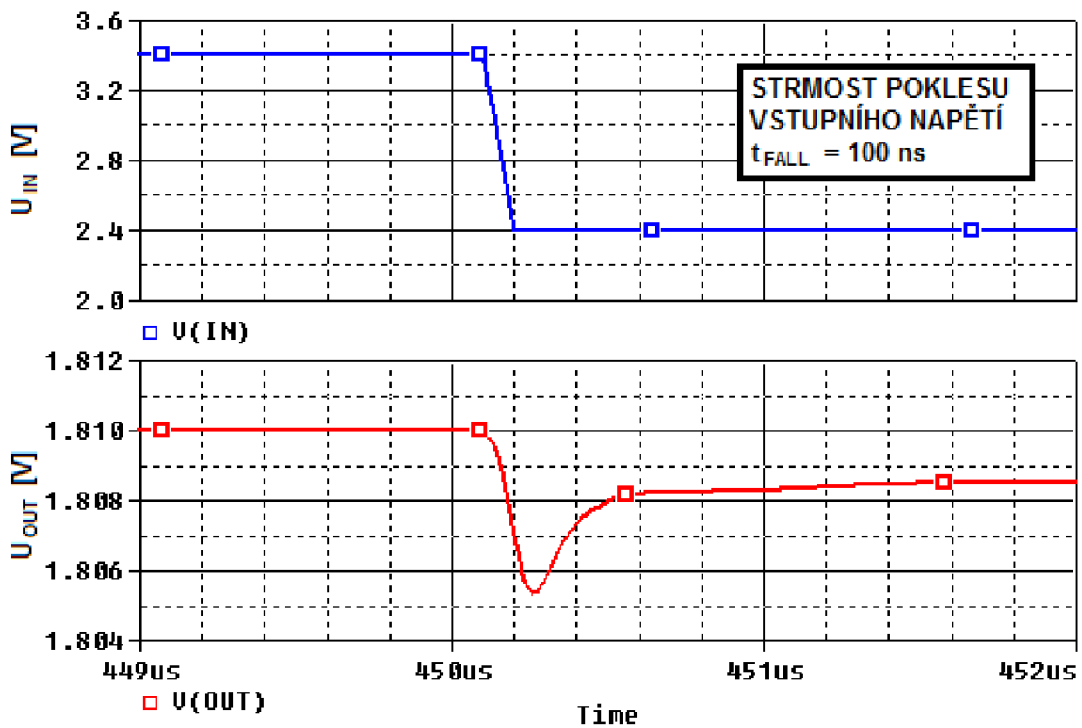
$$PSRR_{dB} = 20 \cdot \log(PSRR + PSRR_{CESTA3}) = 20 \cdot \log(0,00128 + 0,0022) = -49,2 \text{ dB}, \quad (4.35)$$



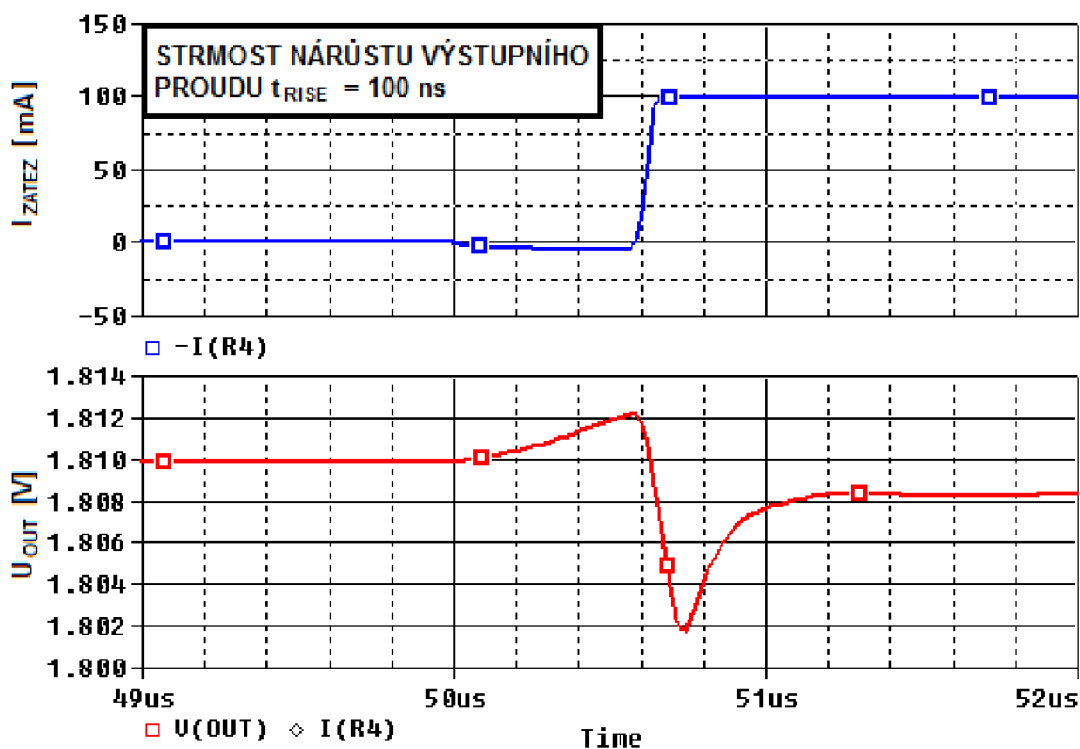
Obr. 4.55: Celkové schéma LDO3.



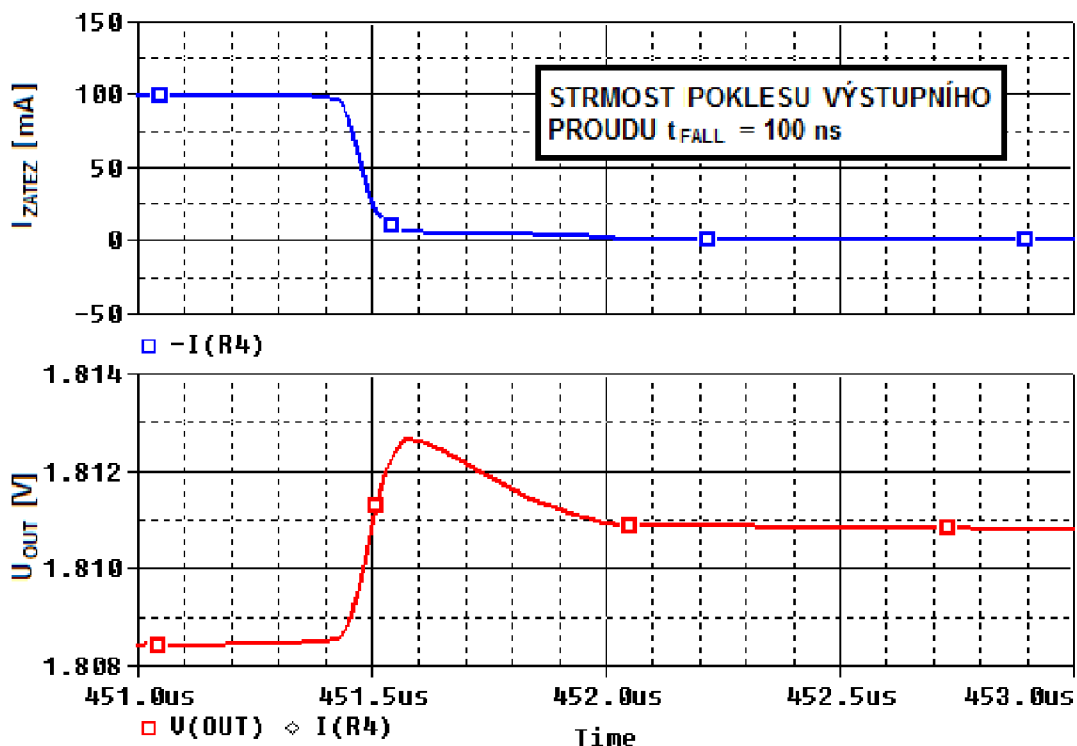
Obr. 4.56: Časová přechodná odezva LDO3 pro $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$.



Obr. 4.57: Časová přechodná odezva LDO3 pro $U_{IN} = 3,4 \text{ V} \rightarrow 2,4 \text{ V}$.



Obr. 4.58: Časová přechodná odezva LDO3 pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$.



Obr. 4.59: Časová přechodná odezva LDO3 pro $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$.

Parametry W/L všech tranzistorů a ostatních součástek (odpory, kondenzátory a zdroje proudu) jsou sepsány v tab. 4.5. Dosažené parametry jsou shrnuty v tab. 4.6. Parametr rozptyl výstupního napětí U_{OUT_TOL} je určen tolerancí 3% rozměrů W a L všech tranzistorů, hodnot rezistorů a kondenzátorů, stejným způsobem je simulováno i

$PSRR$ pro nehorší a nejlepší případ na obr. 4.52. Jelikož rezistory R_{FB} a R_{FF} zde nemají stejnou hodnotu, se vzájemným rozptylem 1% jsou simulovány pouze rezistory R_S a tranzistory v diferenčním stupni, tj. M_8, M_9, M_{10}, M_{11} .

Tab. 4.5: Rozměry tranzistorů LDO3.

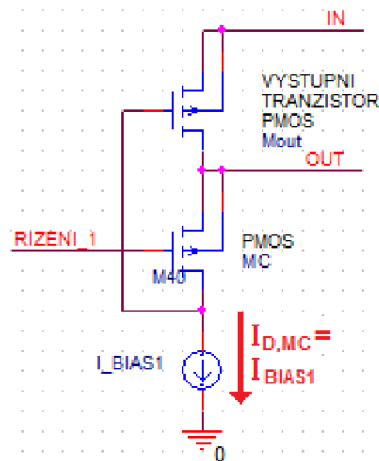
Tranzistor	Hodnota W/L [μm]
M_{OUT}	5000 / 0,4
M_1, M_4, M_{13}, M_{14}	20 / 1
M_2	8 / 1
$M_3, M_5, M_6, M_8, M_{19}$	10 / 1
$M_7,$	15/2
$M_{10},$	10/2
M_{11}	25 / 2
M_{12}	30 / 2
M_{15}, M_{16}	35 / 2
M_{17}, M_{18}	9 / 2
Součástka	Hodnota
R_S	20 k Ω
R_{FB}	35 k Ω
R_{FF}	10 k Ω
C_S	4 pF
I_{BIAS}	15 μA
Simulační podmínky : $U_{IN} = 2,4 \text{ V}$, $t = 27 \text{ }^\circ\text{C}$	

Tab. 4.6: Parametry navrženého LDO3.

Parametr	Hodnota
Výstupní napětí U_{OUT} [V]	1,8
Rozptyl výstupního napětí U_{OUT_TOL} [mV]	± 26
Referenční napětí [V]	1,4
Ubýtek napětí na LDO U_{DROP} [mV]	310
Vstupní napěťový rozsah U_{IN_ROZASH} [V], $I_{ZATEZ} = 100 \text{ mA}$	2,11 až 4,0
Klidový proud I_Q [μA],	230
Zemní proud I_{GND} [μA], $I_{ZATEZ} = 100 \text{ mA}$.	280
$\Delta U_{OUT} / \Delta U_{IN}$ [mV/V]	4
$\Delta U_{OUT} / \Delta I_{ZATEZ}$ [V/A]	0,08
Rozsah ESR [m Ω], $C_{OUT} = 1 \text{ } \mu\text{F}$.	10 až 100

4.3 Napět'ový sledovač pro nepřímé řízení výstupního tranzistoru (LDO4)

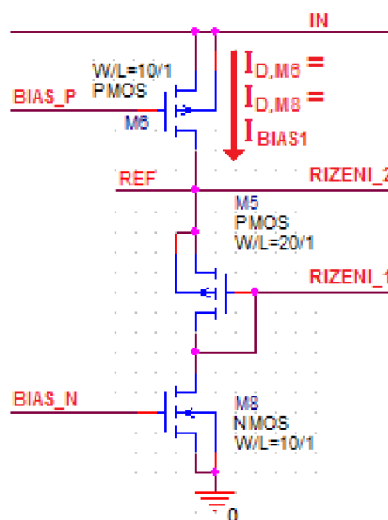
Metoda převzata ze zdroje [13]. Tento typ LDO je založen na struktuře FVF z anglického názvu Flipped Voltage Follower, struktura je na obr. 5.60. V tomto případě výstupní tranzistor není řízen operačním zesilovačem, ale zpětnou vazbou tvořenou proudovým zdrojem a sledovačem (tranzistor M_C).



Obr. 4.60: Základní struktura FVF (Flipped Voltage Follower).

$$U_{OUT} = U_{RIZENI_1} + U_{GS,MC} [V], \quad (4.36)$$

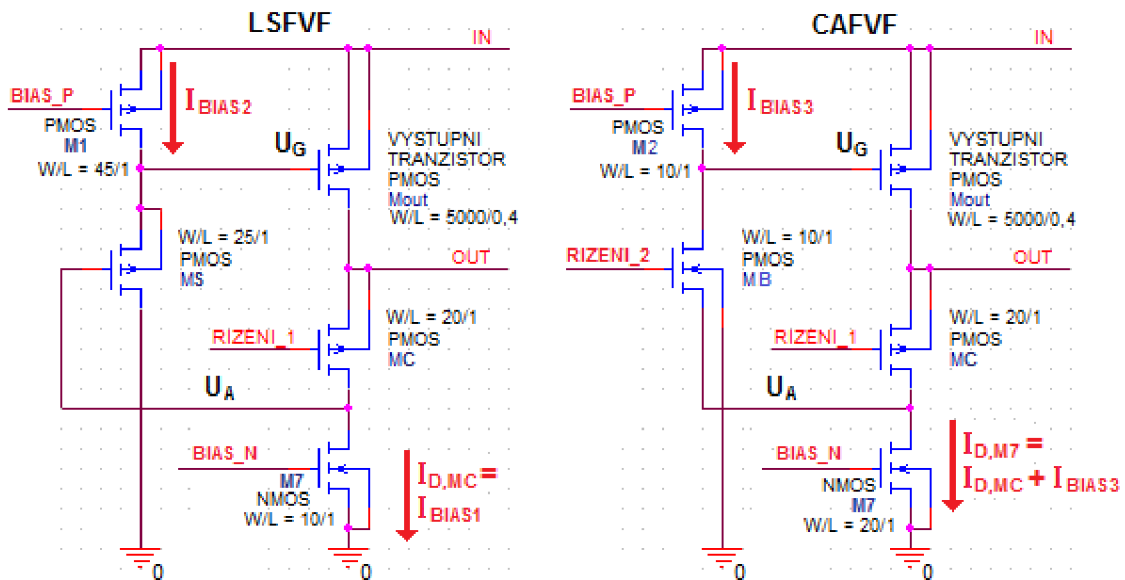
Výstupní napětí je dáno vztahem (5.38). Pro správnou funkci sledovače, je nutné zapojit substrát tranzistoru M_C na jeho source. Řízení tranzistoru M_C je zajištěno zapojením tranzistorů M_C a M_5 jako sledovacího zrcadla. Avšak aby se výstupní napětí rovnalo referenčnímu napětí, musí mít tranzistory M_C a M_5 stejné rozměry W a L , a zároveň musí platit rovnost proudů tekoucími těmito tranzistory, proud je označen jako I_{BIAS1} . Řízení tranzistoru M_C je na obr. 5.61.



Obr. 4.61: Řízení tranzistoru M_C .

Nevýhodou struktury FVF je velmi malý napěťový rozsah z hlediska stejnosměrného pracovního bodu, jelikož při nulovém výstupním proudu zpětná vazba není schopna udržet napětí U_{GS} výstupního tranzistoru na konstantní hodnotě s rostoucím vstupním napětím U_{IN} . Napěťový rozsah roste s rostoucím výstupním proudem.

Tento nedostatek odstraňuje struktura LSFVF (Level Shifted Flipped Voltage Follower), obr. 5.59, tranzistor M_S vlivem svého napětí U_{GS} sníží napětí U_A (5.43). Vstupní napěťový rozsah je navýšen o napětí $U_{GS,MS}$. Výhodou této struktury je řízení výstupního tranzistoru sledovačem M_S , který má velmi nízký výstupní odpor. Pól p_2 , popisovaný v kapitole 5, který je tvořen kapacitou $C_{GS,MOUT}$ výstupního tranzistoru a výstupním odporem sledovače či zesilovače, v tomto případě sledovače, je posunut do oblasti vyšších frekvencí, kde umístěna také nula z_1 , obr. 5.65. Pól p_2 a z_1 se navzájem kompenzují, avšak pouze pro nižší hodnoty ESR. Jelikož proud tekoucí kanálem tranzistoru M_S neovlivňuje proud tekoucí tranzistorem M_C , platí i pro tuto strukturu, že proud tranzistorem M_C , tedy proud I_{BIAS1} se rovná proudu tranzistorem M_7 .



Obr. 4.62: Struktury LSFVF (Level Shifted Flipped Voltage Follower) a CAFVF (Cascoded Flipped Voltage Follower).

Vstupní napěťový rozsah z hlediska pracovního bodu lze navýšit nahrazením tranzistoru M_S , který je ve funkci sledovače, tranzistorem M_B , který je ve funkci zesilovače. Tato struktura se nazývá CAFVF (Cascoded Flipped Voltage Follower), obr. 5.59. Napěťový rozsah, nyní není omezen, je navýšen o napětí $U_{DS,MB}$, které při nízkém vstupním, tj. blízké výstupnímu napětí, je nulové. Tranzistor M_B je v lineárním režimu. S rostoucím vstupním napětím roste napětí $U_{DS,MB}$, a tranzistor M_B přechází do saturačního režimu. Nevýhodou této struktury je řízení výstupního tranzistoru zesilovacím stupněm, který má vysoký výstupní odpor. Pól p_2 , popisovaný v kapitolách 2.5 a 4, se tedy nachází na nižších frekvencích, obr. 4.65. Jelikož proud tranzistorem je nyní součtem proudů $I_{D,MC}$ a I_{BIAS3} , nelze použít pravidlo, které platí pro struktury LSFVF a FVF. Kanály tranzistorů M_C a M_5 musí teci stejný proud, aby na výstupu bylo referenční napětí, tedy 1,8 V. Proto je nutné k proudu I_{BIAS1} přičíst proud I_{BIAS3} .

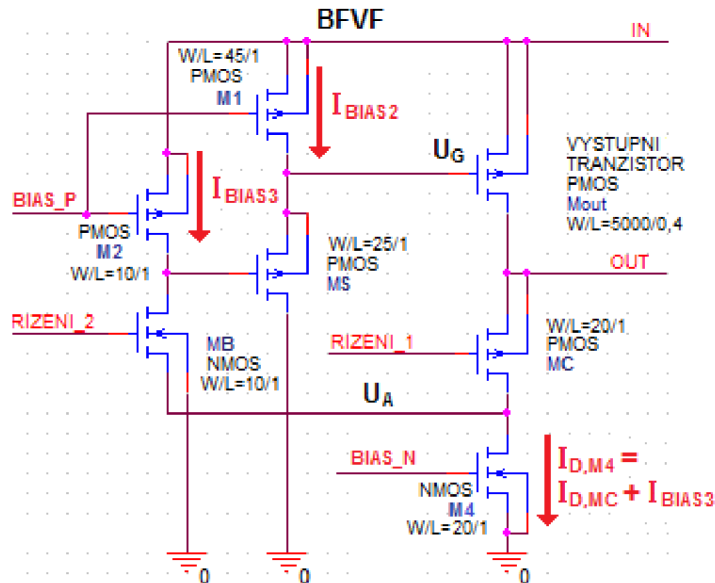
Struktura BFVF je kombinací struktur LSFVF a CAFVF, je dosaženo vyššího vstupního napěťového rozsahu a zároveň posunutí pólu do oblasti vyšších frekvencí. Vstupní napěťový rozsah všech struktur je zobrazen na obr. 5.66 a obr. 5.67. Jelikož proudy I_{BIAS1} a I_{BIAS3} se navzájem ovlivňují, zvýšením jednoho proudu klesne druhý, je volena jejich rovnost, platí vztah (5.39).

$$I_{D,M7} = I_{D,MC} + I_{BIAS3} = I_{BIAS1} + I_{BIAS3} = 2 \cdot I_{BIAS3} [A], \quad (4.37)$$

$$U_{A,LSFVF} = U_G - U_{GS,MS} = U_{IN} - U_{GS,MOUT} - U_{GS,MS} [V], \quad (4.38)$$

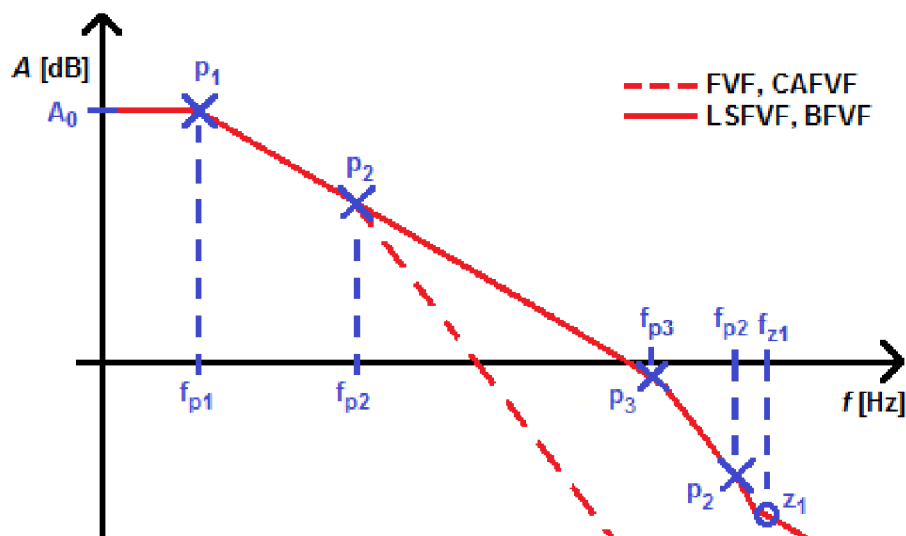
$$U_{A,CAFVF} = U_G - U_{DS,MB} = U_{IN} - U_{GS,MOUT} - U_{DS,MB} [V], \quad (4.39)$$

$$U_{A,BFVF} = U_G - U_{GS,MS} - U_{DS,MB} = U_{IN} - U_{GS,MOUT} - U_{GS,MS} - U_{DS,MB} [V], \quad (4.40)$$



Obr. 4.63: Struktura BFVF (Bufered Flipped Voltage Follower).

Nevýhodou všech struktur založených na základní FVF struktúře je velmi omezený vstupní napěťový rozsah, jelikož s rostoucím vstupním napětím roste zisk zpětnovazební smyčky, a klesá fázová rezerva. Po překročení určité meze vstupního napětí, kdy fázová rezerva bude nižší než 45° , výstup LDO začne kmitat. Výhodou je velmi nízký zemní proud $I_{GND} = 100\mu A$ při $I_{ZATEZ} = 100\text{ mA}$ struktury BFVF. Struktura LSFVF má zemní proud $I_{GND} = 90\mu A$ při $I_{ZATEZ} = 100\text{ mA}$, avšak vstupní napěťový rozsah je pouze 2,2 až 2,4V. Z obr. 5.65 je patrné, že dostatečné fázové rezervy je dosaženo pouze u struktur LSFVF, kde fázová rezerva je 49° , a BFVF, kde zvýšením vstupního napěťového rozsahu tranzistorem M_B dochází ke zmenšení tranzitní frekvence, fázová rezerva je 68° . Fázová rezerva pro obě struktury při $I_{ZATEZ} = 0\text{ A}$ je v celém napěťovém rozsahu cca 90° . U struktur CAFVF a FVF je možné také docílit fázové rezervy vyšší než 45° , a to zvýšením sériového odporu ESR výstupního kondenzátoru C_{OUT} .



Obr. 4.64: Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO4.

Na obr. 5.64 je znázorněno rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO2. Pól p_1 (5.41) je pro $I_{ZATEZ} = 100 \text{ mA}$ dán odporem zátěže R_{ZATEZ} a odporem $R_{OUT,MOUT}$. Jelikož u struktur FVF není zpětnovazební dělič, jehož odpor by určil frekvenci pólu p_1 při $I_{ZATEZ} = 0 \text{ A}$, je frekvence pólu určena výstupním odporem tranzistoru M_C , tedy jeho transkonduktancí $g_{m,MC}$, vztah (5.42). Pól p_2 je dán kapacitou $C_{GS,MOUT}$ a výstupním odporem $R_{OUT,M7}$ pro FVF (5.44), pro strukturu CAFVF (4.45) je dán výstupním odporem zesilovacího stupně $R_{OUT,MB}$ (5.46). Pro struktury LSFVF a BFVF (4.47) je pól p_2 dán kapacitou C_{GS} a výstupním odporem $R_{OUT,MS}$ sledovače M_S . Pól p_3 je dán kapacitou $C_{GS,MOUT}$ a transkonduktancí $g_{m,MC}$. Proud tranzistorem M_C je dán polohou pólu p_3 , frekvence f_{p3} je volena 2 MHz, aby byl co největší rozsah ESR výstupního kondenzátoru, pro které je LDO stabilní. Proudů $I_{D,MC}$ a I_{BLAS3} jsou voleny 10 μA , vztah (4.52).

$$f_{p1} = \frac{1}{2 \cdot \pi \cdot R_{OUT} \cdot C_{OUT}} \text{ [Hz]}, \quad (4.41)$$

$$R_{OUT} \Big|_{I_{OUT} = 0} \approx \frac{1}{g_{m,MC}} \text{ [\Omega]}, \quad (4.42)$$

$$R_{OUT} \Big|_{I_{OUT} = 100 \text{ mA}} \approx \frac{R_{ZATEZ} \cdot R_{OUT,MOUT}}{R_{ZATEZ} + R_{OUT,MOUT}} \text{ [\Omega]}, \quad (4.43)$$

$$f_{p2,FVF} = \frac{1}{2 \cdot \pi \cdot R_{OUT,M7} \cdot C_{GS,MOUT}} \text{ [Hz]}, \quad (4.44)$$

$$f_{p2,CAFVF} = \frac{1}{2 \cdot \pi \cdot R_{OUT,MB} \cdot C_{GS,MOUT}} [\text{Hz}], \quad (4.45)$$

$$R_{OUT,MB} = \frac{1}{\lambda_{MB} \cdot I_{BIAS3} + \lambda_{M2} \cdot I_{BIAS3}}, \quad (4.46)$$

$$f_{p2,LSFVF,BFVF} = \frac{1}{2 \cdot \pi \cdot R_{OUT,MS} \cdot C_{GS,MOUT}} [\text{Hz}], \quad (4.47)$$

$$R_{OUT,MS_1} \approx \frac{1}{g_{m,MS}} [\Omega], \quad (4.48)$$

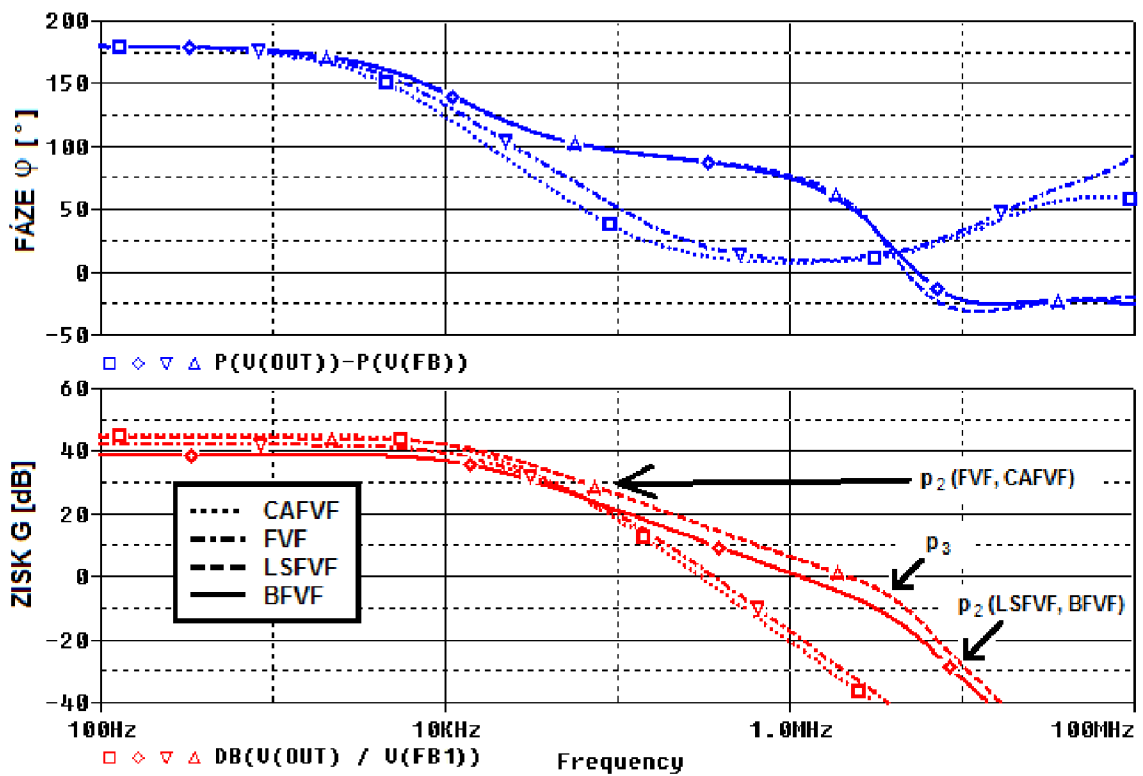
$$f_{p3} = \frac{g_{m,MC}}{2 \cdot \pi \cdot C_{GS,MOUT}} [\text{Hz}], \quad (4.49)$$

$$A_{0,FVF,LSFVF} = g_{m,MOUT} \cdot R_{OUT} \cdot g_{m,MC} \cdot R_{OUT,M7} [-], \quad (4.50)$$

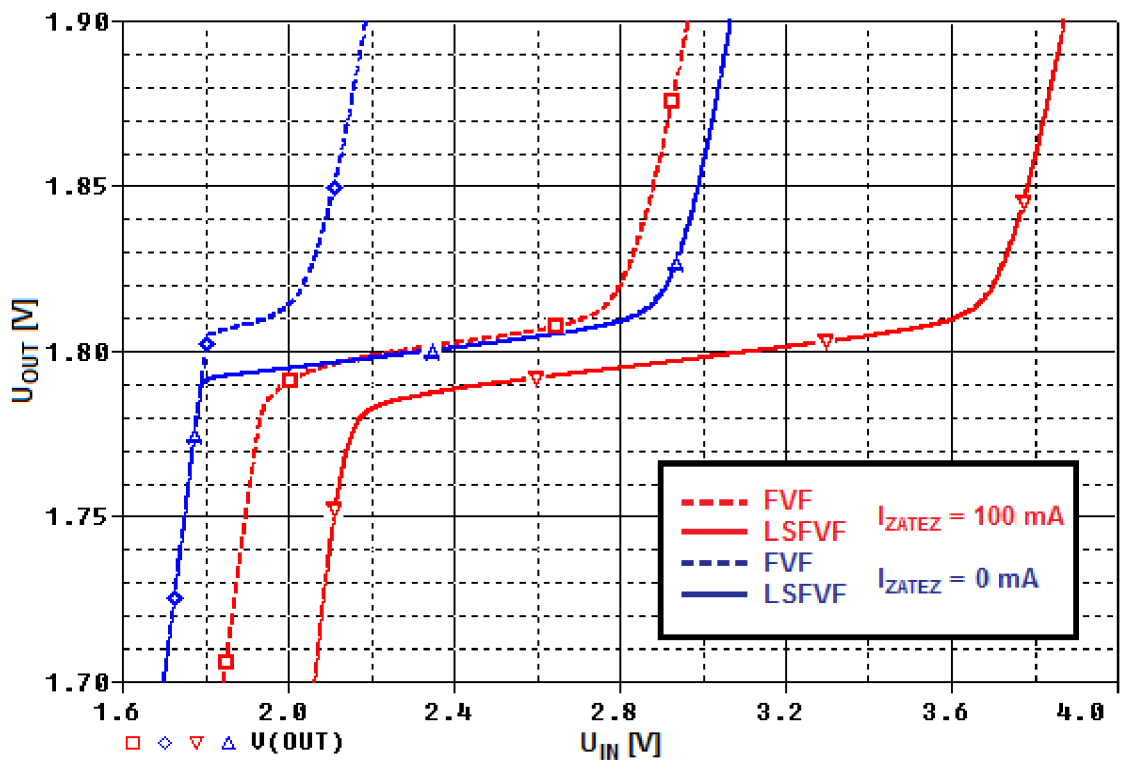
$$A_{0,CAFVF,BFVF} = g_{m,MOUT} \cdot R_{OUT} \cdot g_{m,MC} \cdot R_{OUT,M7} \cdot g_{m,MB} \cdot R_{OUT} [-], \quad (4.51)$$

$$I_{D,MC} = I_{D,MC} = \frac{2 \cdot \pi^2 \cdot f_{p3}^2 \cdot C_{GS,MOUT}^2}{KP \cdot \left(\frac{W}{L}\right)_{MOUT}} [\text{A}], \quad (4.52)$$

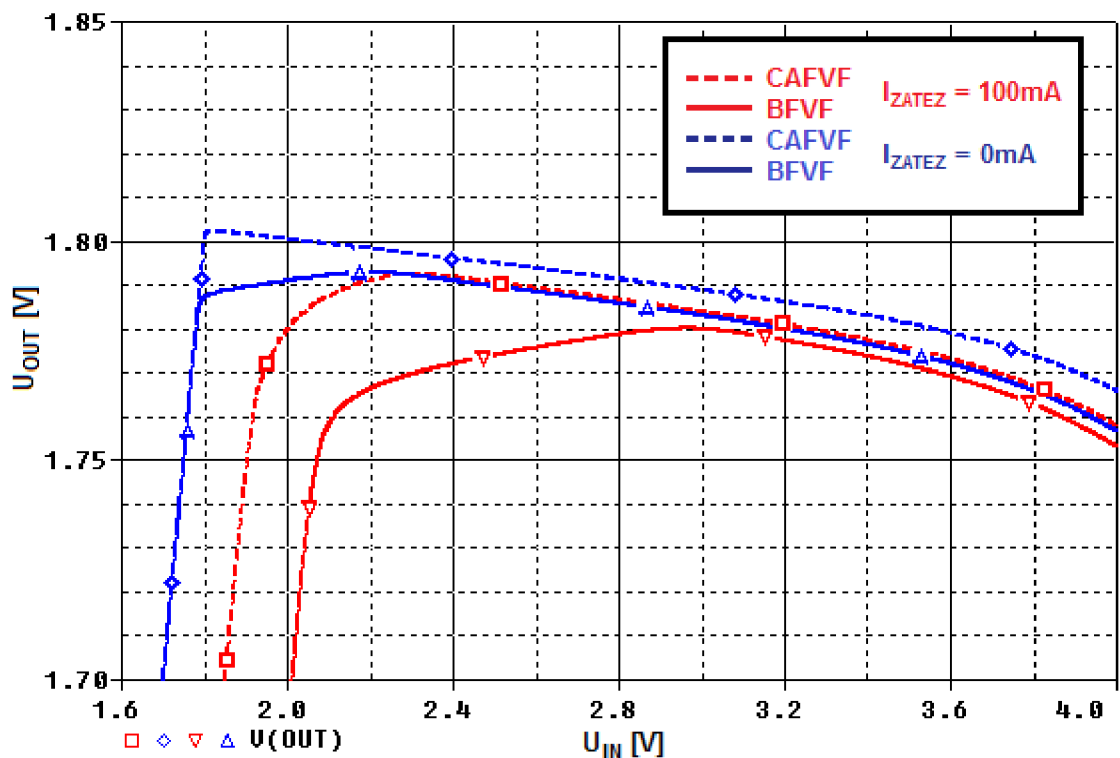
Z obr. 4.65 plyne výhoda struktur LSFVF a BFVF, a to vyšší rozsah *ESR* výstupního kondenzátoru, pro které je LDO stabilní. Pól p_2 je posunut do oblasti vyšších frekvencí, kde kompenzuje nulu z_1 , zároveň pól p_3 zajišťuje stabilitu celkového zapojení. Bez pólu p_3 by LDO bylo stabilní pouze pro nízké *ESR* výstupního kondenzátoru C_{OUT} , zvýšením *ESR* by došlo k nestabilitě. Fázová rezerva je nastavena při maximálním vstupním napětí U_{IN} , jelikož s rostoucím napětím roste zisk a klesá fázová rezerva, obr. 4.68.



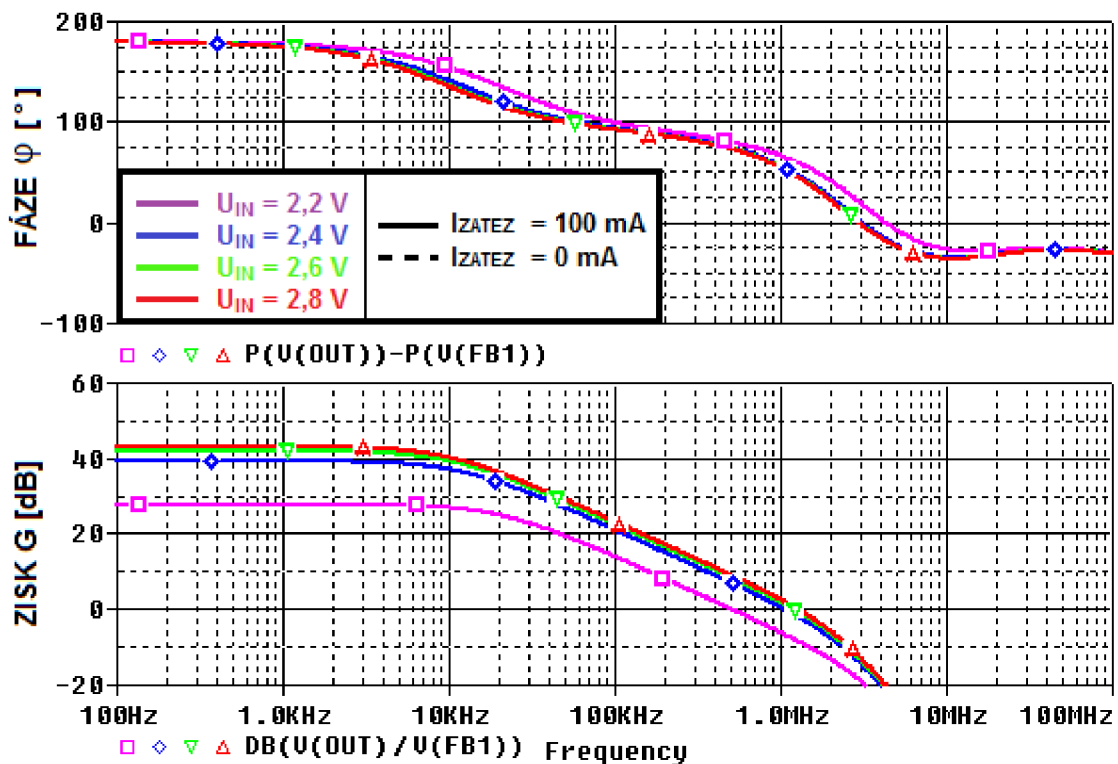
Obr. 4.65: Zisk a fáze struktur FVF, LSFVF, CAFVF a BFVF, pro $I_{ZATEZ} = 100$ mA.



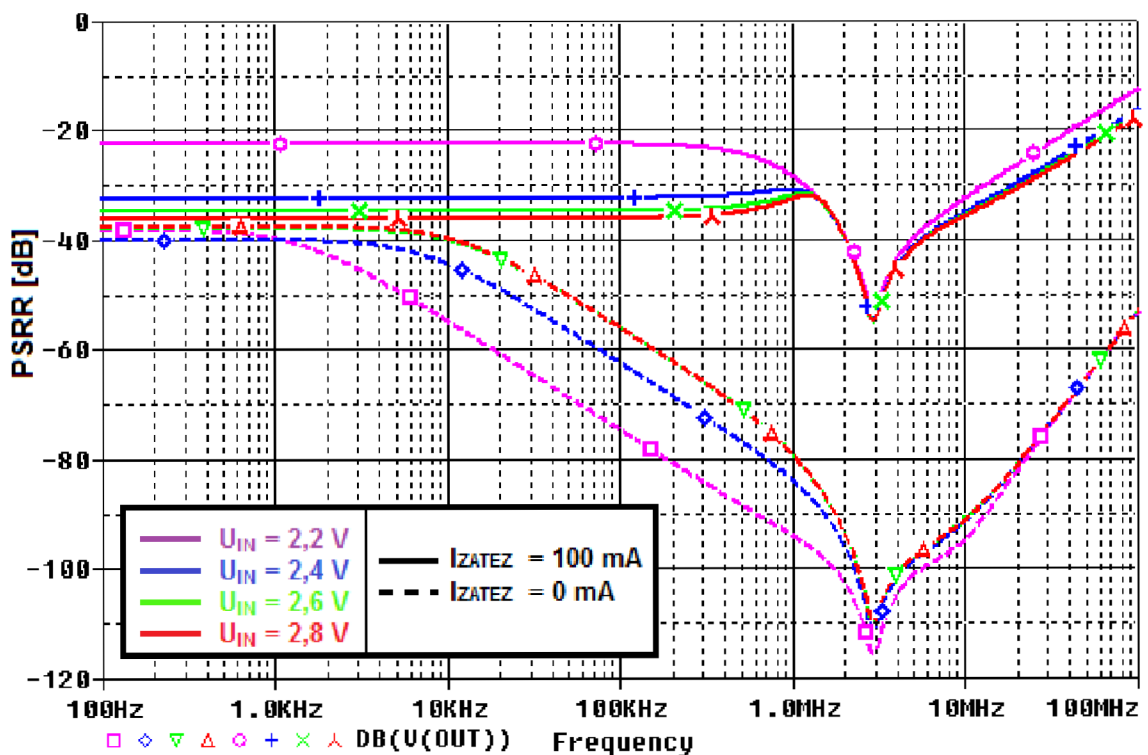
Obr. 4.66: Napěťový rozsah struktur FVF, LSFVF..



Obr. 4.67: Napěťový rozsah struktur CAFVF, BFVF, pro $I_{ZATEZ} = 100\text{ mA}$.

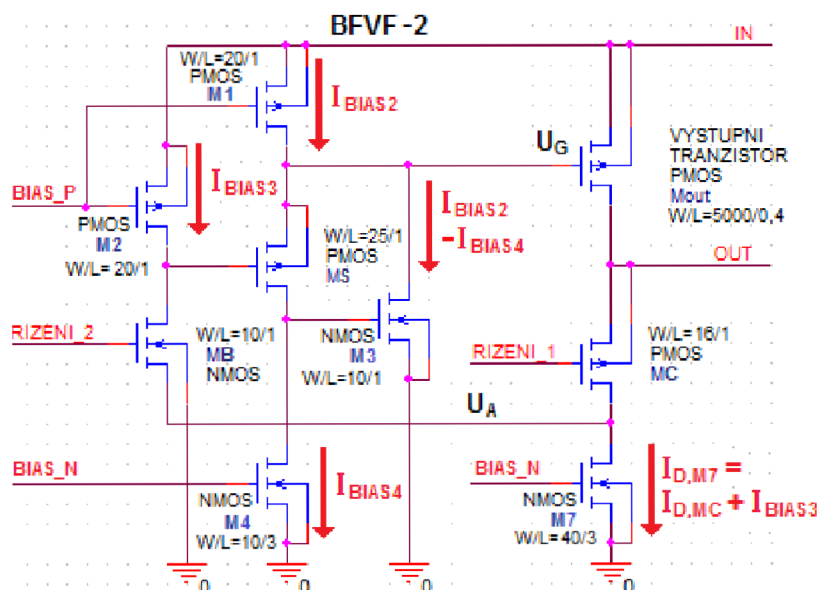


Obr. 4.68: Zisk a fáze LDO3 se strukturou BFVF, $I_{ZATEZ} = 100\text{ mA}$; 0 A
 $U_{IN} = 2,2\text{ V}; 2,4\text{ V}; 2,6\text{ V}; 2,8\text{ V}$.



Obr. 4.69: PSRR LDO3se strukturou BFVF, $I_{ZATEZ} = 100 \text{ mA}$; 0 A
 $U_{IN} = 2,2 \text{ V}; 2,4 \text{ V}; 2,6 \text{ V}; 2,8 \text{ V}$.

Nevýhodou struktur BFVF i LSFVF je příliš vysoký odpor sledovače M_S . A tak nelze nastavit vyšší zesílení zpětnovazební smyčky zvýšením výstupního odporu tranzistoru M_7 , a zvýšením proudu M_7 , jelikož nyní pro strukturu BFVF je fázová rezerva 45° při $U_{IN} = 2,8 \text{ V}$ a $I_{ZATEZ} = 100 \text{ mA}$, obr. 4.68. Řešením je ještě více snížit výstupní odpor sledovače M_S , a tím posunout pól f_{p2} na vyšší frekvenci.

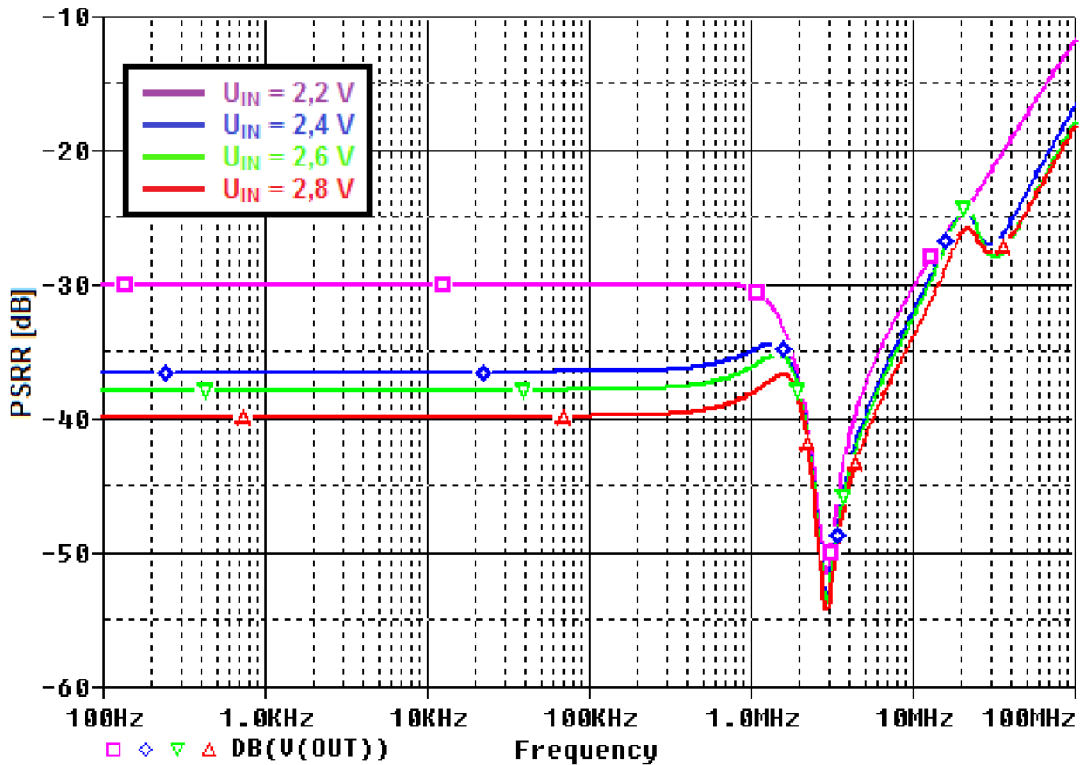


Obr. 4.70: Struktura BFVF-2, úprava sledovače M_S .

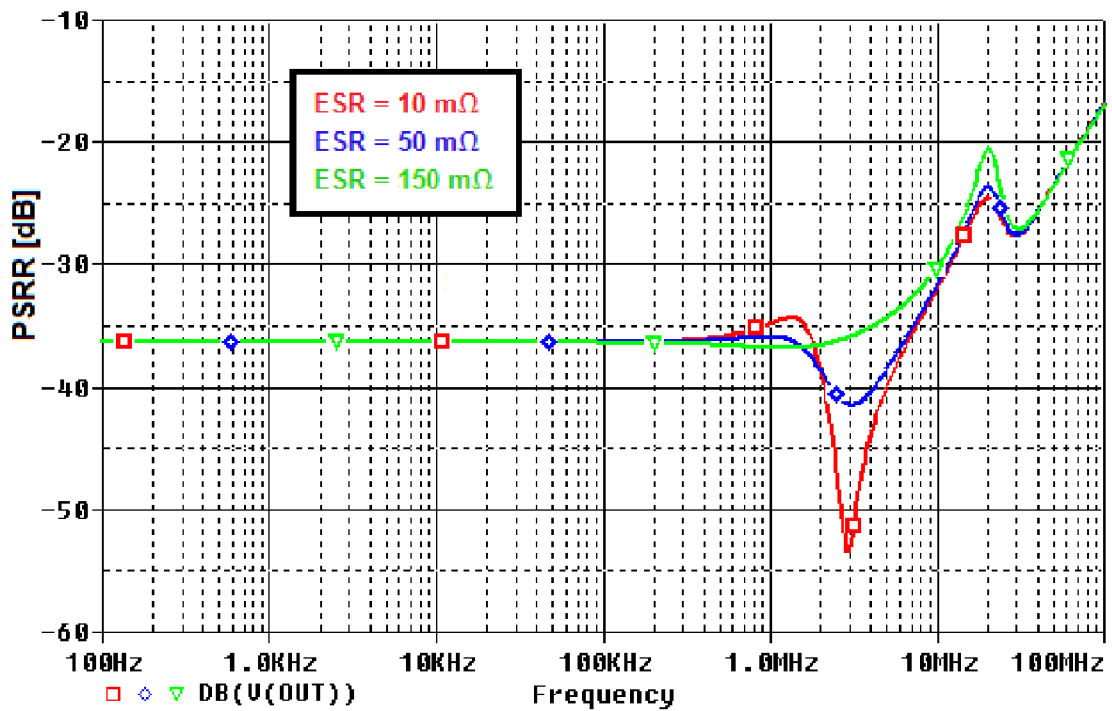
Je použito snížení výstupního odporu z kapitoly 4.2. Odpor sledovače je potlačen zesílením tranzistoru M_3 . Úprava struktury je zobrazena na obr. 4.70. Výstupní odpor je nyní dán vztahem (4.53).

$$R_{OUT,MS_2} \approx \frac{1}{g_{m,MS} \cdot g_{m,M3} \cdot R_{OUT,MS}} \approx \frac{1}{g_{m,M3}} [\Omega], \quad (4.53)$$

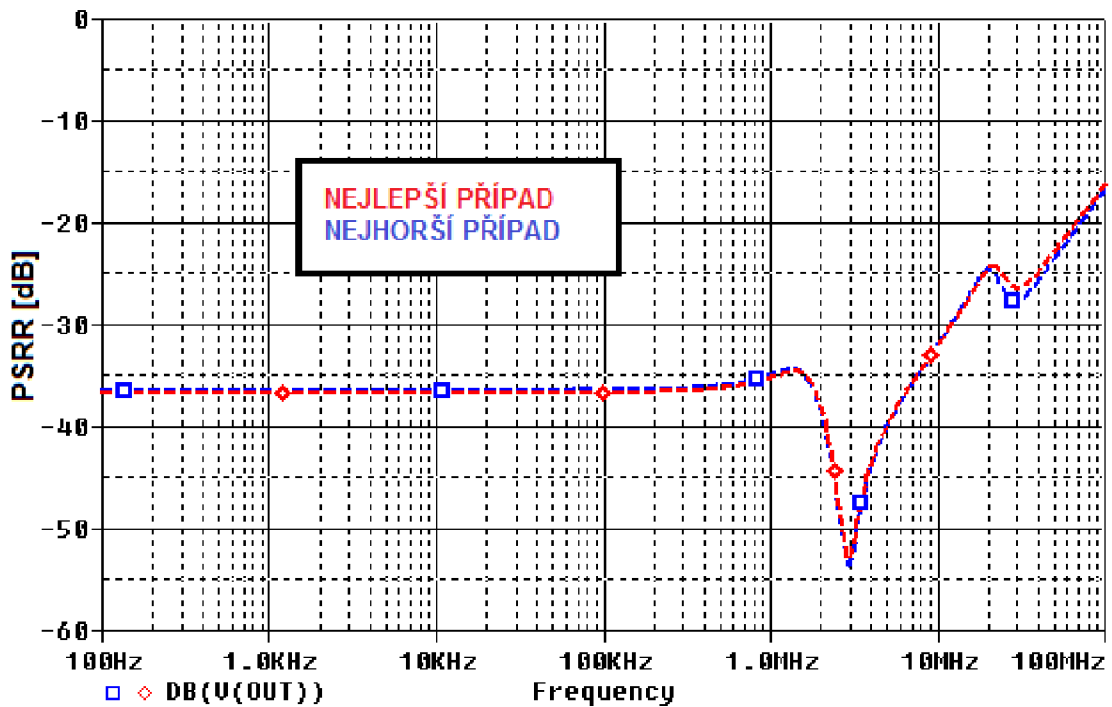
Proud I_{BIAS2} je opět nastaven mírně vyšší než I_{BIAS4} . Tranzistorem M_4 pak protéká rozdíl proudů I_{BIAS2} a I_{BIAS4} . Proud I_{BIAS1} může být nyní volen vyšší, je volen $20 \mu A$. Nicméně zvýšením proudu tekoucím tranzistorem M_C roste frekvence f_{P3} , a tedy klesá rozsah ESR výstupního kondenzátoru, z původního rozsahu $10 \text{ m}\Omega$ až $300 \text{ m}\Omega$ na současný rozsah $10 \text{ m}\Omega$ až $150 \text{ m}\Omega$. Snížením výstupního odporu tranzistoru M_S výrazně klesl potřebný proud tekoucí tranzistorem M_S , snížil se tak i klidový a zemní proud ze $100 \mu A$ na $90 \mu A$, jelikož použitím metody pro snížení odporu sledovače z kapitoly 5.2 je možné snížit proud I_{BIAS2} .



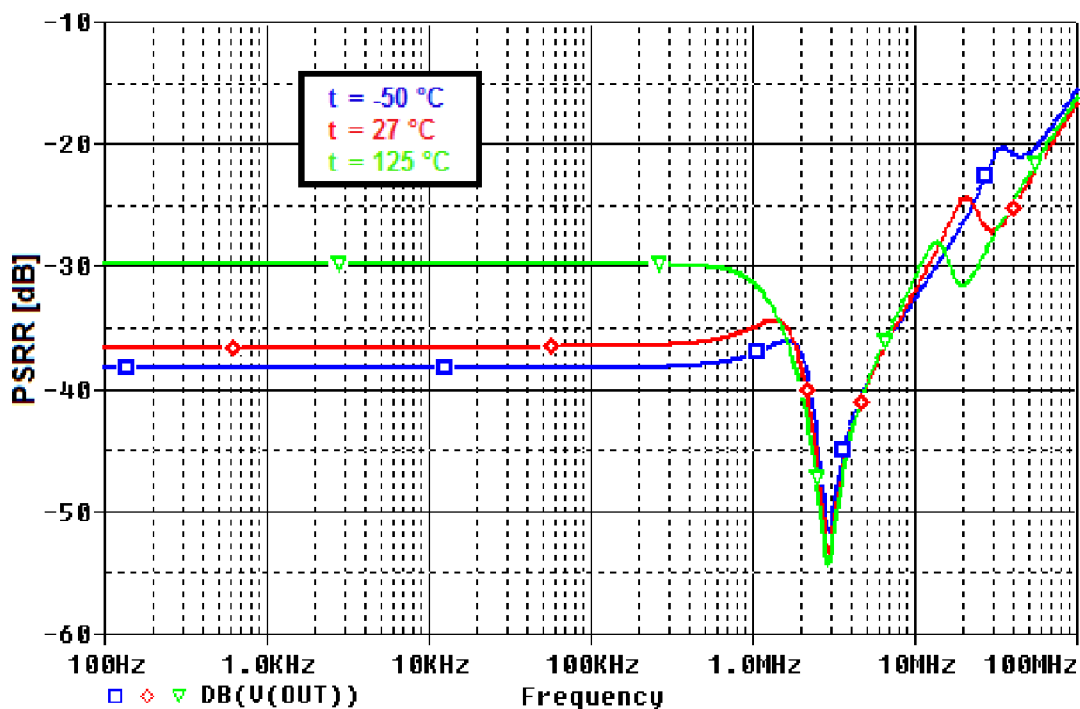
Obr. 4.71: PSRR LDO4 se strukturou BFVF-2, $I_{ZATEZ} = 100 \text{ mA}$; $0 A$
 $U_{IN} = 2,2 \text{ V}; 2,4 \text{ V} 2,6 \text{ V}; 2,8 \text{ V}$.



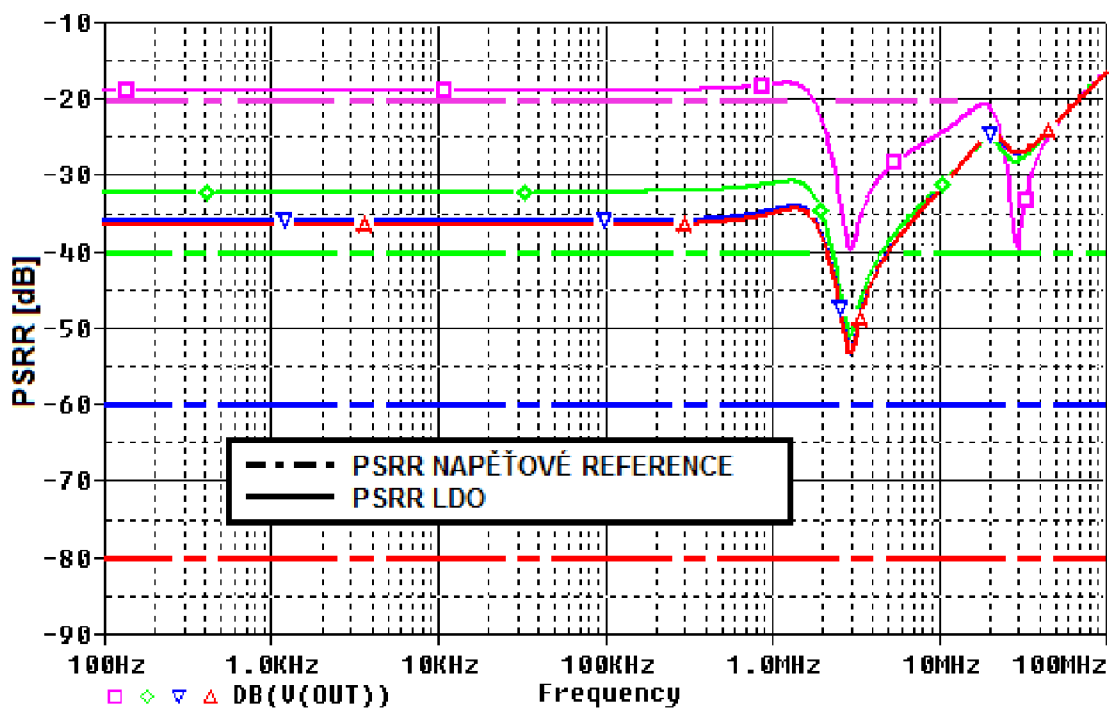
Obr. 4.72: PSRR LDO4 se strukturou BFVF-2 pro $U_{IN} = 2,4 \text{ V}$,
 $I_{ZATEZ} = 100 \text{ mA}$, ESR = 10 mΩ, 50 mΩ, 150 mΩ.



Obr. 4.73: PSRR LDO4 se strukturou BFVF-2 pro $I_{ZATEZ} = 100 \text{ mA}$, nejhorší a nejlepší případ.



Obr. 4.74: PSRR LDO4 pro $I_{ZATEZ} = 100\text{ mA}$, $U_{IN} = 2,4\text{ V}$, $t = -50\text{ }^{\circ}\text{C}; 27\text{ }^{\circ}\text{C}; 125\text{ }^{\circ}\text{C}$.



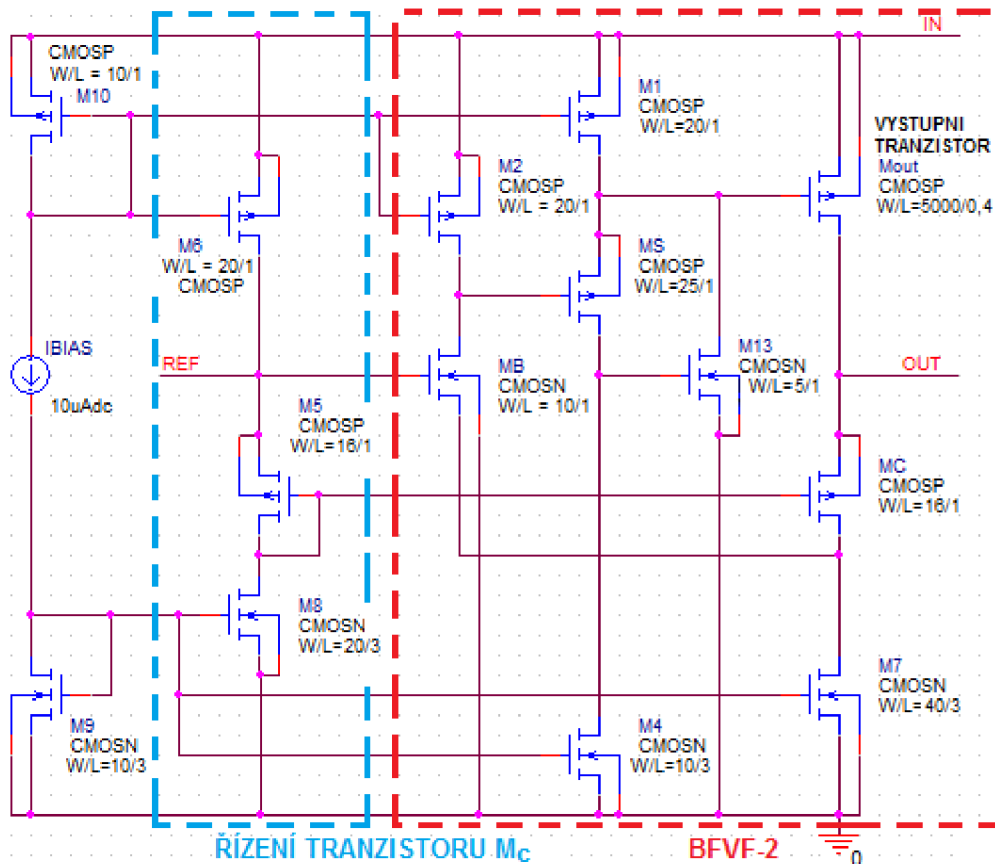
Obr. 4.75: PSRR LDO4 se strukturou BFVF-2, $C_{OUT} = 1\mu\text{F}$, $U_{IN} = 2,4\text{ V}$, $I_{ZATEZ} = 100\text{ mA}$, vliv neideální napěťové reference na PSRR LDO. $PSRR_{REF} = -20\text{ dB}; -40\text{ dB}; -60\text{ dB}; -80\text{ dB}$.

Ze zapojení na obr. 4.60 a obr. 4.61 plyne další výhoda všech struktur FVF, a to je menší vliv neideální napěťové reference na výsledné $PSRR_{dB}$. Jelikož je mezi výstupem LDO a vstupem REF pro napěťovou referenci jednotkový zisk, zvlnění referenčního napětí se na výstup LDO přenese bezzměny. $PSRR$ simulované s ideální referencí a $PSRR_{REF_dB}$, tedy stačí pouze sečíst. Je uveden výpočet pro $PSRR_{REF_dB} = -40$ dB. Výpočet pro výsledné $PSRR_{dB}$ (4.56) potvrzuje simulované $PSRR$ s neideální referencí, což je zobrazeno na obr. 4.75.

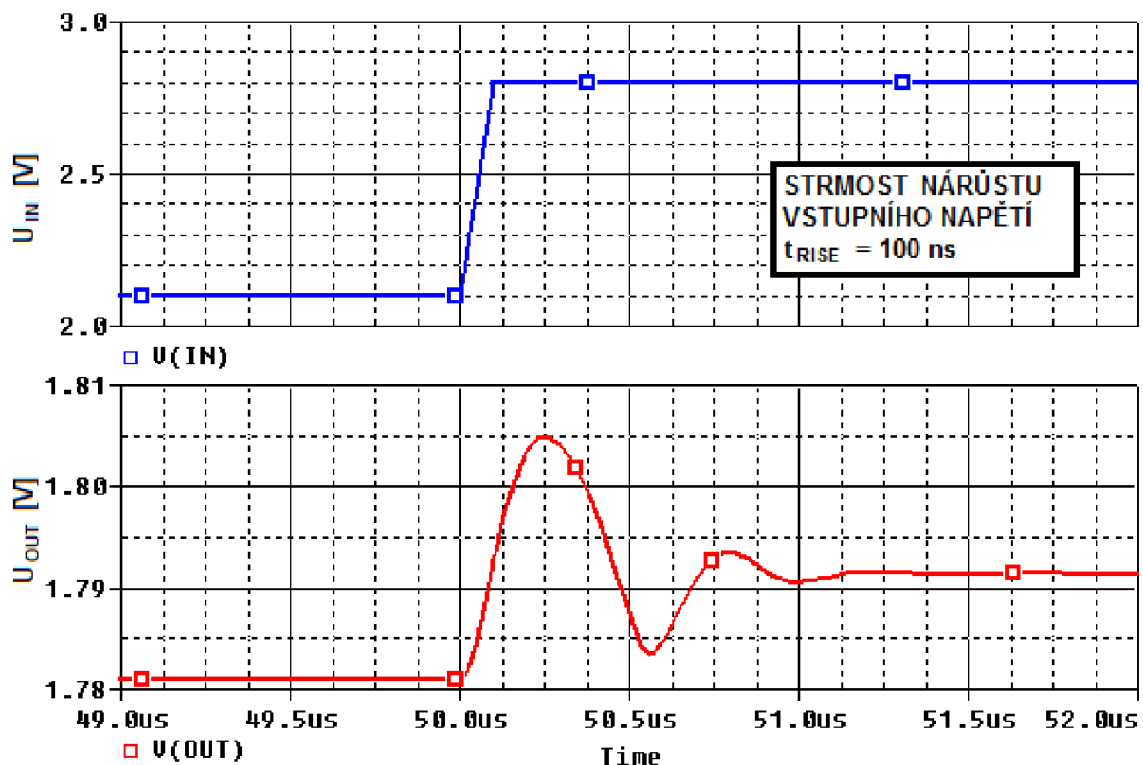
$$PSRR_{REF} = 10^{\left(\frac{PSRR_{REF_dB}}{20}\right)} = 10^{\left(\frac{-40}{20}\right)} = 0,01, \quad (4.54)$$

$$PSRR = 10^{\left(\frac{PSRR_{dB}}{20}\right)} = 10^{\left(\frac{-32,0}{20}\right)} = 0,015, \quad (4.55)$$

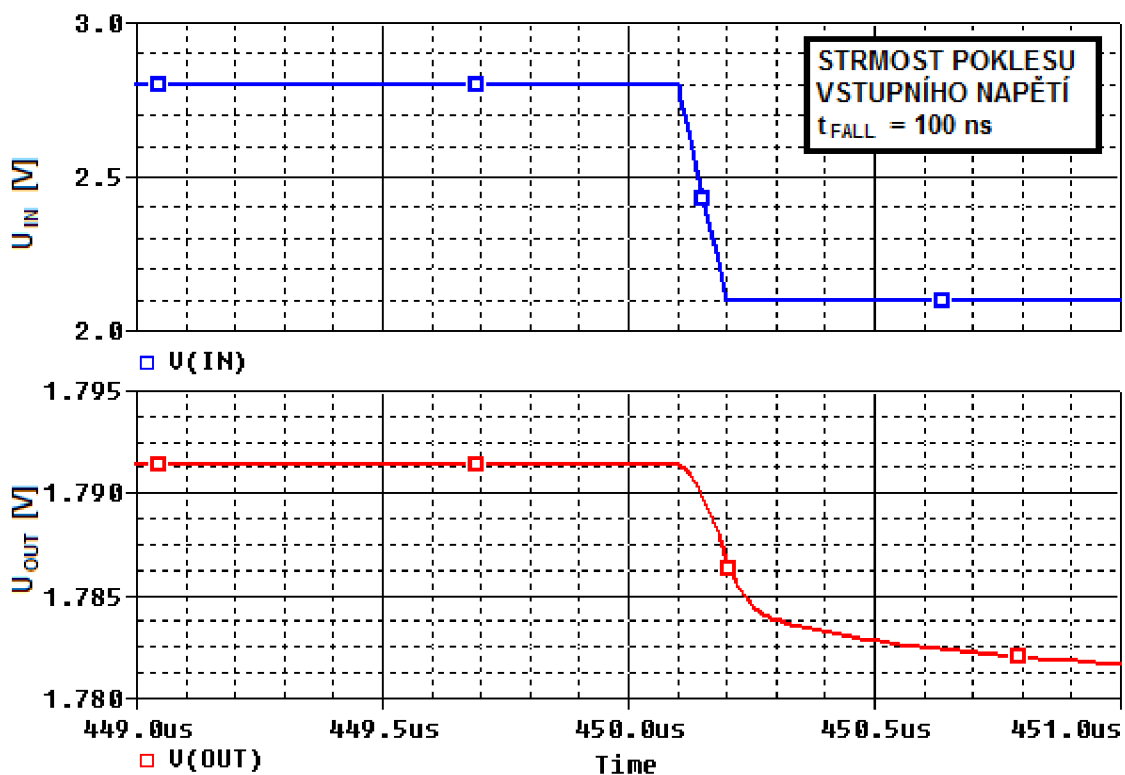
$$PSRR_{dB} = 20 \cdot \log(PSRR + PSRR_{REF}) = 20 \cdot \log(0,01 + 0,015) = -32,0 \text{ dB}, \quad (4.56)$$



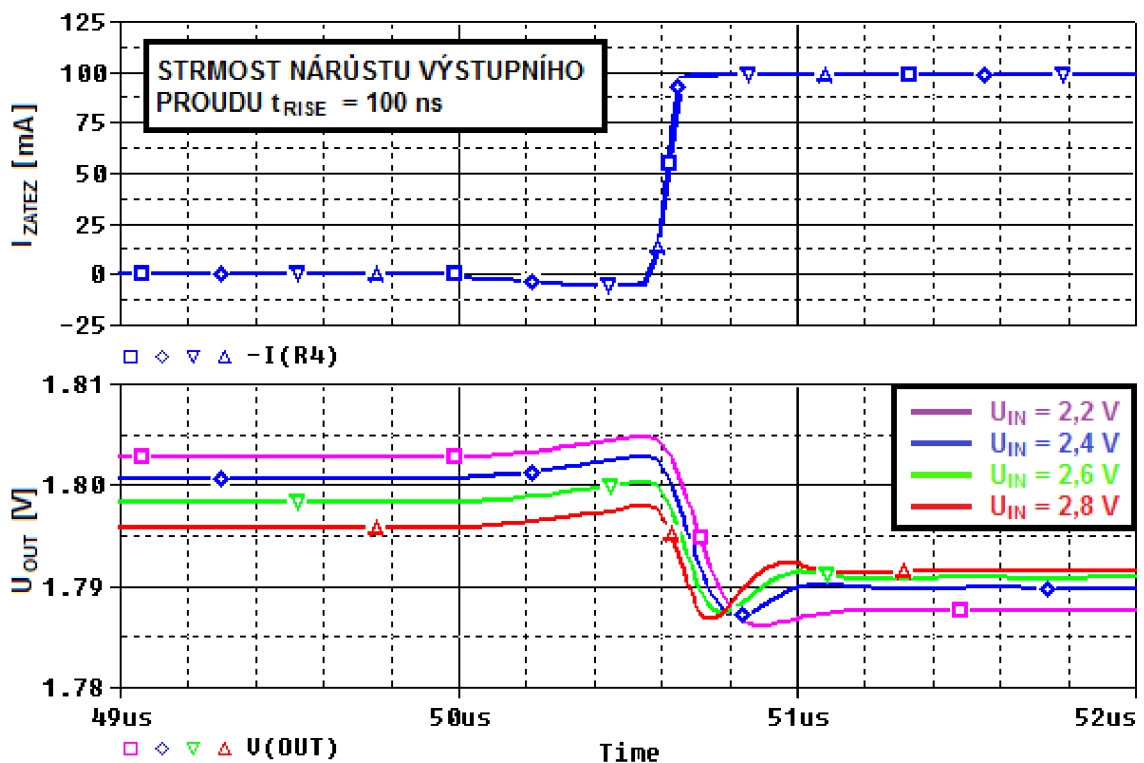
Obr. 4.76: Celkové schéma LDO4 se strukturou BFVF-2.



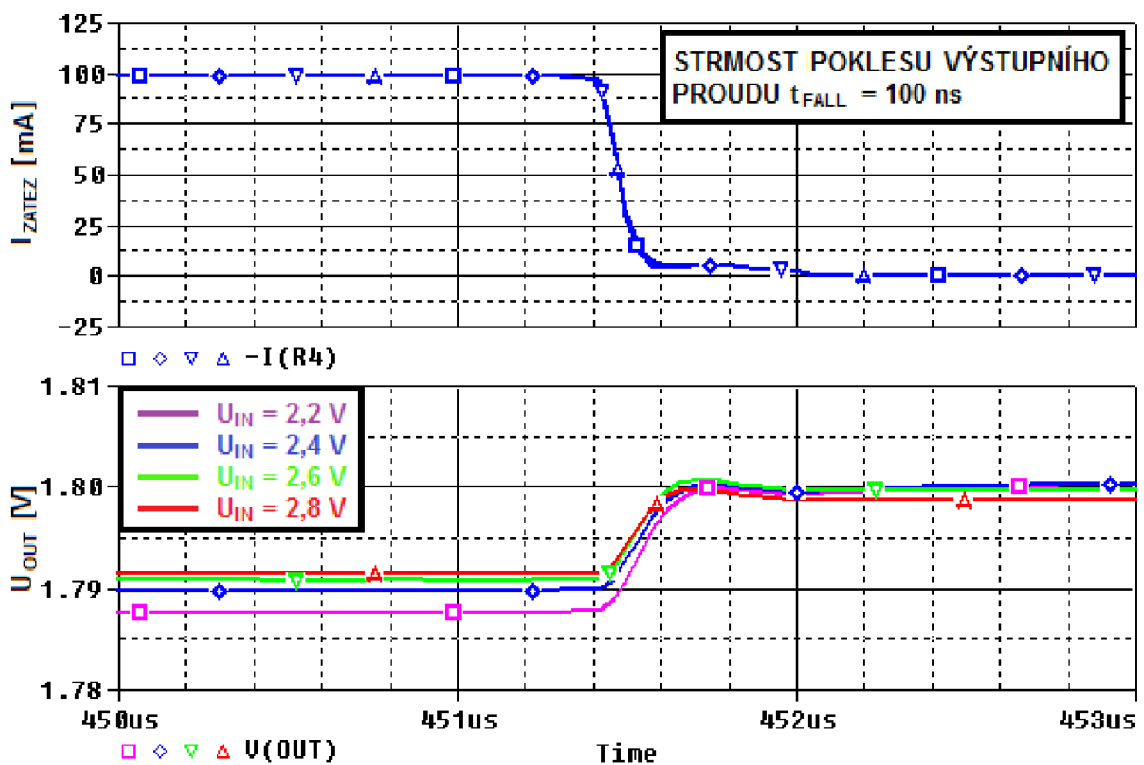
Obr. 4.77: Časová přechodná odezva LDO4 pro $U_{IN} = 2,1 \text{ V} \rightarrow 2,8 \text{ V}$,
 $I_{ZATEZ} = 100 \text{ mA}$.



Obr. 4.78: Časová přechodná odezva LDO4 pro $U_{IN} = 2,1 \text{ V} \rightarrow 2,8 \text{ V}$,
 $I_{ZATEZ} = 100 \text{ mA}$.



Obr. 4.79: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$.



Obr. 4.80: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$.

Struktura BFVF-2: Parametry W/L všech tranzistorů a ostatních součástek (odpory, kondenzátory a zdroje proudu) jsou sepsány v tab. 4.7. Dosažené parametry jsou shrnuty v tab. 4.8. Parametr rozptyl výstupního napětí U_{OUT_TOL} je určen tolerancí $\pm 3\%$ rozměrů W a L všech tranzistorů, hodnot rezistorů a kondenzátorů, stejným způsobem je simulováno i $PSRR$ pro nehorší a nejlepší případ na obr. 4.73.

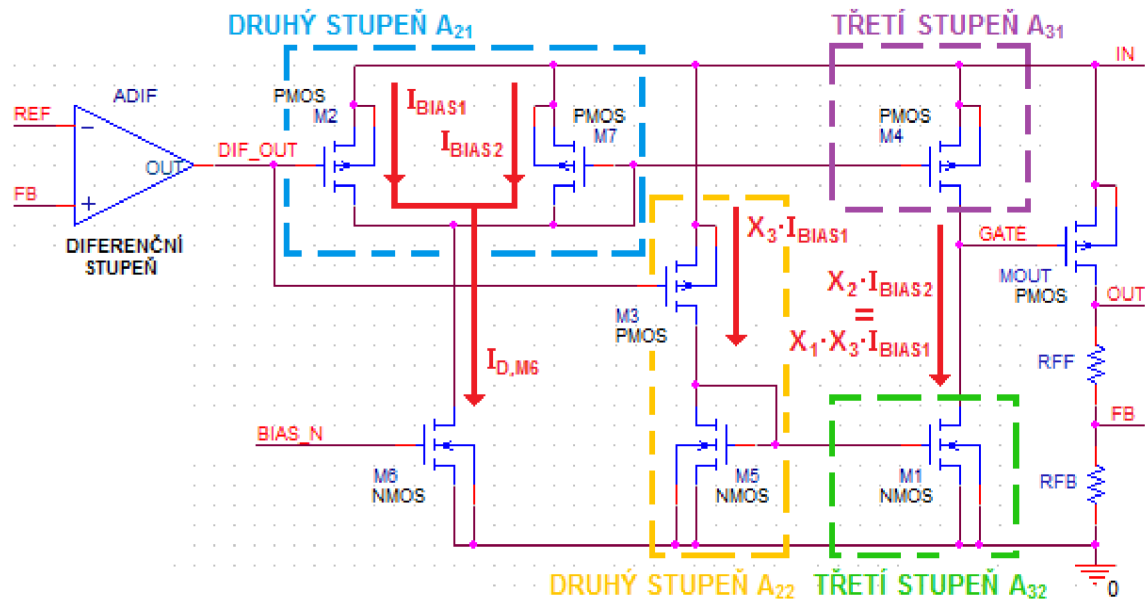
Tab. 4.7: Rozměry tranzistorů LDO4 se strukturou BFVF-2.

Tranzistor	Hodnota W/L [μm]
M_{OUT}	5000 / 0,4
M_1	30 / 1
M_2, M_6, M_{10}, M_B	10 / 1
M_4, M_7	40 / 2
M_5, M_{13}, M_C	20 / 1
M_8, M_9	20 / 2
M_S	25 / 1
Součástka	Hodnota
I_{BIAS}	10 μA
Simulační podmínky : $U_{IN} = 2,4 \text{ V}$, $t = 27 \text{ }^\circ\text{C}$	

Tab. 4.8: Parametry navrženého LDO4 se strukturou BFVF-2.

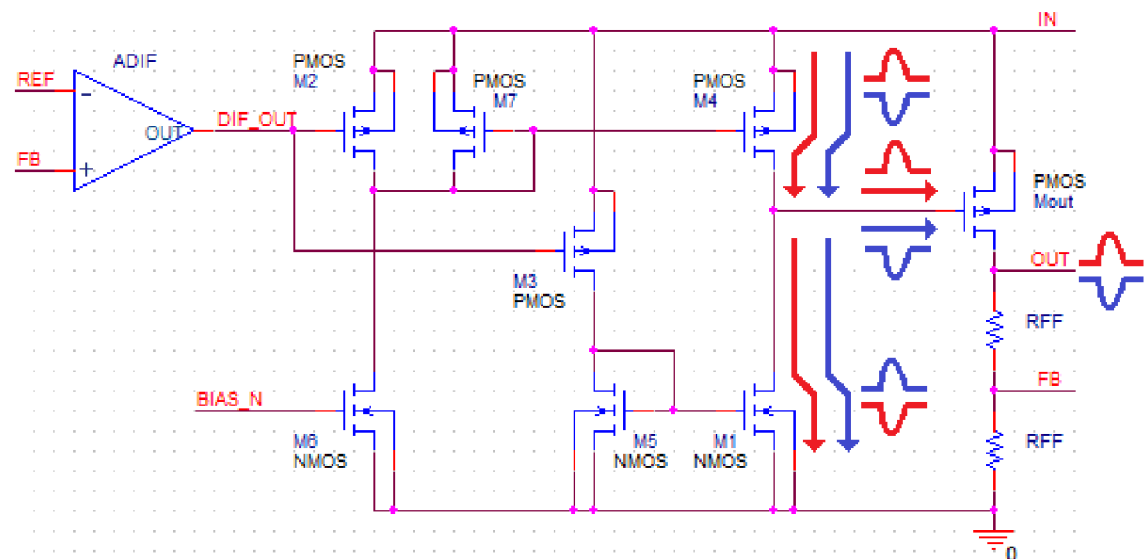
Parametr	Hodnota
Výstupní napětí U_{OUT} [V]	1,8
Rozptyl výstupního napětí U_{OUT_TOL} [mV]	± 1
Referenční napětí [V]	1,8
Ubýtek napětí na LDO U_{DROP} [mV]	300
Vstupní napěťový rozsah U_{IN_ROZASH} [V], $I_{ZATEZ} = 100 \text{ mA}$	2,1 až 2,8
Klidový proud I_Q [μA],	90
Zemní proud I_{GND} [μA], $I_{ZATEZ} = 100 \text{ mA}$.	90
$\Delta U_{OUT} / \Delta U_{IN}$ [mV/V]	14
$\Delta U_{OUT} / \Delta I_{ZATEZ}$ [V/A]	0,2
Rozsah ESR [$\text{m}\Omega$], $C_{OUT} = 1 \text{ }\mu\text{F}$.	10 až 150

4.4 Autoregulační smyčkaproudu druhého a třetího stupně (vlastní návrh, LDO5)

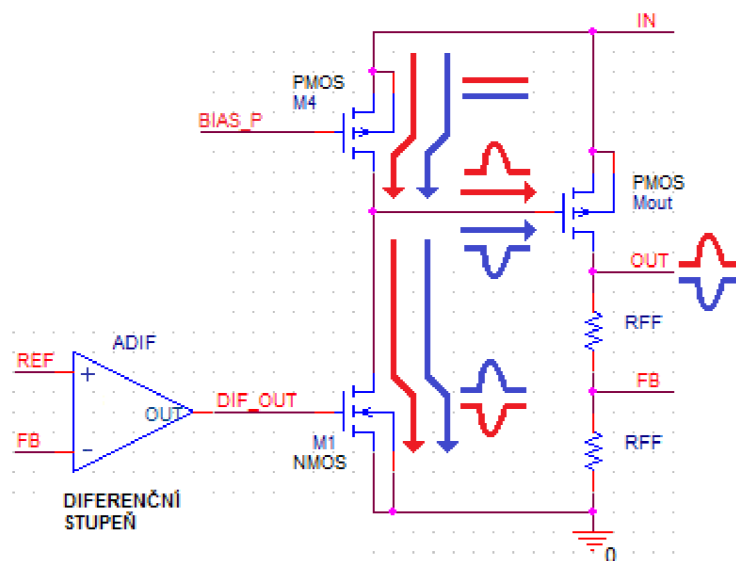


Obr. 4.81: Struktura LDO5.

Struktúra, obr. 4.81, je založena na koncepci LDO2 z kapitoly 4.1.1. Zapojení tranzistorů M_1 , M_3 a M_5 zůstává stejné. Druhý stupeň A_{22} s tranzistory M_3 a M_5 má opět nastaveno zesílení menší než 1. Tranzistor M_4 není v tomto případě pouze aktivní zátěž, která nastavuje proud třetím stupněm, ale i zesilovač, dochází tak nanavýšení transkonduktance třetího stupně, čímž výrazně poklesne proud tekoucí tímto stupněm. K výstupu DIF_OUT je připojen další druhý stupeň A_{22} , který má nastavné opět nízké zesílení vlivem nízkého vstupního odporu proudového zrcadla s tranzistory M_7 a M_4 . Proud I_{BIAS2} je pak dán rozdílem proudů $I_{D,M6}$ a I_{BIAS1} .



Obr. 4.82: Princip potlačení změn vstupního napětí LDO5.



Obr. 4.83: Princip potlačení změn vstupního napětí klasického LDO.

Na obr. 4.83 je princip potlačení změn vstupního napětí klasického LDO. Klasické LDO při příchodu podkmitu má strukturu stupně řídicího výstupní tranzistor, jehož aktivní zátěž dodává stálý a neměnný proud, proud $I_{D,M4}$. S příchodem překmitu proud $I_{D,M1}$ skočí na menší hodnotu, a rozdíl těchto proudů tvoří nabíjecí proud hradla. Při podkmitu proud $I_{D,M1}$ skočí na vyšší hodnotu, jelikož zesilovacím tranzistorem M_1 protéká vybíjecí proud hradla do země.

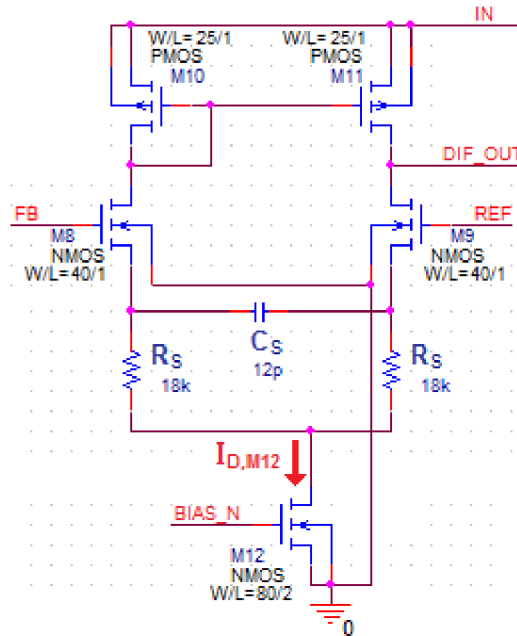
Na obr. 4.82 je princip potlačení změn vstupního napětí. Pokud se na výstupu nachází napěťový překmit, např. jako odezva na vstupní napěťový skok, pak proud $I_{D,M4}$ skočí ze své střední hodnoty na vyšší hodnotu a proud $I_{D,M1}$ skočí na menší hodnotu, rozdíl těchto proudů tvoří nabíjecí proud hradla. Při podkmitu na výstupu, proud $I_{D,M4}$ skočí na menší hodnotu a proud $I_{D,M1}$ skočí na vyšší hodnotu. Rozdíl těchto proudů tvoří vybíjecí proud hradla, který protéká do země.

Je zřejmé, že popisovaná struktura na obr. 4.81 a obr. 4.82 má vyšší transkonduktanci třetího stupně řídicího výstupní tranzistor. Proto je možné výrazně snížit napájecí proud $I_{D,M6}$ druhého a třetího stupně.

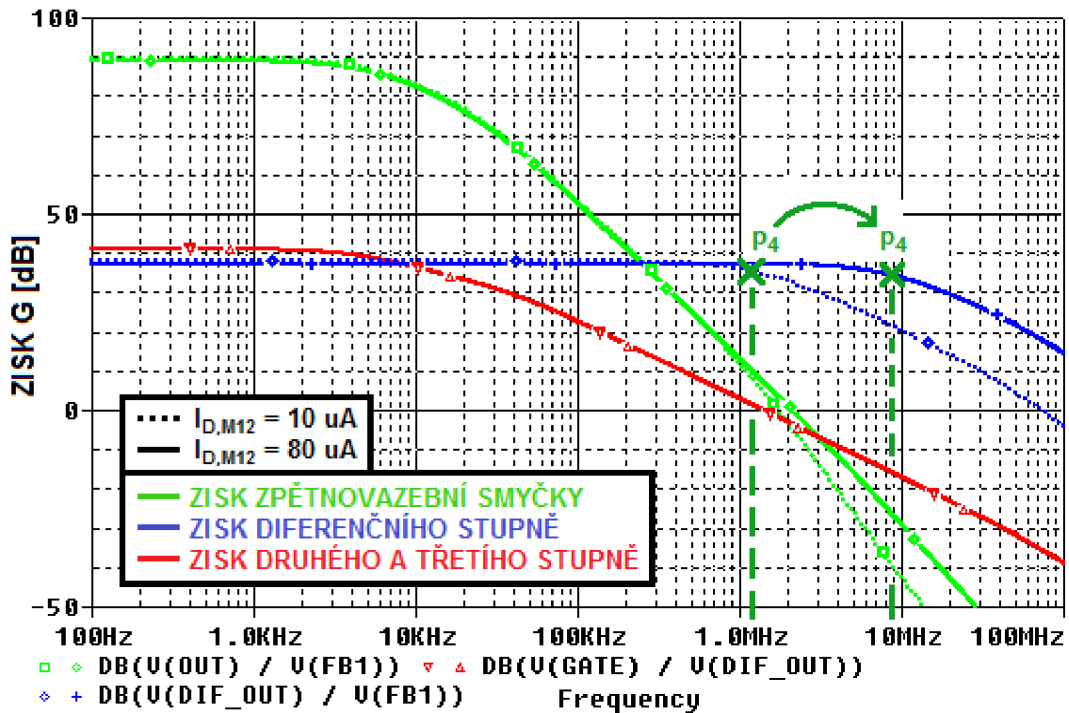
Tato struktura také odstrňuje nevýhodu struktury LDO2, oběma stupni A_{21} a A_{22} nyní protéká proud, který je nezávislý na výstupním proudu LDO, čímž se výrazně sníží rozptýl výstupního napětí.

4.4.1 Diferenční stupeň

V předchozích případech LDO je fázová rezerva zajištěna snížením výstupního odporu stupně řídicího výstupní tranzistor. Nyní je výstupní tranzistor řízen stupněm, jehož výstupní odpor je v řádu $M\Omega$. Proto je nutné napájet diferenční stupeň, jehož nejvyšším proudem $I_{D,M12}$ pro posun pólu p_4 výstupu diferenčního stupně, obr. 4.84, a tím i navýšení fázové rezervy celkového zapojení.



Obr. 4.84: Diferenční stupeň.



Obr. 4.85: Pól diferenčního stupně.

Je použit opět diferenční stupeň s NMOS zesilovacími tranzistory, zejména kvůli orientaci napětí U_{FB} , což je popsáno v kapitole 1.2. Jelikož je volen velmi vysoký proud $I_{D,M12}$, musí platit rovnice (4.57), tranzistor M_{12} musí pracovat v saturačním režimu. Hodnota odporu R_S záleží především na proudu $I_{D,M12}$ a také napěťovém prostoru, který je určen napěťovou referencí. Čím vyšší referenční napětí, tím vyšší proud $I_{D,M12}$ může být volen. Hodnota odporu R_S je určena úbytkem na tomto odporu, proto je volena hodnota $18 \text{ k}\Omega$, a proud $I_{D,M12}$ pak může být max. cca $80 \text{ }\mu\text{A}$, jelikož napětí $U_{DS,M12} = 250 \text{ mV}$, a napětí $U_{DSAT} = 200 \text{ mV}$. Pro lepší viditelnost pólu p_4 , vztah (4.6), C_{DIF} je parazitní kapacita výstupu DIF_OUT , v charakteristice zisku diferenčního stupně je simulace na obr. 4.85 provedena bez použití frekvenční kompenzace nulou z_2 s odpory R_S a kondenzátorem C_S . Frekvence nuly z_2 je dána vztahem (4.15). Rozměry W/L tranzistorů M_8 a M_9 jsou voleny v závislosti na napětí U_{GS} těchto tranzistorů, s rostoucím poměrem W/L klesá napětí U_{GS} , a tedy roste maximální proud $I_{D,M12}$, který je možné volit.

$$U_{DS,M12} = U_{REF} - \frac{I_{D,M12}}{2} \cdot R_S - U_{GS,M8} \geq U_{DSAT} \text{ [V]}, \quad (4.57)$$

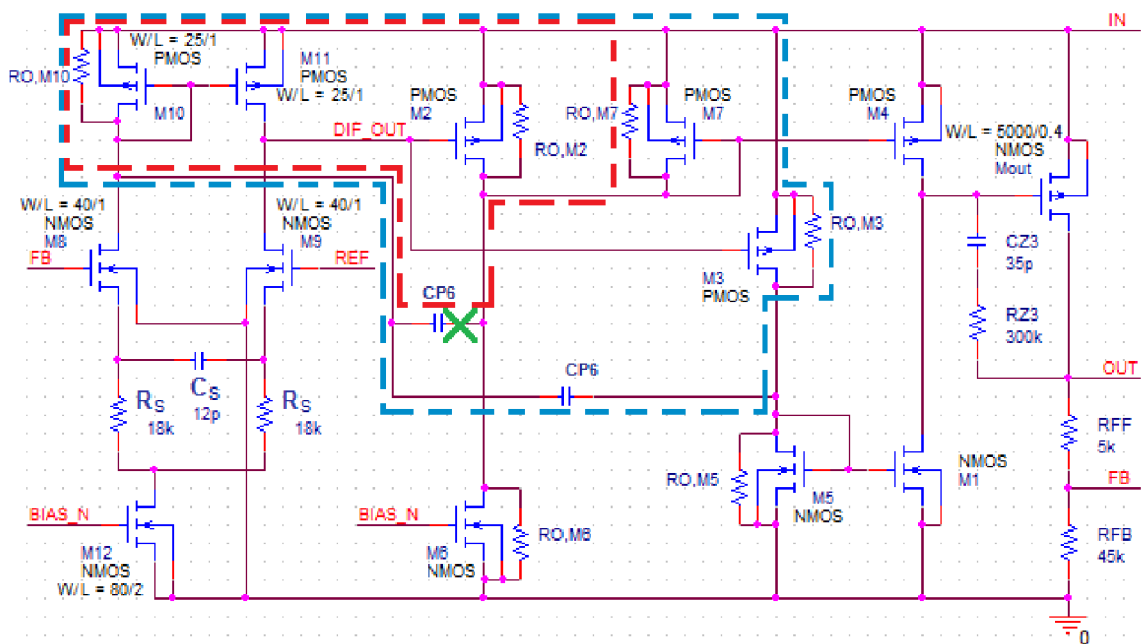
4.4.2 Frekvenční kompenzace

Je použita Millerova kapacita C_{Z3} , která vyřadí zisk výstupního tranzistoru. Nicméně nevýhodou je nutnost použití nulovacího rezistoru R_{Z3} , jehož hodnota je v řádu stovek $\text{k}\Omega$. A to kvůli transkonduktanci $g_{m,MOUT}$, která je závislá na výstupním proudu. Frekvenční kompenzace by se uplatnila jen v určitém rozsahu výstupních proudů, proto je zařazen seriově s kondenzátorem C_{Z3} rezistor R_{Z3} . Frekvence nuly z_3 je dána vztahem (4.58). Na obr. 4.88 je vidět, že na frekvenci f_{Z3} je umístěn pól p_5 . Proto ve frekvenční charakteristice zisku nedochází k poklesu. Nula z_3 je umístěna na frekvenci 100 krát nižší než tranzitní frekvence f_T . Časová konstanta (4.59) vychází $10,6 \text{ }\mu\text{s}$. Je volena kombinace $C_{Z3} = 35 \text{ pF}$ a $R_{Z3} = 300 \text{ k}\Omega$. Vztah (4.60) je převzat ze zdroje [14].

$$f_{Z3} = \frac{1}{2 \cdot \pi \cdot \left(\frac{1}{g_{m,MOUT}} + R_{Z3} \right) \cdot C_{Z3}} \approx \frac{1}{2 \cdot \pi \cdot R_{Z3} \cdot C_{Z3}} \approx \frac{f_T}{100} \text{ [Hz]}, \quad (4.58)$$

$$C_{Z3} \cdot R_{Z3} \approx \frac{1}{2 \cdot \pi \cdot f_{Z3}} \approx \frac{100}{2 \cdot \pi \cdot f_T} \text{ [s]}, \quad (4.59)$$

$$f_{P5} = \frac{C_{OUT} + R_{Z3} \cdot C_{Z3} \cdot g_{m,MOUT}}{2 \cdot \pi \cdot C_{OUT} \cdot R_{Z3} \cdot C_{Z3}} \text{ [Hz]}, \quad (4.60)$$



Obr. 4.86: Princip kompenzace s pólem C_{P6} .

Dále je použita Millerova kapacita C_{P6} , která na frekvenci f_{p6} vyřadí zisk tranzistoru M_{11} a M_3 . Díky nízkému odporu $R_{O,M10}$ je pól p_6 umístěn až za nulou z_4 . Jako invertující proudový sledovač je zde použita aktivní zátěž diferenčního páru. Frekvence f_{z4} je dána vztahem (4.61). Nula z_4 je umístěna přibližně na stejné frekvenci jako pól p_1 a nula z_3 , nedochází tedy k poklesu zisku ani fáze. Tímto je vyrušen vliv pólu p_1 , čímž je možné posunout dominantní pól na nižší frekvenci, v tomto případě je dominantní pól p_2 , aniž by musela být zvýšena hodnota výstupního kondenzátoru. Frekvence pólu je dána vztahem (4.62), parazitní kapacita tranzistoru je přibližně $4 \text{ fF}/\mu\text{m}^2$. Princip této kompenzace je popsán na obr. 4.87. Kapacita C_{P6} s transkonduktancí $g_{m,M5}$ vytváří ještě nulu z_5 , vztah (4.63), která je však umístěna na velmi vysoké frekvenci v řádu desítek MHz.

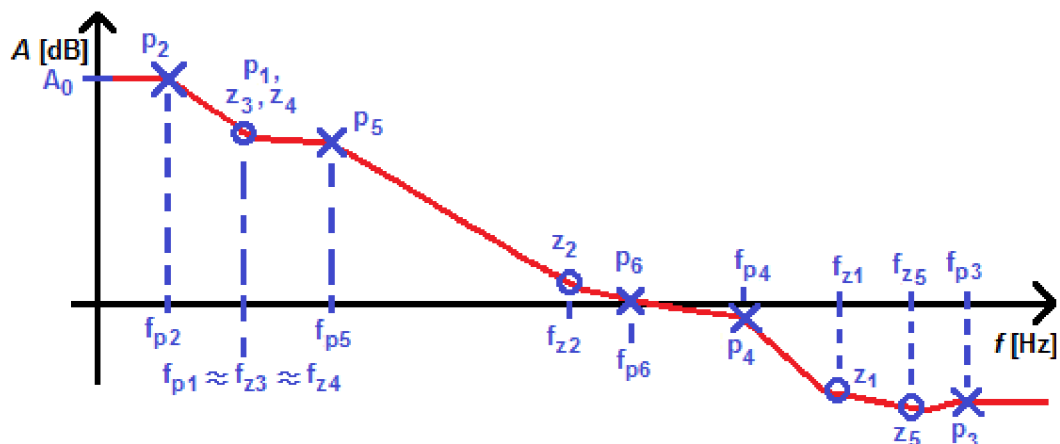
$$f_{z4} = \frac{g_{m,M11} \cdot g_{m,M3}}{2 \cdot \pi \cdot C_{P6}} [\text{Hz}], \quad (4.61)$$

$$f_{p6} = \frac{g_{m,M10}}{2 \cdot \pi \cdot (C_{P6} \cdot A_{M11} \cdot A_{M3} + C_{PAR,DIF})} [\text{Hz}], \quad (4.62)$$

$$f_{z5} = \frac{g_{m,M5}}{2 \cdot \pi \cdot C_{PAR,2,ST}} [\text{Hz}], \quad (4.63)$$

Kondenzátor C_{P6} musí kompenzovat zisk stupně A_{22} , tedy musí být připojen k tranzistoru M_5 , na obr. 4.87 modrá přerušovaná čára. Kdyby kondenzátor byl připojen k tranzistoru M_7 , a kompenzoval tak zisk stupně A_{22} , vytvořil by oscilační vazbu s kladnou zpětnou vazbou, na obr. 4.87 červená přerušovaná čára, která je tvořena součtem odporů $R_{O,M7}$ a $R_{O,M10}$. V případě připojení kapacity C_{P6} k tranzistoru M_5 je

konenzátor C_{P6} připojen k odporu $R_{O,M10}$ přes velmi vysoký odpor $R_{O,M3}$. Pro přehlednost jsou všechny nuly a póly sepsány v tab. 4.9.



Obr. 4.87: Rozložení pólů a nul ve frekvenční charakteristice zisku zpětnovazební smyčky LDO5.

Tab. 4.9: Seznam pólů a nul označených na obr. 4.82.

Pól, nula	Frekvence $f_{p,z}$ [Hz]	Součástka, parametr
p_1	11,3 k	C_{OUT}, R_{ZATEZ}
p_2	880	$C_{GS,MOUT}, R_{OUT,3ST}$
p_3	120 M	$g_{m,M7}, C_{PAR,2ST}$
p_4	8,8 M	$R_{OUT,DIF}, C_{OUT,DIF}$
p_5	55 k	$C_{Z3}, R_{Z3}, C_{OUT}, g_{m,MOUT}$
p_6	800 k	$C_{P6}, g_{m,M10}$
z_1	15,9 M pro $ESR = 10 \text{ m}\Omega$	C_{OUT}, ESR
z_2	331 k	C_S, R_S
z_3	15 k	C_{Z3}, R_{Z3}
z_4	6,5 k	$C_{P6}, g_{m,M11}, g_{m,M3}$
z_5	80 M	$C_{P6}, g_{m,M5}$

4.4.3 Druhý a třetí stupeň

Nasledující vztahy (4.64), (4.65) a (4.66) popisují princip druhého a třetího stupně, který je popsán na obr. 4.81. Nejvyšší hodnoty fázové rezervy je dosaženo, když koeficient $X_3 = 1$, (4.67), tzn. tranzistory M_2 a M_3 mají stejný poměr rozměrů $(W/L)_{M2,M3} = 10/1$, jejich proudy se pak také rovnají. Dále koeficienty X_1 a X_2 se rovnají, (4.68). Proud I_{BIAS1} a I_{BIAS2} se pak rovnají, a platí pro ně vztah (4.69).

$$I_{D,M3} = I_{D,M5} = X_3 \cdot I_{BIAS1} [A], \quad (4.64)$$

$$I_{D,M1} = I_{D,M4} = X_1 \cdot X_3 \cdot I_{BIAS1} = X_2 \cdot X_3 \cdot I_{BIAS2} [A], \quad (4.65)$$

$$I_{D,M6} = I_{D,M2} + I_{D,M7} = I_{BIAS1} + I_{BIAS2} = I_{BIAS1} + I_{BIAS1} \cdot \frac{X_1 \cdot X_3}{X_2} [-], \quad (4.66)$$

$$X_3 = \frac{\left(\frac{W}{L}\right)_{M3}}{\left(\frac{W}{L}\right)_{M2}} = 1 [-], \quad (4.67)$$

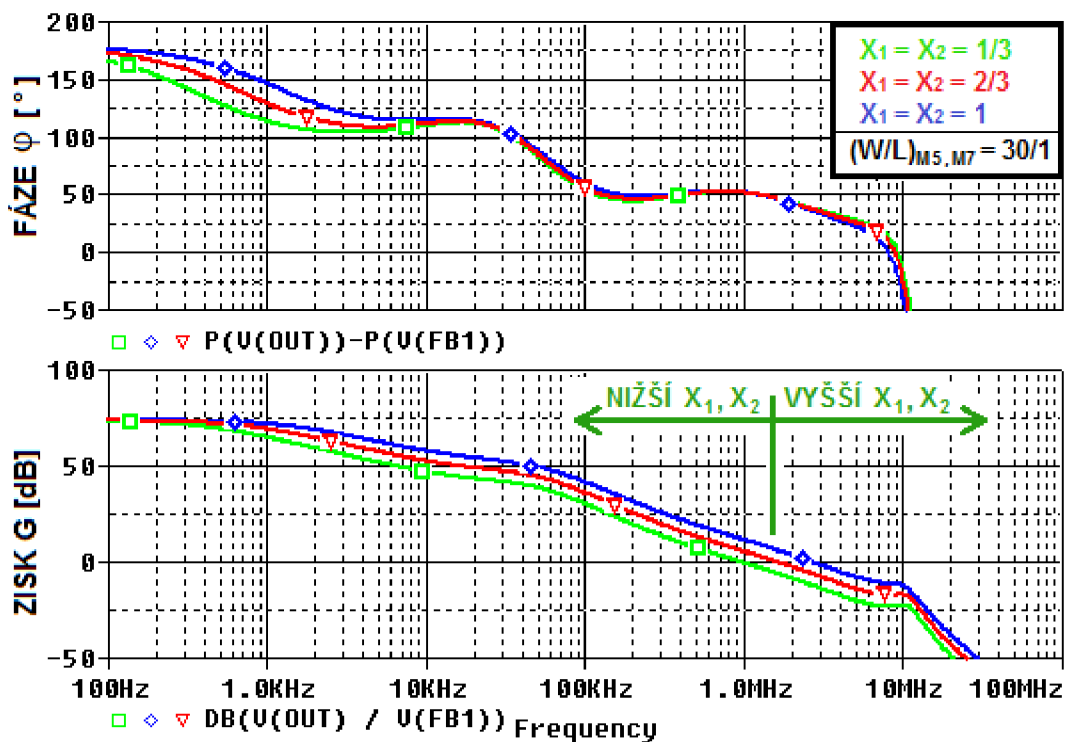
$$X_1 = \frac{\left(\frac{W}{L}\right)_{M1}}{\left(\frac{W}{L}\right)_{M5}} = X_2 = \frac{\left(\frac{W}{L}\right)_{M4}}{\left(\frac{W}{L}\right)_{M7}} [-], \quad (4.68)$$

$$I_{BIAS1} = I_{BIAS2} = \frac{I_{D,M6}}{2} [A], \quad (4.69)$$

Ze simulace na obr. 4.89 je zřejmé, že zisk zrcadel, které tvoří třetí stupeň, tedy koeficienty X_1 a X_2 nemají téměř žádný vliv na fázovou rezervu, jelikož rozměry tranzistorů M_5 a M_7 jsou stejné při všech variantách koeficientů X_1 a X_2 . Je zřejmé, že vyšší koeficienty X_1 a X_2 znamenají zvýšení tranzitní frekvence. U tak nízkého proudu tekoucím stupněm, $I_{D,M1} = 3,3 \mu A$, kterým je řízen výstupní tranzistor, lze očekávat nižší hodnotu rychlosti přeběhu třetího stupně, $SR_{3,ST} = 0,8 V/\mu s$. Což má vliv zejména na časovou přechodnou odezvu na vstupní napěťový skok, simulace na obr. 4.103, obr. 4.104, obr. 4.105.

$$I_{D,M1} = I_{D,M4} = I_{BIAS1} \cdot X_1 = \frac{I_{D,M6}}{2} \cdot X_1 [Hz], \quad (4.70)$$

$$SR_{3,ST} = \frac{2 \cdot I_{D,M1}}{C_{PAR,3,ST} + C_{GS,MOUT}} = \frac{X_1 \cdot I_{D,M6}}{C_{PAR,3,ST} + C_{GS,MOUT}} [Hz], \quad (4.71)$$



Obr. 4.88: Varianty koeficientu X_2 a X_1 , koeficient $X_3 = 1$, $I_{ZATEZ} = 100$ mA.

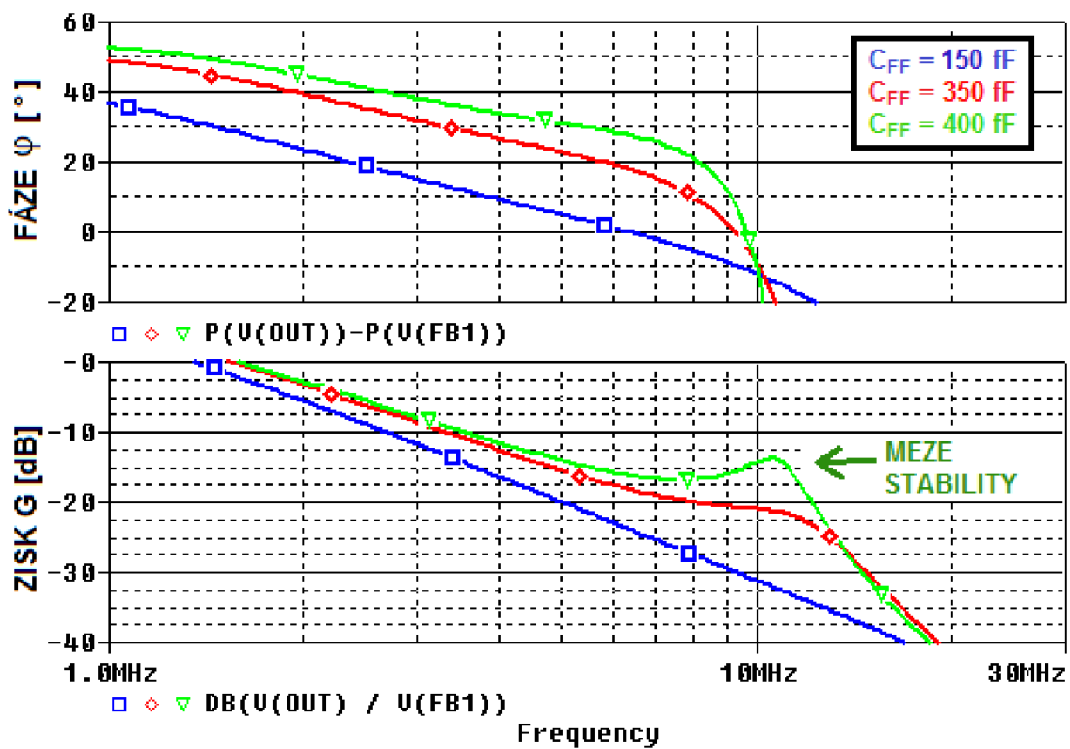
$$f_{P3} \approx \frac{g_{m,M7}}{2 \cdot \pi \cdot C_{PAR,2.ST.}} [\text{Hz}], \quad (4.72)$$

Pól p_3 , vztah (4.71), stupně A_{21} je na velmi vysoké frekvenci v řádu stovek MHz, jelikož jeho výstup má odpor v řádu jednotek $k\Omega$, a parazitní kapacita je v řádu desetin pF. Na obr. 4.90 je vidět vliv kapacity C_{P6} . Kapacita C_{P6} závisí na hodnotě zesílení stupně A_{22} , tedy jeho výstupní odpor, který je určen převrácenou hodnotou transkonduktance tranzistoru M_5 . Dále kapacita C_{P6} závisí na transkonduktanci tranzistoru M_3 . Zvýšením poměru $(W/L)_{M3}$, se zvýší transkonduktance, tím pádem se zvýší zesílení druhého stupně, frekvence nuly klesá, a fázová rezerva klesá. Proto je nutné zvýšit kapacitu C_{P6} . Nicméně opětovným zvýšením kapacity C_{P6} může dojít k nestabilitě, obr. 4.90. Rozměry $(W/L)_{M5,M7}$ tranzistoru M_5 a jsou nastaveny v kombinaci s kapacitou C_{P6} .

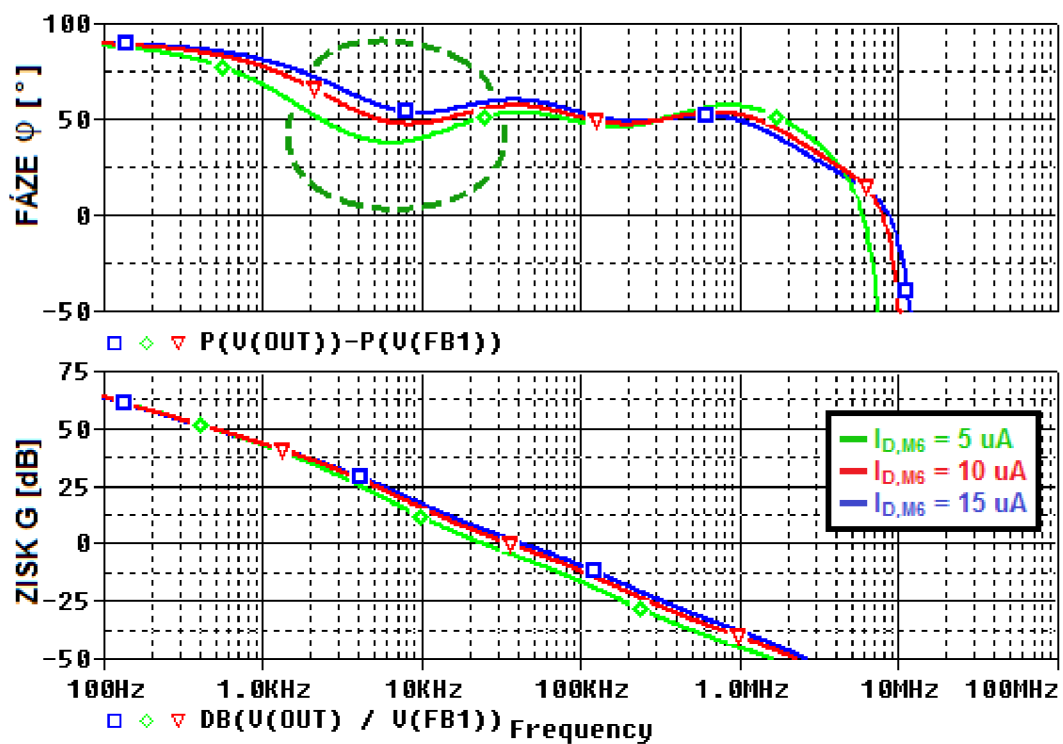
Tab. 4.10: Fázová rezerva v závislosti na kapacitě C_{P6} a rozměrech $(W/L)_{M5}$.

C_{P6} [fF]	$(W/L)_{M5,M7}$ [$\mu\text{m}/\mu\text{m}$]	$R_{O,M5}$ [$k\Omega$]	Frekvence f_{P6} [kHz]	Frekvence f_{Z4} [kHz]	Fázová rezerva PM [°]	
					$I_{ZATEZ} = 100$ mA	$I_{ZATEZ} = 0$ A
280	6/1	12,5	478	9	40,9	43,1
330	12/1	10,8	469	8,2	43,1	44,5
370	21/1	9,8	461	7,9	44,2	45,9
400	30/1	9,4	444	6,5	45	46,6

$(W/L)_{M1,M4} = (1/2) \cdot (W/L)_{M5,M7}$, $I_{D,M6} = 10 \mu\text{A}$



Obr. 4.89: Nastavení kmitočtové kompenzace s pólem p_6 , $I_{ZATEZ} = 100$ mA.



Obr. 4.90: Varianty koeficientu X_2 , $X_1 = X_3 = 1$, $I_{ZATEZ} = 0$ A.

V tab. 4.10 jsou zobrazeny hodnoty fázové rezervy pro průzné výstupní odpory tranzistoru M_5 .

Proud $I_{D,M6}$ je určen hodnotou fázové rezervy při výstupním proudu $I_{ZATEZ} = 0$ A. Je zřejmé, že při proudu $I_{D,M6} = 5 \mu\text{A}$ je výstupní odpor třetího stupně příliš vysoký, pól p_2 (4.75) se nachází na frekvenci v řádu jednotek kHz. Zvýšením proudu $I_{D,M6}$ dochází ke zvýšení frekvence f_{p2} a tím zvýšení fázové rezervy. Avšak zvýšením proudu nedochází pouze ke zvýšení fáze v oblasti nižších frekvencí, ale také snížení v oblasti tranzitní frekvence, je to zobrazeno na obr.5.91.

PSRR na nižších frekvencích je dáno zesílením zpětnovazební smyčky. Je tedy potřeba teplotně stabilní zesílení diferenčního stupně, který má nejvyšší vliv na rozptyl PSRR. Teplotní závislost napětí U_{GS} tranzistorů M_8 a M_9 je vyřazena odpory R_S , jelikož transkonduktance $g_{m,M8}$ je mnohonásobně vyšší než převrácená hodnota odporu R_S . Na teplotní závislost zesílení diferenčního stupně mají tedy vliv pouze odpory R_S a rozměry $(W/L)_{M10}$ a $(W/L)_{M11}$. Nicméně jelikož teplotní koeficienty odporů v technologii TSMC $0,25\mu\text{m}$ nejsou k dispozici nelze teplotní kompenzaci provést. Pro stanovení vlivu všech parametrů na zesílení A_{DIF} diferenčního stupně je vztah (5.73) upraven do podoby (4.74).

Je zřejmé, že stejně jako v případě LDO1, vliv odporu $R_{OUT,M9}$ na výstupní $R_{OUT,DIF}$ diferenčního stupně je téměř vyřazen, a výstupní odpor diferenčního stupně je dán téměř pouze výstupním odporem $R_{OUT,M11}$.

Tranzistory M_1 a M_5 pracují ve slabé inverzi, jelikož při proudu, který protéká těmito tranzistory, se na hradle GATE těchto tranzistorů nachází napětí $U_{GS} = 385$ mV, hranice mezi slabou a silnou inverzí pro NMOS je cca 400 mV, což je znázorněno na obr. 1.9. Na hradle GATE tranzistorů M_4 a M_7 se nachází napětí $U_{GS} = 605$ mV. Hranice mezi slabou a silnou inverzí je cca 570 mV pro PMOS, tranzistory M_4 a M_7 tedy pracují v silné inverzi.

$$A_{DIF} = \frac{1}{g_{m,M9} + R_S} \cdot \frac{1}{I_{D,M9} \cdot \left(\frac{\lambda_{M9}}{g_{m,M9} \cdot R_S} + \lambda_{M11} \right)} [-], \quad (4.73)$$

$$A_{DIF} \approx \frac{1}{R_S} \cdot \frac{2}{\left(\frac{\lambda_{M9}}{g_{m,M9} \cdot R_S} + \lambda_{M11} \right) \cdot \left(\frac{W}{L} \right)_{M11} \cdot K_{PP} \cdot [U_{GS,M10} - U_{TH,P}]^2} [-], \quad (4.74)$$

$$f_{p2} \approx \frac{1}{2 \cdot \pi \cdot R_{OUT,3,ST} \cdot (C_{GS,MOU} + C_{Z3})} [\text{Hz}], \quad (4.75)$$

$$R_{OUT,3,ST} = \frac{1}{I_{D,M1} \cdot (\lambda_{M1} + \lambda_{M4})} [\Omega], \quad (4.76)$$

Celkové zesílení druhého a třetího stupně A_{2X+3X} je dáno vztahy (4.77) a (4.78).

$$A_{2X+3X} = A_{21} \cdot A_{31} = A_{22} \cdot A_{32} [\text{Hz}], \quad (4.77)$$

$$A_{2X+3X} \approx \frac{g_{m,M2}}{g_{m,M7}} \cdot R_{OUT,3.ST} \cdot g_{m,M4} \approx \frac{g_{m,M3}}{g_{m,M5}} \cdot R_{OUT,3.ST} \cdot g_{m,M1} [\text{Hz}], \quad (4.78)$$

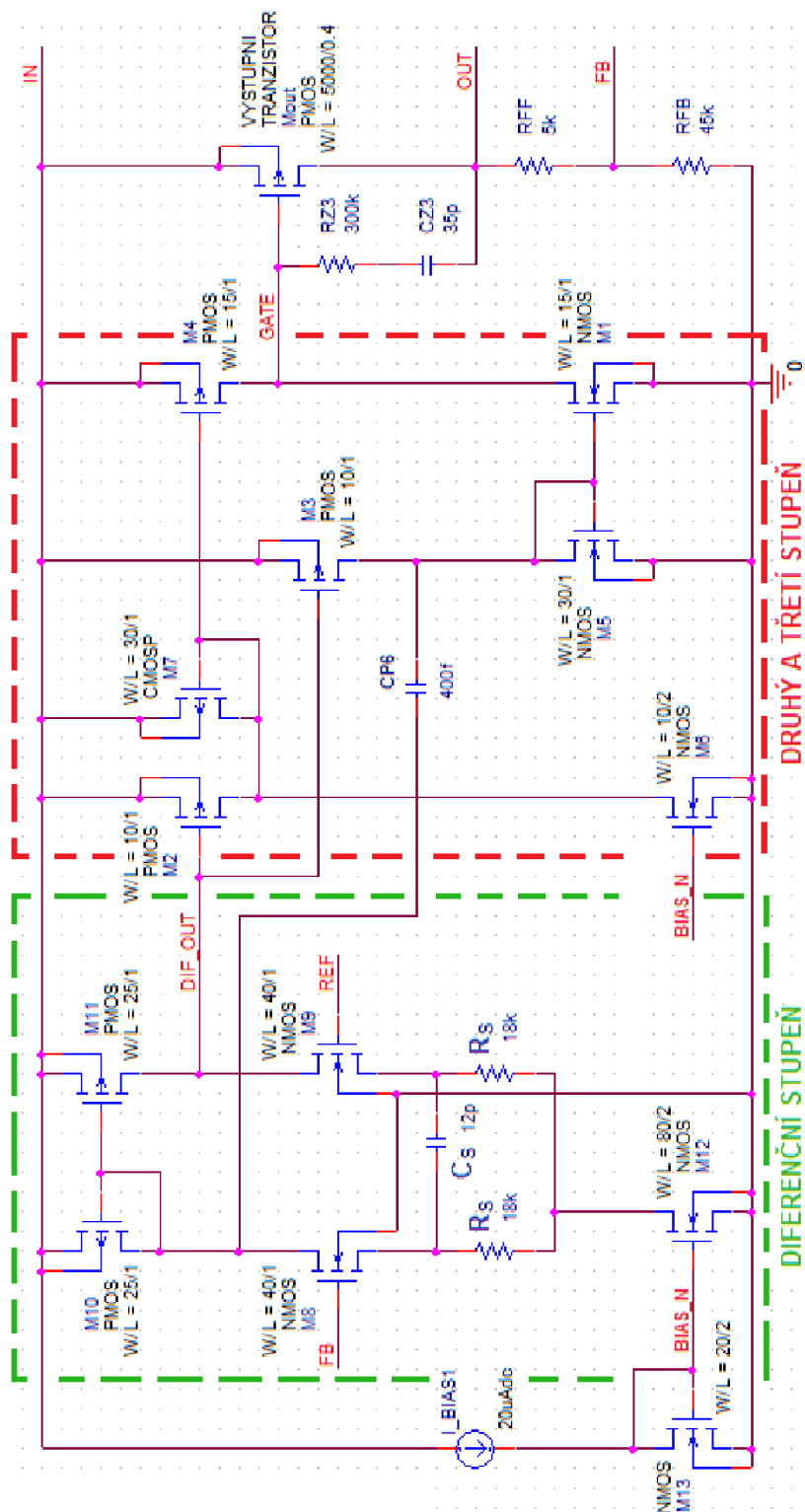
Celkové zesílení regulačního prvku a zpětnovazebního děliče, jímž je dáno $PSRR$ je označeno A , je dáno vztahem (4.79). $PSRR$ v oblasti frekvencí nižších než 1 kHz je rovno $PSRR$ při $f=1\text{kHz}$.

$$A = A_{DIF} \cdot A_{2X+3X} \cdot \beta [\text{Hz}], \quad (4.79)$$

Tab. 4.11: Hodnoty výpočtu a simulace zesílení.

Parametr	Vztah	Výpočet	Simulace
A_{21} [-]	(4.76), (4.77)	0,58	0,61
A_{22} [-]	(4.76), (4.77)	0,49	0,55
A_{31} [-]	(4.76), (4.77)	101	120
A_{32} [-]	(4.76), (4.77)	120	134
A_{2X+3X} [-]	(4.76), (4.77)	59	73
A_{DIF} [-]	(4.72)	16,5	17
A [-]	(4.78)	867	1104
$PSRR$ $ _{f=1\text{kHz}}$ [-]	(4.79)	$1,15 \cdot 10^{-3}$	$8,9 \cdot 10^{-5}$
$PSRR$ $ _{f=1\text{kHz}}$ [dB]	(4.79)	-59	-82

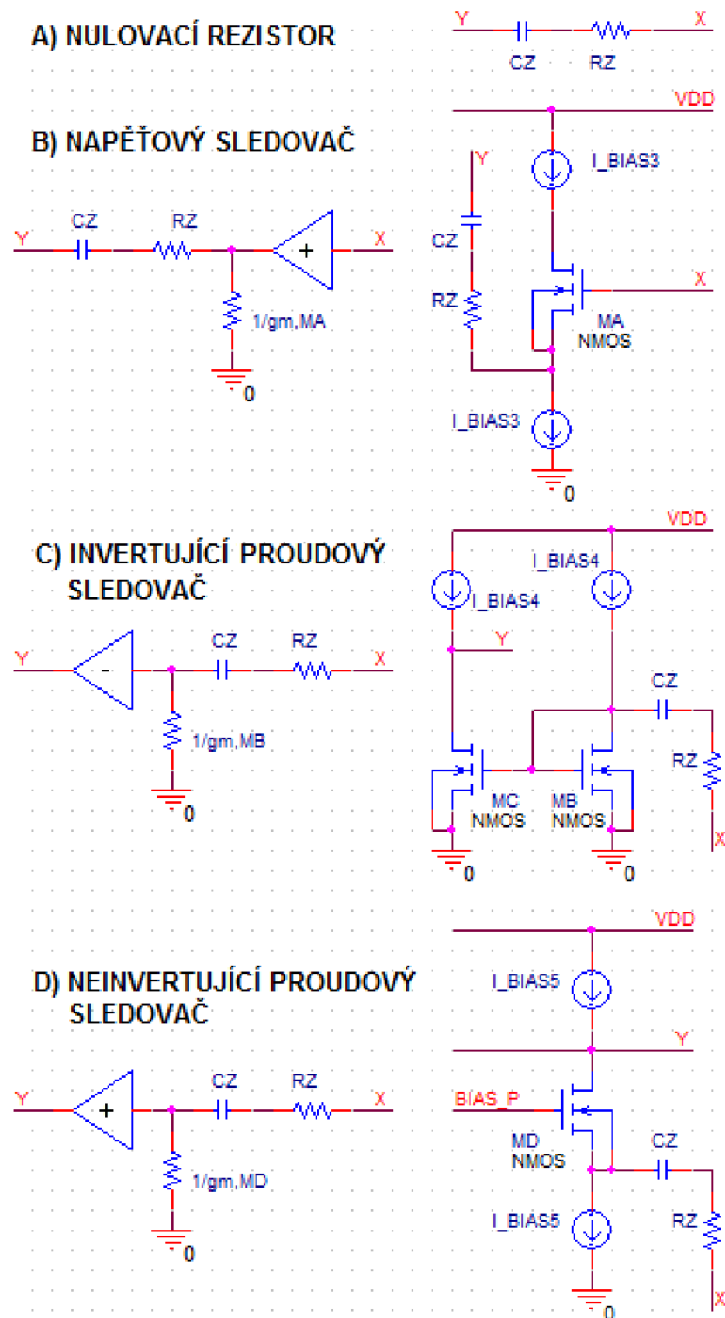
$$PSRR(f) \Big|_{1\text{k} < f < 10\text{k}} \approx \frac{f}{\beta \cdot A_{DIF} \cdot A_{2X+3X} \cdot f_{P2}} [\text{Hz}], \quad (4.80)$$



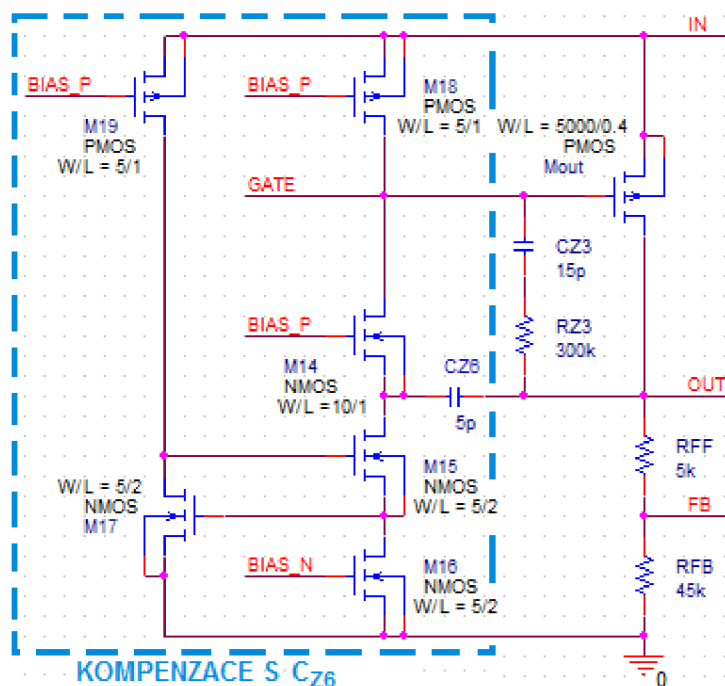
Obr. 4.91: Schéma LDO5 bez kompenzace s nulou z₅.

Na obr. 4.95 je vidět, že dochází ke stejnému problému se stabilitou jako u LDO3 se sledovačem 3 v kapitole 4.2. Tento problém lze odstranit umístěním další nuly v okolí tranzitní frekvence, lze pak předpokládat možné zvýšení frekvence f_{Z3} , tedy snížení kondenzátoru C_{Z3} , a zároveň dostatečnou fázovou rezervu.

Velkou nevýhodou frekvenční kompenzace s nulovacím rezistorem je plocha rezistoru R_{Z3} a kondenzátoru C_{Z3} na čipu. Na obr. 4.93 jsou zobrazeny možné úplné či částečné náhrady rezistorem R_{Z3} tranzistorem, tyto kompenzace jsou převzaty ze zdrojů [14] a [15].



Obr. 4.92: Možné úplné či částečné náhrady odporu R_{Z3} tranzistorem, b) napěťový sledovač, c) invertující proudový sledovač, d) neinvertující proudový sledovač.

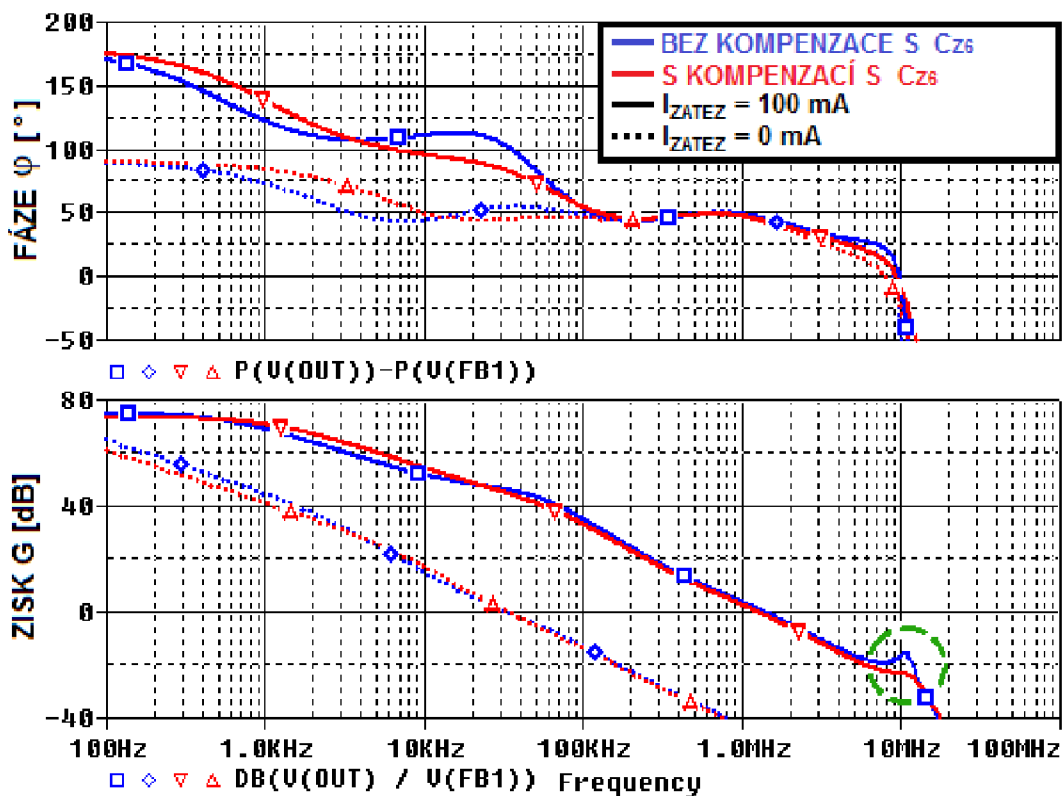


Obr. 4.93: Kompenzace C_{Z6} , proudový sledovač.

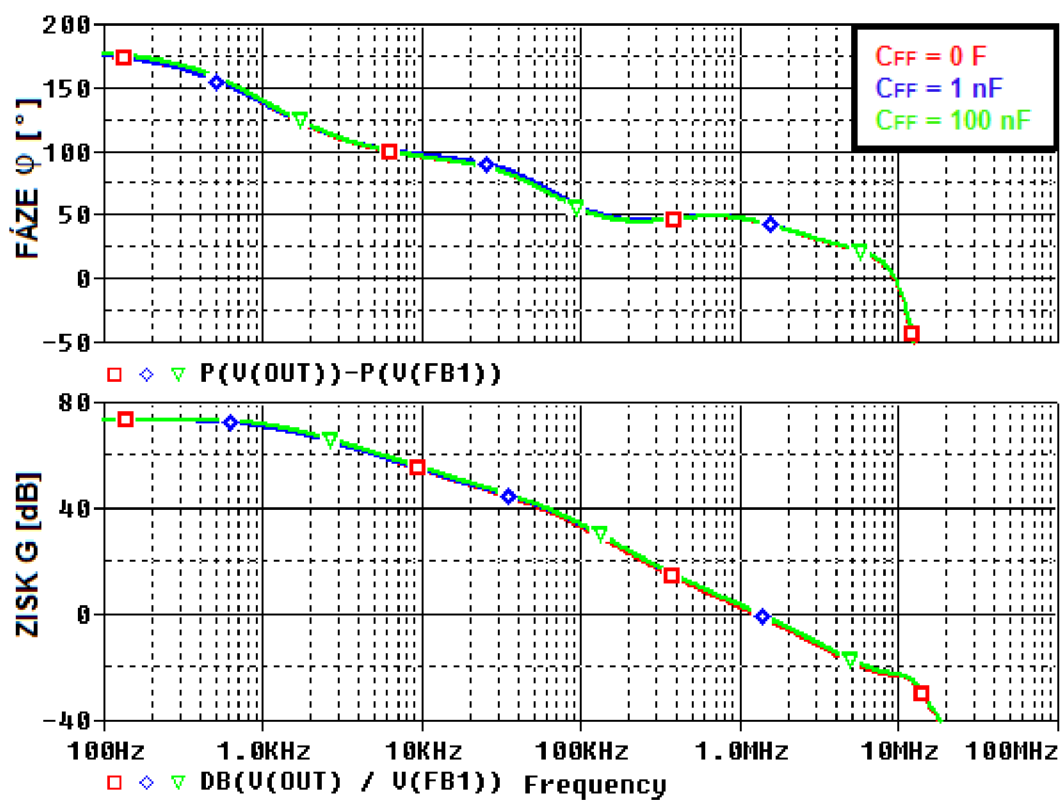
Ve většině případů těchto kompenzací je využito již použitého tranzistoru v celkovém zapojení. Kompenzace s C_{Z6} je založena na stejném principu jako kompenzace s nulou z_3 . Kapacita C_{Z6} je k uzlu GATE připojena přes výstupní odpor tranzistoru M_{14} jako proudového sledovače. Výstupní odpor sledovače je dán jeho transkonduktancí $g_{m,M14}$. Proud, který je tranzistorem M_{14} odebrán, musí být i dodán tranzistorem M_{18} . Tranzistor M_{14} musí být přizpen vyšším napětím než U_{BIAS_N} , je možné zde připojit U_{BIAS_P} , jelikož proud tranzistorem je určen tranzistorem M_{16} a M_{18} . Kdyby byl řízen napětím U_{BIAS_N} , proud tímto tranzistorem by klesl. Fázová rezerva roste s rostoucím proudem $I_{D,M14}$.

Pro vyšší přesnost proudu odebíraného tranzistorem M_{14} je použita regulovaná kaskoda, tranzistory M_{15} , M_{16} , M_{17} , která má zároveň stabilizovaný výstup, vysokou přesnost výstupního proudu, vysoký výstupní odpor a nízké minimální výstupní napětí, které je rovno saturačnímu napětí U_{DSAT} , jelikož tranzistor M_{15} může pracovat v lineárním režimu. Stabilizace je provedena tranzistorem M_{15} a M_{17} , je zřejmé, že přivření tranzistoru M_{17} způsobí pootevření tranzistoru M_{15} .

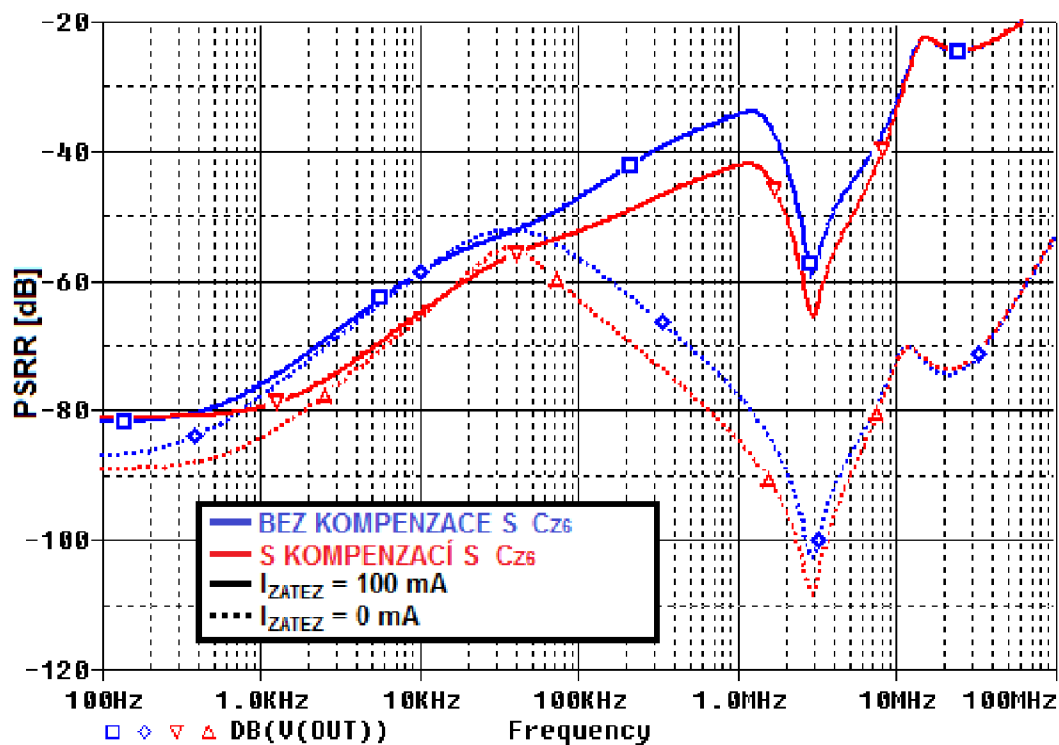
$$f_{z3} = \frac{1}{2 \cdot \pi \cdot \left(R_{Z3} + \frac{1}{g_{m,M14}} \right) \cdot (C_{Z3} + C_{Z5})} \quad [\text{Hz}], \quad (4.81)$$



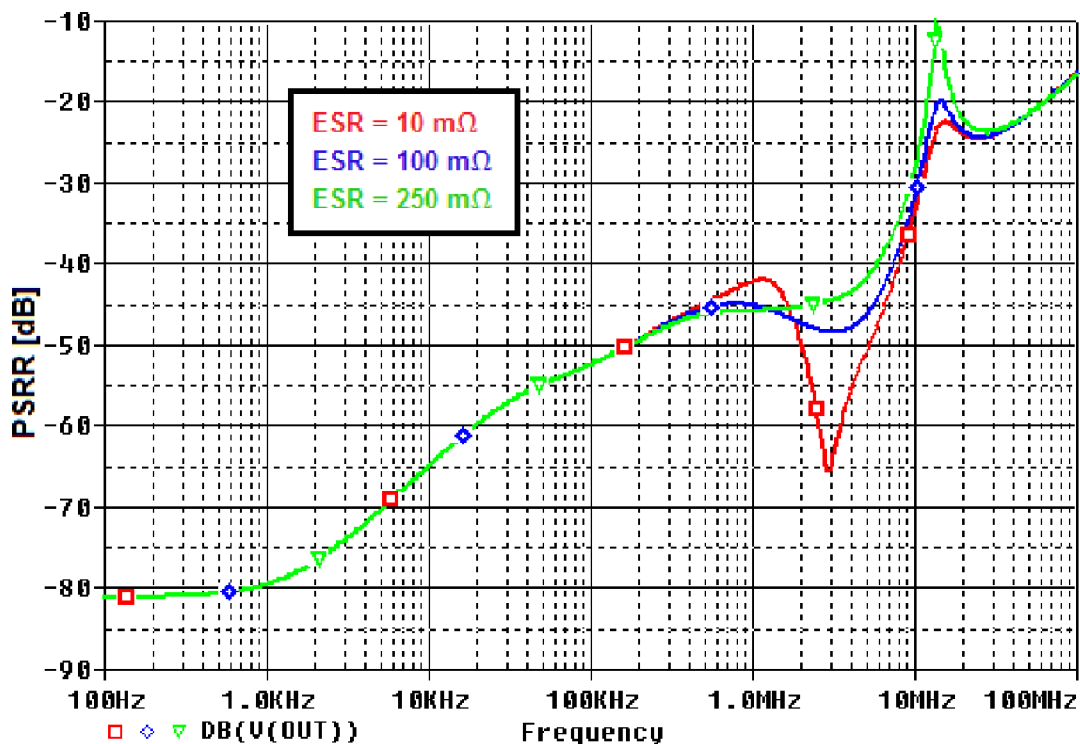
Obr. 4.94: Zisk a fáze s kompenzací s C_{Z6} a bez, $I_{ZATEZ} = 100 \text{ mA}$; 0 A .



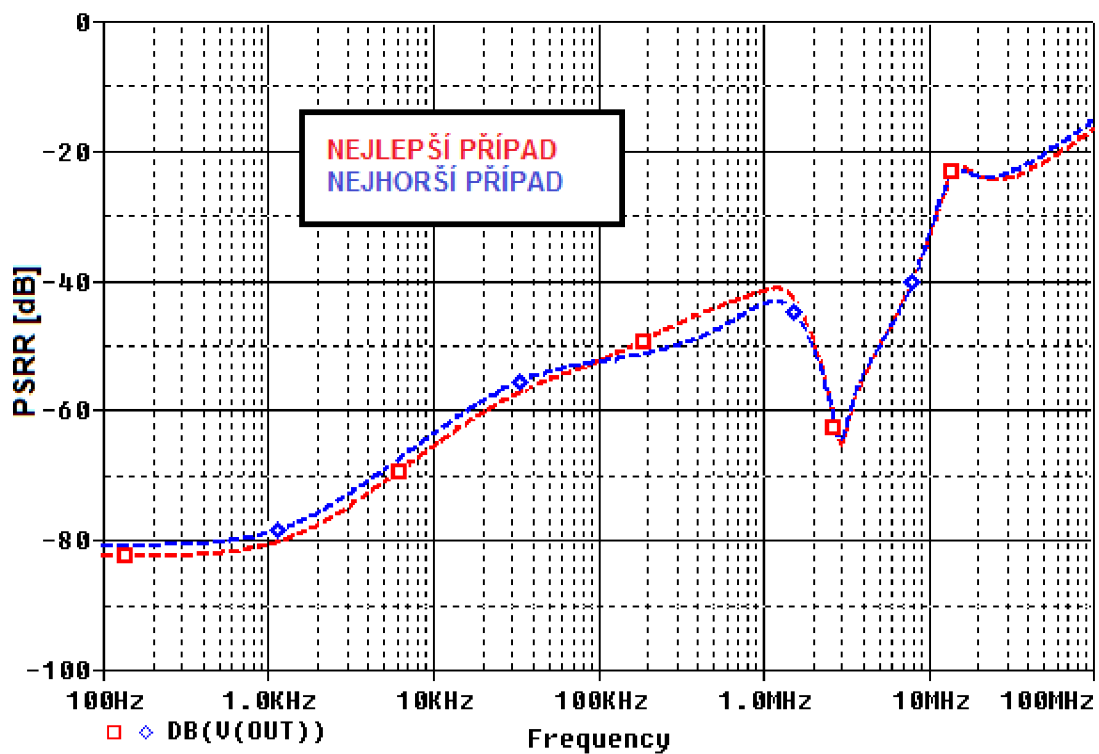
Obr. 4.95: Zisk a fáze LDO5, $I_{ZATEZ} = 100 \text{ mA}$, $C_{FF} = 0 \text{ F}$; 1 nF ; 100 nF .



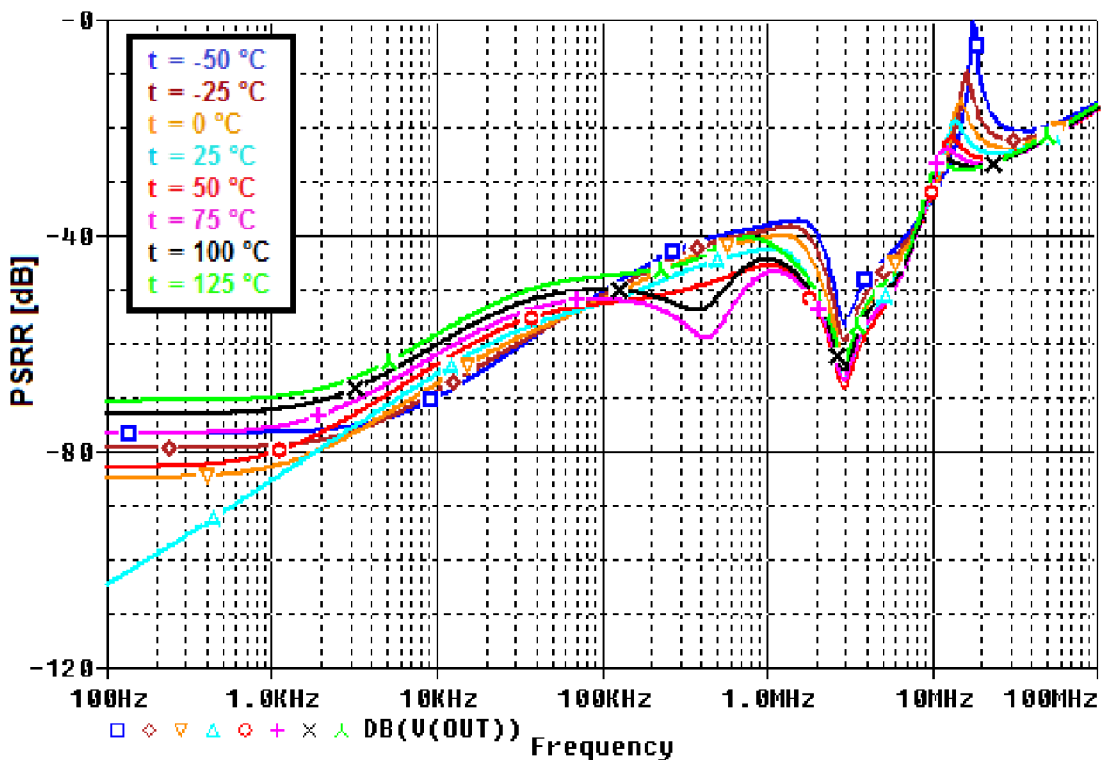
Obr. 4.96: PSRR s kompenzací s nulou z_5 a bez, $I_{ZATEZ} = 100 \text{ mA}$; 0 A .



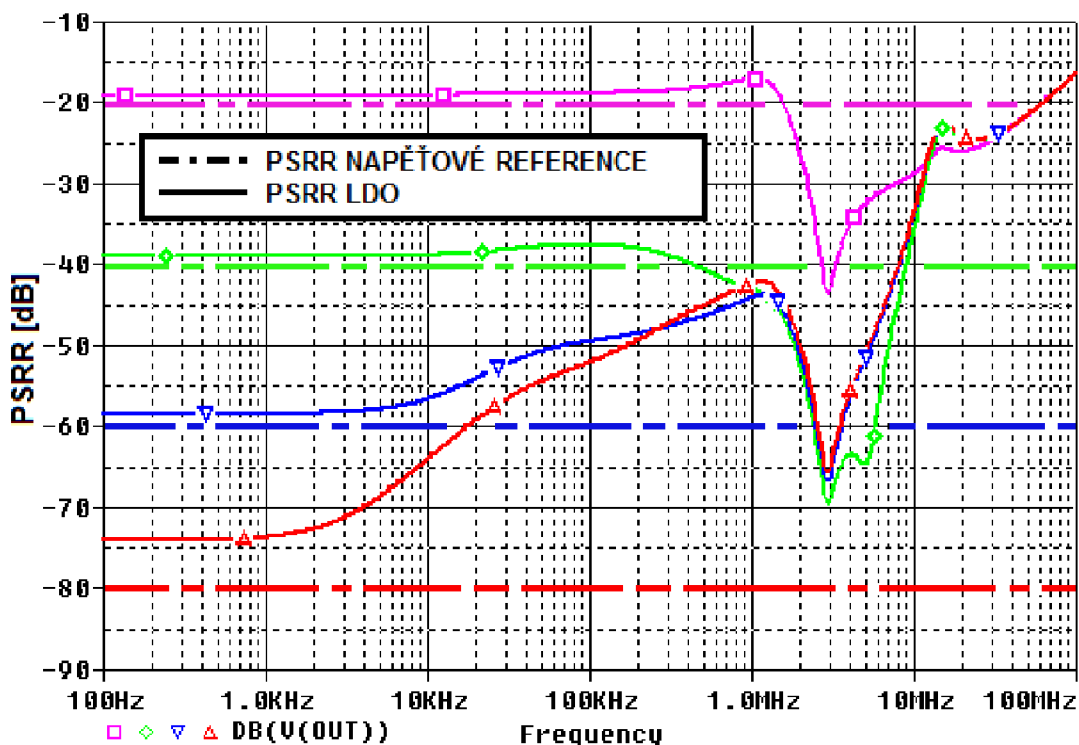
Obr. 4.97: PSRR LDO5, $I_{ZATEZ} = 100 \text{ mA}$, ESR = $10 \text{ m}\Omega$, $100 \text{ m}\Omega$, $25 \text{ m}\Omega$.



Obr. 4.98: $PSRR$ LDO5 pro $I_{ZATEZ} = 100$ mA, nejhorší a nejlepší případ.



Obr. 4.99: $PSRR$ LDO5 pro $I_{ZATEZ} = 100$ mA, $t = -50$ °C; -25 °C; 0 °C; 25 °C; 50 °C; 75 °C; 100 °C; 125 °C.



Obr. 4.100: $PSRR$ LDO5 pro $I_{ZATEZ} = 100$ mA, s neideální referencí
 $PSRR_{REF} = -20$ dB; -40 dB; -60 dB; -80 dB.

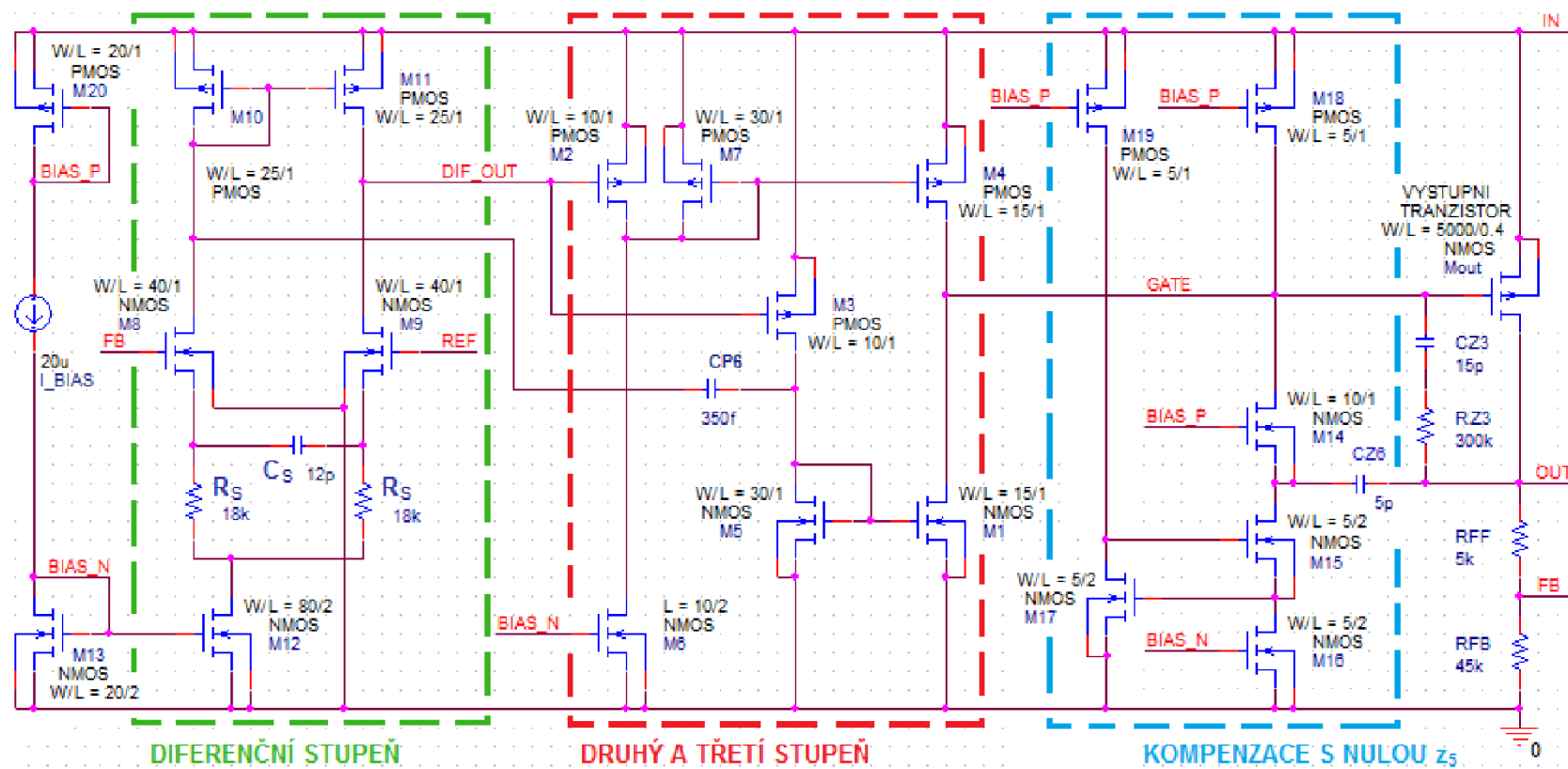
Na obr. 4.95 je simulace zisku a fáze zpětnovazební smyčky, je zřejmé, že použití Milerovy kompenzace jako kompenzace zisku výstupního tranzistoru eliminuje negativní vliv kondenzátoru C_{FF} na fázovou charakteristiku. Nicméně použití kondenzátoru C_{FF} se zde nepředpokládá, jelikož zisk β zpětnovazebního děliče je 0,89. Vyřazením vlivu β na střídavý zpětnovazební signál by došlo ke zlepšení $PSRR$ pouze o 1 dB.

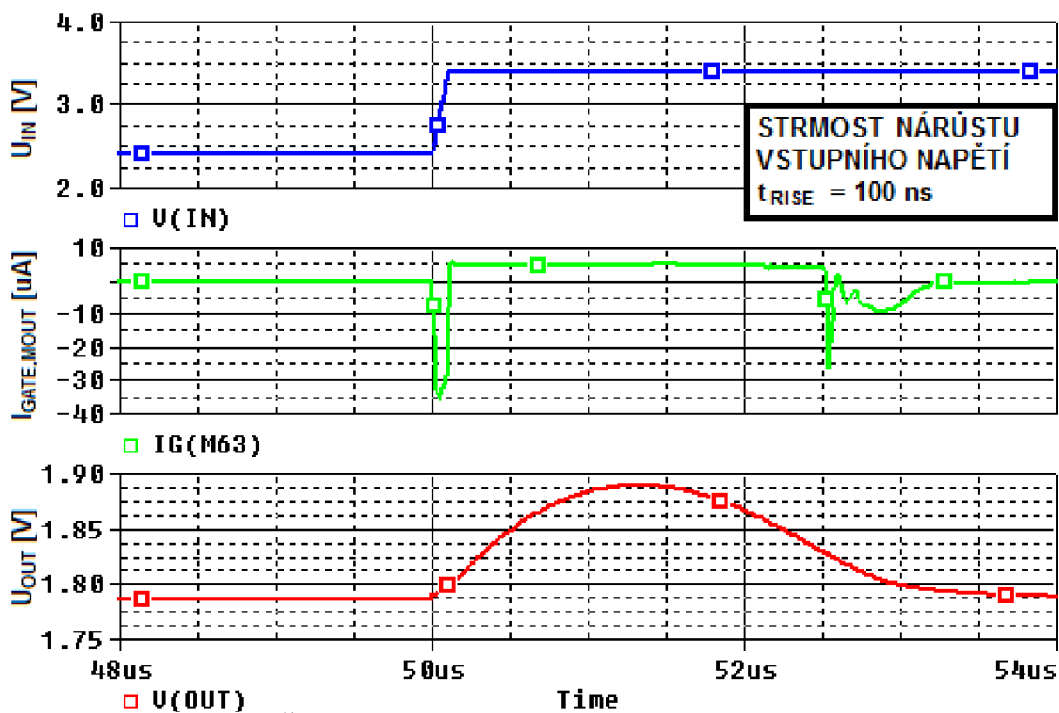
Kromě zvýšení fázové rezervy, použitím kompenzace s kondenzátorem C_{Z6} , dochází také ke značnému zlepšení průběhu charakteristiky $PSRR$ v oblasti vyšších frekvencí, obr. 4.96. Jelikož v oblasti tranzitní frekvence dochází použitím kompenzace s nulou z_5 ke zvýšení fáze, je možné snížit kondenzátor C_{P6} z hodnoty 400 fF na 350 fF. Je zvýšena frekvence f_{P6} , čímž je kompenzován překmit, označen na obr. 4.94. Snížením kapacity C_{Z3} je zvýšena také frekvence f_{Z3} , čímž se kompenzuje pokles fáze, způsobený snížením kapacity C_{P6} . Fázová rezerva je nyní 46° při proudu $I_{ZATEZ} = 100$ mA, a $46,8^\circ$ při $I_{ZATEZ} = 100$ mA.

Přestože vypočtené $PSRR$ je vyšší (horší) než simulované $PSRR$, i při úvaze vypočteného $PSRR|_{f=100\text{ Hz}} = -59$ dB LDO5 dosahuje s reálnou referencí ($PSRR|_{f=100\text{ Hz}} = -60$ dB) výsledného $PSRR_{dB} = -53$ dB, vztah (4.82).

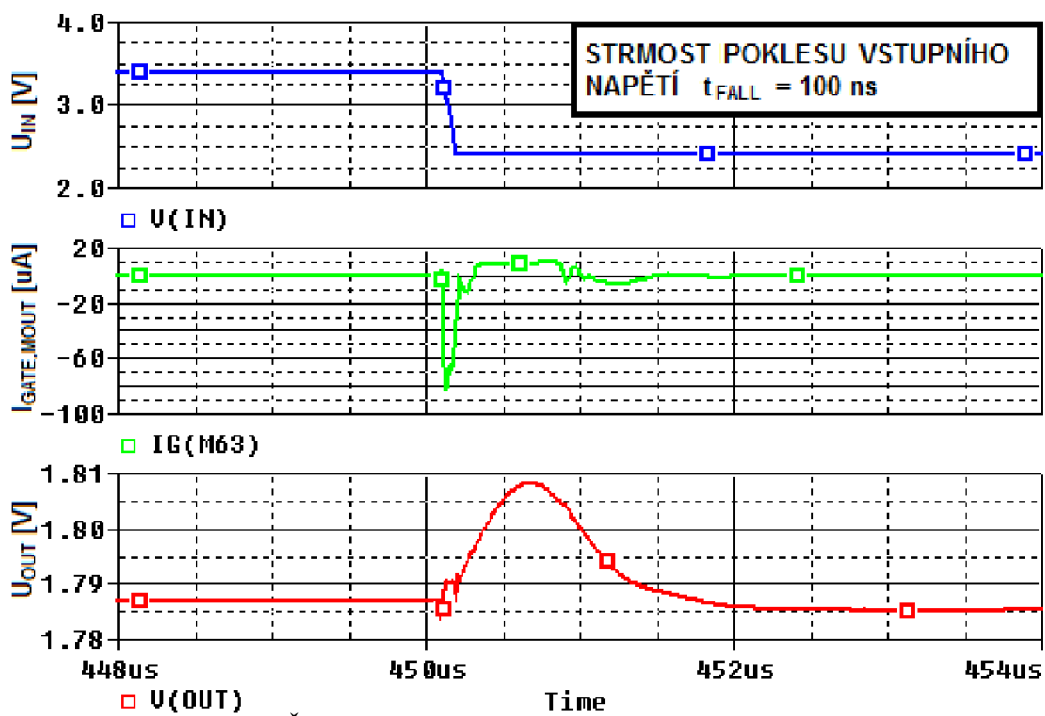
$$PSRR_{dB} = 20 \cdot \log(PSRR + PSRR_{CESTA3}) = 20 \cdot \log(0,001 + 0,00115) = -53 \text{ dB}, \quad (4.82)$$

Obr. 4.101: Celkové schéma LDO5.





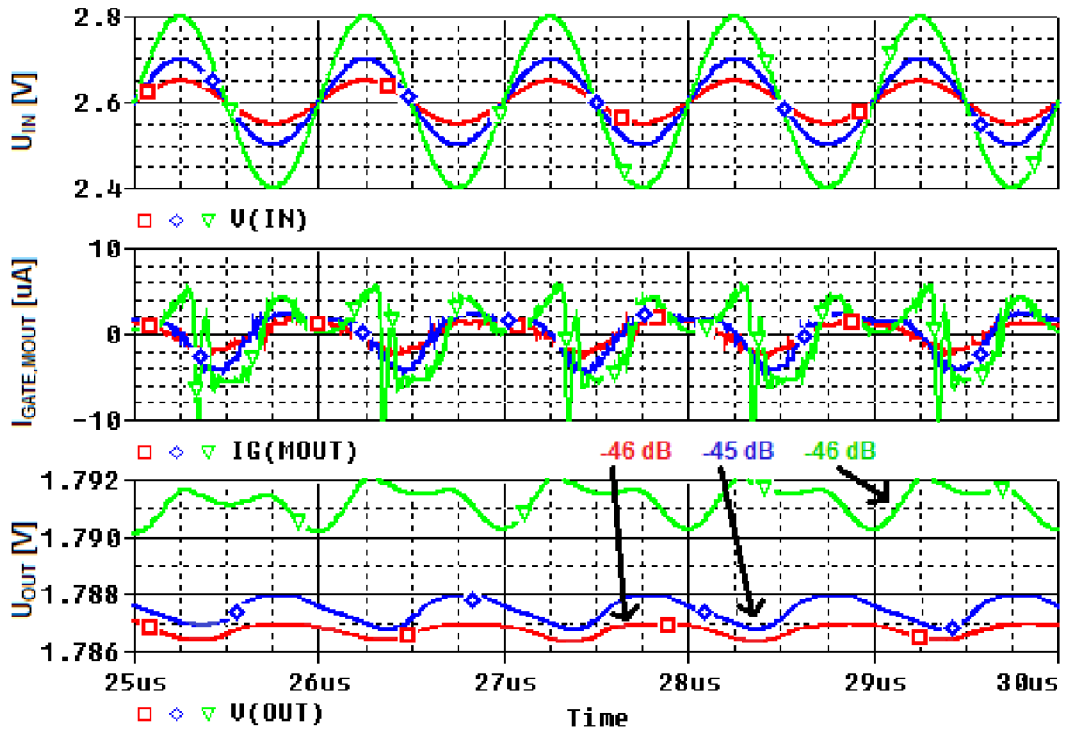
Obr. 4.102: Časová přechodná odezva LDO5 pro $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$,
 $I_{ZATEZ} = 100 \text{ mA}$.



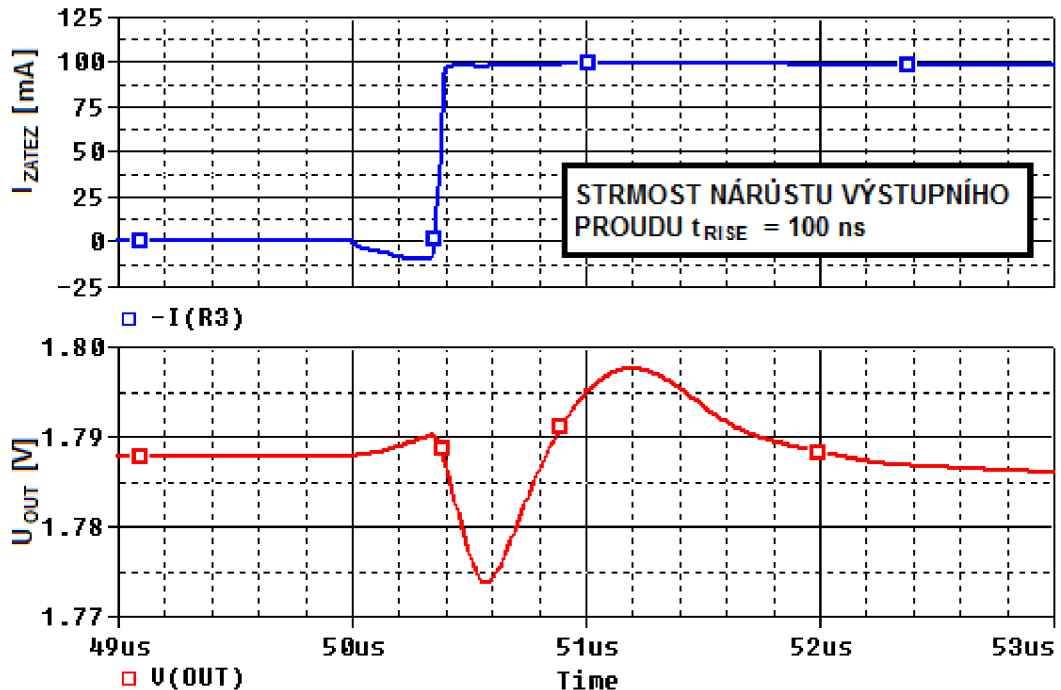
Obr. 4.103: Časová přechodná odezva LDO5 pro $U_{IN} = 2,4 \text{ V} \rightarrow 3,4 \text{ V}$,
 $I_{ZATEZ} = 100 \text{ mA}$.

Přestože třetí stupeň, jímž je řízen výstupní tranzistor má menší hodnotu SR než stupně budící výstupní tranzistor u předchozích LDO, nedochází ke zhoršení $PSRR$, viz obr. 4.104. Při přechodné časové odezvě vstupní napěťový skok dochází ke zhoršení, tedy vyšší amplitudy překmitu než u ostatních LDO, jelikož kapacita $C_{GS,MOUT}$

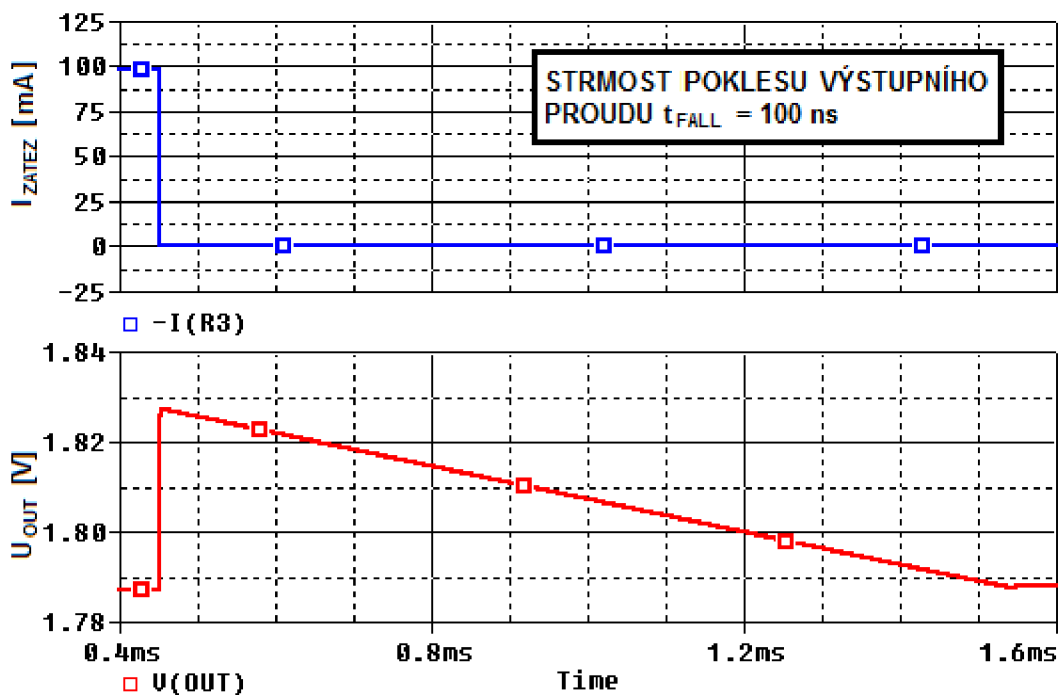
výstupního tranzistoru není nabíjena. K nabíjení dojde až při příchodu napětového překmitu. Třetí stupeň nedokáže dostatečně rychle nabít kapacitu $C_{GS,MOUT}$, proto dochází ke zhoršení přechodné časové odezvy.



Obr. 4.104: Simulace potlačení vstupního zvlnění v časové oblasti, frekvence vstupního zvlnění 1 MHz, zvlnění $\Delta U_{IN,PK-PK} = 100 \text{ mV}$; 200 mV , 400 mV .



Obr. 4.105: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 0 \text{ mA} \rightarrow 100 \text{ mA}$.



Obr. 4.106: Časová přechodná odezva LDO4 pro $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$.

Parametry W/L všech tranzistorů a ostatních součástek (odpory, kondenzátory a zdroje proudu) jsou sepsány v tab. 4.12. Dosažené parametry jsou shrnuty v tab. 4.13. Parametr rozptyl výstupního napětí U_{OUT_TOL} je určen tolerancí 3% rozměrů W a L všech tranzistorů, hodnot rezistorů a kondenzátorů, stejným způsobem je simulováno i PSRR pro nehorší a nejlepší případ na obr. 4.100. Jelikož rezistory R_{FB} a R_{FF} zde nemají stejnou hodnotu, se vzájemným rozptylem 1 % jsou simulovány pouze rezistory R_S a tranzistory v diferenčním stupni, tj. M_8, M_9, M_{10}, M_{11} .

Tab. 4.12: Rozměry tranzistorů LDO5.

Tranzistor	Hodnota W/L [μm]
M_{OUT}	5000 / 0,4
M_1, M_4	15 / 1
M_{14}, M_{20}	20 / 1
M_2, M_3	10 / 1
M_5, M_7	40 / 2
M_6	10 / 2
M_8, M_9	40 / 1
M_{12}	80/2
M_{13}	20/2
M_{15}, M_{16}, M_{17}	5/2
$M_{18}, M_{19},$	5/1
$M_{10}, M_{11},$	25/1
Součástka	Hodnota
I_{BIAS}	20 μA
R_S	18 $\text{k}\Omega$
R_{Z3}	300 $\text{k}\Omega$
R_{FB}	45 $\text{k}\Omega$
R_{FF}	5 $\text{k}\Omega$
C_S	12 pF
C_{Z3}	15 pF
C_{Z6}	5 pF
C_{P6}	350 fF
Simulační podmínky : $U_{\text{IN}} = 2,4 \text{ V}$, $t = 27 \text{ }^\circ\text{C}$	

Tab. 4.13: Parametry navrženého LDO5.

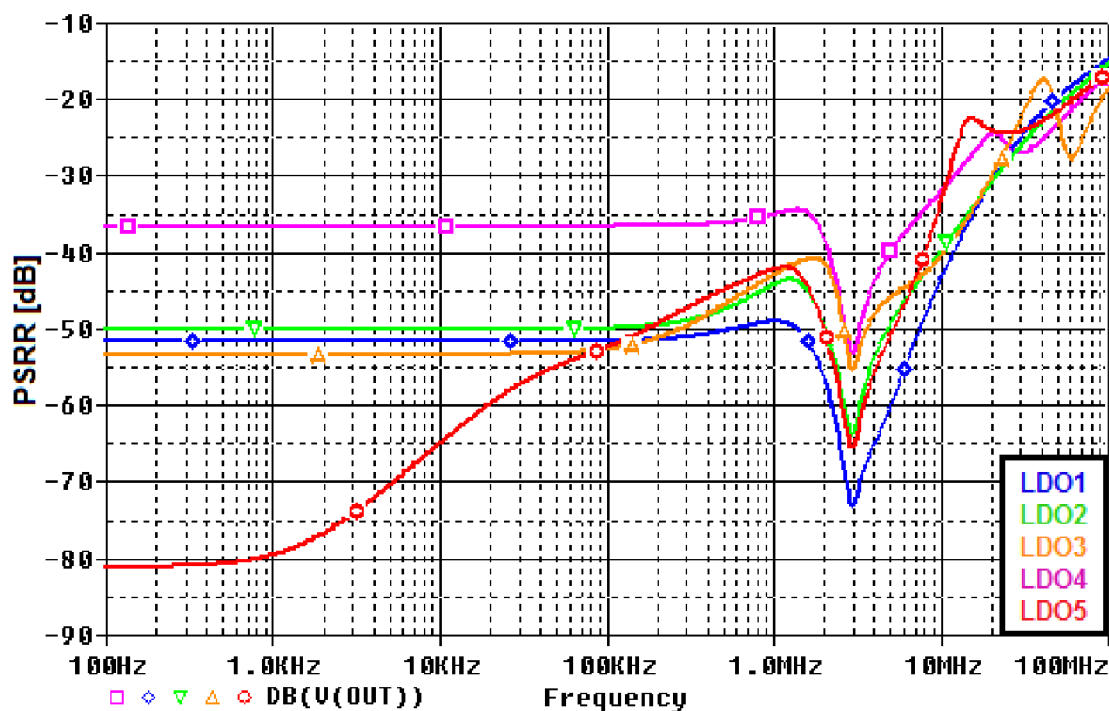
Parametr	Hodnota
Výstupní napětí U_{OUT} [V]	1,8
Rozptyl výstupního napětí $U_{\text{OUT_TOL}}$ [mV]	± 20
Referenční napětí [V]	1,6
Ubytek napětí na LDO U_{DROP} [mV]	150
Vstupní napěťový rozsah $U_{\text{IN_ROZASH}}$ [V], $I_{\text{ZATEZ}} = 100 \text{ mA}$	1,95 až 4,0
Klidový proud I_Q [μA],	165
Zemní proud I_{GND} [μA], $I_{\text{ZATEZ}} = 100 \text{ mA}$.	165
$\Delta U_{\text{OUT}} / \Delta U_{\text{IN}}$ [mV/V]	2
$\Delta U_{\text{OUT}} / \Delta I_{\text{ZATEZ}}$ [V/A]	0,02
Rozsah ESR [$\text{m}\Omega$], $C_{\text{OUT}} = 1 \text{ }\mu\text{F}$.	10 až 250

5 SROVNÁNÍ PARAMETRŮ LDO

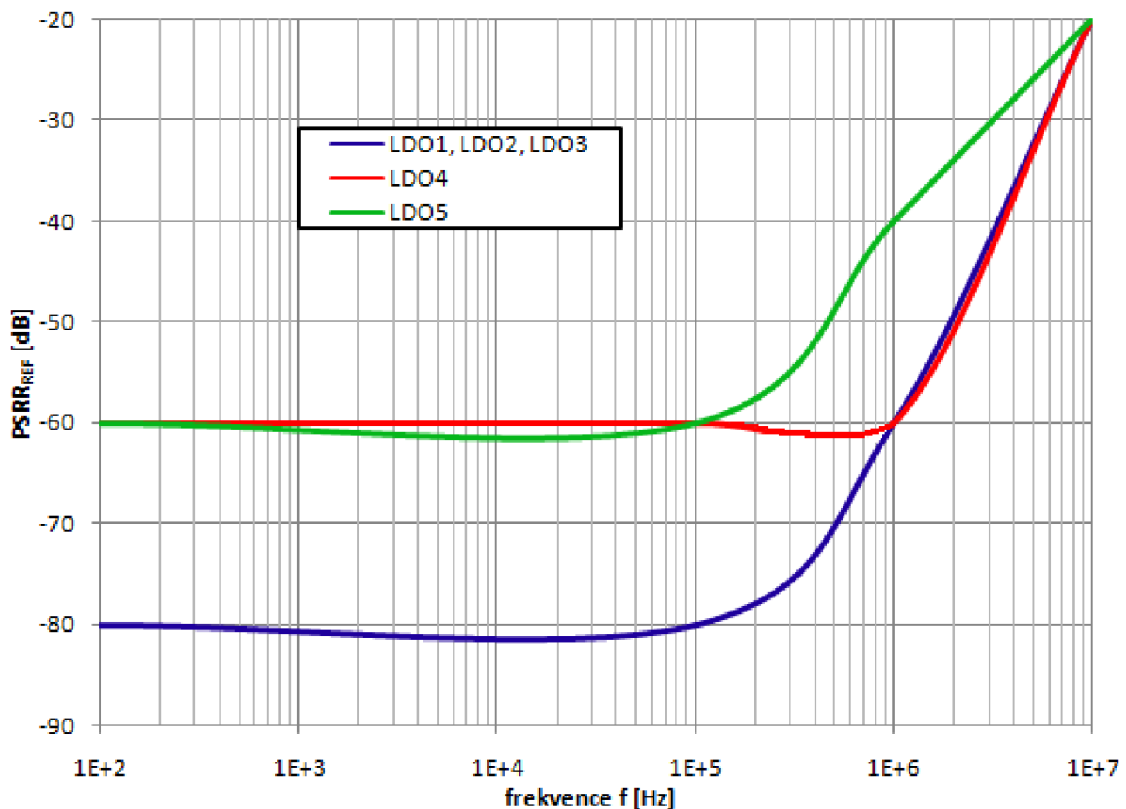
5.1 Navržená LDO

Parametr	LDO1	LDO2	LDO3	LDO4	LDO5
Výstupní napětí U_{OUT} [V]	1,8	1,8	1,8	1,8	1,8
Rozptyl výstupního napětí U_{OUT_TOL} [mV]	± 12	± 40	± 25	± 1	± 20
Referenční napětí U_{REF} [V]	0,9	1,6	1,4	1,6	1,6
Ubýtek napětí na LDO U_{DROP} [mV]	154	250	310	300	150
Vstupní rozsah U_{IN_ROZSAH} [V], $I_{ZATEZ} = 100$ mA	1,96 až 4	2,05 až 4	2,11 až 4	2,1 až 2,8	1,95 až 4
Klidový proud I_Q [μ A],	170	155	230	90	165
Zemní proud I_{GND} [μ A], $I_{ZATEZ} = 100$ mA.	350	310	280	90	165
$\Delta U_{OUT} / \Delta U_{IN}$ [mV/V]	1	1	5	14	2
$\Delta U_{OUT} / \Delta I_{ZATEZ}$ [V/A]	0,16	0,05	0,08	0,2	0,02
Rozsah ESR [m Ω], $C_{OUT} = 1$ μ F.	10 až 500	10 až 200	10 až 100	10 až 150	10 až 250

Tab. 5.1: Srovnání parametrů navržených LDO.



Obr. 5.1: Simulované PSRR LDO navržených regulátorů LDO1 až LDO5, simulační podmínky: $U_{IN} = 2,4$ V, $I_{ZATEZ} = 100$ mA, $C_{OUT} = 1$ μ F, ESR = 10 m Ω .



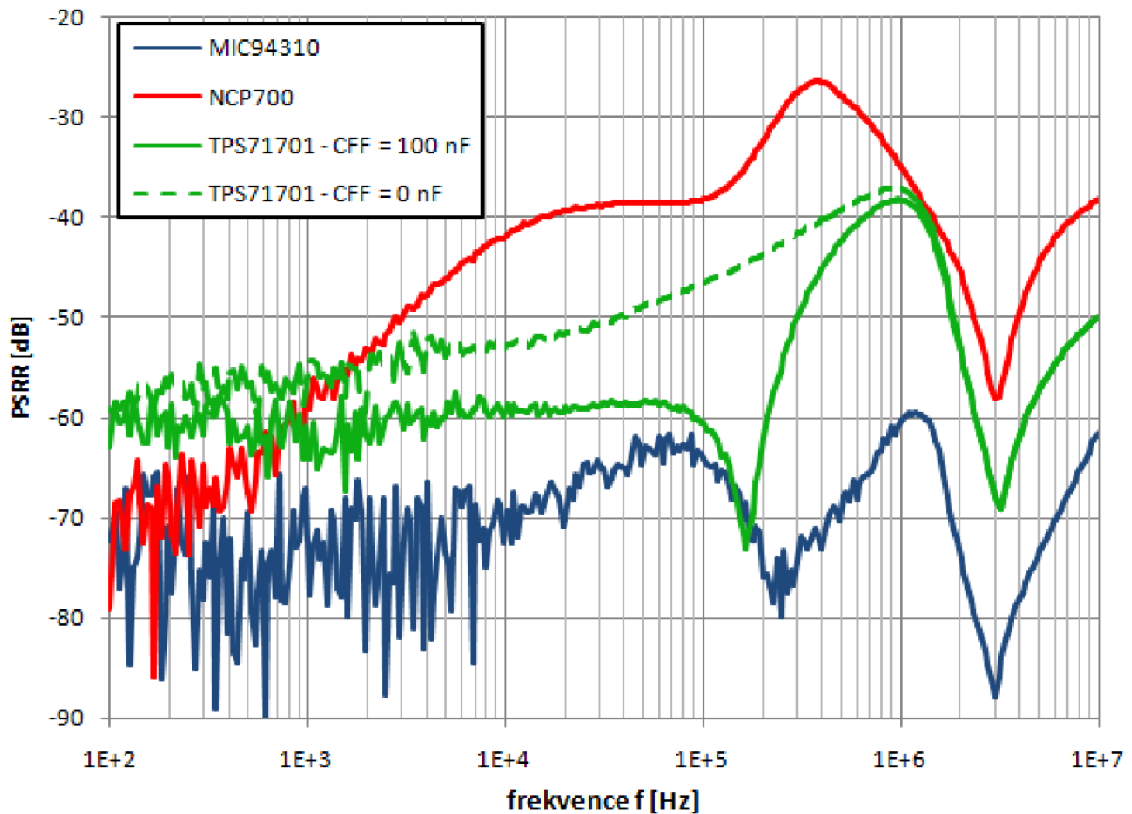
Obr. 5.2: Nejvyšší $PSRR_{REF}$ reálné napěťové reference, nutné pro dosažení přijatelného výsledného PSRR.

Pro porovnání struktur LDO regulátorů zlepšujících PSRR byl zvolen druhý stupeň ve třídě AB (LDO1, kapitola 4.1), druhý a třetí stupeň ve třídě AB (LDO2, kapitola 4.1.2), sledovač pro přímé řízení výstupního tranzistoru (LDO3, kapitola 4.2) a sledovač pro nepřímé řízení výstupního tranzistoru (LDO4, kapitola 4.3). V porovnání LDO1, LDO2, LDO3, tj. LDO, které využívají diferenční stupeň, má LDO1 nejvyšší zemní proud, $I_{GND} = 350 \mu A$, tj. proud spotřebováváný regulátorem při určitém odběru výstupního proudu. Většinou se udává při maximální hodnotě výstupního proudu. Nicméně má nejmenší rozptyl výstupního napětí $U_{OUT_TOL} = \pm 12 \text{ mV}$, jelikož souběh lze provést, kromě rezistorů R_S , také pro rezistory R_{FB} a R_{FF} ve zpětnovazebním děliči. LDO1 je také stabilní v nejvyšším rozsahu ESR (ekvivalentní seriový odpor) výstupního kondenzátoru, $10 \text{ m}\Omega$ až $500 \text{ m}\Omega$ pro minimální hodnotu výstupního kondenzátoru $C_{OUT} = 1 \mu F$, tab. 5.1. Nejnižšího klidového i zemního proudu dosahuje LDO4, pouze $90 \mu A$, dosahuje mírně vyššího PSRR, než je dosaženo s ostatními LDO. Jeho další výraznou výhodou je jednoduchost zapojení, není použit zpětnovazební děličani odpory a kondenzátory, zapojení obsahuje pouze tranzistory. Nevýhodou LDO4 je jeho omezený vstupní napěťový rozsah $2,1 \text{ V}$ až $2,8 \text{ V}$ při $I_{ZATEZ} = 100 \text{ mA}$. Také s klesajícím PSRR klesá rozsah stability LDO, jelikož rozsah ESR výstupního kondenzátoru, pro který je LDO stabilní, dále PSRR jsou dány polohou pólu p_3 .

Na obr. 5.2 je zobrazeno nejvyšší (nejhorší) $PSRR_{REF}$ reálné napětové reference, které je nutné pro dosažení přijatelného výsledného PSRR. Je zřejmé, že lépe potlačuje zvlnění ten regulátor, který pro dosažení stejného výsledku PSRR potřebuje horší $PSRR_{REF}$ reálné napětové refernce. Toho lze docílit vyšším PSRR na nižších frekvencích, např. -80 dB na frekvenci 1 kHz, výsledné PSRR na frekvenci 1 kHz je pak určeno téměř pouze hodnotou $PSRR_{REF}$ reálné napětové reference. Tohoto výsledku je dooženo pouze u LDO5.

5.2 LDO dostupná na trhu

Na obr. 5.3 je srovnání změřených PSRR3 dostupných LDO na trhu. Jako výstupní kondenzátor je použit kondenzátor s hodnotou 1 μ F v pouzdře 0805, jehož parazitní indukčnost je zřejmá z výsledků měření PSRR na obr. 5.3, indukčnost je 3 nH.



Obr. 5.3: Změřené PSRR LDO regulátorů MIC94310, NCP700 a TPS717, podmínky měření: $U_{IN} = 2,5V + 100 mV_{PK-PK}$, $I_{ZATEZ} = 100 mA$, $C_{IN} = 0 F$, $C_{OUT} = 1 \mu F$ 0805 (keramický, ESR = jednotky Ω , ESL = 3nH).

Při použití klasického LDO je možné použít kondenzátoru C_{FF} s velmi malou kapacitou, ze simulací vyplývá pouze cca 1 nF. Je tedy zřejmé, že LDO TPS71701 obsahuje přídavnou zpětnou vazbu, která potlačuje negativní vliv kondenzátoru C_{FF} na fázovou charakteristiku zpětnovazební smyčky, a dále zlepšuje PSRR dalším způsobem než zkratování odporu R_{FF} kondenzátorem C_{FF} pro střídavé složky signálu, což je vidět na obr. 5.3, zelené průběhy v rozsahu 100 až 1 kHz, v rozsahu 1 kHz až 1 MHz se uplatňuje i přídavná zpětná vazba. Z měření také vyplývá, že LDO TPS71701 má blok referenčního napětí, jehož PSRR na frekvenci 1 MHz je alespoň -40 dB. Parametry LDO regulátorů MIC94310, NCP700 a TPS71701 převzaty ze zdrojů [16], [17] a [18].

Tab. 5.2: Srovnání parametrů LDO dostupných na trhu.

Parametr	MIC94310[15]	NCP700[16]	TPS7101[17]
Výstupní napětí U_{OUT} [V]	1,8	1,8	1,8
Rozptyl výstupního napětí $U_{OUT\ TOL}$ [mV]	± 18	± 54	± 27
Referenční napětí U_{REF} [V]	-	1,2	0,8
Ubytek napětí na LDO U_{DROP} [mV]	20	200	170
Vstupní rozsah U_{IN_ROZSAH} [V], $I_{ZATEZ} = 100\text{ mA}$	1,82 až 3,6	2 až 4	1,97 až 6,5
Klidový proud I_O [μA],	165	70	50
Zemní proud I_{GND} [μA], $I_{ZATEZ} = 100\text{ mA}$.	170	110	100
$\Delta U_{OUT} / \Delta U_{IN}$ [mV/V]	0,1	2	0,13
$\Delta U_{OUT} / \Delta I_{ZATEZ}$ [V/A]	0,04	0,13	0,12

6 ZÁVĚR

Pro porovnání metod zlepšujících $PSRR$ (potlačení změn vstupního napětí) a pro návrh lineárního filtru napájecího napětí (LDO regulátor) byl vybrán PMOS jako výstupní tranzistor z důvodu menšího minimálního vstupního napětí.

Pro porovnání struktur LDO regulátorů zlepšujících $PSRR$ byl zvolen druhý stupeň ve třídě AB (LDO1, kapitola 4.1), druhý a třetí stupeň ve třídě AB (LDO2, kapitola 4.1.2), sledovač pro přímé řízení výstupního tranzistoru (LDO3, kapitola 4.2) a sledovač pro nepřímé řízení výstupního tranzistoru (LDO4, kapitola 4.3). V porovnání LDO1, LDO2, LDO3, tj. LDO, které využívají diferenční stupeň, má LDO1 nejvyšší zemní proud, $I_{GND} = 350 \mu\text{A}$, tj. proud spotřebováváný regulátorem při určitém odběru výstupního proudu. Většinou se udává při maximální hodnotě výstupního proudu. Nicméně má nejmenší rozptyl výstupního napětí $U_{OUT_TOL} = \pm 12 \text{ mV}$, jelikož souběh lze provést, kromě rezistorů R_S , také pro rezistory R_{FB} a R_{FF} ve zpětnovazebním děliči. LDO1 je také stabilní v nejvyšším rozsahu ESR (ekvivalentní seriový odpor) výstupního kondenzátoru, $10 \text{ m}\Omega$ až $500 \text{ m}\Omega$ pro minimální hodnotu výstupního kondenzátoru $C_{OUT} = 1 \mu\text{F}$, tab. 5.1. Nejnižšího klidového i zemního proudu dosahuje LDO4, pouze $90 \mu\text{A}$, dosahuje mírně vyššího (horšího, obr. 5.1) $PSRR$ než je dosaženo s ostatními LDO. Jeho další výraznou výhodou je jednoduchost zapojení, není použit zpětnovazební dělič ani rezistory a kondenzátory, zapojení obsahuje pouze tranzistory. Nevýhodou LDO4 je jeho omezený vstupní napěťový rozsah $2,1 \text{ V}$ až $2,8 \text{ V}$ při $I_{ZATEZ} = 100 \text{ mA}$. Také s klesajícím $PSRR$ klesá rozsah stability LDO, jelikož rozsah ESR výstupního kondenzátoru, pro který je LDO stabilní, dále $PSRR$ jsou dány polohou pólu p_3 .

Vlastní návrh je založen na autoregulaci proudu druhého a třetího stupně, v kombinaci s Millerovou kapacitou a nulovacím rezistorem. Millerova kapacita a nulovací rezistor fungují jako kompenzace zisku výstupního tranzistoru. Tento obvod dosahuje nejmenšího $PSRR$ na nižších frekvencích, až -82 dB na frekvenci 100 Hz , čímž je dosaženo vyššího výsledného $PSRR$ s reálnou referencí, která by měla $PSRR -60 \text{ dB}$ na frekvenci 100 Hz , obr. 5.2. Na nižších frekvencích by pak $PSRR$ bylo určeno téměř pouze vlatnostmi reference. Ve frekvenční oblasti kolem 1 MHz je dosaženo srovnatelného $PSRR$ jako u předchozích LDO regulátorů, obr. 5.1. Zároveň, v porovnání se všemi zapojeními, které využívají pro nastavení výstupního napětí diferenční stupeň, je dosaženo nejnižšího klidového a zemního proudu, pouze $165 \mu\text{A}$. Také je dosaženo nejnižší hodnoty parametru $\Delta U_{OUT} / \Delta I_{ZATEZ} = 0,02 \text{ V/A}$.

U všech metod je dosaženo nižšího (lepšího) $PSRR$ než -30 dB ve frekvenčním rozsahu 0 až 10 MHz , obr. 5.1. Z přechodných časových odezev je zřejmé, že zlepšením $PSRR$ je dosaženo i krátké doby ustálení výstupního napětí (v jednotkách μs) a malého překmitu. Pouze u LDO5 je doba ustálení $1,1 \text{ ms}$ odezvy na skok výstupního proudu $I_{ZATEZ} = 100 \text{ mA} \rightarrow 0 \text{ mA}$, obr. 4.106.

Na základě simulací je zjištěna mírná nepřesnost programu OrCAD Pspice v simulaci průběhu $PSRR$. Simulátor nepřikládá na vstup IN LDO regulátoru rozkmit napětí, ale jen počítá průběh $PSRR$. To je simulováno se vstupním napětím $2,4 \text{ V}$ a rozkmitem střídavého napětí 1 V . Při reálném měření by se LDO regulátor dostal do oblasti zvané "drop-out" (plné otevření výstupního tranzistoru). Pro simulaci $PSRR$ by tedy bylo výhodnější použít prostředí Cadence Virtuoso.

LITERATURA

- [1] The Mosis Service: Wafer Electrical Test Data and SPICE Model Parameters. [online]. 2014 [cit. 2014-11-27]. Dostupné z:
<https://www.mosis.com/pages/Technical/Testdata/tsmc-025-prm>
- [2] KADAŇKA, P. Přednášky k předmětu MNAI-MAIO, [cit. 22.10.2014], dostupné z WWW: <http://www.umel.feec.vutbr.cz/~prokop/MNAI/MNAI.htm>
- [3] MUSIL, Vladislav a kolektiv. Návrh analogových integrovaných obvodů, VUT v Brně, 2006.
- [4] Chapter 16: Selecting a MOSFET Model [online]. 2011 [cit. 2015-5-5]. Dostupné z: http://web.engr.oregonstate.edu/~moon/ece323/hspice98/files/chapter_16.pdf
- [5] Hw.cz: Lin. stabilizátory: Co by měl každý vývojář vědět o PSRR? [online]. 2011 [cit. 2014-10-12]. Dostupné z: <http://www.hw.cz/teorie-a-praxe/lin-stabilizatory-co-by-mel-kazdy-vyvojar-vedet-o-psrr.html>
- [6] NCP170 Datasheet. ON Semiconductor, 2015. [online]. [cit. 2015-04-03]. Dostupné z: http://www.onsemi.com/pub_link/Collateral/NCP170-D.PDF.
- [7] KADAŇKA, P. Přednáška o návrhu LDO, [cit. 2.3.2015].
- [8] JANG, H-J., ROH, J-S., YOO, CH. , MOON, Y-J., PARK, P. *Low Drop-Out (LDO) Voltage Regulator with Improved Power Supply Rejection*. Journal of semiconductor technology and science. 2012, vol. 12, no. 3, p. 313–319.
- [9] CAKA, N., ZABELI, M., LIMANI, M., KABASHI, Q. *Impact of MOSFET parameters on its parasitic capacitances*. EHAC'07 Proceedings of the 6th WSEAS International Conference on Electronics, Hardware, Wireless and Optical Communications, 2007.
- [10] LEE, H., SHYOUKH, A, M. *Stability And Transient Response Enhancement Techniques for Low-Dropout Regulators*. 2010 53rd IEEE International Midwest Symposium on, 2010.
- [11] CHOI, Jungsu, CHOI, Joongho, PARK, J., JEONG, W., LEE, J, LEE, S., YOON, J., KIM, J. *Design of LDO Linear Regulator with Ultra LowOutput Impedance Buffer*. SoC Design Conference (ISOC), 2009 International, 2009.
- [12] SANKMAN, J., MA, D. *A 30-mA CMOS Low Dropout Regulator for WiMAX Analog Front Ends with 50 dB PSRR at 10 MHz*. Telecommunications Energy Conference (INTELEC), 2012.
- [13] CHEN, H., LEUNG, K., N. A. *Fast-Transient LDO Based on Buffered Flipped Voltage Follower*. IEEE Electron Devices and Solid-State Circuits (EDSSC), 2010.
- [14] GARIMELLA, A., FURTH, P., M., SURKANTI, P, R, THOTA, R, N. *Current buffer compensation topologies for LDOs with improved transient performance*. Analog Integrated Circuits and Signal Processing, 2012, vol. 73, p. 131-142.
- [15] GARIMELLA, A., FURTH, P., M., RASHID, W. *Reverse Nested Miller Compensation Using Current Buffers in a Three-Stage LDO*. IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, 2010, vol. 57, no. 4.
- [16] MIC94310 Datasheet. Micrel, 2008. [online]. [cit. 2015-05-06]. Dostupné z: <http://www.micrel.com/PDF/MIC94310.pdf>

- [17] NCP700 Datasheet. ON Semiconductor, 2015. [online]. [cit. 2015-05-06]. Dostupné z: http://www.onsemi.com/pub_link/Collateral/NCP700-D.PDF
- [18] TPS71701 Datasheet. Texas Instruments, 2006. [online]. [cit. 2015-05-06]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tps717.pdf>

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

g_m	Transkonduktance tranzistoru
A	Zesílení
G	Zisk
PSRR	Potlačení změn vstupního napětí
I_{ZATEZ}	Proud tekoucí zátěží
I_{GND}	Zemní proud, spotřebovávaný proud s připojenou zátěží
I_Q	Proud spotřebovávaný v klidovém stavu
U_{IN_MIN}	Minimální vstupní napětí
U_{IN_ROZSAH}	Vstupní napěťový rozsah
f_T	Tranzitní frekvence
U_{TH}	Prahové napětí MOS tranzistoru
U_T	Teplotní napětí
ESR	Ekvivalentní sériový odpor
ESL	Ekvivalentní sériový odpor
PSRR	Power Supply Rejection Ratio
FVF	Flipped Voltage Follower
LSFVF	Level Shifted Flipped Voltage Follower
BFVF	Bufered Flipped Voltage Follower
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	MOSFET tranzistor s vodivým kanálem typu N
PMOS	MOSFET tranzistor s vodivým kanálem typu P

A MODELY TRANZISTORŮ

A.1 PSPICE model tranzistoru NMOS TSMC 0,25 μm

```
.MODEL CMOSN NMOS (LEVEL = 7
+VERSION = 3.1          TNOM = 27          TOX = 5.8E-9
+XJ = 1E-7             NCH = 2.3549E17     VTH0 = 0.3551677
+K1 = 0.4881677       K2 = -1.465714E-6    K3 = 1E-3
+K3B = 3.2222493      W0 = 1E-7          NLX = 1.927361E-7
+DVT0W = 0            DVT1W = 0          DVT2W = 0
+DVT0 = 0.5751286     DVT1 = 0.5660833     DVT2 = -0.3026132
+U0 = 305.8066794     UA = -1.152667E-9    UB = 2.42808E-18
+UC = 4.12734E-11     VSAT = 1.287591E5    A0 = 1.7957675
+AGS = 0.359392       B0 = 1.272642E-10    B1 = 4.171173E-9
+KETA = -9.762332E-3  A1 = 4.569146E-4     A2 = 0.531924
+RDSW = 175           PRWG = 0.15          PRWB = -0.1243425
+WR = 1               WINT = 0             LINT = 2.8E-9
+XL = 0               XW = -4E-8           DWG = -1.5E-8
+DWB = 2.37129E-9     VOFF = -0.1090174    NFACTOR = 1.5319983
+CIT = 0              CDSC = 2.4E-4         CDSCD = 0
+CDSCB = 0            ETA0 = 6.182294E-3    ETAB = 2.692579E-4
+DSUB = 0.0454551     PCLM = 1.6205616     PDIBLC1 = 0.9594821
+PDIBLC2 = 2.748496E-3 PDIBLCB = -0.0220856 DROUT = 1
+PSCBE1 = 6.837438E8  PSCBE2 = 2.319772E-4 PVAG = 9.53415E-3
+DELTA = 0.01         RSH = 3.8            MOBMOD = 1
+PRT = 0              UTE = -1.5           KT1 = -0.11
+KT1L = 0             KT2 = 0.022          UA1 = 4.31E-9
+UB1 = -7.61E-18      UC1 = -5.6E-11       AT = 3.3E4
+WL = 0               WLN = 1              WW = 0
+WWN = 1              WWL = 0              LL = 0
+LLN = 1              LW = 0               LWN = 1
+LWL = 0              CAPMOD = 2           XPART = 0.5
+CGDO = 4.57E-10      CGSO = 4.57E-10      CGBO = 1E-12
+CJ = 1.556442E-3     PB = 0.99            MJ = 0.4227041
+CJSW = 4.217952E-10 PBSW = 0.9814315     MJSW = 0.1974203
+CJSWG = 3.29E-10     PBSWG = 0.8515942    MJSWG = 0.2684911
+CF = 0               PVTH0 = -6.690647E-3 PRDSW = -8.4
+PK2 = 1.959318E-3    WKETA = 3.50257E-3   LKETA = 8.792764E-4
)
```


A.2 PSPICE model tranzistoru PMOS TSMC 0,25 μm

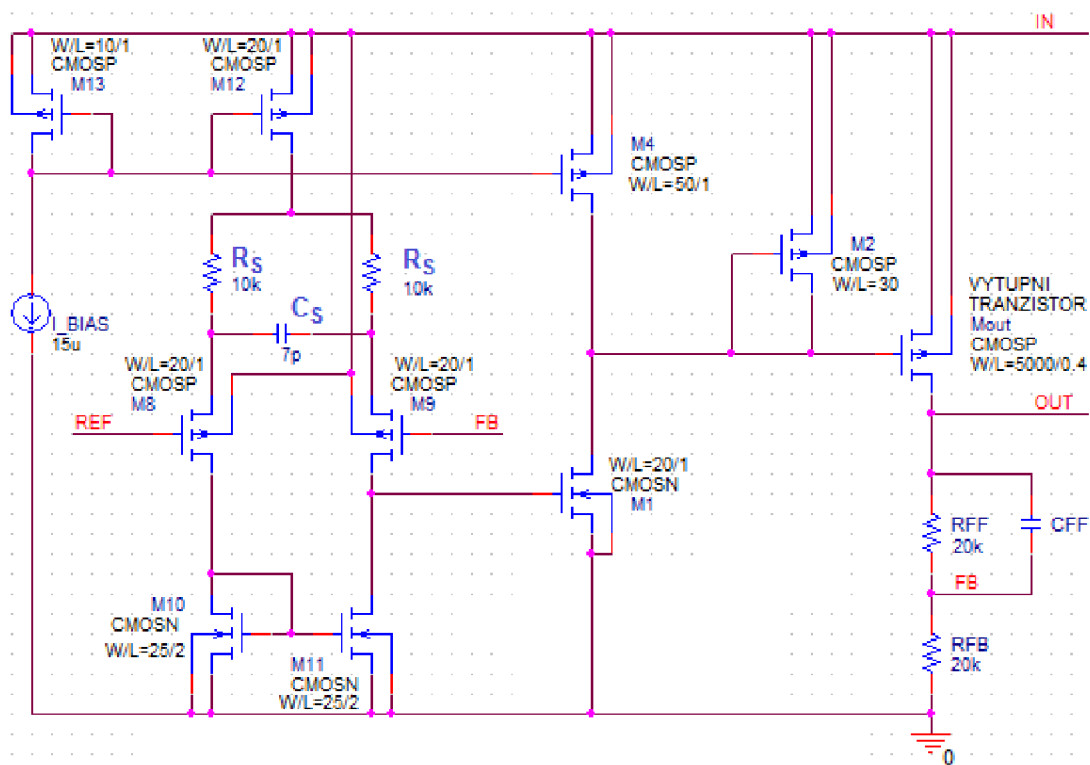
```

.MODEL CMOS PMOS (LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 5.8E-9
+XJ = 1E-7 NCH = 4.1589E17 VTH0 = -0.5478816
+K1 = 0.6458081 K2 = -1.621568E-3 K3 = 0.0963219
+K3B = 5.9878549 W0 = 1E-6 NLX = 1.468974E-8
+DVTOW = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 2.726151 DVT1 = 0.7470899 DVT2 = -0.1147141
+U0 = 100 UA = 8.754904E-10 UB = 1E-21
+UC = -1E-10 VSAT = 1.292519E5 A0 = 0.9039776
+AGS = 0.0844426 B0 = 1.473225E-6 B1 = 5E-6
+KETA = 7.2918E-3 A1 = 0.03521 A2 = 0.3
+RDSW = 839.1660575 PRWG = 0.2331634 PRWB = -0.0514751
+WR = 1 WINT = 0 LINT = 3.349079E-8
+XL = 0 XW = -4E-8 DWG = -4.722775E-8
+DWB = -1.6212E-8 VOFF = -0.1292636 NFACTOR = 0.9361946
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 0.243084 ETAB = -0.0204632
+DSUB = 0.9978554 PCLM = 1.3975173 PDIBLC1 = 4.013259E-3
+PDIBLC2 = 5.534487E-6 PDIBLCB = -1E-3 DROUT = 0.0591126
+PSCBE1 = 5.132455E9 PSCBE2 = 1.189024E-9 PVAG = 0
+DELTA = 0.01 RSH = 2.9 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 5.59E-10 CGSO = 5.59E-10 CGBO = 1E-12
+CJ = 1.87036E-3 PB = 0.9616687 MJ = 0.4756791
+CJSW = 3.115985E-10 PBSW = 0.8 MJSW = 0.2684522
+CJSWG = 2.5E-10 PBSWG = 0.8 MJSWG = 0.2786992
+CF = 0 PVTH0 = 6.913576E-3 PRDSW = 10.4939271
+PK2 = 1.392595E-3 WKETA = 1.2571E-3 LKETA = -3.261413E-3
)

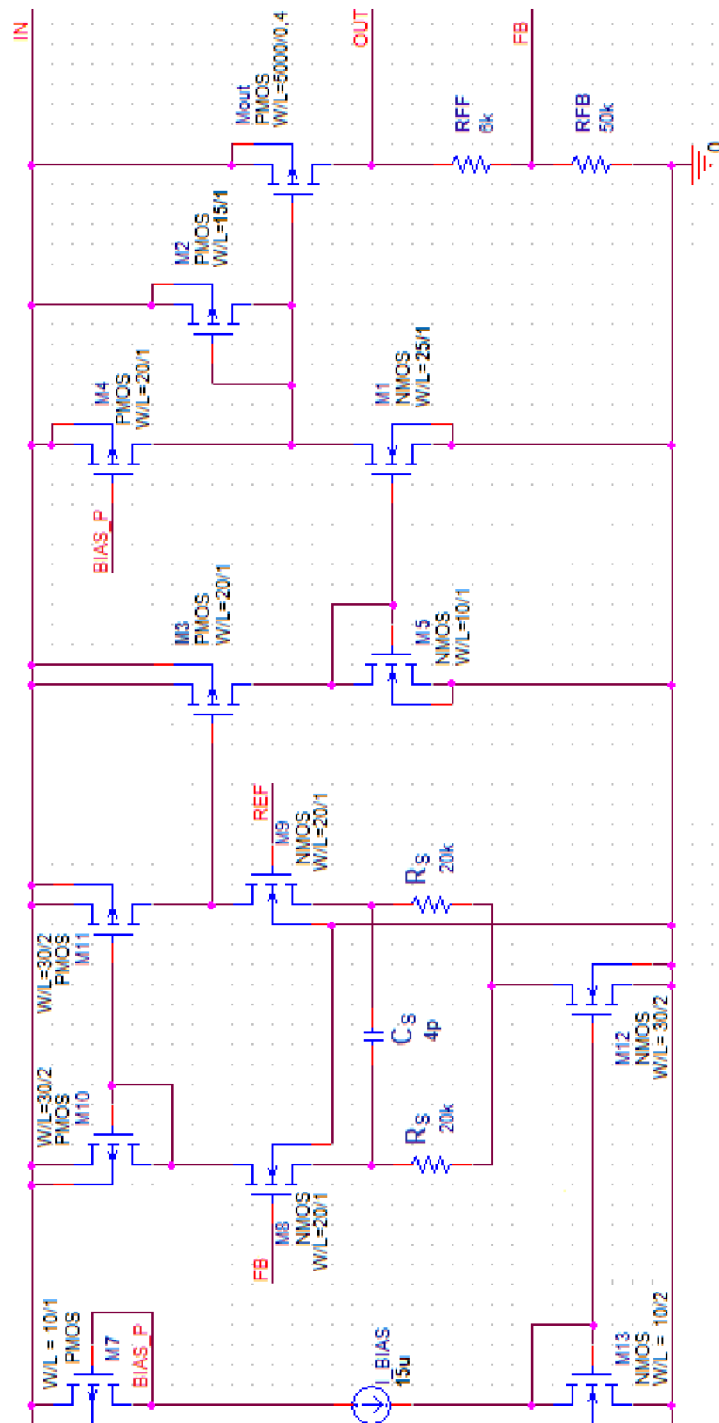
```

B CELKOVÁ SCHEMATA REGULÁTORŮ

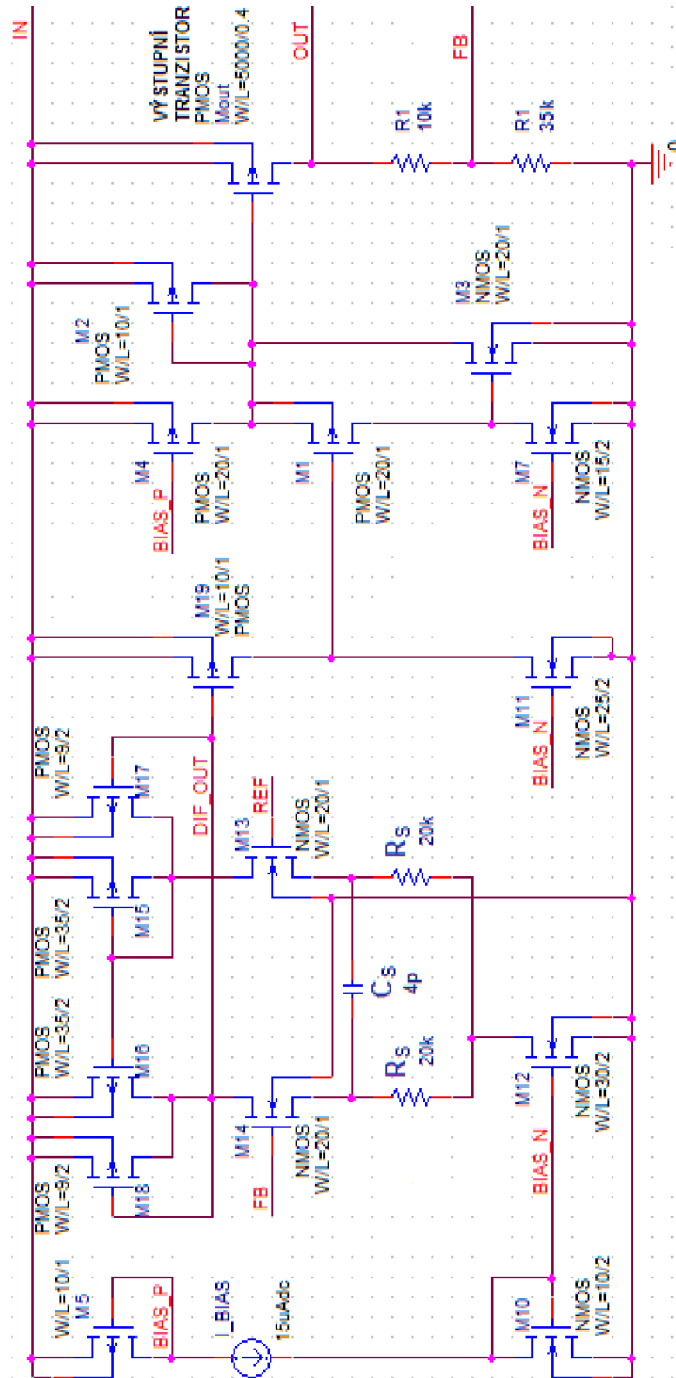
B.1 Celkové schéma LDO1



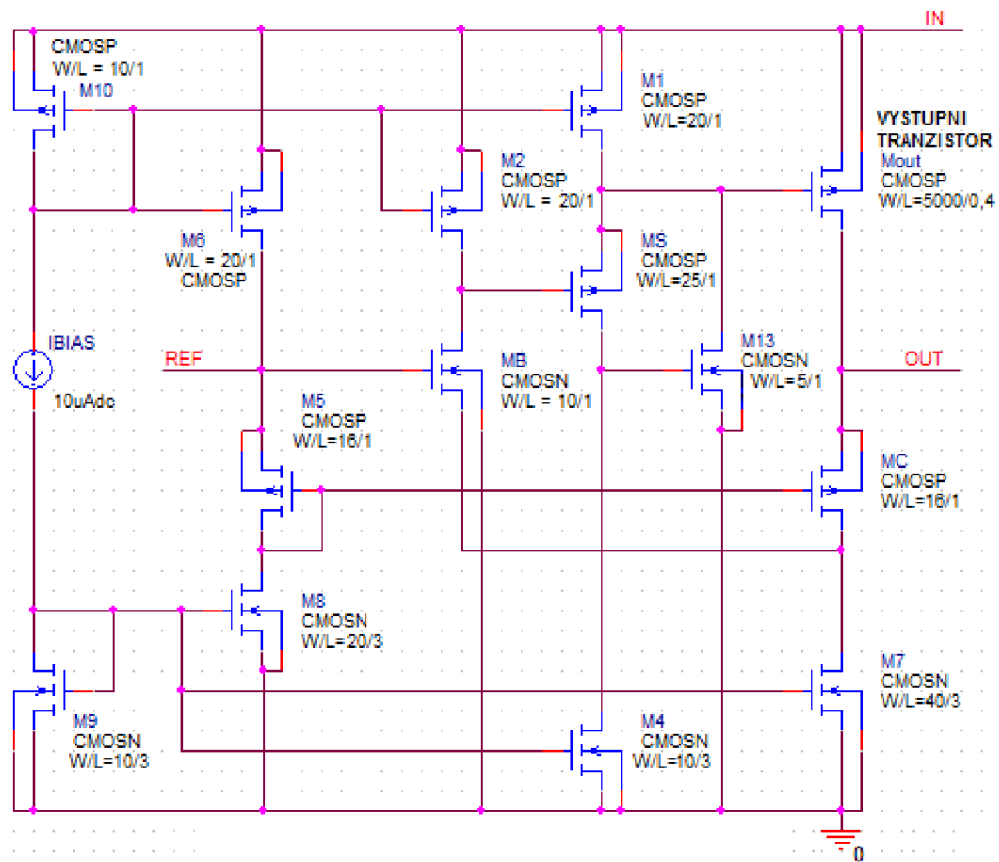
B.2 Celkové schéma LDO2



B.3 Celkové schéma LDO3



B.4 Celkové schéma LDO3



B.5 Celkové schéma LDO5

