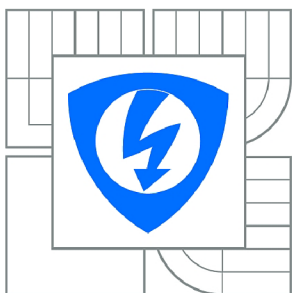


**VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ**

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ**

**ÚSTAV MIKROELEKTRONIKY**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF MICROELECTRONICS

## **NÁVRH PŘEVODNÍKU DA PRO NÍZKONAPĚŤOVÉ APLIKACE V TECHNOLOGII CMOS**

DESIGN OF PRECISE DA CONVERTER FOR LOW-VOLTAGE APPLICATIONS USING CMOS  
TECHNOLOGY

**DIPLOMOVÁ PRÁCE**

MASTER'S THESIS

**AUTOR PRÁCE**

AUTHOR

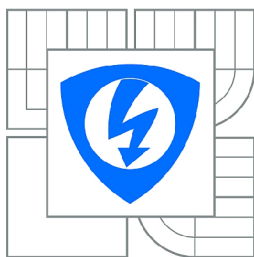
**Bc. PETR DUŠEK**

**VEDOUCÍ PRÁCE**

SUPERVISOR

**doc. Ing. JIŘÍ HÁZE, Ph.D.**

BRNO 2015



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav mikroelektroniky

# Diplomová práce

magisterský navazující studijní obor  
**Mikroelektronika**

**Student:** Bc. Petr Dušek

**ID:** 134298

**Ročník:** 2

**Akademický rok:** 2014/2015

## NÁZEV TÉMATU:

**Návrh převodníku DA pro nízkonapěťové aplikace v technologii CMOS**

## POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s technologií CMOS a jejím využitím pro návrh převodníků DA. Navrhněte a simulací ověřte funkci a základní parametry převodníků DA pro nízkonapěťové aplikace.

## DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce.

**Termín zadání:** 10.2.2015

**Termín odevzdání:** 28.5.2015

**Vedoucí práce:** doc. Ing. Jiří Háze, Ph.D.

**Konzultanti diplomové práce:**

**prof. Ing. Vladislav Musil, CSc.**

*Předseda oborové rady*

## UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

# **ANOTACE**

Tato práce se zabývá návrhem přesného digitálně analogového převodníku, dále jen DAC. Práce poskytuje podklady pro pochopení principu převodu digitálního signálu na signál analogový. V práci je popsáno několik možností vytvoření topologie DAC. Vybraná konstrukce je použita k návrhu DAC v technologii CMOS 07. Simulacemi v programu PSPICE je ověřena funkčnost navrženého DAC.

## **KLÍČOVÁ SLOVA**

Technologie CMOS, převodník DA, nízkonapěťové aplikace

## **ABSTRACT**

This thesis focuses on design of an accurate digital to analog converter (DAC). The thesis provides material to understand the principle of conversion of digital signal to analog signal. Some possible structures of DAC are described in this thesis. The selected structure is used for design of the DAC using the CMOS 07 technology. Functionality of the DAC is verified with simulations using the PSPICE simulation program.

## **KEY WORDS**

CMOS technology, DA converter, low voltage applications

DUŠEK, P. *Návrh převodníku DA pro nízkonapěťové aplikace v technologii CMOS*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2015. 58s. Vedoucí diplomové práce doc. Ing. Jiří Háze, Ph.D..

## Prohlášení

Prohlašuji, že svou diplomovou práci na téma „**Návrh převodníku DA pro nízkonapěťové aplikace v technologii CMOS**“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 27. května  
2015

.....

podpis autora

## Poděkování

Děkuji vedoucímu diplomové práce doc. Ing. Jiří Háze, Ph.D. za odborné konzultace, poskytnutí pracovních materiálů a cenných rad.

V Brně dne 27. května  
2015

.....

podpis autora

# Obsah

1 Úvod.....	6
2 Princip digitálně analogových převodníků.....	7
2.1 Členění digitálně analogových převodníků.....	7
2.1.1 Paralelní digitálně analogové převodníky.....	8
2.1.2 Sériové digitálně analogové převodníky.....	10
2.1.3 Další typy digitálně analogových převodníků.....	11
2.2 Parametry digitálně analogových převodníků.....	11
3 Referenční zdroj.....	14
3.1 Nezávislost na velikosti zátěže.....	14
3.2 Nezávislost na výkyvech napájecího napětí.....	16
3.3 Návrh referenčního obvodu.....	18
3.3.1 Návrh self biased reference.....	18
3.3.2 Návrh napěťového sledovače.....	22
4 Spínaná váhová síť.....	25
4.1 Spínaný zdroj proudu.....	25
4.2 Rezistorová síť.....	27
4.3 Simulace pro určení vlivu parametrů na velikost chyby.....	27
4.3.1 Vliv velikosti odporu rezistorové sítě na celkovou přesnost.....	28
4.3.2 Vliv velikosti proudu dodávaného polem zdrojů na celkovou přesnost.....	29
5 Výstupní zesilovač.....	31
5.1 Obvod pro řízení napěťové nesymetrie.....	34
5.2 Samonulovací zapojení.....	36
5.3 Vyhlazení signálu.....	42
6 Simulace s navrženým zapojením.....	46
6.1 Celková funkce obvodu.....	46
6.2 Maximální vykompenzovatelná chyba napěťové nesymetrie.....	47
6.3 Doba ustálení.....	47
6.4 Odolnost proti poklesu napětí.....	48
6.5 Přesnost zapojení.....	49
7 Závěr.....	53
Seznam zdrojů.....	54
Seznam obrázků.....	56
Seznam tabulek.....	58
Seznam zkratk.....	58

# 1 Úvod

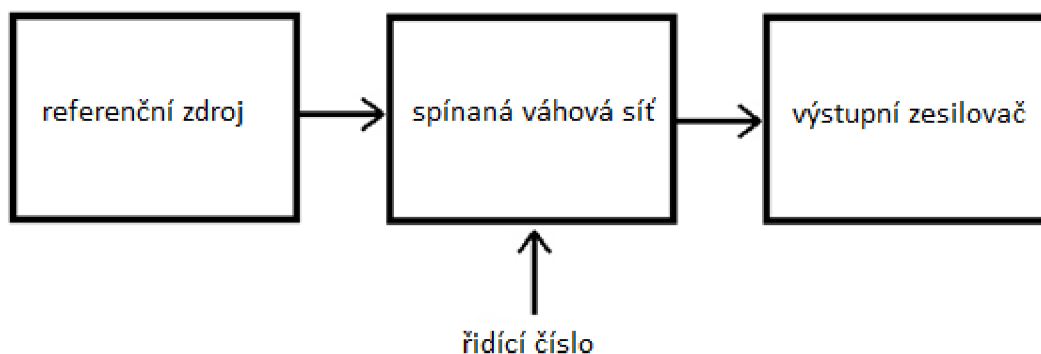
Vzájemná komunikace mezi počítači, případně mezi počítačem a jiným přístrojem, probíhá díky přenosu signálů. Signály jsou označovány jako analogové nebo digitální. Analogový signál může být vyjádřen pomocí funkce spojité v čase i hodnotě. Analogovým signálem je např. napětí, proud či frekvence, stejně tak ale i neelektrické veličiny tlak, teplota nebo akustický signál. Analogový signál je náchylný na zkreslení informace při jejím přenosu a uchovávání. Data je vhodnější uchovávat v digitální podobě. Digitální signál, někdy též zvaný číslicový, sestává z konečného počtu diskrétních hladin. Každá hladina má přidělené právě jedno binární číslo, jehož hodnota je závislá na velikosti signálu a způsobu kódování.

Přenos dat, zejména bezdrátovou technologií, probíhá zpravidla analogovým signálem. K zápisu a uchovávání dat se naopak užívá signál digitální. Obě tyto formy je třeba mezi sebou navzájem převádět. K tomuto účelu slouží analogově digitální (AD) a digitálně analogové (DA) převodníky. Převodníky AD jsou umístovány na vstup přístroje, převodníky DA se naopak umísťují na jeho výstup. Přesnost převodníků je kritická, při převodu a zápisu dat totiž dochází k větší chybě než při jejich uchovávání. To vede ke ztrátě informací.

Cílem této práce je navrhnout zapojení přesného převodníku DA s využitím technologie CMOS pro nízkonapěťové aplikace. Za nízkonapěťové aplikace jsou považovány ty, které mají napájecí napětí do 5 V. Navržený převodník bude testován v programu PSPICE pro ověření jeho funkce a zjištění parametrů. Pro simulace budou využity modely součástek realizovaných v technologii CMOS 07.

## 2 Princip digitálně analogových převodníků

Základní blokové schéma DAC je vidět na obr. 1.



### 1. Blokové schéma DAC [1]

Prvním krokem, při konstrukci DAC je vygenerování referenčního signálu napětí nebo proudu. Pro vysokou přesnost převodníku je kritická neměnost referenčního signálu při změně teploty nebo výkyvu napájecího napětí [1]. Návrhu referenčního zdroje se věnuje kapitola 3.

Referenční signál je pomocí spínané váhové sítě rozdělen na stejně velké díly. Velikost jednoho dílu je označována jako LSB z anglického least significant bit, nejméně významný bit. Celkový počet bitů převodníku je určen počtem dílů, o velikosti LSB, na které je možné rozdělit referenční signál [1]. Návrhu spínané váhové sítě se věnuje kapitola 4.

Na výstup spínané váhové sítě se zpravidla přidává výstupní zesilovač signálu. Výstupní zesilovač slouží zejména pro možnost synchronizace převodníku s další logikou, která vyhodnocuje údaje na základě jiných proudů nebo napětí, než převodník. Z tohoto důvodu je vhodné aby bylo zesílení zesilovače volitelné [1]. Návrhu výstupního zesilovače se věnuje kapitola 5.

### 2.1 Členění digitálně analogových převodníků

Z hlediska charakteru výstupní veličiny jsou DAC děleny na

- unipolární - dodávající výstupní veličinu pouze jedné polaritě,
- bipolární - dodávající výstupní veličinu obou polarit. Zpravidla je velikost největší kladné i záporné hodnoty v absolutní hodnotě shodná, lišící se maximálně o 1 kvantovací úroveň,
- dvoukvadrantové - dodávající výstupní veličinu obou polarit. Jsou to unipolární DAC s možností napájení kladným i záporným napětím nebo bipolární DAC s jednou možnou polaritou napájecího napětí,
- čtyřkvadrantové - bipolární DAC s možností napájení napětím obou polarit [1].

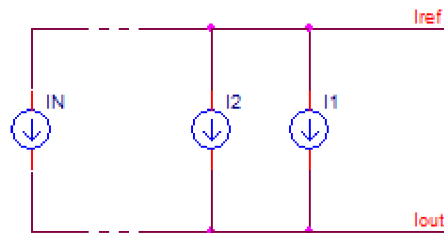
Z hlediska struktury jsou DAC děleny na

- paralelní DAC,
- sériové DAC,

- DAC typu sigma – delta
- DAC využívající mezipřevod na jiný signál, který je následně převeden na analogovou hodnotu [1].

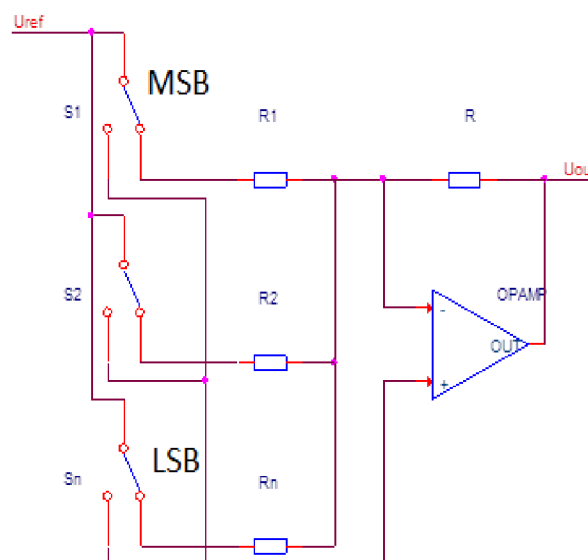
### 2.1.1 Paralelní digitálně analogové převodníky

Zakladním a principiálně nejsnáze pochopitelným způsobem konstrukce DAC jsou struktury využívající váhově odstupňované zdroje proudu [1].



### 2. Váhově odstupňované zdroje proudu [1]

Převáděné číslo slouží jako řídicí signál. Nejvyšší bit MSB, z anglického most significant bit, se připojí na zdroj I1 dodávající proud určené velikosti. Druhý nejvyšší bit se připojí na zdroj I2 dodávající proud poloviční oproti zdroji I1. Následují další zdroje, které dodávají proudy poloviční oproti proudu z předešlého zdroje. V případě, že je daný bit v hodnotě 1 je zdroj, na který je bit připojen, sepnut a dodává proud do společného uzlu. Všechny proudy jsou ve společném uzlu sečteny a tvoří výslednou výstupní hodnotu. Nevýhodou tohoto zapojení je to, že všechny zdroje musejí být navzájem v přesném poměru, čehož se při výrobě těžko dosahuje. Alternativou je použít rezistorové sítě s váhovými rezistory [1].



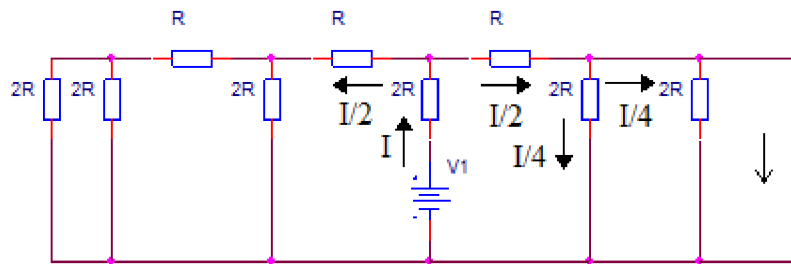
### 3. Váhová rezistorová síť [1]

Váhová rezistorová síť obsahuje rezistory o velikosti odporu v poměru  $1:2:2^2\dots$ . Pokud je hodnota daného bitu S rovna jedné, je spínač sepnut a na rezistor je přivedeno referenční



napětí. Rezistorem teče proud daný velikostí jeho odporu a velikostí připojeného referenčního napětí. Průdy tekoucí do společného uzlu se sčítají stejně jako u váhově stupňovaných zdrojů proudu. Pokud má být výstupní veličinou napětí přidává se k zapojení operační zesilovač jako převodník proud / napětí. Výhodou je malý počet součástek, nevýhodou je nutnost dodržení přesného poměru použitých součástek [1].

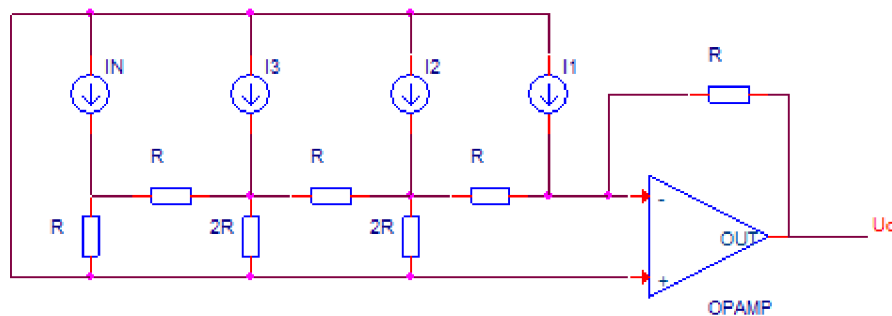
Často užívanou konstrukcí jsou rezistorové sítě typu R-2R. Výhodou tohoto zapojení je jeho snadná realizace, protože celé zapojení obsahuje rezistory pouze 2 různých hodnot, u kterých se snadno dosáhne dobrého sesouhlasení. První dva rezistory o velikosti 2R jsou zapojeny paralelně, společná velikost odporu je tedy R. V sérii s dalším rezistorem o velikosti odporu R je hodnota jejich odporu 2R atd. Bez ohledu na počet rezistorů v síti je tedy vždy výstupní odpor sítě roven hodnotě R [1], [2].



#### 4. Rezistorová síť typu R-2R [1], [2], [3]

Pokud je na některý rezistor s hodnotou odporu 2R přivedeno napětí, začne tímto rezistorem procházet proud. Jeho velikost se v každém uzlu, skrz který proteče, dělí dvěma. Výstupní napětí je snímáno na posledním rezistoru s hodnotou odporu 2R [1], [2].

DA převodník se spínanými zdroji lze konstruovat se zdroji dodávajícími stejnou velikost proudu. Váhové proudy jsou generovány kombinací s rezistorovou sítí [1], [2], [4].

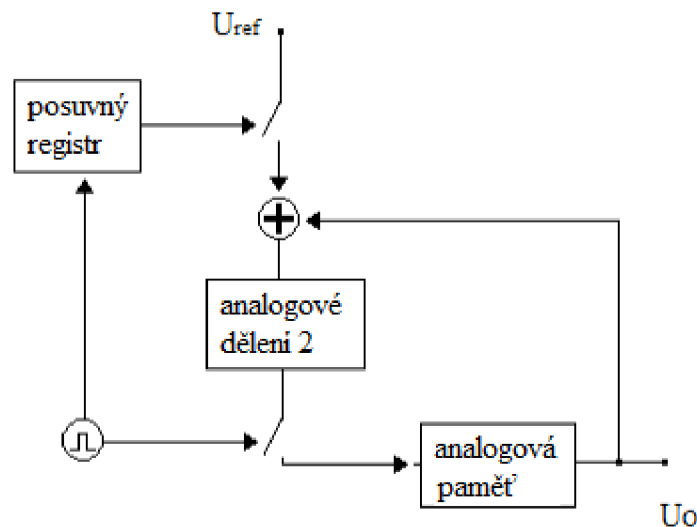


#### 5. DAC se spínanými zdroji a rezistorovou sítí R-2R [1]

Je-li sepnut zdroj na pozici MSB teče z něj proud I směrem na výstup. Je-li sepnut zdroj na pozici MSB-1 poteče z něj proud I/2 směrem na výstup a proud I/2 je sveden příslušným rezistorem na zem. Proud dodávaný z každého zdroje bude dělen dvěma v každém uzlu, kterým projde. Toto zapojení je výhodné kvůli snadné výrobě shodných zdrojů proudu i rezistorové sítě R-2R a dosahované vysoké přesnosti [1], [2], [4].

## 2.1.2 Sériové digitálně analogové převodníky

Sériové převodníky v integrovaných obvodech prakticky nejsou vyráběny. Principiální zapojení je složeno ze 3 bloků (sčítačky, děličky a paměti) [1].



### 6. Principiální schéma sériových DAC [1]

Toto zapojení je využíváno v obvodech se spínanými kapacitami. Převod probíhá celkem v  $n$  taktech, přičemž  $n$  je dáno celkovým počtem bitů převáděného digitálního slova. Převod začíná od nejnižšího bitu. V případě, že je na daném bitu hodnota 1, je k aktuálnímu výsledku přičtena hodnota  $U_{ref}$ . Výsledek se vydělí 2 a zapíše se do analogové paměti.  $N$ -tý bit, tak do celkového součtu přidá napětí o velikosti  $U_{ref} \times 2^{-N}$ . Na výstupu je spínač, který se sepne až po proběhnutí posledního taktu a paměťový kapacitor, který udržuje hodnotu výsledného napětí [1].

Sériové DAC s vybíjením kapacitoru využívají postupného nabíjení a vybíjení řídicího kapacitoru. Jeden cyklus převodu, tedy převod jednoho bitu digitálního slova, je rozdělen řídicím taktom hodin na 2 poloviny. V první polovině cyklu se napětí na kapacitoru zvýší o hodnotu  $U_{ref}$ , je-li hodnota daného bitu 1 nebo je udržována aktuální hodnota napětí, je-li hodnota daného bitu 0. V druhé polovině cyklu je kapacitor vybíjen přes připojený rezistor na poloviční napětí aktuální hodnoty. Převod čísla začíná převodem nejnižšího bitu [1].

Sériové DAC s analogovými vzorkovači fungují na principu vzorkování a pamatování přivedeného napětí. Je-li ve vzorkovací fázi hodnota aktuálně vzorkovaného bitu 1 je na kapacitor přivedeno napětí, které ho nabije na hodnotu  $U_{ref}$ . Je-li ve vzorkovací fázi hodnota aktuálně vzorkovaného bitu 0, je na kapacitoru udržováno aktuální napětí. Ve druhé fázi se napětí na kapacitoru sníží na polovinu. Převod začíná od nejnižšího bitu [1].

Sériový cyklický DAC s kapacitami je rychlejší než předchozí dva typy sériových DAC. Na vstupu obvodu jsou dva spínače, spínač S1 je připojen na hodnotu  $U_{ref}$  a spínač S2 je připojen na analogovou zem. Pokud je hodnota vzorkovaného bitu 1, sepne se spínač S1 a do paměťových kapacitorů je přivedeno napětí  $U_{ref}$ . Pokud je hodnota vzorkovaného bitu 0, sepne se spínač S2 a na paměťové kapacitory je přivedena 0. Převod začíná od nejnižšího bitu [1].

Sériový DAC s vyrovnáním náboje využívá vyrovnávání napětí mezi nabitým a vybitým kapacitorem. Pokud jsou hodnoty kapacit dvou paralelně zapojených kapacitorů shodné, bude shodné i napětí na těchto kapacitorech. Napětí na výstupu tak bude rovno  $U_{ref}/2$ . Pokud je hodnota daného bitu 1 je na první kapacitor přivedeno napětí  $U_{ref}$ . Následně je sepnut spínač mezi oběma kapacitory. Po vyrovnání nábojů na obou kapacitorech je spínač opět rozepnut. Pokud je hodnota následujícího převáděného bitu 1 je první kapacitor opět nabit na hodnotu  $U_{ref}$ . a po spojení se napětí na obou kapacitorech ustálí na hodnotě  $3U_{ref}/4$ . Pokud je hodnota následujícího převáděného bitu 0, je napětí na prvním kapacitoru nulové a po spojení se napětí na obou kapacitorech ustálí na hodnotě  $U_{ref}/4$  [1].

### 2.1.3 Další typy digitálně analogových převodníků

Nepřímé DAC převádějí vstupní digitální signál na jiný diskrétní signál a až následně je tento signál převeden na signál analogový. Konstruují se DAC s převodem na poměr šířky a periody impulsů, s hustotou uniformních impulsů, s kmitočtem pravoúhlých kmitů a s jinými typy mezipřevodu. Nejčastěji používané jsou DAC s mezipřevodem na poměr šířky a periody impulsů. V zapojení se využívá filtr typu dolní propust. Na vstupu filtru je signál s konstantní hodnotou  $U_{ref}$  resp.  $U = 0$ , jehož střída je určena vstupním digitálním signálem převodníku, na výstupu filtru je pak napětí, jehož hodnota je dána střední hodnotou impulsu [1].

DAC typu sigma-delta jsou přesné převodníky s rozlišením zpravidla do 10 bitů. Tyto převodníky mají sice velkou kvantovací chybu, ale tato chyba je odstraněna pomocí převzorkování signálu a tvarováním, filtrací a decimací šumu. Převodníky využívají vyjádření signálové přenosové funkce a šumové přenosové funkce. Signálová přenosová funkce je rovna 1 ve zpracovávaném pásmu zatímco mimo zpracovávané pásmo je rovna 0. Šumová přenosová funkce je rovna 0 ve zpracovávaném pásmu a 1 mimo zpracovávané pásmo. Šum je tedy obsažen mimo zpracovávané pásmo. Principu posunutí šumu mimo zpracovávané pásmo se říká tvarování šumu [1].

Převodníky typu sigma-delta využívají k modulaci šumu integrátory. Obsahuje-li zapojení jeden integrátor, je tento převodník označen jako převodník prvního řádu. Se zvyšujícím řádem se zvyšuje přesnost, je ale třeba řešit problém možné nestability. Prokazatelné zjištění stability může být dokázáno pouze při použití počítačové simulace [1].

## 2.2 Parametry digitálně analogových převodníků

Parametry DAC jsou děleny na statické a dynamické.

Statické parametry jsou zjišťovány z převodní charakteristiky převodníku. Nejdůležitějšími statickými parametry převodníku jsou

- počet bitů  $N$ ,
- napájecí napětí  $U_{dd}$ ,
- chyba nuly – napěťová nesymetrie,
- chyba zesílení,
- chyba linearity  $INL/DNL$ ,

- kvantovací chyba,
- přesnost,
- výstupní rozsah.

Dynamické parametry jsou zjišťovány z kmitočtového spektra převodníku. Nejdůležitějšími dynamickými parametry jsou

- odstup signál šum  $SNR$ ,
- dynamický rozsah bez parazitních složek  $SFDR$ ,
- efektivní počet bitů  $ENOB$ ,
- doba převodu,
- šířka pásma  $BW$
- celkové harmonické zkreslení  $THD$  [1].

Z pohledu návrhu přesného DAC jsou sledovanými parametry zejména chyby. Celková chyba by měla mít maximální hodnotu  $\frac{1}{2}$  LSB. Při překročení této hodnoty již efektivní počet bitů  $ENOB$  neodpovídá celkovému počtu bitů  $N$ , nejnižší bity není možné s přesností určit [1].

Pro získání představy o parametrech v současnosti vyráběných DAC bylo vybráno několik převodníků určených pro nízkonapěťové aplikace. Přehled směrodatných parametrů vybraných převodníků je uveden v následujících tabulkách.

**Tabulka 1. Princip zapojení porovnávaných DAC [5], [6], [7], [8], [9], [10], [11], [12]**

Název převodníku	firma	princip zapojení
TLC5615C, TLC5615I	Texas instruments	Rezistorová síť string s OZ na výstupu
8408	Maxwell Technologies	Invertovaná rezistorová síť R-2R s OZ na výstupu
HI5660	Intersil	Spínané proudové zdroje 5+3
HI5728	Intersil	Spínané proudové zdroje 5+5
MCP 4921	Microchip	Rezistorová síť string s OZ na výstupu
M62364	Unisonic technologies	Rezistorová síť R-2R
PCM1715U	Burr Brown	Převodník sigma-delta
AD9740	Analog Devices	Spínané proudové zdroje 5+5

**Tabulka 2. Parametry porovnávaných DAC [5], [6], [7], [8], [9], [10], [11], [12]**

Název převodníku	$U_{DD}$ [V]	$U_{REF}$ [V]	rozišení [bit]	rozsah na výstupu[V/A]	GBW [kHz]
TLC5615C, TLC5615I	5	2,048	10	0-( $V_{DD}$ -0,4) V	30
8408	5	1,5	8	0- $V_{REF}$ V	19,132
HI5660	3-5	1,16	8	2-20 mA	40400
HI5728	3-5	1,16	10	0-20 mA	40400
MCP 4921	2,7-5,5	2,048	12	podle zvoleného zisku	400
M62364	2,7-3,6	Dle pinu	8	-0,3-( $V_{DD}$ +0,3)V	neuveдено
PCM1715U	5	5	16	0-3,2V	44,1
AD9740	3,3	1,2	10	2-20 mA	500

**Tabulka 3. Chyby porovnávaných DAC [5], [6], [7], [8], [9], [10], [11], [12]**

Název převodníku	INL [LSB]	DNL [LSB]	chyba zesílení[LSB]	chyba nuly [LSB]
TLC5615C, TLC5615I	- / $\pm 1$	$\pm 0,1/\pm 0,5$	$\pm 3$	$\pm 3$
8408	- / $\pm 0,5$	- / $\pm 1$	$\pm 1$	$\pm 0,1$
HI5660	$\pm 0,25/\pm 0,5$	$\pm 0,25/\pm 0,5$	$\pm 10 \% \text{ FSR}$	$\pm 0,025 \% \text{ FSR}$
HI5728	$\pm 0,5/\pm 1$	$\pm 0,25/\pm 0,5$	$\pm 10 \% \text{ FSR}$	$\pm 0,025 \% \text{ FSR}$
MCP 4921	$\pm 2/\pm 12$	$\pm 0,2/\pm 0,75$	$\pm 0,1 \% \text{ FSR}$	$\pm 0,02 \% \text{ FSR}$
M62364	- / $\pm 1,5$	- / $\pm 1$	neuveďeno	neuveďeno
PCM1715U	neuveďeno	neuveďeno	$\pm 1 \% \text{ FSR}$	neuveďeno
AD9740	$\pm 0,15/\pm 0,7$	$\pm 0,12/\pm 0,5$	$\pm 0,1/\pm 2 \% \text{ FSR}$	$\pm 0,02 \% \text{ FSR}$

Chyby v tabulce 3 jsou uvedené typické a maximální.

### 3 Referenční zdroj

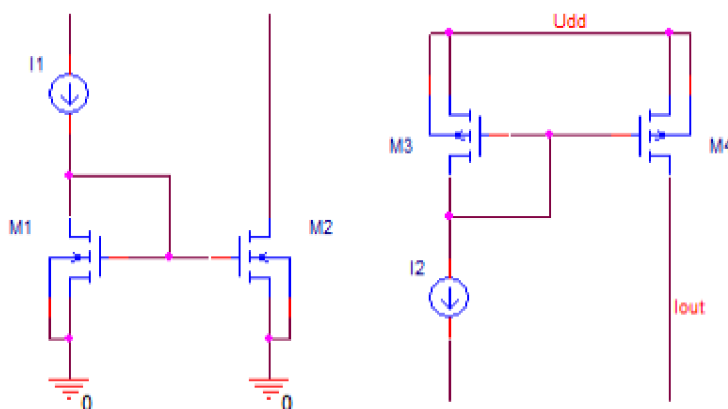
Pro správnou funkci DAC musí zapojení obsahovat referenční zdroj proudu nebo napětí. Ideální zdroj musí splňovat tři podmínky

- je schopen dodávat napětí/proud bez ohledu na velikost zátěže,
- je schopen dodávat napětí/proud bez ohledu na výkyvy v napájecím napětí,
- je schopen dodávat napětí/proud bez ohledu na změnu teploty.

Pro potřeby této diplomové práce není teplotní nezávislost zdroje kritickým parametrem., řešena bude tedy pouze nezávislost na velikosti zátěže a výkyvech napájecího napětí [13]. Zdroj navrhovaný v rámci této diplomové práce bude dodávat referenční proud i referenční napětí.

#### 3.1 Nezávislost na velikosti zátěže

Nezávislost na velikosti zátěže je nezákladnější požadavek při konstrukci zdrojů proudu. Nejjednodušší zapojení, které je používáno za tímto účelem je označováno jako proudové zrcadlo. Proudových zrcadel existuje několik druhů, v rámci této práce budou použity 2 typy Widlarovo (obr. 7) a kaskodové (obr. 8) proudové zrcadlo. Princip proudového zrcadla bude vysvětlen na Widlarově proudovém zrcadle s tranzistory NMOS [1], [13], [14].



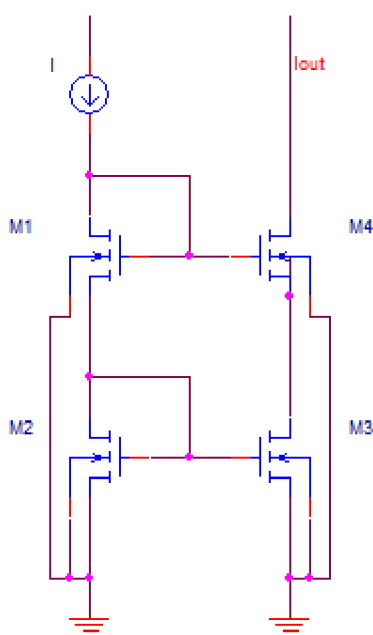
7. Widlarovo proudové zrcadlo [1], [13], [14]

Tranzistor M1 je zapojen jako dioda. Proud, který jím protéká tak určuje napětí na jeho hradle  $V_{GS1}$ . Zdroj I1 s tranzistorem M1 by se také daly chápat jako dělič napětí. Napětí na hradle tranzistoru M1 je připojeno na hradlo tranzistoru M2. Pokud mají tyto tranzistory shodné materiálové konstanty a zároveň shodné rozměry, začne téct tranzistorem M2 proud o stejné velikosti jako proud tekoucí do tranzistoru M1. Velikost proudu tekoucího přes tranzistor M2 lze snadno změnit změnou rozměrů tranzistoru M2. Platí, že pokud je  $N$  krát větší šířka kanálu tranzistoru M2, pak je  $N$  krát větší proud tímto tranzistorem. Výhodné je, že na hradlo tranzistoru M1 můžeme napojit více výstupních tranzistorů a tím získat více zdrojů referenčního proudu [1], [13], [14].

Schopnost zdroje dodávat referenční proud bez ohledu na velikost zátěže, je určena velikostí jeho výstupního odporu. Pro velikost výstupního odporu tranzistoru M2, tedy výstupního odporu  $R_{out}$  proudového zrcadla platí

$$R_{out} = \frac{1}{\lambda \cdot I_d}, \quad (3.1)$$

kde  $I_d$  je proud tekoucí drainem tranzistoru a koeficient  $\lambda$  je vliv modulace délky kanálu, který je závislý na délce kanálu a typu vodivosti kanálu tranzistoru viz. příloha 1. Velikost výstupního odporu Widlarova proudového zrcadla se standardně pohybuje v desítkách až stovkách  $k\Omega$ , maximálně v jednotkách  $M\Omega$ . V některých případech je tento výstupní odpor dostačující, zejména pokud není nutné mít nastavenou přesnou hodnotu proudu, ale je nutné mít více proudů, které jsou vzájemně shodné. V některých částech obvodu bude ale vyžadována větší přesnost. V takovém případě bude použito kaskodové proudové zrcadlo [1], [13], [14].



### 8. Kaskodové proudové zrcadlo [1], [13], [14]

Princip zrcadlení je prakticky stejný, jako u Wilsonova proudového zrcadla. Toto zapojení má však řádově větší výstupní odpor jehož velikost je

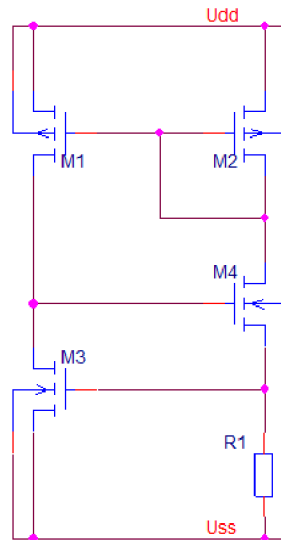
$$R_{out} = R_{dsM3} \cdot R_{dsM4} \cdot g_{mM4}, \quad (3.2)$$

kde  $R_{ds}$  jsou velikosti výstupních odporů tranzistorů M3 a M4 a  $g_{mM4}$  je transkonduktance tranzistoru M4. Výstupní odpor tranzistoru M3 je zesílen tranzistorem M4. Díky tomu, dosahuje výstupní odpor kaskodového proudového zrcadla hodnot  $R_{out}$  v řádu jednotek až desítek  $M\Omega$ , tzn. o dva řády více než Widlarovo proudové zrcadlo [1], [13], [14].

Kaskodové proudové zrcadlo má oproti Widlarovu další výhodu. Proud zrcadlený proudovými zrcadly není přesnou kopií referenčního proudu. U Widlarova proudového zrcadla je chyba přenosu přibližně 1-2 %. Kaskodové proudové zrcadlo má chybu přenosu přibližně 0,01-0,02 %, tedy o 2 řády menší [1], [13], [14].

### 3.2 Nezávislost na výkyvech napájecího napětí

Pro zajištění nezávislosti velikosti referenčního proudu na napájecím napětí je v této práci použita self-biased (samo-nastavovací) proudová reference obr. 9 [1], [13].



#### 9. Self-biased proudová reference [1], [13]

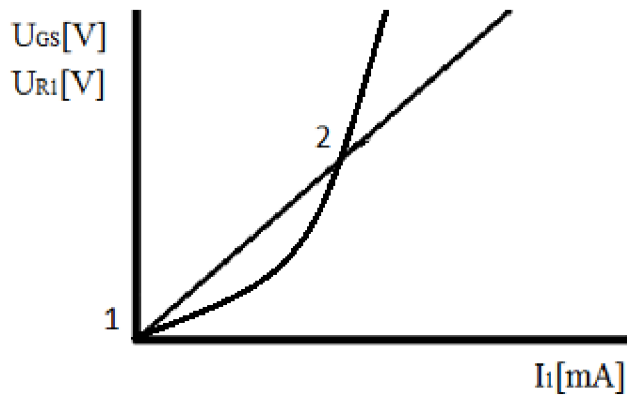
Princip self biased proudové reference je následující. Tranzistory M1 a M2 jsou zapojeny jako proudové zrcadlo. Oběma větvemi tedy musí téct shodný proud. Napětí na hradle tranzistoru  $U_{GS3}$  je

$$U_{GS3} = U_{TH} + \sqrt{\frac{2I_3 L_3}{\mu C_{ox} W_3}}, \quad (3.3)$$

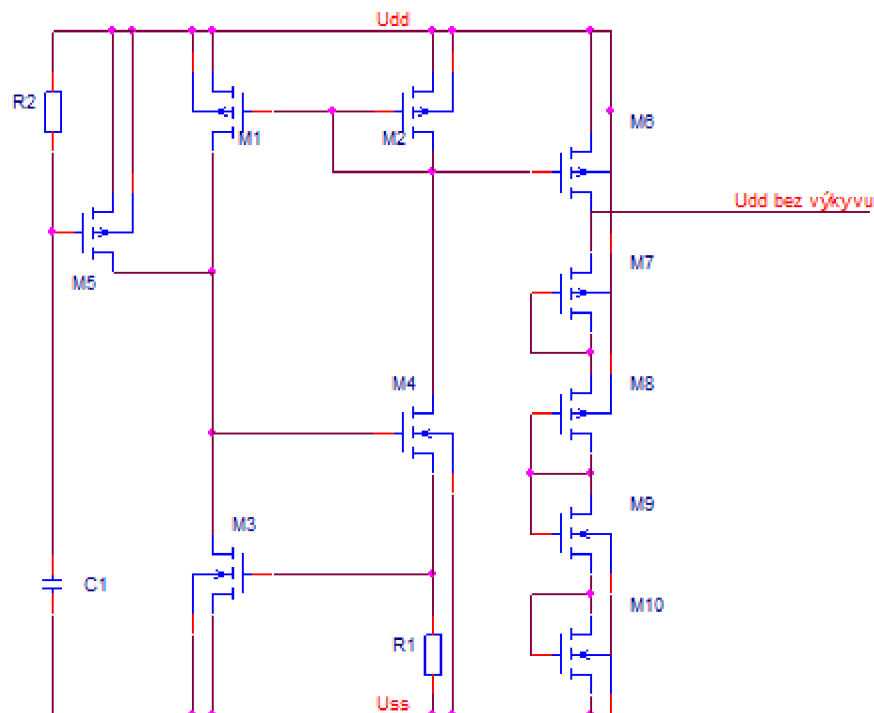
kde  $U_{TH}$  je prahové napětí,  $\mu$  je pohyblivost nosiče,  $C_{ox}$  je kapacita oxidové vrstvy,  $I$  je proud,  $L$  je délka kanálu tranzistoru a  $W$  je šířka kanálu tranzistoru. Zároveň je toto napětí určené rezistorem R1. Význam faktu, že napětí na hradle tranzistoru M3 je nastaveno proudem jím protékajícím a rezistorem R1 vyplyne při vynesení závislosti napětí na hradle a napětí na rezistoru do jednoho grafu na obr. 10 [1], [13].

Z grafického řešení je zřejmé, že se obě voltampérové charakteristiky protínají ve dvou bodech. Zapojení se může nacházet v obou režimech. Pracovní bod, kde se obě charakteristiky protínají se poprvé nachází v 0. Zapojení ale v tomto bodě nebude plnit požadovanou funkci. Je tedy nezbytné přidat do zapojení část, která zajistí správné nastavení pracovního bodu, tedy bodu 2. Toto zapojení se označuje jako startovací obvod. Tento obvod vnutí vyšší proud do self biased reference [1], [13].





### 10. VA charakteristika rezistoru R1 a tranzistoru M3 [1], [13]



### 11. Self-biased reference se startovacím obvodem a převodem $I \Rightarrow U$ [1], [13]

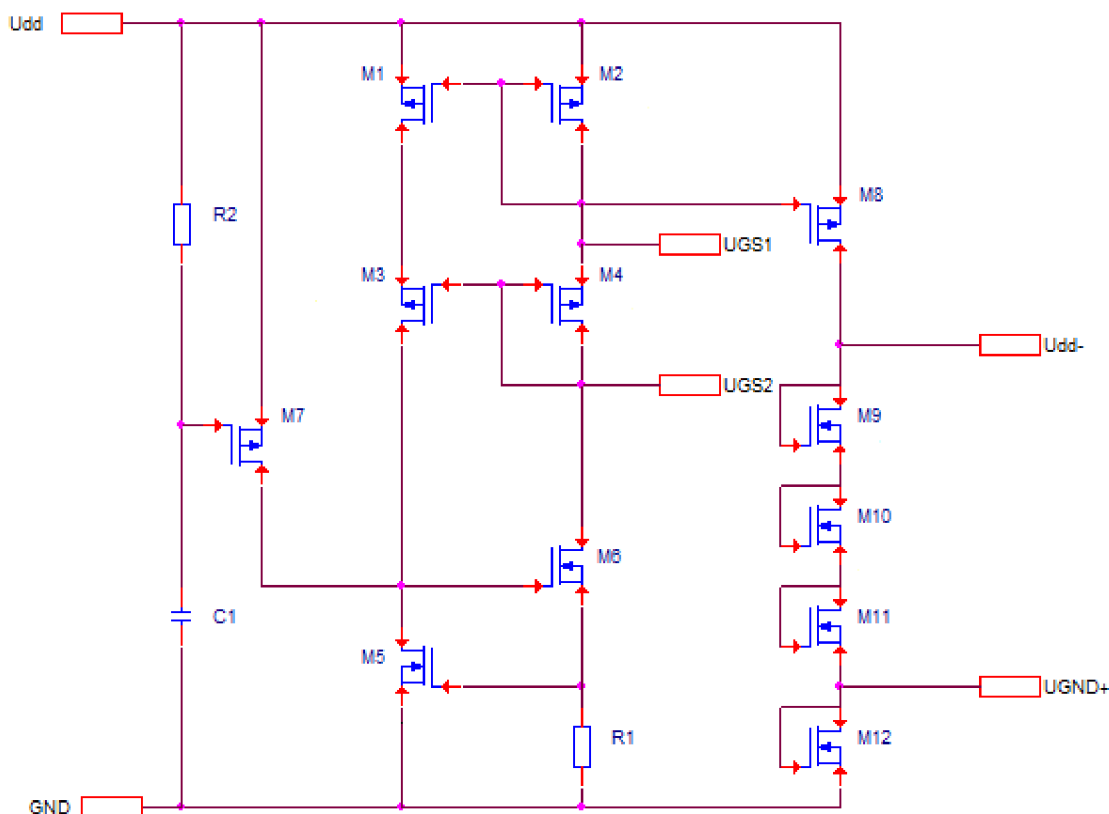
Po zapnutí drží kapacitor C1 po krátkou dobu napětí na hradle tranzistoru M5 u hodnoty  $U_{ss}$ . Tranzistor M5 je sepnutý a nutí proud do tranzistoru M3, který se díky tomu nastaví do správného pracovního bodu. Kondenzátor se zatím postupně nabíjí a jakmile hodnota napětí na něm přesáhne hodnotu  $U_{dd} - (U_{th5} + U_{R2})$ , je tranzistor M5 vypnut a startovací obvod se již nepodílí na funkci obvodu [13].

Na obr. 11 je navíc přidán převodník proudu na napětí tvořený tranzistory M6 až M10, kde tranzistor M6 zrcadlí proud z tranzistoru M2 a zbylé tranzistory fungují jako posouvače urovni. Získané referenční napětí bude sloužit zejména jako napájení pro digitální část navrhovaného obvodu.

### 3.3 Návrh referenčního obvodu

Celkové zapojení navrženého referenčního obvodu je na obr. 12. Cílem je vytvořit součástku se dvěma vstupními a čtyřmi výstupními piny. Vstupní piny jsou určeny pro připojení napájení. Výstupní piny  $U_{GS1}$  a  $U_{GS2}$  jsou určeny k nastavení pracovních bodů spínaných zdrojů proudu. Výstupní pin  $U_{dd-}$  dodává referenční napětí jehož velikost je dána velikostí napětí na čtyřech tranzistorech NMOS v diodovém zapojení, vytvořené napětí je určeno k napájení operačních zesilovačů použitých později v návrhu.

Aby u operačních zesilovačů nedocházelo k omezení výstupního napětí je nutno, aby jejich spodní napájecí napětí mělo nižší hodnotu, řádově alespoň o 100 mV, než souhlasné napětí na vstupu. Záporné napájecí napětí není k dispozici. Z toho důvodu je vytvořeno napětí  $U_{GND+}$ , sloužící k „vzdvižení země“. Napětí  $U_{GND+}$  bude použito na vstupu operačních zesilovačů, přičemž jako spodní napájecí napětí bude použito nulové napětí, a díky tomu je pro operační zesilovače získáno spodní napájecí napětí s nižší hodnotou, než je hodnota napětí na vstupu operačního zesilovače. Velikost napětí z pinu  $U_{GND+}$  je dána velikostí napětí na jednom tranzistoru NMOS v diodovém zapojení.



12. Navržený referenční zdroj proudu a napětí

#### 3.3.1 Návrh self biased reference

Prvním krokem je návrh self-biased reference. Jako zdroj proudu zde působí proudové zrcadlo tvořené tranzistory M1 a M2. Pro poměr délky  $L$  a šířky  $W$  obou tranzistorů platí

$$\frac{W}{L} = \frac{2 \cdot I_D}{K_p \cdot (U_{GS} - U_{TH})^2 \cdot (1 + \lambda U_{DS})}, \quad (3.4)$$

kde  $I_D$  je proud tekoucí tranzistorem,  $K_p$  je přenosová vodivost,  $U_{GS}$  je napětí mezi gatem a sourcem tranzistoru,  $U_{DS}$  je napětí mezi drainem a sourcem tranzistoru  $U_{TH}$  je prahové napětí tranzistoru a  $\lambda$  je vliv modulace délky kanálu.

Pro velikost parametrů tranzistorů platí

	NMOS	PMOS
$K_p$ [ $\mu\text{A}/\text{V}^2$ ]	96	32
$U_{TH}$ [V]	0,76	-1

Hodnota se  $U_{GS} - U_{TH}$  je volena v rozmezí 0,2 – 0,5 V. Hodnota je volena blíže 0,2 V pokud jsou kladeny požadavky na vysoký zisk a hodnota blíže 0,5 V je volena pokud jsou kladeny požadavky na vysokou rychlost. Koeficient  $\lambda$  je závislý na zvolené délce kanálu a je zjišťován grafickou metodou viz. příloha 1. Délka hradla  $L$  se kvůli omezení nedokonalostí výroby nevolí minimální možná ale 2 – 5 krát větší než  $L_{MIN}$ . Kratší kanál je volen, při požadavcích na vyšší rychlost a delší kanál je volen při požadavcích na větší zesílení.

Při volbě proudu tekoucího tranzistoru je třeba přihlídnout zejména ke dvěma protichůdným požadavkům. Čím vyšší proud je zvolen tím lepší budou kmitočtové vlastnosti tranzistoru, tranzistor bude rychlejší. Na druhou stranu čím nižší bude proud tím vyšší bude výstupní odpor tranzistoru, tranzistor se bude více blížit ideálnímu zdroji proudu. Navíc vyšší proud znamená také větší plochu na čipu. Volená hodnota je tedy kompromisem mezi těmito faktory. Při návrhu proudového zrcadla M1 až M4 pro self biased referenci jde především o přiblížení se ideálnímu zdroji proudu. Běžně se v integrovaných obvodech při použití technologie CMOS používají proudy v řádu desítek až stovek  $\mu\text{A}$ .

Hodnota proudu tekoucího tranzistoru M1 až M4 je zvolena na  $I_{D1} = 10 \mu\text{A}$ . Výstup z tohoto zrcadla bude použit pro tvorbu referenčního napětí, odolného proti výkyvům, proto je volena hodnota tak, aby byl udržen vysoký výstupní odpor zrcadla. Pro zvýšení výstupního odporu nebude použito kaskodové proudové zrcadlo.

Délka kanálu je zvolena na  $L_{M1} = 5xL_{MIN}$ , s delším kanálem klesá vliv modulace délky kanálu a také je zajištěn větší výstupní odpor tranzistoru. Je zvolena hodnota  $U_{GS_{M1}} - U_{TH_{M1}} = 0,2 \text{ V}$ . Dosazením do vztahu 3.4 jsou získány rozměry tranzistorů M1 až M4

$$\frac{W_{M1}}{L_{M1}} = \frac{2 \cdot I_{D1}}{K_{PP} \cdot (U_{GS_{M1}} - U_{TH_{M1}})^2 \cdot (1 + \lambda U_{DS_{M1}})} = \frac{2 \cdot 10^{-5}}{32 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,01 \cdot 0,2)} = 15,6.$$

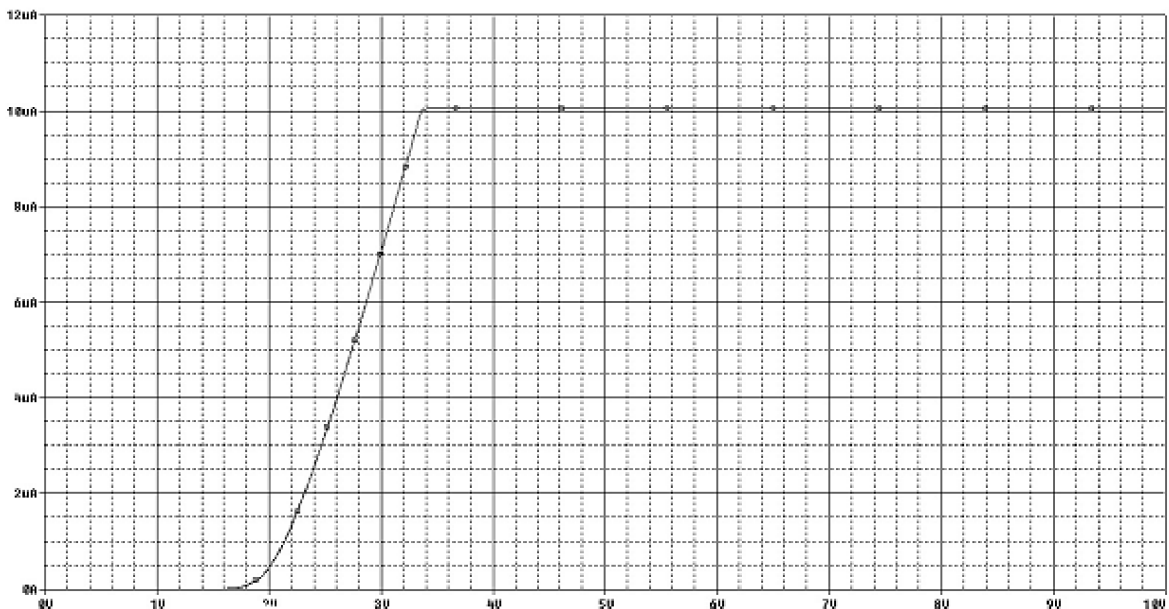
Tranzistory M5 a M6 poteče stejný proud. Poměr délky a šířky pak bude dán

$$\frac{W_{M5}}{L_{M5}} = \frac{2 \cdot I_{D1}}{K_{PN} \cdot (U_{GSM1} - U_{THM1})^2 \cdot (1 + \lambda U_{DSM1})} = \frac{2 \cdot 10^{-5}}{96 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,02 \cdot 0,2)} = 5,2.$$

Pro tranzistory M1 až M4 jsou určeny rozměry  $L_{M1} = 3,5 \mu\text{m}$ ,  $W_{M1} = 54,6 \mu\text{m}$ . Pro tranzistory M5 a M6 jsou určeny rozměry  $L_{M3} = 3,5 \mu\text{m}$ ,  $W_{M3} = 18,2 \mu\text{m}$ . Hodnota odporu rezistoru R1 je určena napětím na hradle tranzistoru M5 a proudem protékajícím rezistorem R1

$$R_1 = \frac{U_{GSM3}}{I_{D1}} = \frac{0,96}{10^{-5}} = 96 \text{ k}\Omega.$$

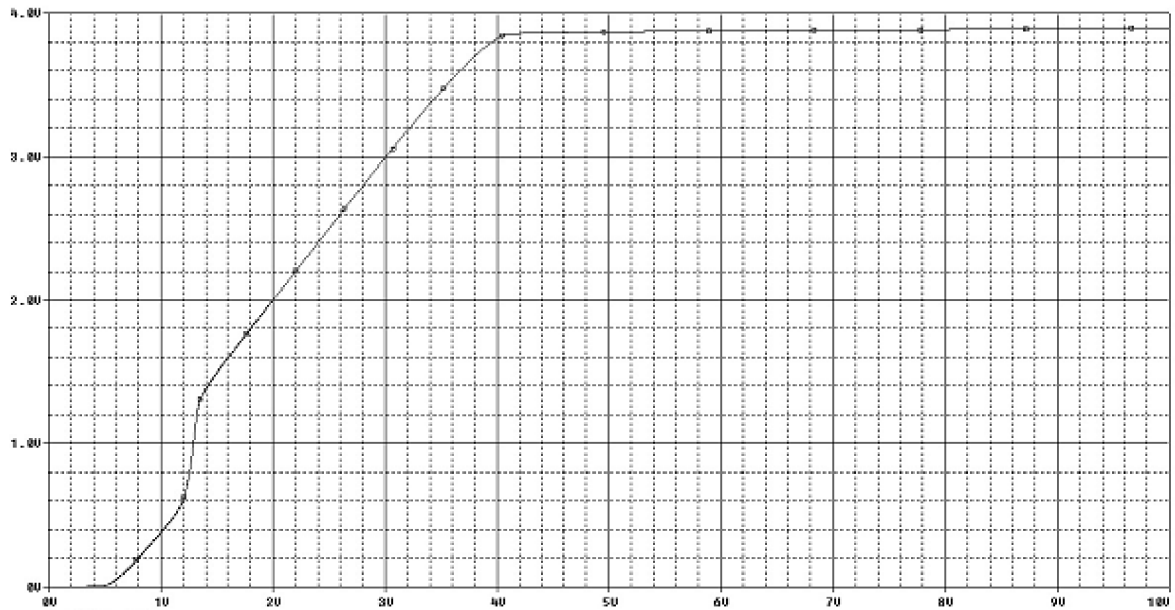
Simulací v programu PSPICE byla zjištěna schopnost obvodu stabilizovat proud při výkyvu napětí v oblasti nad  $U_{dd} = 3,5 \text{ V}$ . Při napětí nižším než  $U_{dd} = 3,5 \text{ V}$  se tranzistory v zapojení dostávají do podprahové oblasti. Rozpětí stabilizace je pro navrhovaný obvod dostatečné, běžně jsou uvažovány výkyvy napájecího napětí  $\pm 10 \%$ . V úzkém okolí referenční hodnoty  $U_{dd} = 5 \text{ V}$  byla zjištěna závislost  $\Delta I_{DM2} = 0,1 \text{ nA/V}$ . Výsledek simulace je na obr. 13.



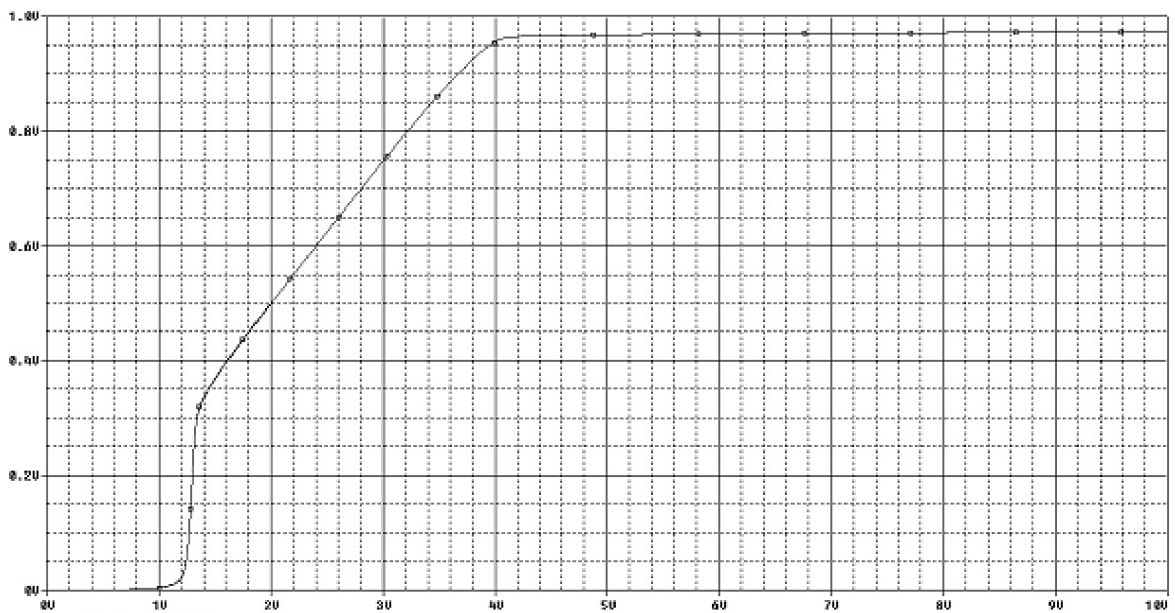
### 13. Stabilizace proudu self biased reference při poklesu napětí

Tranzistor M8 bude mít stejné rozměry a parametry jako tranzistory M1 až M4. Tranzistory M7 až M10 budou mít stejné rozměry a parametry jako tranzistory M5 a M6.

Z naměřených charakteristik byla zjištěna závislost výstupního napětí  $U_{dd-}$  na napájecím napětí  $\Delta U_{dd-} = 10 \text{ mV/V}$ . Nominální hodnota reference při  $U_{dd} = 5 \text{ V}$  je  $U_{dd-} = 3,869 \text{ V}$ . Závislost napětí  $U_{GND+}$  na napájecím napětí je  $\Delta U_{dd-} = 2,5 \text{ mV/V}$ . Nominální hodnota reference při  $U_{dd} = 5 \text{ V}$  je  $U_{GND+} = 0,967 \text{ V}$ . Výsledky simulací jsou na obr. 14 a obr. 15.



#### 14. Závislost $U_{dd-}$ na napájecím napětí

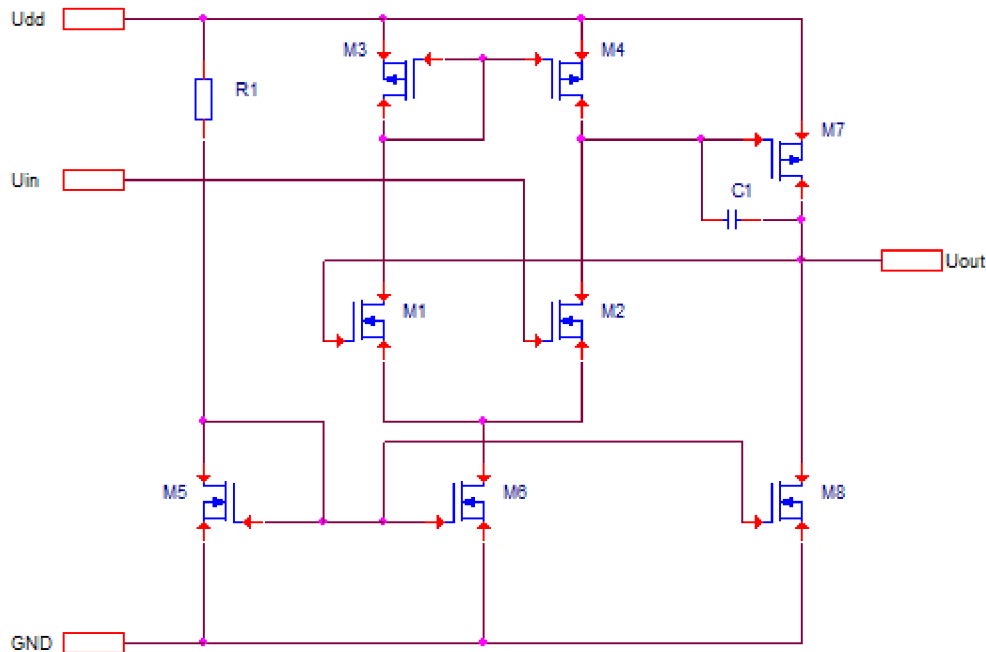


#### 15. Závislost $U_{GND+}$ na napájecím napětí

Délka kanálu tranzistoru M7 je zvolena na  $L_{M5} = 2,1 \mu\text{m}$ , šířka tranzistoru bude  $W_{M5} = 33,2 \mu\text{m}$ . Kapacitor C1 by pro správnou funkci obvodu měl mít větší hodnotu kapacity C1 než je kapacita tranzistoru M5. Vzhledem k velikosti hradla se bude kapacita tranzistoru pohybovat v řádech fF. S rezervou je hodnota kapacity zvolena na  $C1 = 1 \text{ nF}$ . Velikost odporu R2 přímo úměrně určuje s jakou rychlostí se bude nabíjet kapacitor C1. Při velikosti odporu  $R2 = 1 \text{ k}\Omega$  bude kapacitor nabit během několika  $\mu\text{s}$ . Podle očekávání simulace potvrdily, že po vytvoření velkého špičkového proudu se tranzistor M5 odpojí a nadále neovlivňuje chování obvodu.

### 3.3.2 Návrh napěťového sledovače

Jako napěťový sledovač je použit dvoustupňový operační zesilovač, jehož invertující vstup je spojen s jeho výstupem a neinvertující vstup je připojen na výstup převodníku proud - napětí u self biased reference. Při návrhu tohoto operačního zesilovače je směřodonné zejména udržet co nejnižší výstupní odpor. Testovací zapojení je na obr. 16.



#### 16. Dvoustupňový operační zesilovač v zapojení jako napěťový sledovač

Kompenzační kapacita je zvolena na hodnotu  $C_1 = 2$  pF. Konstruovaný OZ nemusí být příliš rychlý, nepředpokládají se velké rychlé výkyvy napětí na vstupu. Z tohoto důvodu je rychlost přeběhu  $SR$  volena na  $SR = 3$  V/ $\mu$ s

$$I_{M5} = C_1 \cdot SR = 2 \cdot 10^{-12} \cdot 3 \cdot 10^6 = 6 \mu A. \quad (3.5)$$

Šířka pásma OZ je zvolena na  $GBW = 2$  MHz. Pro  $gm$  tranzistorů M1 a M2 platí

$$gm_{M1, M2} \geq GBW \cdot 2 \cdot \pi \cdot C_1 \geq 2 \cdot 10^6 \cdot 2 \cdot \pi \cdot 2 \cdot 10^{-12} \geq 25,133 \cdot 10^{-6} \approx 26 \mu s. \quad (3.6)$$

Z  $gm_{M1, M2}$  a  $I_{M5}$  lze vypočítat napětí na tranzistorech M1 a M2

$$U_{GS_{M1}} - U_{THN} = \frac{2 \cdot I_{M1}}{gm_{M1}} = \frac{I_{M5}}{gm_{M1}} = \frac{6 \cdot 10^{-6}}{26 \cdot 10^{-6}} = 0,231 V.$$

Z vypočítaných parametrů lze získat rozměry tranzistorů M1 a M2. Délka kanálu je zvolena na  $L_{M1} = 1,5$   $\mu$ m

$$\frac{W_{M1}}{L_{M1}} = \frac{2 \cdot I_{M1}}{K_{PN} \cdot (U_{GS_{M1}} - U_{THN})^2 \cdot (1 + \lambda U_{DS_{M1}})} = \frac{6 \cdot 10^{-6}}{96 \cdot 10^{-6} \cdot 0,231^2 \cdot (1 + 0,0275 \cdot 0,2)} = 1,2.$$

Z uvedeného vyplývá, že šířka tranzistorů M1 a M2 je  $W_{M1, M2} = 1,7 \mu\text{m}$ . Napětí na hradle tranzistorů M5 a M6 je nastaveno na  $U_{GSM5} = 0,2 \text{ V}$ . Při volbě  $L_{M5, M6} = 3 \mu\text{m}$  pro poměr  $W/L$  těchto tranzistorů platí

$$\frac{W_{M5}}{L_{M5}} = \frac{2 \cdot I_{M5}}{K_{PN} \cdot (U_{GSM5} - U_{THN})^2 \cdot (1 + \lambda U_{DSM5})} = \frac{12 \cdot 10^{-6}}{96 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,02 \cdot 0,2)} = 3,1.$$

Šířka tranzistorů M5 a M6 je  $W_{M5, M6} = 9,3 \mu\text{m}$ . Proud, který teče oběma tranzistory je nastaven odporem  $R_I$ . Pro jeho velikost platí

$$R_1 = \frac{U_{dd} - (U_{THN} + U_{DSM5})}{I_{M5}} = \frac{5 - (0,76 + 0,2)}{6 \cdot 10^{-6}} = 673,3 \text{ k}\Omega.$$

Pro tranzistory aktivní zátěže je určeno  $L_{M3, M4} = 3 \mu\text{m}$ . Proud tekoucí těmito tranzistory má stejnou hodnotu jako proud tekoucí tranzistory diferenčního páru. Poměr  $W/L$  těchto tranzistorů je

$$\frac{W_{M3}}{L_{M3}} = \frac{2 \cdot I_{M3}}{K_{PP} \cdot (U_{GSM3} - U_{THP})^2 \cdot (1 + \lambda U_{DSM3})} = \frac{6 \cdot 10^{-3}}{32 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,015 \cdot 0,2)} = 4,7.$$

Šířka tranzistorů M3 a M4 je  $W_{M3, M4} = 14 \mu\text{m}$ . Pro dosažení co nejnižšího výstupního odporu je třeba volit ve výstupní větvi malou délku kanálu tranzistorů a zejména velký proud. Proud výstupní větvi je nastaven na  $I_{M7} = 600 \mu\text{A}$ . Při volbě délky kanálu  $L_{M7, M8} = 1,5 \mu\text{m}$  platí

$$\frac{W_{M7}}{L_{M7}} = \frac{2 \cdot I_{M7}}{K_{PP} \cdot (U_{GSM7} - U_{THP})^2 \cdot (1 + \lambda U_{DSM7})} = \frac{1,2 \cdot 10^{-3}}{32 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,045 \cdot 0,2)} = 929,1,$$

$$\frac{W_{M8}}{L_{M8}} = \frac{2 \cdot I_{M8}}{K_{PN} \cdot (U_{GSM8} - U_{THN})^2 \cdot (1 + \lambda U_{DSM8})} = \frac{1,2 \cdot 10^{-3}}{96 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,0275 \cdot 0,2)} = 310,8.$$

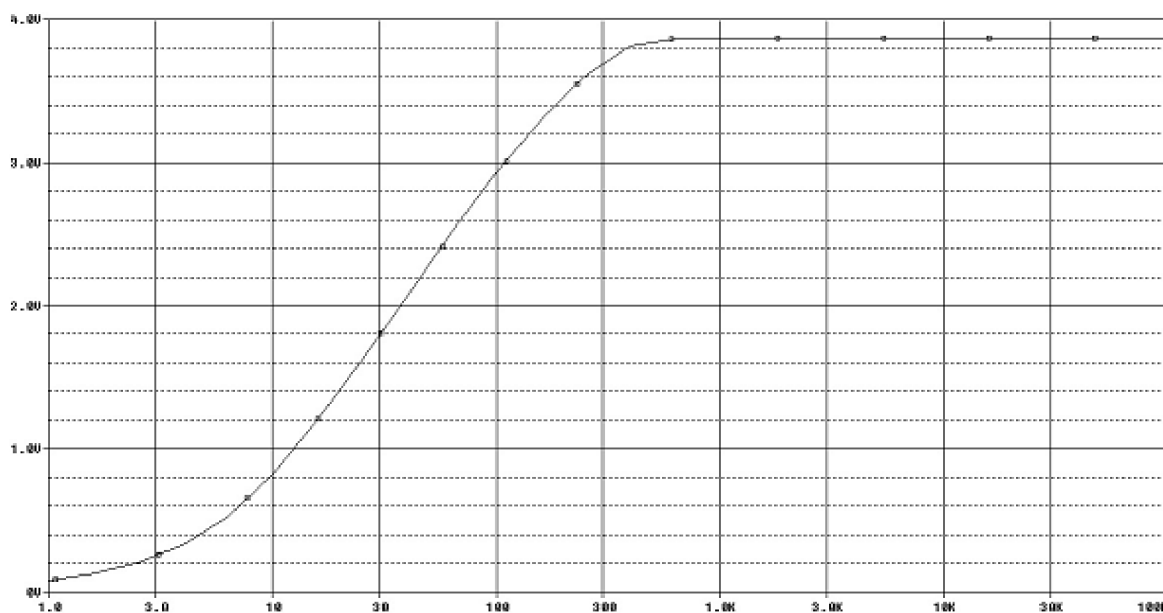
Šířky tranzistoru M7 a M8 jsou  $W_{M7} = 1393,7 \mu\text{m}$  a  $W_{M8} = 466,2 \mu\text{m}$ . Na vstup sledovače zapojeného podle obr.16 byl připojen pin  $U_{dd}$ - self biased reference podle obr. 12, dodávající napětí  $U_I = 3,869 \text{ V}$ . Na výstup sledovače byl připojen rezistor  $R_Z = 200 \Omega$  simulující zátěž. Simulací bylo zjištěno napětí na výstupu  $U_{OUT} = 3,462 \text{ V}$ . Pro výstupní napětí platí

$$U_{OUT} = U_I \frac{R_Z}{R_Z + R_{OUT}}. \quad (3.7)$$

Z tohoto vztahu je odvozen výpočet pro výstupní odpor operačního zesilovače

$$R_{OUT} = \frac{R_Z \cdot U_I}{U_{OUT}} - R_Z = \frac{200 \cdot 3,869}{3,462} - 200 = 23,5 \Omega.$$

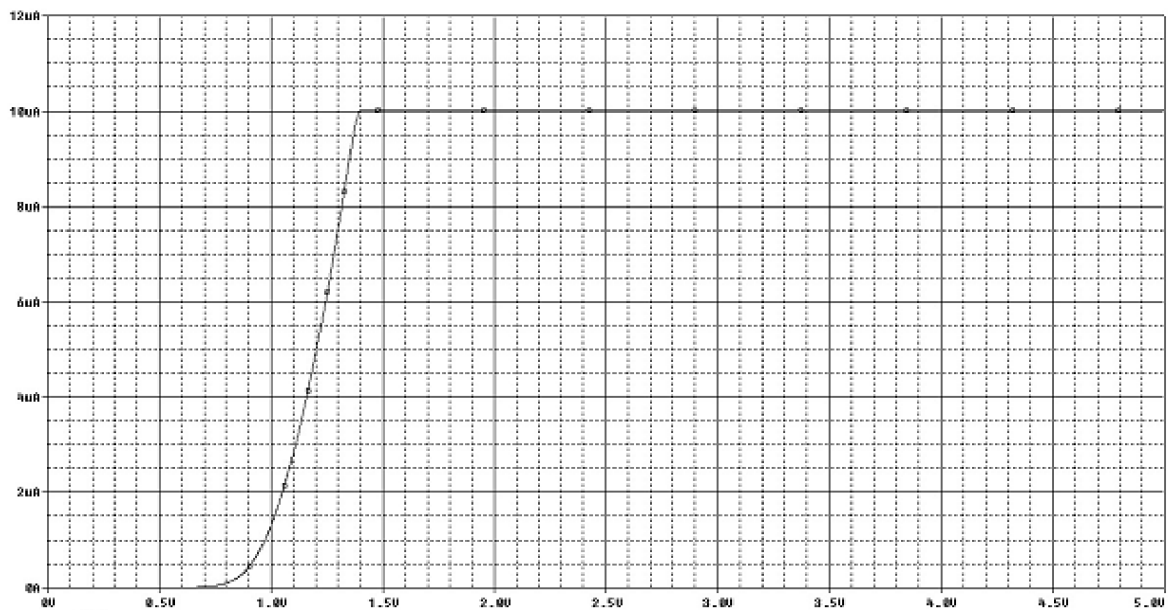
Výstupní odpor této velikosti je pro potřeby napěťového sledovače dobrý. Simulací bylo zjištěno, že pro správnou funkci obvodu by neměla velikost zátěže klesnout pod hranici  $R_z = 500 \Omega$ . Výsledek simulace je na obr. 17.



**17. Vliv velikosti zátěže na výstupní napětí sledovače**



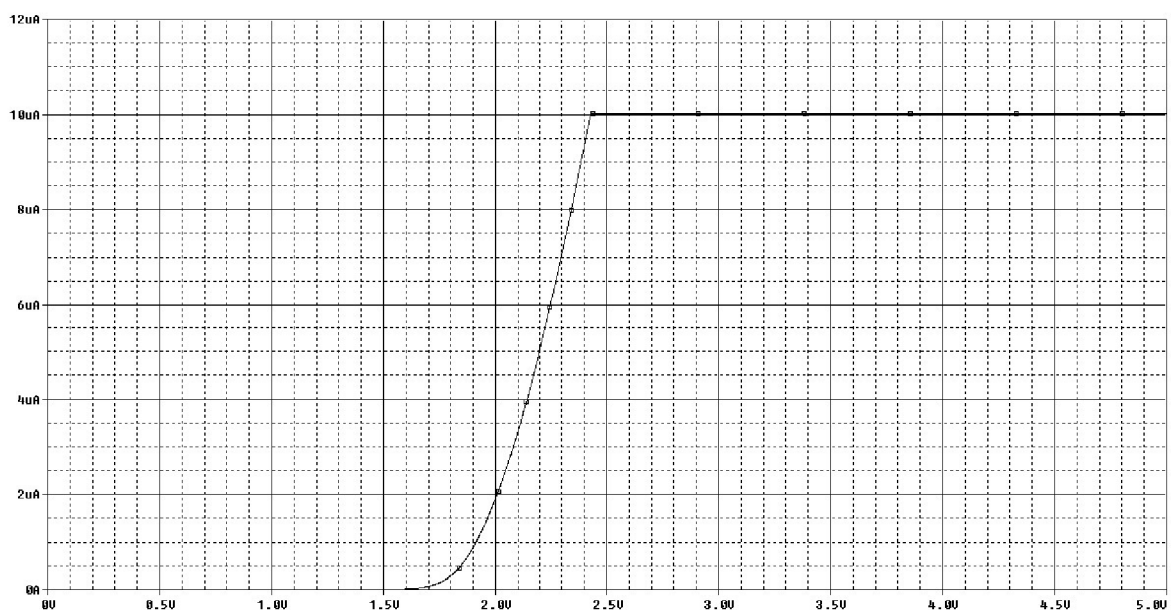




### 19. Převodní charakteristika spínaného zdroje proudu

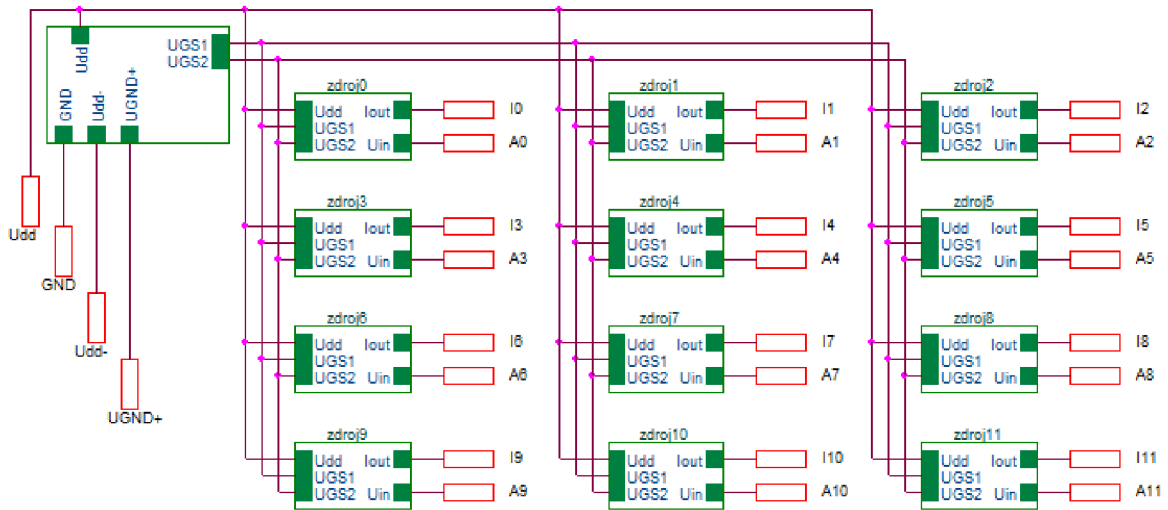
Na první pohled není bod překlápění v ideální pozici. Pro správnou funkci by se bod překlápění měl nacházet v hodnotě  $U_{IN} = 2,5$  V, pokud je uvažováno napětí pro digitální úroveň '0'  $U_{IN} = 0$  V a napětí pro digitální úroveň '1'  $U_{IN} = 5$  V. Posunutí překlápěcího bodu na vyšší hodnotu bude zajištěno tím, že ezistorová síť R-2R nebude jako spodní napájecí napětí používat hodnotu  $U_{GND}$ , ale  $U_{GND+}$  navrženou v předchozí kapitole a to z důvodu správné funkce výstupního operačního zesilovače. Díky tomuto posunu je dosaženo dostatečné rezervy pro odolnost zdroje proti nechtěnému sepnutí, není tedy nutno bod překlápění posouvat přidavným děličem či jiným obvodem s podobnou funkcí.

Převodní charakteristika navrhovaného spínaného zdroje s uvažovaným posunutím bodu překlápění o hodnotu  $U_{GND+}$  je na obr. 20.



### 20. Převodní charakteristika spínaného zdroje proudu s $U_{GND+}$

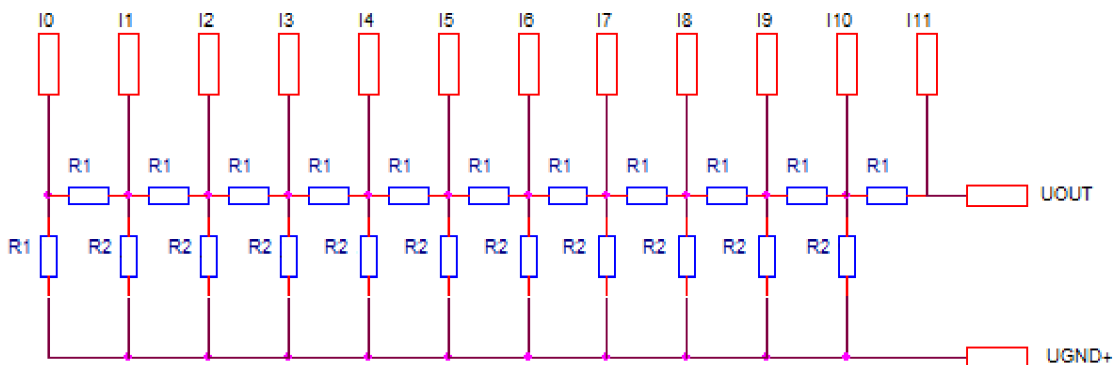
Tranzistor M3 se začíná otevírat při napětí na pinu  $U_{IN} \approx 1,6$  V a je plně otevřen při napětí na pinu  $U_{IN} \approx 2,45$  V. To znamená, že pro správnou funkci může digitální '0' na vstupu nabývat hodnot napětí  $U_{IN} = 0 - 1,6$  V a digitální '1' může nabývat hodnot  $U_{IN} = 2,45 - 5$  V. Celkové zapojení pole spínaných zdrojů je na obr. 21.



21. Pole spínaných zdrojů proudu

## 4.2 Rezistorová síť

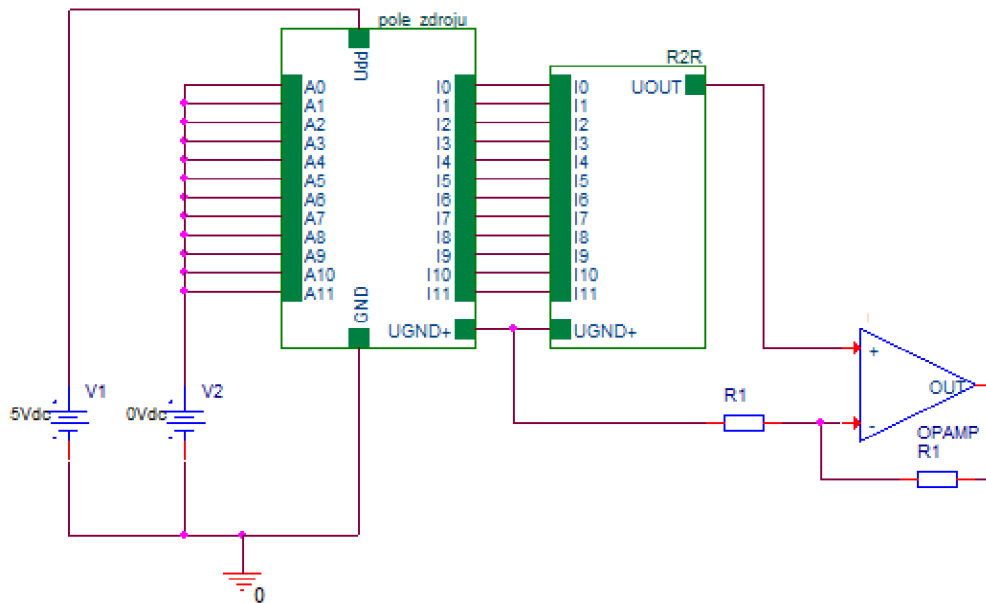
Při volbě velikosti odporu rezistorové sítě jsou rozhodující 2 faktory. Čím nižší bude velikost odporu rezistorové sítě, tím lépe budou proudové zdroje plnit svou funkci a budou dodávat stabilnější proud i při výkyvech v napájecím napětí. Na druhou stranu čím vyšší bude velikost odporu rezistorové sítě, tím menší bude mít vliv rozptýl hodnot odporů jednotlivých součástek a budou se méně projevovat šumové vlastnosti součástek. Velikost odporů sítě je volena na  $R1 = 10$  k $\Omega$ ,  $R2 = 20$  k $\Omega$ .



22. Rezistorová síť R-2R

## 4.3 Simulace pro určení vlivu parametrů na velikost chyby

Navržené pole zdrojů je spojeno s rezistorovou sítí a na jejich výstup je připojen ideální operační zesilovač v neinvertujícím zapojení se zesílením  $A_U = 2$ , viz. obr. 23.

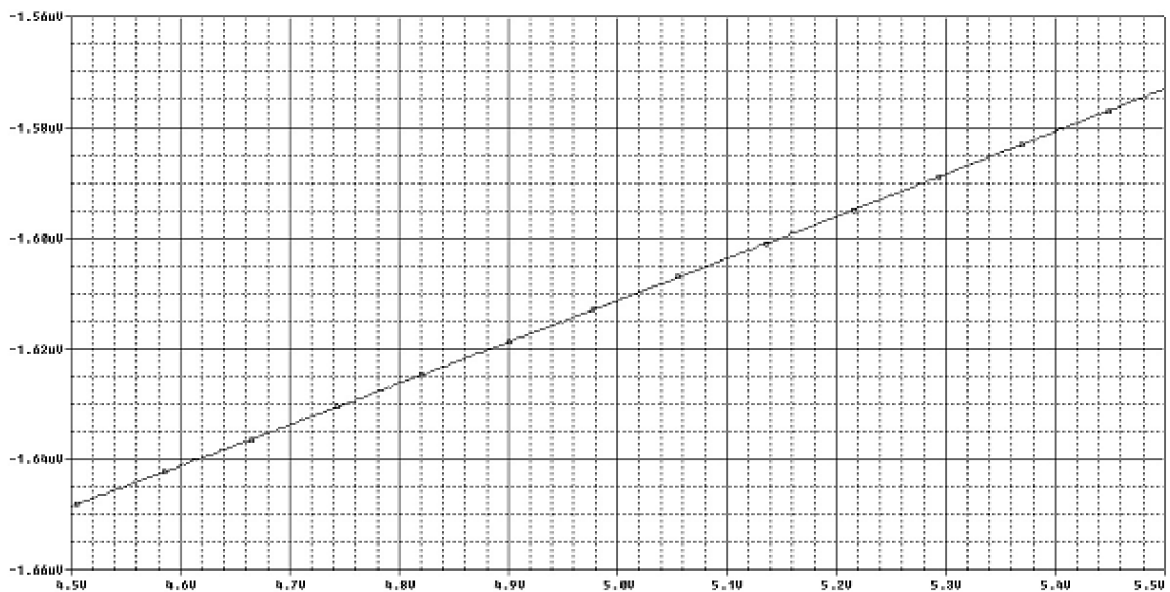


**23. Zapojení pro zjištění vlivu součástek na velikost chyby**

Se zapojením na obr. 23 je provedena série simulací pro zjištění vlivu parametrů použitých součástek na přesnost celého zapojení. Výstupní napětí je snímáno mezi výstupem operačního zesilovače a napětím  $U_{GND+}$ .

#### 4.3.1 Vliv velikosti odporu rezistorové sítě na celkovou přesnost

Velikost odporů rezistorové sítě je krokována od hodnoty  $R = 1 \text{ k}\Omega$  do hodnoty  $R = 20 \text{ k}\Omega$  s velikostí kroku  $1 \text{ k}\Omega$ . V první fázi pokusu jsou všechny vstupy vypnuty, na zdroji V2 je tedy nulové napětí. Díky tomu je získána velikost chyby nuly. V tomto zapojení je při velikosti odporů rezistorové sítě  $R_1 = 10 \text{ k}\Omega$ ,  $R_2 = 20 \text{ k}\Omega$  chyba nuly  $\Delta U_{out} = -1.612 \text{ }\mu\text{V}$ , viz. obr. 24.



**24. Chyba nuly testovacího zapojení**

Hodnotu chyby nuly je třeba odečíst od získaných výsledků v následujícím měření, aby nedocházelo ke zkreslení měření.

V druhé fázi pokusu je na zdroj V2 připojen pouze vstup A0. Tím je získána velikost napětí  $U_{LSB}$ . Vynásobením této hodnoty číslem 4095 je získána hodnota napětí  $U_{MAXTEOR}$ . Následně jsou všechny vstupy připojeny na zdroj V2 a tím je získána hodnota napětí  $U_{MAX}$ . Velikost chyby  $Err$  [LSB] je následně získána výpočtem

$$Err = \frac{U_{MAXTEOR} - U_{MAX}}{U_{LSB} - \Delta U} \quad (4.1)$$

**Tabulka 4. Vliv velikosti odporů odporové sítě na velikost chyby**

R [kΩ]	ΔU [uV]	U <sub>LSB</sub> [uV]	U <sub>LSB</sub> - ΔU [uV]	U <sub>MAXTEOR</sub> [uV]	U <sub>MAX</sub> [uV]	Err [LSB]
1	-1,902	17,672	19,574	80155,530	80153,629	-0,097
2	-1,869	37,278	39,147	160306,965	160309,077	0,054
3	-1,837	56,885	58,722	240466,590	240464,408	-0,037
4	-1,805	76,491	78,296	320622,120	320619,622	-0,032
5	-1,772	96,097	97,869	400773,555	400774,714	0,012
6	-1,740	115,703	117,443	480929,085	480929,683	0,005
7	-1,708	135,310	137,018	561088,710	561084,525	-0,031
8	-1,676	154,916	156,592	641244,240	641239,240	-0,032
9	-1,643	174,522	176,165	721395,675	721393,824	-0,011
10	-1,612	194,129	195,741	801559,395	801548,275	-0,057
11	-1,578	213,735	215,313	881706,735	881702,584	-0,019
12	-1,544	233,341	234,885	961854,075	961856,762	0,011
13	-1,515	252,947	254,462	1042021,890	1042010,796	-0,044
14	-1,482	272,553	274,035	1122173,325	1122164,684	-0,032
15	-1,450	292,160	293,610	1202332,950	1202318,423	-0,049
16	-1,418	311,765	313,183	1282484,385	1282472,110	-0,039
17	-1,386	331,372	332,758	1362644,010	1362625,445	-0,056
18	-1,353	350,978	352,331	1442795,445	1442778,714	-0,047
19	-1,321	370,584	371,905	1522950,975	1522931,826	-0,051
20	-1,289	390,190	391,479	1603106,505	1603084,769	-0,056

Z tabulky je zřejmé, že velikost odporů v odporové síti má zanedbatelný vliv na chybu na výstupu.

### 4.3.2 Vliv velikosti proudu dodávaného polem zdrojů na celkovou přesnost

Velikost proudu dodávaného zdroji v poli zdrojů je krokována v rozmezí  $I_{OUT} = 1 \mu A$  až  $I_{OUT} = 20 \mu A$  s krokem  $1 \mu A$ . Vliv na přesnost zapojení je vyhodnocen obdobně jako byl vyhodnocen vliv velikosti odporů v odporové síti v předchozí kapitole.

**Tabulka 5. Vliv velikosti proudu pole zdrojů na velikost chyby**

$I_{OUT}$ [uA]	$\Delta U$ [uV]	$U_{LSB}$ [uV]	$U_{LSB} - \Delta U$ [uV]	$U_{MAXTEOR}$ [uV]	$U_{MAX}$ [uV]	$E_{IT}$ [LSB]
1	-1,612	12,017	13,629	55810,755	55807,560	-0,234
2	-1,612	31,547	33,159	135786,105	135783,540	-0,077
3	-1,612	51,689	53,301	218267,595	218261,943	-0,106
4	-1,612	72,009	73,621	301477,995	301473,229	-0,065
5	-1,612	92,442	94,054	385151,130	385159,827	0,092
6	-1,612	112,855	114,467	468742,365	468738,494	-0,034
7	-1,612	133,323	134,935	552558,825	552553,640	-0,038
8	-1,612	153,806	155,418	636436,710	636431,508	-0,033
9	-1,612	174,300	175,912	720359,640	720352,172	-0,042
10	-1,612	194,129	195,741	801559,395	801548,165	-0,057
11	-1,612	215,303	216,915	888266,925	888258,523	-0,039
12	-1,612	235,814	237,426	972259,470	972247,067	-0,052
13	-1,612	256,327	257,939	1056260,205	1056248,313	-0,046
14	-1,612	276,843	278,455	1140273,225	1140259,547	-0,049
15	-1,612	297,361	298,973	1224294,435	1224278,758	-0,052
16	-1,612	317,877	319,489	1308307,455	1308289,038	-0,058
17	-1,612	338,398	340,010	1392340,950	1392319,996	-0,062
18	-1,612	358,920	360,532	1476378,540	1476355,331	-0,064
19	-1,612	379,443	381,055	1560420,225	1560394,309	-0,068
20	-1,612	399,966	401,578	1644461,910	1644436,344	-0,064

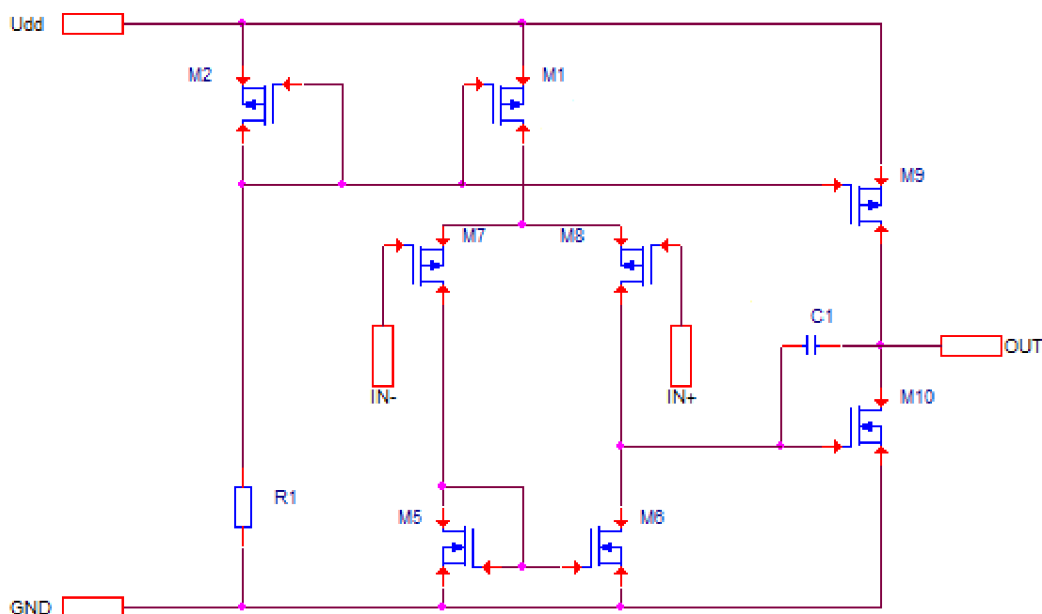
Z tabulky 5 je patrné, že velikost nastaveného proudu má zanedbatelný vliv na velikost chyby na výstupu převodníku. Nadále tedy budou uvažovány navržené hodnoty parametrů, tedy  $I_{OUT} = 10 \mu A$  a  $R1 = 10 k\Omega$ ,  $R2 = 20 k\Omega$ .

## 5 Výstupní zesilovač

Jako výstupní zesilovač bude použit dvoustupňový operační zesilovač. Při návrhu tohoto zesilovače jsou směrodatné zejména následující 3 podmínky

- zesilovač je schopen pracovat od záporného napájecího napětí,
- zesilovač má vysokou přesnost s ohledem na rychlost,
- zesilovač má malou napěťovou nesymetrii.

Směrodatným parametrem pro splnění první podmínky je  $ICMR$ , z anglického input common mode range, čili vstupní napěťový rozsah. Aby zesilovač pracoval správně již od nuly je třeba, aby byla minimální hodnota vstupního rozsahu  $ICMR_{MIN} \leq 0$ . Toho lze dosáhnout použitím diferenčního páru složeného z tranzistorů PMOS [15]. Navržená struktura je na obr. 25.



### 25. Výstupní zesilovač

Hodnota parametru  $ICMR_{MIN}$  vyplývá z podmínky „udržet“ tranzistory M5 a M7 v saturaci. Z čehož vyplývá vztah

$$ICMR_{MIN} \leq U_{DSSATM5} + U_{DSSATM7} - U_{GSM7} \leq U_{DSSATM5} - U_{THM7} \leq 0. \quad (5.1)$$

Z uvedeného vztahu je patrné, že pro splnění podmínky správné funkce od nulového napětí je nutné, aby platilo  $U_{DSSATM5} < 1$  V. Vzhledem k tomu, že napětí  $U_{DSSAT}$  všech používaných tranzistorů je voleno v rozmezí 0,2 – 0,5 V je tato podmínka splněna vždy. Díky použití spodního napájecího napětí  $U_{GND}$  a napětí na vstupu  $U_{GND+} = 0,967$  V je vytvořena dostatečná napěťová rezerva, nebude tedy omezen ani výstupní rozsah použitého operačního zesilovače.

Pro vysokou rychlost zesilovače jsou zvoleny parametry  $SR = 20$  V/ $\mu$ s a  $GBW = 5$  MHz.

Kompenzační kapacita je zvolena na hodnotu  $C1 = 1$  pF. Dosazením do vztahu 3.5 je získána velikost proudu tekoucího tranzistorem M1

$$I_{M1} = C_1 \cdot SR = 1 \cdot 10^{-12} \cdot 20 \cdot 10^6 = 20 \mu A.$$

Ze zvolené šířky pásma je vypočtena transkonduktance tranzistorů diferenčního páru. Pro  $gm$  tranzistorů M7 a M8 platí

$$gm_{M7} \geq GBW \cdot 2 \cdot \pi \cdot C_1 \geq 5 \cdot 10^6 \cdot 2 \cdot \pi \cdot 2 \cdot 10^{-12} \geq 62,831 \cdot 10^{-6} \approx 63 \mu s.$$

Z  $gm_{M7}$  a  $I_{M1}$  je vypočítáno napětí na hradle tranzistorů M7 a M8

$$U_{GSM7} - U_{THP} = \frac{2 \cdot I_{M7}}{gm_{M7}} = \frac{I_{M1}}{gm_{M7}} = \frac{20 \cdot 10^{-6}}{63 \cdot 10^{-6}} = 0,317 V.$$

Z vypočtených parametrů jsou získány rozměry tranzistorů M7 a M8. Délka kanálu je zvolena na  $L_{M7, M8} = 1,5 \mu m$

$$\frac{W_{M7}}{L_{M7}} = \frac{2 \cdot I_{M7}}{K_{PP} \cdot (U_{GSM7} - U_{THP})^2 \cdot (1 + \lambda U_{DSM7})} = \frac{20 \cdot 10^{-6}}{32 \cdot 10^{-6} \cdot 0,317^2 \cdot (1 + 0,045 \cdot 0,317)} = 6,1.$$

Šířka tranzistorů diferenčního páru je  $W_{M7, M8} = 9,2 \mu m$ . Proud tekoucí tranzistorem M7 a M8 je dodáván tranzistorem M1. Při zvolení  $L_{M1} = 3 \mu m$  a  $U_{GSM1} - U_{THM1} = 0,2 V$  platí

$$\frac{W_{M1}}{L_{M1}} = \frac{2 \cdot I_{M1}}{K_{PP} \cdot (U_{GSM1} - U_{THP})^2 \cdot (1 + \lambda U_{DSM1})} = \frac{40 \cdot 10^{-6}}{32 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,015 \cdot 0,2)} = 31,2.$$

Stejně podmínky platí pro tranzistor M2, z čehož vyplývá  $L_{M1, M2} = 3 \mu m$  a  $W_{M1, M2} = 93,5 \mu m$ . Při zvolení  $L_{M5, M6} = 3 \mu m$  a napětí  $U_{GSM5} - U_{THM5} = 0,2 V$  platí

$$\frac{W_{M5}}{L_{M5}} = \frac{2 \cdot I_{M5}}{K_{PN} \cdot (U_{GSM5} - U_{THN})^2 \cdot (1 + \lambda U_{DSM5})} = \frac{2 \cdot 10^{-5}}{96 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,02 \cdot 0,2)} = 5,2.$$

Šířka tranzistorů M5 a M6 je  $W_{M5, M6} = 15,6 \mu m$ . Velikost proudu tekoucího tranzistorem M2 je nastavena velikostí odporu rezistoru R1. Pro jeho velikost platí

$$R_1 = \frac{U_{dd} - (U_{THP} + U_{DSM2})}{I_{M2}} = \frac{3,869 - (1 + 0,2)}{20 \cdot 10^{-6}} = 134,5 k \Omega.$$

Tranzistory ve výstupním zesilovači poteče proud  $I_{M9, M10} = 300 \mu A$ . Při zvolení délky kanálu  $L_{M9, M10} = 2 \mu m$  platí

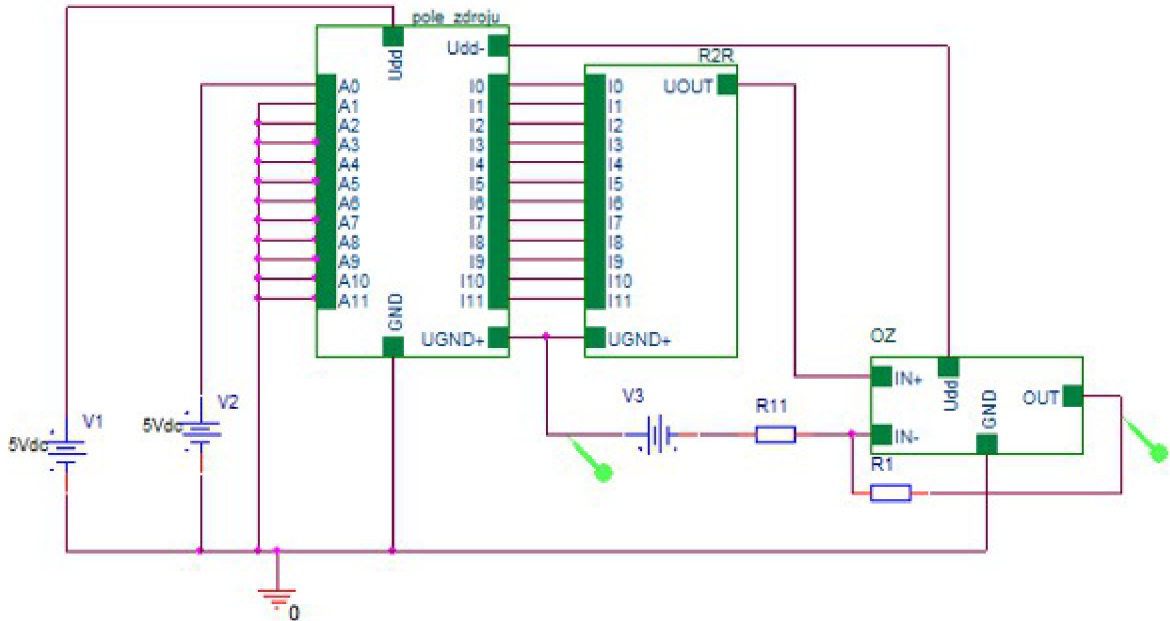
$$\frac{W_{M9}}{L_{M9}} = \frac{2 \cdot I_{M9}}{K_{PP} \cdot (U_{GSM9} - U_{THP})^2 \cdot (1 + \lambda U_{DSM9})} = \frac{2 \cdot 3 \cdot 10^{-4}}{32 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,0275 \cdot 0,2)} = 466,2$$



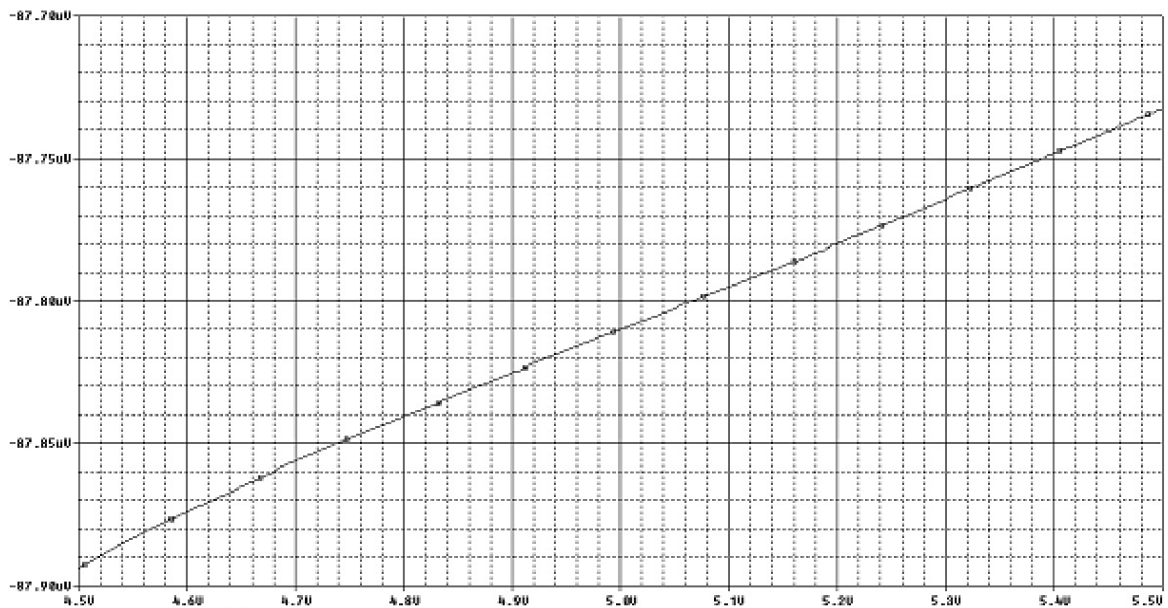
$$\frac{W_{M10}}{L_{M10}} = \frac{2 \cdot I_{M10}}{K_{PN} \cdot (U_{GS_{M10}} - U_{THN})^2 \cdot (1 + \lambda U_{DS_{M10}})} = \frac{2 \cdot 3 \cdot 10^{-4}}{96 \cdot 10^{-6} \cdot 0,2^2 \cdot (1 + 0,0225 \cdot 0,2)} = 155,6.$$

Šírky tranzistorů M9 a M10 jsou  $W_{M9} = 932,4 \mu\text{m}$  a  $W_{M10} = 311,2 \mu\text{m}$ .

Velikost chyby je získána simulací. Zapojení testované struktury je na obr. 26. Výstupní napětí je měřeno mezi výstupem OZ a napětím  $U_{GND+}$ .



26. Zapojení pro získání velikosti chyby OZ



27. Chyba nuly navrženého OZ

Pokud je zdroj V2 vypnutý měla by být naměřená hodnota 0 V. Podle simulace na obr. 27 je velikost chyby přibližně  $-87,8 \mu\text{V} \approx -1/2 \text{ LSB}$ . Pokud je tato chyba tvořena pouze napěťovou nesymetrií OZ, pak by se při přidání ideálního zdroje napětí, s nastavenou hodnotou  $U_{I3} = 87,8 \mu\text{V}$ , mezi odporový dělič a bod  $U_{GND+}$ , neměla měnit velikost chyby. Ověření tohoto předpokladu je provedeno sérií měření, jejíž výsledky jsou v tabulce 6. Postupně jsou na zdroj V2 připojovány vstupy A0 až A11 současně je měřeno napětí mezi výstupem OZ a bodem s napětím  $U_{GND+}$ . Z naměřených hodnot je získána odchylka skutečné hodnoty  $U_{LSB}$  a hodnoty  $U_{LSBTEOR}$ , která odpovídá napětí na výstupu dělenému hodnotou převáděného digitálního čísla.

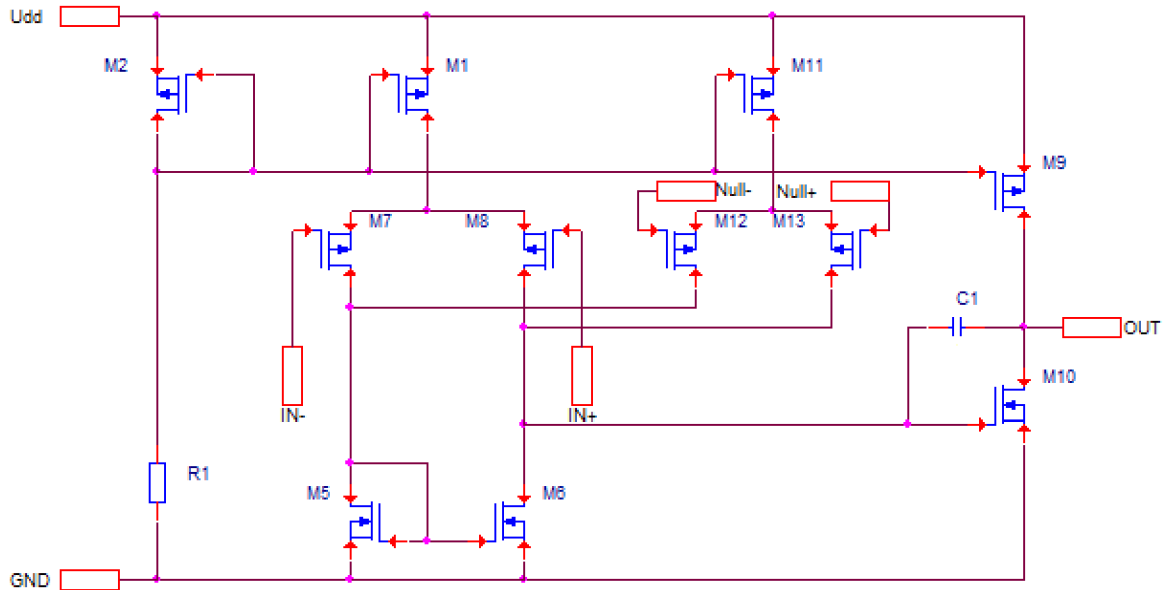
**Tabulka 6. Ověření původu vzniklé chyby**

Digitální hodnota	$U_{OUT} - U_{GND+} [\mu\text{V}]$	$U_{LSBTEOR} [\mu\text{V}]$	$U_{LSBTEOR} - U_{LSB} [\mu\text{V}]$
1	195,655	195,655	0,000
3	587,027	195,676	0,021
7	1369,770	195,681	0,026
15	2935,257	195,684	0,029
31	6066,234	195,685	0,030
63	12328,192	195,686	0,031
127	24852,123	195,686	0,031
255	49900,039	195,686	0,031
511	99996,063	195,687	0,032
1023	200188,768	195,688	0,033
2047	400576,057	195,689	0,034
4095	801353,978	195,691	0,036

Z naměřených hodnot je patrné, že vzniklá chyba je podle předpokladu tvořena prakticky výhradně napěťovou nesymetrií navrženého OZ. Měření probíhalo s nastaveným zesílením  $A_U = 2$ , chyba napěťové nesymetrie navrženého OZ je tedy přibližně  $-43,9 \mu\text{V}$ . Jedná se ovšem o chybu nesymetrie, která vychází z předpokladu bezchybného sesouhlasení tranzistorů operačního zesilovače. V praxi však tato podmínka nebude zcela splněna a proto by chyba nesymetrie reálného obvodu byla výrazně vyšší. Z toho důvodu je vhodné doplnit návrh o zapojení kompenzující chybu napěťové nesymetrie.

## 5.1 Obvod pro řízení napěťové nesymetrie

Kompenzační prvky je možné zařadit před nebo za OZ přímo do signálové cesty. Přidávání dalších prvků do signálové cesty však není vždy vhodné. Řešením je úprava topologie samotného OZ. Na obr. 28 jedno z možných řešení úpravy topologie OZ pro možnost řízení velikosti napěťové nesymetrie [16].



## 28. Zapojení OZ se vstupy pro korekci napěťové nesymetrie [16]

Návrh zapojení vychází z OZ navrženého v předchozí kapitole na obr. 25. Do upraveného návrhu byl přidán pomocný diferenční pár tvořený tranzistorem M12 a M13, kterému jako zdroj proudu slouží tranzistor M11. Tranzistory M12 a M13 v podstatě slouží k vyrovnání proudů tekoucích proudovým zrcadlem, tvořeným tranzistorem M5 a M6. Teoreticky by bylo možné měnit velikost napěťové nesymetrie přidáním pouze jednoho tranzistoru namísto diferenčního páru. Prakticky je ale velikost možné modulace napěťové nesymetrie omezena a pro nesymetrickou strukturu by plná kompenzace nebyla možná nebo by přinášela jistá omezení [16].

Přes tranzistory M5 a M6 při přidání druhého diferenčního páru poteče dvakrát větší proud. Rozměry tranzistorů M5 a M6 musí být tedy upraveny na hodnotu  $L_{M5, M6} = 3 \mu\text{m}$  a  $W_{M5, M6} = 31,1 \mu\text{m}$ . Tranzistor M11 je shodný s tranzistorem M1, pro jeho rozměry tedy platí  $L_{M11} = 3 \mu\text{m}$  a  $W_{M11} = 93,5 \mu\text{m}$ .

Délka kanálů tranzistorů M12 a M13 je volena na základě dvou faktorů. Maximální napětí, které bude diferenční pár tvořený tranzistorem M12 a M13 schopen kompenzovat lze odhadnout pomocí maximálního rozdílu proudů tekoucích jednotlivými větvemi základního diferenčního páru. Pro tento proud platí vztah

$$I_D = V_{OSMAX} \cdot g_m, \quad (5.2)$$

kde  $I_D$  je proud tekoucí oběma větvemi diferenčního páru,  $g_m$  je transkonduktance celého diferenčního páru a  $V_{OSMAX}$  je maximální hodnota napěťové nesymetrie je velikost napětí, která způsobí, že všechny proudy poteče jednou větví diferenčního páru. Pro vynulování napěťové nesymetrie musí pomocný diferenční pár vyrovnávat proud tekoucí oběma větvemi, platí tedy

$$V_{OSMAX} \cdot g_m = V_{OSMAXpom} \cdot g_{mpom} \quad (5.3)$$

Velikost transkonduktance je přímo úměrná délce kanálu tranzistoru. Proto kolikrát delší bude kanál tranzistorů pomocného páru, tolikrát větší bude jeho transkonduktance a tolikrát menší bude maximální možná napěťová nesymetrie, kterou je možné díky pomocnému diferenčnímu páru kompenzovat [16].

Na druhou stranu delší kanál pomocného páru je vhodné volit zejména kvůli faktu, že bude připojen na nedokonalé spínače. Spínače tvořené tranzistory MOS totiž vytváří zákmity. Tyto zákmity jsou na vstupu diferenčního páru účinněji filtrovány tranzistory s delším kanálem [16].

Při úvaze, že vstupní napětí na vstupu OZ má velikost do  $U_m = 400$  mV a velmi malé pravděpodobnosti, že by velikost napěťové nesymetrie byla větší než několik mV je s rezervou délka kanálů tranzistorů pomocného diferenčního páru volena na  $L_{M12, M13} = 30$   $\mu\text{m}$ . Pro šířku tranzistorů M12 a M13 pak platí

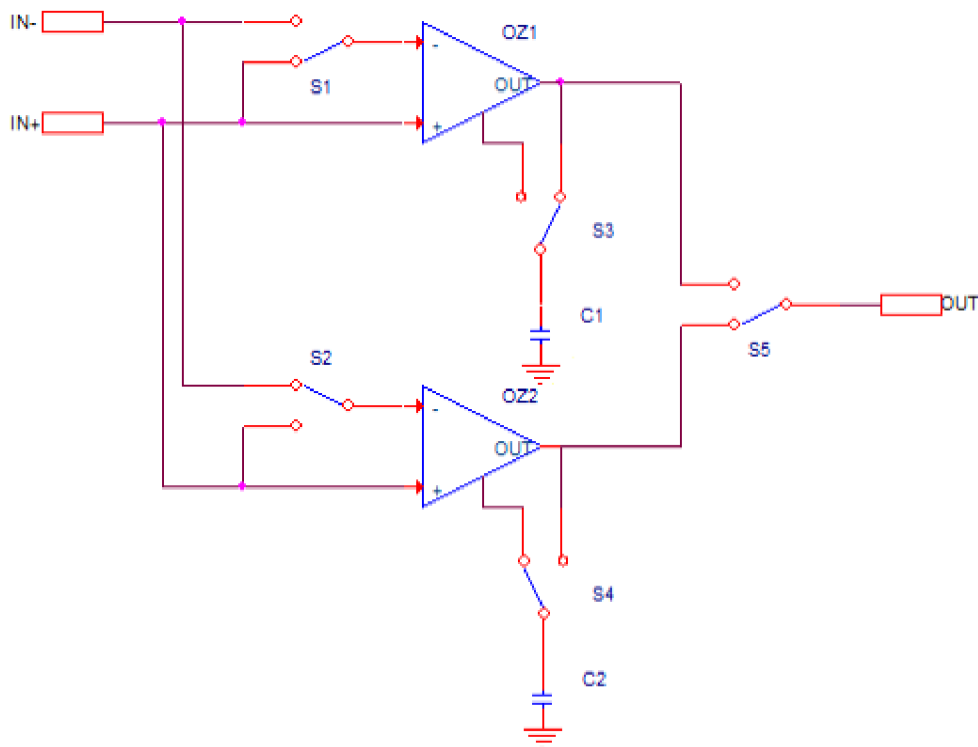
$$\frac{W_{M12}}{L_{M12}} = \frac{2 \cdot I_{M7}}{K_{PP} \cdot (U_{GSM7} - U_{THP})^2 \cdot (1 + \lambda U_{DSM7})} \approx \frac{20 \cdot 10^{-6}}{32 \cdot 10^{-6} \cdot 0,317^2} = 6,2.$$

Šířka tranzistorů M12 a M13 je  $W_{M12, M13} = 186,6$   $\mu\text{m}$ .

Vstupní pin Null+ bude při simulacích vždy zapojen na napětí  $U_{GND+}$  kompenzaci bude tedy zajišťovat v plném rozsahu vstupní pin Null-. Zpětná vazba musí být totiž pro potřeby stabilizace záporná, kladná zpětná vazba by naopak zvyšovala velikost chyby.

## 5.2 Samonulovací zapojení

Napěťovou nesymetrii je možné řídit vnějším napětím díky topologii zobrazené na obr. 29. Regulaci je možné provádět manuálně připojením řízeného zdroje napětí na pin Null+ nebo Null-. To by však vyžadovalo neustálou kontrolu aktuální velikosti napěťové nesymetrie, která se mění nejen v závislosti na nedokonalostech výroby OZ, ale také v závislosti na aktuálních pracovních podmínkách a stáří celého zapojení. V praxi je výhodnější zajistit automatické nulování obvodu bez nutnosti neustálého nastavování [16], [17], [18]. Principiální zapojení pro samonulování napěťové nesymetrie je na obr. 21.



## 29. Principiální zapojení pro samo nulování napěťové nesymetrie

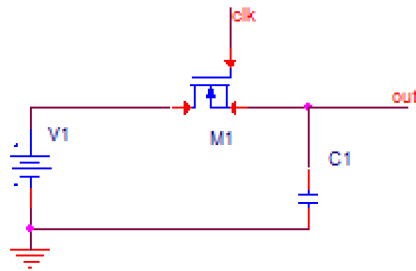
Na obr. 29 je OZ 1 v módu nulování. Vstupy OZ1 jsou zkratovány, na výstupu OZ je napětí, jehož velikost je určena velikostí napěťové nesymetrie. Toto napětí je snímáno kondenzátorem C1. Při synchroním přepnutí spínačů S1 a S3 se OZ1 uvede do módu zesilování a kondenzátor C1 je připojen na korekční vstup OZ1, čímž vyrovnává chybu napěťové nesymetrie. Komplementární OZ2 je vždy v módu opačném oproti OZ1. Spínač S5 přepíná výstup na OZ, který je právě v módu zesilování. Pro zprávnou funkci je nezbytné, aby byly všechny spínače řízeny synchronně.

Pro volbu velikosti kapacitorů použitých v zapojení na obr. 29 jsou směrodatné dva faktory. Čím větší je volená velikost kapacity, tím lépe plní kondenzátor svou funkci. Pomaleji se vybíjí a je tedy schopen snižovat velikost napěťové nesymetrie delší dobu. Zároveň je ale třeba úměrně zvětšit hodnotu kompenzační kapacity OZ, aby byla dodržena podmínka stability. To však snižuje šířku pásma a rychlost přeběhu zesilovače. Ve všech případech platí, že pro dodržení dostatečné fázové rezervy by velikost kapacitní zátěže neměla přesáhnout trojnásobek hodnoty kompenzační kapacity OZ.

Navrhovaný OZ by měl splňovat především požadavek přesnosti s menším důrazem na rychlost. Z toho důvodu je volena externí kapacita  $C1 = 500 \text{ pF}$ , z čehož je určena nová velikost kompenzační kapacity  $C_c = 170 \text{ pF}$ . Kapacita této velikosti není reálně zhotovitelná na čipu, při výrobě navrhovaného obvodu bude tedy třeba použít externí kondenzátor. Změna velikosti kompenzační kapacity OZ změní velikost rychlosti přeběhu OZ na  $SR = 0,117 \text{ } \mu\text{V/S}$  a šířky pásma na  $GBW = 58,98 \text{ kHz}$ .

Při návrhu spínačů je třeba brát v úvahu efekt injekce náboje ze spínače a pronikání hodinového signálu. Oba tyto efekty lze potlačit vhodným návrhem zapojení [16].

Základní model spínače pro spínání kapacitní zátěže je na obr. 30.



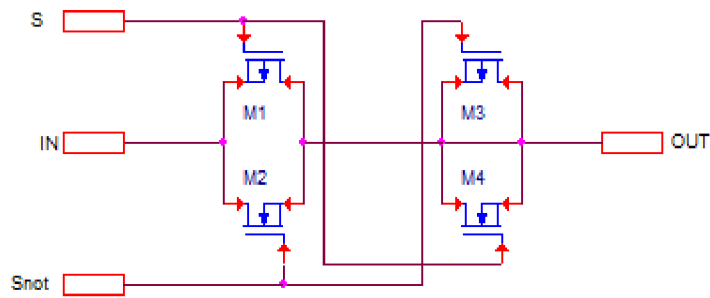
**30. Základní model spínače**

Efekt injekce náboje - pokud je tranzistor M1 sepnutý je pod jeho hradlovým oxidem nahromaděný náboj o velikosti  $Q_{CH}$ . Ve chvíli, kdy je tranzistor vypnut, je třeba, aby se nahromaděný náboj z tranzistoru odstarnil. Za předpokladu velmi rychlého vypnutí tranzistoru a rovných podmínek pro terminály source a drain je náboj rovnoměrně rozdělen mezi zdroj V1 a kondenzátor C1. U zdroje V1 je předpokládána téměř nulová impedance, vstříkovaný náboj tak na zdroj nebude mít vliv. Na druhou stranu náboj vstříkovaný do kondenzátoru C1 změní velikost napětí na tomto kondenzátoru. Kondenzátor tak při nulování offsetu neplní zcela přesně svou funkci [16].

Efekt pronikání hodinového signálu - mezi terminály gate, source a drain tranzistoru M1 existuje kapacitní vazba. Při náběžné hraně řídicího hodinového signálu na vstupu tranzistoru M1 proniká signál řídicího hodinového signálu z hradla tranzistoru na kondenzátor C1. Kondenzátor je však v tuto chvíli připojen na zdroj V1 a pronikání hodinového signálu tak nemá efekt na velikost napětí na kondenzátoru. Při vypínání tranzistoru je přítomen problém v podobě napěťového děliče, který je tvořen kondenzátorem C1 a parazitní kapacitou mezi terminály gate a drain. V důsledku přítomnosti děliče se část hodinového signálu vyskytne v podobě napětí na kondenzátoru C1 [16].

K potlačení těchto efektů je možné využít více metod, v této práci bude využito dummy prvků. V sérii s tranzistorem M1 z obr. 30 je zapojen tranzistor M2, jehož terminály source a drain jsou zkratovány. Řídicí signál tranzistoru M2 je komplementární s řídicím signálem tranzistoru M1. Ve chvíli, kdy je tranzistor M1 vypnut, polovina náboje  $Q_{CH}$  je přenášena směrem na tranzistor M2, pro správnou funkci by poměr  $W/L$  tranzistoru M2 měl být poloviční oproti tranzistoru M1. Tranzistor M2 je sice zkratován, při připojení komplementárního řídicího signálu je však indukovan náboj s opačným směrem proudění a díky tomu je vyrušen efekt náboje z tranzistoru M1 [16].

Aby nedošlo k omezení výstupního signálu spínače je třeba použít strukturu CMOS. Tranzistor NMOS totiž přenáší správně úroveň logické '0', úroveň logické '1' je ale snížena o prahové napětí tranzistoru. Obdobně tranzistor PMOS správně přenáší úroveň logické '1', nejnižší přenášená hodnota je však dána velikostí prahového napětí. Celkové zapojení navrženého spínače je na obr. 31.



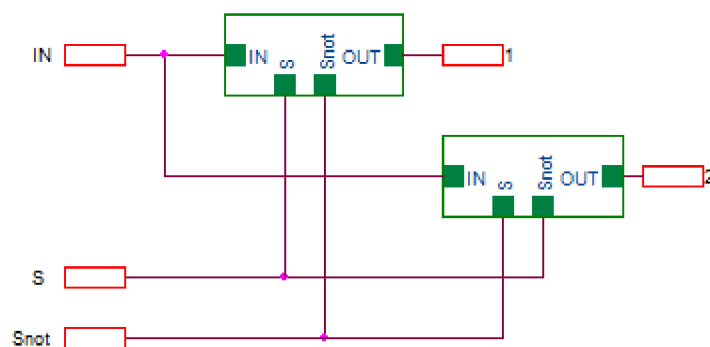
**31. Celkové zapojení spínače [16]**

U tranzistorů používaných jako spínače je kladen především požadavek na vysokou rychlost. Z toho důvodu jsou voleny parametry  $L_{M1, M2} = 1,5 \mu\text{m}$  a  $U_{GSM1-4} - U_{THM1-4} = 0,5 \text{ V}$ . Napětí  $U_{DS}$  by v ideálním případě mělo být nulové, z toho důvodu je použit zjednodušený vztah pro poměr  $W/L$ . Maximální nabíjecí proud pro kapacitor je zvolený na  $I_{M1, M2} = 10 \mu\text{A}$ . Pro poměr  $W/L$  tranzistorů spínače platí

$$\frac{W_{M1}}{L_{M1}} = \frac{2 \cdot I_{M1}}{K_{PP} \cdot (U_{GSM1} - U_{THP})^2} = \frac{20 \cdot 10^{-6}}{32 \cdot 10^{-6} \cdot 0,5^2} = 2,5,$$

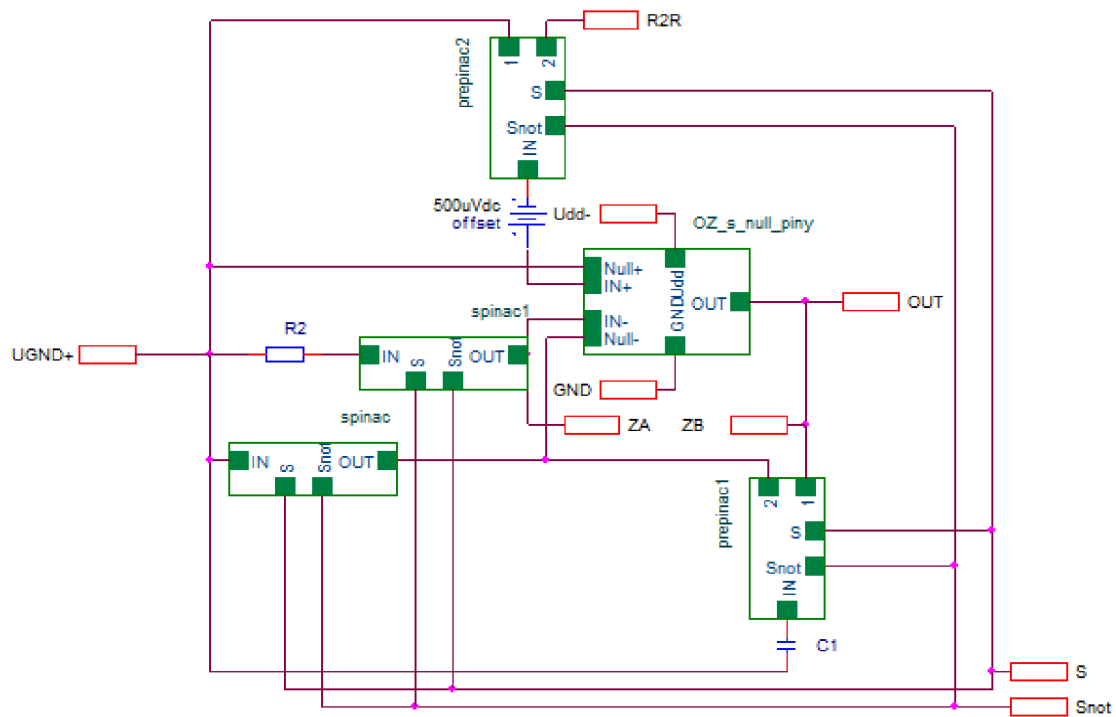
$$\frac{W_{M2}}{L_{M2}} = \frac{2 \cdot I_{M2}}{K_{PN} \cdot (U_{GSM2} - U_{THN})^2} = \frac{20 \cdot 10^{-6}}{96 \cdot 10^{-6} \cdot 0,5^2} = 0,8,$$

šířka tranzistorů M1 a M2 je  $W_{M1} = 3,1 \mu\text{m}$   $W_{M2} = 1,3 \mu\text{m}$ . Poměr  $W/L$  tranzistorů M3 a M4 je poloviční, pro jejich rozměry platí  $L_{M1, M2} = 3 \mu\text{m}$ ,  $W_{M3} = 3,1 \mu\text{m}$   $W_{M4} = 1,3 \mu\text{m}$ . Přepínač je sestaven kombinací dvou navržených spínačů. Řídící piny musí být řízeny komplementárními signály viz obr. 32. Střídavě bude vždy aktivní buď pin 1 nebo pin 2.



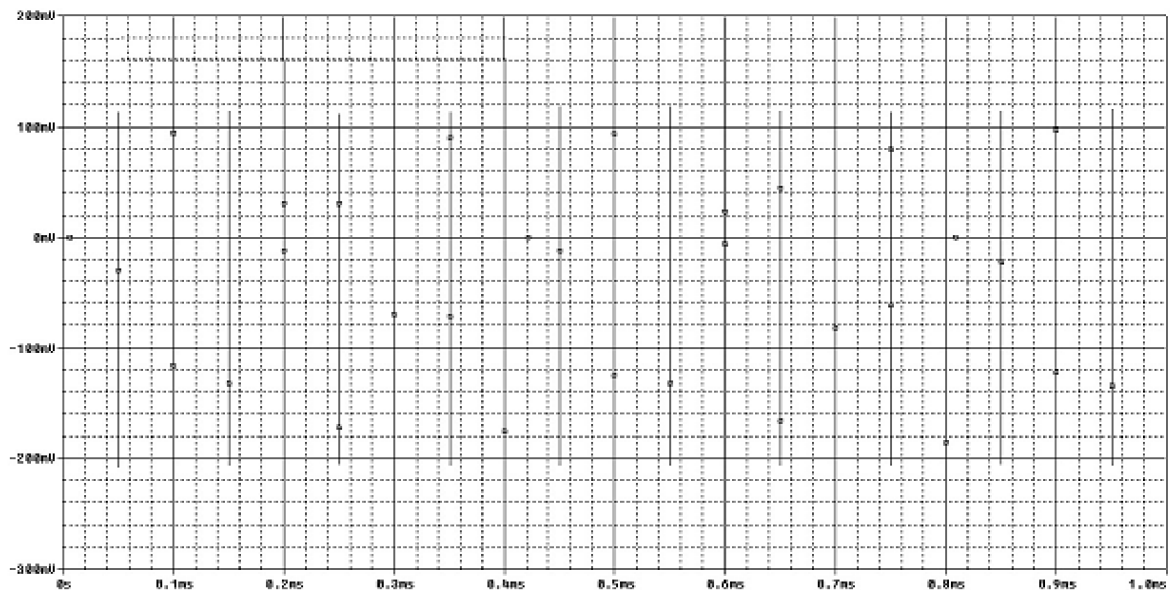
**32. Zapojení přepínače**

Z navržených komponentů je sestaven celý samonulovací OZ viz. obr. 33.



**33. Zapojení samonulovacího OZ**

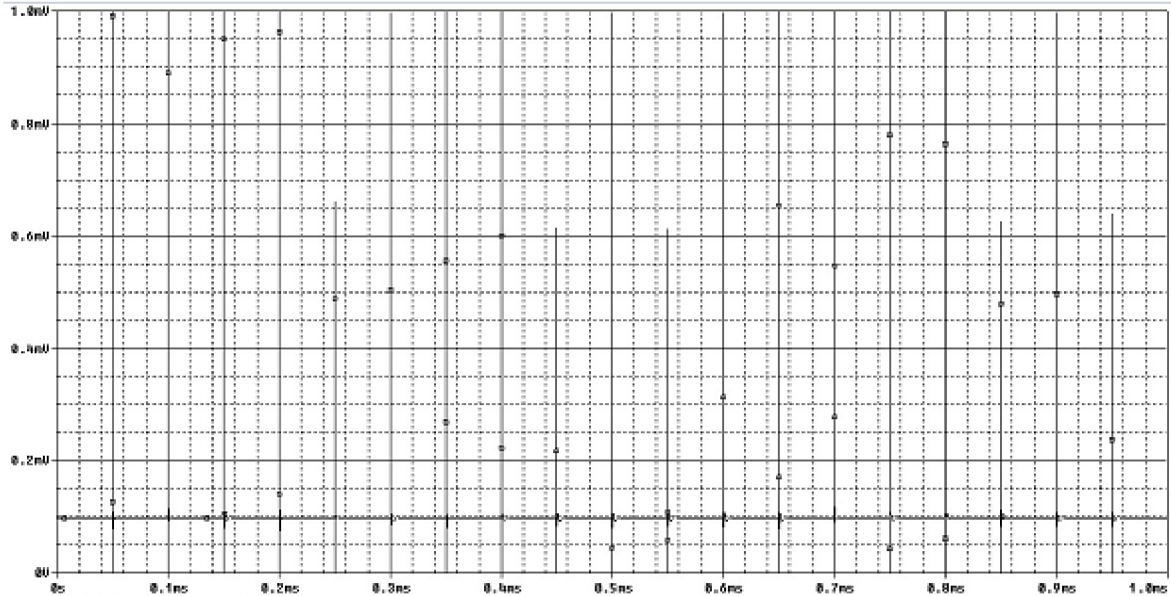
Kvůli možnosti externího řízení zesílení OZ je zapojení doplněno o piny ZA a ZB. Velikost odporu rezistoru připojeného na tyto piny určuje velikost zesílení zapojení. Simulacemi byla ověřena funkce obvodu se dvěma zapojenými samonulovacími operačními zesilovači s přepínaným výstupem. Rezistor R2 v zapojení na obr. 33 je pro potřeby simulace nastaven na hodnotu odporu  $R2 = 10 \text{ M}\Omega$ , externí rezistor je nastaven na hodnotu  $R_{EXT} = 10 \text{ k}\Omega$ . Tím je nastaveno zesílení blízké se jedné. Na výstupu zapojení by tedy mělo být přibližně stejné napětí jako na vstupu. Výsledky simulací jsou na obr. 34 až obr. 37.



**34. Zobrazení zákmitů na výstupu samonulovacího OZ způsobené spínáním**

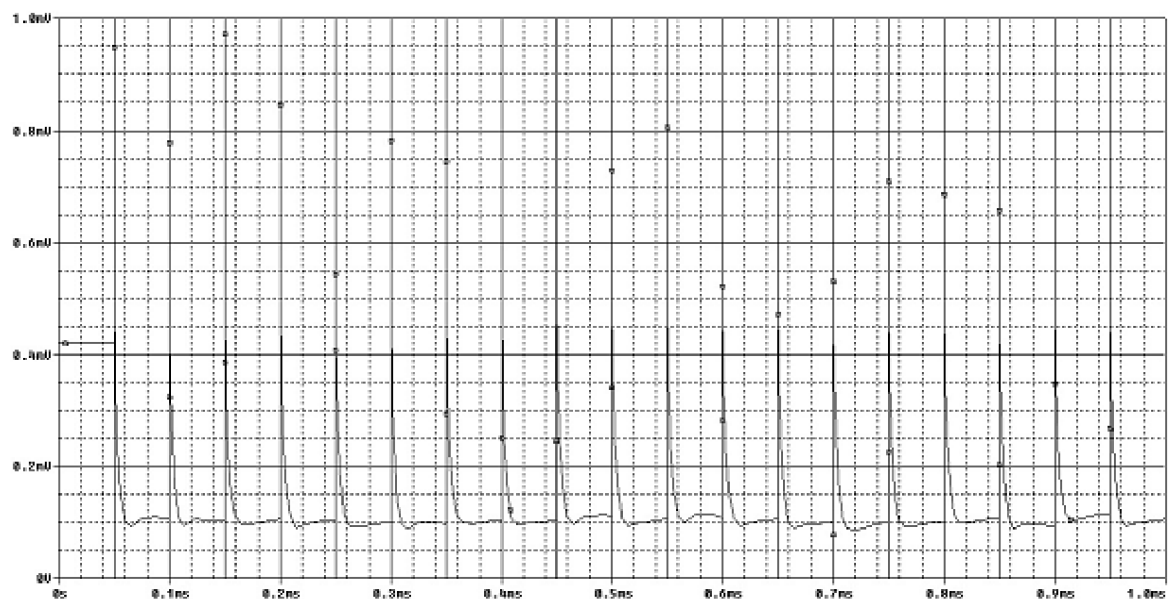


Z obr. 34 je patrná nutnost filtrování signálu, zákmity na výstupu zapojení dosahují řádu stovek mV, což je nepřijatelné vzhledem k faktu, že požadovaný signál má velikost v řádu stovek  $\mu\text{V}$ . Napěťová nesymetrie simulovaná zdrojem offset byla pro potřeby simulací nastavena na  $U_{\text{OFFSET}} = 500 \mu\text{V}$ . Na výstupu sítě R-2R je při převedení digitální úrovně '1' napětí  $U_{R2R} = 98 \mu\text{V}$  viz. obr. 35.



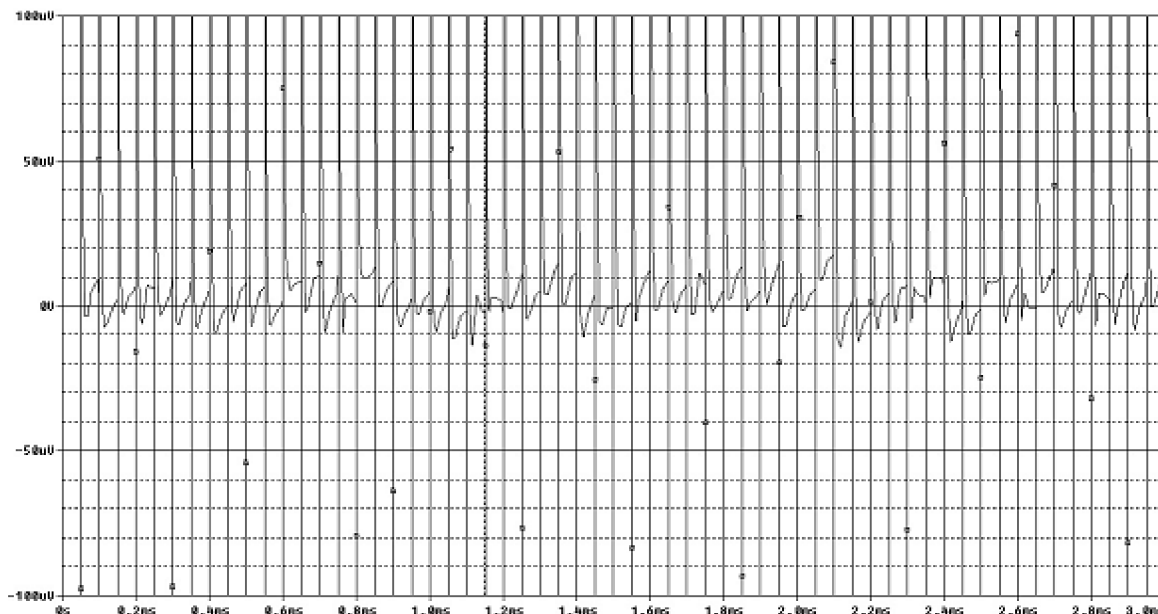
### 35. Signál na výstupu sítě R-2R pro digitální hodnotu 1

Hodnota napětí na výstupu celého zapojení s dvěma samonulovacími OZ s přepínacími výstupy nelze bez filtrace určit s přesností na  $\mu\text{V}$  viz. obr. 36. Ze simulovaných výsledků je ale patrné, že se hodnota napětí na výstupu celého zapojení přibližně rovná hodnotě napětí na výstupu sítě R-2R.



### 36. Signál na výstupu samonulovacího OZ pro digitální hodnotu 1

Z obr. 37 je patrné, že při nastavení vstupní digitální hodnoty '0' se výstupní napětí pohybuje v okolí nulové hodnoty. Tím je dokázáno účinné potlačení napěťové nesymetrie. Vyjímkou je první perioda, OZ jehož výstupní signál je přiveden na výstup celého zapojení totiž ještě neprošel fází samonulování a proto nemohla být vykompenzována jeho napěťová nesymetrie.



37. Signál na výstupu samonulovacího OZ pro digitální hodnotu 0

### 5.3 Vyhlazení signálu

Pro vyhlazení signálu je třeba nastavit dostatečnou časovou rezervu pro ustálení výstupu samonulovacího zapojení před připojením na výstup celého zapojení a zajistit odstranění zákmitů objevujících se při spínání spínačů v obvodě.

Prvním krokem při určení časové rezervy pro ustálení samonulovacího zapojení je určení maximální možné výstupní velikosti napětí. Čím větší napětí je třeba dosáhnout, tím delší časová rezerva je třeba pro ustálení výstupního napětí. Velikost maximálního výstupního napětí je omezena zejména napájecím napětím použitých OZ. Zesilovače jsou napájeny napětím  $U_{dd} = 3,869$  V, spodní napájecí pin je uzemněn. Na invertujícím vstupu OZ je napětí  $U_{GND+} = 0,967$  V. Maximální výstupní napětí měřené mezi výstupem celého zapojení a napětím  $U_{GND+}$  má tedy velikost  $U_{OUTMAX} = U_{dd} - U_{GND+} = 3,869 - 0,967 = 2,902$  V.

Při převádění maximální digitální hodnoty '4095' je hodnota napětí mezi bodem s napětím  $U_{GND+}$  a výstupem sítě R-2R  $U_{R2ROUTMAX} = 400,776$  mV. Porovnáním velikostí napětí  $U_{R2ROUTMAX}$  a  $U_{OUTMAX}$  je určeno maximální možné zesílení vstupního signálu na hodnotu

$$A_{UMAX} = \frac{U_{OUTMAX}}{U_{R2ROUTMAX}} = \frac{2,902}{0,400776} = 7,241.$$

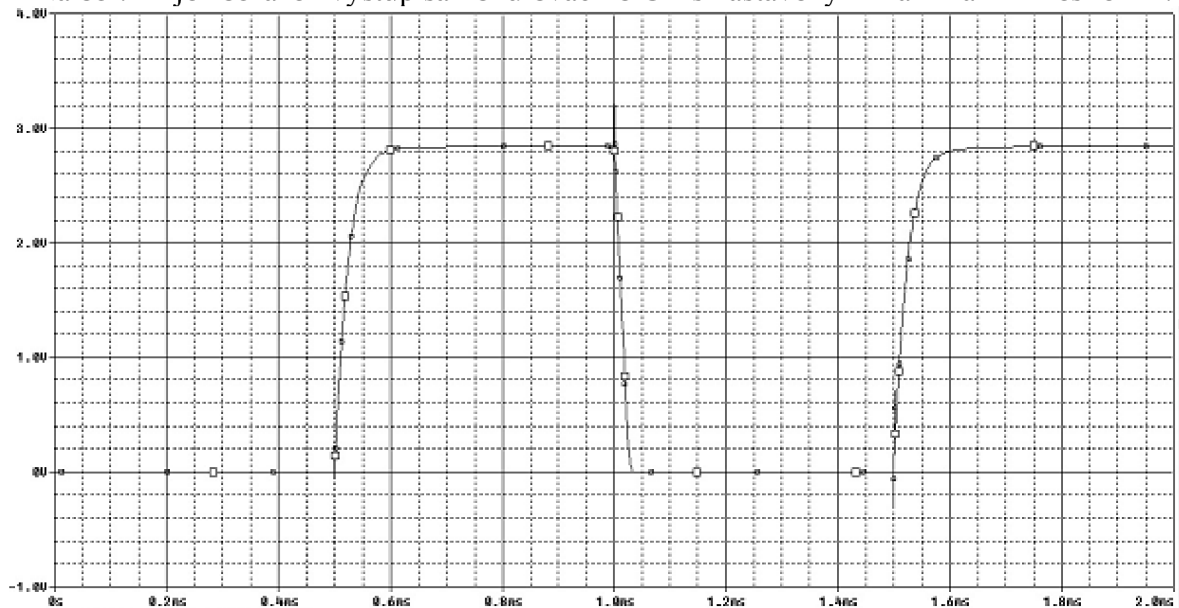
Velikost zesílení je určena odporem sepnutého spínače  $R_{SWON}$ , rezistorem R2 a externím

rezistorem  $R_{EXT}$  zapojeným mezi piny ZA a ZB viz. obr. 33. Pro zesílení platí

$$A_U = 1 + \frac{R_{EXT}}{R_2 + R_{SWON}}. \quad (5.4)$$

Simulací byla zjištěna velikost odporu spínače na  $R_{SWON} = 5459 \Omega$ . Dosazením této hodnoty do vztahu 5.4, s použitím zesílení  $A_{UMAX}$ , je získána maximální hodnota externího odporu  $R_{EXTMAX} = 96,480 \text{ k}\Omega$ . Další simulace proto probíhala se zapojeným externím rezistorem s velikostí odporu  $R_{EXT} = 95 \text{ k}\Omega$ . Vstup OZ je zapojen na výstup R-2R sítě. Převáděna byla maximální digitální úroveň, všechny zdroje ve váhové spínané síti byly tedy zapnuty.

Na obr. 38 je zobrazen výstup samonulovacího OZ s nastaveným maximálním zesílením.



### 38. Výstupní napětí samonulovacího OZ při maximálním zesílení

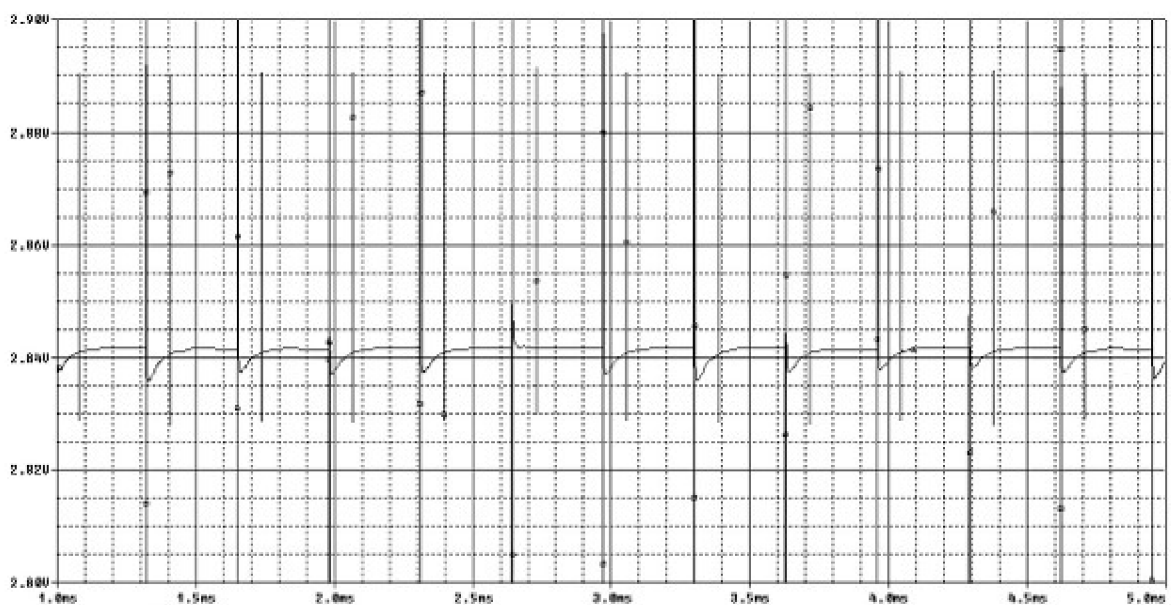
Doba náběžné hrany na výstupu OZ je určena na  $t_{LH} = 212 \mu\text{s}$ , doba sestupné hrany hrany na výstupu OZ je určena na  $t_{HL} = 60 \mu\text{s}$ . Při ponechání přibližně 20 % rezervy je minimální perioda hodinového signálu řídicího výstupního přepínače určena na  $T_{SWOUTMIN} = 330 \mu\text{s}$ . Před začátkem sestupné hrany a po konci náběžné hrany je ponechána časová rezerva 15  $\mu\text{s}$ . Pro OZ je tedy určena doba pro režim zesilování na  $t_{Au} = 572 \mu\text{s}$  a doba pro režim samonulování na  $t_{AZ} = 88 \mu\text{s}$ . Na obr. 39 je signál na výstupu OZ1, na výstupu OZ2 a na výstupu celého zapojení.



**39. Porovnání signálů na výstupu OZ1 a OZ2 s výstupem celého zapojení**

Při porovnání výsledků simulací s výsledky na obr. 36 je patrné, že na výstupu celého zapojení již nejsou přítomny výkyvy napětí způsobené nedodržením doby předstihu, výstup je však stále ovlivňován zákmity způsobenými spínači v zapojení.

Zákmity způsobené spínači v zapojení jsou odstraněny přidáním kapacitoru na výstup spínače. Velikost kapacitoru je zvolena kompromisem mezi redukcí velikosti napěťových špiček a zpomalením převodníku na  $C = 10$  pF. Na obr. 40 a obr. 41 je porovnání mezi výstupním signálem obvodu bez a s použitím odrušovacích kapacitorů ve spínačích.



**40. Zobrazení zákmitů bez použití odrušovacích kapacitorů**



#### 41. Zobrazení záskmitů s použitím odrušovacích kapacitorů

Z porovnání je patrné, že velikost záskmitů způsobených spínači byla potlačena z řádově desítek mV na řádově stovky  $\mu\text{V}$ .

Celkové vyhlazení signálu je zajištěno pomocí filtru RC 3. řádu. Mezní frekvence filtru je dána

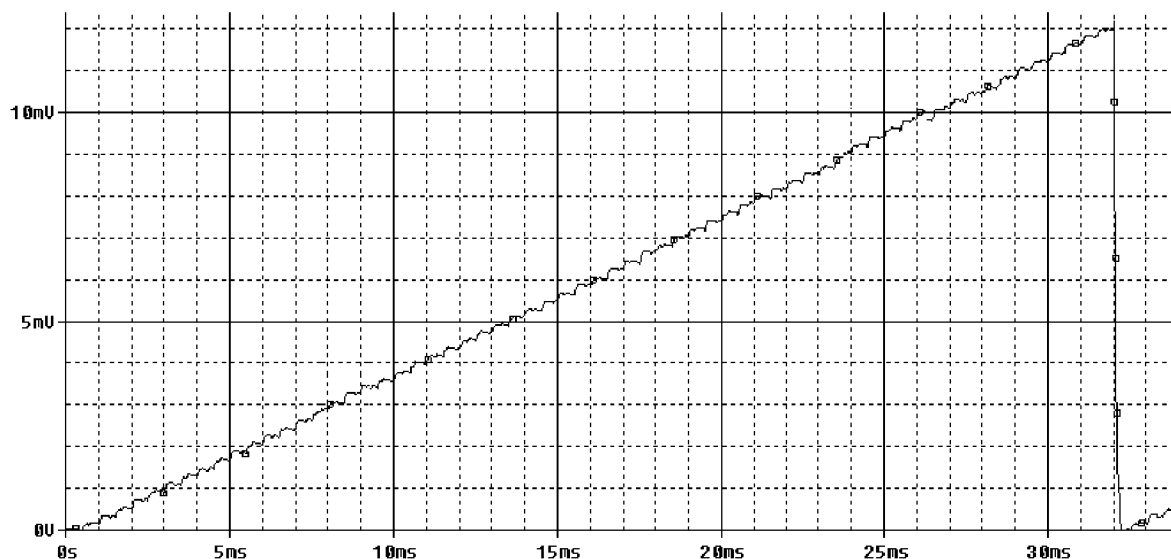
$$f_c = \frac{1}{2 \cdot \pi \sqrt[3]{R_1 \cdot C_1 \cdot R_2 \cdot C_2 \cdot R_3 \cdot C_3}}, \quad (5.5)$$

za předpokladu, že jsou hodnoty všech rezistorů i všech kapacitorů shodné je celá odmocnina nahrazena součinem  $RC$ . Velikost kapacity je zvolena na  $C = C_1 = C_2 = C_3 = 10 \text{ pF}$ . Hodnota velikosti odporu  $R = R_1 = R_2 = R_3$  je krokována pro nalezení takové velikosti odporu, při níž velikost záskmitů klesne pod velikost  $\pm 1/2 \text{ LSB}$ , čímž bude zachována nejvyšší možná rychlost převodníku. Hodnota odporu  $R$  je určena na  $R = R_1 = R_2 = R_3 = 1 \text{ M}\Omega$ . Mezní frekvence je tak podle vztahu 5.5 určena na  $f_c = 15,9 \text{ kHz}$ .

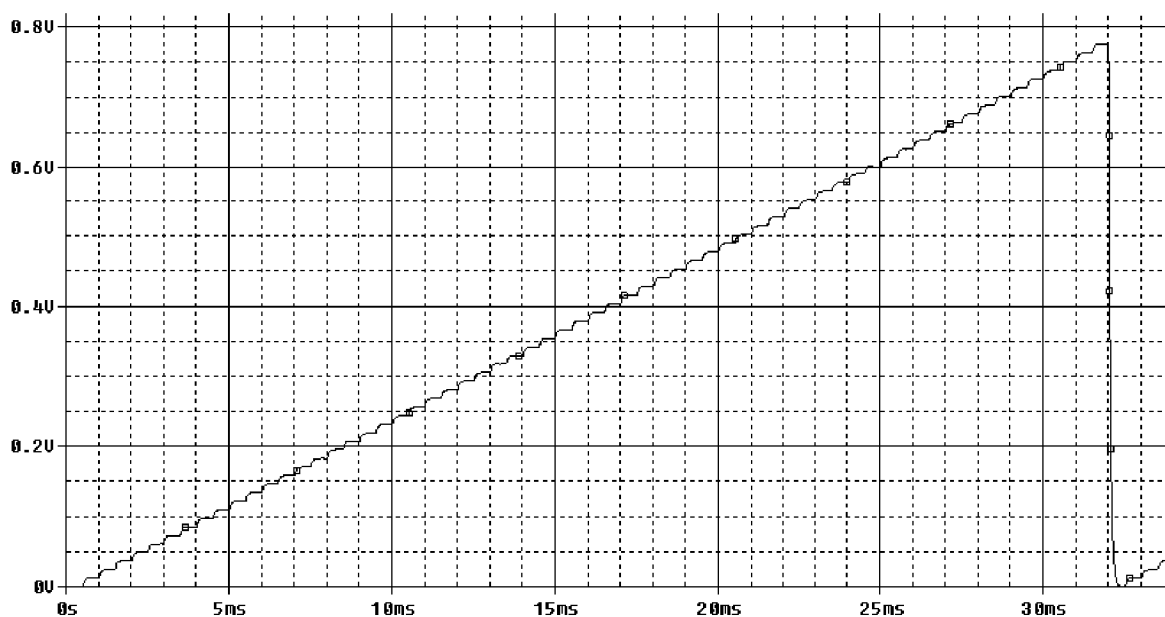
## 6 Simulace s navrženým zapojením

### 6.1 Celková funkce obvodu

Pro ověření celkové funkce obvodu jsou na vstupní piny převodníku připojeny zdroje impulsního napětí. Zdroje mají nastavené úrovně  $U_L = 0 \text{ V}$  a  $U_H = 5 \text{ V}$ . Střída pro všechny zdroje je nastavena na hodnotu  $D = 50 \%$ . Perioda zdroje na vstupním pinu A0 je  $T = 1 \text{ ms}$ , perioda každého následujícího zdroje je dvojnásobná oproti zdroji předchozímu. Díky tomu se vstupní signál inkrementuje o jednu digitální úroveň za  $1 \text{ ms}$ . Na obr. 42 a 43 jsou výsledky simulací při převádění informace pro 6 LSB a 6 MSB.



42. Výstupní signál při převádění digitální informace na pozicích 6 LSB



43. Výstupní signál při převádění digitální informace na pozicích 6 MSB

Z výsledků simulací je patrné, že převodník je schopen převádět digitální signál na signál analogový v celém rozsahu.

## 6.2 Maximální vykompenzovatelná chyba napěťové nesymetrie

Pro zjištění maximální možné velikosti napěťové nesymetrie, kterou je obvod schopný vykompenzovat jsou všechny vstupní piny uzemněny. Výstupní hodnota by tak v ideálním případě měla být rovna nule. Zesílení je nastaveno blízké jednotkovému přenosu volbou  $R_2 = 10 \text{ M}\Omega$ , vnitřní zapojení samonulovacího OZ je na obr. 33. Při jednotkovém přenosu je velikost napětí LSB rovna  $U_{LSB} = 98 \text{ }\mu\text{V}$ . Chyba nuly se dá tedy považovat za vykompenzovanou pokud je na výstupu zapojení napětí nižší než  $U_{OUT} = 49 \text{ }\mu\text{V}$ . Velikost výstupního napětí v závislosti na nastavené hodnotě napěťové nesymetrie je v tabulce 7.

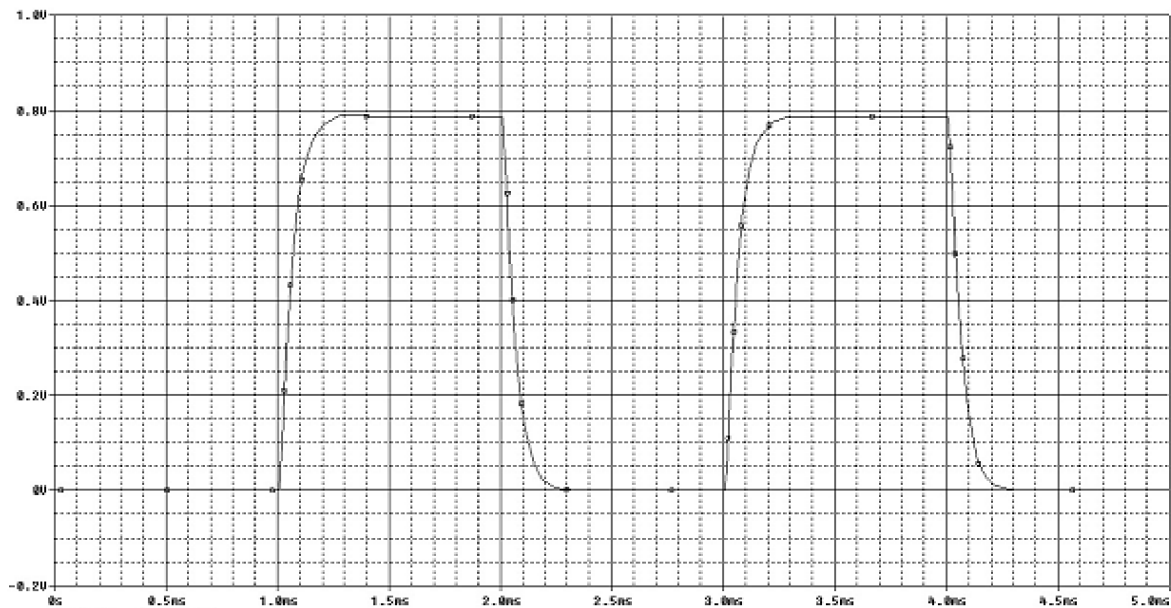
**Tabulka 7. Maximální vykompenzovatelná napěťová nesymetrie**

$U_{OFFSET} [\mu\text{V}]$	$U_{OUT} [\mu\text{V}]$
0	0
100	6
200	11
300	15
400	22
500	26
600	29
700	34
800	38
900	44
1000	46
1100	52

Navržený obvod je schopen kompenzovat napěťovou nesymetrii OZ do velikosti  $U_{OFFSET} = 1,05 \text{ mV}$ .

## 6.3 Doba ustálení

Pro zjištění maximální možné rychlosti převodníku je nastaveno maximální možné zesílení převodníku volbou externího rezistoru pro OZ  $R_{EXT} = 95 \text{ k}\Omega$ . Pro všechny vstupní piny je ve stejný moment skokově změněna digitální hodnota na úroveň '1'. Doba náběžné resp. doba sestupné hrany určuje maximální dobu ustálení výstupní hodnoty. Výstupní charakteristika je na obr. 44. Doba náběžné hrany je  $T_{LH} = 421 \text{ }\mu\text{s}$ , doba sestupné hrany je  $T_{HL} = 452 \text{ }\mu\text{s}$ . Celková maximální doba ustálení signálu je tedy  $452 \text{ }\mu\text{s}$ . Z této hodnoty je určena maximální možná frekvence vstupního signálu na  $f_{MAX} = 2,212 \text{ kHz}$ .



44. Výsledek simulace pro zjištění doby náběžné hrany a doby setupné hrany

## 6.4 Odolnost proti poklesu napětí

Na obr. 45 je výstupní charakteristika při rozmittání napájecího zdroje v rozmezí 0 – 7 V. Výstupní signál dosáhne správné hodnoty  $\pm 1/2$  LSB při napájecím napětí  $U_{da} = 4,365$  V. Napájecí napětí může tedy poklesnout až o 12,7 % pro zachování správné funkce převodníku.

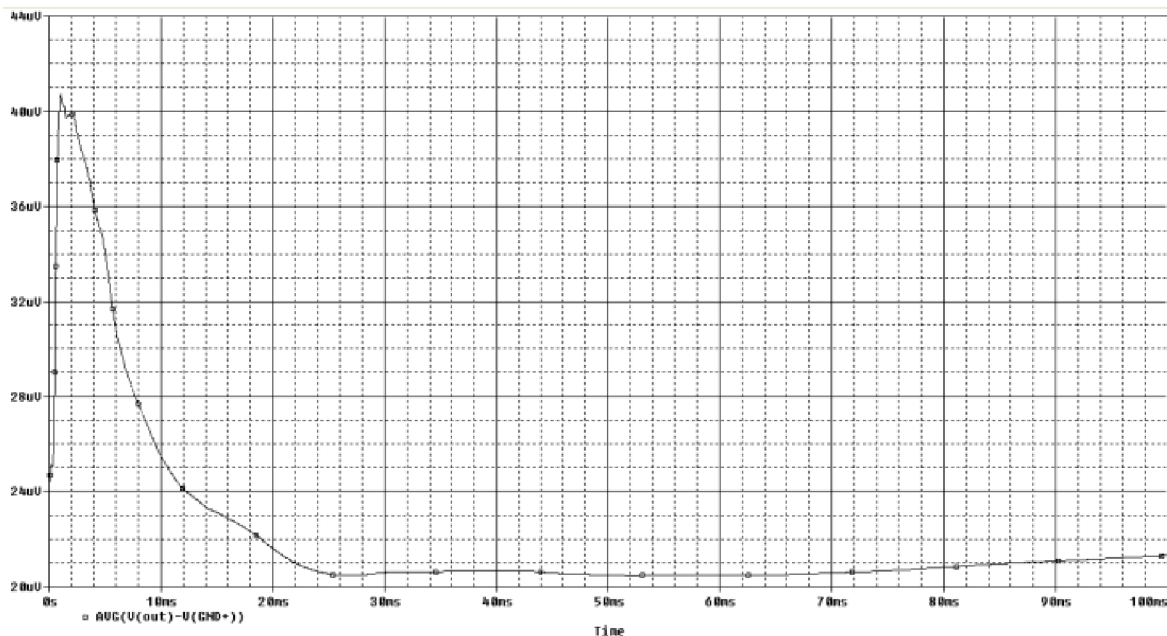


45. Vliv poklesu napájecího napětí na výstupní hodnotu



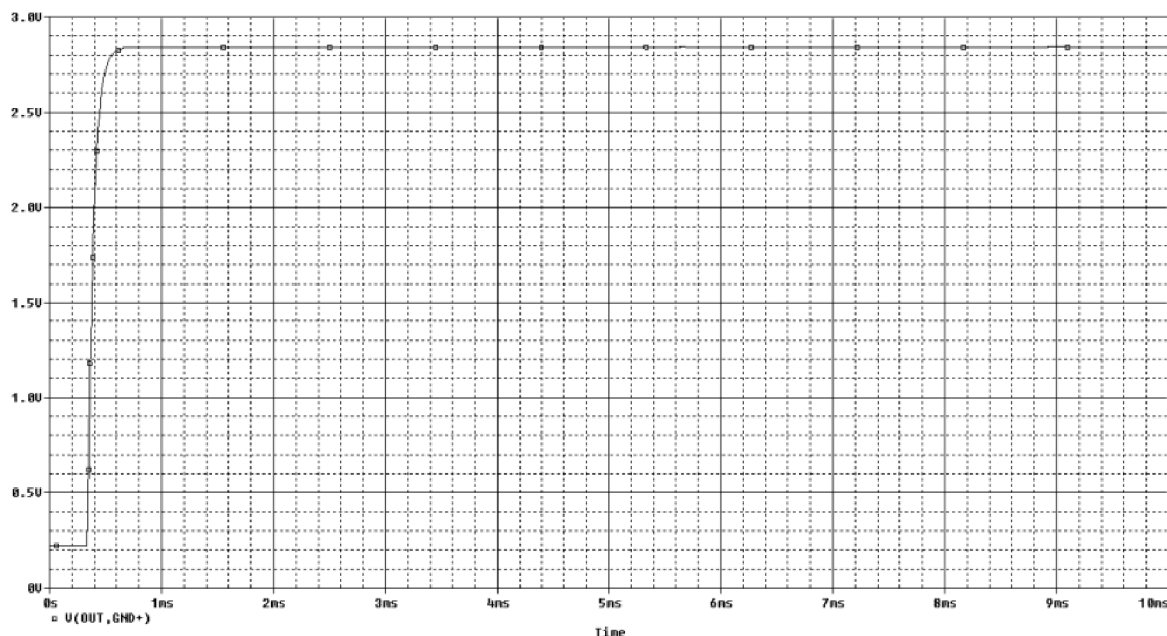
## 6.5 Přesnost zapojení

Teoreticky je výstup zapojení zatížen malou chybou nuly. V praxi bude velikost chyby nuly určena velikostí napěťové nesymetrie vyrobených OZ. Velikost napěťové nesymetrie je díky samonulovacímu zapojení snížena přibližně dvacetkrát, viz. tabulka 7. Simulace pro určení velikosti chyby nuly při nulové napěťové nesymetrii použitých OZ je na obr. 46.



46. Chyba nuly

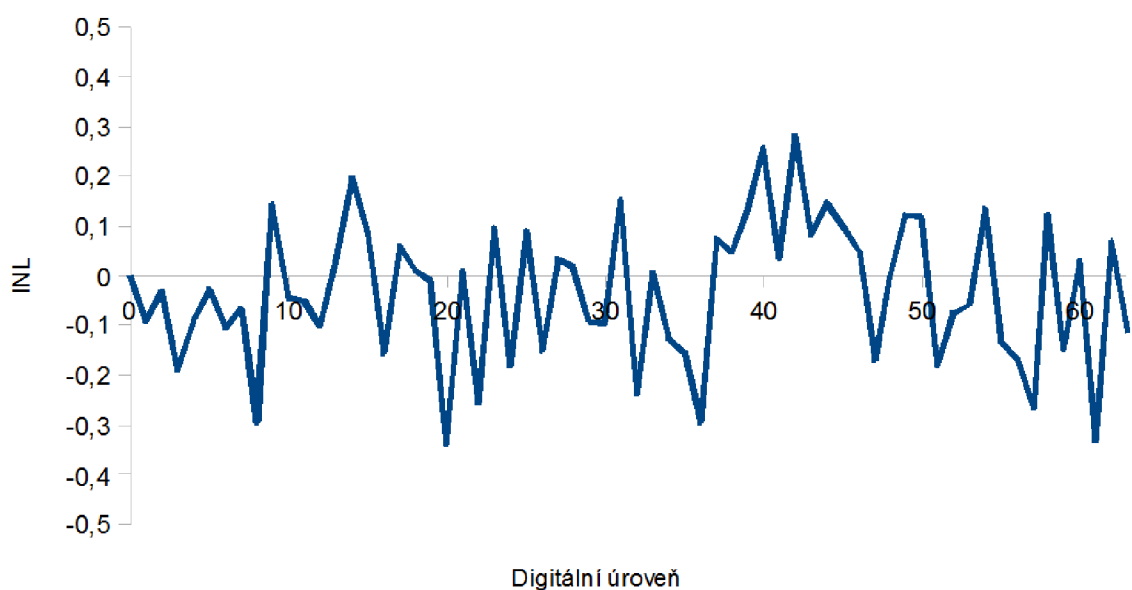
Chyba nuly po ustálení dosahuje velikosti  $U_{OFFSET} = 21 \mu\text{V}$ . Při nastaveném jednotkovém zesílení použitých OZ je velikost napětí  $U_{LSB} = 0,98 \mu\text{V}$ . Chyba nuly, tedy dosahuje velikosti  $\pm 0,2 \text{ LSB}$ .



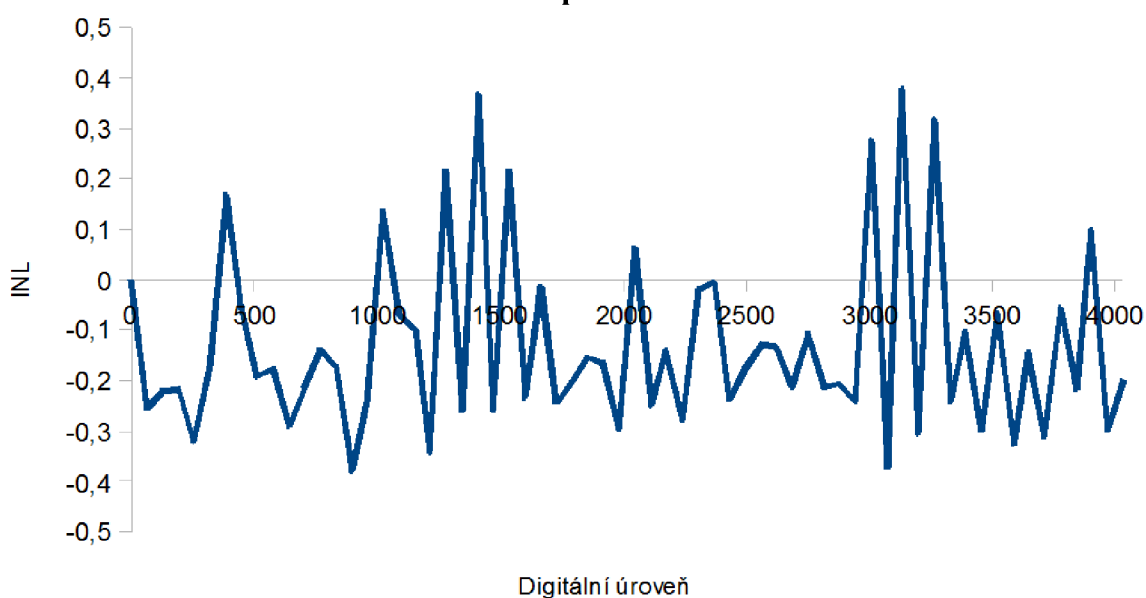
47. Chyba zesílení

Pro zjištění velikosti chyby zesílení bylo nastaveno maximální zesílení zapojením externích rezistorů u OZ s hodnotou odporu  $R_{EXT} = 95 \text{ k}\Omega$ . Dosazením této velikosti odporu externího rezistoru do vztahu 5.4 byla vypočtena velikost zesílení  $A_U = 7,145$ . Při převádění maximální vstupní hodnoty bylo na výstupu sítě R-2R napětí o velikosti  $U_{OUTR-2R} = 400,776 \text{ mV}$ . Na výstupu celého zapojení by tedy mělo být napětí  $U_{OUT} = A_U * U_{OUTR-2R} = 2,864 \text{ V}$ . Simulacemi však byla zjištěna hodnota  $U_{OUT} = 2,840 \text{ V}$ . Výstupní hodnota je oproti předpokladu nižší o 24 mV. Chyba zesílení je tedy  $\pm 0,8 \text{ FSR}$ .

Při zjišťování chyby nelinearity převodníku je vyhodnocení rozděleno do dvou částí pro 6 LSB a 6 MSB pro jednodušší zpracování výsledků. Velikost chyby nelinearity se mění v celém rozsahu, pro určení přesnosti převodníku je směrodatná maximální velikost chyby.

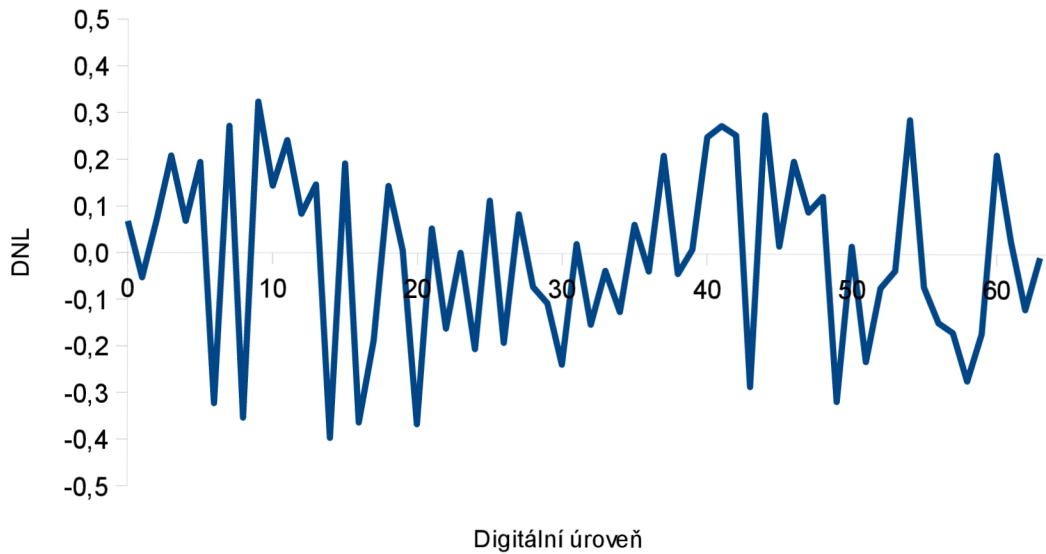


**48. INL pro 6 LSB**

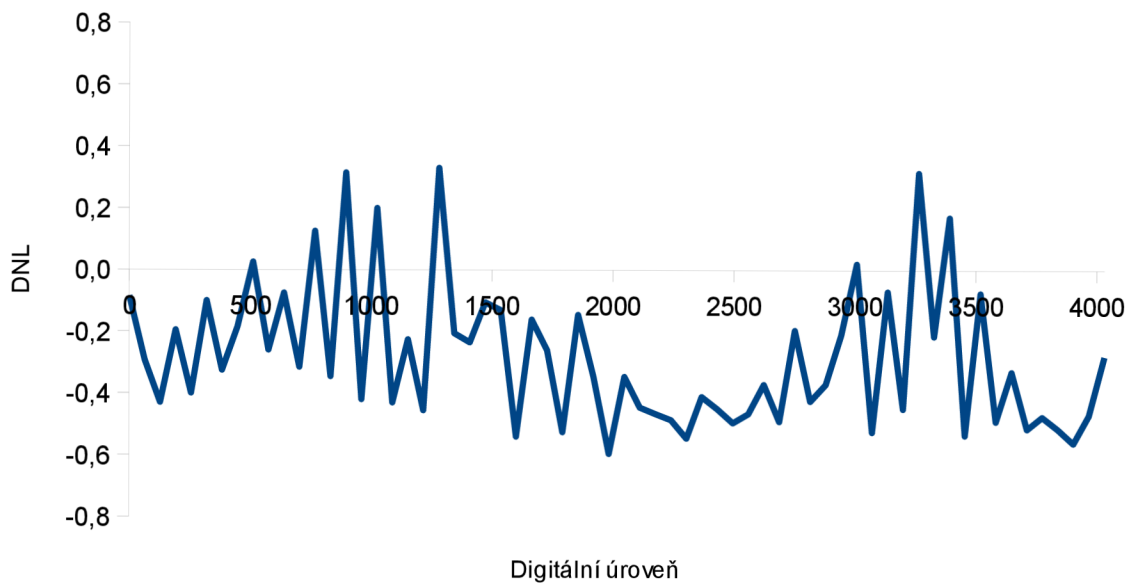


**49. INL pro 6 MSB**

Maximální chyba integrální nelinearity je  $INL_{MAX} = \pm 0,4$  LSB.



**50. DNL pro 6 LSB**



**51. DNL pro 6 MSB**

Maximální chyba diferenciální nelinearity je  $DNL_{MAX} = \pm 0,6$  LSB.

**Tabulka 8. Porovnání parametrů navrženého DAC s vybranými DAC**

Parametr	Navržený DAC	TLC5615	HI5728	MCP 4921	AD9740
U <sub>DD</sub> [V]	5	5	3 – 5	2,7 – 5,5	3,3
U <sub>REF</sub> [V]	0,967 / 3,869	2,048	1,16	2,05	1,2
N	12	10	10	12	10
rozsah na výstupu	0 – 2,902 V	0 – 4,6 V	0-20 mA	podle zisku	2-20 mA
INL [LSB]	+/- 0,4	+/- 1	+/- 1	+/- 12	+/- 0,7
DNL [LSB]	+/- 0,6	+/- 0,5	+/- 0,5	+/- 0,75	+/- 0,5
chyba nuly [LSB]	+/- 0,2	+/- 3	+/- 0,025 % FSR	+/- 0,02 % FSR	+/- 0,02 % FSR
chyba zesílení [LSB]	+/- 0,8% FSR	+/- 3	+/- 10 % FSR	+/- 0,1 % FSR	+/- 2% FSR
GBW [kHz]	2,212	30	40400	400	500
Spotřeba [mW]	8,612	1,75	330	275	135

Pro porovnání parametrů navrženého DAC byly vybrány 10 a 12 bitové DAC, jejichž parametry byly uvedeny v tabulkách 1 – 3. Porovnáním dosažených parametrů bylo zjištěno

- navržený DAC má oproti vybraným DAC nižší hodnotu parametru INL,
- navržený DAC má s ostatními vybranými DAC srovnatelnou hodnotu parametru DNL,
- navržený DAC má výrazně nižší chybu nuly oproti vybraným DAC,
- navržený DAC má v porovnání s vybranými DAC průměrnou chybu zesílení,
- navržený DAC má výrazně nižší parametr GBW,
- navržený DAC má v porovnání s vybranými DAC nízkou spotřebu, výjimkou je DAC účelně navržených s požadavkem nízké spotřeby.

## 7 Závěr

V úvodu této diplomové práce jsem provedl rozdělení jednotlivých typů DAC. Z popsaných principiálních zapojení jsem vybral zapojení kombinující váhovou síť R-2R se spínanými zdroji proudu. V práci jsem uvedl základní principy pro převádění digitálního signálu na signál analogový a představil jsem parametry určující kvalitu převodu signálu. Ukázal jsem topologie určené ke konstrukci jednotlivých bloků DAC.

Popsané topologie jsem použil k návrhu referenčního zdroje, spínané váhové sítě a výstupního zesilovače. Simulacemi jsem ověřil schopnost referenčního obvodu plnit správně svou funkci. Navržený referenční obvod je schopen dodávat správnou hodnotu referenčních napětí i při poklesu napájecího napětí o více než 12,5 %. Největší chyba v převodnicích zpravidla vzniká vlivem napěťové nesymetrie vznikající na OZ použitých v zapojení. Z tohoto důvodu jsem v této práci představil a navrhl samonulovací zapojení, které je schopno účinně potlačit chybu napěťové nesymetrie použitých OZ. Samonulovací zapojení snižuje chybu napěťové nesymetrie řádově dvacetkrát, díky čemuž může být potlačena chyba napěťové nesymetrie o velikosti větší než 1 mA. Pro korekci chyby napěťové nesymetrie jsem upravil vnitřní zapojení převodníku tak, aby nebyly vkládány nadbytečné prvky přímo do signálové cesty.

V závěru práce jsem s navrženým zapojením provedl sérii simulací. Simulacemi jsem ověřil funkci a zjistil základní parametry navrženého DAC. Navržený DAC plní svou funkci v plném rozsahu. Digitální informaci převádí na diferenční výstupní napětí, které se v závislosti na převáděné digitální informaci a nastaveném zesílení pohybuje v rozmezí  $U_{out} = 0 - 2,902$  V. Navržený DAC splňuje požadavek na vysokou přesnost. Chybu DNL a chybu zesílení má navržený DAC srovnatelnou s vybranými současně vyráběnými DAC. V porovnání s vybranými současně vyráběnými DAC má výrazně nižší chybu nuly a chybu INL. Na výstupu navrženého DAC se narozdíl od některých jiných DAC neprojevují zákmity způsobené spínáním proudových zdrojů. Navíc má navržený DAC výbornou spotřebu v porovnání s vybranými DAC. Vysoká přesnost a nízká spotřeba navrženého zapojení je vykoupena nižší rychlostí převodníku, která však pro návrh nebyla kritickým parametrem.

Shrnuto závěrem, převodník který jsem navrhl plní svou funkci v celém rozsahu a dosahuje požadované vysoké přesnosti.

## Seznam zdrojů

- [1] HÁZE, J. ET AL *Teorie vzájemného převodu analogového a číslicového signálu* [online]. Brno, 2014 [cit. 2014-11-22]. Dostupné z: [https://www.umel.feec.vutbr.cz/MTVP/prednasky/AD\\_DA\\_scripta.pdf](https://www.umel.feec.vutbr.cz/MTVP/prednasky/AD_DA_scripta.pdf)
- [2] WOLKE, A. Tutorial: Digital to Analog Conversion: The R-2R DAC. [online]. 14.5.2013 [cit. 2014-11-27]. Dostupné z: <http://www.tek.com/blog/tutorial-digital-analog-conversion-%E2%80%93-r-2r-dac>
- [3] Katalogový list převodníku AD7840 společnosti Analog Devices Dostupné z: <http://www.sal.wisc.edu/st5000/datasheets/analog-devices/AD7840-dac.pdf>
- [4] KESTER, W. Basic DAC Architectures: Tutorial MT-015. In: [online]. [cit. 2014-11-25]. Dostupné z: <http://www.analog.com/static/imported-files/tutorials/MT-015.pdf>
- [5] Katalogový list převodníku 8408 společnosti Maxwell Technologies Dostupné z: <http://www.alldatasheet.com/datasheet-pdf/pdf/124258/MAXWELL/8408.html>
- [6] Katalogový list převodníku TLC5615C, TLC5615I společnosti Texas Instruments Dostupné z: <http://users.ece.utexas.edu/~valvano/Datasheets/TLC5615.pdf>
- [7] Katalogový list převodníku HI5728 společnosti Intersil Dostupné z: <http://www.intersil.com/content/dam/Intersil/documents/hi57/hi5728.pdf>
- [8] Katalogový list převodníku MCP4901/MCP4911/MCP4921 společnosti Microchip Dostupné z: [http://www.ee.ic.ac.uk/pcheung/teaching/ee2\\_digital/MCP49x1.pdf](http://www.ee.ic.ac.uk/pcheung/teaching/ee2_digital/MCP49x1.pdf)
- [9] Katalogový list převodníku M62364 společnosti Unisonic technologies Dostupné z: <http://www.unisonic.com.tw/datasheet/M62364.pdf>
- [10] Katalogový list převodníku PCM1715U společnosti Burr Brown Dostupné z: [http://www.datasheetcatalog.com/datasheets\\_pdf/P/C/M/1/PCM1715U.shtml](http://www.datasheetcatalog.com/datasheets_pdf/P/C/M/1/PCM1715U.shtml)
- [11] Katalogový list převodníku HI660 společnosti Intersil Dostupné z: <https://www.intersil.com/content/dam/Intersil/documents/hi56/hi5660.pdf>
- [12] Katalogový list převodníku AD9740 společnosti Analog Devices Dostupné z: [http://www.analog.com/static/imported-files/data\\_sheets/AD9740.pdf](http://www.analog.com/static/imported-files/data_sheets/AD9740.pdf)
- [13] D, Bečvář a Stehlík J. VUT. *Návrh analogových integrovaných obvodů* [online]. Brno, 2011 [cit. 2015-03-12]. Dostupné z: [http://www.umel.feec.vutbr.cz/metmel/studijni-pomucky/METMEL\\_19\\_SP\\_BNAP\\_Navrh\\_analogovych\\_IO.pdf](http://www.umel.feec.vutbr.cz/metmel/studijni-pomucky/METMEL_19_SP_BNAP_Navrh_analogovych_IO.pdf)
- [14] VRBA, K. a BUCHMAIER. P. Proudová zrcadla s unipolárními tranzistory. [online]. 1999, 21.2.1999 [cit. 2014-11-27]. Dostupné z: <http://www.elektrorevue.cz/clanky/00001/index.html>

[15] ANALOG DEVICES. MT-035 TUTORIAL: Op Amp Inputs, Outputs, Single-Supply, and Rail-to-Rail Issues. In: [online]. [cit. 2015-04-02]. Dostupné z: <http://www.analog.com/media/en/training-seminars/tutorials/MT-035.pdf>

[16] BAKER, J. IEEE. *CMOS: circuit design, layout and simulation* [online]. Wiley-IEEE Press, 2010 [cit. 2015-04-11]. ISBN 978-0-470-88132-3. Dostupné z: [https://www.u-cursos.cl/usuario/9553d43f5ccbf1cca06cc02562b4005e/mi\\_blog/r/CMOS\\_Circuit\\_Design\\_\\_Layout\\_and\\_Simulation\\_\\_3rd\\_Edition.pdf](https://www.u-cursos.cl/usuario/9553d43f5ccbf1cca06cc02562b4005e/mi_blog/r/CMOS_Circuit_Design__Layout_and_Simulation__3rd_Edition.pdf)

[17] ANALOG DEVICES. MT-055 TUTORIAL: Chopper Stabilized (Auto-Zero) Precision Op Amps. In: [online]. [cit. 2015-04-06]. Dostupné z: <http://www.analog.com/media/en/training-seminars/tutorials/MT-055.pdf>

[18] KUGELSTADT, T. Amplifiers: Op Amps: Auto-zero amplifiers ease the design of high-precision circuits. In: [online]. [cit. 2015-04-08]. Dostupné z: <http://www.ti.com/lit/an/slyt204/slyt204.pdf>

## Seznam obrázků

1. Blokové schéma DAC.....	7
2. Váhově odstupňované zdroje proudu.....	8
3. Váhová rezistorová síť.....	8
4. Rezistorová síť typu R-2R.....	9
5. DAC se spínanými zdroji a rezistorovou sítí R-2R.....	9
6. Principiální schéma sériových DAC.....	10
7. Widlarovo proudové zrcadlo.....	14
8. Kaskodové proudové zrcadlo.....	15
9. Self-biased proudová reference.....	16
10. VA charakteristika rezistoru R1 a tranzistoru M3.....	17
11. Self-biased reference se startovacím obvodem a převodem $I \Rightarrow U$ .....	17
12. Navržený referenční zdroj proudu a napětí.....	18
13. Stabilizace proudu self biased reference při poklesu napětí.....	20
14. Závislost $U_{dd}$ na napájecím napětí.....	21
15. Závislost $U_{GND+}$ na napájecím napětí.....	21
16. Dvoustupňový operační zesilovač v zapojení jako napěťový sledovač.....	22
17. Vliv velikosti zátěže na výstupní napětí sledovače.....	24
18. spínaný zdroj proudu.....	25
19. Převodní charakteristika spínaného zdroje proudu.....	26
20. Převodní charakteristika spínaného zdroje proudu s $U_{GND+}$ .....	26
21. Pole spínaných zdrojů proudu.....	27
22. Rezistorová síť R-2R.....	27
23. Zapojení pro zjištění vlivu součástek na velikost chyby.....	28
24. Chyba nuly testovacího zapojení.....	28
25. Výstupní zesilovač.....	31
26. Zapojení pro získání velikosti chyby OZ.....	33
27. Chyba nuly navrženého OZ.....	33
28. Zapojení OZ se vstupy pro korekci napěťové nesymetrie.....	35
29. Principiální zapojení pro samo nulování napěťové nesymetrie.....	37
30. Základní model spínače.....	38
31. Celkové zapojení spínače.....	39
32. Zapojení přepínače.....	39



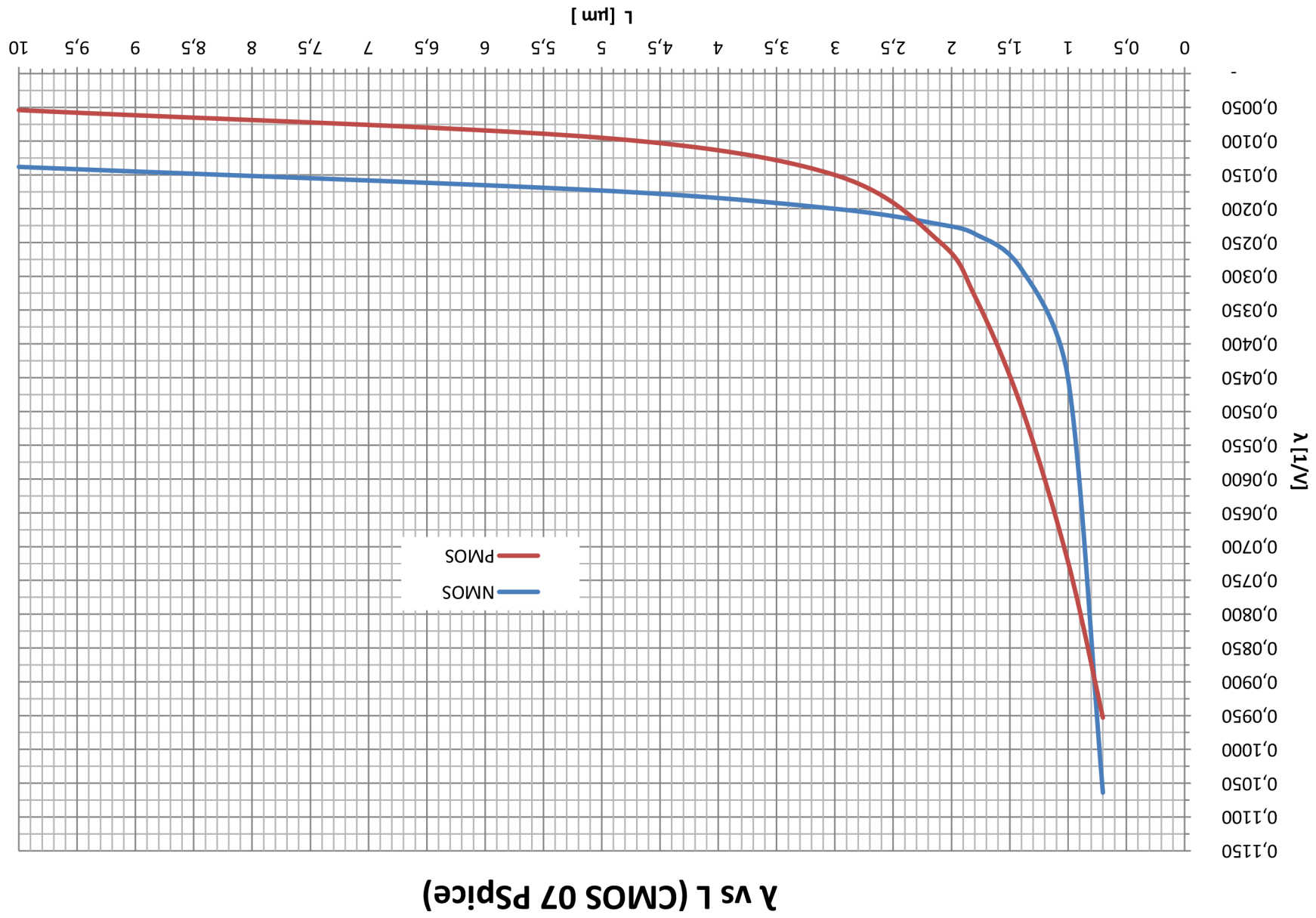
33. Zapojení samonulovacího OZ.....	40
34. Zákmity na výstupu smonulovacího OZ způsobené spínáním.....	40
35. Signál na výstupu sítě R-2R pro digitální hodnotu 1.....	41
36. Signál na výstupu samonulovacího OZ pro digitální hodnotu 1.....	41
37. Signál na výstupu samonulovacího OZ pro digitální hodnotu 0.....	42
38. Výstupní napětí samonulovacího OZ při maximálním zesílení.....	43
39. Porovnání signálů na výstupu OZ1 a OZ2 s výstupem celého zapojení.....	44
40. Zobrazení zákmitů bez použití odrušovacích kapacitorů.....	44
41. Zobrazení zákmitů s použitím odrušovacích kapacitorů.....	45
42. Výstupní signál při převádění digitální informace na pozicích 6 LSB.....	46
43. Výstupní signál při převádění digitální informace na pozicích 6 MSB.....	46
44. Výsledek simulace pro zjištění doby náběžné hrany a doby setupné hrany.....	48
45. Vliv poklesu napájecího napětí na výstupní hodnotu.....	48
46. Chyba nuly.....	49
47. Chyba zesílení.....	49
48. INL pro 6 LSB.....	50
49. INL pro 6 MSB.....	50
50. DNL pro 6 LSB.....	51
51. DNL pro 6 MSB.....	51

## Seznam tabulek

Tabulka 1. Princip zapojení porovnávaných DAC.....	12
Tabulka 2. Parametry porovnávaných DAC.....	12
Tabulka 3. Chyby porovnávaných DAC.....	13
Tabulka 4. Vliv velikosti odporů odporové sítě na velikost chyby.....	29
Tabulka 5. Vliv velikosti proudu pole zdrojů na velikost chyby.....	30
Tabulka 6. Ověření původu vzniklé chyby.....	34
Tabulka 7. Maximální vykompenzovatelná napěťová nesymetrie.....	47
Tabulka 8. Porovnání parametrů navrženého DAC s vybranými DAC.....	51

## Seznam zkratk

AD.....	analogově digitální
BW.....	šířka pásma
DA.....	digitálně analogový
DAC.....	digitálně analogový převodník
ENOB.....	efektivní počet bitů
INL.....	integrální chyba nelinearity
DNL.....	diferenciální chyba nelinearity
LSB.....	nejméně významný bit
MSB.....	nejvíce významný bit
N.....	počet bitů
OZ.....	operační zesilovač
SFDR.....	dynamický rozsah bez parazitních složek
SNR.....	poměr signál/šum
THD.....	celkové harmonické zkreslení





## AMI Semiconductor C07M-A technology

The 0.7  $\mu\text{m}$  C07M-A technology is a mixed Analog/Digital process available from AMIS Belgium foundry. It is derived from the fully digital 0.7 $\mu\text{m}$  CMOS process and extended with the following analog capabilities:

- Precision highly linear thin oxide poly/dif capacitors
- Precision high ohmic polysilicon resistors
- Low Vt PMOS transistor
- NDMOS transistor
- Bipolar transistor
- Zener zap diode

Europractice distributes the design kit from AMIS, using the Synopsis & Cadence environment based on the Spectre simulator (Analog Artist) for mixed mode front-end simulation and Silicon Ensemble place&route for the CMOS 0.7 back-end. A PC based Tanner Design Kit is developed by Europractice. Checks can be performed using the Dracula & Diva decks.

A full set of documentation and design kit is available after the appropriate DKLA is signed.

### Key process technology specifications

Technology	0.7 $\mu\text{m}$
Density	1250 gates/sqmm
Core voltage CMOS 0.7	5.0 V
I/O voltages CMOS 0.7	5.0V
Number of Core cells	126 cells + analog library
Number of I/O cells	108 cells
Poly / Metal layer	1P/2M (optional 3 metals for dedicated runs)
Substrate / well formation	P-sub, self-aligned twin-well
Isolation	Optimised LOCOS
Gate oxide thickness (n+ doped poly gate)	17.0 nm
Interconnect	Aluminium alloy based, low interconnect resistivity
Low Vt	Low VT PMOS transistors available
Passivation	Nitride based
Capacitors	Precision high linear thin oxide poly/diffusion capacitors
Resistors	Precision high Ohmic polysilicon resistors
Zener zap diode	Non-zapped diode: $V_Z@50\mu\text{A} = 3.5 - 4.2\text{V}$ , $R_{\text{diff}}@1\text{mA} = 10 - 230\ \Omega$ Zapped diode: $V_Z@50\mu\text{A} < 0.9\text{V}$ , $R_{\text{zapped}}@50\mu\text{A} < 20\ \text{K}\Omega$
Poly pitch	1.7 $\mu\text{m}$
Metal pitch	2.2 $\mu\text{m}$ for metal 1 2.8 $\mu\text{m}$ for metal 2
Interconnect thickness	0.42 $\mu\text{m}$ for Poly 0.82 $\mu\text{m}$ for metal1 1.00 $\mu\text{m}$ for metal2

**Key electrical parameters**

<b>Parameter @ 5.0V</b>		<b>Typ. Value</b>	<b>Unit</b>
NMOS	VTON (20/0.7, linear extrapolated)	0.74	V
	IDS (20/0.7, VD=VG=5V)	358	$\mu\text{A}/\mu\text{m}$
	Body factor (20/0.7, VD=0.1V, Vbulk= 0→6.0V)	0.6	V <sup>1/2</sup>
	BVN (20/0.7, ID=1 $\mu\text{A}$ )	7	V

<b>Parameter @ 5.0V</b>		<b>Typ. Value</b>	<b>Unit</b>
PMOS	VTOP (20/0.7, linear extrapolated)	-0.95	V
	IDS (20/0.7, VD=VG=-5.0V)	-176	$\mu\text{A}/\mu\text{m}$
	Body factor (20/0.7, VD=-0.1V, Vbulk=0→-6.0V)	0.42	V <sup>1/2</sup>
	BVP (20/0.7, ID=-1 $\mu\text{A}$ )	-7	V

<b>Parameter @ 5.0V</b>		<b>Typ. Value</b>	<b>Unit</b>
PMOS Low Vt	VTOP (20/0.7, linear extrapolated)	-0.78	V
	IDS (20/0.7, VD=VG=-5.0V)	-121	$\mu\text{A}/\mu\text{m}$
	Body factor (20/0.7, VD=-0.1V, Vbulk=0→-6.0V)	0.50	V <sup>1/2</sup>
	BVP (20/0.7, ID=-1 $\mu\text{A}$ )	-7	V

<b>Parameter Ae=460 <math>\mu\text{m}^2</math></b>		<b>Typ. Value</b>	<b>Unit</b>
Bipolar	Hfe	22	-
	BVCEO	30	V
	Vbe	0.566	V

<b>Parameter Lmain= 4.0 <math>\mu\text{m}</math></b>		<b>Typ. Value</b>	<b>Unit</b>
NDMOS	VT0 (40/4)	0.675	V
	IDS (40/4, VDS=20, VGS=1.5V)	238	$\mu\text{A}/\mu\text{m}$
	IDS (40/4, VDS=20, VGS=5V)	4675	$\mu\text{A}/\mu\text{m}$
	Ron	794	/
	Vbd (max)	40	V
	Vgs (max)	8	V

<b>Parameter @25 °C</b>		<b>Typ. Value</b>	<b>Unit</b>
CAPA capacitor	Cplate	0.75	fF/ $\mu\text{m}^2$
	Vbd_max	15	V
<b>Parameter @25 °C</b>		<b>Typ. Value</b>	<b>Unit</b>
High Ohmic poly resistor	Rsheets	2000	$\Omega/\text{square}$
N-well	Rsheets	1300	$\Omega/\text{square}$

**Performance**

Speed: ring oscillator delay: 170 ps/stage

<b>Leakage</b>	<b>27C</b>	
NMOS (W/L=20/0.7, VDS=7.0V, VGS=0V)	10	pA/ $\mu\text{m}$
PMOS (W/L=20/0.7, VDS=7.0V, VGS=0V)	10	pA/ $\mu\text{m}$
LOW Vt PMOS (W/L=20/0.7, VDS=7.0V, VGS=0V)	10	pA/ $\mu\text{m}$