VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY
DEPARTMENT OF MICROELECTRONICS

NÁVRH PŘEVODNÍKU DA S PLNĚ DIFERENČNÍM VÝSTUPEM V TECHNOLOGII CMOS

DESIGN OF DA CONVERTER WITH FULLY DIFFERENTIAL OUTPUT IN CMOS TECHNOLOGY

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. Petr Mácha

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. Vilém Kledrowetz, Ph.D.

BRNO 2017

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

Diplomová práce

magisterský navazující studijní obor **Mikroelektronika**
Ústav mikroelektroniky

Student: Bc. Petr Mácha ***ID:*** 154797
Ročník: 2 ***Akademický rok:*** 2016/17

NÁZEV TÉMATU:

Návrh převodníku DA s plně diferenčním výstupem v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte různé druhy převodníku DA a na tranzistorové úrovni navrhněte převodník DA s plně diferenčním výstupem a rozlišením alespoň 8 bitů. Při návrhu se zaměřte na malou plochu čipu a krátkou dobu převodu. Parametry navrženého převodníku (INL, DNL, SNDR, atd.) vyhodnottě v celém rozptylu procesu a teploty. Pro realizaci převodníku použijte technologii I3T25.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 6.2.2017 ***Termín odevzdání:*** 25.5.2017

Vedoucí práce: Ing. Vilém Kledrowetz, Ph.D.
Konzultant:

doc. Ing. Lukáš Fujcik, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:
Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato diplomová práce se zabývá návrhem osmibitového digitálně – analogového převodníku s plně diferenčním výstupem v technologii I3T25 firmy ON Semiconductor. Práce obsahuje popis základních zapojení a vlastností digitálně-analogových převodníků. Hlavní zaměření práce je v navržení převodníku a pomocných obvodů na tranzistorové úrovni. Funkčnost navrženého obvodu je ověřena pomocí simulačního prostředí Cadence.

Abstract

This diploma thesis deals with the design of eight-bit digital to analog coverter with fully differential outputs in technology I3T25 of ON Semiconductor company. The work contains the description of basic structures and characteristics of digital to analog converters. The main focus of the work is to design a converter and auxiliary circuits at the transistor level. The functionality of designed circuits is verified by simulation environment Cadence.

Klíčová slova

Datové převodníky, převodníky D/A, proudový převodník, napěťová reference, složená kaskoda, převodník U–I, CMOS, I3T25

Keywords

Data converters, D/A converters, current steering, voltage reference, V–I converter, folded cascode, CMOS, I3T25

MÁCHA, P. *Návrh převodníku DA s plně diferenčním výstupem v technologii CMOS*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2017. 86 s. Vedoucí diplomové práce Ing. Vilém Kledrowetz, Ph.D..

Prohlášení

Prohlašuji, že svoji diplomovou práci na téma **„Návrh převodníku DA s plně diferenčním výstupem v technologii CMOS“** jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne 25. května 2017 .....
podpis autora

Poděkování

Děkuji vedoucímu diplomové práce Ing. Vilému Kledrowetzovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování této práce. Dále bych chtěl poděkovat rodině za podporu a zázemí při řešení této práce.

V Brně dne 25. května 2017 .....
podpis autora

SIX research centre
sensor, information and communication systems

Faculty of Electrical Engineering
and Communication

Brno University of Technology
Technicka 12, CZ-61600 Brno, Czechia

http://www.six.feec.vutbr.cz

Experimentální část této diplomové práce byla podpořena výzkumnou infrastrukturou vybudovanou v rámci projektu CZ.1.05/2.1.00/03.0072
Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

.

MINISTERSTVO ŠKOLSTVÍ, MLÁDEŽE A TĚLOVÝCHOVY

EVROPSKÁ UNIE
EVROPSKÝ FOND PRO REGIONÁLNÍ ROZVOJ
INVESTICE DO VAŠÍ BUDOUCNOSTI

2007-13
OP Výzkum a vývoj pro inovace

Obsah

Úvod ..... - 9 -
1 Technologie integrovaných obvodů ..... - 10 -
1.1 Technologie CMOS ..... - 10 -
1.2 Technologie BiCMOS ..... - 11 -
1.3 Technologie I3T25 ..... - 12 -
2 Topologie integrovaných obvodů ..... - 14 -
2.1 Více-článkové tranzistory ..... - 14 -
2.2 Symetrie ..... - 14 -
2.3 Topologie pasivních součástek ..... - 15 -
2.4 Propojení ..... - 16 -
2.5 Kontroly ..... - 17 -
3 Parametry převodníků D/A ..... - 19 -
3.1 Diferenciální nelinearita ..... - 21 -
3.2 Integrální nelinearita ..... - 22 -
3.3 Chyba nuly ..... - 23 -
3.4 Chyba zisku ..... - 23 -
3.5 Latence ..... - 23 -
3.6 Odstup signálu od šumu ..... - 24 -
3.7 Dynamický rozsah bez zkreslení ..... - 25 -
3.8 Dynamický rozsah ..... - 25 -
4 Typy převodníků D/A ..... - 26 -
4.1 Napěťové převodníky D/A ..... - 26 -
4.2 Nábojové převodníky D/A ..... - 28 -
4.3 Proudové převodníky D/A ..... - 28 -
4.4 Zvětšení rozlišení převodníků ..... - 31 -
4.4.1 Kombinace podobně škálovaných převodníků D/A ..... - 31 -
4.5 Sériové převodníky ..... - 32 -
4.6 Porovnání a shrnutí vlastnosti ..... - 33 -
5 Návrh převodníku D/A ..... - 34 -
5.1 Návrh klidového zdroje proudu ..... - 35 -
5.2 Návrh napěťové reference ..... - 40 -
5.2.1 Princip činnosti ..... - 40 -
5.2.2 Výpočet součástek ..... - 42 -
5.2.3 Návrh operačního zesilovače ..... - 43 -

5.2.4 Dosažené parametry ..... - 47 -
5.3 Návrh převodníku napětí – proud ..... - 49 -
5.3.1 Výpočet součástek ..... - 50 -
5.3.2 Dosažené parametry ..... - 55 -
5.4 Návrh sledovače napětí ..... - 56 -
6 Návrh jádra převodníku D/A ..... - 59 -
6.1 Návrh přepínačů ..... - 60 -
6.2 Návrh dekodéru ..... - 62 -
6.3 Návrh proudových zdrojů ..... - 63 -
6.4 Návrh proudového děliče ..... - 64 -
6.5 Návrh plně diferenčního operačního zesilovače ..... - 66 -
6.5.1 Dosažené parametry ..... - 71 -
7 Simulace převodníku D/A ..... - 72 -
7.1 Simulace stejnosměrných vlastností ..... - 72 -
7.2 Časová analýza ..... - 75 -
7.3 Simulace šumových vlastností ..... - 76 -
8 Porovnání navrženého převodníku ..... - 77 -
Závěr ..... - 78 -
Seznam použité literatury ..... - 80 -
Seznam tabulek ..... - 84 -
Seznam použitých zkratek a symbolů ..... - 85 -
Seznam příloh ..... - 86 -

Úvod

Důležitou skupinou analogových obvodů jsou analogově-digitální a digitálně-analogové převodníky. Tyto převodníky hrají výraznou roli ve stále se rozšiřujícím digitálním světě, protože stále více výrobků provádí výpočty a zpracování signálů v diskrétní časové oblasti. Proto je nutné navrhovat stále sofistikovanější převodníky, které svými parametry a vlastnostmi drží krok s neustále rostoucími požadavky na jejich výkon.

Jeden z důvodů, proč se v dnešní době takřka výhradně používá digitální zpracování signálu je fakt, že klasické analogové obvody sloužící pro zpracování signálu bývají poměrně náročné na návrh a na plochu čipu. Nelze ani opomenout fakt, že po vyrobení analogového obvodu nelze příliš měnit jeho parametry natož funkci, což jde u digitálních obvodů poměrně jednoduše, a to díky programovatelným hradlovým polím nebo mikroprocesorům.

Digitálně-analogové převodníky jsou tedy důležitými obvody při zpracování signálů, kdy převádějí zpracovaný digitální signál zpět do analogové úrovně. Další využití těchto obvodů je v různých typech analogově-digitálních převodníků. Jako příklad lze uvést převodník s postupnou aproximací, kde je výstup digitálně-analogového převodníku porovnáván s navzorkovaným vstupním signálem. Nejznámější aplikace těchto převodníku však pravděpodobně je v audio a video technice, kde konvertují digitálně uložený signál zpět na hudbu nebo video.

V první části této práce je rozebrána technologie CMOS a technologie I3T25 firmy ON Semiconductor. Protože je přesnost převodníku dána především kvalitně navrženou topologií, je ve druhé kapitole popsán vliv různých procesních nedokonalostí. Dále jsou zde uvedena různá pravidla a doporučení, která vliv výrobního procesu co nejvíce potlačují.

V následujících kapitolách jsou popsány nejdůležitější parametry převodníků, které určují přesnost a další důležité vlastnosti. Po popsání těchto nejzákladnějších parametrů, jsou v práci uvedeny nejčastěji používané struktury, které se využívají při návrhu v technologii CMOS. Jsou zde uvedeny jejich vlastnosti a limity jejich použití.

Praktická část práce rozebírá návrh samotného jádra převodníku a dalších podpůrných obvodů, které jsou nutné pro kompletní funkčnost převodníku. Všechny obvody byly navrhovány v návrhovém prostředí Cadence. Parametry a výsledky podpůrných obvodů jsou pro přehlednost uvedeny vždy po popisu návrhu. Popis a výsledky simulací kompletního převodníku jsou uvedeny v samostatné kapitole.

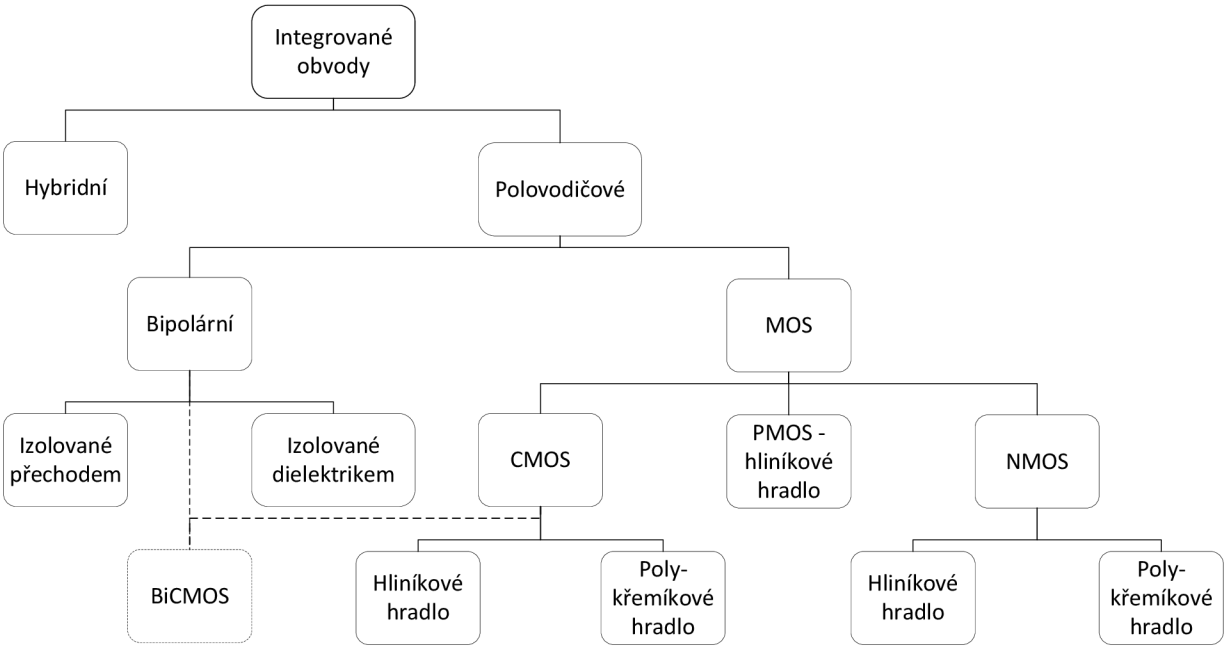
1 Technologie integrovaných obvodů

Technologie a proces hrají u integrovaných obvodů velmi důležitou roli. Volba nebo požadavek na proces poměrně výrazně ovlivňuje možnosti návrhu a výsledné parametry obvodu. Jako typický příklad se může uvést rozsah napájecího napětí, reálně dosažitelné zesílení zesilovače nebo celková velikost čipu.

Přibližně do sedmdesátých let minulého století byla dominantní bipolární technologie. V této době vznikly dodnes hojně používané obvody jako časovač 555 nebo operační zesilovač µ741. S postupně rostoucími požadavky na integraci především u digitálních obvodů, se čím dál více začaly používat MOS a CMOS technologie.

V dnešní době, především u zákaznických obvodů (ASIC), čip na jednom nosiči obsahuje jak digitální, tak i analogovou část. Z důvodu, že pro digitální obvody je CMOS technologie velice výhodná (velikost, spotřeba), musel se analogový návrh tomuto trendu přizpůsobit. V současnosti proto drtivá většina obvodů vzniká v CMOS technologii.

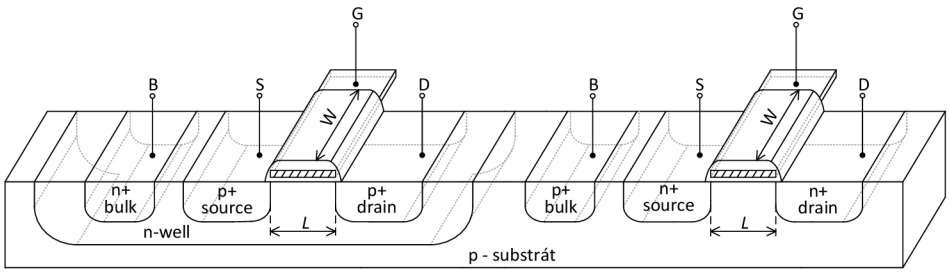
Na následujícím obrázku je graficky znázorněno rozdělení technologií, které se používají při výrobě integrovaných obvodů.



Obrázek 1.1: Rozdělení technologií pro výrobu integrovaných obvodů, upraveno dle [1]

1.1 Technologie CMOS

Jak již naznačuje zkratka CMOS (*complementary metal oxid semiconducor*) jedná se o technologii, která umožňuje vytvoření tranzistorů NMOS a PMOS na jednom substrátu, struktura technologie CMOS je zobrazena na obrázku 1.2.



Obrázek 1.2: Struktura tranzistorů NMOS a PMOS na jednom substrátu

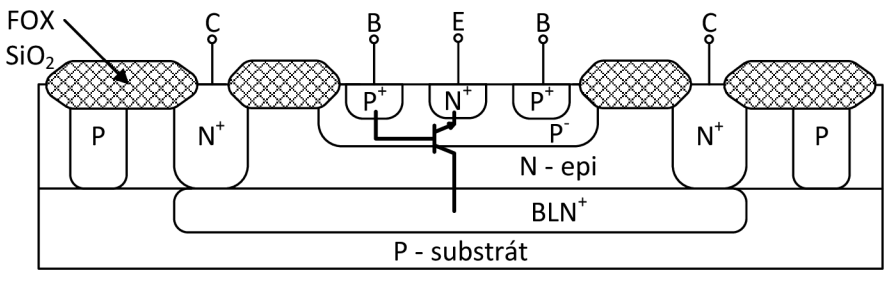
Hlavní předností MOS tranzistorů oproti tranzistorům bipolárním je, že do jejich hradla neteče téměř žádný stejnosměrný proud. Díky tomu nezatěžují předcházející obvod a zároveň snižují statickou spotřebu obvodu. Další výhodou je jejich škálovatelnost. Není problém vytvořit tranzistor, který bude mít téměř libovolný poměr šířky k délce, což dává návrhářům velkou volnost při volbě součástek.

Hlavní nevýhodou těchto tranzistorů je jejich vstupní hradlová kapacita. Tato kapacita způsobuje velké problémy při návrhu vysokofrekvenčních analogových obvodů (operační zesilovače, převodníky atd.), kde proti sobě stojí přesnost (velká plocha) a rychlost (malá plocha).

1.2 Technologie BiCMOS

Pokročilejší technologie BiCMOS spojuje dva původně samostatné procesy, bipolární s unipolárním. Díky této technologii je tedy možné využít výhody obou typů tranzistorů na jednom společném substrátu. Tato výhoda je ovšem vykoupena větší komplexností čipu a s tím související vyšší výrobní cenou [2].

Na obrázku 1.3 je vidět řez strukturou bipolárního tranzistoru v BiCMOS technologii. Kolektor bipolárního NPN tranzistoru je tvořen vnořenou silně dotovanou vrstvou BLN^+ (BL – *buried layer*), která má za úkol zajistit jeho nízký sériový odpor. Vnořená vrstva kolektoru je s okolím spojena pomocí silně dotované difuze N^+. K dosažení co možná největšího proudového zesilovacího činitele β je báze tranzistoru tvořena úzkou nízko dotovanou vrstvou P^-. Do této vrstvy je následně implantována N^+ vrstva, která slouží jako emitor. K odizolování tranzistorů se využívá závěrně polarizovaného PN přechodu, či v moderních technologiích častěji používaného DTI (*deep trench isolation*). [2]

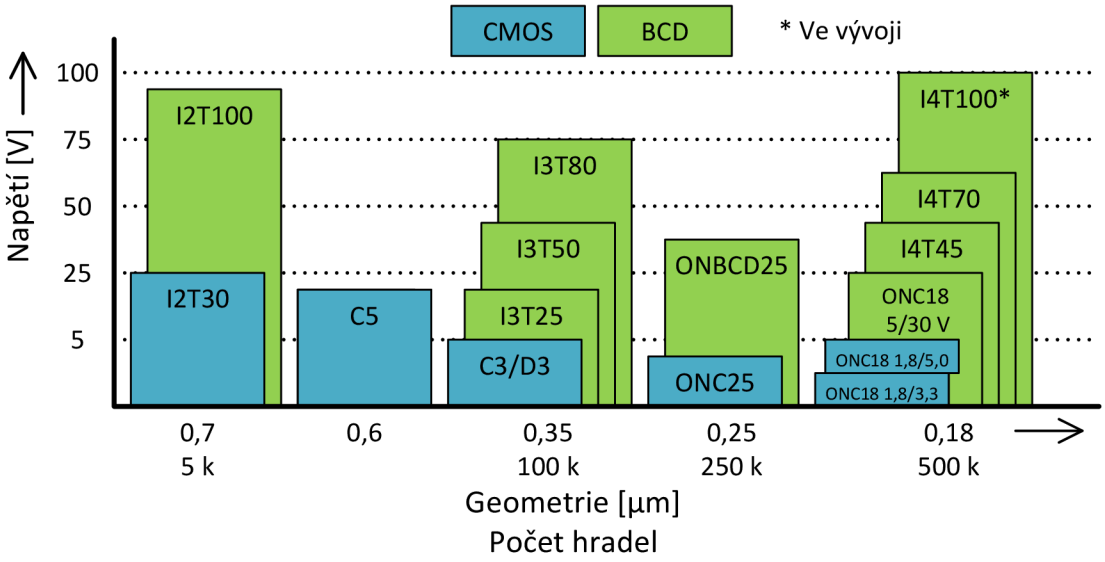


Obrázek 1.3: Řez BiCMOS technologií, upraveno dle [2]

1.3 Technologie I3T25

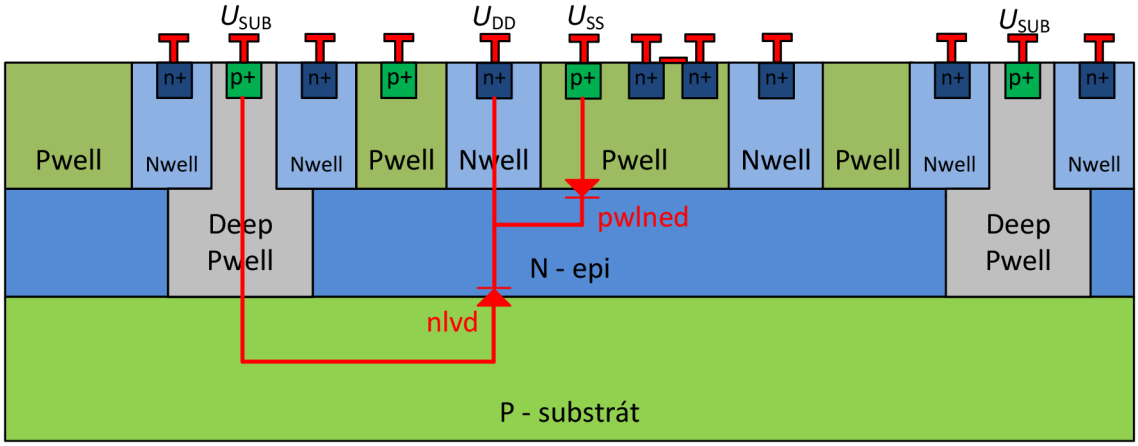
Firma ON Semiconductor nabízí velký výběr technologií pro zákaznické obvody. Zákazník si může zvolit mezi čistým CMOS procesem a takzvaným BCD procesem. Procesy BCD jsou určitým poddruhem BiCMOS technologie a umožňují využití bipolárních, MOS a vysokonapěťových DMOS tranzistorů na jednom společném substrátu.

Jak je z obrázku 1.4 patrné, jednotlivé technologie se od sebe liší geometrií, tedy minimální šířkou kanálu a maximálním provozním napětím. Z obrázku je rovněž patrný rozdíl v možnostech integrace, kdy nejnovější technologie ONC18 a I4T umožnují integraci až pětiset tisíc hradel oproti pěti tisícům v starší technologii I2T100.



Obrázek 1.4: Přehled technologií fy. ON Semiconductor [3]

V této diplomové práci je využita technologie I3T25. Řez touto technologií je zobrazen na obrázku 1.5. Technologie využívá substrát typu P, na který se nechá narůst epitaxní vrstva typu N. Minimální délka kanálu pro nízkonapěťové MOS tranzistory je 350 nm a tyto tranzistory jsou schopny pracovat při nominálním napájecím napětí 3,3 V.



Obrázek 1.5: Průřez waferu technologie I3T25, upraveno dle [4]

Mezi další možnosti této technologie patří vysokonapěťové DMOS tranzistory, které jsou schopny pracovat až do 18 V, polykřemíkové rezistory s vysokou rezistivitou (HIPOR) nebo s nízkým teplotním koeficientem (PPOR), lineární kov-kov (MIMC) a poly–poly kondenzátory [3]. Vlastnosti nejčastěji používaných součástek jsou shrnuty v tabulkách 1.1 a 1.2.

Tabulka 1.1: Vlastnosti nízkonapěťových MOS tranzistorů* [5]

Typ	Parametr	Popis	Min	Typ	Max	Jednotka
NMOS	U_{TH}	Prahové napětí	542	599	656	[mV]
NMOS	*KP*	Transkonduktanční parametr	138,6	166,1	197,2	[$\mu A.V^{-2}$]
PMOS	U_{TH}	Prahové napětí	-681	-598	-519	[mV]
PMOS	*KP*	Transkonduktanční parametr	32,9	38,9	41	[$\mu A.V^{-2}$]

* Platí pro tranzistory s W = L = 10 μm

Tabulka 1.2: Vlastnosti vybraných pasivních součástek [5]

Typ	Parametr	Popis	Min	Typ	Max	Jednotka
HIPOR	$R\square$	Povrchový odpor	775	975	1175	[Ω/□]
HIPOR	TC_1	Lineární teplotní koeficient		-1,42		[mK^{-1}]
PPOR	$R\square$	Povrchový odpor	180	240	300	[Ω/□]
PPOR	TC_1	Lineární teplotní koeficient		-0,23		[mK^{-1}]
MIMC	C_S	Kapacita na jednotku plochy	1,3	1,5	1,7	[$fF.\mu m^{-2}$]

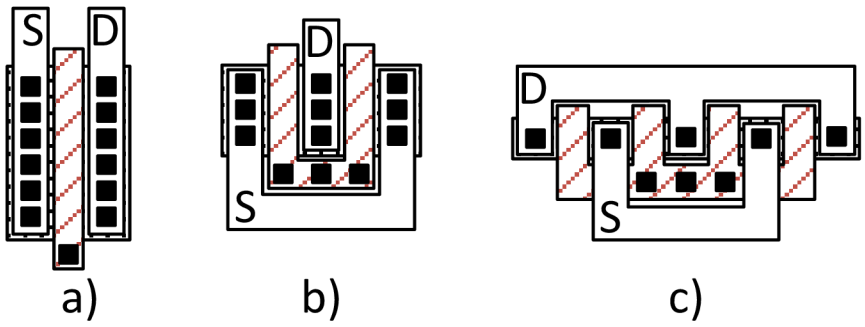
2 Topologie integrovaných obvodů

Topologie integrovaných obvodů definuje geometrii masek, které jsou následně použity ve výrobě. Jedná se například o masky kovových vrstev, oxidů a polovodičových struktur. Pravidla pro návrh topologie u digitálních integrovaných obvodů jsou zaměřena především na maximalizaci výtěžnosti, zároveň však umožnují poměrně agresivní návrh, který dramaticky snižuje plochu, a tedy cenu čipu.

Na druhou stranu u analogových systémů může špatně navržená topologie nepříznivým způsobem ovlivnit výsledné parametry čipu, proto se například ke snížení šumu, přeslechu a nesouladu (*mismatch*) využívají různé pokročilé techniky.

2.1 Více-článkové tranzistory

Použití velmi širokých tranzistorů je, díky jejich vysokému hradlovému odporu a velké oblasti source a drain, poměrně problematické. Z těchto důvodů se využívá takzvaných více-článkových (*multifinger*) tranzistorů. Jako orientační pravidlo se uvádí, že šířka prstu by měla být volena tak, aby hodnota jeho odporu byla menší než obrácená hodnota transkonduktance tohoto prstu. V nízko-šumových aplikacích je nutné, aby se odpor hradla pohyboval mezi 10 a 20 % obrácené hodnoty transkonduktance. [6]



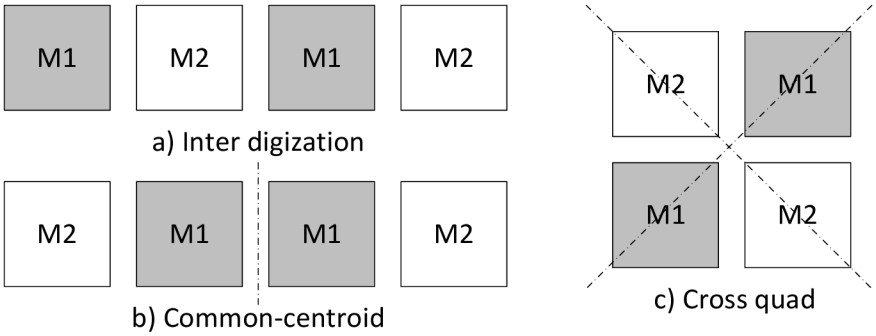
Obrázek 2.1: Více-článkové tranzistory

2.2 Symetrie

Z důvodu, že výroba integrovaných obvodů není dokonalá a absolutní přesnost jednotlivých parametrů je špatná, využívá se často poměru dvou a více součástek. Tento poměr můžeme realizovat velice přesně, díky tomu lze navrhnout robustní obvody, u kterých výsledné parametry nejsou příliš ovlivněny výrobním procesem.

Aby byla co nejvíce snížena neshodnost dvou tranzistorů, je nutné dodržovat pár základních pravidel. Tranzistory by měly mít stejnou velikost, měly by být umístěny co nejblíže u sebe a proud oběma tranzistory by měl procházet jedním směrem. Výsledný nesoulad je dán i rozměry, z toho důvodu se ke snížení neshody používají tranzistory s větší délkou kanálu.

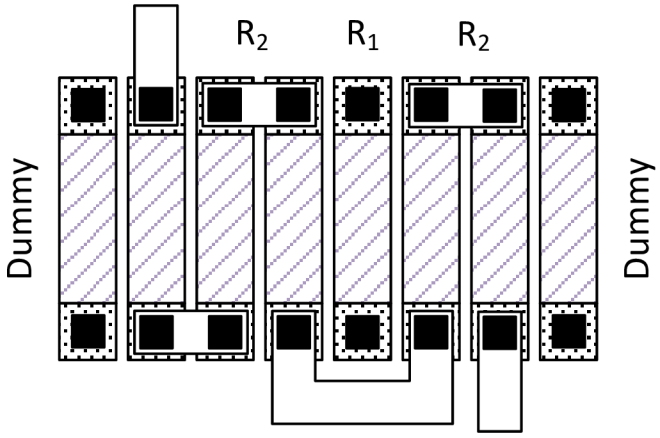
K dalšímu potlačení neshodnosti tranzistorů se využívají metody zobrazené na obrázku 2.2. Principem těchto metod je rozdělení tranzistorů na více částí a poté jejich vzájemné proložení. Pomocí těchto metod lze například efektivně eliminovat vliv teploty na výslednou nesymetrii. Nevýhodou těchto metod ovšem je, že zabírají poměrně velkou plochu, a proto by měly být používané jen u tranzistorů, kde je to opravdu nutné.



Obrázek 2.2: Metody pro sesouhlasení více tranzistorů

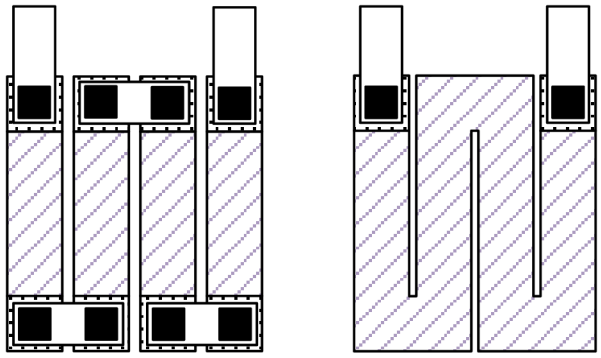
2.3 Topologie pasivních součástek

Podobně jako u MOS tranzistorů je neshoda dvou různých pasivních součástek dána funkcí jejich velikostí. Většina pravidel pro dobrou symetrii tranzistorů se dá uplatnit i u pasivních součástek. Dvě pasivní součástky, které mají mít dobrou shodu, je nutné navrhnout ze stejných jednotek (*units*) a výsledný poměr upravovat pomocí sériově-paralelního pospojování. Na obrázku 2.3 je nakreslen dobrý návrh topologie dvou rezistorů.



Obrázek 2.3: Topologie dvou rezistorů s poměrem R2 / R1 = 5

Na obrázku 2.4 jsou zobrazeny, dvě různé techniky pro návrh rezistorů s velkým odporem. Pro tyto rezistory je obvyklé, že se výsledný rezistor rozloží mezi menší jednotky, které leží paralelně a jsou propojeny sériově (a). Tento způsob je z pohledu shody a reprodukovatelnosti výhodnější než meandrová technika (b), u které rohy výrazně ovlivňují výsledný odpor. Tato technika je výhodná, pokud je nutné ušetřit místo na čipu a není nutná přesnost takto navrženého odporu.



Obrázek 2.4: Topologie velkých rezistorů

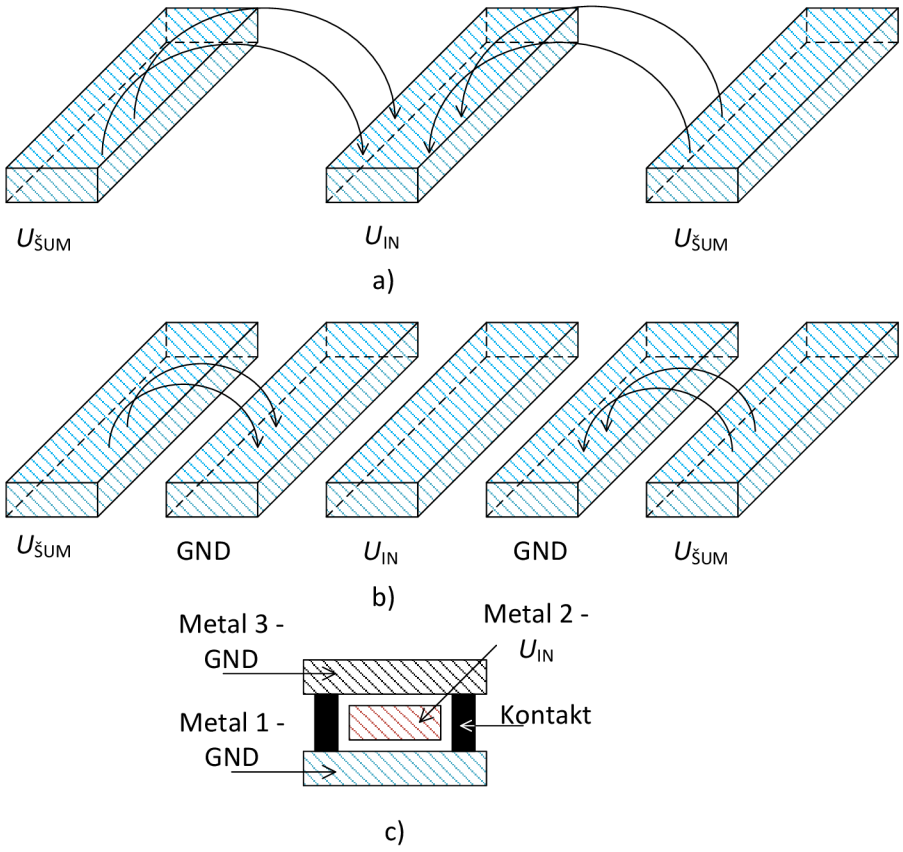
2.4 Propojení

V minulosti bylo běžné, že CMOS procesy poskytovaly pouze jednu metalovou vrstvu pro propojování součástek. Oproti tomu moderní procesy nabízejí až šest metalových vrstev, které zjednodušují samotný návrh. Nicméně při vytváření topologie u velice přesných nebo rychlých obvodů je nutné brát v úvahu jevy, které souvisí právě s metalizací.

Parazitní kapacita mezi jednotlivými metaly může degradovat rychlost obvodu v návrzích, kde je propoj veden na dlouhou vzdálenost. Typickým příkladem je vedení hodinového signálu v obvodu se spínanými kapacitami. Tento signál musí být veden dlouhým metalem k různým funkčním blokům, čímž dochází k výraznému zkreslování signálu.

Častěji je však mnohem důležitější, že kapacita mezi jednotlivými metaly představuje vazbu, která způsobuje nežádoucí přeslechy. Přeslechy mohou být redukovány pomocí dvou technik. První z nich je použití diferenciálního zapojení, kdy je většina rušení převedena na společné souhlasné napětí, které je ve většině případů dobře potlačeno. Druhou možností je využití stínění u citlivých signálů.

Na obrázku 2.5 jsou zobrazeny tři možnosti, jak je možné citlivé signály chránit. Nejjednodušší metodou (a) je prosté zvětšení vzdálenosti mezi signály, čímž dojde ke snížení kapacitní vazby a tím i ke snížení přeslechů. Další metoda (b) spočívá v přidání zemních cest z obou stran signálu. Díky tomu je signál ze zašuměných cest vázán na zem a neruší citlivý signál. Tato metoda je mnohem efektivnější než pouhé posunutí metalů od sebe, je to však za cenu mnohem komplexnějšího návrhu a zvětšení kapacity mezi signálem a zemí. U poslední metody (c) je citlivý signál obklopen zemnící vrstvou, která se skládá z vyšší a nižší vrstvy metalu. Tyto vrstvy jsou vzájemně propojeny kontakty, díky kterým je signál plně izolován od okolních elektrických polí. Tato metoda vykazuje nejlepší parametry, ale z důvodu, že využívá tři metalové vrstvy a komplikuje tak propojování ostatních signálů, je využívána jen ve speciálních aplikacích. [6]



Obrázek 2.5: Metody pro potlačení rušení mezi signály

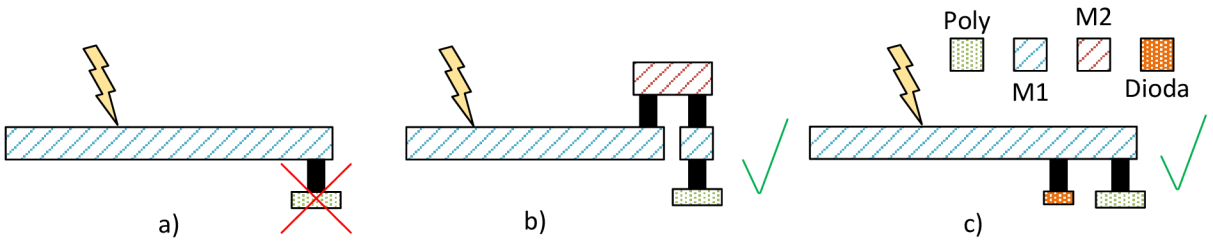
2.5 Kontroly

Navržená topologie je ověřována různými kontrolami. Tyto kontroly mají ověřit, zda je čip správně navržen z hlediska návrhových a výrobních pravidel. Mezi základní kontroly můžeme zařadit:

- **Kontrola návrhových pravidel (DRC) –** rozměry všech součástek jsou dány návrhem obvodu, ale veškeré ostatní rozměry se řídí návrhovými pravidly. Tyto pravidla zajišťují správnost výroby navzdory různým odchylkám v každém výrobním kroku. Většina návrhových pravidel se dá shrnout do dvou základních skupin [6]:
  - minimální šířka,
  - minimální vzdálenost.
- **Layout versus schematic (LVS)** – jak již název naznačuje, jedná se o kontrolu, která porovnává navržené schéma s topologií. Tato metoda ověřuje, zda je topologie správně propojena nebo jestli všechny součástky mají požadovanou velikost.

- **Extrakce parazit (PEX)** – tato metoda se využívá především u přesných obvodů. Principem této kontroly je, že se z topologie extrahují parazitní RLC součástky, které se zakreslí do původního schématu. Díky tomu se získá přesný analogový model, který více odráží reálné chování obvodu.
- **Antenna check** – během leptání metalových vrstev se kovové plochy chovají jako „antény“, které shromažďují ionty, díky kterým na této ploše roste napěťový potenciál. Pokud je plocha dostatečně velká, může na ní vzniknout takové napětí, které prorazí tenkou oxidovou vrstvu u MOS tranzistoru a tento tranzistor tak zničí. Na obrázku 2.6 jsou znázorněny dva způsoby, jak tomuto jevu zabránit.

  Prvním způsobem (b) je rozdělení metalové vrstvy propojkou do jiného metalu, čímž se efektivně sníží kovová plocha připojená k hradlu. Druhou možností (c) je připojení malé diody, která zajišťuje odvádění vzniklého napětí do substrátu. [6]



Obrázek 2.6: Způsoby potlačení anténa efektu

3 Parametry převodníků D/A

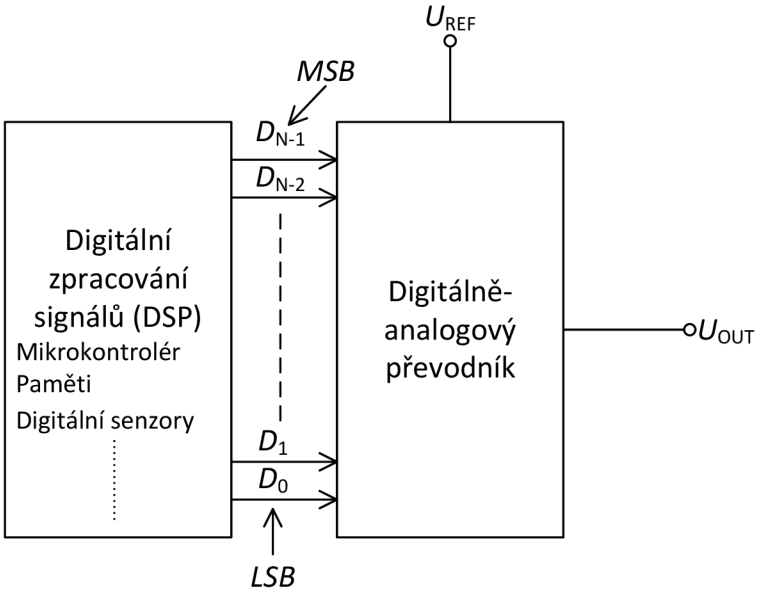
Jednou z nejvíce využívaných aplikací digitálně-analogových převodníků je konvertování uložených digitálních audio nebo video signálů. Například digitální informace uložená v MP3 formátu může být přeměněna na hudbu pomocí vysoce přesného převodníku D/A. Existuje spousta vlastností, které určují výsledné parametry převodníku. Přehled nejdůležitějších vlastností a definic, které jsou asociované s převodníky D/A, je uveden na následujících stranách. Je potřeba poznamenat, že analogovým signálem pro oba druhy převodníků může být jak napětí, tak i proud. Pro účely popisu specifikace se však předpokládá, že výstupním analogovým signálem je napětí.

Blokové schéma převodníku D/A je zobrazeno na obrázku 3.1. Zde je *N* bitové digitální slovo převedeno na jediné analogové napětí. Výstupem převodníky D/A je typicky napětí, které je určitým zlomkem referenčního napětí, poté lze psát:

$$U_{\mathrm{OUT}} = F \cdot U_{\mathrm{REF}} \ [\mathrm{V}], \tag{3.1}$$

kde U_{OUT} je výstupní napětí, U_{REF} je referenční napětí a F je zlomek definovaný vstupním slovem D, které má šířku N bitů. Počet vstupních kombinací rovněž souvisí se šířkou slova D a tento počet je dán vztahem:

$$Počet\ vstupních\ kombinací = 2^N \ [-] \tag{3.2}$$



Obrázek 3.1: Blokové schéma převodníku D/A

Maximální výstupní napětí libovolného převodníku D/A je limitována hodnotou referenčního napětí U_{REF}. Pokud je vstup N bitové slovo, lze hodnotu zlomku F určit jako:

$$F = \frac{D}{2^N} [-] \tag{3.3}$$

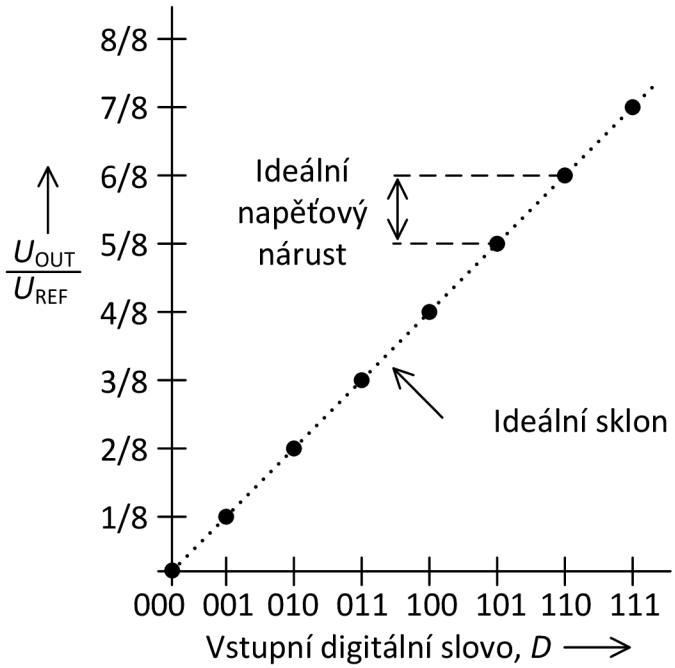
Proto při použití tříbitového převodníku, kdy je vstup D roven 100_2 a referenční napětí U_{REF} je 5 V. Je hodnota zlomku F rovna:

$$F = \frac{D}{2^N} = \frac{100_2}{2^3} = \frac{4_{10}}{8} \tag{3.4}$$

Výstupní hodnotu napětí lze následně určit ze vztahu 3.1:

$$U_{OUT} = F \cdot U_{REF} = \frac{4}{8}.5 = 2{,}5\,\text{V} \tag{3.5}$$

Vynesením závislosti vstupního slova D oproti výstupnímu napětí U_{OUT} vznikne převodní charakteristika, která je zobrazena na obrázku 3.2. Osa ypsilon je normována k referenčnímu napětí U_{REF}, proto podle rovnice 3.1 jednotlivé značky rovněž představují zlomek F. Jelikož vstupem je digitální slovo, není možné, aby byla převodní charakteristika nepřerušovaná. V tomto případě osmi vstupním kombinacím odpovídá osm výstupních napětí. Proložíme-li jednotlivé výstupní napětí přímkou, měl by být sklon této přímky konstantní a rozdíl napětí mezi sousedícími body by měl být roven jednomu *LSB*.



Obrázek 3.2: Ideální převodní charakteristika převodníku D/A

Jak je z obrázku 3.2 patrné, maximální hodnota napětí se rovná sedmi osminám referenčního napětí. Je to z toho důvodu, že při vstupní kombinaci $D = 000_2$ je výstupní napětí

rovno 0 V a při osmi možných výstupních napětích výstup bude v rozsahu 0 až 7/8 referenčního napětí. Pro libovolný *N*-bitový převodník je maximální výstupní napětí, nebo jinými slovy plný rozsah dán vztahem:

$$U_{\mathrm{FS}} = U_{\mathrm{REF}} - LSB = \frac{2^N - 1}{2^N} \cdot U_{\mathrm{REF}} \text{ [V]} \tag{3.6}$$

Nejméně významný bit (*LSB*) definuje nejmenší možnou změnu výstupního napětí. Tento bit bude vždy označován jako D_0 a jeho hodnotu lze definovat jako:

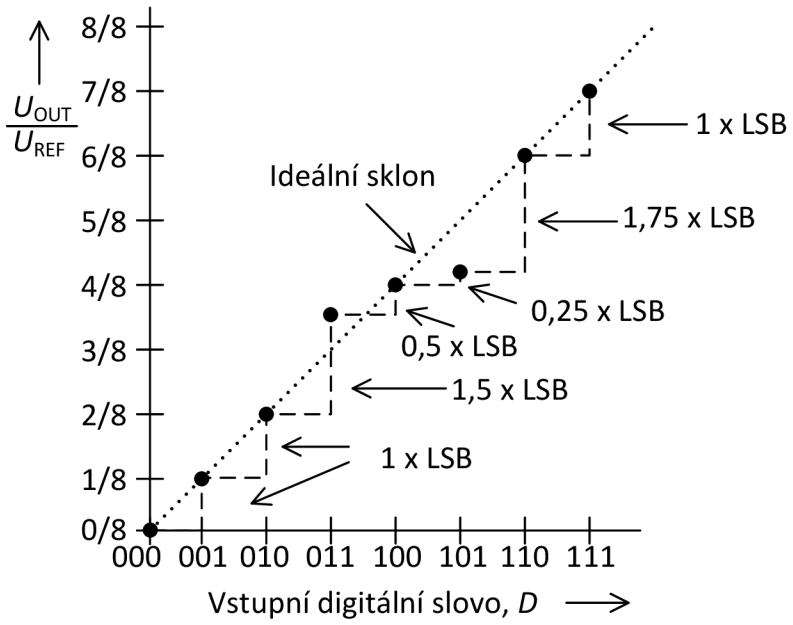
$$1\ LSB = \frac{U_{\mathrm{REF}}}{2^N} \text{ [V]} \tag{3.7}$$

3.1 Diferenciální nelinearita

Jak již bylo zmíněno výše, ideální rozdíl napětí mezi dvěma sousedícími body by se měl rovnat jednomu *LSB*. Neideální součástky však způsobí, že se skutečný přírůstek od ideálního liší. Rozdíl mezi ideální a skutečnou hodnotou se nazývá diferenciální nelinearita (*DNL*) a je definovaná jako:

$$DNL_n = Skutečná\ výška\ přírůstku\ n - Ideální\ výška \text{ [LSB]} \tag{3.8}$$

Na obrázku 3.3 je zobrazen vliv *DNL* na převodní charakteristiku. Skutečná výška přírůstku je označena s ohledem na velikost ideálního přírůstku. Lze si všimnout, že neexistuje žádný přírůstek, který by odpovídal vstupnímu slovu $D = 000_2$, je to z toho důvodu, že je při této vstupní kombinace požadováno nulové výstupní napětí.



Obrázek 3.3: Vliv *DNL* na převodní charakteristiku převodníku D/A

Jako příklad se dá uvést, že přírůstek, který odpovídá hodnotě 001_2, se rovná ideálnímu přírůstku, potom lze ze vztahu 3.8 určit, že hodnota *DNL* pro tuto změnu je $DNL_1 = 0$ LSB. Při vstupní kombinaci 011_2 již hodnota přírůstku neodpovídá ideálnímu průběhu a chyba *DNL* je.

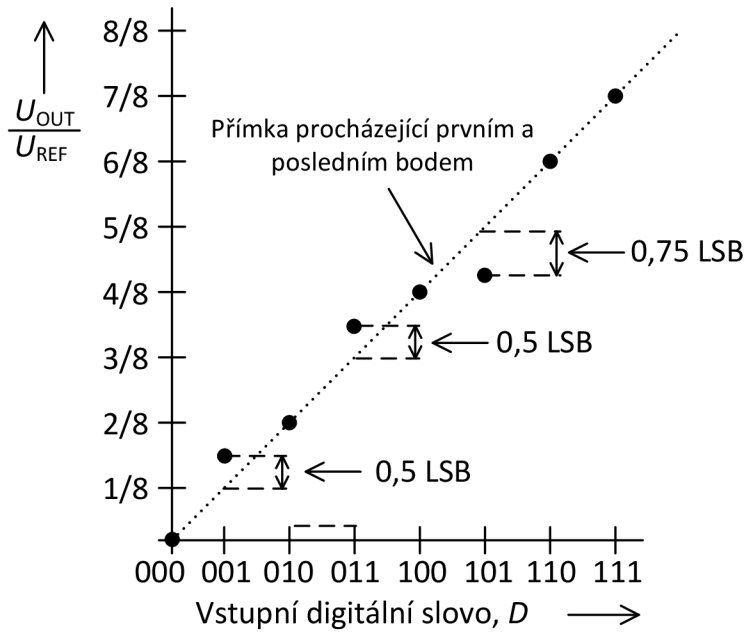
$$DNL_3 = 1{,}5\ LSB - 1\ LSB = 0{,}5\ \text{LSB} \tag{3.9}$$

Pokud je chyba DNL menší než -1 *LSB*, nazývá se převodník D/A jako nemonotónní, což znamená, že výstupní napětí může se vzrůstajícím vstupním kódem klesnout. Pokud má převodník fungovat správně, musí vždy vykazovat monotónnost.

3.2 Integrální nelinearita

Na obrázku 3.4 je zobrazen příklad další důležité vlastnosti převodníků, která se nazývá integrální nelinearita (*INL*). Tato chyba je definována jako rozdíl mezi výstupem převodníku a referenční přímkou, která prochází prvním a posledním bodem. Chyba *INL* definuje linearitu celkové převodní křivky a může být popsána jako:

$$INL_n = Výstupní\ hodnota\ n - Ideální\ hodnota\ n\ \ [\text{LSB}] \tag{3.10}$$



Obrázek 3.4: Vliv *INL* na převodní charakteristiku převodníku D/A

Je běžnou praxí předpokládat, že převodník s *N*-bitovým rozlišením bude mít chybu *DNL* a *INL* menší než ± ½ *LSB*. Termín ½ *LSB* je obecný název, který typicky značí maximální možnou chybu převodníků. Jako příklad se dá uvést, že 13bitový převodník s chybou *INL* nebo *DNL* větší než ± ½ LSB má ve skutečnosti rozlišení 12bitového převodníku.

Je nutné poznamenat, že existují i další metody, jak určit *INL*. Jedna z metod porovnává aktuální hodnotu s polohou referenční křivky bez ohledu na polohu prvního a posledního

výstupního bodu. Pokud však převodník vykazuje chybu nuly nebo zisku jsou tyto chyby započteny do výpočtu *INL*. Obvyklou praxí ale je, že se tyto chyby určují samostatně.

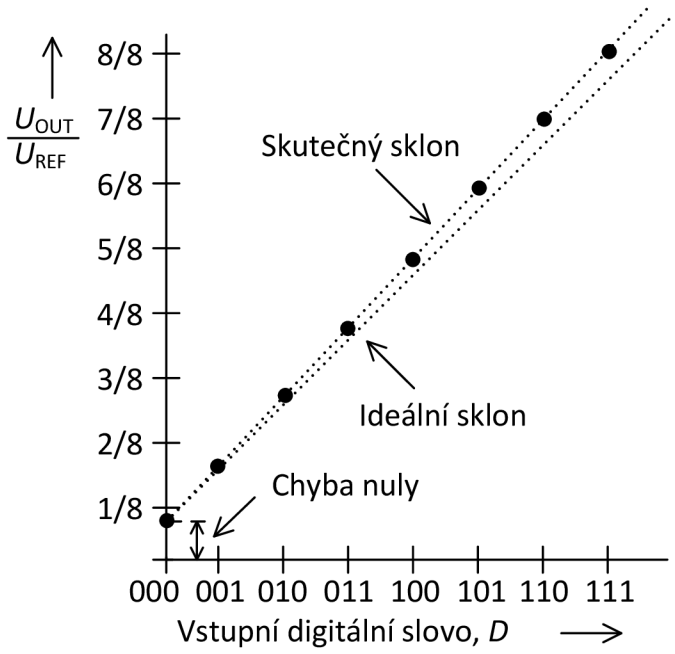
3.3 Chyba nuly

Jak již bylo zmíněno výše, při vstupním kódu $D = 000_2$ by výstupní napětí mělo být rovno nule, ovšem pokud tomu tak není, vzniká takzvaná chyba nuly (*offset*). Tato chyba způsobuje posun v převodní charakteristice, jak je zobrazeno na obrázku 3.5. Tato vlastnost je podobná napěťové nesymetrii u operačních zesilovačů, avšak s tím rozdílem, že je vztahována k výstupu nikoli ke vstupu.

3.4 Chyba zisku

Chyba zisku vznikne, pokud se sklon přímky, která je dána skutečnou převodní charakteristikou, liší od sklonu přímky dané ideální charakteristikou. Vliv této chyby podobně jako vliv chyby nuly je zobrazen na obrázku 3.5.

$$Chyba\ zisku = Ideální\ sklon - skutečný\ sklon \tag{3.11}$$



Obrázek 3.5: Vliv chyby nuly a zisku

3.5 Latence

Tato vlastnost definuje celkový čas, který uběhne od změny vstupního digitálního slova, po ustálení výstupního napětí v požadované toleranci. Latence by neměla být zaměňována s dobou ustálení, jelikož latence kromě doby ustálení zahrnuje i zpoždění, které vzniká při změně vstupního slova [8].

3.6 Odstup signálu od šumu

Odstup signálu od šumu (*SNR*) je pro převodníky D/A definován jako poměr mezi plným rozsahem převodníku a *RMS* hodnotou kvantizačního šumu. Tuto hodnotu lze získat odmocněním velikosti kvantizačního šumu a platí: [1]

$$RMS(kvantizační\ šum) = \sqrt{\frac{1}{T}\cdot\int_1^T LSB^2\cdot(\frac{t}{T}-0{,}5)^2 dt} = \frac{LSB}{\sqrt{12}} = \frac{U_{\mathrm{FS}}}{2^n\sqrt{12}}\ [\mathrm{V}] \qquad \text{[1] (3.12)}$$

Poté může být odstup signálu od šumu vyjádřen jako:

$$SNR = \frac{U_{\mathrm{OUT,RMS}}}{\frac{U_{\mathrm{FS}}}{2^N\sqrt{12}}}\ [-] \qquad \text{[1] (3.13)}$$

Největší RMS hodnota výstupního napětí při předpokladu, že vstupní signál má sinusový průběh je $U_{\mathrm{FS}}/\sqrt{2}$ poté lze *SNR* psát jako:

$$SNR = \frac{U_{\mathrm{FS}}/2^N\sqrt{2}}{U_{\mathrm{FS}}/2^N\sqrt{12}} = \frac{2^N\sqrt{6}}{2}\ [-] \qquad \text{[1] (3.14)}$$

Častěji je však nutné znát hodnotu *SNR* v decibelech, což získáme úpravou předcházející rovnice:

$$SNR = 20\cdot\log\frac{2^N\sqrt{6}}{2} = 20\log 2^N + 10\log 6 - 20\log 2 = 6{,}02\cdot N + 1{,}76\ [\mathrm{dB}] \qquad \text{[1] (3.15)}$$

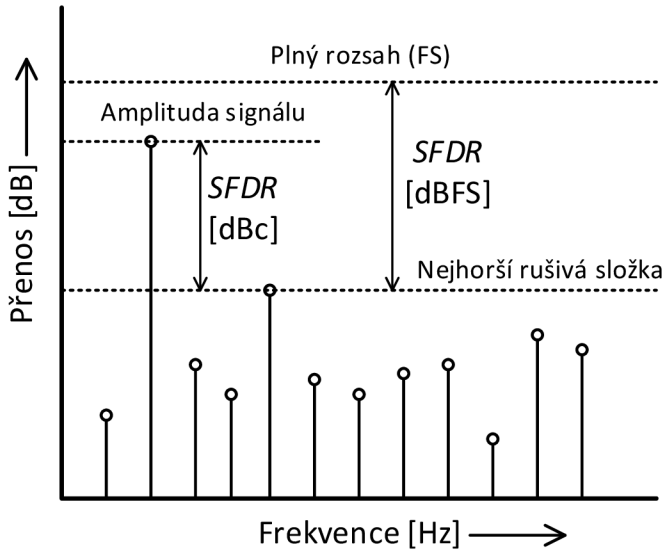
Velikost parametru *SNR* je dána pouze velikostí kvantizačního šumu, šumu pozadí a nepočítá s harmonickým zkreslením, které je způsobeno především chybami *DNL* a *INL*. Součtem výkonu těchto harmonických s velikostí *SNR* lze získat parametr *SNDR (signal to noise and distortion ratio)*, který je dobrým ukazatelem celkových dynamických parametrů převodníku, protože obsahuje všechny komponenty, které mají vliv na zkreslení či šum.

Z velikosti *SNDR* lze poté určit efektivní počet bitů (*ENOB*), pomocí kterého lze určit rozlišení ideálního převodníku, který by měl stejné dynamické vlastnosti jako navržený převodník. Pro *ENOB* platí vztah:

$$ENOB = \frac{SNDR - 1{,}76}{6{,}02}\ [-] \qquad (3.16)$$

3.7 Dynamický rozsah bez zkreslení

Dalším důležitým parametrem, který lze jednoduše získat z frekvenčního spektra převodníku je dynamický rozsah bez zkreslení *SFDR* (*Spurious-free dynamic range*). Tento parametr je dán poměrem mezi efektivní hodnotou užitečného signálu a efektivní hodnotou nejhoršího rušivého signálu, a to bez ohledu na pozici tohoto signálu. Parametr *SFDR* může být definován s ohledem na plný rozsah převodníku (dBFS) nebo s ohledem na skutečnou amplitudu vstupního signálu (dBc) [13]. Grafická definice parametru *SFDR* je zobrazena na obrázku 3.6.



Obrázek 3.6: Grafické definice parametru *SFDR*

3.8 Dynamický rozsah

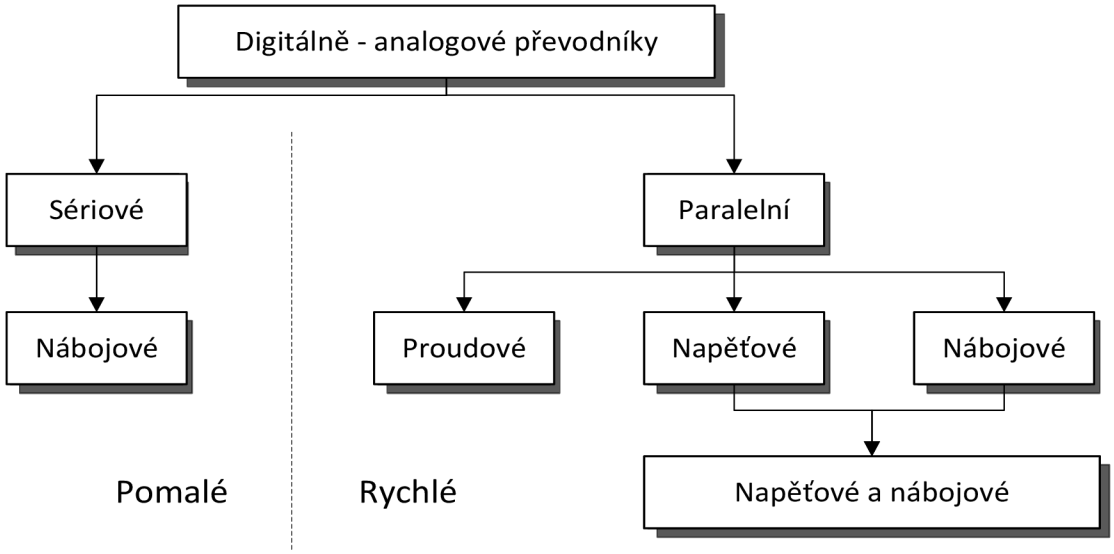
Dynamický rozsah je definován jako poměr mezi největším a nejmenším výstupním signálem. Pro datové převodníky dynamický rozsah souvisí s rozlišením převodníku. Jako příklad může být uvedeno, že *N*-bitový převodník D/A dokáže na svém výstupu maximálně vytvořit 2^N - 1 násobků *LSB* a minimálně pak 1 *LSB*. Poté je dynamický rozsah dán:

$$DR = 20\log\left(\frac{2^N - 1}{1}\right) \approx 6{,}02 \cdot N \ \text{[dB]} \qquad \text{[8] (3.17)}$$

4 Typy převodníků D/A

Digitálně-analogové převodníky můžou být rozděleny podle doby převodu, podle toho, jakým způsobem se binárně rozděluje referenční signál nebo zda jsou paralelní či sériové. Obrázek 4.1 zobrazuje rozdělení převodníků D/A. Sériové převodníky převádějí pouze jeden bit v čase, a proto je celková doba převodu $N.T$, kde N je počet bitů převodu a T je čas potřebný k převodu jednoho bitu. Oproti tomu paralelní převodníky převádějí veškeré bity zároveň a jejich celková doba převodu je pouze T.

Další možnost rozdělení je podle způsobu rozdělení referenčního signálu. Existují tři základní metody dělení referenčního signálu a to: napěťové, nábojové a proudové.

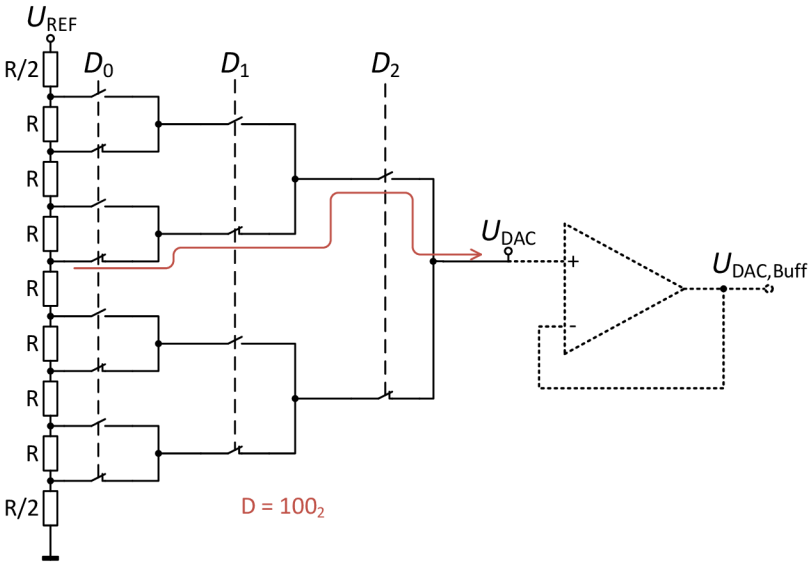


Obrázek 4.1: Rozdělení převodníků D/A, upraveno dle [1]

4.1 Napěťové převodníky D/A

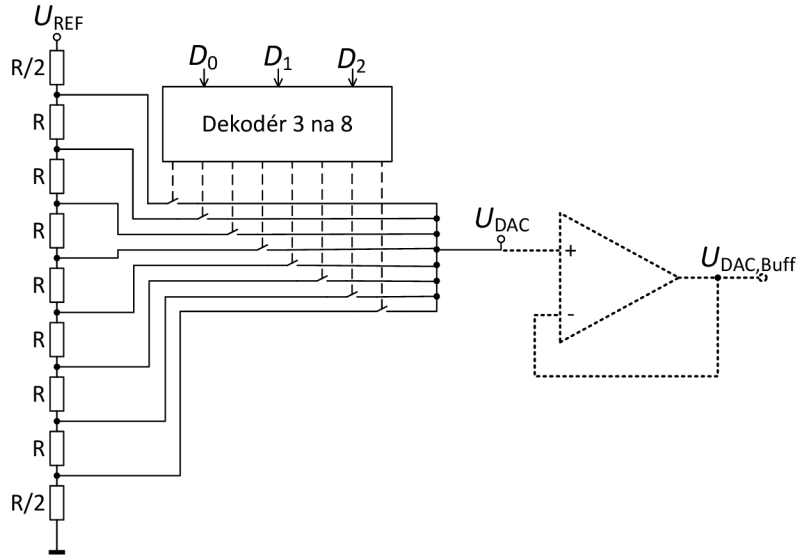
Napěťové převodníky D/A převádějí referenční napětí na sadu 2^N napětí, které jsou následně podle vstupního digitálního slova dekódovány na výstupní signál. Napěťové převodníky obvykle obsahují sériově zapojené rezistory, které jsou zapojeny mezi referenční napětí U_{REF} a zem.

Obrázek 4.2 zobrazuje příklad tříbitového napěťového převodníku. Každý výstup napěťového děliče je přes spínače přiveden na výstup. Jelikož z takového převodníku není možné odebírat proud, je na výstup převodníku připojen operační zesilovač zapojený jako sledovač napětí.



Obrázek 4.2: Příklad napěťového převodníku D/A, upraveno dle [1]

Pokud je počet bitů vyšší je výhodnější použít zapojení z obrázku 4.3. Zde jsou jednotlivé odbočky napěťového děliče s výstupem propojeny pomocí pouze jednoho spínače. Tyto spínače nejsou přímo propojeny se vstupem, ale řídí je dekodér z N na 2^N. Tato konfigurace redukuje sériový odpor a parazitní kapacitu spínačů. Nevýhodou však je, že přidaná logika zabírá plochu čipu. Pokud je potřeba snížit výslednou plochu, je možné některé bity řídit pomocí dekodéru ze spínačů a ostatní pomocí přidané logiky.

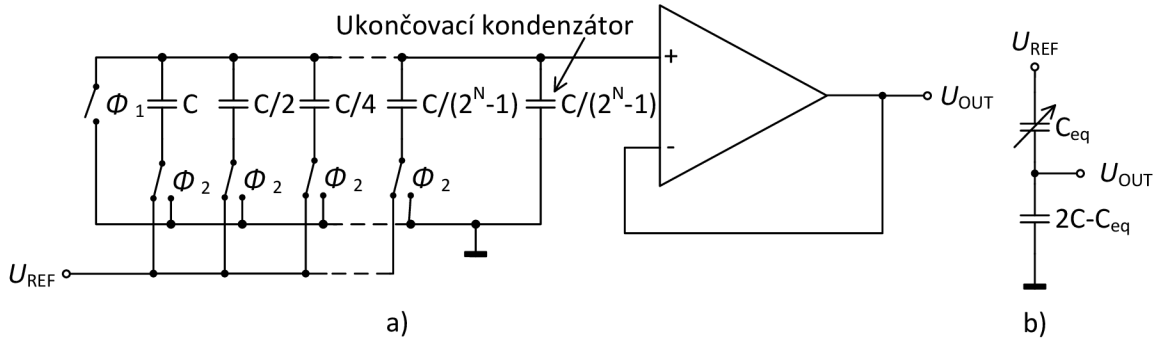


Obrázek 4.3: Příklad napěťového převodníku s dekodérem, upraveno dle [1]

Protože napětí v jakékoliv odbočce napěťového děliče nemůže být nižší než v odbočce předcházející, je zaručena monotónnost takového převodníku. Na druhou stranu nevýhody těchto zapojení jsou v poměrně velké ploše čipu a v času převodu, který je díky parazitním kapacitám spínačů poměrně dlouhý.

4.2 Nábojové převodníky D/A

Nábojové převodníky D/A binárně rozdělují celkový náboj, který je přiveden na kapacitní pole. Obrázek 4.4 (a) zobrazuje implementaci nábojového převodníku. Pro správnou funkci převodníku je nutné vytvořit dvoufázový, nepřekrývající se hodinový signál. Během Φ_1 jsou elektrody všech kondenzátorů připojené k zemi a dojde tak k jejich vybití. Následně během Φ_2 jsou kapacity připojené buď k referenčnímu napětí U_{REF} nebo k zemi. Tímto způsobem vznikne kapacitní napěťový dělič, zobrazený na obrázku 4.4 (b). Protože je během Φ_1 výstupní napětí ve všech případech nulové, je výstup převodníku platný pouze během Φ_2.



Obrázek 4.4: Nábojový převodník D/A, upraveno dle [8]

Hlavní důvodem, proč se nábojové převodníky používají je, že jsou kompatibilní s obvody, které využívají techniku spínaných kondenzátorů. Další výhodou je jejich jednoduchost, kdy se v podstatě jedná o digitálně řízený útlumový článek.

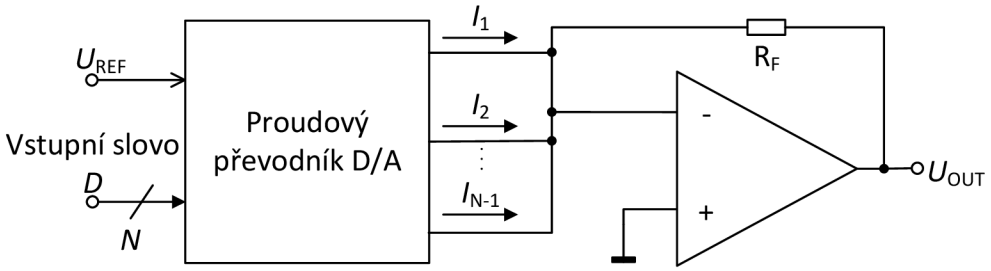
Nevýhodou tohoto typu převodníků je velký rozptyl jejich součástek. Například pro desetibitový převodník je poměr mezi největším a nejmenším kondenzátorem 1024:1. Tento poměr značně snižuje možnost souběhu, čímž se zároveň snižuje i výsledná přesnost převodníku.

4.3 Proudové převodníky D/A

Dalším druhem převodníků D/A jsou zapojení, které převádějí referenční napětí na soubor binárně váhovaných proudů. Na obrázku 4.5 je zobrazeno typické zapojení, kde jsou jednotlivé proudové výstupy přivedeny na vstup operačního zesilovače zapojeného v invertující konfiguraci. Výstupní napětí U_{OUT} lze poté určit jako:

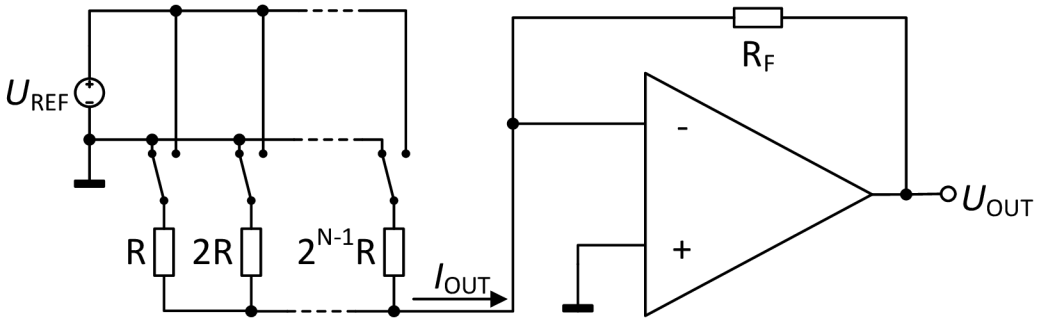
$$U_{\mathrm{OUT}} = -R_{\mathrm{F}} \cdot (I_0 + I_1 + \cdots + I_{N-1}) \text{ [V]}, \tag{4.1}$$

kde R_{F} je zpětnovazební odpor a I_{X} jsou jednotlivé vstupní proudy.



Obrázek 4.5: Typické zapojení proudových převodníků D/A

Nejjednodušší implementace těchto převodníků je zobrazena na obrázku 4.6. Jedná se o přímé použití invertujícího součtového zesilovače, kdy jsou jednotlivé vstupní proudy generované pomocí binárně váhovaných rezistorů. Tyto rezistory jsou jedním terminálem, v závislosti na vstupním slovu D, připojeny k referenčnímu napětí U_{REF} nebo k nulovému potenciálu, a druhým k invertujícímu vstupu operačního zesilovače.

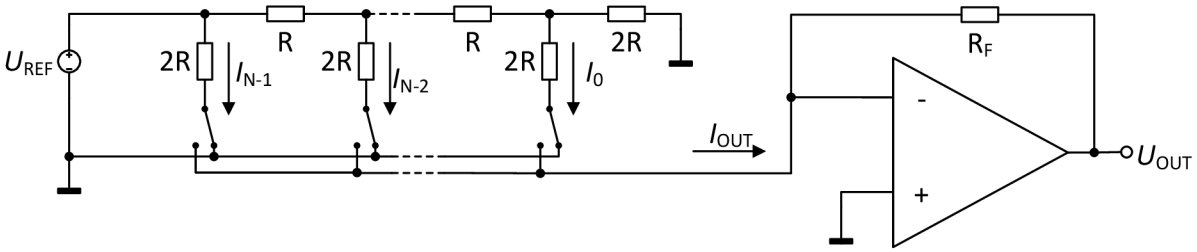


Obrázek 4.6: Proudový převodník D/A využívající binárně váhovaných rezistorů

Podobně jako u nábojového převodníku zobrazeného na obrázku 4.4 je i v tomto zapojení problém s velkým rozptylem rezistorů, který snižuje výslednou přesnost. Tato velká nevýhoda může být zcela vyřešena pomocí převodníku, který využívá síť R-2R. Jak již název napovídá, tento typ převodníku využívá pouze rezistory o hodnotách R a 2R. Typicky jsou pro vytvoření této sítě použity tři stejně velké rezistory. Pokud je hodnota odporu R je rezistor 2R tvořen sériovým zapojením dvou rezistorů. Naopak při hodnotě odporu 2R je rezistor R tvořen dvěma rezistory, které jsou zapojeny paralelně.

Implementace převodníku z obrázku 4.6 pomocí sítě R-2R je zobrazena na obrázku 4.7. K pochopení funkce je nutné si uvědomit, že každá vertikální 2R větev po své pravé straně „vidí“ pouze hodnotu 2R. Právě tento jev způsobí, že každý následující proud je o polovinu menší než předcházející. Poté se jednotlivé proudy určí jako:

$$I_{\mathrm{N}-1} = \frac{U_{\mathrm{REF}}}{2R},\ I_{\mathrm{N}-2} = \frac{U_{\mathrm{REF}}}{4R}, I_{\mathrm{N}-3} = \frac{U_{\mathrm{REF}}}{8R}, \ldots, I_0 = \frac{U_{\mathrm{REF}}}{2^N R}, \tag{4.2}$$

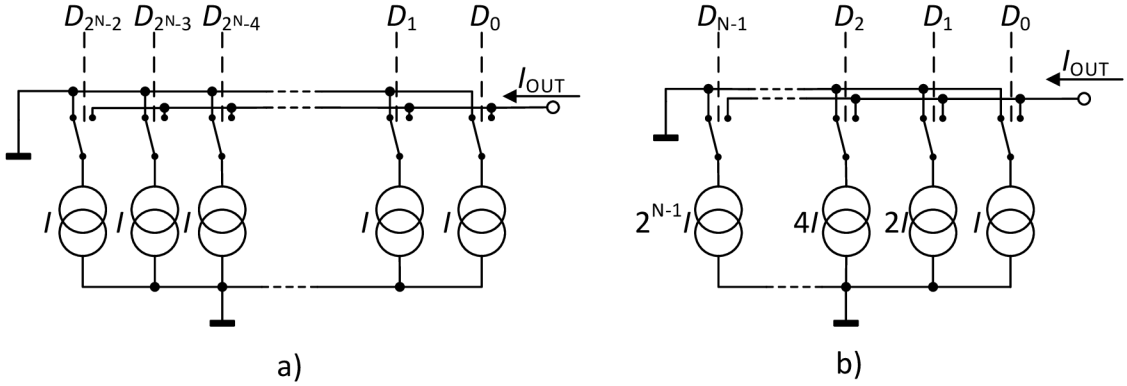


Obrázek 4.7: Proudový převodník D/A využívající síť R-2R

Posledním poddruhem proudových převodníků D/A jsou zapojení, které pro svou činnost využívají sadu přesných proudových zdrojů nebo nor. Na obrázku 4.8 (a) je zobrazená obecná struktura takových zapojení, která vyžaduje sadu přesných proudových nor, z nichž má každá stejnou hodnotu proudu *I*. Jednotlivé nory jsou do obvodu zapojovány pomocí termometrického kódu, proto pro *N*-bitový převodník je potřeba 2^N-1 proudových nor. Pro výstupní proud lze následně psát:

$$0 \leq I_{\mathrm{OUT}} \leq (2^{\mathrm{N}} - 1)I \tag{4.3}$$

Velkou výhodou tohoto zapojení je, že se vzrůstajícím vstupním kódem se mění stav pouze jednoho přepínače. Tímto se efektivně minimalizují přechodové špičky při změně vstupního slova. Nevýhodou je, že jednotlivé přepínače nejsou řízeny přímo vstupním binárním signálem ale termometrickým kódem, který lze získat pomocí různých typů dekodérů, což zvyšuje výslednou plochu čipu.



Obrázek 4.8: Proudové převodníky D/A využívající proudové nory

Další typ převodníků, který využívá sadu proudových nor, je zobrazen na obrázku 4.8 (b). Tato architektura využívá binárně váhované proudové zdroje, tudíž pro *N* bitový převodník je zapotřebí *N* proudových zdrojů namísto 2^N-1 jako v minulém případě. Jelikož jsou již proudové zdroje binárně váhované, není potřeba dalšího dekodéru, který zvětšoval výslednou plochu čipu. Podobně jako u převodníků využívající binárně váhované rezistory (obrázek 4.5) je velká nevýhoda tohoto zapojení ve velkém rozptylu jednotlivých proudových nor.

4.4 Zvětšení rozlišení převodníků

Jak již bylo zmíněno výše, běžný problém při návrhu převodníku D/A je, že se vzrůstajícím počtem bitů roste výsledná plocha čipu. Kromě toho také roste poměr mezi nejvíce a nejméně významnou komponentou, což snižuje možnost shody a tím i výslednou přesnost převodníku. V této kapitole budou uvedeny příklady různých technik, které umožnují určitý kompromis mezi poměrem nejvíce a nejméně významné komponenty a výsledným bitovým rozlišením. V praxi to znamení, že pokud se zvýší počet bitů převodníku, znatelně se nesníží možnosti shody [13].

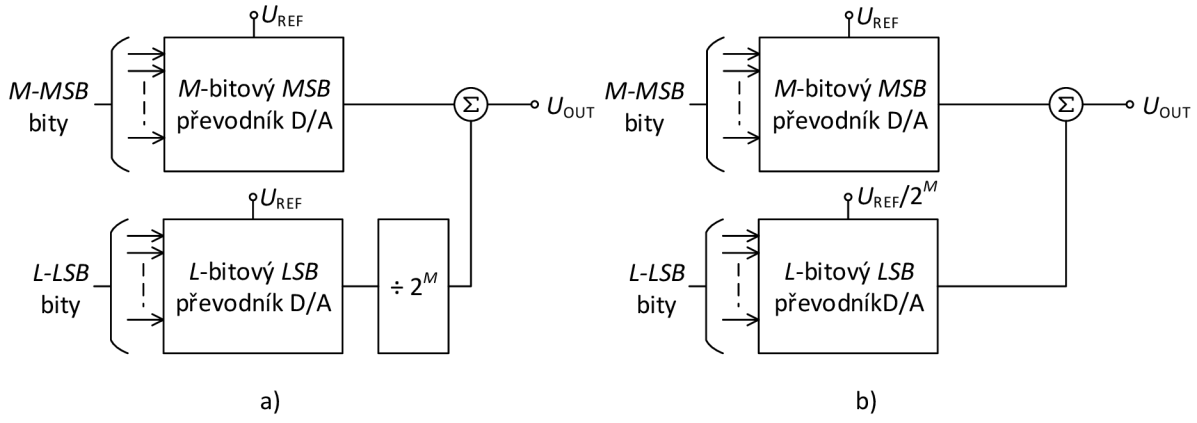
První přístup kombinuje převodníky D/A, které využívají podobné metody rozdělení vstupního referenčního signálu. Pokud jsou například jednotlivé výstupy sub-převodníků ve vhodném poměru, lze je následně sečíst a získat tak výstup kompletního *N*-bitového převodníku. Druhý přístup spočívá v kombinování různých typů převodníků ve snaze získat nejlepší vlastnosti jednotlivých struktur.

4.4.1 Kombinace podobně škálovaných převodníků D/A

Na obrázku 4.9 (a) je zobrazena struktura obsahující dva stejné převodníky. Nejvíce významné bity převádí *M*-bitový převodník, nejméně významné naopak *L*-bitový. Výstup *LSB* bloku je následně vydělen faktorem 2^M, čímž se získá korektní poměr obou převodníků. Výsledný $M + L$ bitový převodník je posléze získán součtem výstupů obou převodníků. Pro hodnotu výstupního napětí lze poté psát:

$$U_{\mathrm{OUT}} = U_{\mathrm{REF}} \cdot \left(\frac{D_{\mathrm{M+L-1}}}{2} + \frac{D_{\mathrm{M+L-2}}}{4} + \cdots + \frac{D_{\mathrm{M}}}{2^M} \right) + \frac{U_{\mathrm{REF}}}{2^M} \cdot \left(\frac{D_{\mathrm{L-1}}}{2} + \frac{D_{\mathrm{L-2}}}{4} + \cdots + \frac{D_0}{2^L} \right) \ [\mathrm{V}] \qquad (4.4)$$

Další metoda využívající dva a více sub-převodníků je zobrazena na obrázku 4.9 (b). Namísto snižování výstupu *LSB* převodníku D/A je pro tento blok snižována hodnota vstupní reference. Jelikož není rozdíl v tom, zda se poměrově snižuje výstup nebo reference *LSB* převodníku, je rovnice pro výstupní napětí stejná jako v předcházejícím případě.



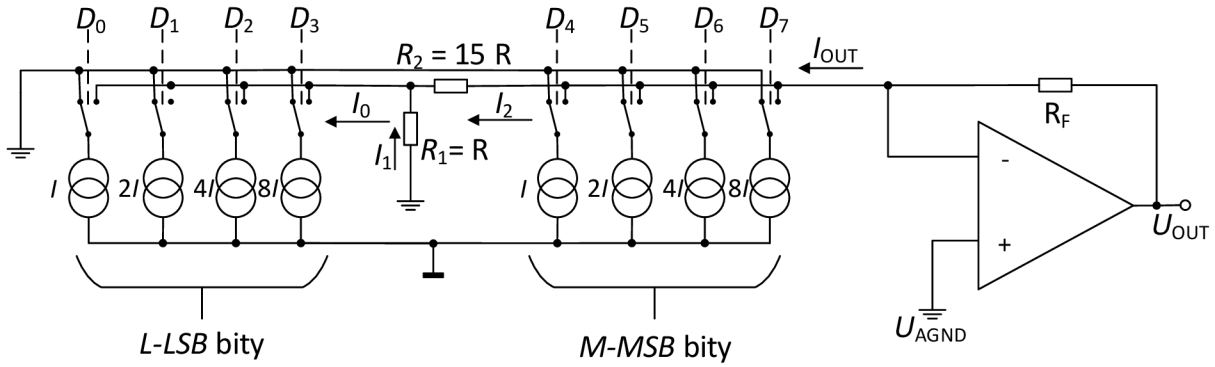
Obrázek 4.9: Kombinace dvou napěťových sub-převodníků

Obrázek 4.10 zobrazuje převodník využívající dva čtyř-bitové proudové převodníky. Jako proudový převodník může sloužit jakýkoliv obvod popsaný v kapitole 4.3. Škálování *LSB* sub-převodníku je dosaženo pomocí proudového děliče tvořeného rezistory R_1 a R_2. Proud I_0 vtékající do *LSB* sub-převodníků je součtem proudů I_1 a I_2. Jelikož je v ideálním případě napětí mezi oběma vstupy proudového děliče nulové, lze z Kirchhoffova zákona odvodit vztah pro jednotlivé proudy:

$$I_0 = I_1 + I_2 \text{ [A]}, \; I_2 = \frac{I_0}{16} \text{ [A]} \tag{4.5}$$

Výstupní napětí převodníku je dáno výstupním proudem a zpětnovazebním odporem R_F a platí:

$$U_{\mathrm{OUT}} = R_{\mathrm{F}} \cdot I \cdot (8D_7 + 4D_6 + 2D_5 + D_4) + \frac{1}{16} \cdot (8D_3 + 4D_2 + 2D_1 + D_0) \text{ [V]} \tag{4.6}$$

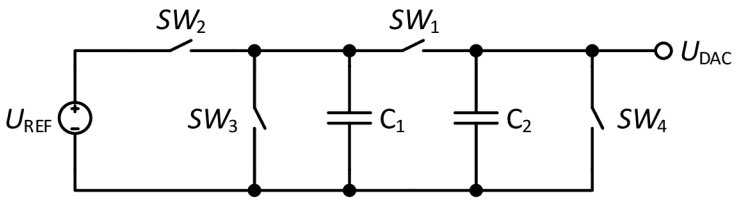


Obrázek 4.10:Kombinace dvou proudových sub-převodníků

Vyšší přesnost těchto převodníků je získána snížením poměru mezi nejvíce a nejméně významnou komponentou. U těchto typů převodníků bude maximální poměr komponent 2^M, respektive 2^L v závislosti, který sub-převodník bude převádět větší počet bitů. V obou případech je to však o poznání méně, než u běžných převodníků (obrázky 4.5, 4.6 a 4.8), kde je tento poměr 2^N.

4.5 Sériové převodníky

Všechny doposud popsané převodníky umožňují převedení vstupního slova v průběhu jednoho hodinového taktu. Existují však i převodníky, které k převedení *N* bitového vstupního slova potřebují *N* hodinových cyklů. Tento typ převodníků je, jak již bylo uvedeno v úvodu této kapitoly, označován za sériové převodníky. Typickým zástupcem této skupiny je převodník, který pro svou činnost využívá redistribuci náboje mezi dvěma kondenzátory. Zjednodušené schéma tohoto zapojení je zobrazeno na obrázku 4.11. [8]



Obrázek 4.11: Zjednodušené schéma sériového převodníku

Z obrázku lze vidět, že se zapojení skládá ze čtyř spínačů, ze dvou stejně velkých kondenzátorů a z referenčního zdroje napětí. Spínač SW_1 je označován jako redistribuční spínač a jeho sepnutím se kondenzátor C_2 paralelně připojí ke kondenzátoru C_1. Tímto dojde k vyrovnání náboje, a tedy i napětí na obou kondenzátorech. Spínače SW_2 a SW_3 slouží k nabití či vybití kondenzátoru C_1, a to v závislosti na logické úrovni převáděného bitu. Pomocí spínače SW_4 se vždy na začátku převodu vybije kondenzátor C_2.

Obrovskou výhodou tohoto zapojení je jeho přesnost, kdy je potřeba sesouhlasit pouze dva stejně velké kondenzátory. Při návrhu je však nutné počítat s parazitními kapacitami spínačů a s jevy, které jsou spojeny s technikou spínaných kondenzátorů (injekce náboje, *clock feedthrough*…). Mezi nevýhody patří velmi malá rychlost převodu a nutnost mít poměrně složitou digitální část čipu, která se stará o ovládání jednotlivých spínačů.

4.6 Porovnání a shrnutí vlastnosti

Tato kapitola popisovala různé a často používané architektury převodníků D/A, které jsou kompatibilní s CMOS technologií. Přehled nejdůležitějších vlastností shrnuje tabulka 4.1.

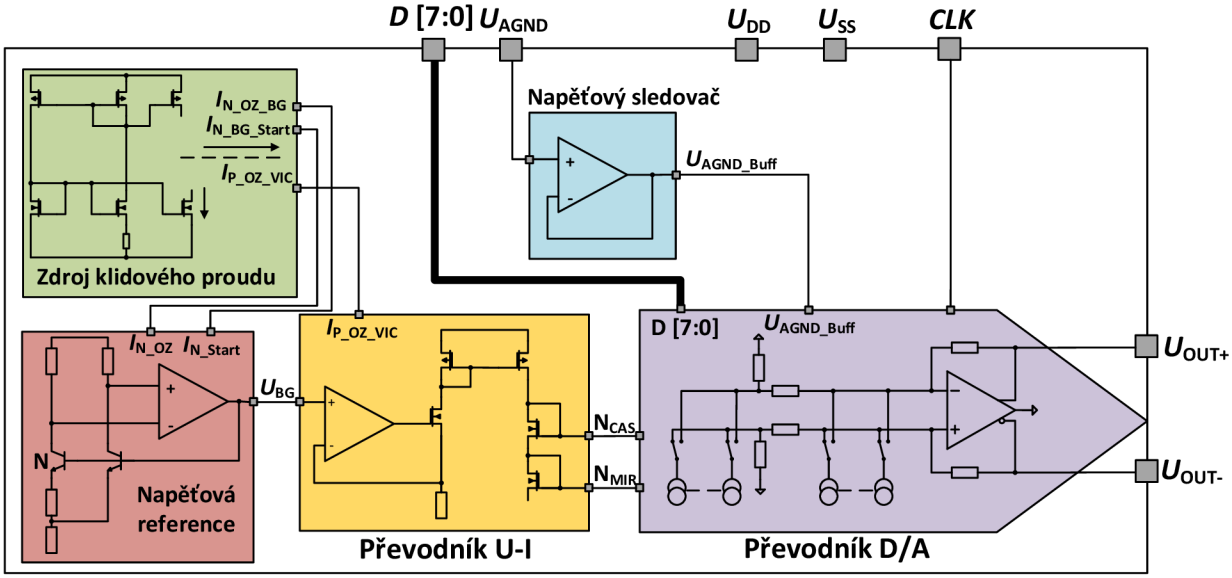
Tabulka 4.1: Přehled nejdůležitějších vlastností převodníků D/A [1]

Typ převodníku	Obrázek	Výhody	Nevýhody
Napěťový	4.2, 4.3	Monotónní, stejné rezistory	Plocha, citlivý na parazitní C
Nábojový	4.4	Největší přesnost	Plocha, rozptyl hodnot
Proudový – binárně váhované R	4.6	Rychlý, necitlivý na parazitní C	Rozptyl hodnot, nemonotónní
Proudový – síť R-2R	4.7	Rozptyl hodnot, větší přesnost	Pomalejší, citlivý na parazitní C
Proudový – proudové zdroje	4.8	Rychlý, necitlivý na parazitní C	Velký rozptyl hodnot
Proudový – rozdělení proudu	4.10	Redukován rozptyl hodnot a plocha	Vyžaduje precizní dělič
Sériový	4.11	Malá plocha	Rychlost, složité kontrolní obvody

5 Návrh převodníku D/A

Na následujících stranách je podrobně rozepsán postupný návrh převodníku. Na základě analýzy provedené v kapitole 4 byla pro svou rychlost, malou plochu a relativně dobrou přesnost zvolena architektura využívající proudové zdroje a proudový dělič (Obrázek 4.10).

Pro lepší pochopení všech navrhovaných částí je na obrázku 5.1 zobrazeno celkové blokové schéma převodníků. Samotné jádro tvoří plně diferenční převodník využívající strukturu spínaných proudů. Velkou výhodou všech plně diferenčních zapojení je, že velmi dobře potlačují šum. Je to z důvodu, že šum působí na oba výstupy stejně a lze jej tak požadovat za souhlasnou složku, která je velmi dobře potlačována. Další výhodou je, že jednotlivé výstupy jdou vždy napěťově proti sobě, takže rozdíl diferenciálního výstupního napětí je dvojnásobný oproti jednoduchému výstupu. Poslední výhodou, na kterou nelze při návrhu integrovaných obvodů zapomínat je, že oba výstupy jsou přes proces a teplotu ovlivňovány stejně, proto diferenciální napětí je i přes veškeré výrobní odchylky téměř konstantní. Na druhou stranu je potřeba poznamenat, že plně diferenciální zapojení často vedou ke složitějším strukturám.



Obrázek 5.1: Blokové schéma navrhovaného převodníku D/A

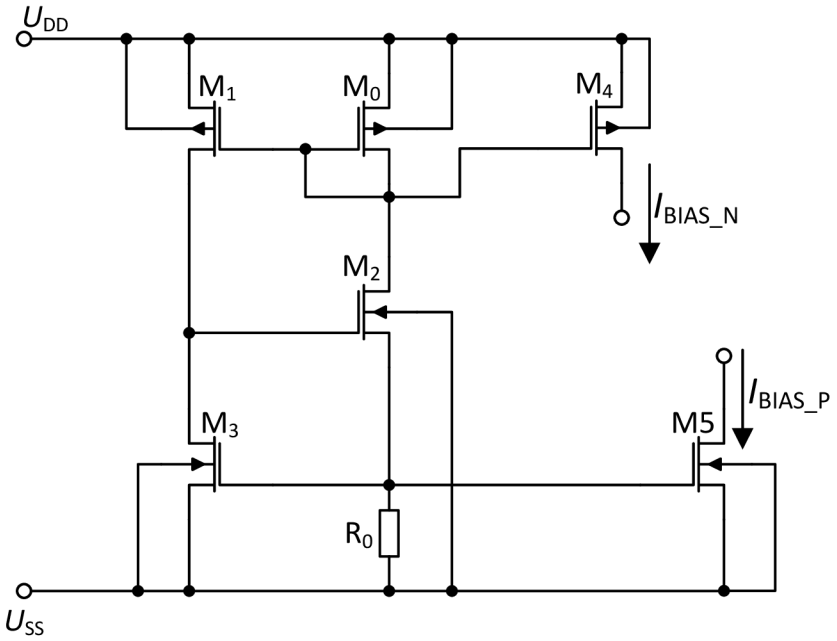
Struktura spínaných proudů pro svou činnost vyžaduje zdroj referenčního proud. Tento referenční proud je vytvářen pomocí dvou obvodů – napěťové reference a převodníku napětí na proud. Jako napěťová reference slouží Brokawova reference s operačním zesilovačem. Namísto této reference by mohla být použita i analogová zem U_{AGND}, ale z důvodu, že je toto napětí často pevně svázáno s napájením, které se běžně pohybuje v rozmezí ±10 % od své nominální hodnoty, mění se i velikost U_{AGND} o ±10 %. Toto kolísání by značně snížilo přesnost výsledného referenčního proudu. Výstupní proud je následně získán v převodníku napětí na proud.

Blokové schéma dále obsahuje dva pomocné obvody. Jedním z nich je napěťový sledovač analogové země, který slouží jako zdroj proudu pro proudový dělič v převodníku D/A. Přímé propojení analogové země s děličem proudu není zpravidla možné, jelikož je toto napětí vytvářeno na vysoko-impedančním děliči napětí, který není možné proudově zatížit. Druhým pomocným obvodem je zdroj klidového proudu, který slouží pro nastavení pracovních bodů tranzistorů v pomocných operačních zesilovačích.

Postup návrhu a výsledky simulací všech pomocných obvodů jsou uvedeny v následujících podkapitolách. Protože návrh samotného jádra je složitější, je pro přehlednost uveden v další samostatné kapitole.

5.1 Návrh klidového zdroje proudu

Každý operační zesilovač pro svou činnost potřebuje klidový zdroj proudu, kterým je napájen vstupní diferenční pár. Často se tento problém řeší pomocí proudového zrcadla, kde je proud dán úbytkem napětí na vstupním rezistoru. Jednou z nevýhod tohoto řešení je, že není žádným způsobem potlačena změna napájení. Proto pokud vzroste napájení o 10 %, vzroste o 10 % i výstupní proud. Dalším důvodem, proč toto řešení není příliš vhodné je fakt, že pro vytvoření proudu v řádu desítek mikroampér je potřeba velkých rezistorů, které by zbytečně zabíraly plochu čipu. Z těchto důvodů byl navržen obvod zobrazený na obrázku 5.2.



Obrázek 5.2: Zdroj klidového proudu s regulovanou kaskodou

Jedná se o proudovou referenci s regulovanou kaskodou. Stabilizace proudu spočívá v udržení konstantního napětí na rezistoru R_0. Tohoto konstantního napětí je dosaženo pomocí záporné zpětné vazby, kterou tvoří tranzistory M_2 a M_3. Princip zapojení je následující, pokud vzroste z jakéhokoliv důvodu napětí na rezistoru R_0, otevře se více tranzistor M_3, který tak na

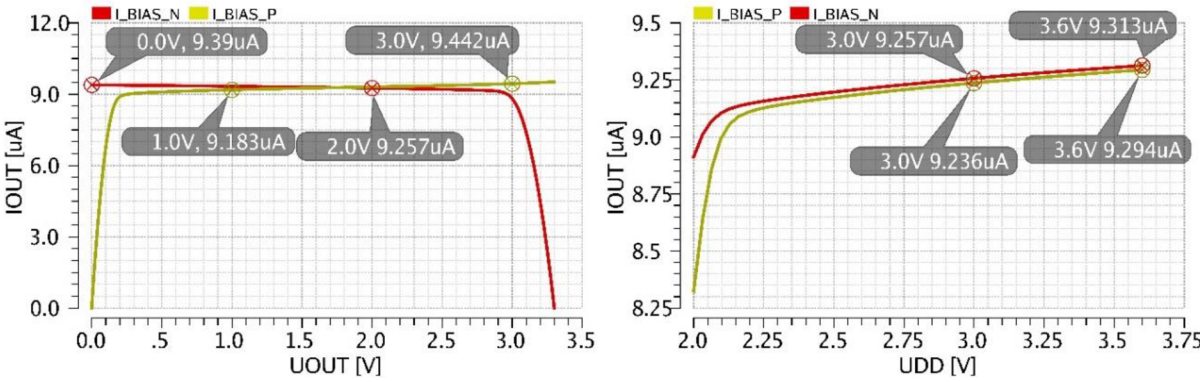
hradlo tranzistoru M_2 přivede nižší napětí. Tím se tranzistor M_2 přizavře a napětí na rezistoru se vrátí zpět na původní hodnotu. Z důvodu, že zapojení má dva možné pracovní body, byl do obvodu přidán startovací obvod, který má za úkol dostat obvod do požadovaného stavu.

Rozměry všech součástek vycházejí z rovnice pro saturační proud tranzistoru. Jako referenční hodnota proudu byla zvolena hodnota I_{REF} = 10 µA. Velikost rezistoru R_0 je dána součtem saturačního a prahového napětí tranzistoru M_3. Rozměry všech součástek jsou shrnuty v tabulce 5.1.

Tabulka 5.1: Rozměry součástek klidového zdroje proudu s regulovanou kaskodou

Součástka	***W/L* [µm/µm]**	**Součástka**	***W/L* [µm/µm]**
M_0	16/5	**M_3**	12/4
M_1	16/5	**M_4**	16/5
M_2	12/4	**M_5**	12/4
Rezistor	**Typ**	**Počet čtverců [-]**	**R [kΩ]**
R_0	HIPOR	80	78

Správná činnost navržené reference byla ověřena několika simulacemi. Jednou z nejdůležitějších vlastností všech proudových zdrojů obecně je výstupní odpor R_{OUT}. Na obrázku 5.4 (a) je zobrazena typická závislost výstupních proudů na hodnotě výstupního napětí. Z této závislosti poté byla určena hodnota výstupního odporu R_{OUT}. Na vedlejším obrázku 5.4 (b) je zobrazena závislost výstupního proudů na změně napájecího napětí. Jak je z obrázku patrné, výstupní proud se s napájením téměř nemění. Změna výstupního proudu přes procesy je tedy dána především změnou rezistoru R_0 a jelikož tento proud nemusí být nikterak přesný, není potřeba tento rezistor trimovat nebo jinak zvyšovat jeho přesnost. Přehledný souhrn simulací je uveden v tabulce 5.2 a průběhy corner analýz jsou zobrazeny v příloze.

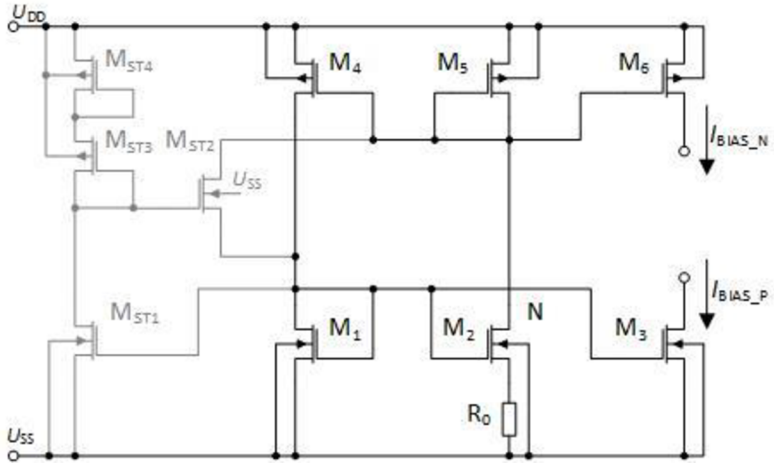


Obrázek 5.3:Reg. kaskoda: Závislost výstupního proudu na výstupním a napájecím napětí

Tabulka 5.2: Dosažené parametry klidového zdroje proudu s regulovanou kaskodou

Parametr	Min	Typ	Max	Jednotka
I_{REF}	6,214	9,279	16,05	μA
R_{OUT_N}	6,716	15,01	25,5	MΩ
R_{OUT_P}	5,476	7,713	11,76	MΩ
I_{BIAS_N} / U_{DD}	59,78	93,47	224,5	nA/V
I_{BIAS_P} / U_{DD}	55,98	96,58	265,5	nA/V

Velkou nevýhodou tohoto zdroje proudu je že zabírá velkou plochu čipu, a to hlavně díky velkému rezistoru R_0. Z tohoto důvodu byl pro porovnání navrhnut obvod zobrazený na obrázku 5.4, který tuto nevýhodu nemá.



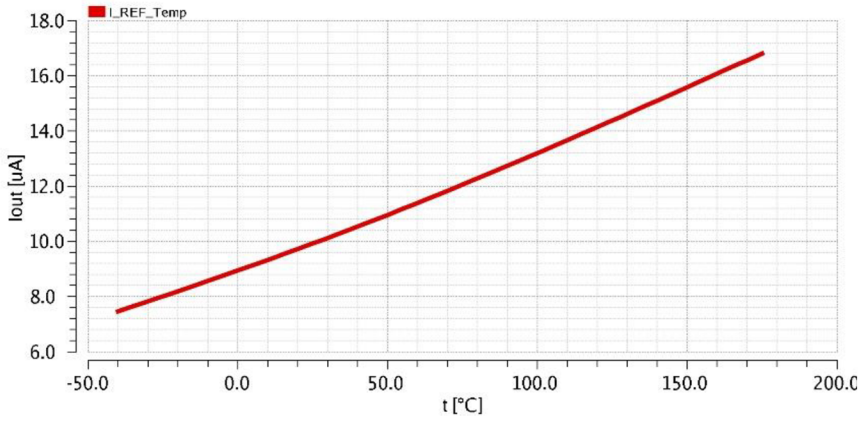
Obrázek 5.4: Zdroj klidového proudu s konstantním *gm*

Jedná se o zdroj klidového proudu s konstantní transkonduktancí. Princip činnosti tohoto zapojení je následující. Proudové zrcadlo tvořené tranzistory M_4 a M_5 dodává do obou větví obvodu stejný proud, který zároveň prochází tranzistory M_1 a M_2. V případě, že by tyto tranzistory měly stejnou velikost, musely by mít i stejné napětí U_{GS}. Ale z důvodu, že tranzistor M_2 je N krát větší než tranzistor M_1, vznikne mezi nimi rozdíl napětí ΔU_{GS}. Tento rozdíl se projeví jako úbytek napětí na rezistoru R_0, na kterém posléze vzniká požadovaný klidový proud.

Z důvodu, že po připojení napájecího napětí není zajištěna žádná proudová cesta mezi napájením a zemí (M_2 a M_4 zavřeny) není zajištěn ani start obvodu. Obvod tedy může zůstat v nežádoucím stavu, kdy obvodem neprochází žádný proud. Tento problém řeší startovací obvod složený z tranzistorů M_{ST1} až M_{ST4}. Funkce startovacího obvodu je následující. Při startu je tranzistor M_{ST1} uzavřený, díky čemuž tranzistory M_{ST3} a M_{ST4} vytáhnout hradlo tranzistoru

M_{ST2} blízko k napájecímu napětí. Ten se otevře a začne jím procházet proud, který prochází i tranzistory M_1 a M_5. Tím se postupně začnou otevírat tranzistory v jádru zdroje, čímž dojde k jeho nastartování. Zároveň dojde ke snížení U_{GS} tranzistoru M_{ST2}, který se uzavře a již neovlivňuje funkci obvodu.

Jak již bylo zmíněno výše, výhodou tohoto zapojení je malá plocha, která je snížena malým rezistorem. Nelze opomenout ani další výhodou tohoto zapojení a to, že klidový proud s rostoucí teplotou roste (PTAT, obrázek 5.5), čímž se efektivně kompenzuje teplotní chování MOS tranzistorů, kterým s rostoucí teplotou klesá transkonduktance. Pokud takovým typem proudu bude napájen vstupní diferenční pár operačního zesilovače, bude mít tento operační zesilovač frekvenci jednotkového zisku nezávislou na teplotě. Odtud také pochází název zapojení: klidový zdroj proudu s konstantním *gm*.



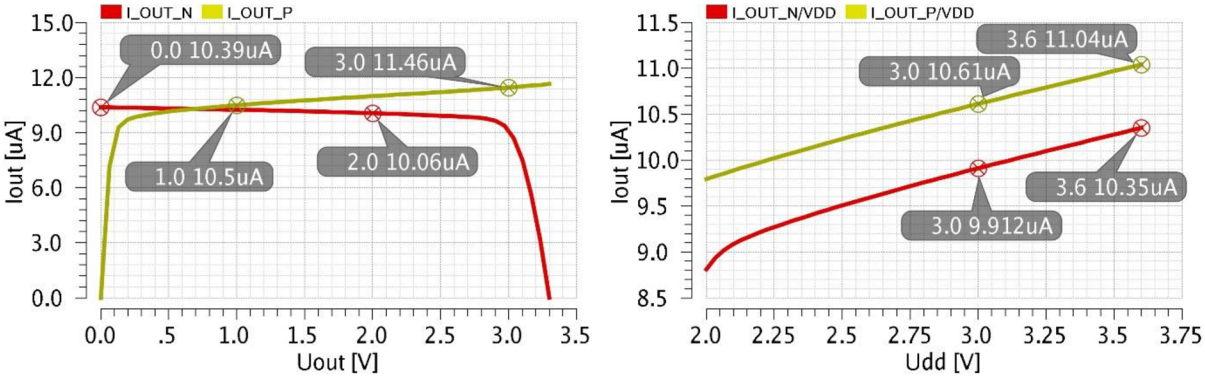
Obrázek 5.5: Konst. *gm* – závislost proudu na teplotě

Rozměry tranzistorů PMOS proudového zdroje opět vychází z rovnice pro saturační proud tranzistoru. Aby měl výstupní proud charakteristiku PTAT, musí tranzistory NMOS pracovat v podprahové oblasti, kde se MOS tranzistory chovají velice podobně jako bipolární tranzistory. Z tohoto důvodu byl pro tyto tranzistory zvolen velký poměr *W/L*. Rozměry všech součástek jsou uvedeny v tabulce 5.3.

Tabulka 5.3: Rozměry součástek klidového zdroje proudu s regulovanou kaskodou

Součástka	***W/L* [µm/µm]**	**Součástka**	***W/L* [µm/µm]**
$M_{1,3}$	12,4/1	**$M_{4,5,6}$**	6,4/2
M_2	4*12,4/1	**M_{ST1}**	3,1/1
M_{ST2}	1,5/1,5	**$M_{ST3,4}$**	1,0/2,7
Rezistor	**Typ**	**Počet čtverců [-]**	**R [kΩ]**
R_0	HIPOR	6	5,85

Stejně jako u předcházejícího zapojení, i v tomto případu bylo provedeno několik simulací, které ověřily správnou funkčnost obvodu. Na obrázku 5.6 je zobrazena závislost výstupního proudu na výstupním a na napájecím napětí.



Obrázek 5.6: Konst. *gm*: Závislost výstupního proudu na výstupním a napájecím napětí

Z obrázku je patrné, že tento obvod je více závislý na napájecím napětí než obvod s regulovanou kaskodou. Tento jev je způsoben tím, že tranzistor M_5 zapojený v diodové konfiguraci má konstantní napětí U_{GS}. Pokud tedy vzroste napájecí napětí, vzroste rovněž napětí na drainu tranzistoru M_2 a díky jeho malému výstupnímu odporu vzroste i klidový proud. Přehledný souhrn všech dosažených vlastností je uveden v tabulce 5.4.

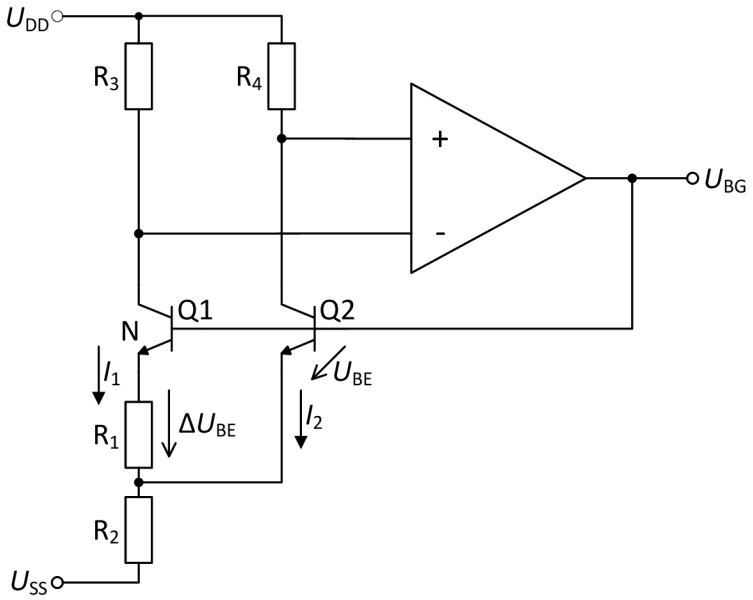
Tabulka 5.4: Dosažené parametry klidového zdroje proudu s konstantním *gm*

Parametr	Min	Typ	Max	Jednotka
I_{REF}	5,84	10,1	24,1	µA
R_{OUT_N}	1,89	6,14	10,7	MΩ
R_{OUT_P}	1,29	2,08	2,64	MΩ
I_{BIAS_N} / U_{DD}	517,6	734,6	1776	nA/V
I_{BIAS_P} / U_{DD}	510,4	715,1	1640	nA/V

Dosažené parametry obvodu jsou horší než v případě zapojení s regulovanou kaskodou. Pro klidový zdroj proudu, který pouze nastavuje pracovní body v pomocných obvodech, jsou však více než dostatečné. A díky tomu, že obvod zabírá velmi malou plochu a kompenzuje teplotní chování tranzistorů MOS, je nakonec v převodníku D/A použit.

5.2 Návrh napěťové reference

Úkolem napěťové reference je vytvářet, pokud možno co nejpřesnější napětí, které je nezávislé na procesu a teplotě. Jako vhodná struktura byla vybrána a navrhnuta bandgap reference s operačním zesilovačem zobrazená na obrázku 5.7.



Obrázek 5.7: Bandgap napěťová reference s OZ

5.2.1 Princip činnosti

Princip celého obvodu je následující. Operační zesilovač pomocí zpětnovazební smyčky udržuje na svých vstupech nulové diferenční napětí. Z tohoto důvodu je napětí na rezistorech R_3 a R_4 stejné a jelikož mají oba rezistory stejnou velikost, musí jimi procházet i stejné proudy, proto lze psát:

$$I_1 = I_2 \tag{5.1}$$

Kolektorový proud bipolárního tranzistoru je dán velikostí saturačního proudu I_S, plochou emitoru A_E, teplotou T a napětím mezi bází a emitorem U_{BE}. Pro tento proud platí rovnice:

$$I_C = I_S \cdot A_E \cdot e^{\frac{U_{BE}}{k.T/q}} \text{ [A]} \tag{5.2}$$

Úpravou předcházející rovnice lze získat vztah pro napětí mezi bází a emitorem a platí:

$$U_{BE} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{I_C}{I_S \cdot A_E}\right) \text{ [V]} \tag{5.3}$$

Jak již bylo popsáno výše tranzistory Q_1 a Q_2 protékají proudy o stejné velikosti. Protože tyto tranzistory nemají stejnou plochu, musí mít rozdílné napětí U_{BE}. Z Kirchhoffova zákona

pak lze odvodit, že se tento rozdíl projeví jako napětí na rezistoru R_1. A pro toto napětí poté platí:

$$U_{R1} = \Delta U_{BE} = \frac{k \cdot T}{q} \cdot [\ln\left(\frac{I_C}{I_S \cdot A_E}\right) - \ln\left(\frac{I_C}{I_S \cdot N \cdot A_E}\right)] = \frac{k \cdot T}{q} \cdot \ln(N) \text{ [V]} \tag{5.4}$$

Na předcházející rovnici je zajímavé, že z této rovnice byl zcela vykrácen saturační proud I_S. Rozdíl dvou napětí U_{BE} je tedy nezávislý na procesu a je dán pouze teplotou a rozdílnou proudovou hustotou dvou tranzistorů. Proud I_1 je poté dán jako:

$$I_1 = \frac{\Delta U_{BE}}{R_1} = \frac{k \cdot T/q \cdot \ln(N)}{R_1} \text{ [A]} \tag{5.5}$$

Hodnota proudů I_1 a I_2 se vzrůstající teplotou stoupá, a proto je lze považovat za PTAT zdroj proudu. Oproti tomu napětí mezi bází a emitorem se stoupající teplotou klesá (CTAT) a to přibližně o mínus 2 mV/°C [9]. Pro výpočet rezistorů R_1 a R_2 je nutné si nejdříve napsat rovnici pro výstupní napětí. Pro toto napětí platí:

$$U_{BG} = U_{BE2} + U_{R2} = U_{BE2} + 2 \cdot I_{1,2} \cdot R_2 = U_{BE2} + 2 \cdot \frac{k \cdot T/q \cdot \ln(N)}{R_1} \cdot R_2 \text{ [V]} \tag{5.6}$$

Vhodným poměrem rezistorů R_2 / R_1 lze tedy teoreticky vytvořit zdroj napětí, který je nezávislý na teplotě. Pro nulový teplotní koeficient musí být derivace výstupního napětí podle teploty nulová, proto:

$$\frac{dU_{BG}}{dT} = 0 = \frac{dU_{BE}}{dT} + 2 \cdot \frac{k/q \cdot \ln(N)}{R_1} . R_2 \text{ [V} \cdot \text{K}^{-1}\text{]} \tag{5.7}$$

Pro poměr rezistorů v ideálním případě tedy platí:

$$\frac{R_2}{R_1} = \frac{-dU_{BE}/dT}{2.k/q \cdot \ln(N)} \text{ [}-\text{]} \tag{5.8}$$

Z předcházejících rovnic vyplývá, že závislost napětí na teplotě může být zcela eliminována. Tyto rovnice, ale neuvažují s efekty vyšších řádů, a proto nelze tuto závislost úplně vyrušit.

5.2.2 Výpočet součástek

Při návrhu této napěťové reference je nejprve nutné zvolit poměr proudových hustot. Tento poměr je získán tak, že tranzistor Q_1 je složen z N paralelně připojených tranzistorů. Pro dobrou shodu v topologii je zvoleno $N = 8$. Tento poměr umožňuje vhodné vyskládání tranzistorů do čtverce.

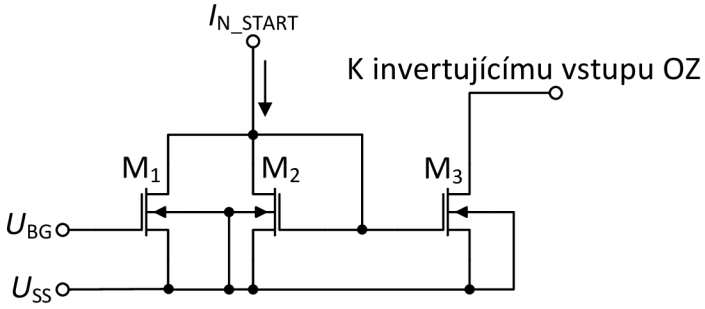
V dalším kroku byla zvolena hodnota proudu I_1. Pro nižší proudovou spotřebu byla tato hodnota zvolena o velikosti $I_1 = 10$ μA. Velikost rezistoru R_1 je poté dána rovnicí 5.5 a platí:

$$R_1 = \frac{\Delta U_{\mathrm{BE}}}{I_1} = \frac{k \cdot T/q \cdot \ln(N)}{I_1} = \frac{26m \cdot \ln(8)}{10\,\mu} = 5{,}4\ \mathrm{k\Omega} \tag{5.9}$$

Poměr rezistorů R_2 a R_1 je dán vztahem 5.8. Dle výpočtu by tento poměr měl být 5,6. V závislosti na výsledcích simulací byl tento poměr upraven až na hodnotu 5,1, při které byla závislost výstupního napětí na teplotě nejmenší. Poté je velikost rezistoru R_2 rovna $R_2 = 27{,}5$ kΩ. Z důvodu, že tyto rezistory musí být při návrhu topologie sesouhlaseny, je nutné, aby jednotlivé rezistory byly tvořené ze stejných jednotek. Výsledný odpor je poté získán sérioparalelním zapojením těchto jednotek.

Velikost rezistorů R_3 a R_4 byla zvolena tak, aby rozdíl napětí mezi kolektorem a emitorem tranzistorů Q_1 a Q_2 nebyl příliš malý. Při nízkém rozdílu by se tranzistory dostaly do nežádoucího režimu saturace. Velikost těchto rezistorů je $R_3 = R_4 = 85$ kΩ.

Protože obvod má dva pracovní stavy, byl navržen startovací obvod zobrazený na obrázku 5.8. Při zapnutí napájení protéká tranzistorem M_2 proud $I_{\mathrm{N_START}}$. Tento proud je pomocí tranzistoru M_3 zrcadlen do jádra napěťové reference, kde vytváří na rezistoru R_3 úbytek napětí. Díky tomu je operační zesilovač rozvážen a pomocí zpětné vazby se snaží srovnat napětí na svých vstupech. Tím dojde k růstu výstupního napětí, a tedy i k nastartování reference. Jakmile výstupní napětí dosáhne prahového napětí tranzistoru M_1, dojde k postupnému otevírání tohoto tranzistoru. Díky tomu tímto tranzistorem začne procházet proud $I_{\mathrm{N_START}}$ a stáhne hradla tranzistorů M_2 a M_3 k zemi. To má za následek zavření těchto tranzistorů a startovací obvod tak přestane ovlivňovat jádro reference. Velikosti všech součástek jsou uvedeny v tabulce 5.5.



Obrázek 5.8: Startovací obvod pro napěťovou referenci

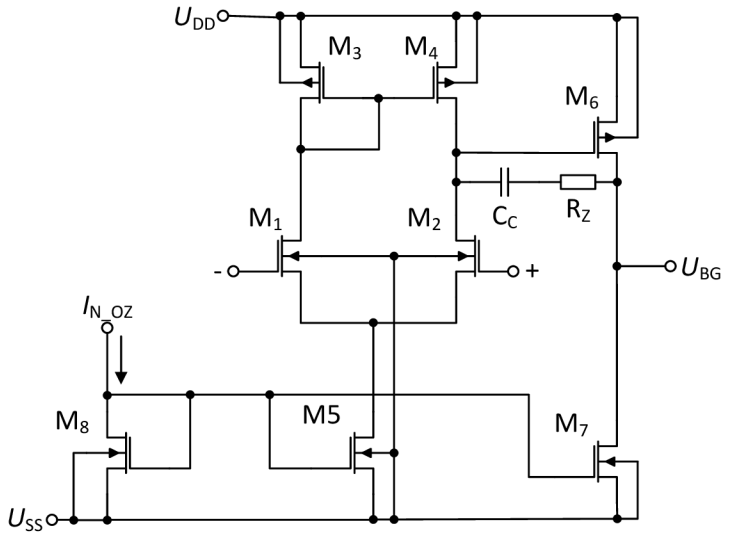
Tabulka 5.5: Přehled součástek jádra napěťové reference

Součástka	Typ	Velikost
Q_1	vnb5u0	8x
Q_2	vnb5u0	1x
$R_{3,4}$	HIPOR	85 kΩ
R_1	HIPOR	5,4 kΩ
R_2	HIPOR	27,5 kΩ
M_1	NMOS	4 μm / 2 μm
$M_{2,3}$	NMOS	2 μm / 2 μm

5.2.3 Návrh operačního zesilovače

Operační zesilovač tvoří důležitou součást jádra napěťové reference. Jak již bylo zmíněno v předcházející kapitole, úkolem operačního zesilovače je udržovat na svých vstupech, a tedy na rezistorech R_3 a R_4 nulové diferenční napětí. Z tohoto důvodu je důležité, aby měl operační zesilovač co nejmenší vstupní napěťovou nesymetrii a co největší zisk. Protože zesilovač pracuje s prakticky stejnosměrnými signály, není při návrhu důležitá rychlost přeběhu *SR* ani šířka jednotkového zisku *GBW*.

Jako vhodná struktura byla vybrána dvojstupňová struktura transkonduktančního zesilovače. Vstupy operačního zesilovače se pohybují blízko napájecího napětí, proto vstupní diferenciální pár tvoří tranzistory NMOS. Schéma celého zapojení je zobrazeno na obrázku 5.9.



Obrázek 5.9: Schéma operačního zesilovače

Pro nejlepší časovou odezvu na jednotkovou změnu signálu by hodnota fázové bezpečnosti *PM* neměla klesnout pod 60°. Pro tuto hodnotu lze odvodit, že hodnota kompenzační kapacity musí být: [10]

$$C_{\mathrm{C}} \geq 0{,}22 \cdot C_{\mathrm{L}}\ [\mathrm{F}] \tag{5.10}$$

Kapacita C_L je dána součtem parazitních kapacit na čipu a hradlovou kapacitou vstupu operačního zesilovače převodníku napětí-proud. Při výpočtu bylo počítáno s celkovou kapacitou C_L o velikosti C_L = 4 pF. Na základě toho byla kompenzační kapacita zvolena o velikosti C_C = 1,6 pF. Protože pro tento operační zesilovač není kritická frekvence jednotkového zisku, bylo pro nízkou napěťovou nesymetrii a vysoký zisk zvoleno saturační napětí vstupního diferenciálního páru o velikosti U_{DSAT} = 0,2 V. Klidový proud I_{N_OZ} je dán zdrojem klidového proudu popsaného v kapitole 5.1 a jeho velikost je I_{N_OZ} = 10 µA. Poté poměr W/L tranzistorů M_1 a M_2 je dán rovnicí pro proud tranzistorem v saturaci a platí:

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \cdot \frac{I_{\mathrm{N_{START}}}}{2}}{KP_{\mathrm{N}} \cdot U_{\mathrm{DSAT}}^2} = \frac{10\mu}{166\mu \cdot 0{,}2^2} = 1{,}5 \tag{5.11}$$

Transkonduktanci poté lze vypočítat jako:

$$gm_1 = \frac{2 \cdot \frac{I_{\mathrm{N_{START}}}}{2}}{U_{\mathrm{DSAT}}^2} = \frac{10\mu}{0{,}2^2} = 50\ \mu\mathrm{S} \tag{5.12}$$

Saturační napětí aktivní zátěže bylo pro nízkou napěťovou nesymetrii zvoleno o velikosti U_{DSAT} = 0,3 V. Výpočet je podobný jako u výpočtu vstupního diferenciálního páru a poměr W/L těchto tranzistorů vyjde $(W/L)_{3,4}$ = 2,85. Transkonduktance těchto tranzistorů poté je $gm_{3,4}$ = 33,33 µS.

Pro transkonduktanci výstupního tranzistoru M_6 platí vztah [11]

$$gm_6 = 2{,}2 \cdot gm_1 \cdot \frac{C_{\mathrm{L}}}{C_{\mathrm{C}}} = 2{,}2 \cdot 50\mu \cdot \frac{4\mathrm{p}}{1{,}6\mathrm{p}} = 275\ \mu\mathrm{S} \tag{5.13}$$

Pro nízkou napěťovou nesymetrii je nutné, aby tranzistory aktivní zátěže (M_3 a M_4) měly stejné napětí U_{GS}. Toho se dosáhne vhodným rozměrem výstupního tranzistoru M_6, pro který musí platit:

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_{3,4} \cdot \frac{gm_6}{gm_4} = 2{,}85 \cdot \frac{275\mu}{33{,}33\mu} = 23{,}51 \tag{5.14}$$

Proud druhým stupněm lze poté jednoduše určit jako:

$$I_6 = \frac{gm_6^2}{2 \cdot KP_P \cdot \left(\frac{W}{L}\right)_6} = \frac{275\mu^2}{2.39 \cdot 23{,}51} = 41{,}2\ \mu\text{A} \tag{5.15}$$

Proud 41,2 µA není celočíselným násobkem vstupního proudu, proto by jeho přesné vytvoření bylo problematické. Z tohoto důvodu byl výstupní proud zvolen o velikosti 40 µA a šířka tranzistoru M_6 poté byla určena z výsledku parametrické analýzy.

Kompenzační rezistor R_Z má za úkol potlačit nulu vzniklou připojením kompenzačního kondenzátoru a pro jeho velikost platí:

$$R_Z = \frac{1}{gm_6} = \frac{1}{275\mu} = 3{,}7\ \text{k}\Omega \tag{5.16}$$

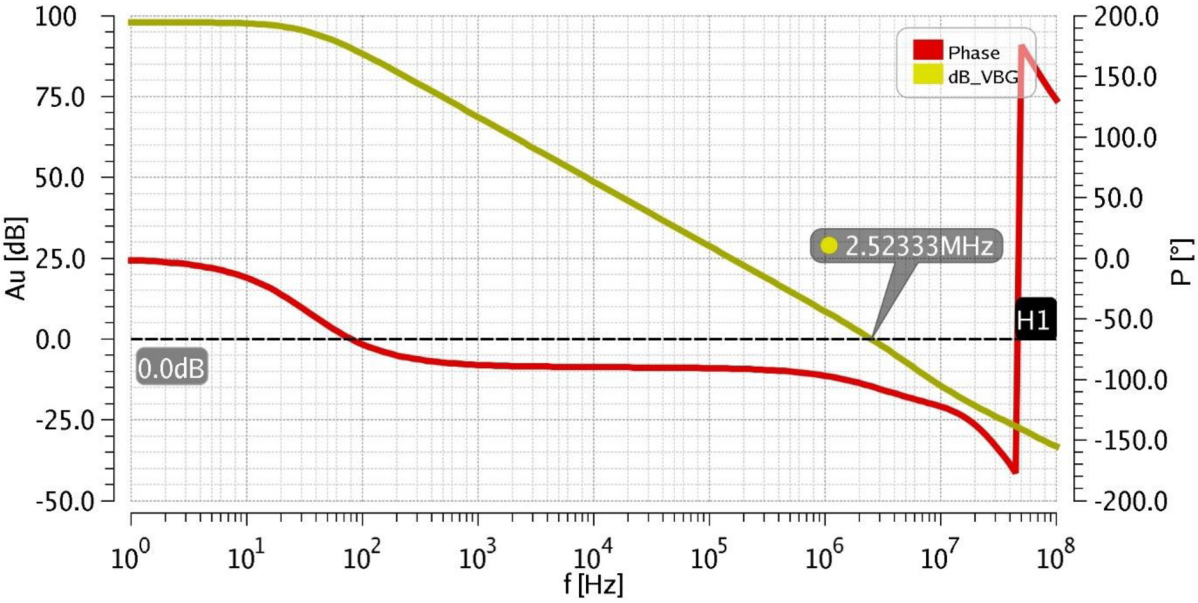
Protože kompenzační impedance tvořená kondenzátorem C_C a rezistorem R_Z určuje stabilitu nejen samotného operačního zesilovače, ale celé zpětnovazební smyčky napěťové reference, byla jejich velikost na základě výsledků simulací zvětšena až na hodnoty C_C = 3,3 pF a R_Z = 9 kΩ.

Délka kanálu tranzistorů prvního stupně operačního zesilovače byla volena s ohledem na požadovanou nízkou napěťovou nesymetrii. Vodivost výstupních tranzistorů by měla být v nejlepším případě totožná, a protože by se délka tranzistoru M_7 neměla měnit, byla podobná vodivost doladěna délkou kanálu tranzistoru M_6. Rozměry všech součástek jsou uvedeny v tabulce 5.6.

Tabulka 5.6: Přehled součástek OZ v napěťové referenci

Součástka	Typ	W/L [µm/µm]	Počet [-]
$M_{1,2}$	NMOS	11,4 / 8,0	2
$M_{3,4}$	PMOS	11,8 / 8,0	2
$M_{5,8}$	NMOS	6,00 / 2,0	1
M_6	PMOS	36,2 / 1,5	1
M_7	NMOS	6,00 / 2,0	4
Pasivní součástky			
Součástka	**Typ**		**Velikost**
C_C	MIMC		3,3 pF
R_Z	HIPOR		9,0 kΩ

Stabilita a frekvenční vlastnosti navrženého operačního zesilovače byly zjištěny pomocí AC analýzy. Průběh frekvenční charakteristiky pro typický proces je zobrazena na obrázku 5.10. Výsledky souběhové (*DC match*) a corner analýzy jsou uvedeny v tabulce 5.7.



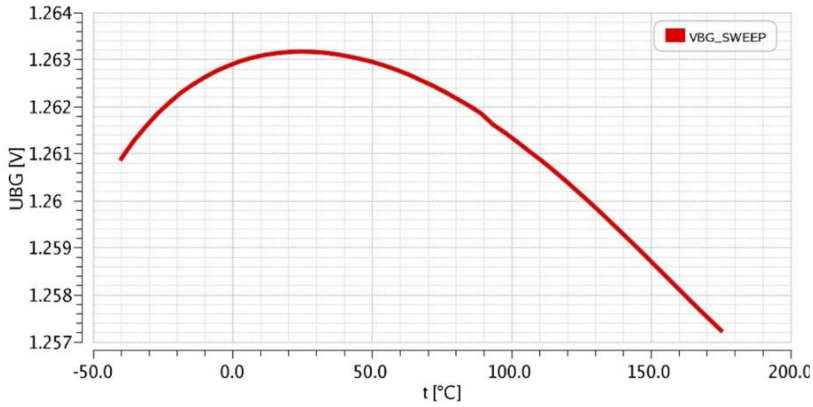
Obrázek 5.10: Frekvenční charakteristika OZ v napěťové referenci

Tabulka 5.7: Dosažené parametry OZ v napěťové referenci @C_L = 3 pF + C_{GATE}

Parametr	Min	Typ	Max	Jednotka
GBW	1,845	2,524	3,567	MHz
A_0	81,71	97,95	102,6	dB
PM	63,68	74,26	84,29	°
GM	-31,46	-27,35	-24,16	dB
U_{OF} **systematický**		40,89 n	71,75 µ	V
U_{OF} **náhodný (6σ)**		5,467		mV
P	95,53	153,9	282,6	µW

5.2.4 Dosažené parametry

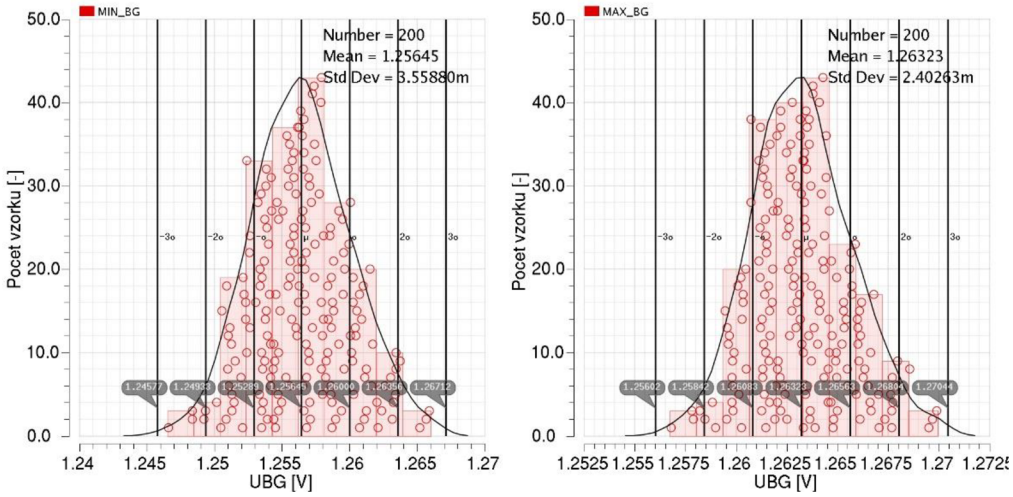
Po výpočtu velikosti součástek byla provedena řada simulací, které ověřily funkčnost a parametry navržené napěťové reference. Celý obvod byl simulován v automobilovém rozsahu teplot. Závislost výstupního napětí na teplotě pro typický proces je zobrazena na obrázku 5.11. Jak je z obrázku patrné, křivka má dle předpokladů parabolický průběh.



Obrázek 5.11: Závislost referenčního napětí na teplotě

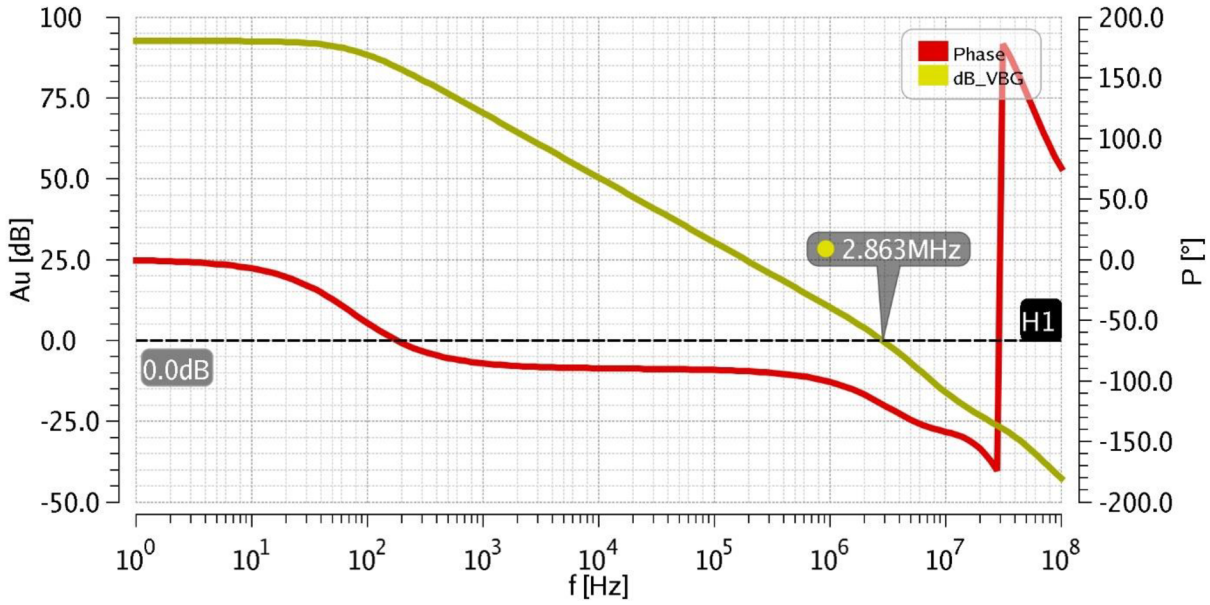
Funkčnost a přesnost navrženého obvodu byla zjištěna pomocí corner analýzy. Pro reálnější výsledky byla při této analýze do obvodu zanesena i náhodná napěťová nesymetrie použitého operačního zesilovače. Průběh corner analýzy je zobrazen v příloze.

Při procesních cornerech je počítáno s tím, že parametry všech použitých součástek se při výrobě dostanou až na specifikační mez. Při použití více součástek (MOS, BJT, více druhů poly rezistorů) je však pravděpodobnost takové kombinace malá. Z tohoto důvodu byla v nominálních podmínkách provedena Monte Carlo analýza s rozmítáním procesu a souběhu. Statistické rozložení minimální a maximální hodnoty referenčního napětí je zobrazeno na obrázku 5.12. Z obrázku a z tabulky 5.6 je patrné, že výstupní napětí získané tímto způsobem leží v intervalu hodnot, který je dán corner analýzou. Lze tedy říct, že v naprosté většině případů bude výstupní napětí ležet v intervalu od 1,224 V do 1,309 V.



Obrázek 5.12: Statistické rozložení minimální a maximální hodnoty referenčního napětí

Dalším neméně důležitým parametrem napěťové reference je její stabilita. Z tohoto důvodu byla provedena AC analýza celé zpětnovazební smyčky. Průběh frekvenční charakteristiky pro typický proces je zobrazen na obrázku 5.13. Při této analýze byla na výstup reference přidána vstupní část převodníku napětí na proud a kondenzátor o velikosti 500 fF, který modeluje parazitní kapacity. Tímto způsobem je zajištěna simulace se skutečnou zátěží. Výsledky simulace jsou, podobně jako výsledky teplotní analýzy, uvedeny v tabulce 5.8



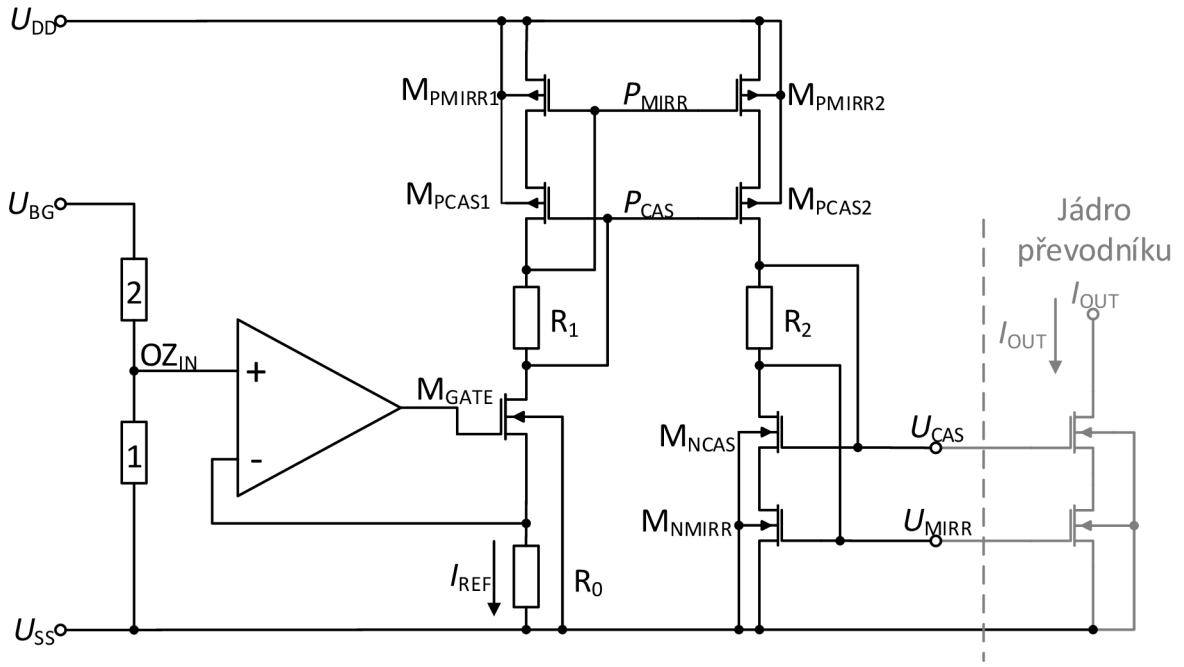
Obrázek 5.13: Frekvenční charakteristika zpětnovazební smyčky napěťové reference

Tabulka 5.8: Dosažené parametry napěťové reference

Parametr	Min	Typ	Max	Jednotka
U_{BG} – cornery	1,224	1,263	1,309	V
U_{BG} – 6σ	1,235		1,277	V
Přesnost			±3,8	%
P	123,6	210,6	428,0	µW
A_U	74,34	92,59	94,47	dB
GBW	1,766	2,866	4,376	MHz
PM	48,22	60,59	75,7	°
GM	-28,76	-27,13	-19,82	dB

5.3 Návrh převodníku napětí – proud

Úkolem převodníku napětí na proud je, jak již název napovídá, převést vstupní referenční napětí na přesný výstupní proud. Na obrázku 5.14 je zobrazena navrhnutá struktura zapojení.



Obrázek 5.14: Zapojení převodníku napětí na proud

Vstupní referenční napětí je přivedeno na dělič napětí, jehož výstup je připojen k neinvertujícímu vstupu operačního zesilovače. Tento operační zesilovač poté pomocí zpětné vazby udržuje mezi svými vstupy nulové diferenční napětí. Výstupní napětí děliče je tedy přeneseno na invertující vstup. Díky tomu, že je do tohoto uzlu rovněž zapojen rezistor R_0, začne jím procházet proud, který je dán jako:

$$I_{\mathrm{REF}} = \frac{U_{\mathrm{BG}}}{3 \cdot R_0}\ [\mathrm{A}] \tag{5.17}$$

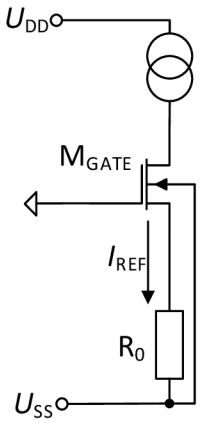
Tento referenční proud je následně pomocí proudového zrcadla přenesen do výstupní části, kde vytváří napětí U_{CAS} a U_{MIRR}, které nastavují pracovní body proudových nor v samotném jádru převodníku D/A. Toto řešení umožňuje dosáhnutí vysokého výstupního odporu v řádu stovek MΩ.

Vstupní dělič napětí je použit ze dvou hlavních důvodů. Prvním důvodem je, že díky tomuto děliči je možné zmenšit rezistor R_0, který poté lze lépe sesouhlasit se zpětnovazebními rezistory v samotném jádru převodníku. Druhou výhodou tohoto řešení je, že díky snížení napětí na source tranzistoru M_{GATE}, mohlo být použito kaskodové zrcadlo s velkým napěťovým rozsahem, které přenáší referenční proud do výstupní části s velmi malou chybou.

5.3.1 Výpočet součástek

Pro výpočet vstupní části je nejprve nutné zvolit referenční proud. Pro nižší spotřebu a dostatečnou hodnotu *LSB* proudu byla zvolena hodnota I_{REF} = 16 μA. Velikost samotného rezistoru je pak dána rovnicí 5.17.

Na obrázku 5.15 je zobrazeno zapojení vstupní části bez operačního zesilovače. Z tohoto zjednodušení lze získat požadované vlastnosti na operační zesilovač a na zpětnovazební tranzistor M_1.



Obrázek 5.15: Zapojení vstupní části převodníku *U–I*

Při předpokladu, že je tranzistoru M_{GATE} vhodně nastaven pracovní bod, funguje rezistor R_0 jako záporná zpětná vazba. Pokud z jakéhokoliv důvodu vzroste referenční proud I_{REF}, vzroste napětí na rezistoru R_0. Tím klesne napětí U_{GS} a přes transkonduktanci *gm* se referenční proud vrátí zpět na svou původní hodnotu. Pro výstupní odpor tohoto zapojení platí:

$$R_{\mathrm{OUT}} = \frac{1}{g_{\mathrm{dsGATE}}} \cdot (1 + gm_{\mathrm{GATE}} \cdot R_0)\ [\Omega] \tag{5.18}$$

Jak vyplývá z předcházející rovnice, pro vysoký výstupní odpor, a tedy pro přesný referenční proud je nutné zajistit vysokou transkonduktanci (ideálně nekonečnou). Velikost transkonduktance je dána drainovým proudem a rozměry tranzistoru. Protože je proud dán a nelze jej měnit, je transkonduktance limitována rozměry tranzistoru. Pro velkou hodnotu transkonduktance by bylo nutné použít obrovský tranzistor, který by i tak měl *gm* nedostatečné. Z tohoto důvodu se do zpětné vazby zapojuje operační zesilovač, který svým ziskem „zesílí“ transkonduktanci tranzistoru M_{GATE} a tím zvýší celkový výstupní odpor. Pro výstupní odpor poté lze psát:

$$R_{\mathrm{OUT}} = \frac{1}{g_{\mathrm{dsGATE}}} \cdot (1 + (A+1) \cdot gm_{\mathrm{GATE}} \cdot R_0)\ [\Omega] \tag{5.19}$$

Velikost výstupního odporu je stále dána transkonduktancí *gm*, proto byla zvolena hodnota saturačního napětí tohoto tranzistoru o velikosti U_{DSAT} = 0,2 V.

U operačního zesilovače opět nejsou kritické střídavé parametry jako šířka pásma nebo rychlost přeběhu, ale velikost stejnosměrného zesílení a napěťové nesymetrie. Pro svůj velký zisk byla opět vybrána dvojstupňová struktura. Z důvodu, že se vstupní napětí pohybuje blízko nulového potenciálu je použito zapojení s PMOS diferenčním párem. Postup návrhu je podobný jako u návrhu operačního zesilovače v napěťové referenci, a proto zde nebude uveden. Rozměry součástek jsou uvedeny v tabulce 5.7, jeho parametry pak v tabulce 5.8.

Tabulka 5.9: Přehled součástek OZ v převodníku napětí na proud

Součástka	Typ	*W/L* [µm/µm]	Počet [-]
$M_{1,2}$	PMOS	12,9 / 4,0	2
$M_{3,4}$	NMOS	10,5 / 7,0	1
$M_{5,8}$	PMOS	10,3 / 2,5	2
M_6	NMOS	8,60 / 1,1	1
M_7	PMOS	10,3 / 2,5	5
Pasivní součástky			
Součástka	**Typ**	**Velikost**	
C_C	MIMC	1,35 pF	
R_Z	HIPOR	10 kΩ	

Tabulka 5.10: Dosažené parametry OZ v převodníku U-I @C_L = 1 pF + C_{GATE}

Parametr	Min	Typ	Max	Jednotka
GBW	4,989	6,811	9,93	MHz
A_0	82,14	94,19	99,32	dB
PM	51,98	62,58	69,93	°
GM	-26,11	-19,75	-14,33	dB
U_{OF} **systematický**		399,9 n	107,6 µ	V
U_{OF} **náhodný (6σ)**		9,854		mV
P	101,3	188,9	483,7	µW

Proudové zrcadlo tvořené tranzistory PMOS přenáší referenční proud do výstupní části obvodu. Výstupní odpor tohoto zrcadla by měl být, pokud možno co největší, aby se referenční proud do výstupní části nezrcadlil s chybou. Z tohoto důvodu je, jak již bylo zmíněno výše, použito kaskodové proudové zrcadlo s velkým dynamickým rozsahem.

Velikost součástek tohoto proudového zrcadla vychází z požadavků na vysoký výstupní odpor. Saturační napětí tranzistorů M_{PMIRR} bylo zvoleno o velikosti U_{DSAT} = 0,25 V. Délka kanálu pak o velikosti L = 3µm. Volbou tohoto parametru je dosaženo dostatečného výstupního odporu a zároveň, při vhodném vyskládání v topologii, je mezi těmito tranzistory zajištěn dobrý souběh.

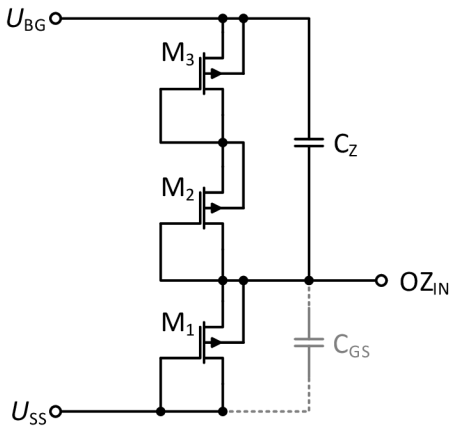
Šířka kanálu kaskodových tranzistorů M_{PCAS} byla zvolena o stejné délce, jako mají tranzistory M_{PMIRR}. To umožní sdílení sourcového kontaktu tranzistoru M_{PCAS} s drainovým kontaktem tranzistoru M_{PMIRR}, což vede ke snížení plochy tohoto zrcadla. Délka kanálu byla zvolena o velikosti L = 0,7 µm. Tímto je u těchto tranzistorů zajištěna velká transkonduktance, a tedy vysoký výstupní odpor zrcadla (rovnice 5.18, r_{DS2} nahradí R_0).

Postup návrhu výstupní části je velmi podobný návrhu jako u kaskodového zrcadla s tranzistory typu PMOS. Protože souběh tranzistorů v proudových zdrojích určuje výslednou přesnost převodníku, byla velikost tranzistorů M_{NCAS} a M_{NMIRR} nejprve určena pomocí skriptu, který byl napsán v programu Matlab. Výsledné rozměry poté byly upraveny na základě výsledků Monte Carlo analýzy. Pro snížení vlivu změny prahového napětí bylo saturační napětí tranzistoru M_{NMIRR} zvoleno o velikosti U_{DSAT} = 0,35 V. Pro další snížení vlivu prahového napětí by bylo vhodné tento parametr ještě zvýšit. To však nebylo možné, protože v takovém případě se, v určitých procesních odchylkách, nenacházely tranzistory připojených proudových zdrojů v saturaci. Rozměry všech použitých součástek jsou uvedeny v tabulce 5.11.

Tabulka 5.11: Přehled velikostí součástek převodníku napětí-proud

Součástka	***W/L* [µm/µm]**	**Počet [-]**	**Součástka**	***W/L* [µm/µm]**	**Počet [-]**
M_{GATE}	9,60 / 2,0	1	**$M_{PCAS1,2}$**	19,3 / 0,7	2
M_{PMIRR1}	19,3 / 3,0	2	**M_{PMIRR2}**	19,3 / 3,0	2
M_{NCAS}	8,20 / 1,3	2	**M_{NMIRR}**	8,20 / 11	2
Pasivní součástky					
Součástka	**Typ**	**Velikost**	**Součástka**	**Typ**	**Velikost**
R_0	HIPOR	24,4 kΩ	**$R_{1,2}$**	HIPOR	24,4 kΩ

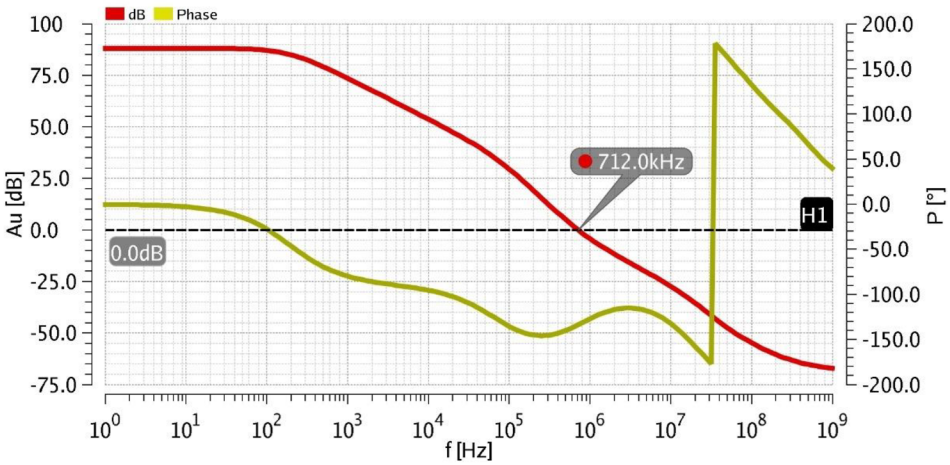
Posledním částí, kterou bylo potřeba navrhnout, je vstupní dělič napětí. Při návrhu tohoto děliče bylo nutné zajistit jeho malou plochu a zároveň dostatečný odpor tak, aby proudově nezatěžoval napěťovou referenci. Z těchto důvodu byla navržena struktura na obrázku 5.16.



Obrázek 5.16: Navrhnutý dělič napětí

Jedná se o dělič napětí složený z tranzistorů typu PMOS v diodovém zapojení. Aby nedocházelo ke zkreslení, které by bylo způsobeno body efektem, jsou bulky tranzistorů spojeny se source kontakty. Nevýhodou tohoto řešení je, že každý tranzistor musí být ve vlastní kapse (*well*). To způsobuje nárůst plochy, protože požadovaná vzdálenost mezi kapsami s různým potenciálem je poměrně velká (2,1 µm, u I3T25 [5]). Poměr *W/L* byl simulací určen tak, aby děličem procházel proud v řádu desítek nA. Rozměry těchto tranzistorů poté jsou *W/L* = 5 µm / 1 µm.

Připojením děliče vznikne ve frekvenční oblasti celé zpětnovazební smyčky pól, který je dán odporem tranzistoru M_1 a hradlovou kapacitou připojeného diferenčního páru. Tento pól, který je na poměrně nízké frekvenci (cca 30 kHz), způsobuje nestabilitu celé smyčky. Frekvenční charakteristika smyčky s nevykompenzovaným děličem napětí je zobrazena na obrázku 5.17.



Obrázek 5.17: Frekvenční char. zpětnovazební smyčky bez použití kompenzačního C

Aby celý systém byl stabilní je nutné tento pól vykompenzovat. Z tohoto důvodu je mezi referenční napětí a vstup operačního zesilovače připojen kondenzátor C_Z. Tímto kondenzátorem vznikne pro střídavý signál druhá signálová cesta, která vytváří nulu v levé polorovině a kompenzuje tak vzniklý pól. Aby se pól nulou správně vykompenzoval, musí mít oba prvky stejnou časovou konstantu a platí:

$$\tau_P = \tau_Z \tag{5.20}$$

Což lze dále rozepsat na:

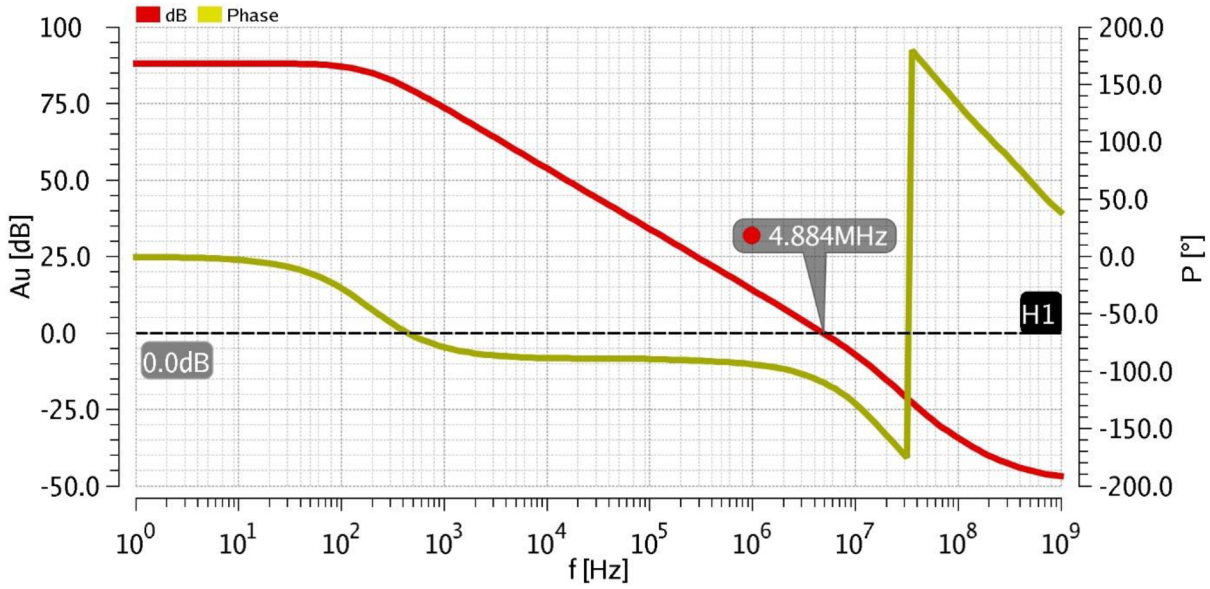
$$r_{M1} \cdot C_{GS} = (r_{M2} + r_{M3}) \cdot C_Z \tag{5.21}$$

Při předpokladu, že všechny tranzistory mají stejný dynamický odpor, lze pro kompenzační kondenzátor psát:

$$C_Z = \frac{1}{2} \cdot C_{GS} \tag{5.22}$$

Velikost kapacity C_{GS} byla zjištěna pomocí simulace a její velikost je C_{GS} = 275 fF. Podle výpočtu by kompenzační kapacita měla mít velikost 137,5 fF. Tato hodnota však díky vlivům parazitních kapacit (C_{GS} M_1 a M_2), musela být upravena až na hodnotu C_Z = 96 fF.

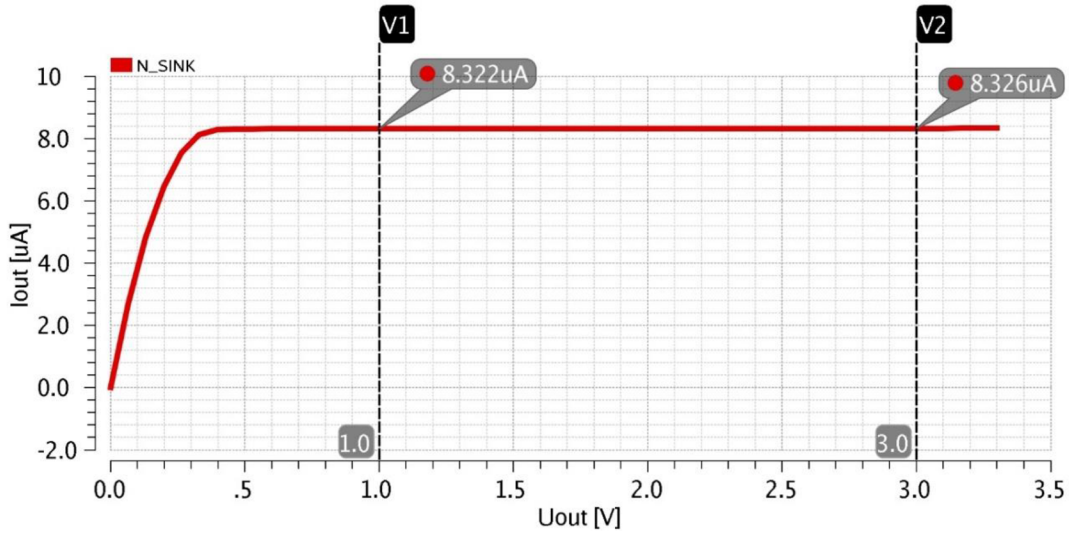
Vykompenzovaná frekvenční závislost smyčky referenčního proudu je zobrazena na obrázku 5.18. Průběh corner analýzy je zobrazen v příloze. Z těchto průběhů lze vidět, že frekvence nuly a pólu se v určitých procesních odchylkách liší. Obvod se však v oblasti jednotkového zisku vždy chová jako jednopólový systém, který má dostatečnou fázovou i amplitudovou bezpečnost a je tedy stabilní.



Obrázek 5.18: Frekvenční char. zpětnovazební smyčky s kompenzačním C

5.3.2 Dosažené parametry

Po zjištění stability obvodu byla ověřena závislost proudu na výstupním napětí. Výsledky celého převodníku napětí na proud jsou uvedeny v tabulce 5.12. Protože se výstupní odpor R_{OUT} proudového zrcadla mění s počtem paralelně připojených jednotek, je v tabulce uveden údaj pro nejmenší hodnotu proudu, který je použit v samotném jádru převodníku D/A. Při každém zdvojnásobení výstupního proudu (paralelním připojení proudových jednotek) se výstupní odpor sníží o polovinu. Typická závislost nejmenšího výstupního proudu na napětí je zobrazena na obrázku 5.19.



Obrázek 5.19: Závislost referenčního proudu na výstupním napětí

Tabulka 5.12: Dosažené parametry převodníku napětí na proud

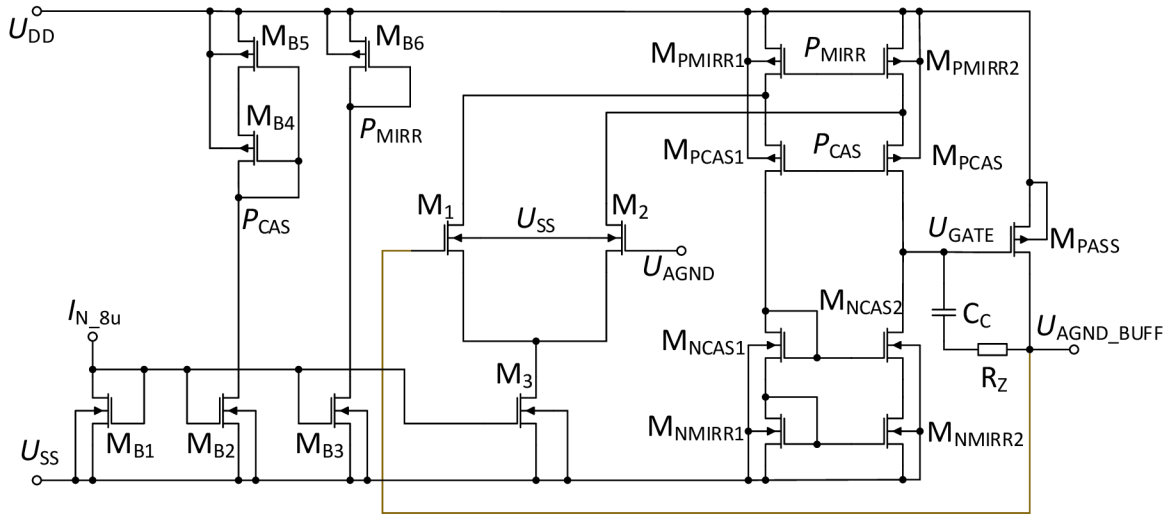
Parametr	Min	Typ	Max	Jednotka
I_{REF}	11,25	16,64	24,28	µA
R_{OUT}*	288,5	496,6	930,8	MΩ
$U_{OUT,MIN}$		538,15	857,54	mV
P	168,9	298,7	658	µW
GBW	4,674	5,854	7,599	MHz
A_0	72,06	88,12	94,74	dB
PM	72,23	73,84	79,68	°
GM	-26,35	-25,33	-16,63	dB

* Pro I_{REF} / 2

5.4 Návrh sledovače napětí

Sledovač napětí má za úkol snížit případnou vysokou impedanci vstupní analogové země U_{AGND}, čímž umožňuje proudovým děličům toto napětí zatížit.

Navrhovaný sledovač napětí musí dodávat proud v rozsahu od 100 µA do 400 µA. Z tohoto důvodu byla navrhnuta struktura zobrazená na obrázku 5.20, která připomíná jednoduchý napěťový regulátor skládající se z operačního zesilovače a z propouštěcího tranzistoru typu PMOS.



Obrázek 5.20: Navržený napěťový sledovač

Jako vhodná struktura operačního zesilovače byla vybrána složená kaskoda. Velkou výhodou této struktury je, že se samotný operační zesilovač chová jako jednopólový systém a nemusí se nijak kompenzovat. Připojením propouštěcího tranzistoru M_{PASS} vznikne druhý pól, jenž je kompenzován zpětnovazební impedancí, kterou tvoří kondenzátor C_C a rezistor R_Z. Při použití dvojstupňového operačního zesilovače (obrázek 5.9, napěťová reference) by se obvod choval jako třípólový systém, který by bylo obtížnější stabilizovat.

Pro snížení náhodné napěťové nesymetrie byla velikost tranzistorů diferenčního páru zvolena s velkým poměrem *W/L*. Pomocí této volby je snížen vliv chyby proudových zrcadel na výslednou hodnotu napěťové nesymetrie. Diferenční pár a ostatní větve nejsou napájeny zdrojem klidového proudu (kapitola 5.1), ale pomocí výstupu z převodníku napětí na proud a jeho typická velikost je $I_N = 8$ µA.

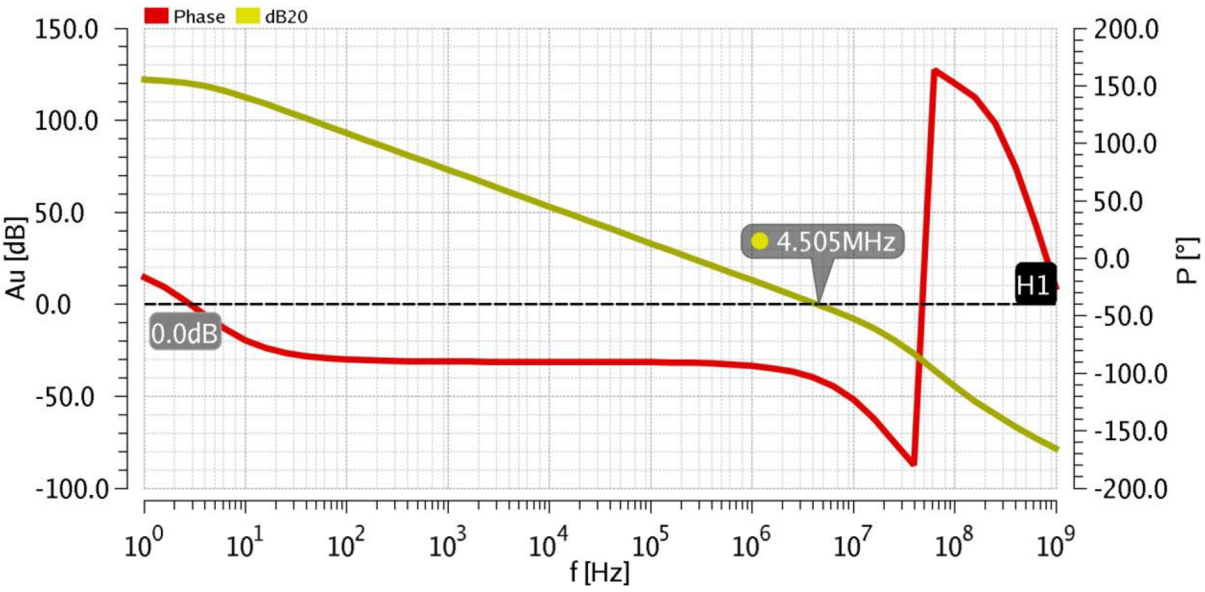
Velikost výstupního tranzistoru M_{PASS} byla zvolena na základě výsledků DC simulace. Vhodný rozměr byl vybrán tak, aby mohl být použit tranzistor s největším poměrem *W/L* a zároveň aby se tranzistory M_{PMIRR2} a M_{PCAS2} vždy nacházely v saturaci. Díky tomu, že se napětí v uzlu U_{GATE} pohybuje poměrně vysoko ($U_{DD} - U_{GS,\,PASS}$) mohlo být jako aktivní zátěž použito klasické kaskodové zrcadlo.

Tranzistory M_{BX} slouží ke správnému nastavení pracovních bodů tranzistorů složené kaskody. Za zmínku stojí tranzistory M_{B4} a M_{B5}, které nastavují pracovní bod pro tranzistory připojené k uzlu P_{CAS}. Aby byl zajištěn dobrý souběh mezi těmito tranzistory, jsou rozměry všech tranzistorů shodné. Napěťového posunutí je pak dosaženo pomocí tranzistoru M_{B5}, který slouží jako záporná zpětná vazba. Výhodou tohoto řešení je, že všechny součástky mají stejnou závislost na procesu a je tedy jednoduší nastavit pracovní body v celém rozptylu procesu a teplot. Nevýhodou je vyšší proudová spotřeba. Rozměry všech součástek shrnuje tabulka 5.13.

Tabulka 5.13: Přehled velikostí součástek napěťového sledovače

Součástka	*W/L* [µm/µm]	Počet [-]	Součástka	*W/L* [µm/µm]	Počet [-]
$M_{1,2}$	10,0 / 1,00	2	$M_{3, B1}$	3,00 / 2,00	2
$M_{PMIRR1,2}$	15,7 / 1,00	2	$M_{PCAS1,2}$	15,7 / 0,70	1
$M_{NMIRR1,2}$	4,00 / 4,00	1	$M_{NCAS1,2}$	4,00 / 0,40	1
$M_{B2,3}$	3,00 / 2,00	1	M_{B4}	15,7 / 0,70	1
M_{B5}	1,95 / 2,05	1	M_{B6}	15,7 / 1,00	1
Pasivní součástky					
Součástka	**Typ**	**Velikost**	**Součástka**	**Typ**	**Velikost**
C_C	MIMC	2,646 pF	R_Z	HIPOR	9,5 kΩ

Stabilita obvodu byla opět zjišťována pomocí AC simulace. Při této simulaci byl k výstupu napěťového sledovače připojen ideální proudový zdroj a malá parazitní kapacita o velikosti 2 pF. Tímto způsobem je druhý pól obvodu na své nejnižší možné frekvenci, která je pro stabilitu nejhorší. Pokud v kompletním zapojení bude k výstupu sledovače připojen dělič napětí, poklesne výstupní odpor sledovače (paralelní zapojení M_{PASS} a děliče) a pól se dostane na vyšší frekvenci. Lze tedy říct, že pokud bude sledovač stabilní se zátěží v podobě proudového zdroje, bude stabilní i se zátěží v podobě proudového děliče. Typický průběh frekvenční charakteristiky je zobrazen na obrázku 5.21. Parametry sledovače pak v tabulce 5.14.



Obrázek 5.21: Frekvenční charakteristika napěťového sledovače

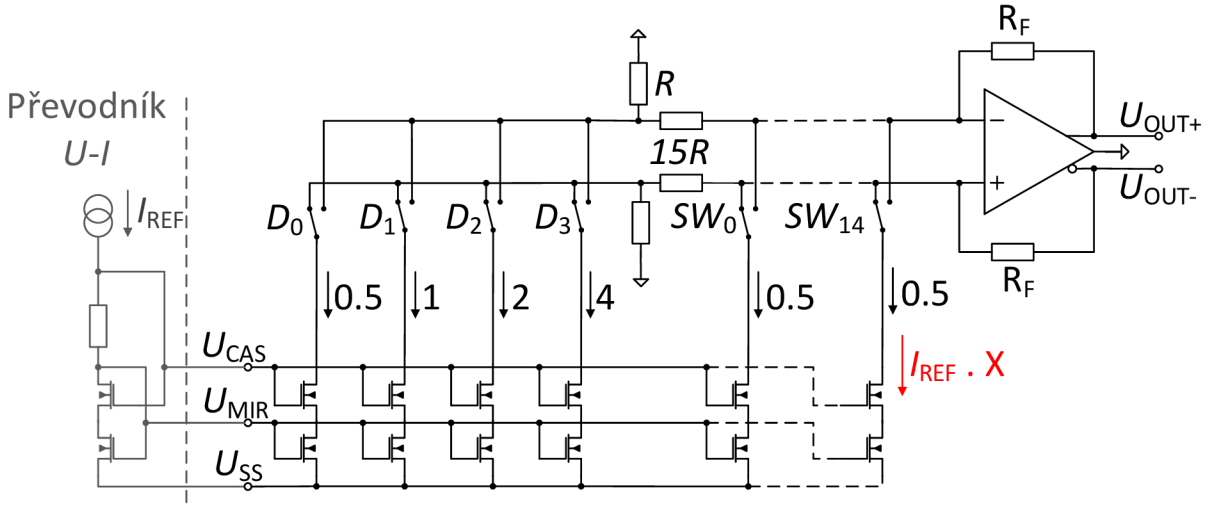
Tabulka 5.14: Dosažené parametry sledovače napětí

Parametr	Min	Typ	Max	Jednotka
I_{LOAD}	100		400	µA
U_{OFFSET} (6σ)		21,46		mV
P	52,5	57,0	139,8	µW
GBW	2,776	4,505	7,524	MHz
A_0	105,73	122,06	124,45	dB
PM	60,54	74,96	90,25	°
GM	-41,51	-27,10	-14,54	dB

6 Návrh jádra převodníku D/A

V následujících podkapitolách je popsán postup návrhu samotného jádra převodníku. Navržený obvod je zobrazen na obrázku 6.1 a jak již bylo zmíněno v úvodu předcházející kapitoly, jedná se o plně diferenční převodník, který pro svou činnost využívá dvou sub – převodníků. Převodník, který převádí první čtyři *LSB* bity je tvořen binárně váhovanými proudovými norami a jeho výstup je následně snížen na požadovanou hodnotu pomocí proudového děliče. Binárně váhovaný převodník je pro návrh jednodušší, ale jeho nevýhody spočívají v menší přesnosti a větších přechodových špičkách. Z těchto důvodu převádí čtyři *MSB* bity převodník využívající jednotkové proudové nory, které jsou přesnější, ale pro svou činnost vyžadují dekodér a více přepínačů, čímž se zvyšuje celková plocha čipu.

Výhodou zvoleného řešení je menší rozptyl součástek a použití pouhých třiceti nor, čímž se zlepší souběh zrcadel, a tak i přesnost celého převodníku. Dále díky tomu, že se proudové děliče chovají jako převodníky jednoduchého signálu na diferenční, není nutné používat další obvody, které by zvyšovaly celkovou plochu čipu. Nevýhodou zapojení však je vyšší proudová spotřeba a nutnost vytvoření přesného proudového děliče. Podrobnější popis je uveden v teoretickém úvodu v kapitolách 4.3 a 4.4.

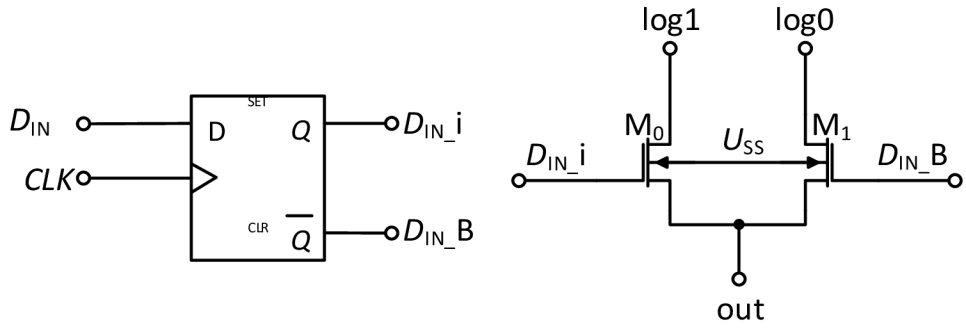


Obrázek 6.1: Zapojení jádra převodníku D/A

Při postupném návrhu byly zkoušeny i možnosti, kdy byly použity dva binární nebo dva jednotkové převodníky. Použití dvou binárních převodníků nebylo možné, protože vznikala velká chyba *DNL* v polovině rozsahu (0111 1111 => 1000 0000), kdy pro snížení této chyby pod 0,5 LSB bylo potřeba velkých tranzistorů. Oproti tomu možnost s dvěma jednotkovými převodníky neměla význam z důvodu, že naprostá většina chyb vznikala v *MSB* části převodníku a použití dvou dekodérů zabíralo plochu navíc.

6.1 Návrh přepínačů

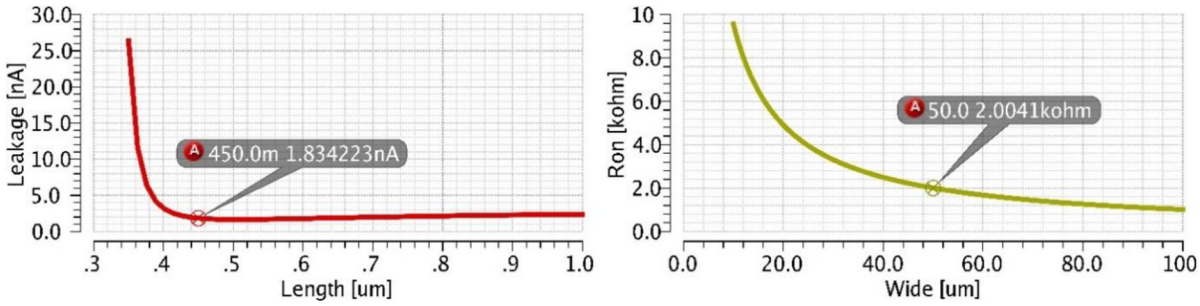
Přepínače v proudových převodnících D/A slouží k připojení či odpojení zdrojů proudu od výstupu. Na obrázku 6.2 je zobrazena navržená struktura zapojení. Jelikož je použita plně diferenciální struktura, musí být použity dva spínače, kdy jeden je vždy sepnutý a druhý rozepnutý. Přepínače poté připojují proudové zdroje ke kladnému nebo zápornému výstupu převodníku. Výhodou tohoto řešení je, že připojeným proudovým zdrojem stále prochází proud, čímž nedochází k vybití parazitních kapacit. Vybití a znovu nabíjení těchto kapacit by způsobovalo větší nežádoucí překmity a zpoždění převodníku. V obvodu je dále zapojen klopný obvod typu D, který ovládá výstupní spínače, potlačuje rušení vznikající v digitální části čipu a hlavně nastavuje časování celého obvodu.



Obrázek 6.2: Zapojení navrhnutého přepínače

Jelikož se v podstatě jedná o digitální obvod, nabízí se použití minimální délky kanálu, ale z důvodu, že je obvod navrhován i na vysokých teplotách (175 °C), byl by vliv svodových proudů (dále leakage) poměrně velký a obvod by nemusel fungovat správně. Proto při nejhorším případu, kterým je vysoká teplota a rychlý proces, byla provedena simulace závislosti leakage na délce hradla. Z těchto výsledků, které jsou zobrazeny na obrázku 6.3, byla poté určena délka kanálu, od které již velikost leakage neklesá.

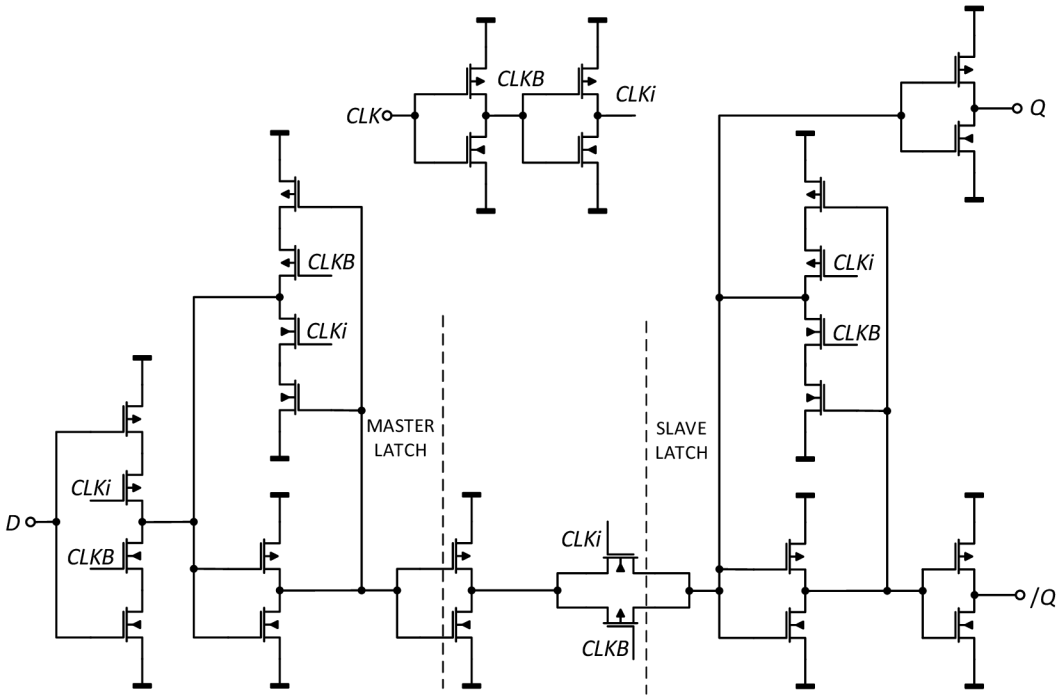
U spínačů je důležité, aby měly co největší vodivost kanálu. Proto opět ze simulace pro nejhorší případ (vysoká teplota, pomalý proces), byla určena šířka kanálu, při které je odpor spínače 2 kΩ.



Obrázek 6.3:Závislost leakage na délce kanálu a závislost odporu spínače na šířce kanálu

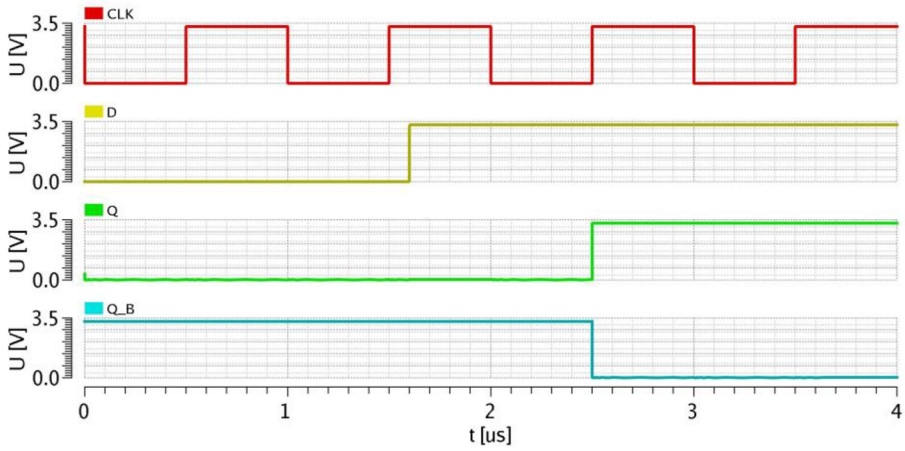
Dalším důležitým krokem při návrhu přepínače, byl návrh klopného obvodu typu D. Aby byla snížená celková plocha čipu, bylo nutné zvolit strukturu klopného obvodu, který pro

svou činnost využívá malého počtu tranzistorů. Z tohoto důvodu byla navržena struktura zobrazena na obrázku 6.4.



Obrázek 6.4: Navržený klopný obvod typu D

Obvod se skládá ze dvou klopných obvodů závislých na logické úrovni hodinového signálu (dále latch), které odděluje komplementární spínač. Pokud je hodinový signál v logické nule, je vstupní signál *D* přenesen master latchem k rozepnutému spínači a předcházející stav obvodu je udržen pomocí druhého slave latche. Při změně hodinového signálu k logické jedničce se sepne spínač, čímž se výstup prvního latche přenese na výstup obvodu, zároveň se odpojí vstupní signál *D*, čímž se znemožní změna výstupního stavu a výstupní stav je držen pomocí prvního master latche. Jak je z popisu a z obrázku 6.5 patrné změna výstupního signálu se mění pouze při nástupní hraně hodinového signálu.



Obrázek 6.5: Časová analýza navrženého klopného obvodu

V následujících tabulkách 6.1 a 6.2 jsou uvedeny rozměry navrženého přepínače, respektive jeho dosažené parametry. V navrženém klopném obvodu mají tranzistory stejného typu totožnou velikost, proto je v tabulce uveden rozměr pouze jedné součástky.

Tabulka 6.1: Rozměry součástek navrženého přepínače

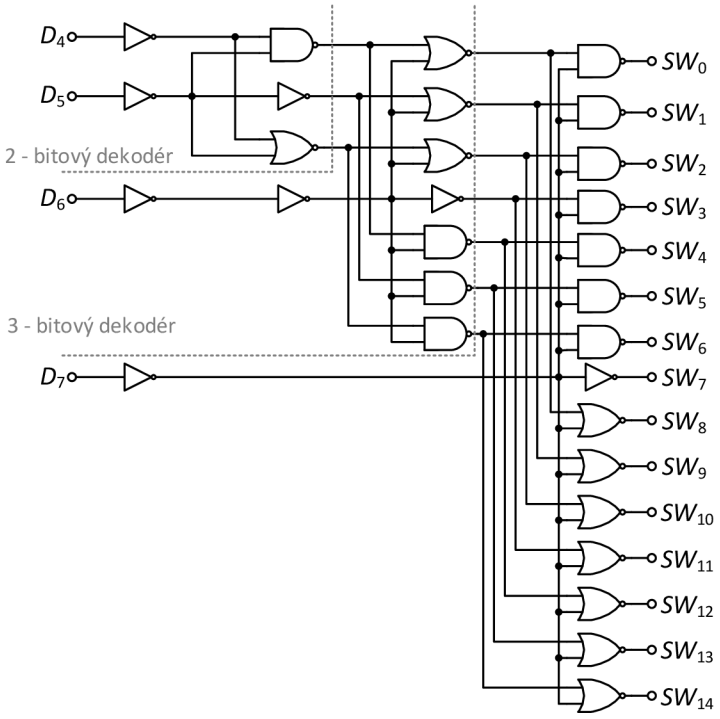
Součástka	*W/L* [µm/µm]	Součástka	*W/L* [µm/µm]
M_0	50,0 / 0,45	M_1	50,0 / 0,45
M_{NMOS}	1,35 / 0,45	M_{PMOS}	4,00 / 0,40

Tabulka 6.2: Parametry navrženého spínače

Parametr	Typ	Worst case	Jednotka
R_{ON}	942,8	2004	Ω
Leakage	7,38	1834,2	pA

6.2 Návrh dekodéru

Jak již bylo několikrát zmíněno, *MSB* část navrhovaného obvodu obsluhuje převodník využívající jednotkové proudové nory. Protože tento typ převodníku není přímo řízen vstupním binárním číslem, bylo nutné navrhnout dekodér, který toto číslo převádí na tzv. termometrický kód. Zapojení navrženého dekodéru je zobrazeno na obrázku 6.6.



Obrázek 6.6: Schéma dekodéru z binárního čísla na termometrický kód

Schéma navrženého obvodu se skládá ze sériového zapojení tří dekodérů, kdy výstup předcházejícího dekodéru je přiveden na vstup následujícího. Existují i dekodéry, které mají pro jednotlivé výstupní spínače (SW_X) vlastní logiku. Tento způsob však není příliš flexibilní, a to především díky tomu, že často nejsou používány pouze dvouvstupová hradla a při přidání/ubráni bitu je nutné celou logiku přepracovat. Druhou nevýhodou by bylo složitější vytváření topologie, kdy by bylo nutné navrhovat topologii více logickým členům.

Navržený dekodér ani jednu z těchto nevýhod nemá, jelikož počet bitů lze jednoduše měnit přidáním/ubráním dílčího dekodéru a při vytváření topologie je nutné navrhnout topologii pouze třem logickým hradlům. Nevýhodou tohoto zapojení může být nárůst plochy čipu, ale jelikož se jedná o digitální obvod s téměř minimálními rozměry, není tento růst nikterak dramatický. Výsledná časová analýza navrženého dekodéru je zobrazena v příloze.

6.3 Návrh proudových zdrojů

Tranzistory v proudových zdrojích musí být sesouhlaseny s výstupními tranzistory převodníku napětí na proud (kapitola 5.3), proto je velikost těchto tranzistorů totožná (8,2 µm / 11µm) a pro získání požadovaného proudu se mění pouze počet paralelně připojených tranzistorů. Jak je z obrázku 6.1 patrné, nejmenší proud protékající proudových zdrojem je poloviční než referenční proud o velikosti 16 µA. Nejmenší (*LSB*) proud, protékající zpětnovazebním rezistorem R_F, se poté získá rozdělením tohoto proudu přes proudový dělič a platí pro něj:

$$I_{\mathrm{LSB}} = \frac{I_{\mathrm{REF}}}{2} \cdot \frac{1}{16} = \frac{16\,\mu}{32} = 0{,}5\ \mathrm{nA} \tag{6.1}$$

Z této hodnoty proudu, lze jednoduše určit maximální výstupní proud, pro který platí:

$$I_{\mathrm{MAX}} = I_{\mathrm{LSB}} \cdot 2^{N-1} = 0{,}5n \cdot 2^{7} = 127{,}5\,\mu\mathrm{A} \tag{6.2}$$

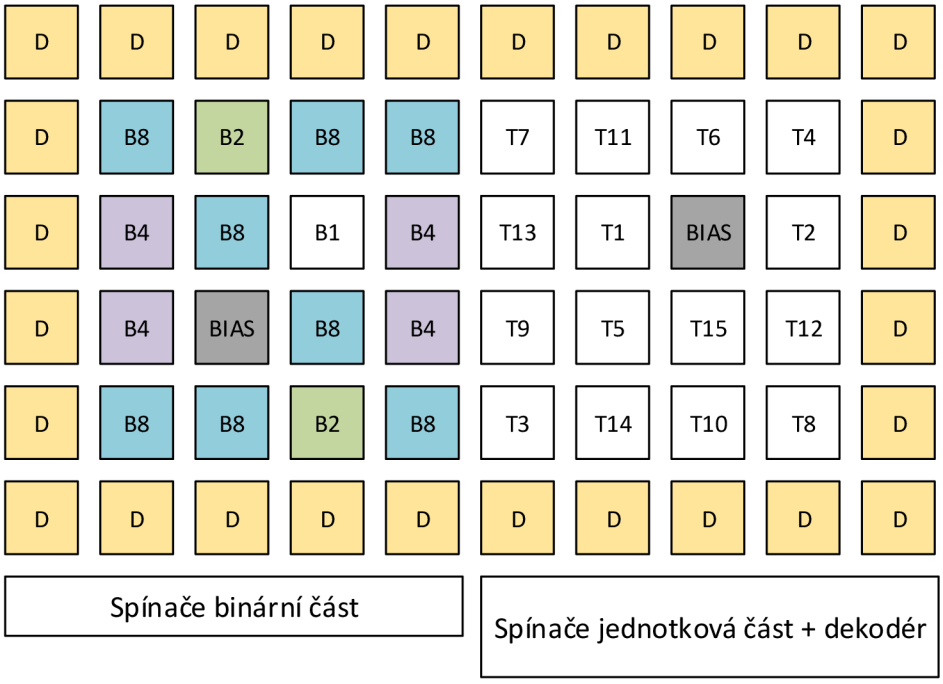
Pro výpočet zpětnovazebních odporů je nejprve nutné zvolit hodnotu maximálního výstupního napětí. Pro větší dynamický rozsah byla tato hodnota zvolena o velikosti $U_{\mathrm{OUT,max}} = 2$ V. Protože jdou oba výstupy proti sobě, je diferenční napětí výstupu dvojnásobné. Hodnotu zpětnovazebního odporu R_F lze získat z velikosti maximálního proudu a napětí a platí:

$$R_{\mathrm{F}} = \frac{U_{\mathrm{OUT,max}}}{I_{\mathrm{MAX}}} = \frac{2}{127{,}5\,\mu} = 15{,}7\ \mathrm{k\Omega} \tag{6.3}$$

Budou-li tyto rezistory sesouhlaseny s rezistorem, který určuje velikost referenčního proudu I_{REF} (R_0 ve převodníku U-I, kap. 5.3), budou všechny rezistory ovlivněny jak procesem, tak i teplotou stejně. Poté lze říci, že výstupní napětí bude přes procesy a teplotu téměř konstantní.

Souběh proudových nor určuje přesnost výsledného převodníku, proto je na obrázku 6.7 zobrazen příklad vhodně navržené topologie proudových zdrojů a okolních spínačů. Struktura binárně váhovaných nor (BX) byla navržena s co největší symetrií tak, aby vliv teploty a výrobního procesu byl co nejmenší. Při volbě pozic jednotkových nor (TX) bylo postupováno tak, aby dvě sousedící buňky nebyly spínány po sobě, čímž je možné potlačit případnou chybu *DNL*.

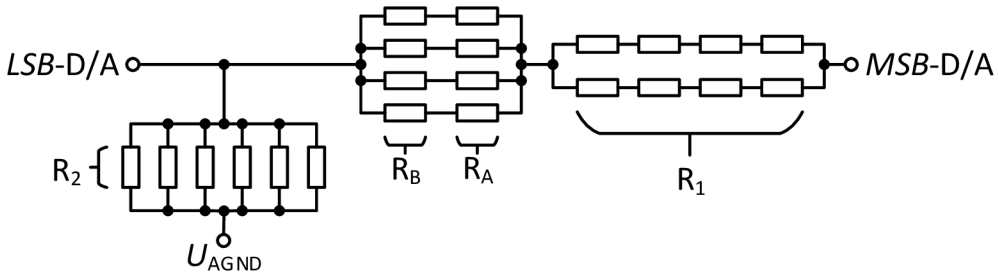
Ke snížení vlivu okolí na výslednou přesnost je vhodné okolo celé proudové buňky umístit tzv. neaktivní (*dummy*) tranzistory. Pomocí těchto součástek je zajištěno stejné okolí všech tranzistorů, čímž se minimalizují vlivy výrobních nedokonalostí na aktivní tranzistory. Další neméně důležitou částí při návrhu topologie jsou metalové vrstvy. Pro požadovanou vysokou přesnost je nutné, aby přes navržené proudové zdroje nebyly vedeny ani generovány žádné metalové cesty (dummy metaly, vodiče…), které můžou způsobit velký nesouběh ve vlastnostech tranzistorů a tím snížit výslednou přesnost.



Obrázek 6.7: Vhodně navržená struktura proudových zdrojů

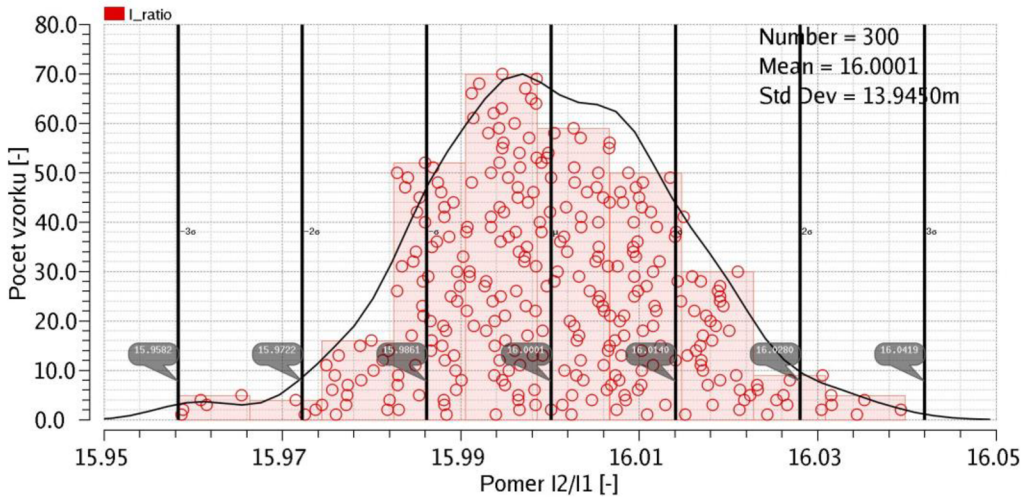
6.4 Návrh proudového děliče

Z kapitoly 4.4 vyplývá, že navrhovaný proudový dělič musí mít poměr 15:1. Nejjednodušším způsobem je zvolením rezistoru R a poté rezistor $15R$ vytvořit sériovým zapojením patnácti rezistorů. Tímto způsobem však nejde rezistory příliš sesouhlasit, což by snižovalo výslednou přesnost převodníku. Další případnou nevýhodou by byl velký výsledný odpor, díky čemuž by na děliči vznikal příliš velký úbytek napětí, jenž by mohl způsobit zatlačení proudových nor do nežádoucího lineárního režimu. Z těchto důvodu byl navržen obvod zobrazený na obrázku 6.8.



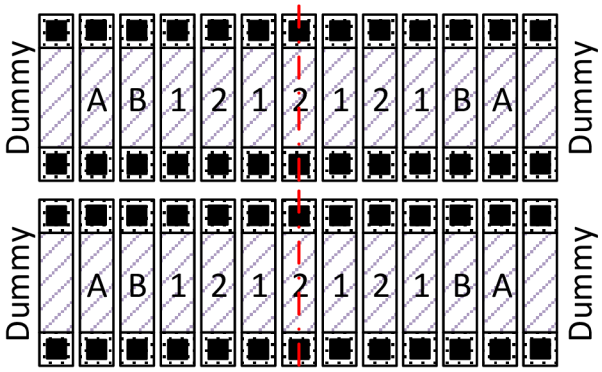
Obrázek 6.8: Navržený proudový dělič

Aby byl zajištěn dobrý souběh tranzistorů, bylo nutné použít polykrystalické rezistory. Z důvodu, že odpory typu HIPO mají velký plošný odpor, bylo by jejich použití problematické. Proto byly použity PPOR rezistory, které mají dobré souběhové vlastnosti a malý plošný odpor o velikosti $R_{\square}$ = 240 Ω/□. Velikost rezistorů poté byla volena tak, aby se nepřesnosti děliče a *LSB* sub-převodníku příliš nepromítaly do celkové chyby převodníků. Rozměry všech rezistorů jsou poté $W = L$ = 10 µm. Výsledek Monte Carlo analýzy, která určila přesnost navrženého děliče, je zobrazen na obrázku 6.9.



Obrázek 6.9: Histogram dělícího poměru navrženého proudového děliče

Protože výsledná přesnost děliče závisí i na vhodně navržené topologii, je na obrázku 6.10 zobrazena příklad vhodně navržené symetrické struktury.

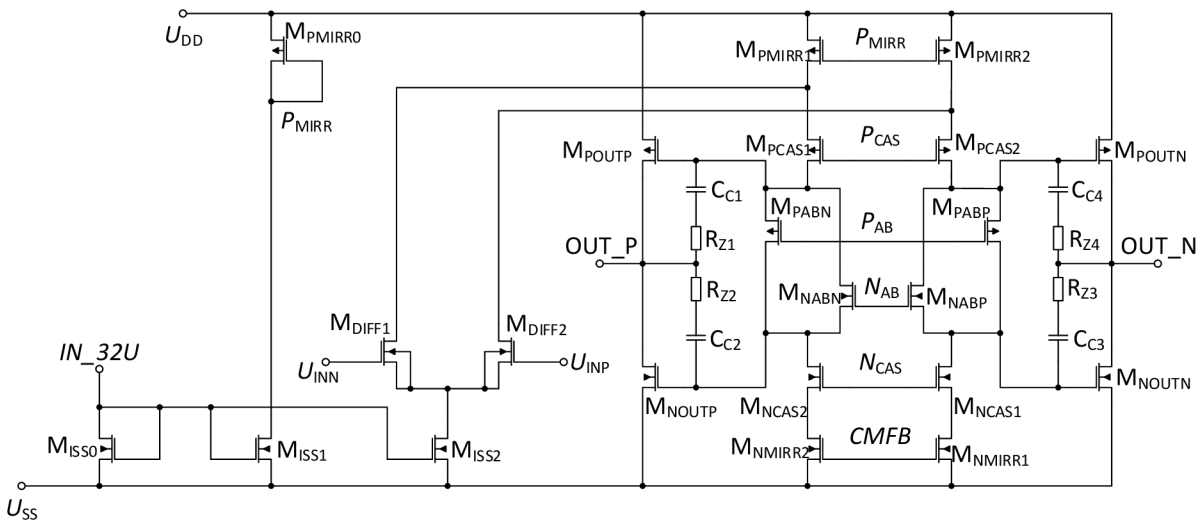


Obrázek 6.10: Vhodně navržená topologie proudového děliče

Při návrhu byly zkoušeny i polykrystalické rezistory s nízkým odporem (LOPOR – *low ohmic polyresistor*), které se vyznačují velmi malým plošným odporem o velkosti $R_{\square} = 2{,}4\ \Omega/\square$. Tento typ rezistorů však využívá takzvanou salicidní vrstvu, která má špatné souběhové vlastnosti a pro přesný dělič se tak nehodí.

6.5 Návrh plně diferenčního operačního zesilovače

Posledním navrženým a popsaným obvodem je plně diferenční operační zesilovač, který má za úkol převádět diferenční proudy na výstupní napětí. Návrh tohoto zesilovače vycházel z vlastní bakalářské práce uvedené v [12]. Tento obvod musel být z velké části přepracován, a to hned z několika důvodů. Prvním a zároveň nejdůležitějším důvodem bylo to, že v rámci bakalářské práce byl obvod navrhován pouze v průmyslovém a ne v automobilovém rozsahu teplot. Díky tomu některé tranzistory vypadávaly z požadovaného režimu saturace a obvod přestal fungovat správně. V bakalářské práci byl dále používán interně generovaný proud, který byl nahrazen proudem generovaným v převodníku napětí na proud. Poslední změna byla provedena ve výstupní části obvodu, který již nemusí dodávat tak velké proudy. Schéma jádra operačního zesilovače je uvedeno na obrázku 6.11.



Obrázek 6.11: Schéma plně diferenčního operačního zesilovače

Jedná se o operační zesilovače typu složená kaskoda, který má druhý stupeň tvořen zesilovačem pracujícím v režimu AB. Parametry obvodu byly ponechány stejné jako u bakalářské práce a přehled nejdůležitějších vlastností je uveden v následujících odrážkách:

- Frekvence jednotkového zisku *GBW* – 10 MHz
- Rychlost přeběhu *SR* – 10 V/µs
- Stejnosměrné zesílení A_U – 80 dB
- Zatěžovací kapacita C_L – 10 pF

Pro výpočet vstupního diferenčního páru je nejprve nutné určit velikost kompenzačních kapacit C_{CX}. Kapacita těchto kondenzátorů se určí stejně jako u dvojstupňového operačního zesilovače typu Miller OTA, který je popsán v kapitole 5.2.3, a pro jejich velikost platí vztah (5.10). Aby tato rovnice byla splněna ve všech procesních odchylkách, je velikost těchto kondenzátorů v typickém procesu rovna C_{CX} = 3,75 pF (3 pF – 4,25 pF).

Dále bylo nutné určit velikost proudu I_{SS2}, kterým je napájen vstupní diferenční pár. Velikost tohoto proudu je dána požadavkem na rychlost přeběhu *SR*. Nejhorší případ pro tento parametr vzniká při maximální velikosti kompenzační kapacity a při nejmenším vstupním proudu. K výstupnímu uzlu složené kaskody jsou připojeny vždy dva kompenzační kondenzátory a pro minimální velikost vstupního proudu platí vztah (6.4):

$$SR = \frac{I_{\mathrm{SS2-min}}}{2 \cdot C_{\mathrm{C-max}}} \rightarrow I_{\mathrm{SS2-min}} = 2 \cdot C_{\mathrm{C-max}} \cdot SR = 2 \cdot 4{,}25\mathrm{p} \cdot 10\mathrm{M} = 85\mu\mathrm{A} \qquad (6.4)$$

Vstupní proud je generován v převodníku napětí na proud, kde minimální referenční proud má velikost 11,25 µA (tabulka 5.12). Tento proud je následně dvakrát zrcadlen, a to v poměru 2:1 přímo v převodníku *U-I* a v poměru 4:1 v samotném operačním zesilovači. Velikost vstupního proudu I_{SS2} je pak typicky rovna I_{SS2} = 128 µA (90 µA – 194 µA).

Nyní již lze zjistit velikost samotného diferenčního páru. K dosáhnutí vysoké frekvence jednotkového zisku je nutné zajistit vysokou transkonduktanci *gm*. Nejhorší případ transkonduktance tranzistoru vzniká při kombinaci malého drainového proudu tedy maximálního odporu, pomalého procesu a vysoké teploty. Frekvence jednotkového zisku je rovněž dána velikostí kompenzačních kapacit. Nejhorší případ pro frekvenční vlastnosti nastává při jejich maximálních velikostech. Na základě těchto informací lze určit velikosti vstupních tranzistorů, pro které platí vztah (6.5).

$$\left(\frac{W}{L}\right)_{DIFF} = \frac{(2 \cdot \pi \cdot GBW)^2 \cdot (2 \cdot C_{\mathrm{C-max}})^2}{KP_{min} \cdot I_{SS2-min}} = \frac{(2 \cdot \pi \cdot 10\mathrm{M})^2 \cdot (2 \cdot 4{,}25\mathrm{p})^2}{138{,}6\mu \cdot 90\mu} = 23 \qquad (6.5)$$

Do předcházejícího výpočtu nebyly započteny žádné parazitní kapacity a teplotní závislost transkonduktančního parametru *KP*. Proto, na základě výsledků simulací (AC, *DC match*), byla velikost vstupního diferenčního páru upravena až na velikost *W/L* = 2x45,35 µm / 1,7 µm.

Další části návrhu je výpočet velikostí tranzistorů ve výstupní kaskodě. Proud těmito větvemi by nikdy neměl klesnout na nula ampér. Pokud by toto nastalo, bylo by nutné znovu nabíjet parazitní kapacity součástek a spojů, čímž by docházelo ke zbytečnému zpožďování zesilovače. Z tohoto důvodu byla velikost proudů, které procházejí tranzistory $M_{PMIRR1,2}$, zvolena 1,25x větší než velikost proudu tekoucího přes tranzistor M_{ISS2} a velikost těchto proudů poté je: $I_{PMIRR1,2}$ = 160 µA.

Velikosti saturačních napětí tranzistorů kaskody byly voleny tak, aby tranzistory byly ve všech procesních odchylkách v saturaci. Aby toho bylo dosaženo, bylo nutné zvolit saturační napětí tranzistorů M_{NMIRR} a M_{PMIRR} o velikosti 0,15 V a u tranzistorů M_{NCAS} a M_{PCAS} o velikosti 0,1 V. Díky tomu mají tyto tranzistory poměrně velké poměry *W/L*. Protože souběh tranzistorů M_{NMIRR} a M_{PMIRR} určuje vstupní napěťovou nesymetrii zesilovače, byla těmto tranzistorům vhodně prodloužena délka kanálu. Oproti tomu tranzistory M_{NCAS} a M_{PCAS} byly voleny s malou délkou kanálu tak, aby jejich kapacita příliš neovlivňovala frekvenční vlastnosti zesilovače. Rozměry všech tranzistorů jsou uvedeny v tabulce 6.3.

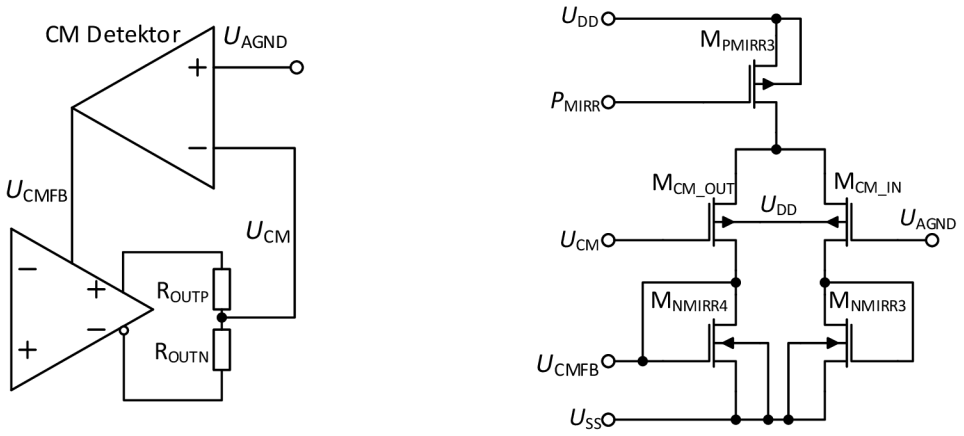
Poslední částí v jádru operačního zesilovače je jeho výstupní část. Jak již bylo zmíněno výše, jedná se stupeň pracující v režimu AB. Správné nastavení pracovního bodu výstupních tranzistorů je dosaženo pomocí plovoucího napěťového zdroje. Tento zdroj je tvořen dvěma tranzistory M_{NAB} a M_{PAB}. Velikost všech tranzistorů byla opět volena tak, aby se tranzistory složené kaskody nacházely v saturaci. Z tohoto důvodu bylo saturační napětí výstupních tranzistorů M_{OUT} zvoleno o velikosti U_{DSAT} = 0,4 V a saturační napětí tranzistorů plovoucího zdroje napětí o velikosti U_{DSAT} = 0,12 V. Díky těmto volbách vznikne na drain terminálech tranzistorů M_{NCAS} (M_{PCAS}) dostatečně vysoké (nízké) napětí, které, spolu s vhodnou velikostí jejich saturačního napětí, zajistí, že se tyto proudové zdroje budou nacházet v saturaci při všech procesních odchylkách.

Nevýhoda tohoto řešení spočívá v malé transkonduktanci výstupních tranzistorů, což způsobí zhoršení frekvenčních vlastností. Aby tato transkonduktance byla zvýšena, bylo potřeba zvýšit proud drainem až na velikost 300 µA. Velikosti všech součástek použitých v jádru operačního zesilovače jsou shrnuty v tabulce 6.3

Tabulka 6.3: Přehled velikostí součástek jádra plně diferenčního OZ

Součástka	***W/L* [µm/µm]**	**Počet [-]**	**Součástka**	***W/L* [µm/µm]**	**Počet [-]**
$\mathbf{M_{DIFF1,2}}$	45,35 / 1,7	2	$\mathbf{M_{ISS0,1}}$	25,0 / 1,2	2
$\mathbf{M_{ISS2}}$	25,00 / 1,2	8	$\mathbf{M_{PMIRR0}}$	52,4 / 1,1	1
$\mathbf{M_{NMIRR1,2}}$	28,20 / 2,1	6	$\mathbf{M_{PMIRR1,2}}$	52,4 / 1,1	5
$\mathbf{M_{NCAS1,2}}$	8,400 / 0,4	4	$\mathbf{M_{PCAS1,2}}$	35,6 / 0,4	4
$\mathbf{M_{NAB-N/P}}$	5,300 / 0,5	4	$\mathbf{M_{PAB-N/P}}$	22,3 / 0,5	4
$\mathbf{M_{NOUT-N/P}}$	13,00 / 0,6	1	$\mathbf{M_{POUT-N/P}}$	27,7 / 0,6	1
Pasivní součástky					
Součástka	**Typ**	**Velikost**	**Součástka**	**Typ**	**Velikost**
$\mathbf{C_{CX}}$	MIMC	3,75 pF	$\mathbf{R_{ZX}}$	PPOR	1,3 kΩ

Další důležitou částí plně diferenčního zesilovače je zpětnovazební obvod, který udržuje souhlasné napětí zesilovače na požadované hodnotě. V tomto případě slouží jako referenční napětí hodnota analogové země U_{AGND}. Na obrázku 6.12 (a) je zobrazeno principiální schéma navrženého obvodu, na vedlejším obrázku (b) je poté zobrazeno tranzistorové zapojení.



a) Zpětnovazební obvod s rezistorovým děličem

b) Obvod pro nastavení DC hodnoty výstupního napětí

Obrázek 6.12: Zpětnovazební obvod sloužící k nastavení stejnosměrného napětí OZ

Jelikož je u operačního zesilovače použit výstup ve třídě AB, bylo možné použít zapojení s děličem napětí. Výstupní napětí děliče je následně přivedeno na vstup diferenčního páru, který toto napětí porovnává s referenčním napětím. Výsledný proud je poté pomocí tranzistoru M_{NMIRR4} zrcadlen zpět do jádra zesilovače, kde nastavuje pracovní body tranzistorů $M_{NMIRR1,2}$. Tranzistor M_{NMIRR4} musí být sesouhlasen s tranzistory v jádře zesilovače, a proto tento tranzistor má stejnou velikost jako tranzistory $M_{NMIRR1,2}$. Rozměry všech součástek zpětnovazebního obvodu jsou uvedeny v tabulce 6.4.

Tabulka 6.4: Přehled velikostí součástek zpětnovazebního obvodu

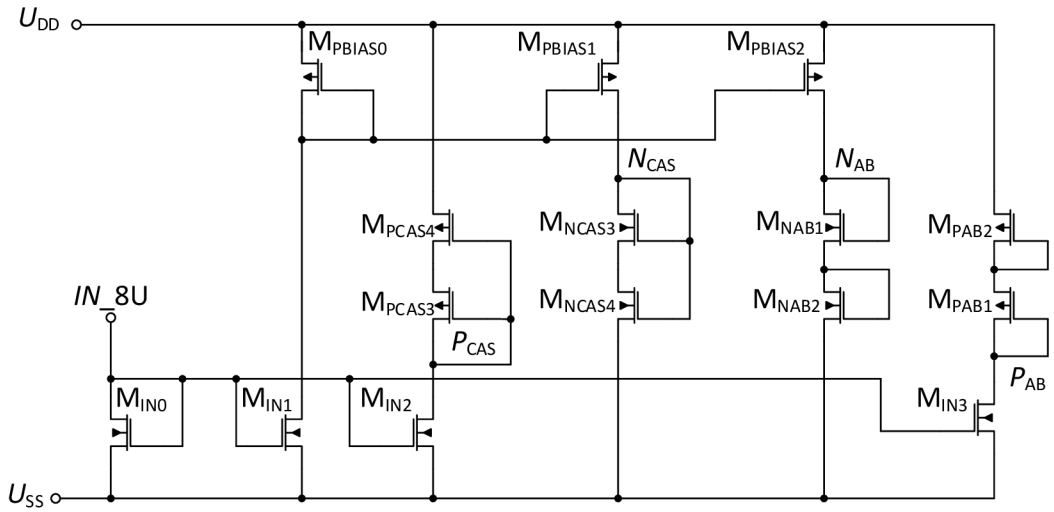
Součástka	***W/L* [µm/µm]**	**Počet [-]**	**Součástka**	***W/L* [µm/µm]**	**Počet [-]**
M_{CM_OUT}	20,0 / 0,7	2	**M_{CM_IN}**	20,0 / 0,7	2
$M_{NMIRR3,4}$	28,2 / 2,1	1	**M_{PMIRR3}**	52,4 / 1,1	1
Pasivní součástky					
Součástka	**Typ**	**Velikost**	**Součástka**	**Typ**	**Velikost**
R_{OUTP}	HIPOR	60 kΩ	**R_{OUTN}**	HIPOR	60 kΩ

Jelikož se jedná o zpětnovazební obvod, je nutné zajistit stabilitu obvodu. Zesílení obvodu je dáno rovnicí (6.6) a pro nejhorší případ (největší zesílení) platí:

$$A_{\mathrm{CM}} = \frac{gm_{CM}}{2} \cdot \frac{1}{gm_{\mathrm{NMIRR}}} = \frac{1}{2} \cdot \frac{\sqrt{KP_{\mathrm{P}} \cdot (W/L)_{\mathrm{CM}}}}{\sqrt{KP_{\mathrm{N}} \cdot (W/L)_{\mathrm{NMIRR}}}} = \frac{1}{2} \cdot \frac{\sqrt{41\mu \cdot (40/0{,}4)}}{\sqrt{138\mu \cdot (28{,}2/2{,}1)}} = 0{,}75 \qquad (6.5)$$

Díky tomu, že obvod má vždy zesílení menší než 1, je obvod stabilní a není nutné přidávat do obvodu žádné kompenzační impedance. Toto bylo ověřeno i pomocí časové analýzy, kdy byl do zpětné vazby přidán rychlý obdélníkový signál. Při této simulaci byl sledován výstupní signál, který se ve všech procesních odchylkách ustálil a nezačal kmitat.

Poslední část obvodu slouží k nastavení pracovních bodů tranzistorů ve složené kaskodě a v plovoucím zdroji napětí. Schéma navrženého obvodu je zobrazeno na obrázku 6.13.



Obrázek 6.13: Obvod pro nastavení pracovních bodů

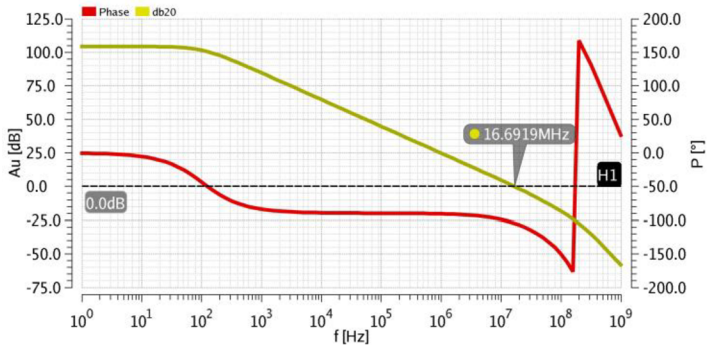
Tranzistory M_{NCAS3} a M_{PCAS3} mají pro dobrý souběh stejnou velikost jako tranzistory ve složené kaskodě. Stejnosměrné posunutí je poté dáno tranzistory M_{NCAS4} a M_{PCAS4}, jejichž velikost byla určena tak, aby všechny tranzistory v kaskodě byly ve všech procesních odchylkách v saturaci. Tranzistory M_{NAB} a M_{PAB}, které určují pracovní body tranzistorů v plovoucích zdrojích napětí, mají stejné saturační napětí jako nastavované tranzistory. Rozměry součástek jsou opět uvedeny v tabulce 6.5.

Tabulka 6.5: Přehled velikostí součástek obvodu pro nastavení pracovních bodů

Součástka	*W/L* [µm/µm]	Počet [-]	Součástka	*W/L* [µm/µm]	Počet [-]
$M_{IN-0,1,2,3}$	8,7 / 2,00	1	**$M_{PBIAS-0,1,2}$**	22,0 / 1,2	1
M_{NCAS3}	8,4 / 0,40	1	**M_{PCAS3}**	35,6 / 0,4	1
M_{NCAS4}	4,0 / 11,5	1	**M_{PCAS4}**	5,90 / 4,0	1
M_{NAB1}	5,3 / 0,50	1	**M_{PAB1}**	22,3 / 0,5	1
M_{NAB2}	2,0 / 3,10	1	**M_{PAB2}**	5,00 / 2,0	1

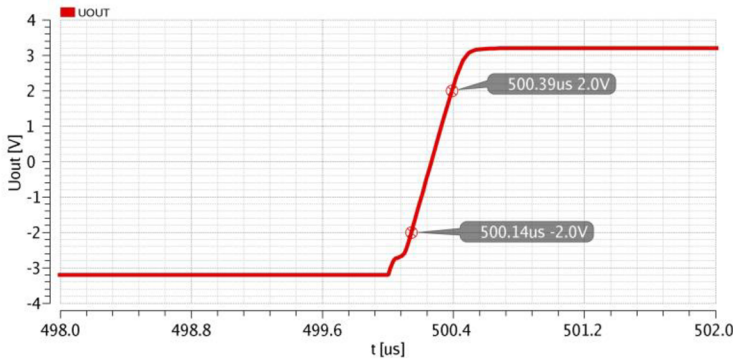
6.5.1 Dosažené parametry

Parametry navrženého operačního zesilovače byly opět zjištěny pomocí několika simulací. Typický průběh frekvenční charakteristiky je zobrazen na obrázku 6.14.



Obrázek 6.14: Frekvenční charakteristika plně diferenčního OZ

Dále byla provedena časová analýza, při které byla určena rychlost přeběhu *SR* diferenciálního výstupu. Typický průběh je opět zobrazen na obrázku 6.15.



Obrázek 6.15: Výsledek časové analýzy pro určení rychlosti přeběhu *SR*

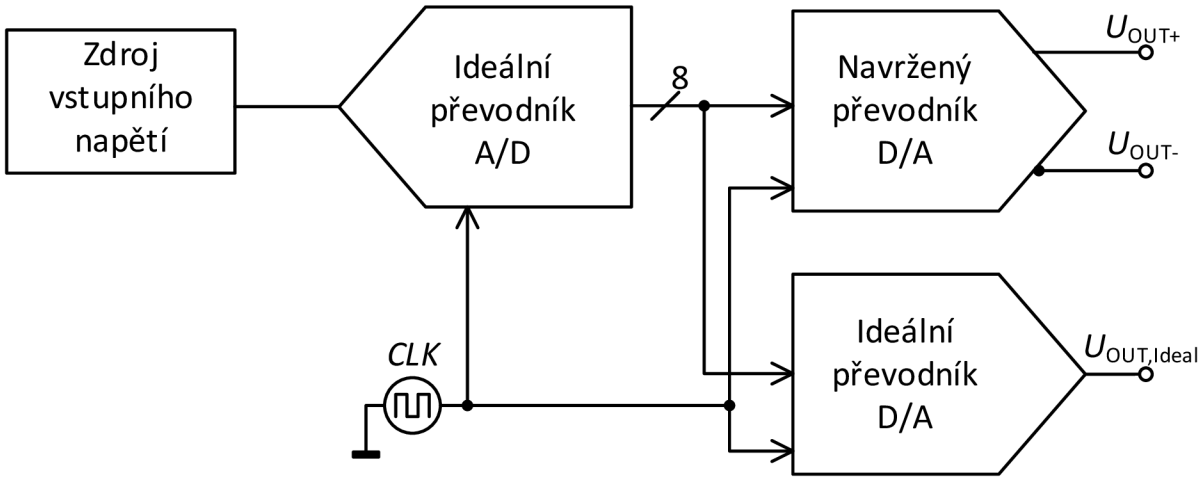
V tabulce 6.4 je uveden přehled všech dosažených vlastností. Jsou zde uvedeny výsledky dílčích simulací a corner analýz. Průběhy corner analýz jsou zobrazeny v příloze.

Tabulka 6.6: Dosažené parametry sledovače napětí

Parametr	Min	Typ	Max	Jednotka
GBW	9,968	16,78	27,02	MHz
A_0	92,92	104,4	108,6	dB
PM	59,98	75,63	88,9	°
GM	-30,05	-24,95	-20,28	dB
SR	10,15	16,22	28,19	V/µs
U_{OFFSET} (6σ)		9,92		mV
P	2,01	3,41	6,01	mW

7 Simulace převodníku D/A

Celková funkčnost navrženého převodníku D/A byla ověřena v celém rozptylu procesu a v automobilovém rozsahu teplot. Na obrázku 7.1 je zobrazeno blokové schéma použité pro jednotlivé simulace. Blokové schéma obsahuje ideální převodníky A/D a D/A, které byly popsány v jazyce Verilog-A. Programovací jazyk Verilog-A je nadstavbou čistě digitálního verilogu a obsahuje analogové funkce, které umožňují modelování obvodů se smíšenými signály. Zdrojové kódy obou bloků jsou uvedeny v příloze.



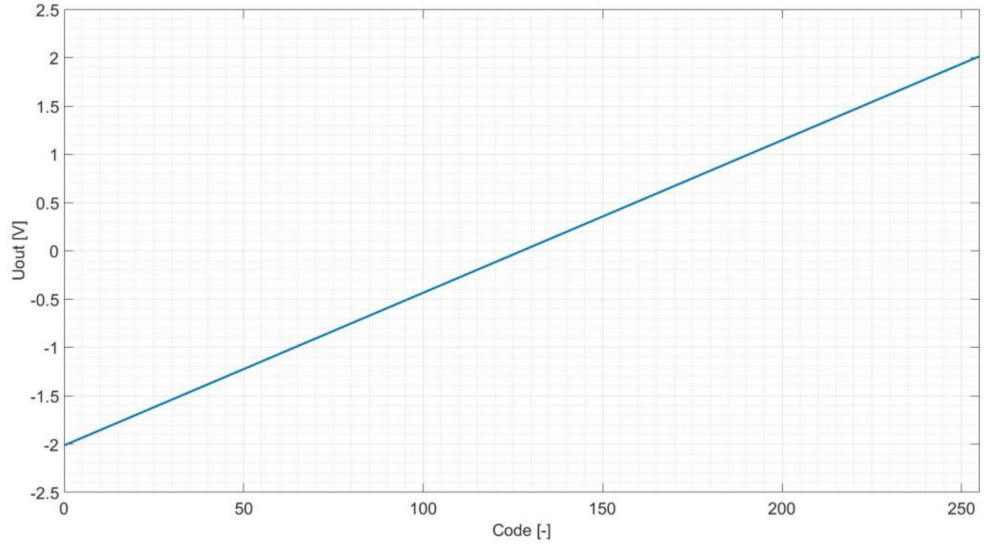
Obrázek 7.1: Blokové simulační schéma

Výhodou tohoto způsobu je, že vstupy navrženého převodníku D/A nejsou přímo řízeny osmi napěťovými zdroji, ale pomocí výstupů ideálního převodníku A/D. Pokud by byl převodník řízen přímo, bylo by velice problematické změnit tvar nebo periodu vstupního signálu. Navrženým způsobem se změní parametry pouze jednoho vstupního zdroje a převodník A/D poté tento signál převede do digitálního slova. Ideální převodník D/A slouží k porovnání ideálního a navrženého převodníku.

Ke zjištění parametrů a funkčnosti kompletního převodníku, byla provedena řada simulací, které zjišťovali stejnosměrné, transientní a šumové vlastnosti. Popis a výsledky jednotlivých simulací jsou uvedeny v následujících podkapitolách.

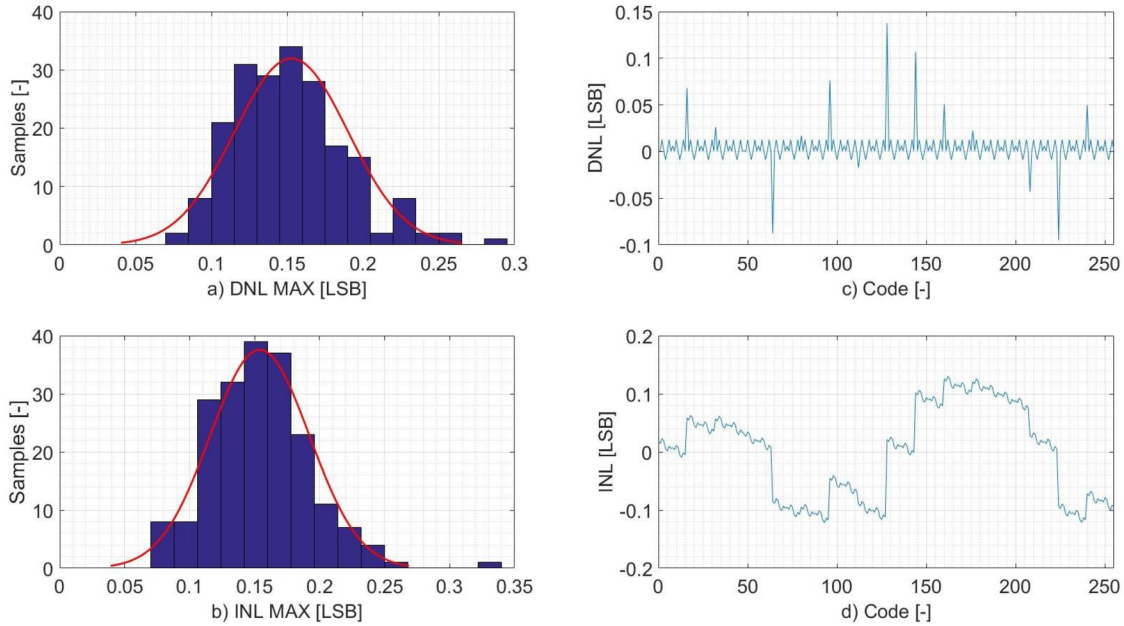
7.1 Simulace stejnosměrných vlastností

Aby byla zjištěna funkčnost převodníku v celém převodním rozsahu, byla provedena corner analýza se stejnosměrným rozmítáním vstupního signálu (*DC_sweep*). Výsledky této analýzy byly převedeny do číselné podoby a pomocí programu Matlab byla vykreslena převodní charakteristika převodníku, která je pro typický průběh zobrazena na obrázku 7.2 a pro všechny corner průběhy v příloze.



Obrázek 7.2: Typická převodní charakteristika převodníku

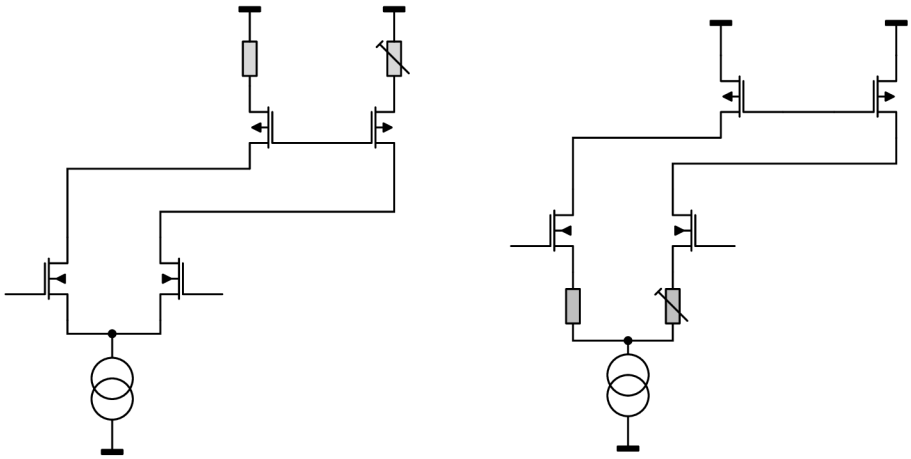
Protože takto získaná převodní charakteristika neudává žádnou informaci o přesnosti převodníku, byla v typických podmínkách a při maximální a minimální teplotě provedena Monte Carlo analýza s rozmítáním procesu a souběhu. Z výsledků této analýzy byly zjištěny stejnosměrné chyby *DNL* a *INL*. Na obrázku 7.3 je v levé části zobrazeno statistické rozložení těchto chyb a na straně pravé průběh chyb v závislosti na vstupním kódu pro jeden náhodný běh Monte Carlo analýzy. Z obrázku je patrné, jak spolu obě chyby souvisí. Vznikne-li „velká“ chyba *DNL*, okamžitě se mění i chyba *INL*.



Obrázek 7.3: Statistické a náhodné rozložení chyb převodníku

Při této simulaci byla zjišťována i takzvaná chyba nuly. Z výsledků souběhové analýzy vyplynulo, že vstupní napěťová nesymetrie použitého operačního zesilovače tuto chybu značně zvyšuje. Chyby *DNL* a *INL* touto napěťovou nesymetrií nejsou ovlivněny, ale celá převodní

charakteristika se posune o určitou stejnosměrnou hodnotu. Vstupní nesymetrie použitého zesilovače je poměrně malá (10 mV pro 6σ) a pouhým zvětšováním součástek již tuto hodnotu nelze příliš snižovat. Proto jsou na obrázku 7.4 zobrazeny dva možné způsoby trimování, které by případnou napěťovou nesymetrii potlačily.



A) Trimování ve složené kaskodě B) Trimování v diferenčním páru

Obrázek 7.4: Principiální způsoby trimování operačního zesilovače

Oba způsoby využívají proměnných rezistorů, které mění parametry připojených proudových zdrojů (a) nebo přímo vstupního diferenciálního páru (b). Nevýhoda prvního způsobu spočívá v malém napěťovém prostoru složené kaskody, který se připojením rezistorů dále sníží a bylo by tak poměrně složité udržet všechny tranzistory v saturaci. Principiální zapojení na obrázku (b) tuto nevhodnou vlastnost nemá, ale jeho nevýhoda spočívá ve snížení transkonduktance vstupního páru, čímž by došlo ke snížení frekvence jednotkového zisku *GBW*.

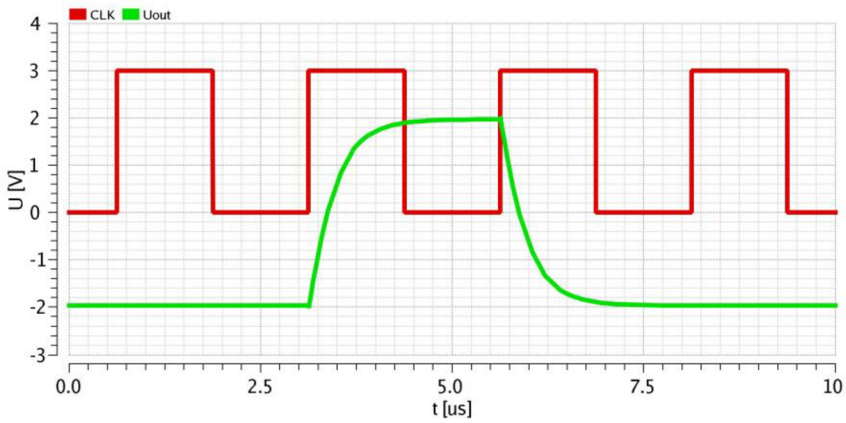
Výsledky předcházejících analýz jsou uvedeny v následující tabulce 7.1. Parametry všech chyb jsou uvedeny pro výrobní odchylku 6σ.

Tabulka 7.1: Stejnosměrné vlastnosti navrženého převodníku D/A

Parametr	Velikost	Jednotka
DNL	0,470	LSB
INL	0,473	LSB
Chyba nuly – OZ	219,6	mV
Chyba nuly – Monte Carlo	124,9	mV
Chyba nuly – celkem	252,6	mV
Chyba nuly	6,3	%

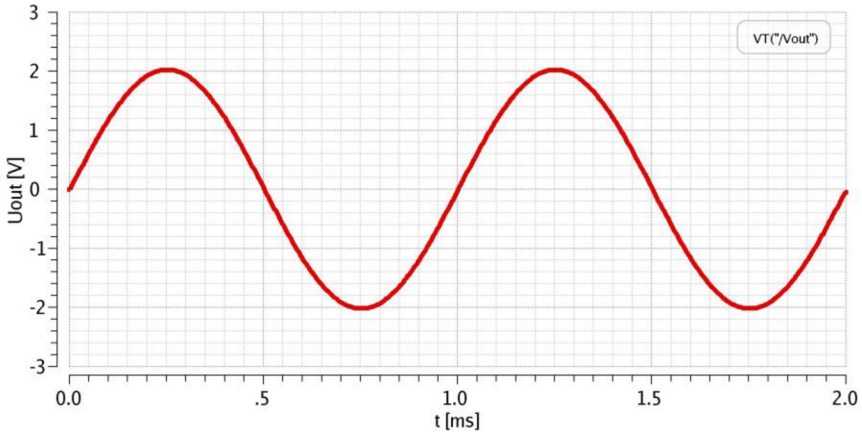
7.2 Časová analýza

Nejdůležitějším úkolem při časové analýze bylo určení maximální použitelné frekvence hodinového signálu. Nejhorší případ nastává při maximální změně vstupního signálu (0–255–0), kdy je nutné, aby se výstupní signál ustálil na požadované hodnotě před příchodem další náběžné hrany. Z těchto důvodů byla provedena corner analýza, při které byla zjištěna kombinace procesních odchylek, kdy navržený převodník potřebuje nejvíce času ke svému ustálení. V tomto procesním rohu poté byla určena maximální frekvence hodinového signálu, jenž má velikost $f_{CLK,MAX}$ = 400 kHz. Jestliže by bylo nutné tuto frekvenci navýšit, bylo by potřeba zvýšit frekvenci jednotkového zisku *GBW* použitého operačního zesilovače, jenž má na celkovou rychlost nejvyšší vliv. Rychlost přeběhu *SR* maximální frekvenci příliš neovlivňuje, protože i v nejhorším procesním rohu by převodník, neomezován frekvenčními vlastnostmi, zvládl maximální změnu signálu za méně než 400 ns. Průběh, z něhož byla určena maximální frekvence, je zobrazen na obrázku 7.5



Obrázek 7.5: Průběh pro zjištění maximální frekvence hodinového signálu

Pro zjištění funkčnosti kompletního převodníku, byl na vstup převodníku A/D připojen sinusový signál s maximálním napětím o velikosti 4 V a o frekvenci f = 1 kHz. Průběh v typickém procesu je zobrazen na obrázku 7.6. Průběh corner simulace tohoto a předcházejícího testu je zobrazen v příloze.

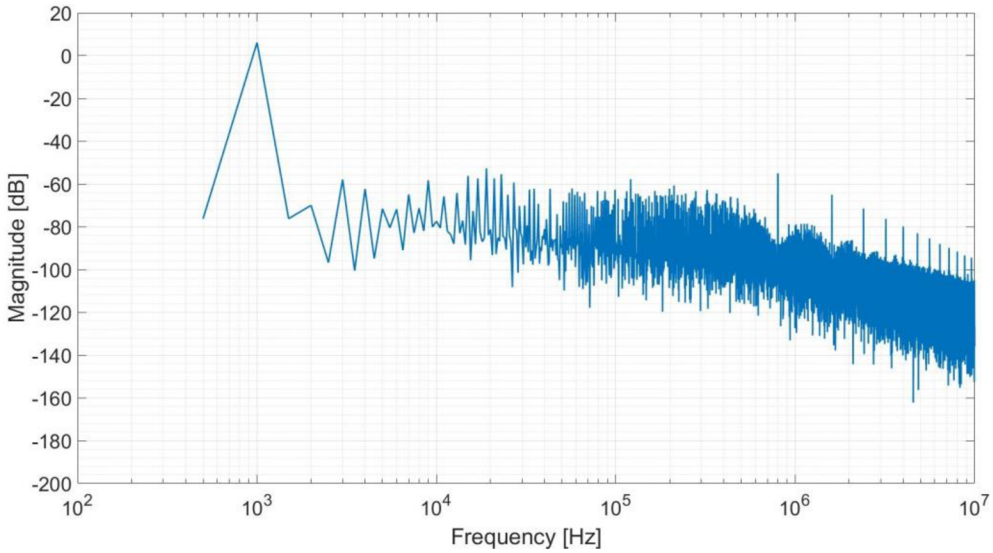


Obrázek 7.6: Výsledek simulace se vstupním sinusovým signálem

7.3 Simulace šumových vlastností

Posledním úkolem bylo zjištění šumových vlastností navrženého převodníku. Vliv šumu samotného převodníku, nemá prakticky žádný vliv na výsledné frekvenční spektrum a veškeré zkreslení je způsobeno především kvantizačními úrovněmi výstupního signálu. Dalším vliv, který negativně ovlivňuje frekvenční spektrum, je zkreslení způsobené integrální nelinearitou *INL*. Z tohoto důvodu byl vytvořen statistický corner z Monte Carlo analýzy, při kterém převodní charakteristika vykazovala tuto chybu největší (kap. 7.1). V tomto corneru poté byla spuštěna časová analýza s povolením generování tranzientního šumu.

Výsledky této analýzy opět byly převedeny do programu Matlab, ve kterém bylo zjištěno frekvenční spektrum a další parametry jako *ENOB*, *SFDR* a další. Protože program pro svůj výpočet spektra nepoužívá klasickou rychlou Fourierovu transformaci (FFT), ale diskrétní transformaci (DFT), bylo nutné vstupní signál převzorkovat na stejné časové úseky. Výsledné frekvenční spektrum je zobrazeno na obrázku 7.7.



Obrázek 7.7: Frekvenční spektrum převodníku

V následující tabulce 7.2 jsou uvedeny vlastnosti získané z frekvenčního spektra převodníku. Je nutné si uvědomit, že tyto vlastnosti byly získány ve statistickém corneru, který měl velikost *INL* rovnu *INL* = 0,33 LSB. Pokud by se vyrobený převodník dostal s touto chybou až na velikost *INL* = 0,47 LSB (6σ), zhoršili by se díky většímu zkreslení i tyto parametry.

Tabulka 7.2: Šumové vlastnosti navrženého převodníku D/A

Parametr	Velikost	Jednotka
ENOB	7,75	Bit
SNDR	48,46	dB
SFDR	58,78	dBFS

8 Porovnání navrženého převodníku

Před samotným porovnáním navrženého obvodu s ostatními převodníky, bylo nutné zjistit odhad výsledné plochy a spotřebu kompletního zapojení. Spotřeba je pro všechny vstupní kódy konstantní a její velikost je v typickém procesu rovna P = 5,175 mW (3,19mW – 9,376 mW). Velikost čipu byla pouze odhadnuta na základě celkové plochy součástek, kdy výsledná plocha byla zdvojnásobena tak, aby byl dostatek místa pro kapsy a metalové cesty. Obvod by se měl vměstnat na plochu o velikosti 480 x 480 µm (0,23 mm^2).

V následující tabulce 8.1 je pro srovnání uvedeno několik dalších převodníků. Byly vybrány dva převodníky, které využívají podobnou architekturu jako navržený převodník a jeden běžně vyráběný převodník od firmy Texas Instruments.

Tabulka 8.1: Porovnání navrženého převodníku s jinými převodníky

	Tato práce	**Zdroj [14]**	**Zdroj [15]**	**TLC5615 [16]**
Technologie [µm]	0,35	0,35	0,18	-
***N* [bit]**	8	10	12	10
Typ	Proudový	Proudový	Proudový	Odporový
Výstup	Napěťový	Proudový	Proudový	Napěťový
***INL* / *DNL* [LSB]**	0,47 / 0,47	0,5 / 0,3	0,5 / 0,5	1,0 / 0,5
f_{MAX} [kHz]	400	100 000	50 000	80
***P* [mW]**	9,38	68	75,24	1,75
Plocha [mm^2]	0,23	1,3	0,679	-

Z tabulky je patrné, že porovnávané obvody mají, až na sériově vyráběný převodník, podobné chyby *DNL* a *INL*. Největší rozdíly jsou v rychlosti, spotřebě a ploše čipu. Navržený převodník má mnohem menší plochu a spotřebu než jiné proudové převodníky. Jeho nevýhoda však spočívá v jeho menší rychlosti, která je limitovaná především relativně pomalým operačním zesilovačem.

Sériově vyráběný převodník je jen další ukázkou, jak jsou v analogové technice důležité kompromisy. Tento převodník má malou spotřebu, ale díky tomu má i velmi malou rychlost převodu. Nejde tedy udělat přesný převodník s velkou rychlostí převodu, malou plochou a malou proudovou spotřebou.

Závěr

Tato diplomová práce se zabývala návrhem osmibitového digitálně-analogového převodníku s plně diferenčním výstupem. Celý návrh probíhal v technologii I3T25 firmy ON Semiconductor. Na začátku teoretického úvodu jsou rozebrány různé technologie, které se používají při návrhu integrovaných obvodů, jsou zde uvedeny jejich základní výhody, nevýhody a limity jejich použití. Po tomto krátkém úvodu následuje rozebrání a uvedení vlastností použité technologie.

V další kapitole jsou rozepsány nejdůležitější parametry digitálně-analogových převodníků. Jsou zde uvedeny příčiny jejich vzniku a jejich vliv na výslednou přesnost. V následující, poslední kapitole teoretického úvodu jsou uvedeny různé architektury převodníků, které se nejčastěji využívají při návrhu v technologii CMOS. Jsou zde opět rozebrány jejich výhody, nevýhody a vlastnosti, které určují limity jejich použití. Na základě tohoto rozboru, byla následně vybrána vhodná architektura, která umožňuje dosáhnutí požadovaných parametrů.

V praktické části této práce je nejprve uvedeno a podrobně rozebráno kompletní blokové schéma převodníku. Následuje podrobný popis jednotlivých bloků, jejich návrh a dosažené parametry. Funkčnost pomocných obvodů byla ověřena ve všech procesních odchylkách a v definovaném rozsahu pracovních teplot. Protože byly jednotlivé obvody navrhované pro automobilové prostředí, jsou pracovní teploty v rozsahu od -40 °C do 175 °C.

Mezi nejdůležitější pomocné bloky patří napěťová a proudová reference. Jako napěťová reference slouží Brokawova bandgap reference, která byla navržena s přesností ± 3,8 %. Toto přesné napětí je následně převedeno na referenční proud. Tento proud není příliš přesný, ale díky tomu, že zpětnovazební rezistory jsou stejného typu jako rezistor, na kterém tento referenční proud vzniká, je výsledné výstupní napětí téměř nezávislé na procesních odchylkách a teplotě.

Samotné jádro navrženého převodníku využívá dva čtyřbitové proudové sub-převodníky, které jsou od sebe odděleny pomocí proudového děliče. Popis a návrh celého jádra je uveden v šesté kapitole Pro simulaci celého převodníky byly namodelovány ideální převodníky A/D a D/A. Tyto ideální prvky umožňují jednodušší simulaci a porovnání navrženého obvodu.

Výsledky simulací kompletního převodníku jsou uvedeny v sedmé kapitole. Funkčnost obvodu byla ověřena v kompletním procesním rozptylu. Přesnost byla ověřena pomocí Monte Carlo analýzy a pro procesní odchylku 6σ jsou chyby *DNL* a *INL* menší než 0,5 LSB. Díky tomu je zaručena monotónnost a požadovaná přesnost převodníku. Následně byla provedena šumová analýza a pomocí programu Matlab byly zjištěny parametry jako efektivní počet bitů (*ENOB*) a odstup signálu od šumu (*SNDR*).

V poslední kapitole je uvedeno porovnání navrženého obvodu s různými převodníky. K porovnání byly vybrány dva převodníky s podobnou architekturou a jeden běžně vyráběný převodník od firmy Texas Instruments. V následující tabulce 9.1 je pro přehlednost uveden souhrn všech dosažených parametrů.

Tabulka 9.1: Souhrnná tabulka dosažených vlastností převodníku

Parametr	**Min**	**Typ**	**Max**	**Jednotka**
N	-	8	-	Bit
***DNL* (6σ)**	-	-	0,470	LSB
***INL* (6σ)**	-	-	0,473	LSB
Rozsah napětí	-2,0	-	2,0	V
Chyba nuly (6σ)	-	-	252,6	mV
f_{MAX}	-	-	400	kHz
ENOB	-	7,75	-	Bit
SNDR	-	48,46	-	dB
SFDR	-	58,78	-	dBFS
P	3,19	5,17	9,37	mW
Plocha	-	0,23	-	mm^2

Seznam použité literatury

[1] ALLEN, Phillip E a Douglas R HOLBERG. *CMOS analog circuit design*. 2nd ed. New York: Oxford University Press, 2002, 784 s. ISBN 01-951-1644-5.

[2] ALVAREZ, A. *BiCMOS technology and applications*. 2nd ed. Boston: Kluwer Academic Publishers, 1993, xvi, 404 p. ISBN 07-923-9384-8.

[3] Custom Foundry Services. In: ON SEMICONDUCTOR. Http://www.onsemi.com/ [online]. © 1999-2016 [cit. 2016-12-11].
Dostupné z: http://www.onsemi.com/PowerSolutions/content.do?id=16558

[4] I3T25: 0.35 µm Process Technology. ON SEMICONDUCTOR. Http://www.onsemi.com/ [online]. © 1999-2016 [cit. 2016-12-11].
Dostupné z: http://www.onsemi.com/PowerSolutions/content.do?id=16687

[5] ON SEMICONDUCTOR. I3T25 (0.35 um) Design Rules: 1000115 Rev: F.2010.

[6] RAZAVI, Behzad. *Design of analog CMOS integrated circuits*. Boston: McGraw-Hill, 2001, 684 s. ISBN 00-723-8032-2

[7] KLEDROWETZ, V.; HÁZE, J. *Návrh analogových integrovaných obvodů.* Vysoké učení technické v Brně.

[8] BAKER, R. Jacob. *CMOS: circuit design, layout, and simulation*. 3rd ed. Hoboken, NJ: Wiley, c2010. ISBN 978-047-0881-323.

[9] BROKAW, A.P.. A simple three-terminal IC bandgap reference. In: *IEEE Journal of Solid-State Circuits* [online]. 1974, Vol. 9, issue 6, s. 388-393 [cit. 2016-12-11]. ISSN 0018-9200. Dostupné z: http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1050532

[10] WILLY M.C. SANSEN. *Analog design essentials*. Online-Ausg. New York: Springer, 2006. ISBN 03-872-5747-0.

[11] HUIJSING, Johan H. *Operational amplifiers: theory and design*. Boston, MA: Kluwer Academic Publishers, c2001. ISBN 07-923-7284-0.

[12] MÁCHA, P. *Návrh plně diferenčního operačního zesilovače ve třídě AB.* Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2015. 45 s. Vedoucí bakalářské práce Ing. Vilém Kledrowetz, Ph.D..

[13] PLASSCHE, Rudy J. van de. *CMOS integrated analog-to-digital and digital-to-analog converters*. 2nd ed. Boston: Kluwer Academic Publishers, c2003. ISBN 14-020-7500-6.

[14] ZHI-YUAN, Cui, Piao HUA-LAN a Kim NAM-SOO. *A 10-bit Current-steering DAC in 0.35-µm CMOS Process* [online]. Chungbuk, 2009 [cit. 2017-05-11]. Dostupné z: http://www.transeem.org/upload/files/teem/3-t09-015_44-48_.pdf

[15] Katalogový list IP bloku 180TSMC_DAC_07 společnosti NTLab. [cit. 2017-05-11]. Dostupné z: http://ntlab.com/IP/eng/Hard/Analog_Mixed/DAC/180TSMC_DAC_07.pdf

[16] Katalogový list převodníku TLC5615 společnosti Texas Instruments. [cit. 2017-05-11]. Dostupné z: http://www.ti.com/lit/ds/symlink/tlc5615.pdf

Seznam obrázků

Obrázek 1.1: Rozdělení technologií pro výrobu integrovaných obvodů, upraveno dle [1] - 10 -
Obrázek 1.2: Struktura tranzistorů NMOS a PMOS na jednom substrátu ..... - 11 -
Obrázek 1.3: Řez BiCMOS technologií, upraveno dle [2] ..... - 11 -
Obrázek 1.4: Přehled technologií fy. ON Semiconductor [3] ..... - 12 -
Obrázek 1.5: Průřez waferu technologie I3T25, upraveno dle [4] ..... - 12 -
Obrázek 2.1: Více-článkové tranzistory ..... - 14 -
Obrázek 2.2: Metody pro sesouhlasení více tranzistorů ..... - 15 -
Obrázek 2.3: Topologie dvou rezistorů s poměrem R2 / R1 = 5 ..... - 15 -
Obrázek 2.4: Topologie velkých rezistorů ..... - 16 -
Obrázek 2.5: Metody pro potlačení rušení mezi signály ..... - 17 -
Obrázek 2.6: Způsoby potlačení anténa efektu ..... - 18 -
Obrázek 3.1: Blokové schéma převodníku D/A ..... - 19 -
Obrázek 3.2: Ideální převodní charakteristika převodníku D/A ..... - 20 -
Obrázek 3.3: Vliv DNL na převodní charakteristiku převodníku D/A ..... - 21 -
Obrázek 3.4: Vliv INL na převodní charakteristiku převodníku D/A ..... - 22 -
Obrázek 3.5: Vliv chyby nuly a zisku ..... - 23 -
Obrázek 3.6: Grafické definice parametru SFDR ..... - 25 -
Obrázek 4.1: Rozdělení převodníků D/A, upraveno dle [1] ..... - 26 -
Obrázek 4.2: Příklad napěťového převodníku D/A, upraveno dle [1] ..... - 27 -
Obrázek 4.3: Příklad napěťového převodníku s dekodérem, upraveno dle [1] ..... - 27 -
Obrázek 4.4: Nábojový převodník D/A, upraveno dle [8] ..... - 28 -
Obrázek 4.5: Typické zapojení proudových převodníků D/A ..... - 29 -
Obrázek 4.6: Proudový převodník D/A využívající binárně váhovaných rezistorů ..... - 29 -
Obrázek 4.7: Proudový převodník D/A využívající síť R-2R ..... - 30 -
Obrázek 4.8: Proudové převodníky D/A využívající proudové nory ..... - 30 -
Obrázek 4.9: Kombinace dvou napěťových sub-převodníků ..... - 31 -
Obrázek 4.10:Kombinace dvou proudových sub-převodníků ..... - 32 -
Obrázek 4.11: Zjednodušené schéma sériového převodníku ..... - 33 -
Obrázek 5.1: Blokové schéma navrhovaného převodníku D/A ..... - 34 -
Obrázek 5.2: Zdroj klidového proudu s regulovanou kaskodou ..... - 35 -
Obrázek 5.3:Reg.kaskoda:Závislost výstupního proudu na výstupním a napájecím napětí - 36 -
Obrázek 5.4: Zdroj klidového proudu s konstantním gm ..... - 37 -
Obrázek 5.5: Konst. gm – závislost proudu na teplotě ..... - 38 -
Obrázek 5.6: Konst. gm: Závislost výstupního proudu na výstupním a napájecím napětí . - 39 -
Obrázek 5.7: Bandgap napěťová reference s OZ ..... - 40 -
Obrázek 5.8: Startovací obvod pro napěťovou referenci ..... - 42 -
Obrázek 5.9: Schéma operačního zesilovače ..... - 43 -
Obrázek 5.10: Frekvenční charakteristika OZ v napěťové referenci ..... - 46 -
Obrázek 5.11: Závislost referenčního napětí na teplotě ..... - 47 -
Obrázek 5.12: Statistické rozložení minimální a maximální hodnoty referenčního napětí - 47 -
Obrázek 5.13: Frekvenční charakteristika zpětnovazební smyčky napěťové reference ..... - 48 -
Obrázek 5.14: Zapojení převodníku napětí na proud ..... - 49 -
Obrázek 5.15: Zapojení vstupní části převodníku U–I ..... - 50 -
Obrázek 5.16: Navrhnutý dělič napětí ..... - 53 -
Obrázek 5.17: Frekvenční char. zpětnovazební smyčky bez použití kompenzačního C .... - 53 -
Obrázek 5.18: Frekvenční char. zpětnovazební smyčky s kompenzačním C ..... - 54 -
Obrázek 5.19: Závislost referenčního proudu na výstupním napětí ..... - 55 -

Obrázek 5.20: Navržený napěťový sledovač ..... - 56 -
Obrázek 5.21: Frekvenční charakteristika napěťového sledovače ..... - 58 -
Obrázek 6.1: Zapojení jádra převodníku D/A ..... - 59 -
Obrázek 6.2: Zapojení navrhnutého přepínače ..... - 60 -
Obrázek 6.3:Závislost leakage na délce kanálu a závislost odporu spínače na šířce kanálu- 60 -
Obrázek 6.4: Navržený klopný obvod typu D ..... - 61 -
Obrázek 6.5: Časová analýza navrženého klopného obvodu ..... - 61 -
Obrázek 6.6: Schéma dekodéru z binárního čísla na termometrický kód ..... - 62 -
Obrázek 6.7: Vhodně navržená struktura proudových zdrojů ..... - 64 -
Obrázek 6.8: Navržený proudový dělič ..... - 65 -
Obrázek 6.9: Histogram dělícího poměru navrženého proudového děliče ..... - 65 -
Obrázek 6.10: Vhodně navržená topologie proudového děliče ..... - 65 -
Obrázek 6.11: Schéma plně diferenčního operačního zesilovače ..... - 66 -
Obrázek 6.12: Zpětnovazební obvod sloužící k nastavení stejnosměrného napětí OZ ..... - 69 -
Obrázek 6.13: Obvod pro nastavení pracovních bodů ..... - 70 -
Obrázek 6.14: Frekvenční charakteristika plně diferenčního OZ ..... - 71 -
Obrázek 6.15: Výsledek časové analýzy pro určení rychlosti přeběhu SR ..... - 71 -
Obrázek 7.1: Blokové simulační schéma ..... - 72 -
Obrázek 7.2: Typická převodní charakteristika převodníku ..... - 73 -
Obrázek 7.3: Statistické a náhodné rozložení chyb převodníku ..... - 73 -
Obrázek 7.4: Principiální způsoby trimování operačního zesilovače ..... - 74 -
Obrázek 7.5: Průběh pro zjištění maximální frekvence hodinového signálu ..... - 75 -
Obrázek 7.6: Výsledek simulace se vstupním sinusovým signálem ..... - 75 -
Obrázek 7.7: Frekvenční spektrum převodníku ..... - 76 -

Seznam tabulek

Tabulka 1.1: Vlastnosti nízkonapěťových MOS tranzistorů* [5] ..... - 13 -
Tabulka 1.2: Vlastnosti vybraných pasivních součástek [5] ..... - 13 -
Tabulka 4.1: Přehled nejdůležitějších vlastností převodníků D/A [1] ..... - 33 -
Tabulka 5.1: Rozměry součástek klidového zdroje proudu s regulovanou kaskodou ..... - 36 -
Tabulka 5.2: Dosažené parametry klidového zdroje proudu s regulovanou kaskodou..... - 37 -
Tabulka 5.3: Rozměry součástek klidového zdroje proudu s regulovanou kaskodou ..... - 38 -
Tabulka 5.4: Dosažené parametry klidového zdroje proudu s konstantním gm ..... - 39 -
Tabulka 5.5: Přehled součástek jádra napěťové reference ..... - 43 -
Tabulka 5.6: Přehled součástek OZ v napěťové referenci ..... - 45 -
Tabulka 5.7: Dosažené parametry OZ v napěťové referenci @C_L = 3 pF + C_{GATE} ..... - 46 -
Tabulka 5.8: Dosažené parametry napěťové reference ..... - 48 -
Tabulka 5.9: Přehled součástek OZ v převodníku napětí na proud ..... - 51 -
Tabulka 5.10: Dosažené parametry OZ v převodníku U-I @C_L = 1 pF + C_{GATE} ..... - 51 -
Tabulka 5.11: Přehled velikostí součástek převodníku napětí-proud ..... - 52 -
Tabulka 5.12: Dosažené parametry převodníku napětí na proud ..... - 55 -
Tabulka 5.13: Přehled velikostí součástek napěťového sledovače ..... - 57 -
Tabulka 5.14: Dosažené parametry sledovače napětí ..... - 58 -
Tabulka 6.1: Rozměry součástek navrženého přepínače ..... - 62 -
Tabulka 6.2: Parametry navrženého spínače ..... - 62 -
Tabulka 6.3: Přehled velikostí součástek jádra plně diferenčního OZ ..... - 68 -
Tabulka 6.4: Přehled velikostí součástek zpětnovazebního obvodu ..... - 69 -
Tabulka 6.5: Přehled velikostí součástek obvodu pro nastavení pracovních bodů ..... - 70 -
Tabulka 6.6: Dosažené parametry sledovače napětí ..... - 71 -
Tabulka 7.1: Stejnosměrné vlastnosti navrženého převodníku D/A ..... - 74 -
Tabulka 7.2: Šumové vlastnosti navrženého převodníku D/A ..... - 76 -
Tabulka 8.1: Porovnání navrženého převodníku s jinými převodníky ..... - 77 -
Tabulka 9.1: Souhrnná tabulka dosažených vlastností převodníku ..... - 79 -

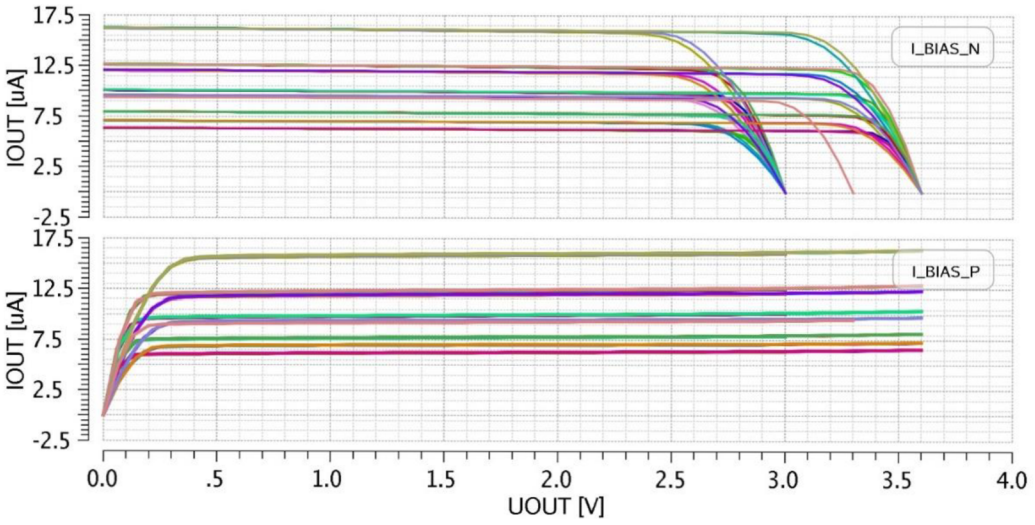
Seznam použitých zkratek a symbolů

Symbol	Popis	Jednotka
A/D	Analogově digitální	-
A_0	Stejnosměrné zesílení	dB
D/A	Digitálně analogové	-
DNL	Diferenciální nelinearita	LSB
DR	Dynamický rozsah převodníku	dB
ENOB	Efektivní počet bitů	-
GBW	Frekvence jednotkového zisku	Hz
HIPOR	Polyresistor s vysokým plošným odporem	-
INL	Integrální nelinearita	LSB
KP	Transkonduktanční parametr	$\mu A.V^{-2}$
LSB	Nejméně významný bit	-
MIMC	Metal – metal kondenzátor	-
MSB	Nejvíce významný bit	-
PM	Fázová bezpečnost	°
PPOR	Polyresistor s malým teplotním koeficientem	-
$R\square$	Povrchový odpor	$\Omega/\square$
SFDR	Dynamický rozsah bez zkreslení	dBc/dBFS
SNDR	Odstup signálu od šumu a zkreslení	dB
SNR	Odstup signálu od šumu	dB
SR	Rychlost přeběhu	V/µs
TC_1	Lineární teplotní koeficient	K^{-1}
U_{AGND}	Analogová zem	V
U_{OS}	Napěťová nesymetrie OZ	V
U_{TH}	Prahové napětí	V
U_{FS}	Plný rozsah převodníku	V
k	Boltzmannova konstanta	$J \cdot K^{-1}$

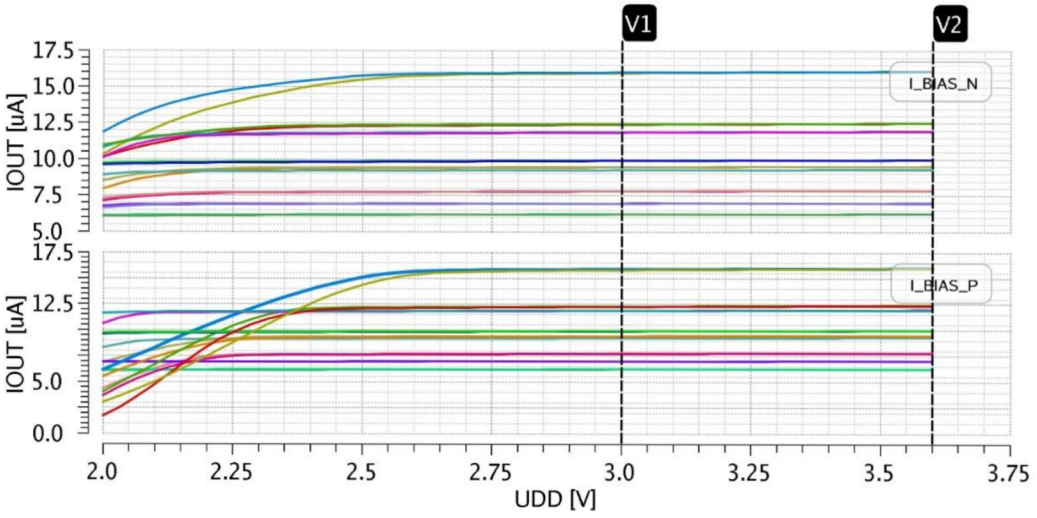
Seznam příloh

P1 Doplňující a corner analýzy I
P2 Zdrojové kódy VIII

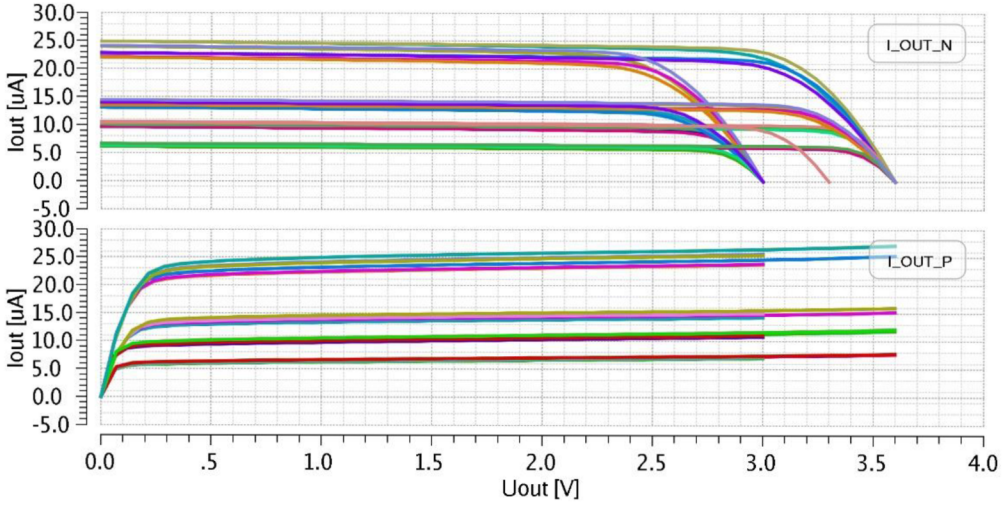
P1 Doplňující a corner analýzy



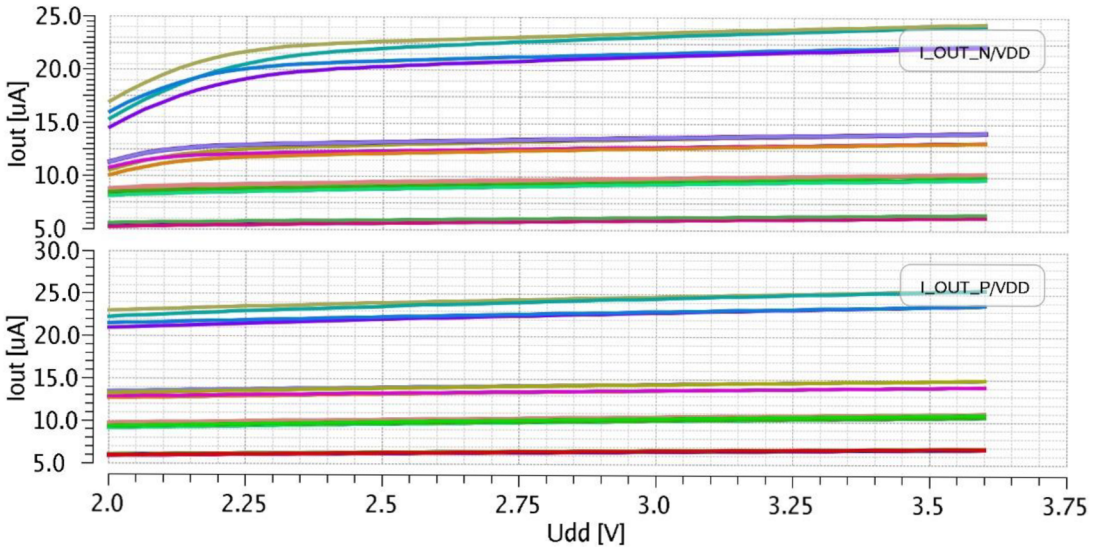
Obr. P 1: Regulovaná kaskoda – Závislost výstupních proudů na výstupním napětí



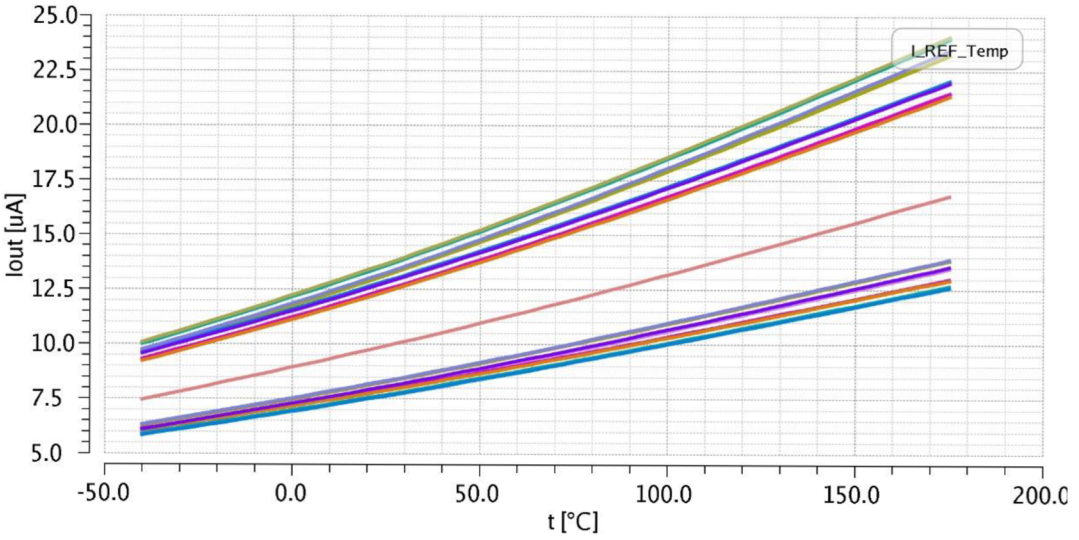
Obr. P 2: Regulovaná kaskoda – Závislost výstupních proudů na napájecím napětí



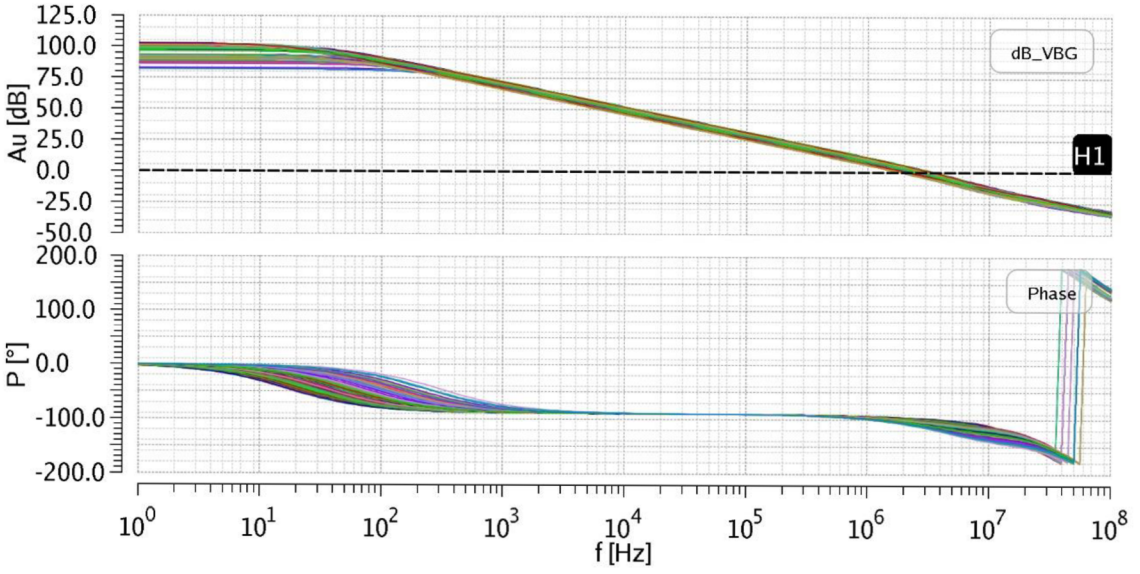
Obr. P 3: Konstantní *gm* – Závislost výstupních proudů na výstupním napětí



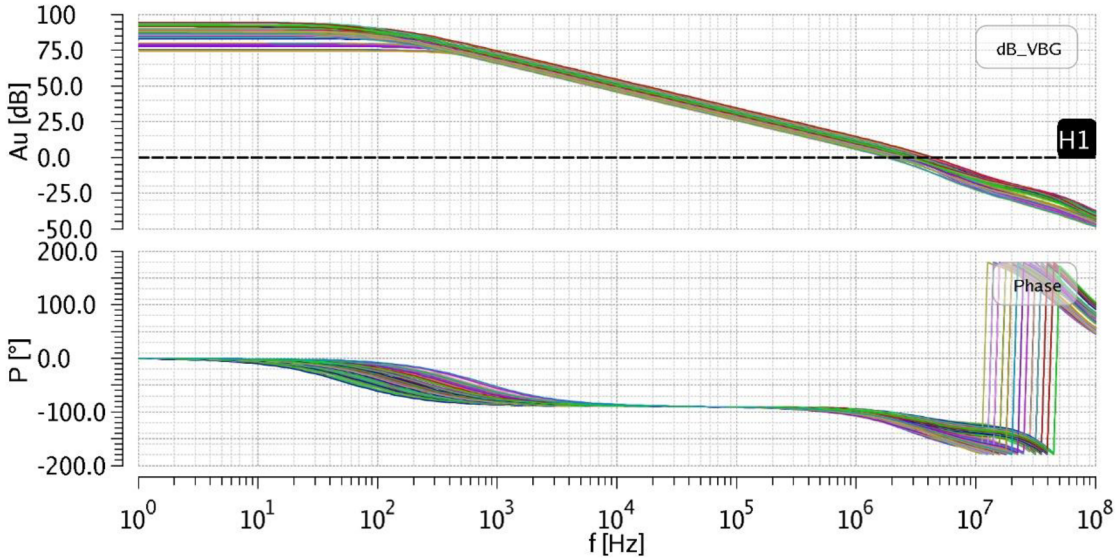
Obr. P 4: Konstantní *gm* – závislost výstupního proudu na napájení



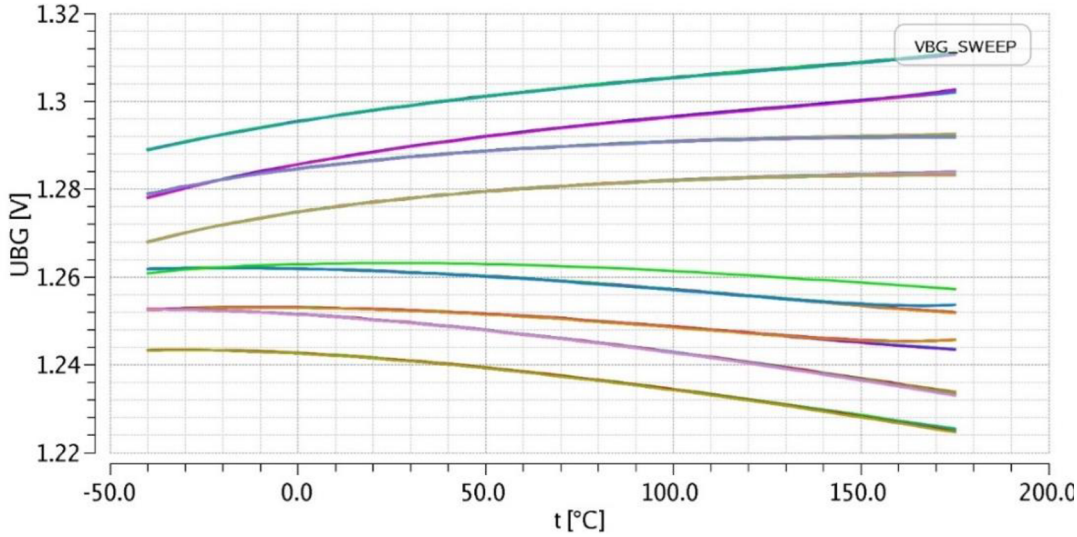
Obr. P 5: Konstantní *gm* – Závislost výstupního proudu na teplotě



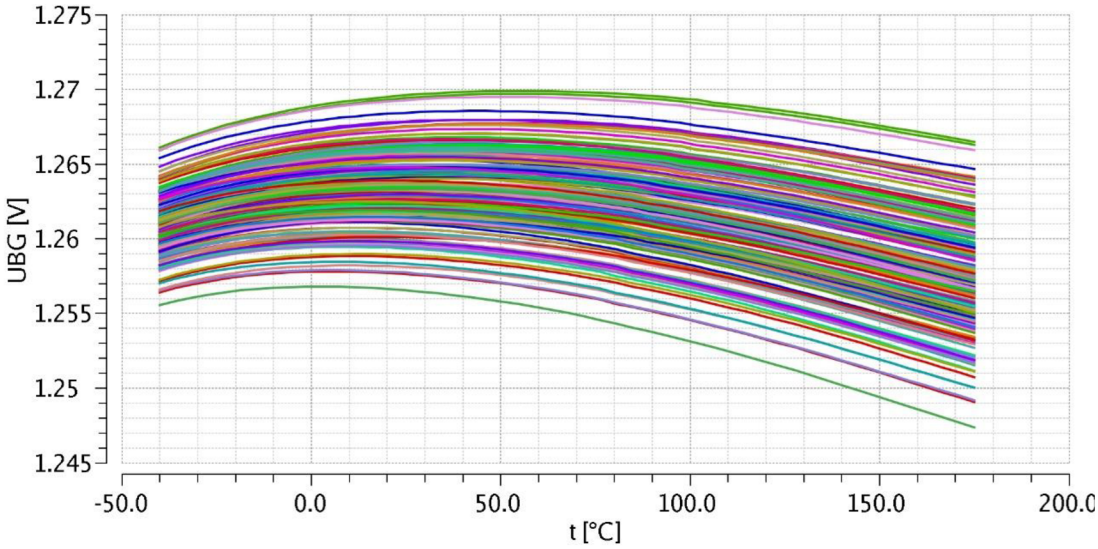
Obr. P 6: Napěťová reference – Frekvenční charakteristika OZ



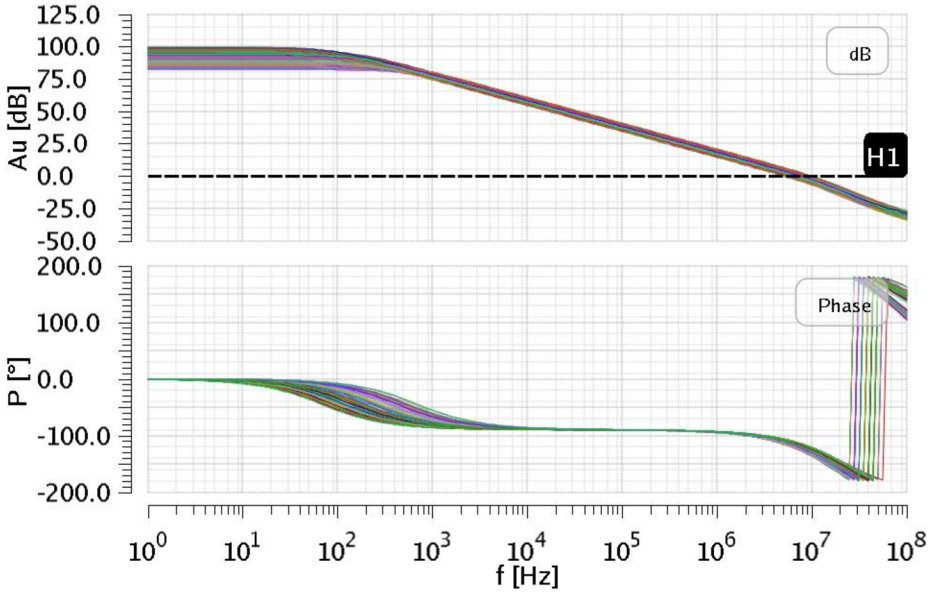
Obr. P 7: Napěťová reference – Frekvenční charakteristika otevřené smyčky



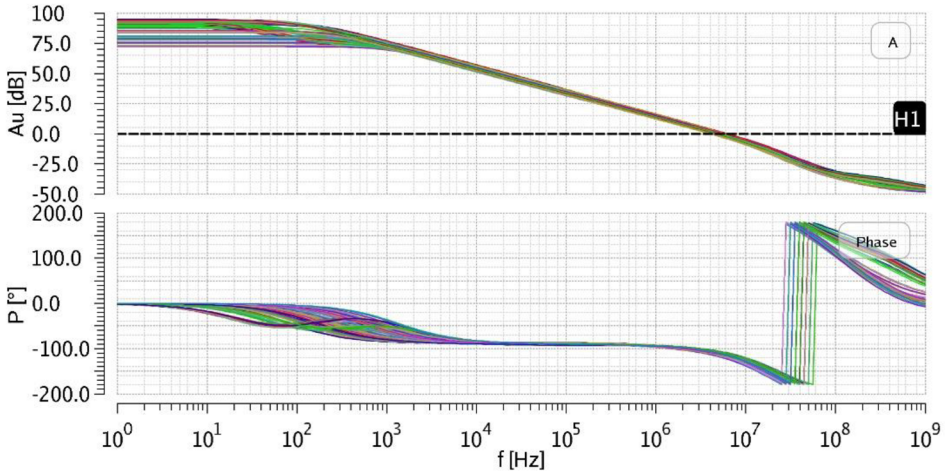
Obr. P 8: Napěťová reference – Závislost výstupního napětí na teplotě – corner analýza



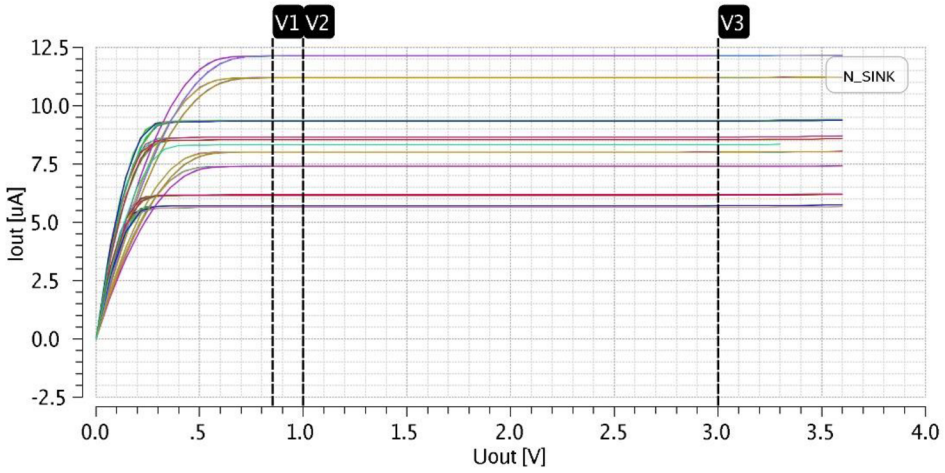
Obr. P 9: Napěťová reference – Závislost výstupního napětí na teplotě – Monte Carlo



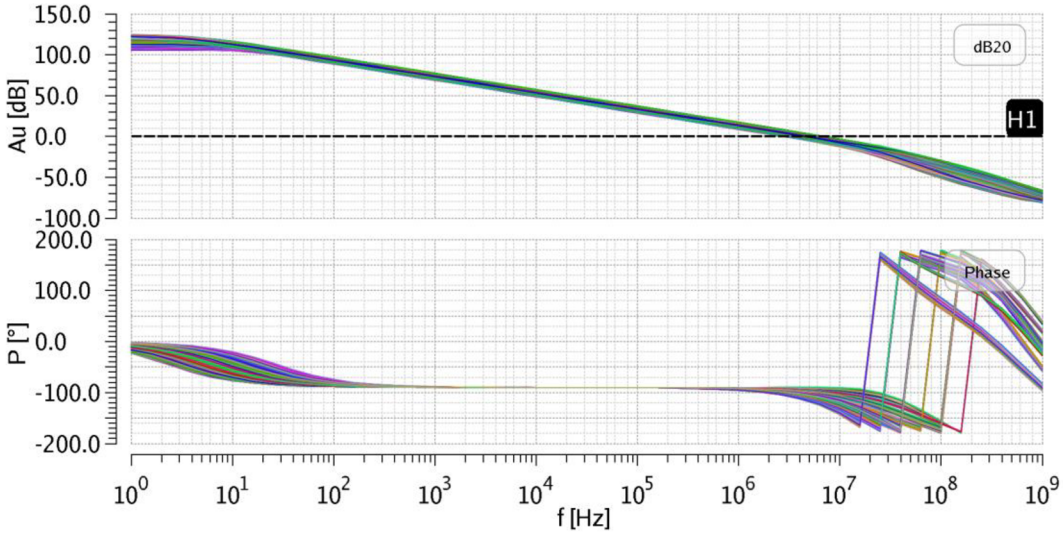
Obr. P 10: Převodník U-I – Frekvenční charakteristika OZ



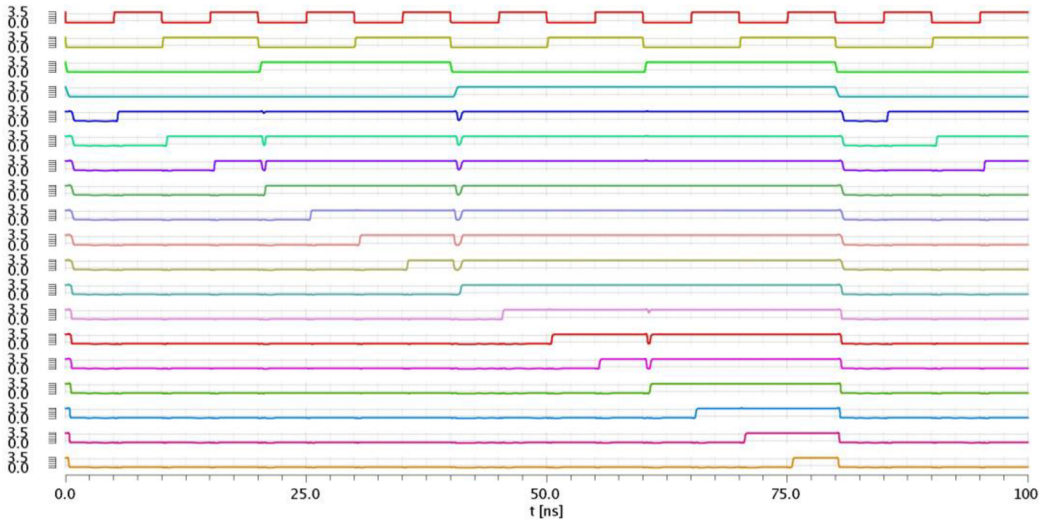
Obr. P 11: Převodník U-I – Frekvenční charakteristika otevřené smyčky



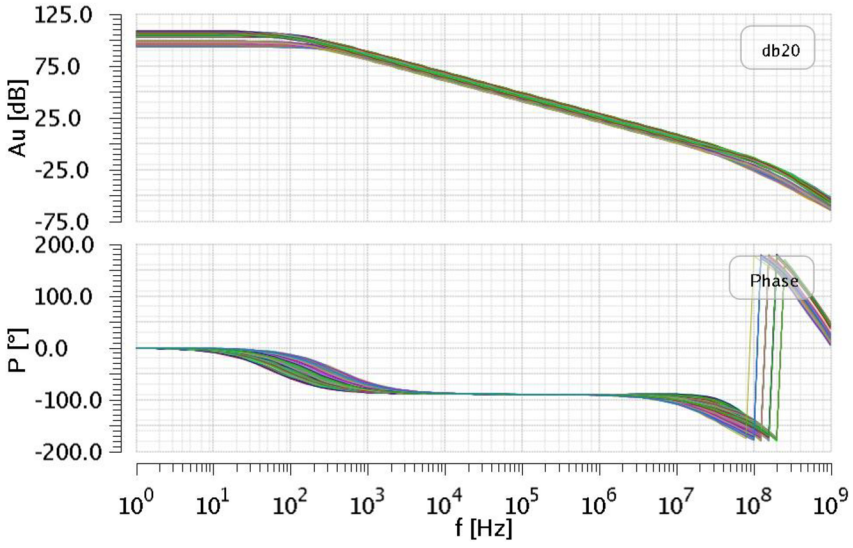
Obr. P 12: Převodník U-I – Závislost výstupních proudů na výstupním napětí



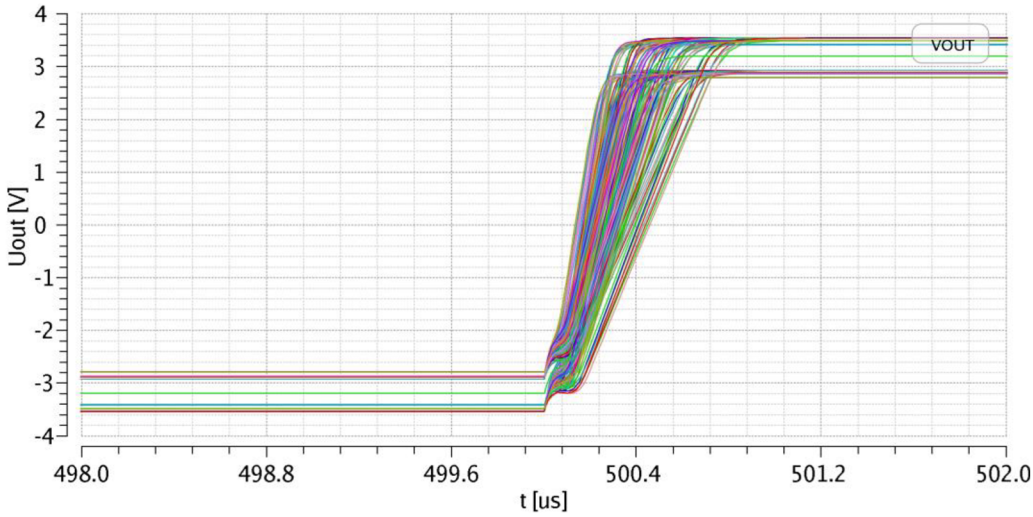
Obr. P 13: Sledovač napětí – Frekvenční charakteristika



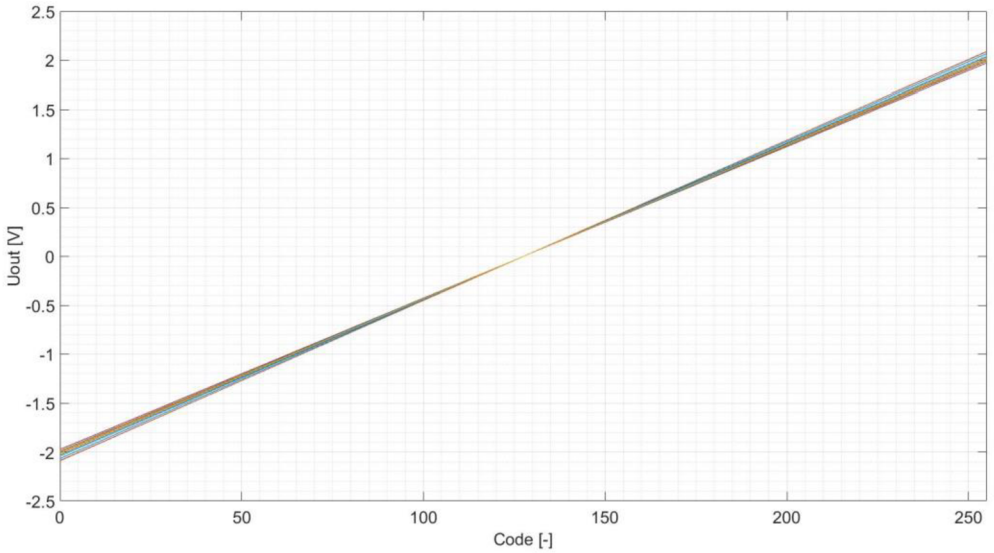
Obr. P 14: Časová analýza navrženého dekodéru z binárního čísla na termometrický kód, první čtyři křivky – vstupní binární číslo, další – výstupy od SW_0 do SW_{14}



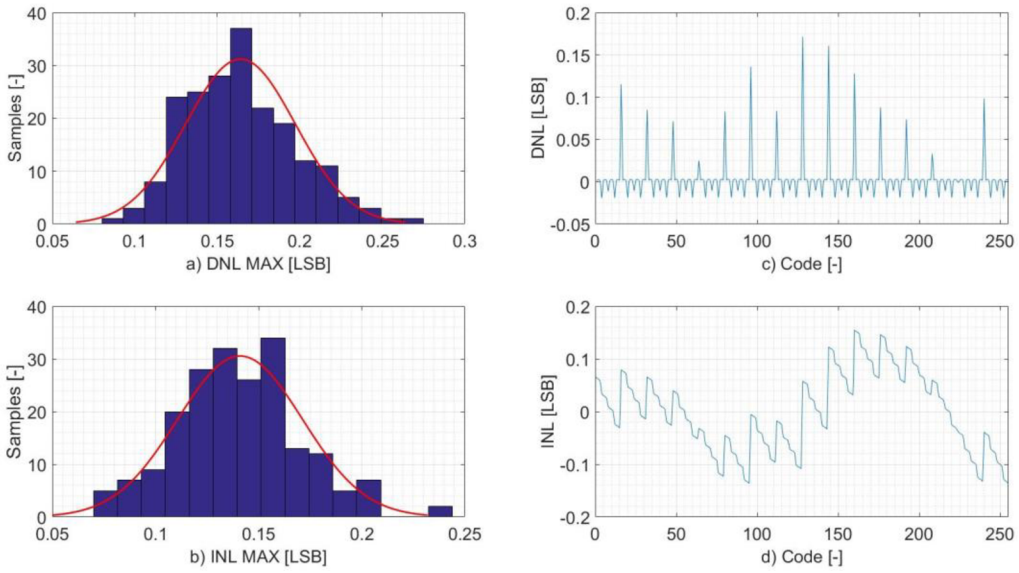
Obr. P 15: Plně diferenční OZ – frekvenční charakteristika



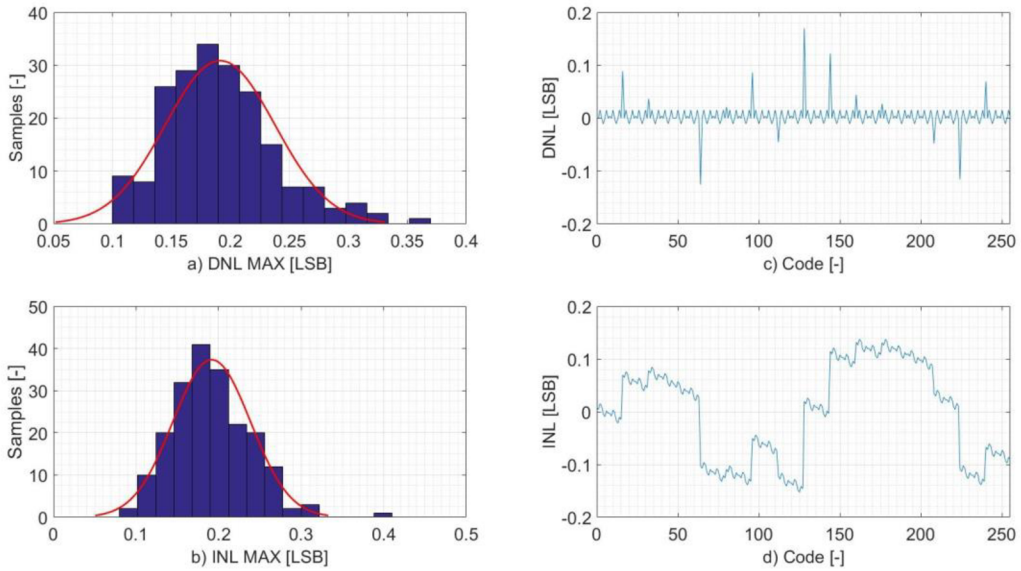
Obr. P 16: Plně diferenční OZ – Časová analýza *SR*



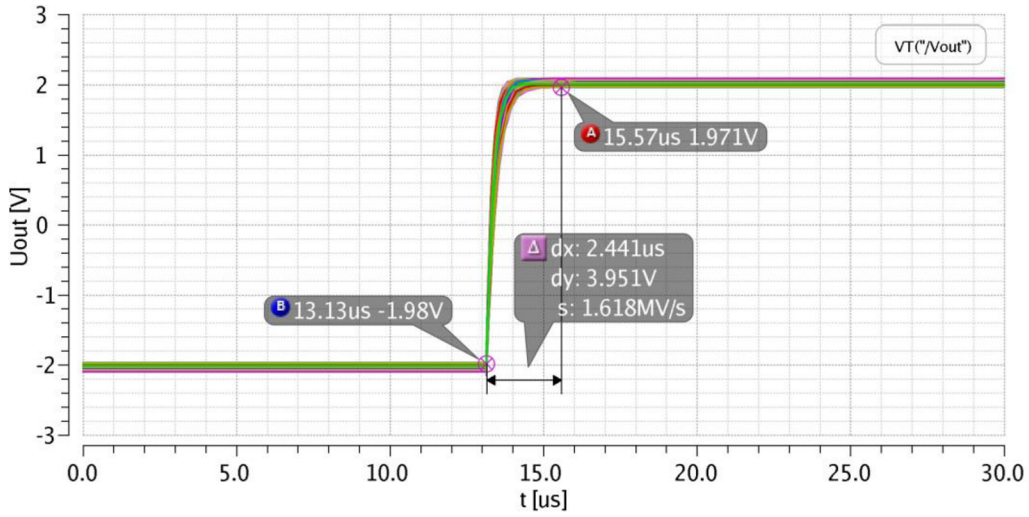
Obr. P 17: Kompletní převodník – převodní charakteristiky



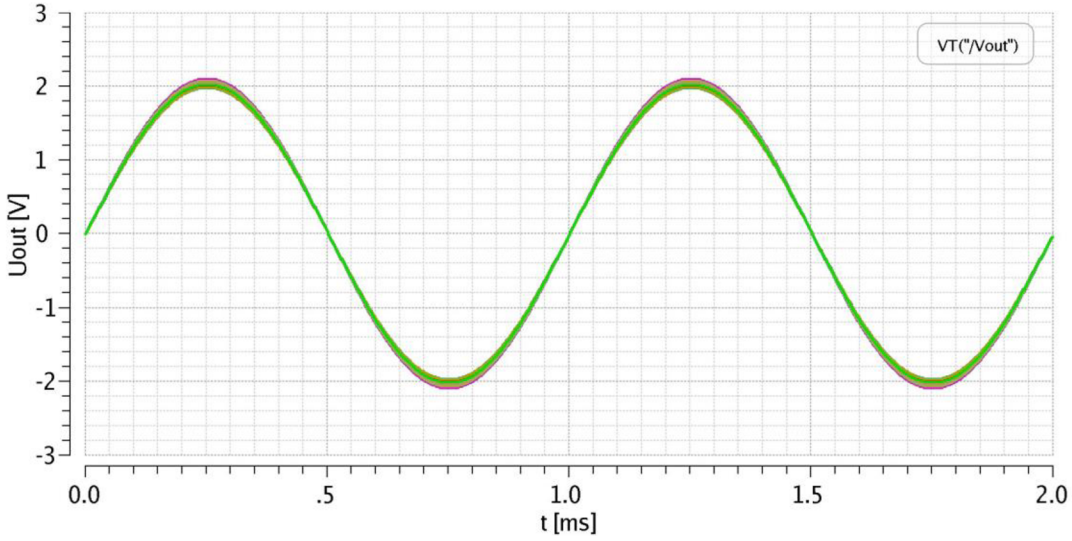
Obr. P 18: Kompletní převodník – Chyby *DNL* a *INL* při teplotě 175 °C



Obr. P 19: Kompletní převodník – Chyby *DNL* a *INL* při teplotě -40 °C



Obr. P 20: Kompletní převodník – Corner analýza k určení $f_{CLK,MAX}$



Obr. P 21: Výsledek simulace se vstupním sinusovým signálem

P2 Zdrojové kódy

```
// VerilogA for DAC_I3T25, ADC_ideal, veriloga

`include "constants.vams"
`include "disciplines.vams"

module ADC_ideal(Dout, VAGND, VDD, VIN, VSS,CLK);

	output [7:0] Dout;
	electrical [7:0] Dout;
	input VAGND;
	electrical VAGND;   // Not use in model
	input VDD;
	electrical VDD;
	input VIN;
	electrical VIN;
	input VSS;
	electrical VSS;
	input CLK;
	electrical CLK;

	//Parameters
	parameter real Umax = 3.0;// Maximum input voltage
	parameter real R_on = 1;
	parameter real R_off = 1e9;
	parameter integer N = 8;  // Number of bits

	// Variables
	real treshold;      // Half between VDD and VSS
	real R_Dout_VSS [N-1:0]; // Resistor connected between Dout and VSS
	real R_Dout_VDD [N-1:0]; // Resistor connected between Dout and VDD
	real Sample_IN;
	real Sample_TH;
	genvar i,j;

	analog begin
		treshold = V(VDD,VSS)/2;
		// "Digital" part
		// @(above(V(clk)-treshold)) begin
		@(initial_step or cross(V(clk)-treshold,1,1n)) begin
			Sample_IN = V(in);
			Sample_TH = Umax/2;
			for(i = N - 1; i >= 0; i = i - 1) begin
				if(Sample_IN > Sample_TH) begin
					R_Dout_VSS[i] = R_off;
					R_Dout_VDD[i] = R_on;
					Sample_IN = Sample_IN - Sample_TH;
				end
				else begin
					R_Dout_VSS[i] = R_on;
					R_Dout_VDD[i] = R_off;
				end
				Sample_TH = Sample_TH/2;
			end
		end
		// "Analog" part
		for(j = 0; j <= N - 1; j = j + 1) begin
			V(Dout[j],VSS) <+ I(Dout[j],VSS)
					*transition(R_Dout_VSS[j], 1n, 1n, 1n);
			V(Dout[j],VDD) <+ I(Dout[j],VDD)
					*transition(R_Dout_VDD[j], 1n, 1n, 1n);
		end
	end
```

Příloha 1: Zdrojový kód ideálního převodníku A/D

```
// VerilogA for DAC_I3T25, DAC_ideal, veriloga

`include "constants.vams"
`include "disciplines.vams"

module DAC_ideal(Vout, Din, VAGND, VDD, VSS);
	parameter integer N = 8;

	output Vout;
	electrical Vout;
	input [7:0] Din;
	electrical [7:0] Din;
	input VAGND;
	electrical VAGND;
	input VDD;
	electrical VDD;
	input VSS;
	electrical VSS;

	//Branches
	branch (VAGND,VSS) agnd;
	branch (Vout,VSS) out;

	// Parameters
	parameter real Uref = 3;

	// Variables
	genvar i,j;
	real th;
	real var_out;
	real Data; //Input data to decimal

	analog begin
		th  = V(VDD,VSS)/2;

		@(initial_step
			or cross(V(Din[7],VSS)-th,0,1n) or cross(V(Din[6],VSS)-th,0,1n)
			or cross(V(Din[5],VSS)-th,0,1n) or cross(V(Din[4],VSS)-th,0,1n)
			or cross(V(Din[3],VSS)-th,0,1n) or cross(V(Din[2],VSS)-th,0,1n)
			or cross(V(Din[1],VSS)-th,0,1n) or cross(V(Din[0],VSS)-th,0,1n))
		begin
			Data = 0.0;
			for(i = N - 1; i >= 0;  i = i - 1) begin
				if(V(Din[i],VSS) > th)
					Data = Data + pow(2,i);// Transfer data to decimal
			end
			var_out = (Data/pow(2,N))*Uref - Uref/2;
		end

		V(out) <+ transition(var_out,1n,1n,1n);
	end
endmodule
```

Příloha 2: Zdrojový kód ideálního převodníku D/A

```
clear all;
close all;
% Single sweep
%file = 'C:\Users\PePe\Disk
Google\DP_SIM\Diplomova_prace\Presnost\Nom_prevodni.matlab';
%file = 'C:\Users\PePe\Disk
Google\DP_SIM\Diplomova_prace\Presnost\Cor_prevodni.matlab';

%Monte Carlo
%file = 'C:\Users\PePe\Disk Google\DP_SIM\Diplomova_prace\Presnost\nominal.matlab';
file = 'C:\Users\PePe\Disk Google\DP_SIM\Diplomova_prace\Presnost\COR_40C.matlab';
%file = 'C:\Users\PePe\Disk Google\DP_SIM\Diplomova_prace\Presnost\COR_175C.matlab';

A = load(file);

[row,col] = size(A);
MC_runs = col/2;
A(end,:) = []; %delete last row

for i = 1:MC_runs
        Colunm = i * 2;
        U_LSB = (A(256, Colunm) - A(1, Colunm))/256;
        %Change input ADC voltage for input DAC code
        for k = 1:256
            A(k,Colunm - 1) = k-1;
        end
        % Offset calculation
        Zero(i) = A(1,2*i) + 2;
        %DNL_calculation
        DNL_max(i) = 0;
        for j = 2:256
            DNL(j-1) = (A(j, Colunm) - (A(j-1, Colunm))-U_LSB)/U_LSB;  %in LSB units
        end
        DNL_max(i) = max(abs(DNL));

        %INL calculation - best fit line
        INL_max(i) = 0;
        slope = polyfit(A(:,Colunm - 1),A(:,Colunm),1); % y = ax + b

         for j = 1:256
            U_ideal(j) = slope(1)*(j-1) + slope(2);
            INL(j) = (A(j, Colunm) - U_ideal(j))/(U_LSB);
         end
         INL_max(i) = max(abs(INL));
end
[INL_overall_max, INL_position] = max(INL_max);
[DNL_overall_max, DNL_position] = max(DNL_max);

[DNL_mean, DNL_sigma] = normfit(DNL_max);
[INL_mean, INL_sigma] = normfit(INL_max);
[Zero_mean, Zero_sigma] = normfit(Zero);

DNL_process_6S = DNL_mean + 6*DNL_sigma;
INL_process_6S = INL_mean + 6*INL_sigma;
Zero_process_6S = Zero_mean + 6*Zero_sigma;
```

Příloha 3: Skript pro získání stejnosměrných vlastností převodníku

```
clear all;
close all;
%file = 'C:\Users\PePe\Disk Google\DP_SIM\Diplomova_prace\Sum\Sinus_ideal.matlab';
%file = 'C:\Users\PePe\Disk Google\DP_SIM\Diplomova_prace\Sum\Sinus_nom.matlab';
%file = 'C:\Users\PePe\Disk
Google\DP_SIM\Diplomova_prace\Sum\Sinus_nom_noise.matlab';
file = 'C:\Users\PePe\Disk Google\DP_SIM\Diplomova_prace\Sum\STAT_111.matlab';
A = load(file);

Tstop = 2e-3 + 1e-6;
step = 500e-9;
Tstart = 1e-6;
cnt = 1;
row = 2;
row_start = 1;
row_end = 1;
Fs = 1e9;
while(row < length(A))
    Error_start = abs(((A(row,1) - Tstart)/Tstart)*100);
    Error_end = abs(((A(row,1) - Tstop)/Tstop)*100);

    if(Error_start < 1e-3)
        row_start = row;
        row = row + 1;
    elseif(Error_end < 1e-3)
            row_end = row;
            break;
    else
        row = row + 1;
    end
end
t = A(row_start:row_end,1);
x = A(row_start:row_end,2);

% compute slope and offset (y = a1 x + a2)
a(1) = (x(end)-x(1)) / (t(end)-t(1));
a(2) = x(1);
% detrend the signal
xdetrend = x - polyval(a,t);
% plot(t,xdetrend)
[ydetrend,ty] = resample(xdetrend,t,Fs);
y = ydetrend + polyval(a,ty);

X = y;
L = length(X);

Y = fft(X);
P2 = abs(Y/L);
P1 = P2(1:L/2+1);
P1(2:end-1) = mag2db(2*P1(2:end-1));
f = Fs*(0:(L/2))/L;

figure
semilogx(f, P1);
% Add title and axis labels
xlabel('f [Hz]')
ylabel('mag [dB]')

[pxx,f] = periodogram(X,rectwin(length(X)),length(X),Fs);
sndr = sinad(pxx,f,'psd');
SNR = snr(pxx,f,'psd');
[sxx,f] = periodogram(X,rectwin(length(X)),length(X),Fs,'power');
sfdr = sfdr(sxx,f,'power');
enob = (sndr - 1.76)/6.02;
```

Příloha 4: Skript pro získání šumových vlastností převodníku