



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH PLNĚ DIFERENČNÍHO OPERAČNÍHO ZESILOVAČE VE TŘÍDĚ AB

DESIGN OF FULLY DIFFERENTIAL OPERATIONAL AMPLIFIER WITH AB OUTPUT STAGE

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

PETR MÁCHA

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. VILÉM KLEDROWETZ, Ph.D.

BRNO 2015



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Petr Mácha

ID: 154797

Ročník: 3

Akademický rok: 2014/2015

NÁZEV TÉMATU:

Návrh plně diferenčního operačního zesilovače ve třídě AB

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte různé struktury operačních zesilovačů pracujících ve třídě AB. Vyberte strukturu vhodnou pro dosažení vysokých kmitočtů. Navrhněte operační zesilovač s plně diferenčním výstupem pracující ve třídě AB s těmito parametry $A_u > 60$ dB, $GBW > 10$ MHz, $SR > 10$ V/us. Ověřte jeho parametry v celém rozptylu procesu a teplot a vyzkoušejte jeho správnou funkci v konkrétní aplikaci. Vyhodnoťte jeho parametry. Navrhněte layout čipu. Použitá technologie I3T25.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 10.2.2015

Termín odevzdání: 4.6.2015

Vedoucí práce: Ing. Vilém Kledrowetz, Ph.D.

Konzultanti bakalářské práce:

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato bakalářská práce se zabývá návrhem plně diferenčního operačního zesilovače ve třídě AB v technologii I3T25 firmy ON Semiconductor. Práce obsahuje popis unipolárních tranzistorů, struktur a jednotlivých částí operačního zesilovače. Hlavní zaměření práce je v návržení obvodu, který bude schopen pracovat i na vysokých kmitočtech. Správná činnost navrženého obvodu je ověřena pomocí simulačního programu Cadence.

Abstract

This bachelor thesis deals with the design of fully differential operation amplifier with AB output stage in technology I3T25 of ON Semiconductor company. The work contains the description of unipolar transistor, structures and all the particular parts of operation amplifier. The main focus of the work is to design a circuit that will be able to work at high frequencies. The right functioning of designed circuit is verified by simulation program Cadence

Klíčová slova

Plně diferenční operační zesilovač; struktury operačního zesilovače; složená kaskoda; technologie CMOS, topologie, I3T25.

Keywords

Fully differential operational amplifier; the structure of the operational amplifier; folded cascode; CMOS technology, layout, I3T25.

Bibliografická citace

MÁCHA, P. *Návrh plně diferenčního operačního zesilovače ve třídě AB*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2015. 45 s. Vedoucí bakalářské práce Ing. Vilém Kledrowetz, Ph.D..

Prohlášení

Prohlašuji, že svoji bakalářskou práci na téma „**Návrh plně diferenčního operačního zesilovače ve třídě AB**“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 4. června 2015

.....
podpis autora

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Vilému Kledrowetzovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování této práce. Dále chci poděkovat Lukáši Pěčkovi za trpělivost, rady a tipy při seznamování s návrhovým prostředím Cadence.

V neposlední řadě bych chtěl poděkovat rodině za podporu a zázemí při řešení této práce.

V Brně dne 4. června 2015

.....
podpis autora

Obsah

Seznam obrázků	7
Seznam tabulek	8
Úvod	9
1 Unipolární tranzistory	10
1.1 Typy unipolárních tranzistorů.....	10
1.2 Tranzistor MOS	11
1.2.1 Parametry MOSFET	13
1.3 Technologie I3T25	14
2 Operační zesilovač	15
2.1 Ideální operační zesilovač.....	15
2.2 Reálný operační zesilovač	16
2.3 Parametry OZ	16
2.4 Plně diferenční operační zesilovač	18
3 Struktury operačního zesilovače	19
3.1 Teleskopická struktura.....	19
3.2 Složená kaskoda	20
3.3 Dvoustupňové operační zesilovače.....	21
3.4 Gain boosting.....	21
4 Funkční bloky operačního zesilovače	22
4.1 Diferenční zesilovač	22
4.2 Proudová zrcadla	22
4.2.1 Jednoduché proudové zrcadlo	22
4.2.2 Kaskodové proudové zrcadlo	23
4.3 Výstupní stupně operačních zesilovačů.....	24
4.3.1 Výstupní stupeň ve třídě A.....	24
4.3.2 Výstupní stupeň ve třídě B	24
4.3.3 Výstupní stupeň ve třídě AB	25
5 Topologie integrovaných obvodů.....	26
6 Návrh operačního zesilovače.....	27
6.1 Výpočet vstupních tranzistorů	27
6.2 Výpočet tranzistorů kaskody	28
6.3 Výpočet tranzistorů výstupního stupně	29
6.4 Výpočet zpětnovazebního obvodu.....	31
6.5 Návrh obvodu pro nastavení pracovních bodů	32

7	Simulace výsledného OZ	33
7.1	AC analýza	33
7.2	Časová analýza	34
7.3	Simulace vstupní napěťové nesymetrie	35
7.4	Simulace vstupního rozsahu	36
7.5	Simulace výstupního rozsahu	37
7.6	Simulace <i>CMRR</i>	38
7.7	Simulace <i>PSRR</i>	39
7.8	Ověření funkčnosti na konkrétní aplikaci	40
	Závěr	42
	Seznam použité literatury	43
	Seznam použitých zkratk a symbolů	44
	Seznam příloh	45

Seznam obrázků

Obrázek 1.1: Schématická značka MOSFET	11
Obrázek 1.2: Struktura NMOS a PMOS na společném p-substrátu	12
Obrázek 1.3: Výstupní charakteristika NMOS [4]	12
Obrázek 1.4: Malosignálový model tranzistoru	13
Obrázek 1.5: Průřez waferu technologie I3T25 [6].....	14
Obrázek 2.1: Schématická značka OZ	15
Obrázek 2.2: Vliv fázové bezpečnosti na stabilitu OZ [9]	17
Obrázek 2.3: Schématická značka plně diferenčního OZ	18
Obrázek 2.4: Princip zdvojnásobení výstupního rozsahu	18
Obrázek 3.1: Teleskopická struktura [13]	19
Obrázek 3.2: Složená kaskoda.....	20
Obrázek 3.3: Struktura dvojstupňového operačního zesilovače	21
Obrázek 3.4: Princip zvyšování zesílení [13].....	21
Obrázek 4.1: Diferenční pár s aktivní zátěží	22
Obrázek 4.2: Jednoduché proudové zrcadlo.....	23
Obrázek 4.3: Kaskodové proudové zrcadlo	23
Obrázek 4.4: Princip výstupního stupně ve třídě A [12].....	24
Obrázek 4.5: Princip výstupního stupně ve třídě B [12]	25
Obrázek 4.6: Princip výstupního stupně ve třídě AB [12]	25
Obrázek 5.1: Metody pro zvýšení shodnosti tranzistorů.....	26
Obrázek 6.1: Zapojení vstupní části OZ.....	28
Obrázek 6.2: Zapojení složené kaskody.....	29
Obrázek 6.3: Zapojení výstupního stupně.....	30
Obrázek 6.4: Zpětnovazební obvod pro nastavení DC hodnoty výstupního napětí.....	31
Obrázek 6.5: Obvod pro nastavení pracovních bodů	32
Obrázek 7.1: Zapojení pro AC analýzu.....	33
Obrázek 7.2: Typický průběh frekvenční a fázové charakteristiky.....	34
Obrázek 7.3: Typický průběh časové analýzy - SR.....	35
Obrázek 7.4: Obvod pro měření vstupní napěťové nesymetrie.....	35
Obrázek 7.5: Typický průběh proudu I_3 a výstupního napětí.....	36
Obrázek 7.6: Plně diferenční invertující zesilovač.....	37
Obrázek 7.7: Simulace výstupního napěťového rozsahu	37
Obrázek 7.8: Schéma pro měření parametru $CMRR$	38
Obrázek 7.9: Typická závislost parametru $CMRR$ na frekvenci	38
Obrázek 7.10: Schéma pro měření parametru $PSRR$	39
Obrázek 7.11: Typická závislost parametru $PSRR$ na frekvenci.....	39
Obrázek 7.12: Schéma obvodu integrátoru	40
Obrázek 7.13: Časový průběh výstupů integrátorů	40
Obrázek 7.14: Časový průběh diferenčního výstupu integrátoru.....	41

Seznam tabulek

Tabulka 1.1: Základní vlastnosti technologie I3T25[6]*	14
Tabulka 2.1: Vlastnosti ideálního OZ	15
Tabulka 2.2: Typické parametry operačního zesilovače	16
Tabulka 6.1: Požadované parametry OZ	27
Tabulka 6.2: Rozměry tranzistorů vstupní části OZ.....	28
Tabulka 6.3: Rozměr tranzistorů složené kaskody.....	29
Tabulka 6.4: Rozměry tranzistorů výstupního stupně.....	30
Tabulka 6.5: Rozměry tranzistorů zpětnovazebního obvodu	31
Tabulka 7.1: Souhrn výsledků AC simulace	34
Tabulka 7.2: Tranzistory s největším příspěvkem na vstupní napět'ovou nesymetrii	36
Tabulka 7.3: Přehled výsledků jednotlivých simulací.....	41

Úvod

Operační zesilovače mají svůj původ v analogových počítačích, kde měly za úkol provádět různé matematické operace v celé řadě lineárních, nelineárních a frekvenčně závislých aplikacích. Dnes jsou nedílnou součástí regulační a měřicí techniky, převodníků D/A a různých nízkofrekvenčních aplikací. Jejich popularita, jako stavebních bloků analogových obvodů, je dána jejich všestranností. Pomocí externích součástek zapojených do záporné zpětné vazby lze určovat zesílení, šířku pásma a další parametry obvodu. Operační zesilovače mohou být zapouzdřeny samostatně nebo jako součást složitějších integrovaných obvodů.

Při stále klesajícím napájecím napětí dochází ke zhoršování odstupů signálu od šumu. Jedním z nejrozšířenějších způsobů jak tento problém vyřešit je využití výhod plně diferenčního zapojení. Diferenční zapojení mají oproti jednoduchým dvakrát vyšší rozkmit. Hlavní výhoda však spočívá v potlačení šumu, který působí na oba signály společně a dochází tak k jeho vzájemnému vyrušení.

V první části této práce jsou rozebrány unipolární tranzistory. Je zde uveden princip činnosti a vlastnosti především pro MOS tranzistory, které patří mezi nejčastěji používané součástky v integrované technice.

V následujících kapitolách jsou nejprve popsány vlastnosti ideálního a reálného operačního zesilovače a důležité parametry, které určují chování navrženého obvodu. Jsou zde popsány jednotlivé struktury, jejich vlastnosti a způsoby realizace. Následně je čtenář seznámen s funkčními bloky, které jsou využívány při návrhu operačního zesilovače. Jsou zde popsána obvodová zapojení a požadované parametry jednotlivých bloků.

V praktické části této práce je rozebrán návrh výsledného zapojení. Využívá se poznatků popsaných v teoretické části. Samotný návrh probíhal v profesionálním návrhovém prostředí firmy Cadence, které podporuje vyšší modely tranzistorů a pokročilé typy simulací. Za zmínku stojí například corner analýza, která umožňuje simulování navrženého obvodu v celém procesním rozptylu. Výsledky simulací navrženého operačního zesilovače jsou uvedeny v poslední kapitole.

Důležitou součástí při návrhu integrovaných obvodů je vytvoření topologie čipu. V kapitole 5 jsou popsány techniky k potlačení neshodnosti tranzistorů, jsou zde rovněž uvedené různé kontroly, kterými by měla navržená topologie projít. Na základě těchto poznatků byla vytvořena topologie čipu.

1 Unipolární tranzistory

Tranzistory jsou aktivní polovodičové součástky. Rozlišujeme je podle toho, zda se na přenosu náboje podílí oba typy nosičů (bipolární) nebo jen jeden (unipolární). Unipolární tranzistor využívá elektrické pole pro řízení tvaru a tím i vodivosti kanálu, který je tvořen pouze majoritními nosiči náboje.

Hlavní výhodou unipolárních tranzistorů oproti bipolárním je jejich vysoký vstupní odpor. Díky tomu jejich vstupním obvodem neteče téměř žádný proud a není zatěžován předcházející obvod. Další výhodou je, že díky skoro lineární VA charakteristice v prvním kvadrantu neprodukuje téměř žádný šum, tato vlastnost je důležitá hlavně v nízkošumových a vysokofrekvenčních aplikacích.

1.1 Typy unipolárních tranzistorů

Mezi dva základní typy unipolárních tranzistorů můžeme zařadit tranzistory s přechodovým a s izolovaným hradlem.

- Tranzistory s přechodovým hradlem
 - **JFET** – tranzistor je tvořen destičkou polovodiče jednoho typu (N). Na stranách destičky je pomocí opačného typu polovodiče vytvořeno hradlo (P). Přivedeme-li na hradlo vhodné napětí (dle polarity tranzistoru), můžeme řídit velikost proudu protékajícího kanálem.
 - **MESFET** – principiálně pracuje stejně jako JFET. Na rozdíl od JFET, kde se vodivost kanálu řídí pomocí PN přechodu, se pro řízení proudu v kanálu používá přechod kov – polovodič, stejně jako u Schottkyho diody. Díky tomu je tranzistor schopen zpracovávat signály s kmitočtem až několik GHz.
- Tranzistory s izolovaným kanálem (MISFET)

Zkratka MIS znamená metal – insulator – semiconductor (kov – izolant – polovodič), nejčastěji používaným izolantem je oxid křemíku SiO_2 , pak se uspořádání nazývá MOSFET. Existují dva druhy MOSFET tranzistorů:

- **MOSFET s indukovaným kanálem** – Vodivý kanál vznikne, při dostatečně velkém napětí U_{GS} , přitažením volných elektronů a vytlačení děr z prostoru mezi drainem a sourcem.
- **MOSFET s vodivým kanálem** – od MOSFETu s indukovaným kanálem se liší pouze tím, že pod hradlem stále existuje kanál stejného typu jako drain a source. Díky tomu tranzistorem protéká proud i při $U_{GS} = 0 \text{ V}$.

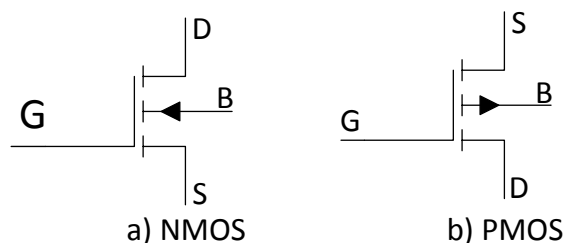
- Speciální typy unipolárních tranzistorů.

Do této skupiny můžeme zařadit tranzistory reagující na různé chemické a biologické vlastnosti jako například:

- **ISFET** (ion – sensitive FET) – tento tranzistor je používán pro měření koncentrace iontů v roztoku. Pokud se změní koncentrace iontů, změní se i proud protékající tranzistorem. [1]
- **BioFET** (Biologically sensitive FET) – je skupina biosenzorů založena na ISFET technologii. Mezi BioFET můžeme zařadit například: ENFET (enzym FET), DNAFET atd. [2]

1.2 Tranzistor MOS

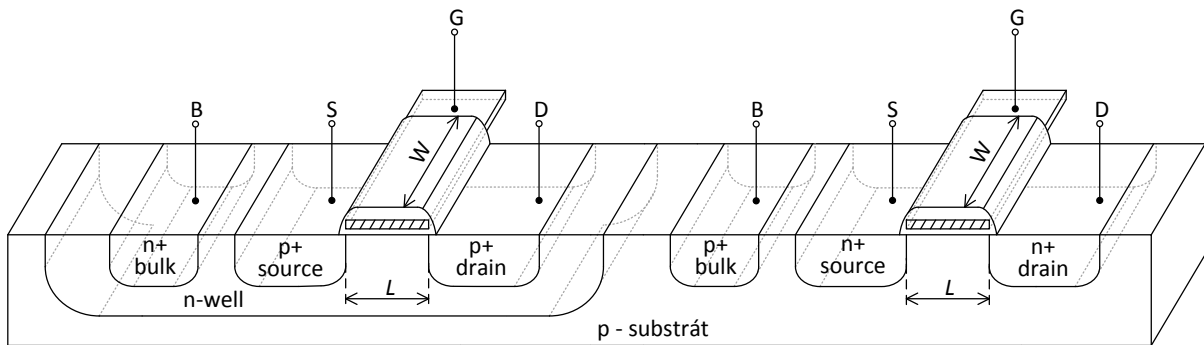
Tranzistor MOS je čtyř vývodová součástka, názvy jednotlivých vývodů jsou drain (D), source (S), gate (G, hradlo, řídicí elektroda) a bulk (B, substrát). Schématická značka je zobrazena na obrázku 1.1.



Obrázek 1.1: Schématická značka MOSFET

Řídicí elektroda (G) je vyráběna nad místem, kde je vytvořen kanál. Tato elektroda se do roku 1970 realizovala napařováním hliníku na velmi tenkou vrstvu oxidu křemíku SiO_2 . V současné době se, hlavně v integrovaných obvodech, místo hliníku využívá dotovaný polykrystalický křemík (Poly-Si). Ten umožňuje výrobu obvodů s vyšší hustotou integrace a s menšími parazitními kapacitami [4]. Oxid křemíku je dobrý izolant, proto je hradlo od kanálu velice dobře izolováno. Odtud také pochází zkratka MOS metal – oxid – semiconductor.

Drain a source jsou vyrobeny z opačného typu polovodiče než je substrát. Obvykle je tranzistor symetrický, to znamená, že mezi drainem a sourcem není žádný rozdíl z hlediska návrhu a výroby. Název těchto vývodů je dán, jejich funkcí a zapojením do obvodu. Asymetrické tranzistory jsou používány především pro speciální aplikace. [3] Struktura NMOS a PMOS na jednom substrátu je zobrazena na obrázku 1.2.

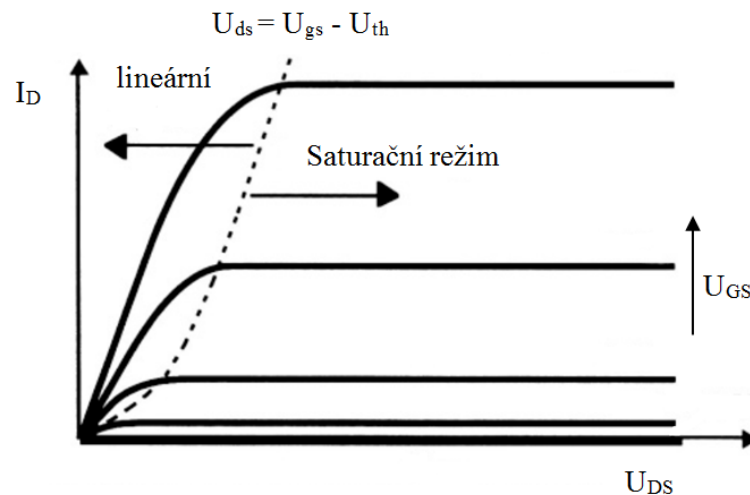


Obrázek 1.2: Struktura NMOS a PMOS na společném p-substrátu

Délka kanálu (L) – je vzdálenost mezi drainem a sourcem.

Šířka kanálu (W) – je šířka kanálu, kolmá k délce kanálu.

Pokud se přivede dostatečně velké napětí na řídicí elektrodu, vytvoří se pod hradlem vodivý kanál, který spojuje drain a source. Podle typu vodivého kanálu rozlišujeme typ tranzistoru (PMOS, NMOS). Proud tranzistorem I_D závisí na velikosti napětí U_{GS} a U_{DS} , tuto závislost pro NMOS zobrazuje výstupní charakteristika na obrázku 1.3.



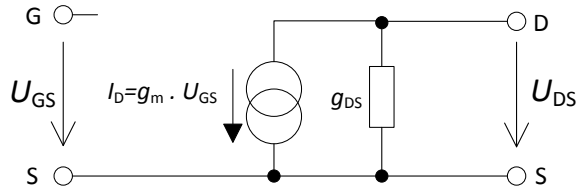
Obrázek 1.3: Výstupní charakteristika NMOS [4]

Režim lineární – v této lineární části charakteristiky se tranzistor chová jako napětově řízený rezistor.

Režim saturace – v tomto režimu je výstupní proud téměř konstantní. V tomto režimu se tranzistor využívá pro zesilování signálu.

1.2.1 Parametry MOSFET

Pro výpočet parametrů tranzistoru s výhodou můžeme využít jeho malosignálového modelu, který je zobrazen na obrázku 1.4.



Obrázek 1.4: Malosignálový model tranzistoru

- **Transkonduktance g_m** – udává, jak se změní výstupní proud I_D v závislosti na řídicím napětí U_{GS} .

$$g_m = KP \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH}) = \sqrt{2 \cdot I_D \cdot KP \cdot \frac{W}{L}} \text{ [S]} \quad (1.1)$$

Kde: KP – transkonduktační parametr [A/V^2]

W/L – poměr šířky k délce kanálu [-]

U_{GS} – napětí přivedené mezi gate a source [V]

U_{TH} – prahové napětí tranzistoru [V]

I_D – proud tranzistorem v saturaci [A]

- **Saturační proud I_D** – jak už název napovídá, jedná se o proud, který protéká tranzistorem při saturaci. Proud je dán vztahem (1.2.)

$$I_D = \frac{1}{2} \cdot KP \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH})^2 \text{ [A]} \quad (1.2)$$

Častěji je však proud znám a je nutné dopočítat rozměry kanálu. To se provede úpravou předešlé rovnice.

$$\frac{W}{L} = \frac{2 \cdot I_D}{KP \cdot (U_{GS} - U_{TH})^2} \text{ [-]} \quad (1.3)$$

- **Prahové napětí U_{TH}** – je napětí přivedené na hradlo, při kterém se pod ním vytvoří vodivý kanál. Toto napětí lze měnit změnou napětí na bulku.

Pokud je hodnota napětí U_{GS} přibližně stejně velká jako napětí U_{TH} ($U_{GS} - U_{TH} < 0,15 \text{ V}$) nachází se tranzistor v oblasti slabé inverze. Tato oblast je důležitá hlavně pro nízkovýkonové aplikace. [3][5]

Nejčastěji používanou pracovní oblastí tranzistoru je oblast silné inverze. Do této oblasti se tranzistor dostane, pokud je napětí U_{GS} větší než prahové napětí ($0,15 \text{ V} < U_{GS} - U_{TH} < 0,5 \text{ V}$). [3][5]

Další pracovní oblastí je oblast saturace rychlosti nosičů. V této oblasti se tranzistor nachází, pokud je rozdíl řídicího a prahového napětí větší než 0,5 V. [3][5]

- **Výstupní vodivost g_{ds}** – je vodivost mezi drainem a sourcem. Vodivost v saturaci je dána vztahem (1.4).

$$g_{ds} = \lambda \cdot I_D \text{ [S]} \quad (1.4)$$

Kde: λ - modulace délky kanálu [V^{-1}]

I_D - proud v saturaci [A]

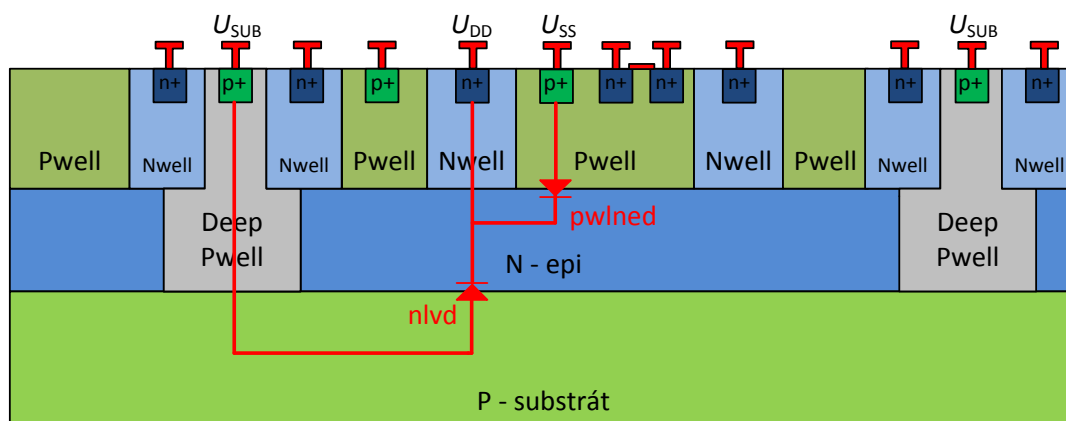
1.3 Technologie I3T25

V této bakalářské práci je používána technologie I3T25 firmy ON Semiconductor. Základní vlastnosti této technologie jsou uvedeny v tabulce 1.1.

Tabulka 1.1: Základní vlastnosti technologie I3T25[6]*

	NMOS	PMOS
L_{MIN} [μm]	0,35	0,35
KP [$\mu\text{A}/\text{V}^2$]	166,1	38,9
U_{TH} [V]	0,59	-0,57
U_{DD} [V]	3,3	
U_{SS} [V]	0	
R_{\square} [Ω/\square]	2,4 - 1755	
C [fF/ μm^2]	1,5 (3,6V); 1,0 (13,2V)	
Tloušťka oxidu [nm]	7	

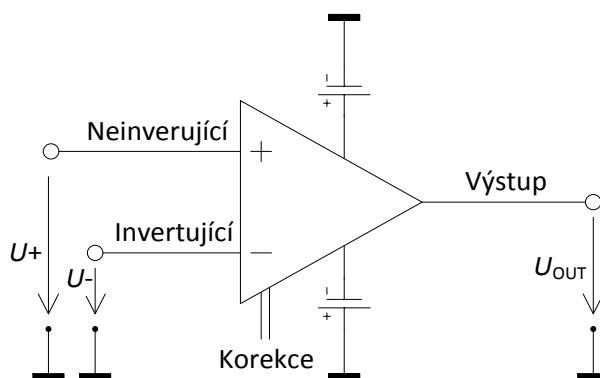
* Hodnoty parametrů KP a U_{TH} závisí na velikosti tranzistoru. V tabulce 1.1 napsané parametry platí pro tranzistor s velikostí $W = L = 10 \mu\text{m}$.



Obrázek 1.5: Průřez waferu technologie I3T25 [6]

2 Operační zesilovač

Je polovodičová součástka vyráběna formou integrovaného obvodu. Operační zesilovač (OZ) má dva vstupy (invertující, neinvertující), obvykle jeden výstup a vývody pro napájení. Kromě těchto základních vývodů může obsahovat vývody pro kmitočtovou kompenzaci a pro kompenzaci vstupní napěťové nesymetrie. Obvod byl původně využíván v analogových počítačích a to pro realizování matematických operací, odtud také pochází název operační. V dnešní době se OZ využívají v celé řadě aplikací, jako např. v převodnicích D/A, aktivních filtrech, napěťových a proudových regulátorech atd.



Obrázek 2.1: Schématická značka OZ

2.1 Ideální operační zesilovač

Reálný OZ bývá pro výpočty nahrazován ideální součástkou. Vlastnosti ideálního OZ jsou uvedeny v tabulce 2.1.

Tabulka 2.1: Vlastnosti ideálního OZ

Zesílení v otevřené smyčce A_U [dB]	∞
Vstupní odpor R_{IN} [Ω]	∞
Výstupní odpor R_{OUT} [Ω]	0
Tranzitní kmitočet GBW [Hz]	∞
Vstupní napěťová nesymetrie [V]	0

Dalším požadavkem je teplotní nezávislost a nulová produkce šumu. Výstupní napětí ideálního OZ se vypočítá podle vztahu (2.1).

$$U_{OUT} = A_U \cdot (U_+ - U_-) [V] \quad (2.1)$$

Kde: A_U - zesílení v otevřené smyčce [-]

U_+ - Napětí přivedené na neinvertující vstup [V]

U_- - Napětí přivedené na invertující vstup [V]

2.2 Reálný operační zesilovač

Ideální OZ neexistuje, proto je snaha se ideálními vlastnostmi co nejvíce přiblížit. Typické hodnoty reálného OZ jsou uvedeny v tabulce 2.2.

Tabulka 2.2: Typické parametry operačního zesilovače

Zesílení v otevřené smyčce A_U	80 – 120 dB
Vstupní odpor R_{IN}	jednoty $M\Omega$
Výstupní odpor R_{OUT}	desítky Ω
Tranzitní kmitočet GBW	až stovky MHz

2.3 Parametry OZ

V této kapitole budou popsány základní parametry, které určují chování součástky v definovaných hodnotách.

- **Zesílení v otevřené smyčce A_U** – je zesílení samotného OZ, většinou udávané v dB, definované pro předepsanou hodnotu napájecího napětí a nezkraslený vstupní signál. Pro praktické zapojení je tato hodnota velká a upravuje se pomocí záporné zpětné vazby.

$$A_U = 20 \cdot \log \frac{U_{OUT}}{U_{IN}} \text{ [dB]} \quad (2.2)$$

Kde: U_{OUT} - je výstupní napětí OZ [V]

U_{IN} - je vstupní napětí OZ [V]

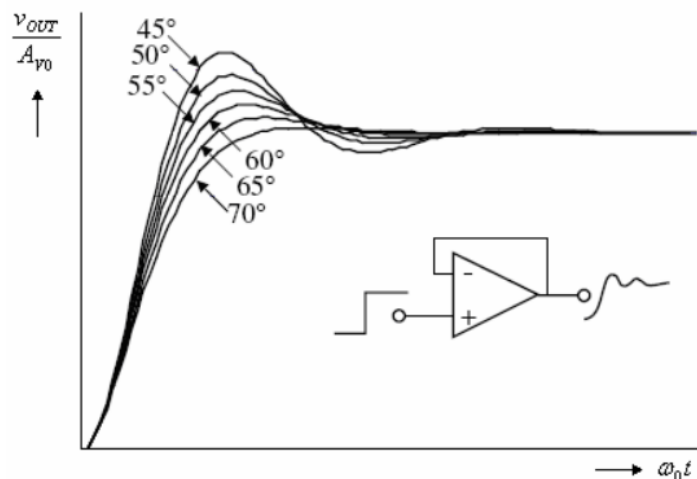
- **Rychlost přeběhu SR** - vyjadřuje maximální dosažitelnou změnu výstupního napětí za časovou jednotku. Obvykle se udává ve V/ μ s. Obecně se dá říct, že s vyšší hodnotou SR roste šířka pásma a klesá nelineární zkreslení [8].

$$SR = \frac{\Delta U_{OUT}}{\Delta t} \text{ [V}/\mu\text{s]} \quad (2.3)$$

Kde: ΔU_{OUT} - je změna výstupního napětí OZ [V]

Δt - je změna času [μ s]

- **Šířka pásma BW (bandwidth)** – je definována na kmitočtu, kde dojde k poklesu zesílení o 3dB. Udává se v Hz. Při návrhu OZ je však mnohem důležitější frekvence, kdy zesílení klesne na 0 dB. Tato frekvence se nazývá tranzitní kmitočet a značí se f_T nebo také z anglické literatury GBW (Gain-bandwidth)
- **Fázová bezpečnost PM (phase margin)** – určuje relativní stabilitu a tendenci k oscilacím během odezvy na jednotkový skok. Minimální hodnota fázové bezpečnosti by neměla klesnout pod 45°. Typicky se operační zesilovač navrhuje pro fázovou bezpečnost 60°, a to z toho důvodu, že při této hodnotě je doba ustálení na jednotkový skok nejmenší.



Obrázek 2.2: Vliv fázové bezpečnosti na stabilitu OZ [9]

- **CMRR (common – mode rejection ratio)** – určuje jak je zesilovač schopen potlačovat nežádoucí vstupní signál společný pro oba vstupy, vzhledem k požadovanému diferenčnímu signálu. Pro ideální OZ by měl být nekonečno.

$$CMRR = 20 \cdot \log \frac{A_{DIF}}{A_{CM}} [dB] \quad (2.4)$$

Kde: A_{DIF} - zesílení diferenčního signálu

A_{CM} - zesílení společného vstupního signálu

- **PSRR (Power supply rejection ratio)** – určuje množství šumu od zdroje napájení, který je zesilovač schopen potlačit. V ideálním případě by tento parametr měl být nekonečno.

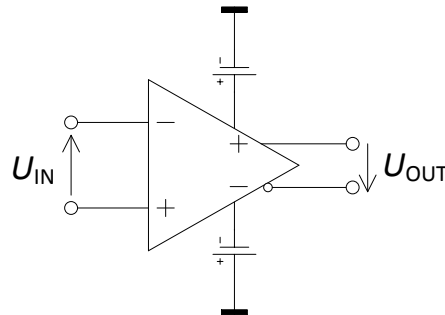
$$PSRR = 20 \cdot \log \frac{\Delta U_{DD}}{\Delta U_{OUT}} [dB] \quad (2.5)$$

Kde: ΔU_{DD} - je změna napájecího napětí [V]

ΔU_{OUT} - je změna výstupního napětí [V]

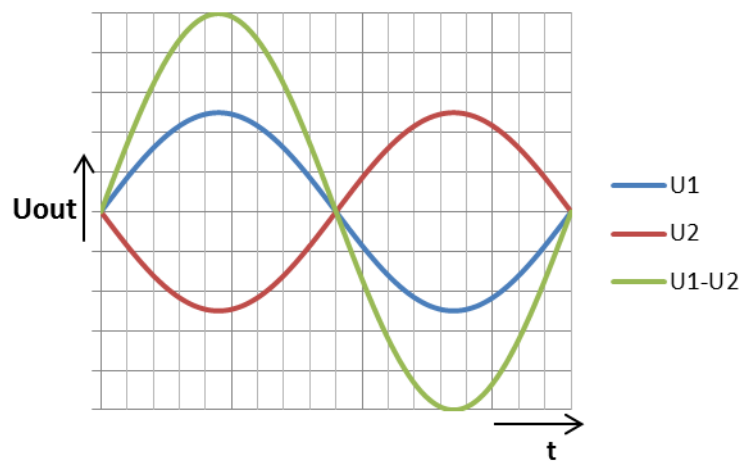
2.4 Plně diferenční operační zesilovač

Se stále klesajícím napájecím napětím klesá odstup signálu od šumu. Ve velké části aplikací, kde je žádoucí šum co nejvíce potlačit (filtry, převodníky sigma-delta) se využívá operačních zesilovačů s plně diferenčním výstupem.



Obrázek 2.3: Schématická značka plně diferenčního OZ

Další výhodou plně diferenčních výstupů je zdvojnásobení výstupního rozsahu, než je tomu u výstupů jednoduchých. Proto je použití plně diferenčních výstupů výhodné, pokud je napájení OZ malé a je potřeba výstupní rozsah zvětšit.



Obrázek 2.4: Princip zdvojnásobení výstupního rozsahu

Při návrhu plně diferenčního operačního zesilovače je nutné navrhnout zpětnovazební obvod, který udržuje velikost výstupního souhlasného napětí na požadované hodnotě. Toto je důležité, jelikož jednotlivé výstupy nejsou nikdy naprosto stejné a mohou být zatěžovány různou zátěží. Pokud by hodnota souhlasného napětí byla špatně nastavena, docházelo by ke zkreslování a limitování signálů.

3 Struktury operačního zesilovače

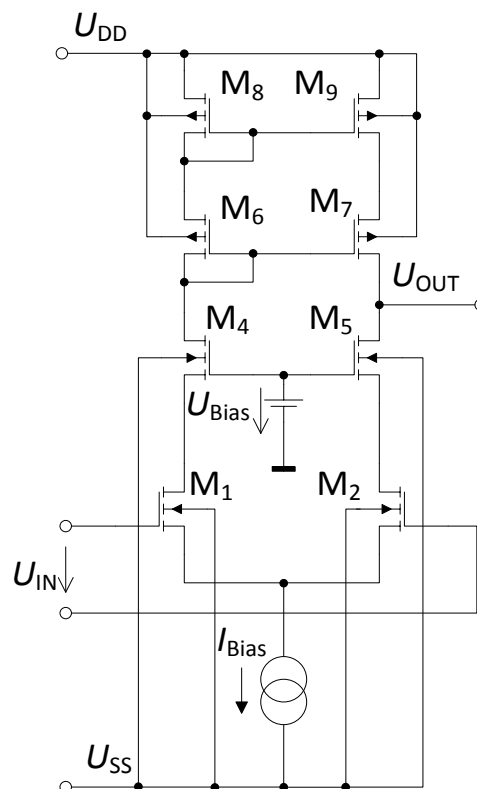
V minulosti byly operační zesilovače navrhované pro všeobecné účely, kdy museli splnit požadavky pro mnoho různých aplikací. Tato snaha o vytvoření co možná nejideálnějšího OZ (velké napěťové zesílení, velká vstupní a malá výstupní impedance) měla za následek zhoršení ostatních parametrů jako je rychlost, výstupní rozsah a výkonová ztráta [13].

V dnešní době se operační zesilovače navrhuje pro určité aplikace a vyžaduje se určitých kompromisů mezi parametry (nejde například navrhnout OZ s vysokým SR a nízkou spotřebou). Podle požadovaných vlastností se volí vhodná vnitřní struktura.

3.1 Teleskopická struktura

Za nejjednodušší strukturu se může považovat jednoduchý diferenční zesilovač. Tato struktura je však, především kvůli nízkému zisku, pro naprostou většinu aplikací nepoužitelná, využívá se kaskody pro zvětšení tohoto parametru. Poté se tato konfigurace nazývá teleskopická. Výhodou této struktury je vysoká rychlost, nízký šum a malá spotřeba. Velkou nevýhodou je malý výstupní rozsah a problematické vytvoření napěťového sledovače (malý rozsah vstupního napětí, kdy jsou všechny tranzistory v saturaci). Pro zesílení struktury platí vztah (3.1). [13]

$$A_U = g_{m2} \cdot [(g_{m5} \cdot r_{ds5} \cdot r_{ds2}) \parallel (g_{m7} \cdot r_{ds7} \cdot r_{ds9})] \tag{3.1}$$

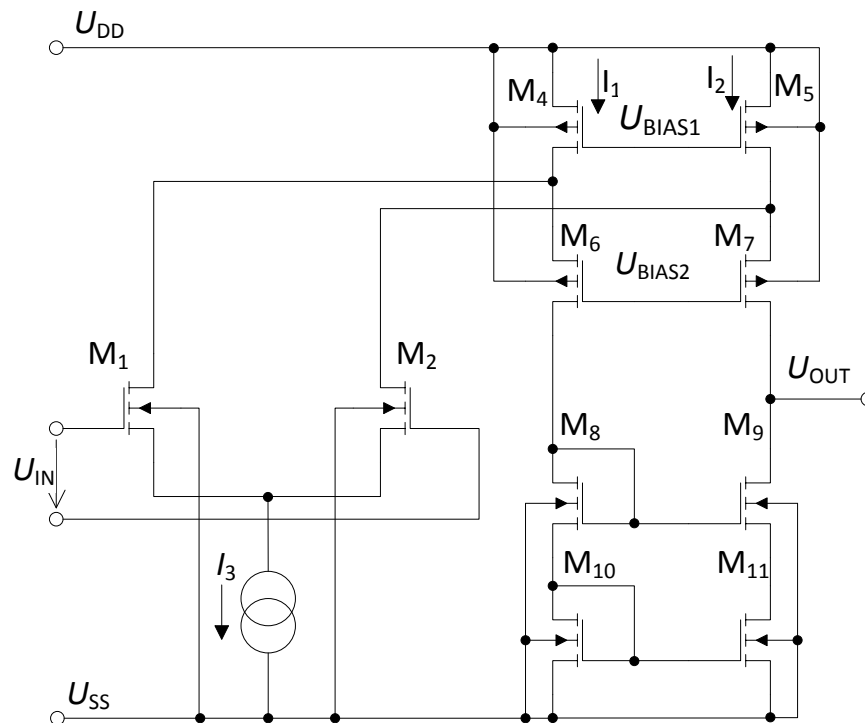


Obrázek 3.1: Teleskopická struktura [13]

3.2 Složená kaskoda

Nevýhody teleskopické struktury mohou být vyřešeny použitím složené kaskody. Složená kaskoda je tvořena vstupními tranzistory M_1 a M_2 , které spolu s tranzistory M_6 a M_7 tvoří kaskodu. Vstupní napětí se převádí na proud tekoucí do proudového zrcadla, které slouží jako vysoko ohmová zátěž. Napěťový zisk struktury je dán vztahem (3.2) [13].

$$A_U = g_{m1} \cdot [(g_{m7} \cdot r_{ds7} \cdot (r_{ds2} \parallel r_{ds5})) \parallel (g_{m9} \cdot r_{ds9} \cdot r_{ds11})] \quad (3.2)$$



Obrázek 3.2: Složená kaskoda

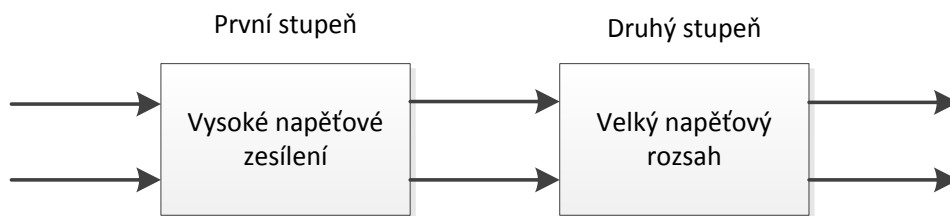
Hlavní důvodem proč se složená kaskoda používá častěji než teleskopická struktura je možnost spojit výstup se vstupem. Výhodou této struktury je větší výstupní rozsah a větší volnost při návrhu vstupního rozsahu.

Mezi nevýhody patří:

- vyšší spotřeba
- menší zesílení
- větší zanášení šumu do obvodu
- nižší frekvence pólu a s tím související nižší tranzitní kmitočet. [13]

3.3 Dvoustupňové operační zesilovače

V jednostupňových operačních zesilovačích je zesílení limitováno transkonduktancí vstupního páru a velikostí výstupního odporu. Pro zvětšení zesílení se často využívá výhod kaskody, to má však za následek snížení dynamického rozsahu zesilovače. Z tohoto důvodu se používají dvoustupňové struktury, kde první stupeň poskytuje vysoký zisk a druhý zajišťuje dostatečný výstupní rozsah. Nevýhodou těchto struktur je nízká rychlost.



Obrázek 3.3: Struktura dvojstupeňového operačního zesilovače

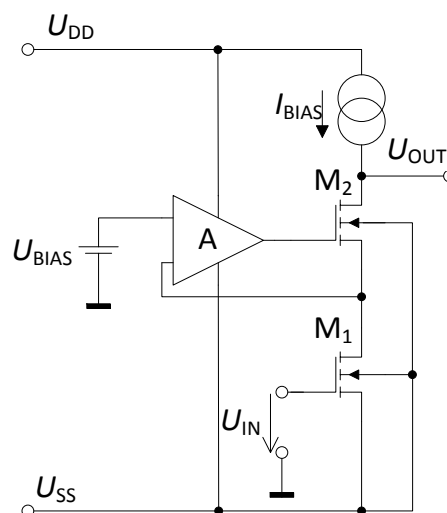
3.4 Gain boosting

Z důvodu, že zisk jednostupňových zesilovačů je omezen výstupní impedancí a použití dvojstupeňových struktur je na vysokých frekvencích problematické, využívá se této struktury, kde ke zvyšování napěťového zisku není potřeba přidávání dalších kaskod. Využívá se pomocných zesilovačů připojených ke kaskodě.[13]

Větší výstupní odpor a tím i napěťový zisk je zvýšen díky principu kaskody. Pomocný zesilovač udržuje na drain tranzistoru M_1 konstantní napětí, které je dáno napěťovým zdrojem U_{BIAS} . Výstupní odpor je zvýšen o zesílení pomocného zesilovače a platí pro něj vztah (3.3).

$$R_{OUT} \cong g_{m2} \cdot (A + 1) \cdot r_{ds1} \cdot r_{ds2} \quad (3.3)$$

$$A_U \cong g_{m1} \cdot r_{ds1} \cdot g_{m2} \cdot r_{ds2} \cdot (A + 1) \quad (3.4)$$



Obrázek 3.4: Princip zvyšování zesílení [13]

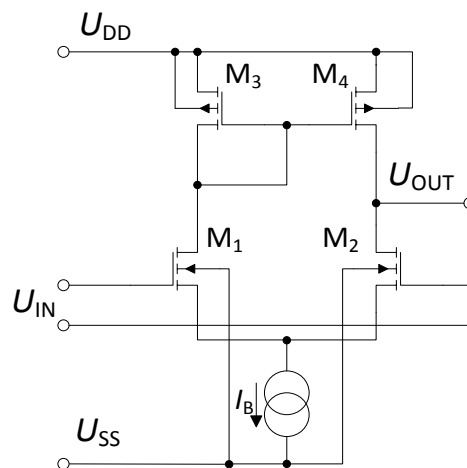
4 Funkční bloky operačního zesilovače

V následující kapitole jsou popsány nejpoužívanější stavební bloky, které se využívají při návrhu analogových integrovaných obvodů. Jsou zde uvedeny principy jednotlivých funkčních bloků a jejich zapojení.

4.1 Diferenční zesilovač

Diferenční zesilovač se nejčastěji používá jako vstupní část operačního zesilovače. Hlavním výhodou je schopnost zesilovat rozdílovou složku vstupního signálu a souhlasnou potlačovat. Základem diferenčního páru jsou dva stejné tranzistory, které jsou source vývody spojeny a přivedeny na zdroj konstantního proudu. Drains jsou spojeny se zátěží, kterou často vytváří proudové zrcadlo. Vstupní tranzistory by měly mít stejný poměr šířky k délce, stejné prahové napětí a topologii. Pokud tato podmínka není splněna, dochází ke zvyšování vstupní napětí nesymetrie. Zesílení diferenčního páru je dáno vztahem (4.1).

$$A_U = g_{m2} \cdot (r_{ds2} \parallel r_{ds4}) \quad (4.1)$$



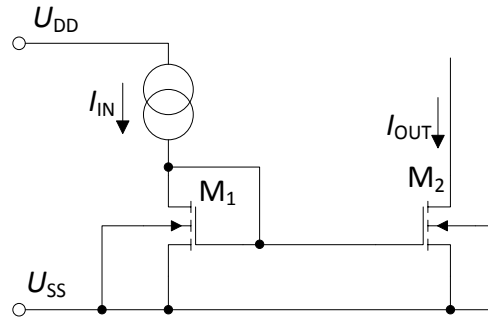
Obrázek 4.1: Diferenční pár s aktivní zátěží

4.2 Proudová zrcadla

Proudová zrcadla se v analogových integrovaných obvodech využívají hlavně jako zdroje konstantních proudů a jako aktivní zátěže pro jednotlivé stupně operačních zesilovačů. Díky jejich vysokému výstupnímu odporu (vysoký zisk) a malé ploše, kterou zabírají na čipu, jsou využívána jako zátěž mnohem častěji než rezistory.

4.2.1 Jednoduché proudové zrcadlo

Jednoduché proudové zrcadlo (JPZ) je tvořeno dvěma tranzistory. Tranzistorem M_1 , který je zapojen v diodové konfiguraci, prochází referenční proud I_{IN} . Ten vytváří úbytek napětí U_{GS1} , které je přivedeno na hradlo tranzistoru M_2 , kde nastavuje pracovní bod.



Obrázek 4.2: Jednoduché proudové zrcadlo

Výhodou JPZ je malé minimální výstupní napětí U_{OUTMin} , které je dáno pouze saturačním napětím tranzistoru M_1 (rovnice 4.2). Nevýhodou tohoto zapojení je nízký výstupní odpor, který je dán rovnicí (4.3). Pro zvýšení tohoto parametru se často využívá kaskodového zapojení.

$$U_{OUTMin} = U_{DSatM2} \quad (4.2)$$

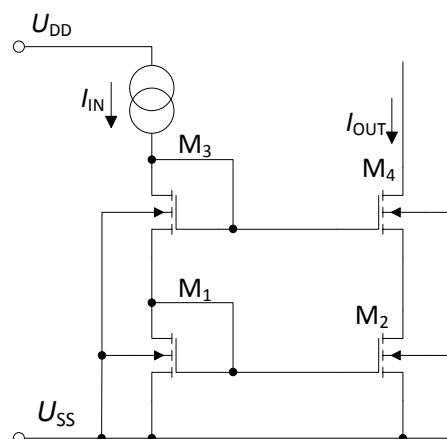
$$r_{OUT} = \frac{1}{\lambda \cdot I_{OUT}} \quad (4.3)$$

4.2.2 Kaskodové proudové zrcadlo

Proud protékající tranzistory M_3 a M_1 vytváří úbytky napětí, které nastavují pracovní body tranzistorů M_4 a M_2 . Výstupní odpor, který je dán rovnicí (4.5), je zvýšen díky vlastnosti kaskodového zapojení, kdy je udržováno mezi drainem tranzistoru M_4 a sourcem tranzistoru M_2 konstantní napětí. Nevýhodou tohoto zapojení je velké minimální výstupní napětí U_{OUTMIN} (4.4), kdy jsou všechny tranzistory v saturaci.

$$U_{OUTMin} = U_{GS1} + U_{GS3} - U_{GS4} + U_{DSatM4} \quad (4.4)$$

$$r_{out} = r_{ds2} \cdot r_{ds4} \cdot g_{m4} \quad (4.5)$$



Obrázek 4.3: Kaskodové proudové zrcadlo

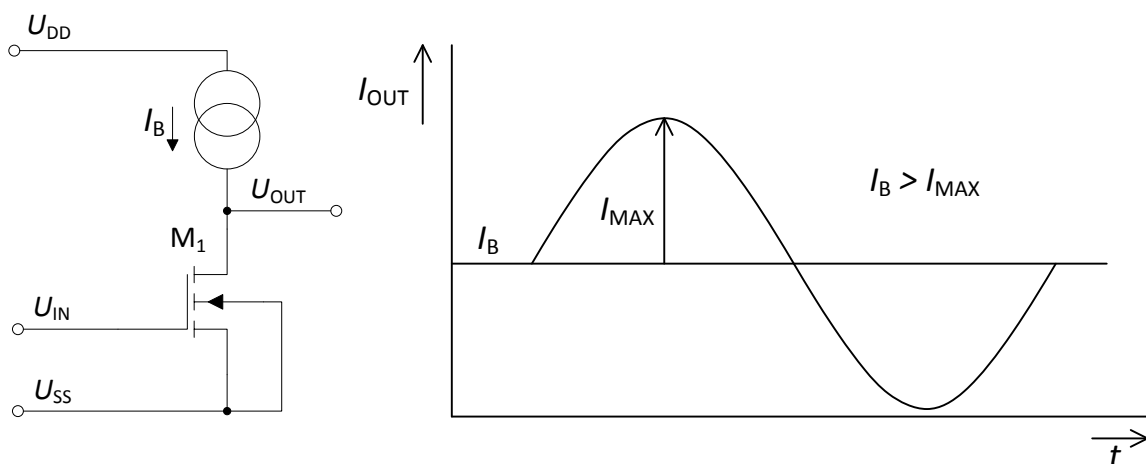
4.3 Výstupní stupně operačních zesilovačů

Výstupní stupně operačních zesilovačů musí splňovat řadu požadavků. Jedním z nejdůležitějších požadavků je přenesení požadovaného výkonu na zátěž s nízkým zkreslením. Výstupní stupeň by měl také snížit hodnotu výstupní impedance, aby hodnota napěťového zesílení nebyla ovlivněna velikostí zátěže.

Dobře navržený výstupní stupeň, by měl v klidovém režimu spotřebovávat co nejmenší výkon a neměl by limitovat frekvenční odezvu zesilovače [11]. V návrhu operačního zesilovače se nejčastěji používají tři typy výstupního stupně a to A, B a AB.

4.3.1 Výstupní stupeň ve třídě A

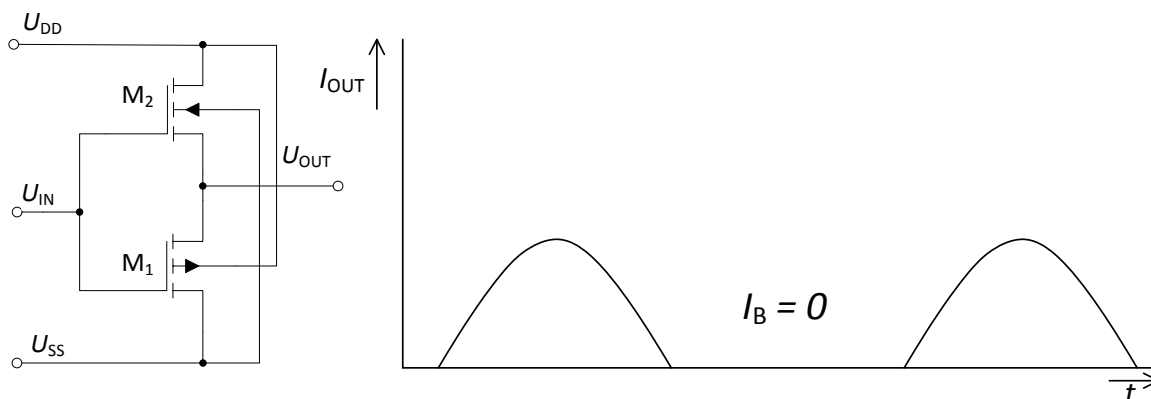
Pracovní bod výstupních stupňů ve třídě A je umístěn ve středu lineární části převodní charakteristiky. Obvodem neustále protéká klidový proud. Tento proud musí mít větší hodnotu než je maximální možná hodnota proudu tekoucího do zátěže. Výhodou této třídy je nízké zkreslení a plocha obvodu. Velkou nevýhodou je vysoký klidový proud a s tím související výkonová ztráta a malá účinnost.



Obrázek 4.4: Princip výstupního stupně ve třídě A [12]

4.3.2 Výstupní stupeň ve třídě B

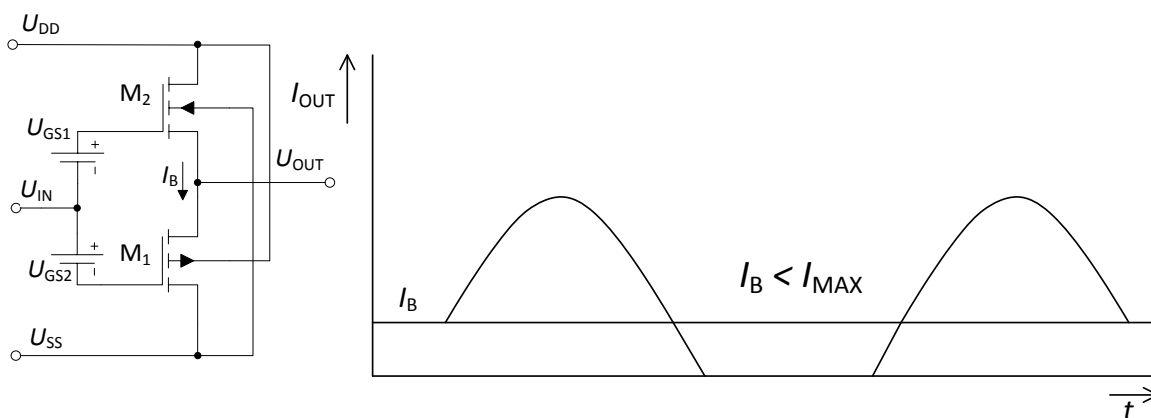
Na rozdíl od výstupních stupňů ve třídě A je pracovní bod koncových stupňů ve třídě B umístěn na kraji převodní charakteristiky. To má za následek, že při nulovém vstupu neprochází obvodem žádný proud. Výhodou těchto stupňů je vysoká účinnost (až 75 %) a nulová spotřeba v klidovém stavu. Nevýhodou je přechodové zkreslení, které vzniká, pokud ani jeden tranzistor není sepnutý.



Obrázek 4.5: Princip výstupního stupně ve třídě B [12]

4.3.3 Výstupní stupeň ve třídě AB

Kompromisem mezi třídou A a B je výstupní stupeň ve třídě AB. Klidový pracovní bod je posunut tak, aby oba tranzistory vedly proud i při nízkých hodnotách vstupního signálu. Klidový proud tímto stupněm není nulový jako ve třídě B, ale je mnohem menší než ve třídě A. Díky tomu, že je stále sepnut alespoň jeden tranzistor, nevzniká přechodové zkreslení jako ve třídě B. Nevýhodou tohoto stupně je vyšší počet použitých součástek, které souvisejí se správným nastavením pracovního bodu.



Obrázek 4.6: Princip výstupního stupně ve třídě AB [12]

Výstupní stupeň ve třídě AB rozdělujeme podle typu nastavování pracovního bodu a to na:

- FFB (Feed forward biasing) - klidový proud je nastaven předem
- FBB (Feed back biasing) - klidový proud je nastavován pomocí zpětné vazby.

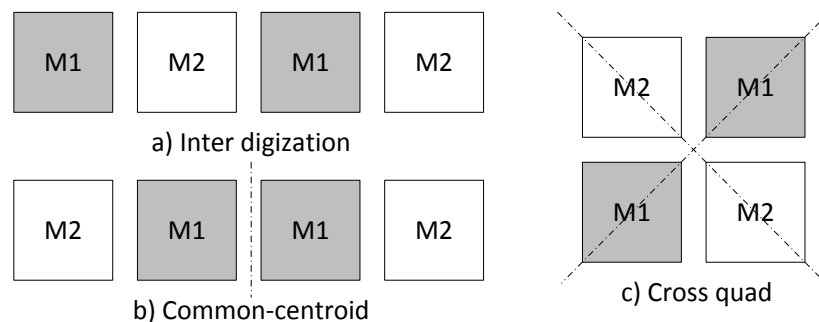
V této práci je použit výstupní stupeň využívající translineární smyčky (FFB).

5 Topologie integrovaných obvodů

Topologie čipu je reprezentace integrovaného obvodu z pohledu jednotlivých fyzických vrstev (kovy, oxidy a polovodičové struktury). Jelikož výroba integrovaných obvodů není dokonalá, je potřeba vhodným rozmístěním a pospojováním zvýšit shodnost jednotlivých tranzistorů a zároveň co nejvíce snížit hodnoty parazitních odporů a kapacit.

K potlačení neshodnosti tranzistorů se používají různé metody, které jsou založeny na rozdělení tranzistorů na více částí. Mezi tyto metody patří:

- Inter digitization** – tranzistory jsou poskládány na střídačku
- Common centroid** – tranzistory jsou umístěny tak, aby byly v jednom bodě symetrické
- Cross quad** – tranzistory jsou umístěny do kříže. Tato metoda je vhodná především pro diferenční páry, kde je požadována největší shodnost tranzistorů.



Obrázek 5.1: Metody pro zvýšení shodnosti tranzistorů

Navržená topologie bývá ověřována různými kontrolami, které mají za úkol ověřit správnost navržené topologie. Mezi základní kontroly patří:

- **Design rule checking (DRC)** – kontroluje navržený čip, zda splňuje doporučená návrhová pravidla (minimální šířky, vzdálenosti mezi jednotlivými vrstvami).
- **Layout versus schematic (LVS)** – kontroluje, zda se navržená topologie shoduje se schématem (velikosti součástek, správné zapojení)
- **Parasitic extraction** – hlavním účelem extrakce parazitních jevů je vytvoření přesného analogového obvodu, díky kterému lze detailněji simulovat vlastnosti navrženého obvodu.
- **Antenna check** – během výroby integrovaného obvodu může na kovových vodičích, které nejsou spojeny se substrátem, vznikat poměrně velký náboj. Tento náboj může prorazit tenkou oxidovou vrstvou tranzistoru a tak tranzistor zničit. Nejčastěji bývá problém vyřešen přidáním diody, která zabezpečí bezpečné vybití uzlu.

6 Návrh operačního zesilovače

V této kapitole bude popsán ruční výpočet rozměrů tranzistorů. Protože se rovnice pro ruční výpočty zjednodušují, byly některé parametry upraveny podle výsledků simulace.

Tabulka 6.1: Požadované parametry OZ

A_U [dB]	> 60
GBW [MHz]	> 10
SR [V/ μ s]	> 10
C_L [pF]	10

6.1 Výpočet vstupních tranzistorů

Pro výpočet rozměrů vstupních tranzistorů je nutné určit velikost kompenzační kapacity. Pro dosažení fázové bezpečnosti o velikosti $PM = 60^\circ$ je nutné zvolit kapacitu C_C o minimální hodnotě $0,22C_L$ [11]. K dosažení optimálních hodnot fázové a amplitudové bezpečnosti byla zvolena hodnota $C_C = 4,2$ pF. V dalších výpočtech je počítáno s hodnotou celkové kapacity C_I výstupního uzlu složené kaskody. Tato kapacita je dána vztahem (6.1).

$$C_I = 2 \cdot (C_C + C_P) = 2 \cdot (4,2 + 1) \cdot 10^{-12} = 9,4 \text{ pF} \quad (6.1)$$

Dalším krokem je výpočet proudu I_3 . Tento zdroj proudu je připojen ke spojeným source terminálům vstupních tranzistorů. Velikost proudu je dána rychlostí přeběhu SR a velikostí kapacity C_I a vypočte se podle vztahu (6.2). Pro splnění parametru SR ve všech procesních odchylnkách a zadaném teplotním rozsahu, bylo počítáno s hodnotou $SR = 18$ V/ μ s.

$$I_3 = SR \cdot C_I = 18 \cdot 10^6 \cdot 9,4 \cdot 10^{-12} = 169,2 \text{ } \mu\text{A} \quad (6.2)$$

Transkonduktance vstupních tranzistorů závisí na požadovaném tranzitním kmitočtu GBW a na velikosti kapacity C_I . Rovnice pro výpočet rozměrů vstupních tranzistorů se získá z rovnice (1.1) a (6.3). Tranzitní kmitočet GBW byl stejně jako rychlost přeběhu nadhodnocen a bylo počítáno s hodnotou $GBW = 20$ MHz.

$$g_{m1} = GBW \cdot C_I = \sqrt{2 \cdot I_D \cdot KP_N \cdot \frac{W}{L}} \text{ [S]} \quad (6.3)$$

Po úpravě.

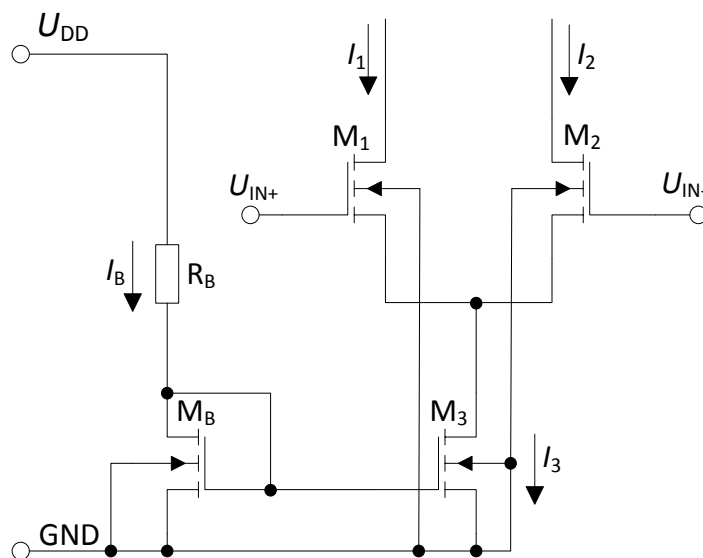
$$\left(\frac{W}{L}\right)_{1,2} = \frac{GBW^2 \cdot C_I^2}{KP_N \cdot I_3} = \frac{(2\pi \cdot 20 \cdot 10^6)^2 \cdot (9,4 \cdot 10^{-12})^2}{166,1 \cdot 10^{-6} \cdot 169,2 \cdot 10^{-6}} = 49,65 \quad (6.4)$$

Proudové zrcadlo, tvořeno tranzistorem M_3 a M_b , slouží jako zdroj konstantního proudu. Proud referenční větvi byl kvůli nižší spotřebě obvodu zvolen na hodnotu $I_{REF} = 50$ μ A. Aby se tranzistory nacházely v oblasti silné inverze, byla hodnota saturačního napětí zvolena $U_{GS} - U_{TH} = 0,25$ V. Rozměry obou tranzistorů se získají pomocí rovnice (1.3). Velikost rezistoru R_b se získá z rovnice (6.5).

$$R_b = \frac{U_{DD} - U_{SS} - U_{GS}}{I_{ref}} = \frac{3,3 - 0 - 0,85}{50 \cdot 10^{-6}} = 49 \text{ k}\Omega \quad (6.5)$$

Tabulka 6.2: Rozměry tranzistorů vstupní části OZ

	W/L [-]	L [μm]	W [μm]
M ₁	49,65	2	99,3
M ₂	49,65	2	99,3
M ₃	32,59	2	65,2
M _B	9,63	2	19,3



Obrázek 6.1: Zapojení vstupní části OZ

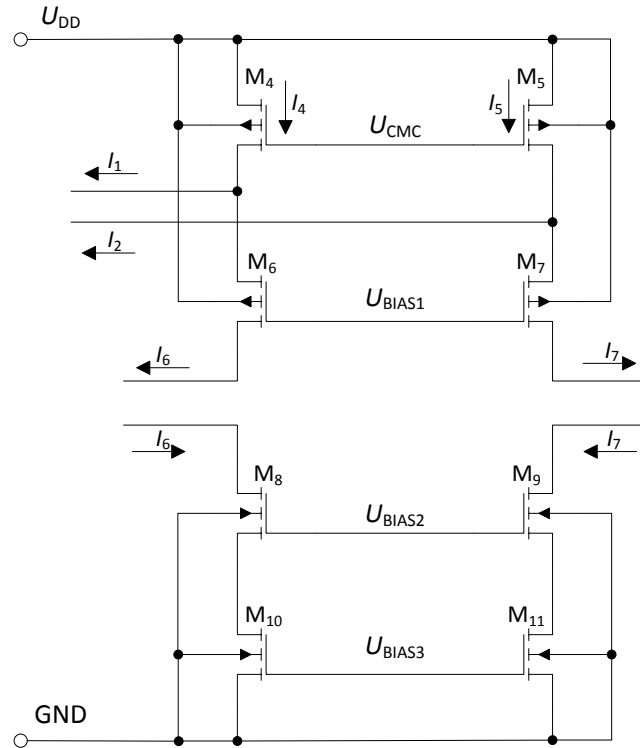
6.2 Výpočet tranzistorů kaskody

Proud tekoucí kaskodou nikdy nesmí klesnout na 0 A, proto byla hodnota proudu $I_{4,5}$ zvolena 1,25 krát větší než proud I_3 ($I_{4,5} = 216 \mu\text{A}$). Tranzistory stejného typu musí mít stejný poměr W/L. Tento poměr se získá pomocí rovnice (1.3). Hodnota saturačního napětí byla zvolena $U_{GS} - U_{TH} = 0,4 \text{ V}$ a to proto, aby se tranzistory nacházely v oblasti silné inverze a zároveň nebyly příliš velké, což by mělo negativní vliv na chování operačního zesilovače na vysokých kmitočtech.

Simulacemi bylo zjištěno, že výstupní odpor tranzistorů M₈ až M₁₁ má největší vliv na hodnotu amplitudové bezpečnosti GM, proto u těchto tranzistorů byla zvolena délka kanálu $L = 5 \mu\text{m}$. Aby byla snížena hodnota náhodné napěťové nesymetrie byla u tranzistorů M₄ a M₅ zvolena délka kanálu $L = 1,4 \mu\text{m}$.

Tabulka 6.3: Rozměr tranzistorů složené kaskody

	W/L [-]	L [μm]	W [μm]
M _{4,5}	69,41	1,4	97,2
M _{6,7}	69,41	1,0	69,4
M ₈₋₁₁	16,26	5,0	81,3



Obrázek 6.2: Zapojení složené kaskody

6.3 Výpočet tranzistorů výstupního stupně

V této kapitole bude popsán návrh výstupního stupně, jelikož jsou oba výstupy (invertující, neinvertující) totožné bude popsán návrh pouze pro jednu větev

Pro správné nastavení pracovních bodů výstupních tranzistorů M_{OUTP} a M_{OUTN} je potřeba mezi jejich hradly vytvořit zdroj napětí, který zajišťuje požadované posunutí pracovních bodů výstupních tranzistorů. Tento zdroj napětí je tvořen tranzistory M_{BP} a M_{BN} . Pro nastavení těchto součástek slouží tranzistory M_{BP1} , M_{BP2} respektive M_{BN1} a M_{BN2} , které jsou zapojené v diodové konfiguraci. V klidovém stavu musí smyčka pro NMOS tranzistory splňovat rovnici (6.6). Z této rovnice rovněž vyplývá, že všechny tranzistory musí mít stejné saturační napětí. Zvolená hodnota saturačního napětí měla hodnotu $U_{GS} - U_{TH} = 0,3$ V.

$$U_{GS-BN1} + U_{GS-BN2} = U_{GS-OUTN} + U_{GS-BN} \quad (6.6)$$

Úpravou lze získat rovnici (6.7), která byla použita pro výpočet rozměrů výstupního tranzistoru.

$$\sqrt{\frac{I_{D-BN1}}{\left(\frac{W}{L}\right)_{M_{BN1}}} + \frac{I_{D-BN2}}{\left(\frac{W}{L}\right)_{M_{BN2}}} = \sqrt{\frac{I_{D-OUTN}}{\left(\frac{W}{L}\right)_{M_{OUTN}}} + \frac{I_{D-BN}}{\left(\frac{W}{L}\right)_{M_{BN}}} \quad (6.7)$$

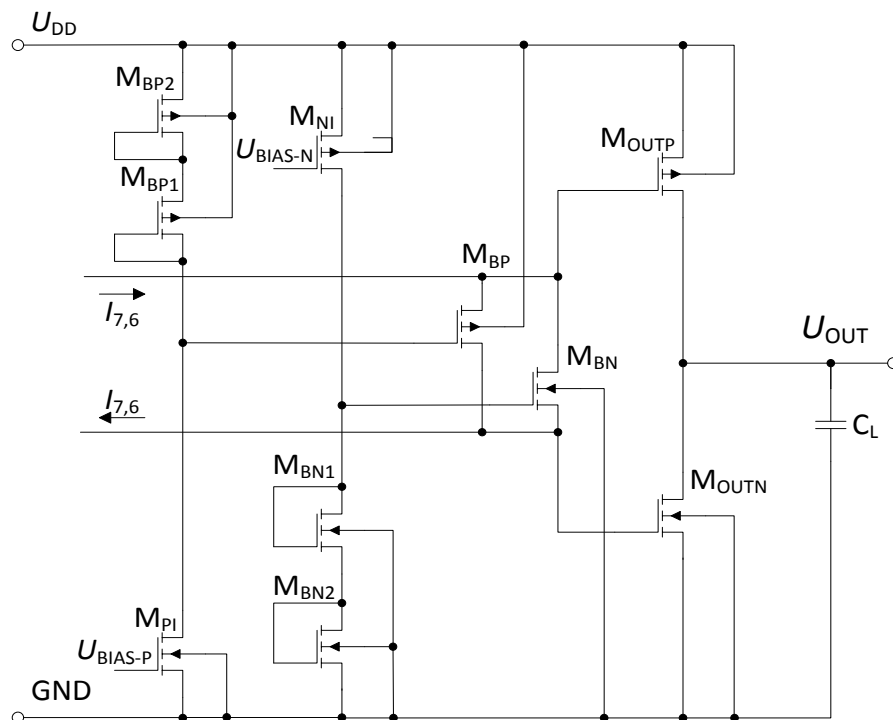
Proud tranzistorů M_{BN1} a M_{BN2} byl kvůli nižší spotřebě zvolen $10 \mu\text{A}$. Proud výstupními tranzistorů byl zvolen $200 \mu\text{A}$. V klidovém stavu tranzistorem M_{BN} protéká proud:

$$I_{BN} = \frac{I_{4,5} - 0,5 \cdot I_3}{2} = \frac{216 - 0,5 \cdot 180}{2} = 63 \mu\text{A} \quad (6.8)$$

Poměr W/L jednotlivých tranzistorů byl získán z rovnice (1.3). Jelikož jsou PMOS tranzistory pomalejší, musí být jejich velikost $\frac{K_{PN}}{K_{PP}}$ krát větší ($\approx 4,27$). Tranzistory M_{NI} a M_{PI} slouží jako zdroje konstantního proudu.

Tabulka 6.4: Rozměry tranzistorů výstupního stupně

	W/L [-]	L [μm]	W [μm]
$M_{BN1,2}$	1,33	2,0	2,7
M_{BN}	8,43	2,3	19,3
M_{OUTN}	26,75	1,1	29,4
$M_{BP1,2}$	5,68	2,0	11,4
M_{BP}	35,98	2,3	82,7
M_{OUTP}	114,22	1,1	125,6
M_{NI}	14,60	5,0	73,0
M_{PI}	3,37	5,0	16,8



Obrázek 6.3: Zapojení výstupního stupně

6.4 Výpočet zpětnovazebního obvodu

Pro správnou funkci plně diferenčního operačního zesilovače, je nutné vytvořit zpětnovazební obvod, který udržuje souhlasné výstupní napětí na hodnotě analogové země. Díky tomu, že operační zesilovač pracuje ve třídě AB, mohl být navrhnut obvod s napětovým děličem a diferenčním zesilovačem (Obrázek 6.4).

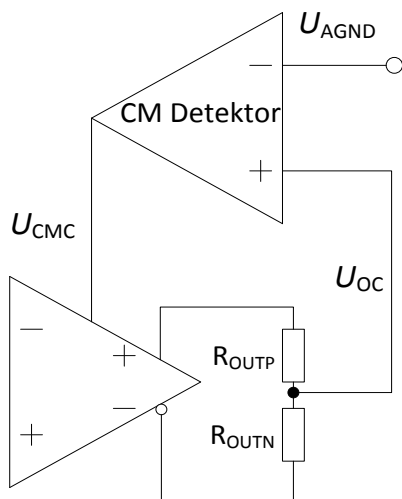
Zpětnovazební obvod je tvořen vstupním diferenčním párem, který se skládá z tranzistorů M_{21} a M_{22} . Proud tranzistorem M_{23} je zrcadlen zpět do složené kaskody, kde ovlivňuje pracovní bod tranzistorů M_4 a M_5 . Pro zesílení obvodu platí vztah (6.9) [11], z této rovnice, byly vypočítány rozměry tranzistorů M_{23} a M_{24} .

$$A_{\text{CMC}} = \frac{1}{2} \cdot \frac{\sqrt{K_{\text{PN}} \cdot (W/L)_{M_{21}}}}{\sqrt{K_{\text{PP}} \cdot (W/L)_{M_{23}}}} = 1 \quad [-] \quad (6.9)$$

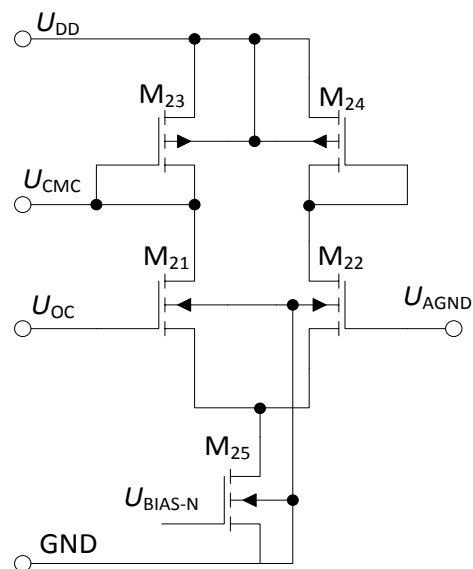
Pro snížení spotřeby byl jednotlivými větvemi zvolen proud o velikosti $10 \mu\text{A}$. Rozměry tranzistorů M_{21} a M_{22} byly získány pomocí rovnice (1.3).

Tabulka 6.5: Rozměry tranzistorů zpětnovazebního obvodu

	W/L [-]	L [μm]	W [μm]
$M_{23,24}$	3,20	5,0	16,0
$M_{21,22}$	3,00	5,0	15,0
M_{25}	6,02	5,0	30,1



a) Zpětnovazební obvod s rezistorovým děličem



b) Obvod pro nastavení DC hodnoty výstupního napětí

Obrázek 6.4: Zpětnovazební obvod pro nastavení DC hodnoty výstupního napětí

6.5 Návrh obvodu pro nastavení pracovních bodů

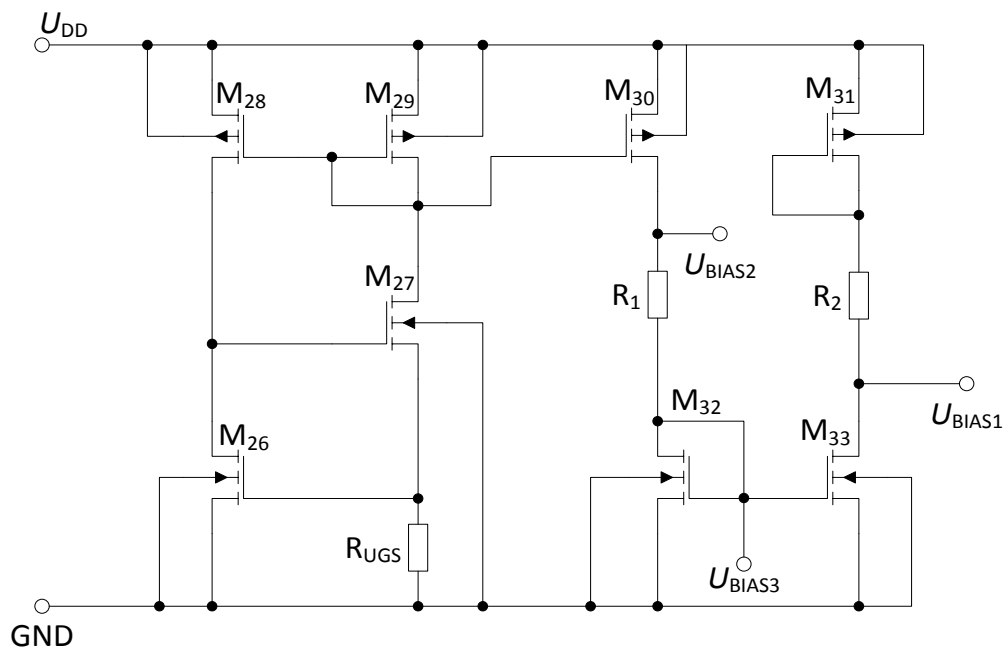
Na obrázku 6.5 je zobrazen obvod, který vytváří jednotlivá napětí, která určují pracovní body tranzistorů. Obvod je řízen proudem ($10 \mu\text{A}$), který generuje proudová reference s regulovanou kaskodou. Princip této reference spočívá v udržení konstantního napětí na rezistoru R_{UGS} . Pokud na tomto rezistoru vzroste napětí, více se otevře tranzistor M_{26} , což má za následek nižší napětí na hradle tranzistoru M_{27} . Tento tranzistor se přivře a hodnota napětí na rezistoru R_{UGS} klesne na původní hodnotu. Zapojení dále obsahuje startovací obvod, který je nutný pro správnou činnost obvodu po připojení k napájecímu napětí.

Již stabilizovaný proud je následně zrcadlen do dvou větví, kde jsou generována příslušná napětí $U_{BIAS1-3}$. Saturační napětí tranzistorů M_{31} až M_{33} jsou stejná jak saturační napětí tranzistorů v kaskodě ($0,4 \text{ V}$). V ideálním případě platí rovnice (6.10 – 6.12). Na základě výsledků corner analýzy byly hodnoty napětí upraveny tak, aby tranzistory v kaskodě byly v saturaci i při změně teplot a technologických parametrů.

$$U_{BIAS3} = U_{DSat32} + U_{TH} = 0,4 + 0,6 = 1 \text{ V} \quad (6.10)$$

$$U_{BIAS2} = U_{BIAS3} + U_{R1} = U_{BIAS3} + U_{DSatM8} = 1 + 0,4 = 1,4 \text{ V} \quad (6.11)$$

$$\begin{aligned} U_{BIAS1} &= U_{DD} - U_{GSM31} - U_{R2} = U_{DD} - U_{GSM31} - U_{DSatM6} \\ &= 3,3 - 1 - 0,4 = 1,9 \text{ V} \end{aligned} \quad (6.12)$$



Obrázek 6.5: Obvod pro nastavení pracovních bodů

7 Simulace výsledného OZ

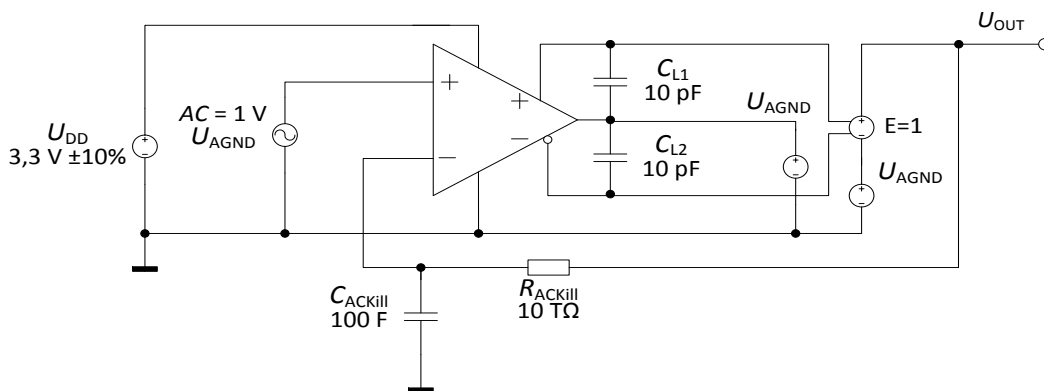
Navržený obvod byl simulován v návrhovém prostředí Cadence. Výsledky analýz jsou pro přehlednost uvedeny v tabulce 7.3. Na základě výsledků simulací bylo potřeba některé parametry součástek doladit. Výsledné schéma je uvedeno v příloze P1.

7.1 AC analýza

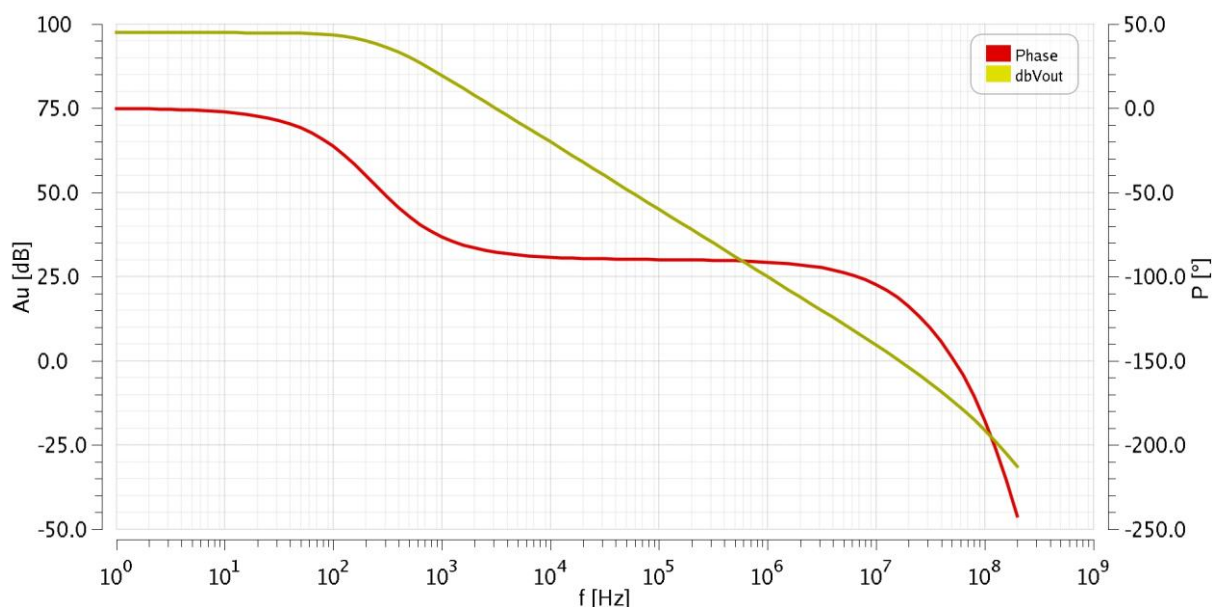
Při AC simulaci byl obvod zapojen podle obrázku 7.1. Pomocí zdroje napětí řízeného napětím byl diferenční výstup převeden na jednoduchý. Tento výstup byl dále přiveden na vstup dolní propusti (AC killer), který je připojen na invertující vstup operačního zesilovače a tak tvoří zápornou zpětnou vazbu. Obvod obsahuje AC killer kvůli zajištění požadovaných stejnosměrných pracovních podmínek. Na neinvertující vstup byl přiveden budící střídavý signál o amplitudě 1 V a stejnosměrné souhlasné napětí rovné hodnotě analogové země (1,65 V). Souhlasné napětí bylo přivedeno i na vstup zpětnovazebního obvodu. Schéma dále obsahuje zatěžovací kapacity o velikosti 10 pF.

Z výsledků AC analýzy se dá určit stejnosměrné zesílení A_0 , fázová bezpečnost PM , amplitudová bezpečnost GM a tranzitní kmitočet GBW . Výsledek typické AC analýzy je zobrazen na obrázku 7.2. Výsledek corner analýzy, která zohledňuje změnu parametrů součástek vlivem změny teploty a výrobních odchylek, je zobrazen v příloze P2.

Dále byla AC analýza použita při simulování minimálních zatěžovacích rezistorů a maximálních výstupních proudů. Minimální zatěžovací odpor byl určen jako nejmenší hodnota rezistorů připojených k výstupu, kdy je operační zesilovač stále stabilní a jsou splněny všechny požadované parametry. Pro měření maximálního výstupního proudu se namísto rezistorů použily ideální proudové zdroje.



Obrázek 7.1: Zapojení pro AC analýzu



Obrázek 7.2: Typický průběh frekvenční a fázové charakteristiky

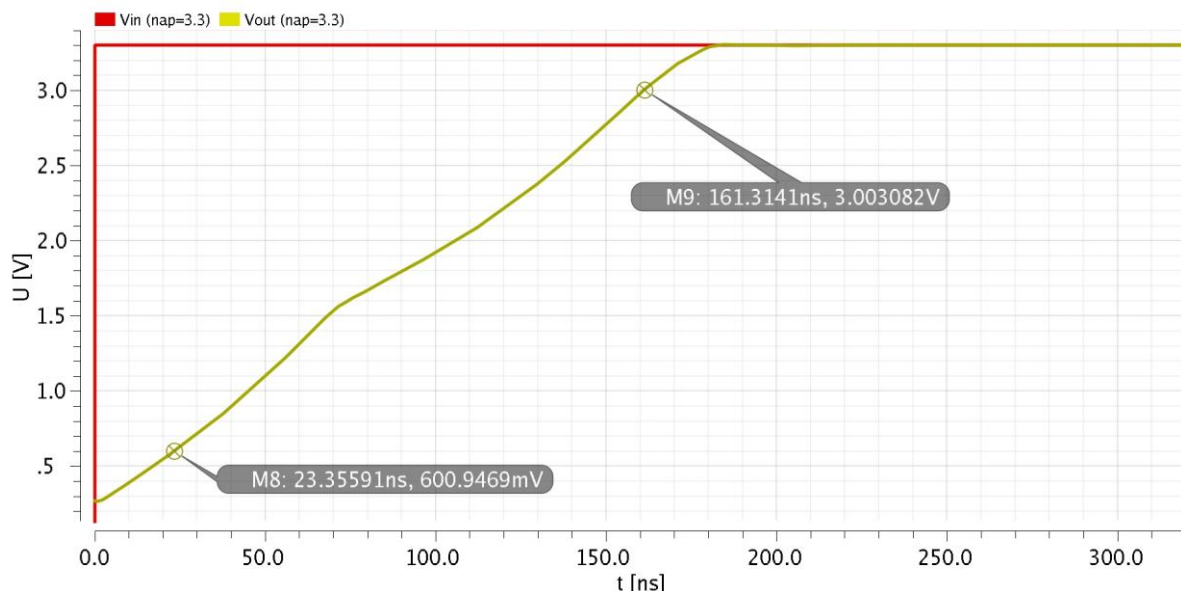
Tabulka 7.1: Souhrn výsledků AC simulace (výsledky po corner analýze jsou uvedeny v příloze P2)

	Min	Typ
A_0 [dB]	80,87	97,37
PM [°]	55,03	66,68
GM [dB]	14,56	19,39
GBW [MHz]	10,9	16,55
R_L [kΩ]	1,9	
I_{MAX} [μA]	870	

7.2 Časová analýza

Časová analýza slouží pro simulování určité veličiny v závislosti na čase. Pro měření rychlosti přeběhu je plně diferencní výstup pomocí zdroje napětí řízeného napětím převeden na jednoduchý. Tento jednoduchý výstup je následně veden na invertující vstup operačního zesilovače a tvoří tak sledovač napětí. Na vstup sledovače je připojen generátor obdélníkového signálu.

Rychlost přeběhu byla určena pomocí vnitřní funkce programu Cadence, pro typický proces bylo $SR = 17,11$ V/μs. Typický průběh časové analýzy je zobrazen na obrázku 7.3. Pro corner analýzu v příloze P2.

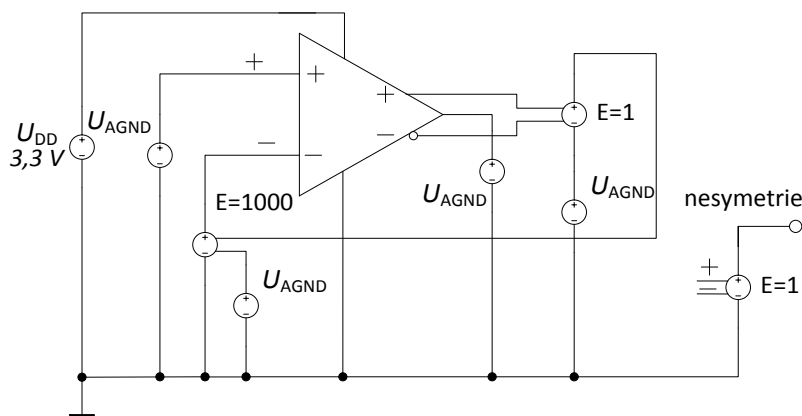


Obrázek 7.3: Typický průběh časové analýzy - SR

7.3 Simulace vstupní napěťové nesymetrie

Napěťová nesymetrie je dána velikostí napětí, které je potřeba přivést na vstup operačního zesilovače, tak aby na jeho výstupu byla hodnota U_{AGND} . Pro měření tohoto parametru byl použit obvod dle obrázku 7.4. Stejně jako u předcházejících simulací byl diferenční výstup pomocí napěťově řízeného zdroje převeden na jednoduchý. Takto převedený výstup byl přes další napěťově řízený zdroj přiveden na invertující vstup operačního zesilovače. Řízený napěťový zdroj je ve zpětné vazbě proto, aby výstupní napěťový rozsah neovlivňoval simulaci napěťové nesymetrie.

Hodnota napěťové nesymetrie byla získána pomocí analýzy dcmatch. Hodnota napěťové nesymetrie pro 3σ (přibližně 99,73 % výroby) byla $U_{os} = \pm 3,081 \text{ mV}$. V tabulce 7.2 jsou uvedeny tranzistory, které mají největší příspěvek na hodnotu náhodné napěťové nesymetrie. Tyto tranzistory je tedy potřeba sesouhlasit pomocí technik popsanych v kapitole 5.



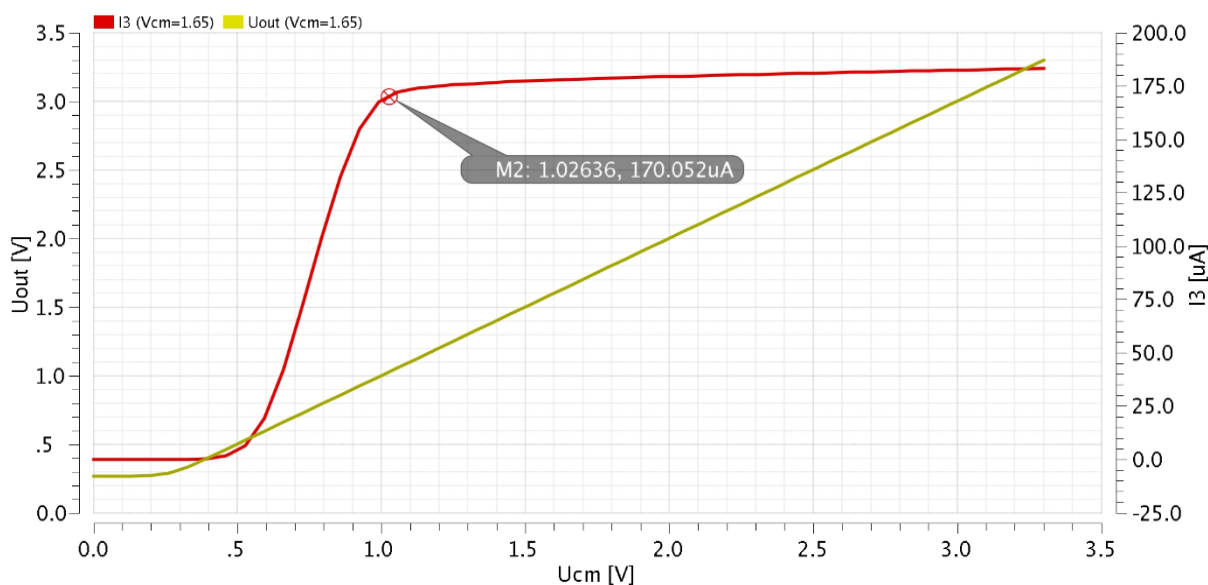
Obrázek 7.4: Obvod pro měření vstupní napěťové nesymetrie

Tabulka 7.2: Tranzistory s největším příspěvkem na vstupní napěťovou nesymetrii

	σ_{OUT} [mV]
M _{4,5}	1,51
M _{1,2}	1,51
M _{10,11}	0,767

7.4 Simulace vstupního rozsahu

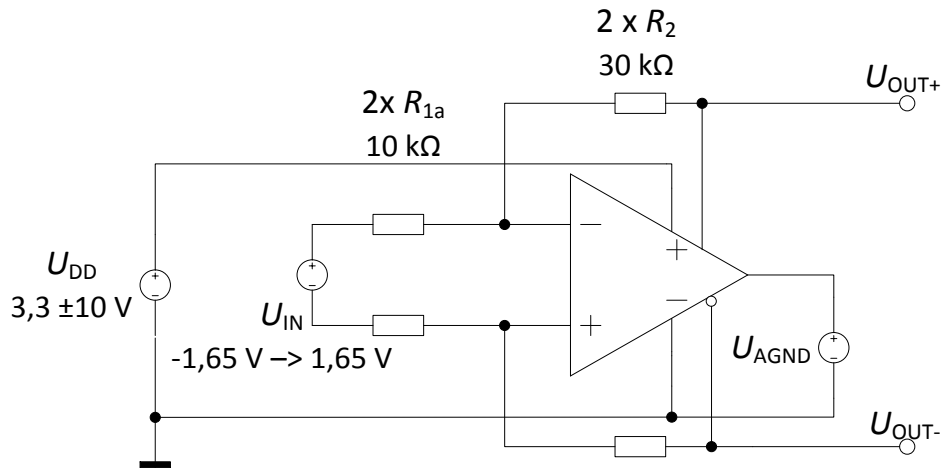
Vstupní napěťový rozsah operačního zesilovače je dán vstupním stejnosměrným napětím, kdy jsou všechny tranzistory diferenčního páru v saturaci. Operační zesilovač je při této simulaci zapojen jako sledovač napětí. Typický průběh proudu I_3 (zdroj proudu pro diferenční pár) a výstupního napětí je zobrazen na obrázku 7.5, průběh corner analýzy v příloze P2. Minimální vstupní napětí pro typický proces má hodnotu $ICMR_{MIN} = 1,03$ V.



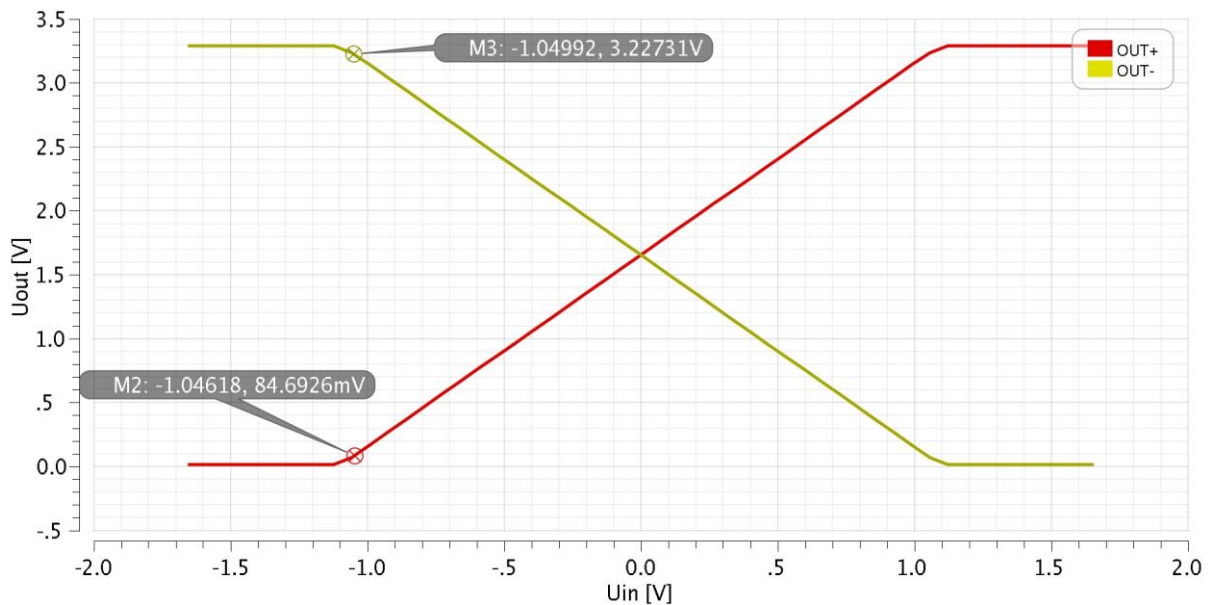
Obrázek 7.5: Typický průběh proudu I_3 a výstupního napětí

7.5 Simulace výstupního rozsahu

Pro získání výstupního rozsahu je obvod zapojen jako plně diferenční invertující zesilovač se zesílením 3 (Obrázek 7.6). Výstupní napětěvý rozkmit se získá krokováním vstupního napětěvého zdroje v rozmezí $-1,65\text{ V}$ až $1,65\text{ V}$. Typický výstupní rozsah měl hodnotu $84,69\text{ mV}$ až $3,23\text{ V}$.



Obrázek 7.6: Plně diferenční invertující zesilovač

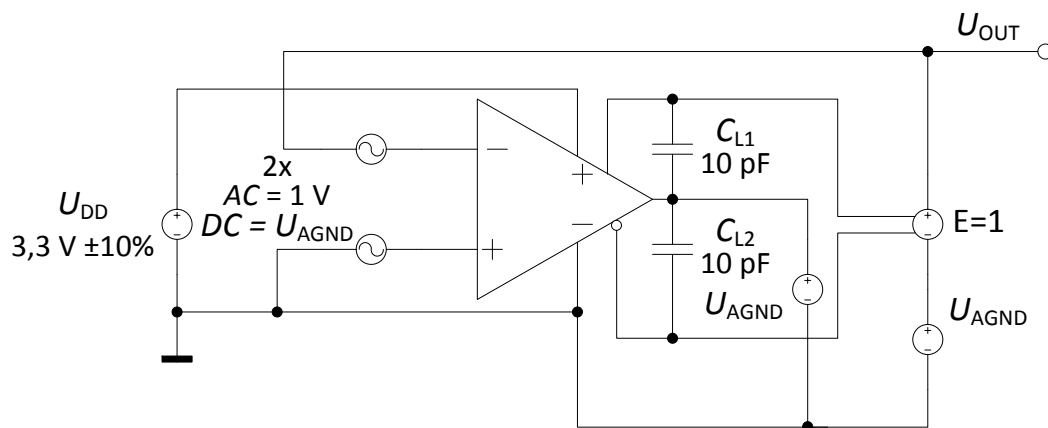


Obrázek 7.7: Simulace výstupního napětěvého rozsahu

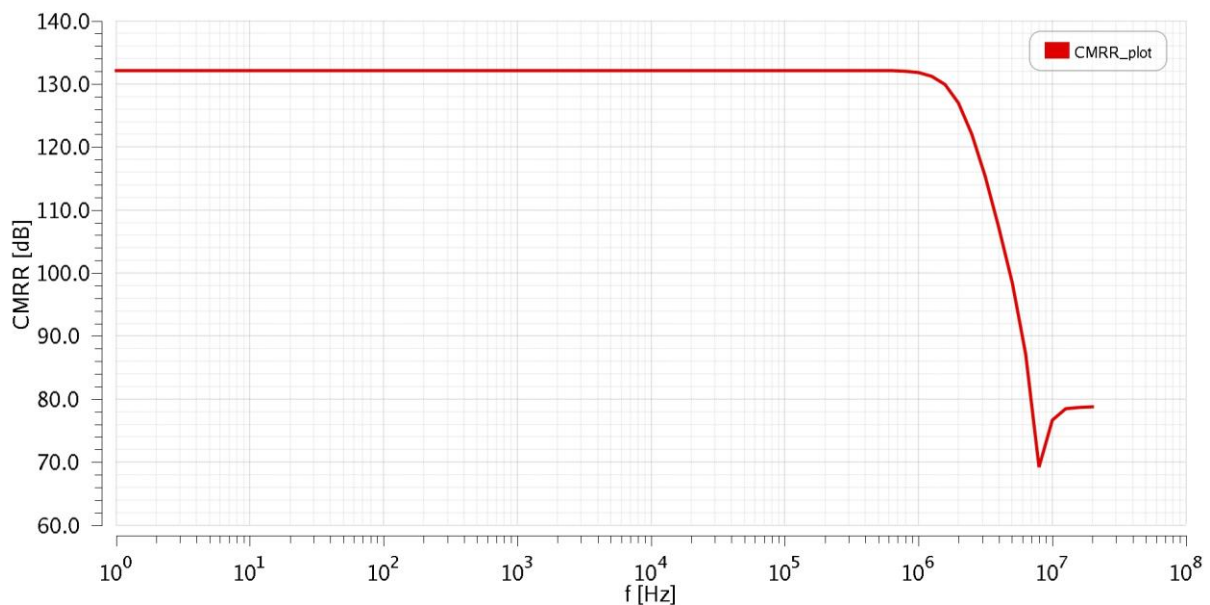
7.6 Simulace *CMRR*

Jak již bylo popsáno v kapitole 2.3 parametr *CMRR* udává jak je zesilovač schopen potlačovat společný vstupní signál. Pro simulaci bylo použito schéma, které je zobrazeno na obrázku 7.8. Operační zesilovač je při této simulaci zapojen jako sledovač napětí, kdy jsou na jeho vstupy připojeny dva identické zdroje napětí s amplitudou 1 V. Parametr *CMRR* se získá z rovnice (7.1) [10]. Pro typický proces měl parametr *CMRR* hodnotu 132,1 dB.

$$CMRR = 20 \cdot \log\left(\frac{1}{U_{OUT}}\right) [\text{dB}] \quad (7.1)$$



Obrázek 7.8: Schéma pro měření parametru *CMRR*

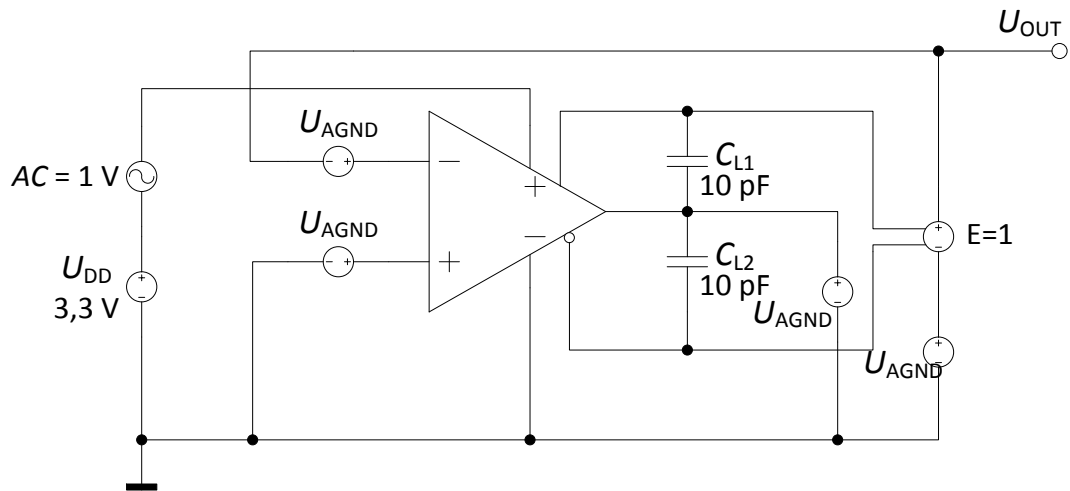


Obrázek 7.9: Typická závislost parametru *CMRR* na frekvenci

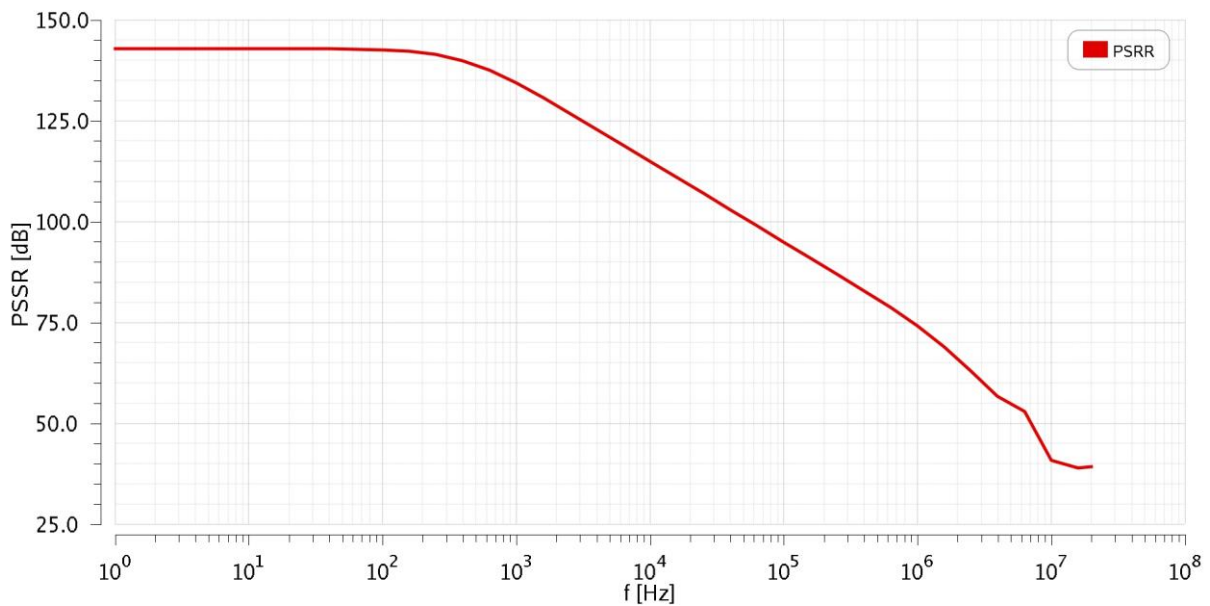
7.7 Simulace PSRR

Parametr *PSRR* udává jak je zesilovač schopen potlačovat šum od zdroje napájení (kap. 2.3). Pro simulaci parametru *PSRR* byl použit obvod zobrazený na obrázku 7.10. Operační zesilovač je zapojený jako sledovač napětí. K napájecímu napětí je přičten budící střídavý signál s amplitudou 1 V. Parametr *PSRR* se získá z rovnice (7.2) [10]. V typickém procesu byla hodnota *PSRR* rovna 142,8 dB.

$$PSRR = 20 \cdot \log\left(\frac{1}{U_{OUT}}\right) \text{ [dB]} \quad (7.2)$$



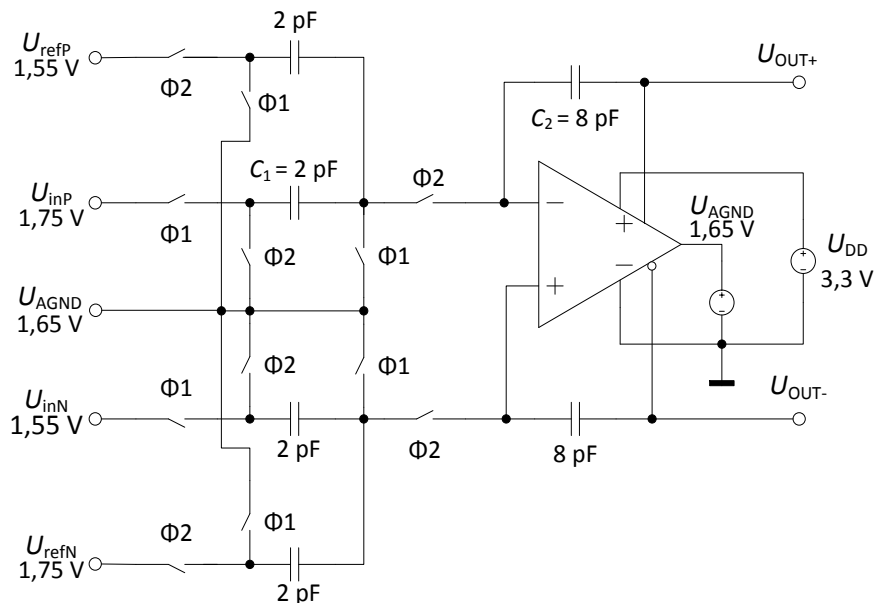
Obrázek 7.10: Schéma pro měření parametru *PSRR*



Obrázek 7.11: Typická závislost parametru *PSRR* na frekvenci

7.8 Ověření funkčnosti na konkrétní aplikaci

Posledním krokem před vytvořením topologie čipu bylo ověření, zda navržený operační zesilovač funguje i v konkrétní aplikaci. Typickým použitím plně diferenčního operačního zesilovače je integrátor v delta – sigma modulátorech. Schéma obvodu integrátoru je na obrázku 7.12.

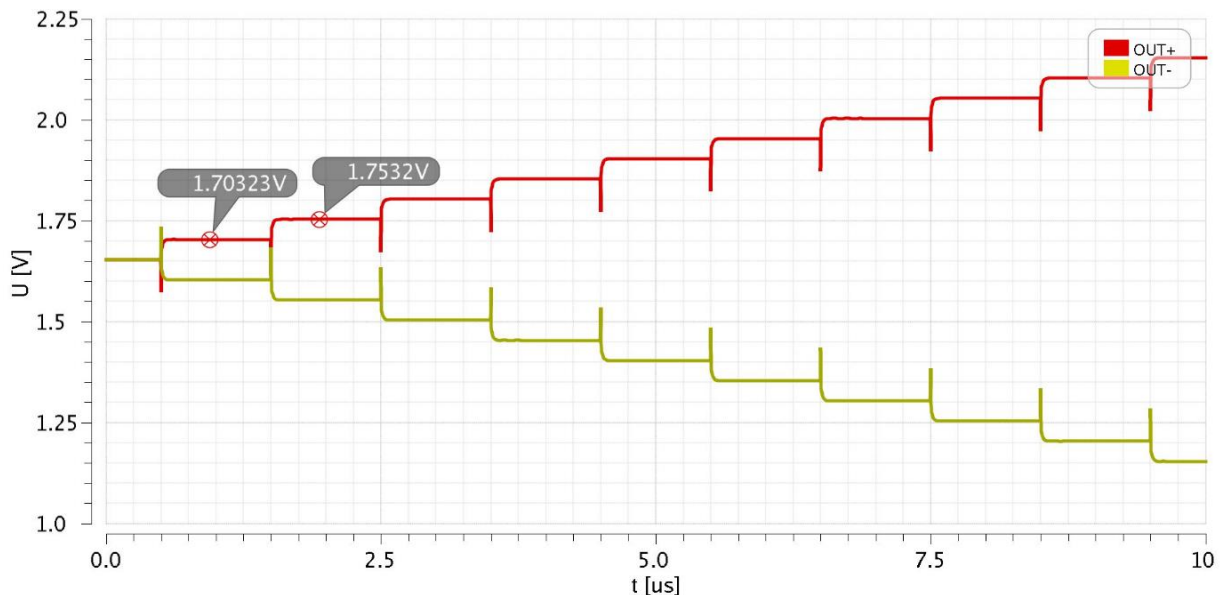


Obrázek 7.12: Schéma obvodu integrátoru

Pro výstupní napětí integrátoru platí:

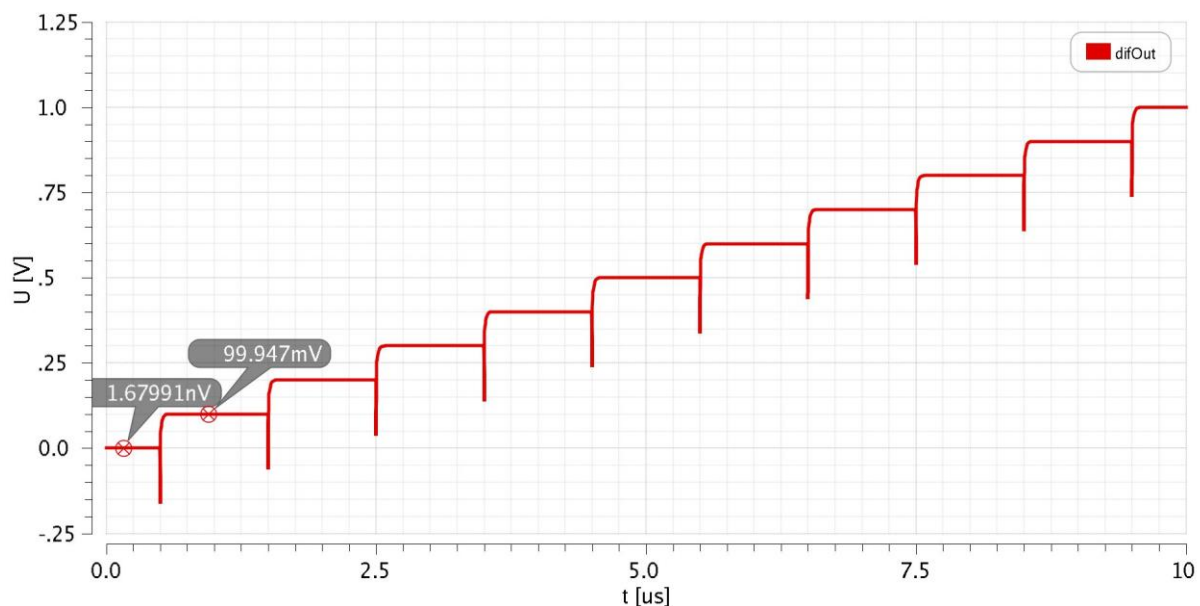
$$U_{OUT+} = (U_{inP} - U_{refP}) \cdot \frac{C_1}{C_2} = (1,75 - 1,55) \cdot \frac{2}{8} = 50 \text{ mV} \quad (7.3)$$

$$U_{OUT-} = (U_{inN} - U_{refN}) \cdot \frac{C_1}{C_2} = (1,55 - 1,75) \cdot \frac{2}{8} = -50 \text{ mV} \quad (7.4)$$



Obrázek 7.13: Časový průběh výstupů integrátorů

Z důvodu, že jsou oba výstupy stejně ovlivňovány výrobními nedokonalostmi, je výstupní diferenční napětí stále stejné, viz příloha P2.



Obrázek 7.14: Časový průběh diferenčního výstupu integrátoru

Tabulka 7.3: Přehled výsledků jednotlivých simulací

	Typ	Worst Case
Stejnoseměrné zesílení A_0 [dB]	97,37	80,87
Tranzitní kmitočet GBW [MHz]	16,55	10,9
Fázová bezpečnost PM [°]	66,68	55,03
Amplitudová bezpečnost GM [dB]	19,39	14,56
Minimální zatěžovací odpor R_L [kΩ]	1,9	
Maximální výstupní proud I_{MAX} [μA]	870	
Rychlost přeběhu SR [V/μs]	17,11	11,03
Minimální vstupní napětí $ICMR_{MIN}$ [V]	1,02	1,19
Rozsah výstupního napětí $OCMR$ [V]	84,69m – 3,22	
Parametr $CMRR$ [dB]	132,1	117,6
Parametr $PSRR$ [dB]	142,8	93,22
Spotřeba P [mW]	3,18	5,45
Vstupní napěťová nesymetrie pro $3\sigma U_{OS}$ [mV]	± 3,081	

Závěr

Tato práce se zabývala návrhem plně diferenčního operačního zesilovače ve třídě AB. V teoretickém úvodu jsou rozebrány různé struktury, které se využívají při realizaci operačních zesilovačů. Pro dosažení relativně vysokých kmitočtů, byla za strukturu zvolena složená kaskoda.

Funkčnost a jednotlivé parametry navrženého obvodu byly ověřeny simulacemi v návrhovém prostředí Cadence. Požadované parametry jako tranzitní kmitočet, rychlost přeběhu, stejnosměrné zesílení a stabilita byly splněny při všech procesních odchylkách a v průmyslovém rozsahu teplot (-40°C až 85°C). Parametry navrženého obvodu jsou pro přehlednost uvedeny v tabulce 7.3.

Rozsah vstupního napětí je v nejhorším případě od 1,19 V až po napájecí napětí. Pokud by bylo zapotřebí vstupní rozsah zvýšit, bylo by nutné využití obou typů vstupního diferenčních párů. Vstupní napěťová nesymetrie pro 3σ měla hodnotu $\pm 3,081$ mV. Další snižování této hodnoty bylo problematické, jelikož při zvětšování tranzistorů docházelo vlivem větší parazitní kapacity ke snižování tranzitního kmitočtu.

Navržený výstupní stupeň ve třídě AB je schopen pracovat téměř v rozsahu napájecího napětí. Výstupy operačního zesilovače je možné zatížit maximálním rezistorem o hodnotě $R_{LMAX} = 1,9$ k Ω . Maximální výstupní proud z jednotlivých výstupů je $I_{MAX} = 870$ μA . K dalšímu zvýšení výstupního proudu by bylo potřeba zvětšit hodnotu amplitudové bezpečnosti GM .

Navržená topologie čipu má i s napájecími raily velikost 210,05 μm x 294,1 μm což odpovídá ploše 0,06 mm². Pomocí procedur DRC, LVS a antenna check bylo ověřeno, že jsou dodrženy návrhová pravidla a shodnost topologie se schématem

Seznam použité literatury

- [1] BERGVELD, P. Thirty years of ISFETOLOGY. *Sensors and Actuators B: Chemical* [online]. 2003, vol. 88, issue 1, s. 1-20 [cit. 2014-12-13]. DOI: 10.1016/S0925-4005(02)00301-5.
Dostupné z: <http://linkinghub.elsevier.com/retrieve/pii/S0925400502003015>
- [2] SCHOENING, Michael J. a Arshak POGHOSSIAN. Recent advances in biologically sensitive field-effect transistors (BioFETs). *The Analyst* [online]. vol. 127, issue 9, s. 1137-1151 [cit. 2014-12-13]. DOI: 10.1039/b204444g.
Dostupné z: <http://xlink.rsc.org/?DOI=b204444g>
- [3] CHENG, Yuhua a Chenming HU. *MOSFET modeling*. Boston: Kluwer Academic Publishers, 1999, 461 s. ISBN 07-923-8575-6.
- [4] COLINGE, Jean-Pierre a C COLINGE. *Physics of semiconductor devices*. Boston: Kluwer Academic Publishers, 2002, xiii, 436 p. ISBN 1-4020-7018-7.
- [5] KLEDROWETZ, Vilém a Jiří HÁZE. *Návrh analogových integrovaných obvodů počítačová cvičení*. Vysoké učení technické v Brně.
- [6] I3T25: 0.35 μm Process Technology. ON SEMICONDUCTOR. [Http://www.onsemi.com/](http://www.onsemi.com/) [online]. © 1999-2014 [cit. 2014-12-13].
Dostupné z: <http://www.onsemi.com/PowerSolutions/content.do?id=16687>
- [7] PUNČOCHÁŘ, Josef. *Operační zesilovače v elektronice*. 5. vyd. Praha: BEN - technická literatura, 2002, 495 s. ISBN 80-730-0059-8.
- [8] RON MANCINI, Editor in chief a Milton KAUFAMN. *Op amps for everyone design reference*. 2nd ed. Amsterdam: Newnes, 2003. ISBN 978-008-0513-072.
- [9] STOUT, David a Milton KAUFAMN. *Handbook of amplifier circuit design*. New York: McGraw-Hill Book Company, 1976. ISBN 00-706-1797-X.
- [10] ALLEN, Phillip E a Douglas R HOLBERG. *CMOS analog circuit design*. 2nd ed. New York: Oxford University Press, 2002, 784 s. ISBN 01-951-1644-5.
- [11] SEDRA, Adel S a Kenneth C SMITH. *Microelectronic circuits*. 5th ed. New York: Oxford University Press, 2004, xxx, 1283,[76]s. ISBN 01-951-4251-9.
- [12] SANSEN, Willy M. *Analog design essentials*. Dordrecht: Springer, 2006, 777 s. ISBN 03-872-5746-2.
- [13] RAZAVI, Behzad. *Design of analog CMOS integrated circuits*. Boston: McGraw-Hill, 2001, 684 s. ISBN 00-723-8032-2.

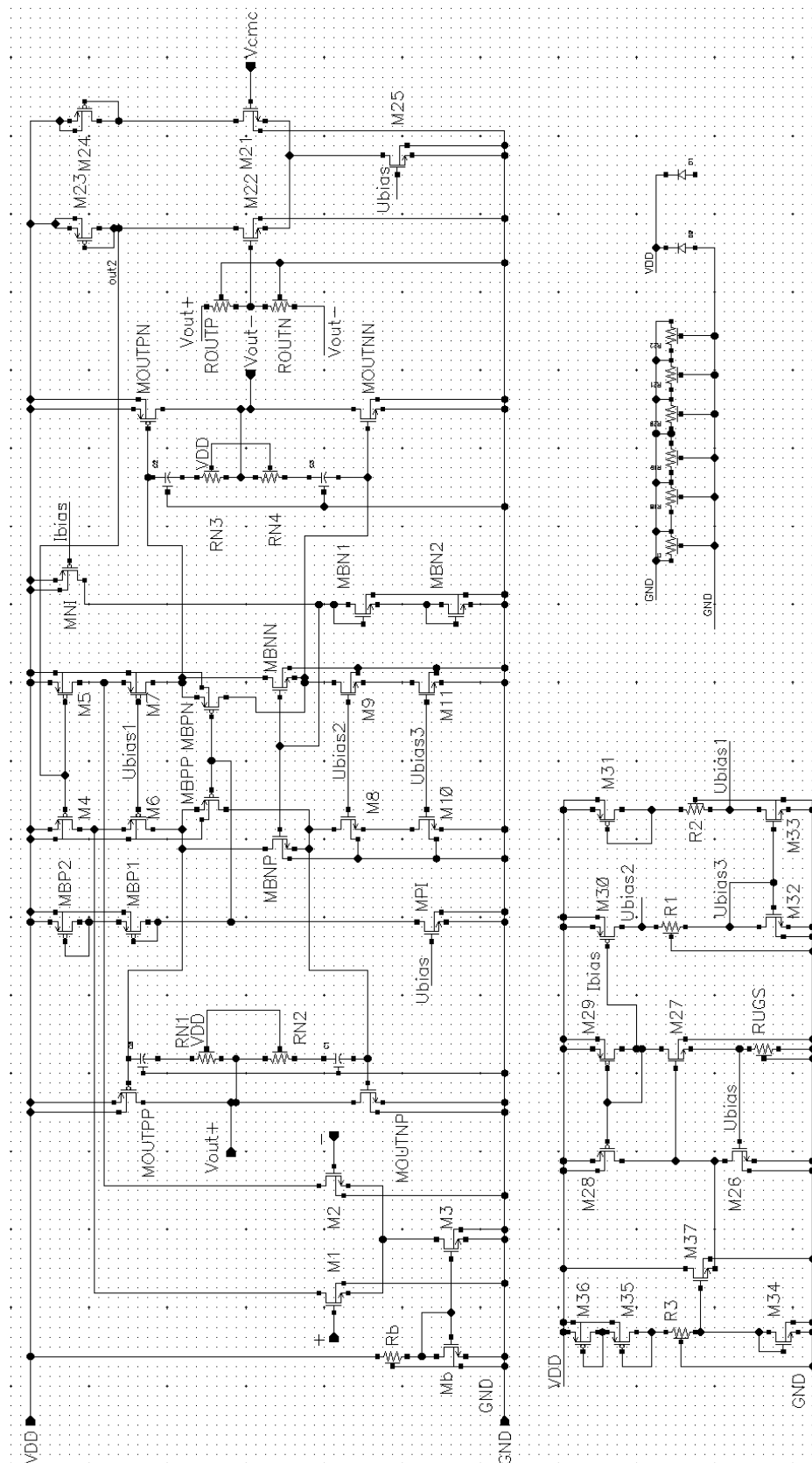
Seznam použitých zkratek a symbolů

Symbol	Popis	Jednotka
A_U	Zesílení v otevřené smyčce	dB
BW	Šířka pásma	Hz
$CMMR$	Common-mode rejection ratio	dB
f_T	Tranzitní kmitočet	Hz
GBW	Tranzitní kmitočet	Hz
g_{ds}	Výstupní vodivost tranzistoru	S
g_m	Transkonduktance tranzistoru	S
GM	Amplitudová bezpečnost	dB
$ICMR$	Vstupní napěťový rozsah OZ	V
I_D	Saturační proud tranzistorem	A
KP	Transkonduktanční parametr	A/V^2
L	Délka kanálu	m
$OCMR$	Výstupní napěťový rozsah	V
OZ	Operační zesilovač	-
PM	Fázová bezpečnost	°
$PSRR$	Power supply rejection ratio	dB
R_{\square}	Povrchový odpor	Ω/\square
r_{DS}	Výstupní odpor tranzistoru	Ω
R_{IN}	Vstupní odpor operačního zesilovače	Ω
R_{OUT}	Výstupní odpor operačního zesilovače	Ω
SR	Rychlost přeběhu	V/s
U_{AGND}	Hodnota analogové země	V
U_-	Napětí přivedené na invertující vstup OZ	V
U_+	Napětí přivedené na neinvertující vstup OZ	V
U_{DD}	Kladné napájecí napětí	V
U_{DS}	Napětí drain-source	V
U_{DSat}	Saturační napětí tranzistoru	V
U_{GS}	Napětí gate-source	V
U_{OS}	Vstupní napěťová nesymetrie OZ	V
U_{OUT}	Výstupní napětí OZ	V
U_{SS}	Záporné napájecí napětí	V
U_{TH}	Prahové napětí	V
W	Šířka kanálu tranzistoru	m
λ	parametr modulace délky kanálu	V^{-1}

Seznam příloh

P1 Kompletní schéma navrženého OZ.....	I
P2 Corner analýzy	III
P3 Topologie čipu	VII

P1 Kompletní schéma navrženého OZ

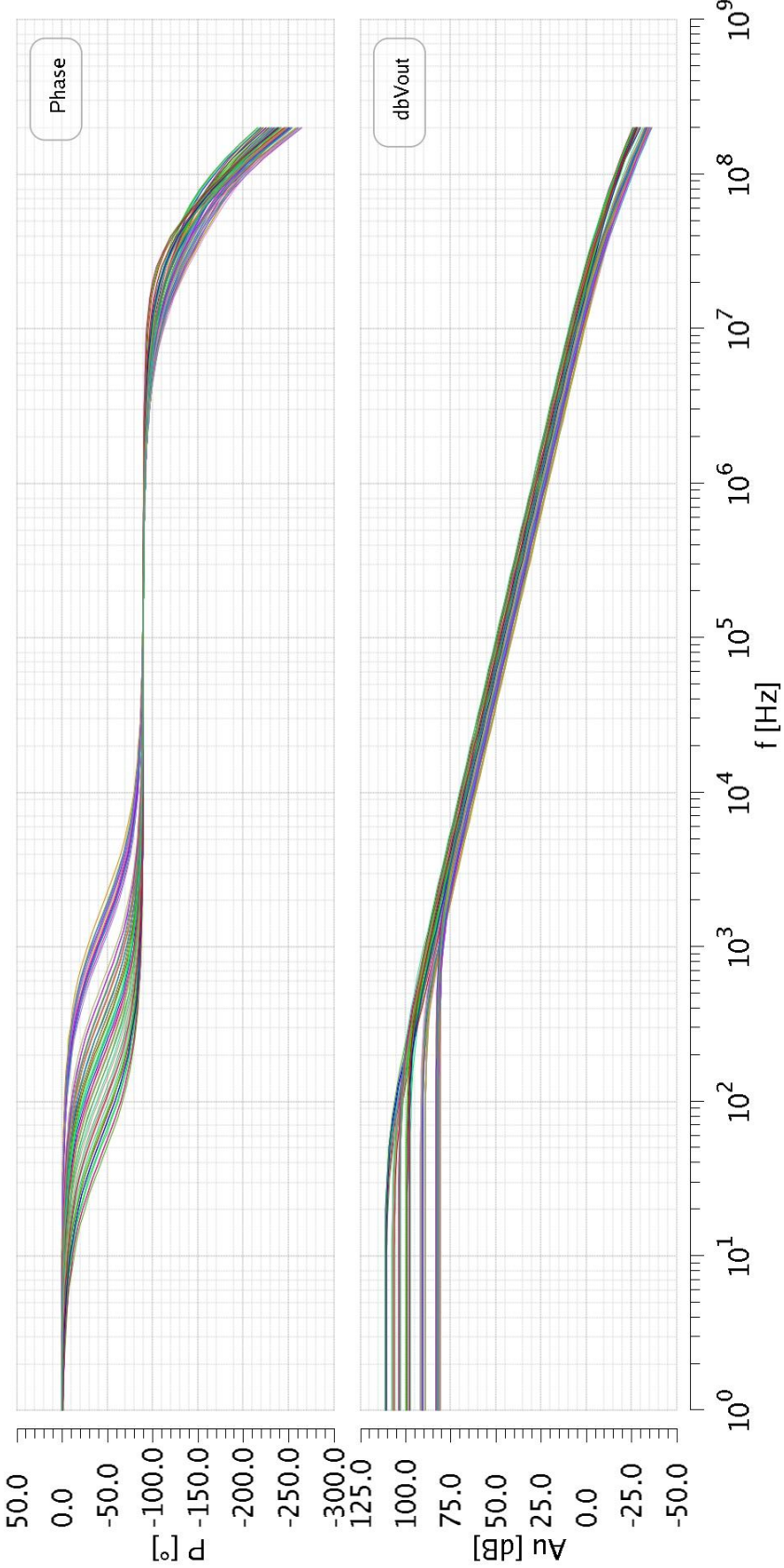


Obr. P1: Kompletní schéma navrženého OZ

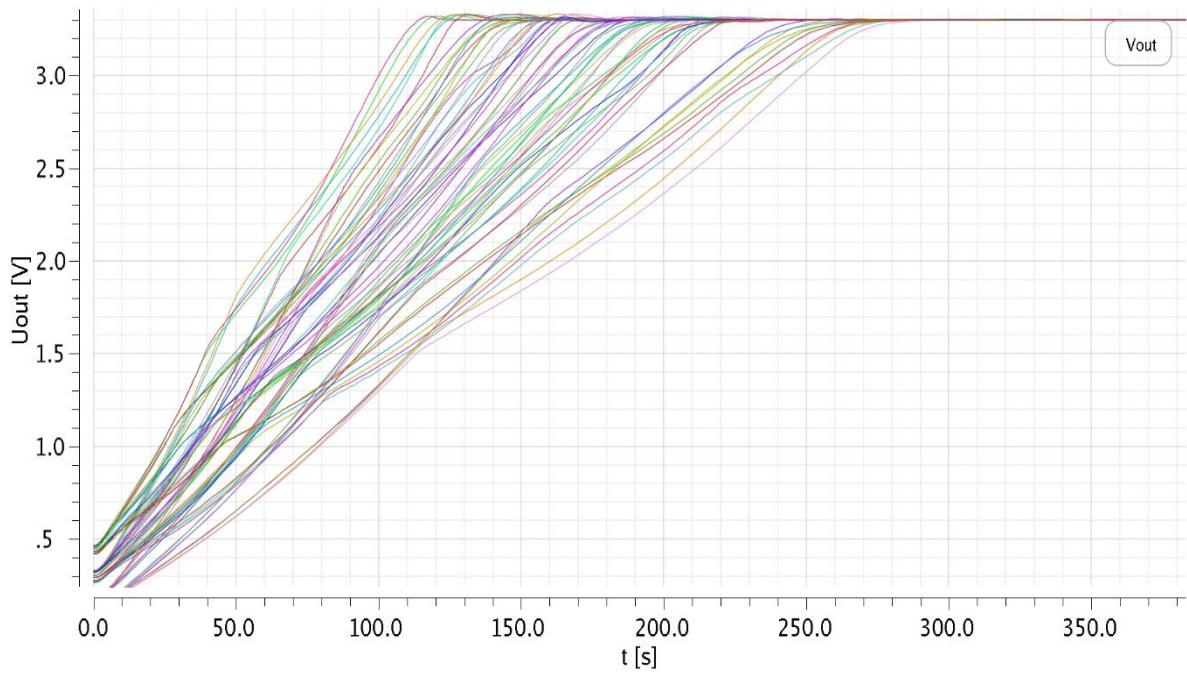
Tab. P1: Parametry použitých součástek

	W/L [-]	m [-]	L [μm]	W [μm]
Diferenční pár				
M ₁ , M ₂	26,90	2	2,0	53,80
M ₃	19,40	2	2,0	38,80
M _B	9,70	1	2,0	19,40
Kaskoda				
M ₄ , M ₅	34,75	2	1,4	48,65
M ₆ , M ₇	34,75	2	1,0	34,75
M ₈ – M ₁₁	8,15	2	5,0	40,75
Výstupní stupeň				
2x M _{OUTP}	109,10	1	1,1	120,00
2x M _{OUTN}	25,64	1	1,1	28,20
2x M _{BP}	16,52	2	2,3	38,00
2x M _{BN}	3,87	2	2,3	8,90
M _{BP1} , M _{BP2}	5,70	1	2,0	11,40
M _{PI}	3,36	1	5,0	16,80
M _{BN1} , M _{BN2}	1,35	1	2,0	2,70
M _{NI}	7,30	2	5,0	36,50
Zpětnovazební obvod				
M ₂₁ , M ₂₂	1,50	1	5,0	7,50
M ₂₃ , M ₂₄	3,21	1	5,0	16,05
M ₂₅	6,90	1	5,0	34,50
Referenční obvod				
M ₂₆	3,00	1	2,0	6,00
M ₂₇	3,00	1	5,0	15,00
M ₂₈ , M ₂₉	6,42	2	5,0	32,10
M ₃₀	7,29	2	4,4	32,10
M ₃₁	4,00	1	3,0	12,00
M ₃₂	1,36	1	5,0	6,80
M ₃₃	1,44	1	5,0	7,20
M ₃₄ , M ₃₇	1,50	1	5,0	7,50
M ₃₅ , M ₃₆	6,48	1	3,0	32,40
Pasivní součástky				
R _B	53,4 \square	975 Ω/\square		52,1 k Ω
R ₁ , R ₂	40,0 \square	975 Ω/\square		39,0 k Ω
R ₃	36,0 \square	975 Ω/\square		35,1 k Ω
R _{UGS}	85,0 \square	975 Ω/\square		82,9 k Ω
R _{OUTP} , R _{OUTN}	40,0 \square	975 Ω/\square		39,0 k Ω
R _{N1} – R _{N4}	5,9 \square	240 Ω/\square		1416 Ω
C ₁ – C ₄ [pF]	2857,68 μm^2	1,5 fF/ μm^2		4,3 pF

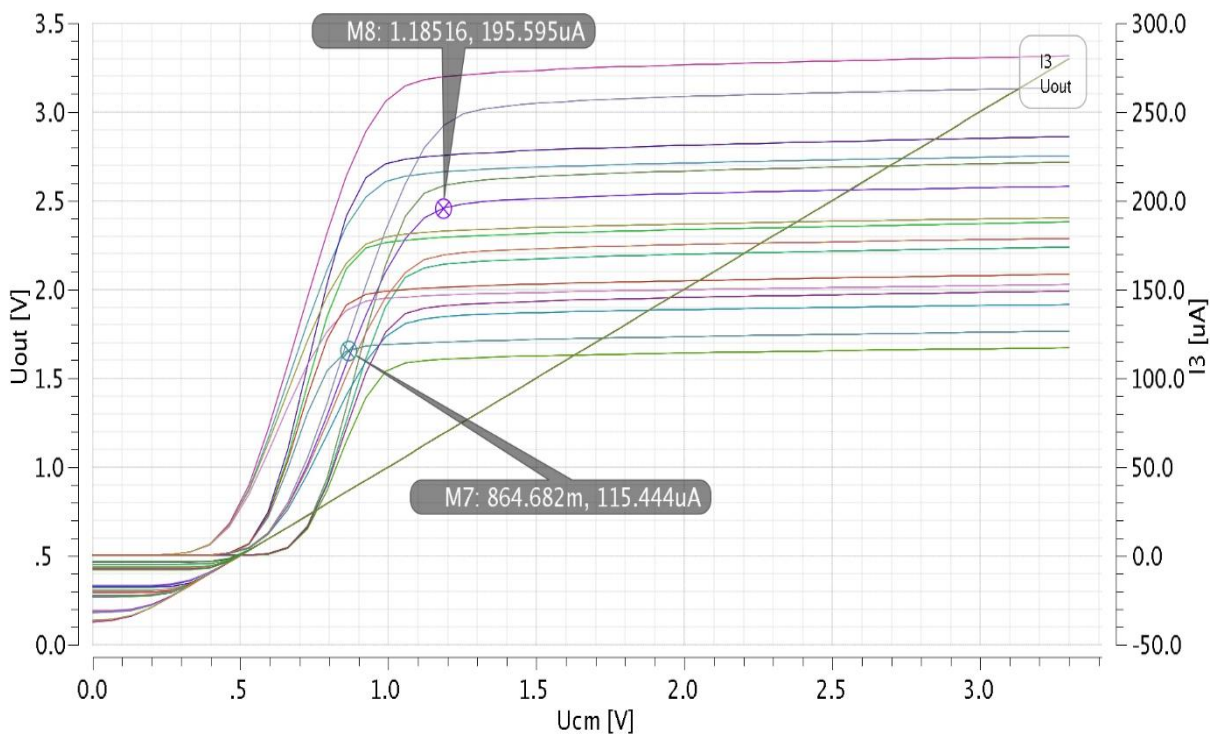
P2 Corner analyzy



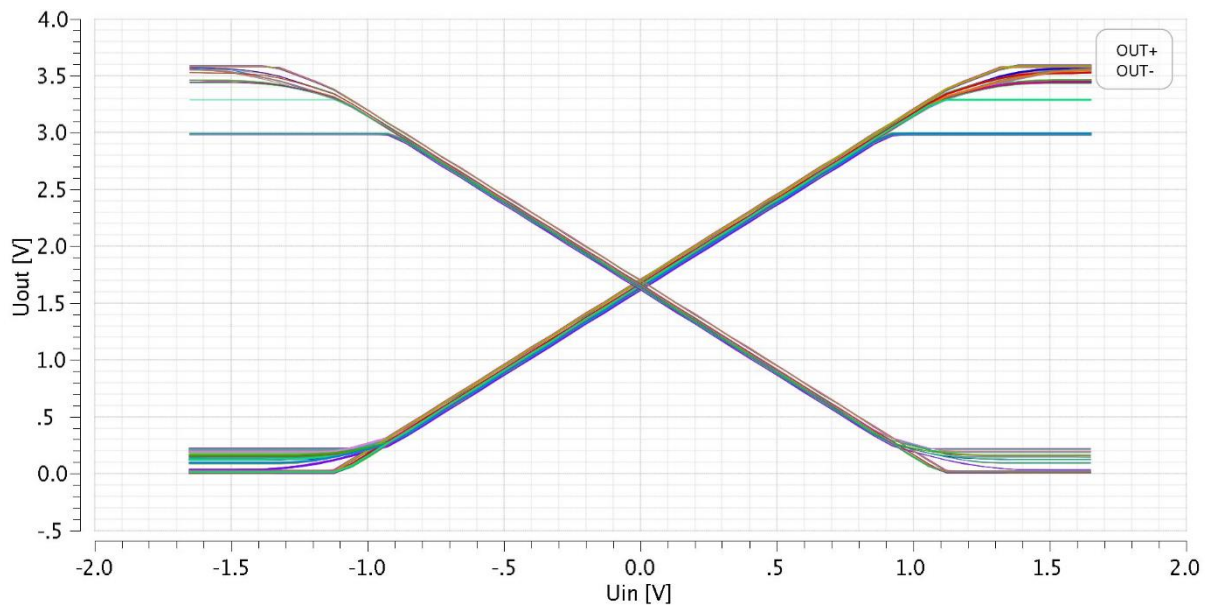
Obr. P2: Corner analyza AC simulace



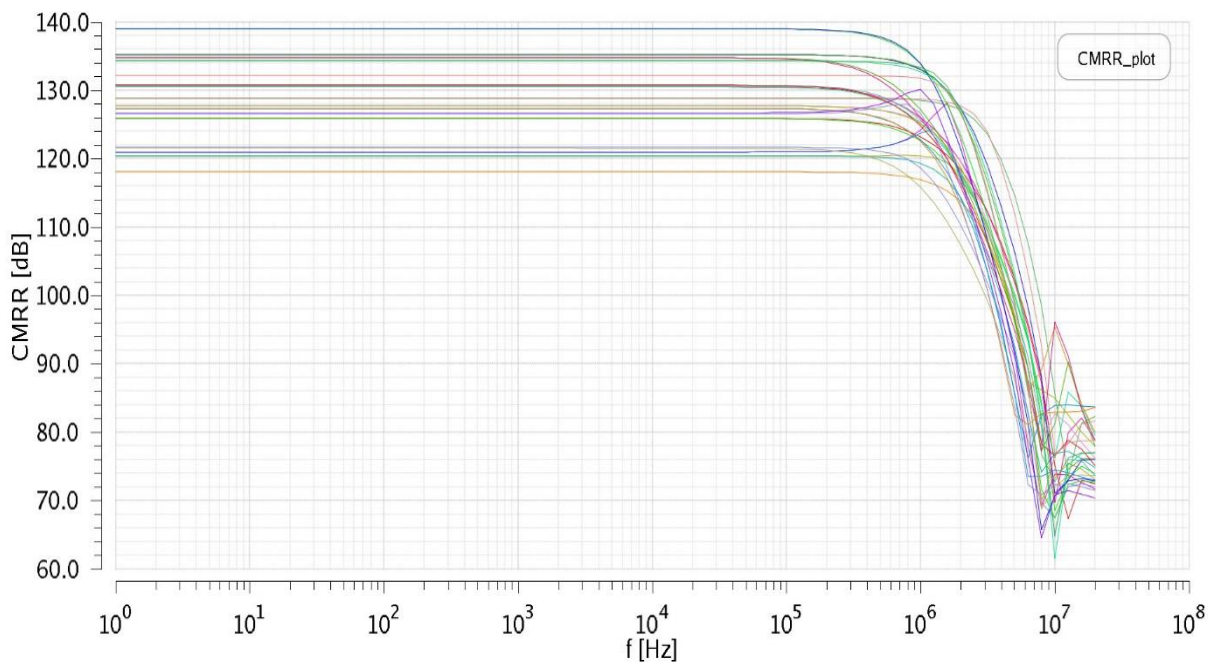
Obr. P3: Corner analýza SR



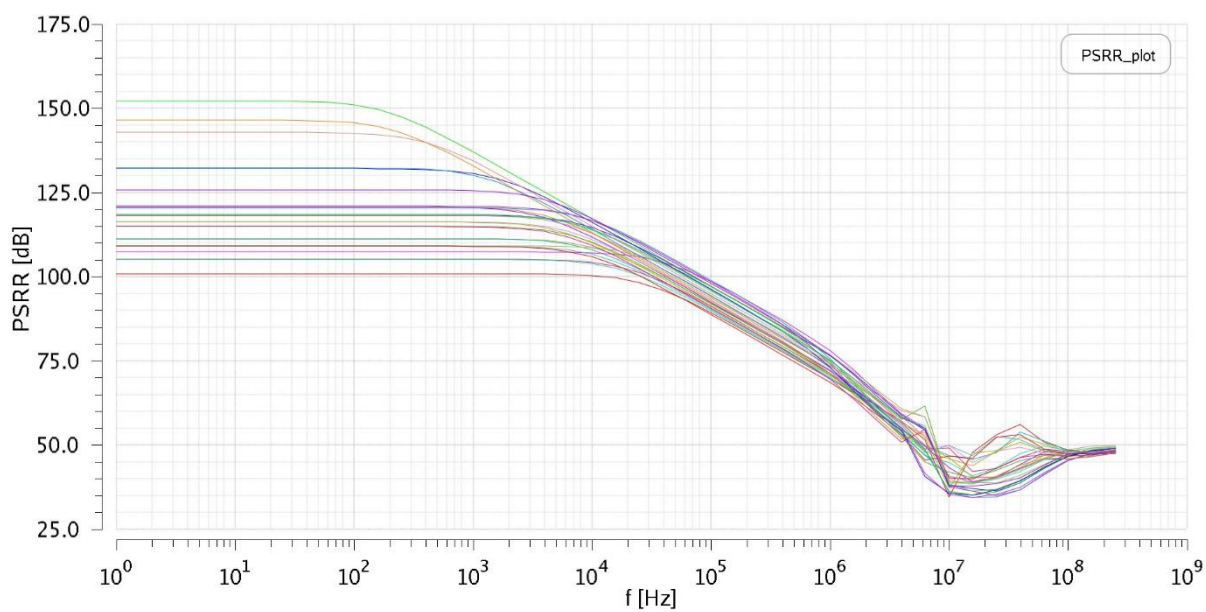
Obr. P4: Corner analýza vstupní napěťový rozsah



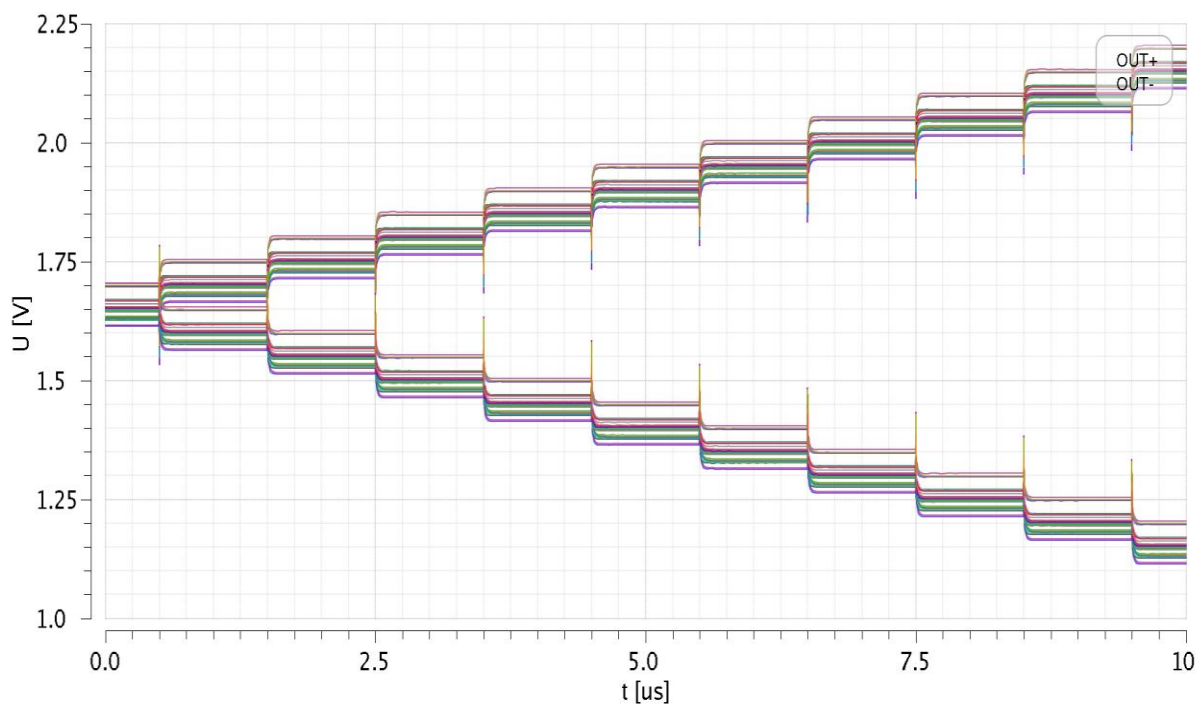
Obr. P5: Corner analýza výstupní napěťový rozsah



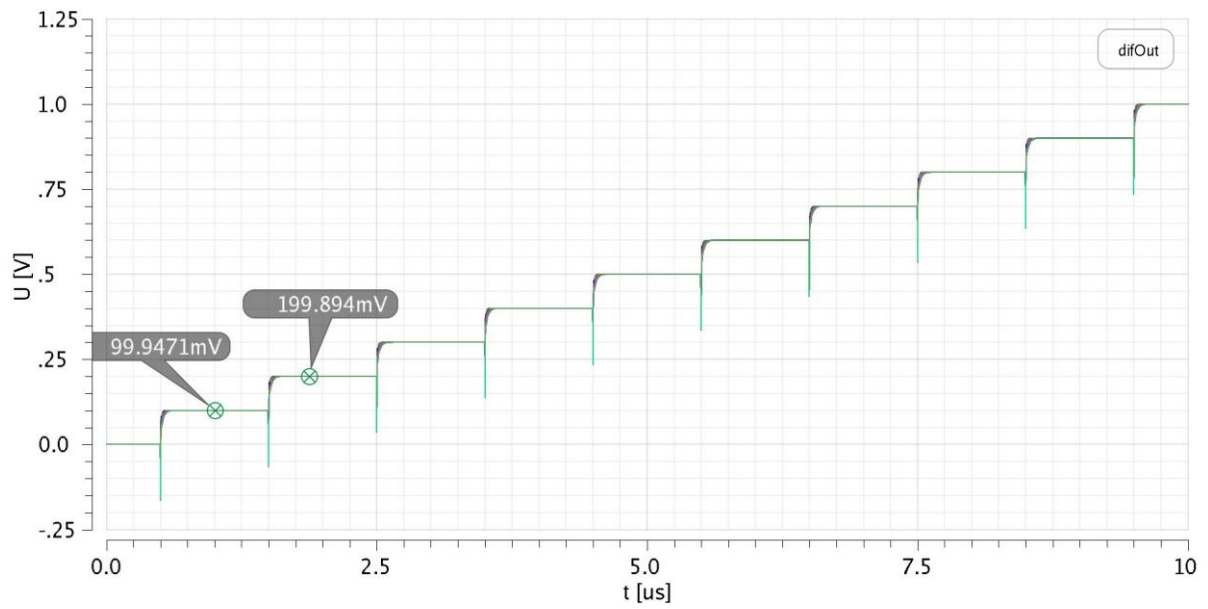
Obr. P6: Corner analýza parametr *CMRR*



Obr. P7: Corner analýza parametr $PSRR$

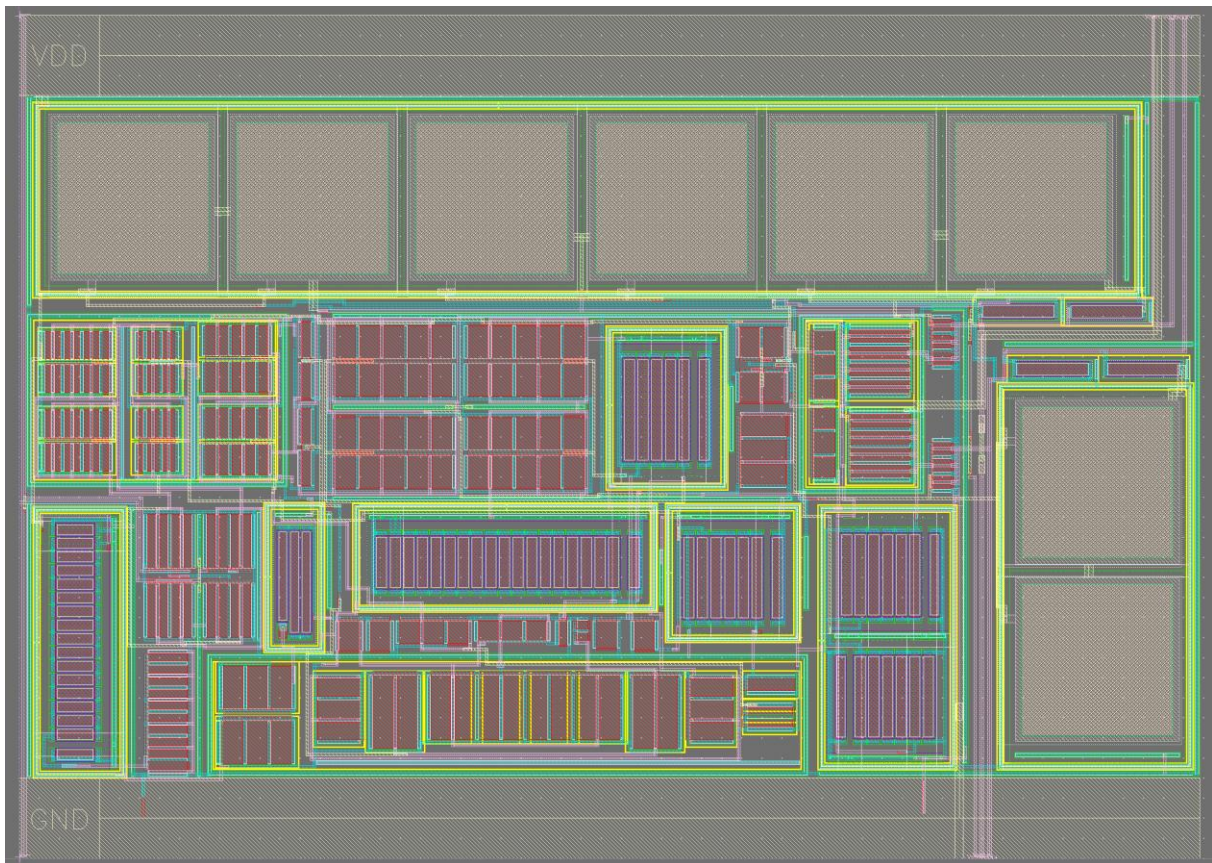


Obr. P8: Corner analýza výstup integrátoru



Obr. P9: Corner analýza diferenční výstup integrátoru

P3 Topologie čipu



Obr. P10: Navržená topologie čipu