



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

AUDIO A/D A D/A PŘEVODNÍK PRO LABORATORNÍ VÝUKU

AUDIO ADC AND DAC FOR LABORATORY MEASUREMENTS

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Dan Raszka

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Tomáš Kratochvíl, Ph.D.

BRNO 2016



Bakalářská práce

bakalářský studijní obor **Elektronika a sdělovací technika**
Ústav radioelektroniky

Student: Dan Raszka

ID: 159625

Ročník: 3

Akademický rok: 2015/16

NÁZEV TÉMATU:

Audio A/D a D/A převodník pro laboratorní výuku

POKYNY PRO VYPRACOVÁNÍ:

V teoretické části práce navrhnete blokovou koncepci a obvodové zapojení kombinace audio A/D a D/A převodníků, které by byly využitelné v laboratorní výuce předmětu Nízkofrekvenční a audio elektronika. Volbu vhodného A/D a D/A převodníku provedte s ohledem na moderní součástkovou základnu s řízením přes I2C/SPI sběrnici. Měření by mělo demonstrovat vliv volby vzorkovacího kmitočtu a kvantizace na chyby převodníku. Předpokládejte mikroprocesorové řízení a volbu režimu obou převodníků bez použití externího PC.

V praktické části práce vytvořte kompletní konstrukční podklady k realizaci návrhu (schéma zapojení, návrh desky plošného spoje, rozložení a soupiska součástek atd.). Navržený přípravek realizujte formou funkčního prototypu a experimentálním měřením v laboratoři nízkofrekvenční elektroniky ověřte jeho činnost. Výsledky měření zpracujte formou standardního protokolu, který doplňte standardním zadáním laboratorní úlohy.

DOPORUČENÁ LITERATURA:

[1] WIRSUM, S. Abeceda nf techniky. Praha: BEN - technická literatura, 2003.

[2] Texas Instruments. Audio Guide. [online] <http://www.ti.com/audio>, 2015.

Termín zadání: 8.2.2016

Termín odevzdání: 26.5.2016

Vedoucí práce: doc. Ing. Tomáš Kratochvíl, Ph.D.

Konzultant bakalářské práce:

doc. Ing. Tomáš Kratochvíl, Ph.D., předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato práce se zabývá návrhem laboratorního přípravku pro demonstraci vlivu vzorkovací frekvence a kvantizace na chyby převodníku. Součástí této práce je výběr vhodného A/D a D/A převodníku spolu s řídicím procesorem. Dále obsahuje návrh ostatních funkčních bloků jako například vstupní a výstupní analogové filtry, LCD displej a ovládací prvky. Zaobírá se taktéž návrhem softwarového řešení ovládání přípravku a zpracování signálu.

KLÍČOVÁ SLOVA

Laboratorní přípravek, audio, anti-aliasingový filtr, rekonstrukční filtr, A/D, D/A, převodník, STM32

ABSTRACT

This paper describes the design of a laboratory equipment to demonstrate the influence of the sampling frequency and quantization errors on converter. Part of this work is to select appropriate ADC and DAC along with control microprocessor. The proposal contains other functional blocks such as analog input and output filters, LCD display and controls. It deals also with the design of software solutions to control and signal processing.

KEYWORDS

Laboratory equipment, audio, antialiasing filter, reconstruction filter, ADC, DAC, converter, STM32

Raszka D. *Audio A/D a D/A převodník pro laboratorní výuku*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2016. 50 s., 31 s. příloh. Bakalářská práce. Vedoucí práce: doc. Ing. Tomáš Kratochvíl, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svoji bakalářskou práci na téma Audio A/D a D/A převodník pro laboratorní výuku jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedeného bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji panu doc. Ing. Tomáši Kratochvílovi, Ph.D. za vstřícnost a rady při vypracování této práce.

OBSAH

Seznam obrázků	ix
Seznam tabulek	xi
Úvod	1
1 Návrh přípravku	2
1.1 Bloková struktura.....	2
1.2 Vstupní analogové obvody	3
1.3 Výběr A/D převodníku	5
1.4 Výběr D/A převodníku	7
1.5 Výstupní analogové obvody	8
1.6 Výběr řídicího procesoru	8
1.7 Výběr ovládacích prvků a návrh prostředí.....	9
2 Podrobný popis	11
2.1 Vstupní analogové audio obvody	11
2.2 CS5381.....	14
2.3 STM32F405RGT6	18
2.4 CS4392.....	23
2.5 Výstupní analogové audio obvody	29
2.6 Ovládací a zobrazovací prvky přípravku	30
2.7 Napájecí obvody	32
3 Popis programu procesoru	36
3.1 Konfigurace periférií procesoru	36
3.2 Konfigurace vnějších obvodů	42
3.3 Hlavní smyčka programu.....	45
4 Měření přípravku	47
4.1 Měření napájecího modulu	47
4.2 Frekvenční charakteristiky filtrů.....	47
4.3 Odstup signálu od šumu a THD+N	49

Závěr	50
Literatura	51
Seznam symbolů, veličin a zkratk	52
A Návrh zapojení	53
A.1 Obvodové zapojení vstupních obvodů a ovládání relé	53
A.2 Obvodové zapojení výstupních obvodů.....	54
A.3 Obvodové zapojení A/D převodníku CS5381	55
A.4 Obvodové zapojení D/A převodníku CS4382	56
A.5 Obvodové zapojení procesoru STM32F405	57
A.6 Obvodové zapojené expandéru PCF8574T	58
A.7 Obvodové zapojení čelního panelu.....	59
A.8 Obvodové zapojení napájecího modulu.....	60
B Návrhy desek plošných spojů	61
B.1 Deska plošného spoje převodníků – top (strana součástek)	61
B.2 Deska plošného spoje převodníků – bottom (strana spojů)	61
B.3 Deska plošného spoje procesoru STM32F405 – top (strana součástek)	62
B.4 Deska plošného spoje procesoru STM32F405 – bottom (strana spojů)	62
B.5 Deska plošného spoje čelního panelu – bottom (strana spojů).....	63
B.6 Deska plošného spoje napájecího modulu – bottom (strana spojů).....	63
C Osazovací plány	64
C.1 Osazovací plán DPS převodníků - strana top	64
C.2 Osazovací plán DPS převodníků - strana bottom	64
C.3 Osazovací plán DPS procesoru - strana top.....	65
C.4 Osazovací plán DPS procesoru - strana bottom.....	65
C.5 Osazovací plán DPS čelního panelu - strana top	66
C.6 Osazovací plán DPS čelního panelu - strana bottom.....	66
C.7 Osazovací plán DPS napájecího modulu - strana top.....	66
C.8 Osazovací plán DPS napájecího modulu - strana bottom.....	67
D Seznamy součástek	67
D.1 Seznam součástek pro DPS převodníků	67
D.2 Seznam součástek pro DPS procesoru STM32F405	68
D.3 Seznam součástek pro DPS čelního panelu	68

D.4	Seznam součástí pro DPS napájecího modulu	69
E	Seznam příloh na CD	69
F	Vzorový protokol	70
G	Prázdný protokol	77

SEZNAM OBRÁZKŮ

Obrázek 1.1	Bloková struktura přípravku	2
Obrázek 1.2	Fletcher-Munsonovy křivky stejné hlasitosti – převzato z [1]	3
Obrázek 1.3	Spektrum navzorkovaného signálu	4
Obrázek 1.4	Blokové schéma navrženého přizpůsobovacího vstupního obvodu	4
Obrázek 1.5	Principiální schéma sigma-delta A/D převodníku	5
Obrázek 1.6	Blokové schéma navrženého přizpůsobovacího výstupního obvodu	8
Obrázek 1.7	Návrh zobrazení na LCD displeji 16x4	10
Obrázek 2.1	Zapojení vstupního filtru typu horní propust a rozbočení signálu	11
Obrázek 2.2	Zapojení antialiasingového filtru typologie Sallen-Key	12
Obrázek 2.3	Modulová frekvenční charakteristika antialiasingového filtru	12
Obrázek 2.4	Zapojení zesilovače s jednotkovým zesílením a offsetem pro A/D převodník v procesoru	13
Obrázek 2.5	Zapojení symetrizačního členu	14
Obrázek 2.6	Blokové schéma CS5381	15
Obrázek 2.7	Rozložení pinů obvodu CS5381	16
Obrázek 2.8	Sériová komunikace ve formátu Left-Justified a I2S	16
Obrázek 2.9	Distribuce taktovacího signálu v obvodu CS5381	17
Obrázek 2.10	Princip činnosti obslužného programu procesoru STM32F446RET	19
Obrázek 2.11	Popis pinů procesoru STM32F405RGT6	20
Obrázek 2.12	Popis vnitřní distribuce taktovacího signálu procesoru STM32F405RET vygenerovaný pomocí STM32CubeMX [4]	22
Obrázek 2.13	Blokové schéma CS4392 – převzato z [6]	24
Obrázek 2.14	Rozložení pinů obvodu CS4392 – převzato z [6]	25
Obrázek 2.15	Komunikace po sběrnici I2C a SPI – převzato z [6]	26
Obrázek 2.16	Rozdíl mezi formáty Left-Justified, I2S a Right-Justified	27
Obrázek 2.17	Přehled registrů v obvodu CS4392	28
Obrázek 2.18	Zapojení diferenčního zesilovače s operačním zesilovačem	29
Obrázek 2.19	Zapojení tlačítek přípravku	30
Obrázek 2.20	Zapojení rotačního enkodéru	30
Obrázek 2.21	Průběhy na rotačním enkodéru při otáčení	31

Obrázek 2.22	Zapojení převodníku úrovní a expandéru PCF8574T na sběrnici I2C ...	32
Obrázek 2.23	Blokové schéma distribuce proudu na přípravku	33
Obrázek 3.1	Vývojový diagram inicializace LCD displeje.....	45
Obrázek 4.1	Modulová frekvenční charakteristika antialiasingového a rekonstrukčního filtru	48
Obrázek 4.2	Závislost THD+N na frekvenci vstupního signálu	49

SEZNAM TABULEK

Tabulka 1.1	Přehled A/D převodníků spolu s klíčovými parametry pro výběr	6
Tabulka 1.2	Přehled D/A převodníků spolu s klíčovými parametry pro výběr	7
Tabulka 2.1	Přehled základních technických parametrů CS5381	15
Tabulka 2.2	Přehled základních technických parametrů STM32F405RGT6.....	18
Tabulka 2.3	Přehled základních technických parametrů CS4392	23
Tabulka 2.4	Přehled odebíraného proudu jednotlivými obvody.....	32
Tabulka 2.5	Přehled předpokládaného zatížení jednotlivých stabilizátorů při jmenovitém napájecím napětí	34
Tabulka 4.1	Změřené výstupní napětí a proudy s vypočtenými ztrátovými výkony při napájení $\pm 18V$	47
Tabulka 4.2	Modulová frekvenční charakteristika antialiasingového a rekonstrukčního filtru	47
Tabulka 4.3	Změřené harmonické zkreslení s šumem převodníků.....	49

ÚVOD

Tato semestrální práce se zabývá návrhem laboratorního přípravku pro výuku v předmětu Nízkofrekvenční a audio technika. V dnešní době je již samozřejmé používání zařízení, které zpracovávají různé analogové signály. K nim patří například signály z různých senzorů neelektrických veličin, jako jsou třeba teplota, tlak, dále pak například signály v slyšitelném pásmu (20 Hz až 20 kHz).

Cílem tohoto přípravku je objasnit studentům vliv volby vzorkovacího kmitočtu, velikost kvantizačního kroku a použití antialiasingového a rekonstrukčního filtru. Mezi hlavní požadavky na přípravek tedy patří názornost, přehlednost a jednoduchost ovládání. Vysoké požadavky jsou ale kladeny taktéž na kvalitu zapojení, parametry obvodu a odolnost proti případným chybám způsobených obsluhou.

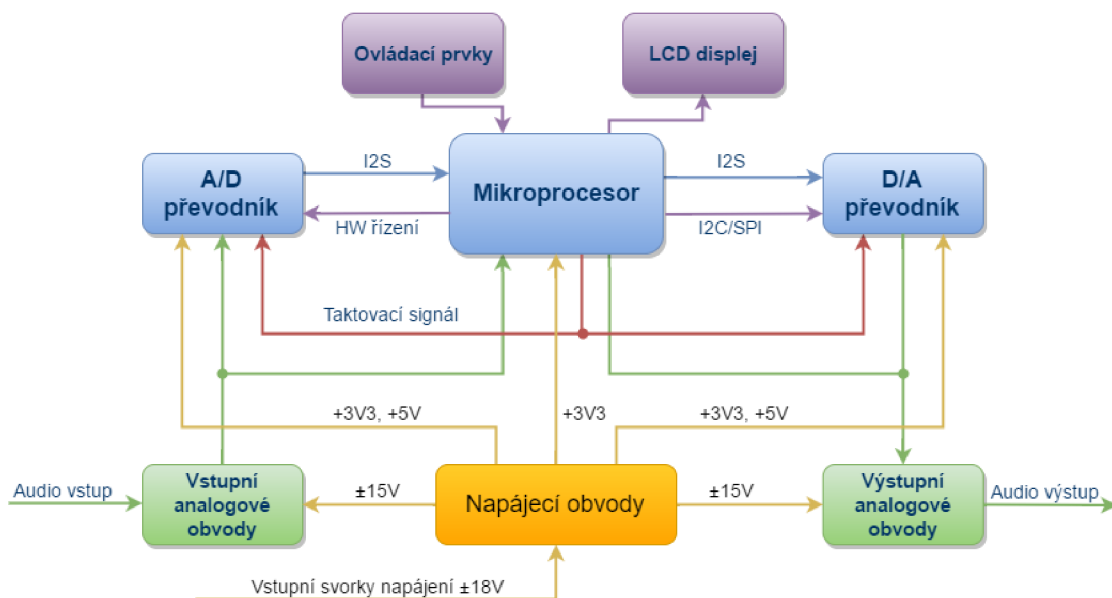
V práci je zahrnut popis vstupních a výstupních analogových obvodů sloužících k frekvenčnímu a amplitudovému přizpůsobení a požadované parametry na jednotlivé prvky zapojení. Dále je zde uveden postup návrhu obvodů takového typu. Následně je popsán princip současných A/D a D/A převodníků a výčet parametrů, které byly zohledněny při výběru konkrétních použitých integrovaných obvodů. Pro srovnání jsou zde uvedeny obvody různých firem patřící do více kvalitativních ale i cenových kategorií. Práce popisuje i výběr procesoru, jehož úkolem bude celý přípravek řídit a zpracovávat data. Následuje i stručné nastínění obslužného programu procesoru a konfigurace využitých periférií procesoru a ostatních obvodových prvků. Nedílnou součástí přípravku jsou i podpůrné obvody a periferie jako například ovládací a zobrazovací prvky a napájecí obvody. Dále je v práci uvedeno měření na realizovaném přípravku s vypracovaným vzorovým protokolem.

1 NÁVRH PŘÍPRAVKU

V následující kapitole je popsána bloková koncepce a základní požadavky, které jsou kladeny na přípravku. Je zde postupně rozebrán každý blok a jsou zde popsány základní vlastnosti. Uveden je i přehled možných konkrétních obvodů s parametry hrající roli při výběru.

1.1 Bloková struktura

Základními stavebními prvky celého přípravku je A/D a D/A převodník, které jsou připojeny k řídicímu procesoru. Využity budou také interní převodníky procesoru k názornému porovnání. K A/D převodníkům je předřazen antialiasingový filtr, který slouží k frekvenčnímu a amplitudovému přizpůsobení vstupního audio signálu pro audio A/D převodník a A/D převodník procesoru. Samotný audio A/D převodník je připojen k řídicímu procesoru pomocí sběrnice I2S a je řízen pomocí vyvedených pinů. Taktovací signál pro A/D i D/A převodník obstarává samotný procesor. K procesoru jsou taktéž připojeny ovládací a zobrazovací prvky (tlačítka, rotační enkodér a LCD displej). Sběrnice I2S je také použita k připojení D/A převodníku k procesoru. Pro konfiguraci D/A převodníku je využita I2C sběrnice. Audio výstupy z D/A jsou upraveny rekonstrukčním filtrem. Mezi audio převodníky a převodníky procesoru je možno přepínat pomocí relé, které také slouží k překlenutí, a tím i vyřazení, jak antialiasingového tak i rekonstrukčního filtru. O distribuci napájení se starají napájecí obvody snižující vstupní napětí na potřebné hladiny pro ostatní bloky. Základní blokovou strukturu lze vidět na obrázku 1.1.

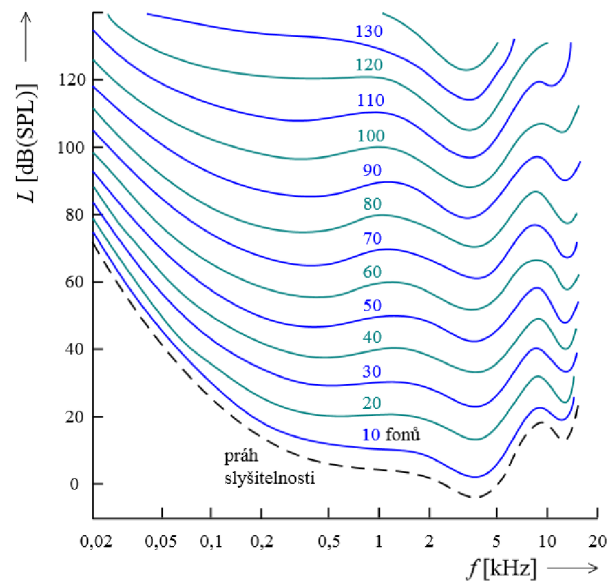


Obrázek 1.1 Bloková struktura přípravku

1.2 Vstupní analogové obvody

Cílem těchto obvodů je přizpůsobit vstupní analogový signál pro A/D převodník a to jak amplitudově tak i frekvenčně. Při úvaze nad tímto přizpůsobením je nutno brát v potaz cílové použití. Při návrhu zařízení na digitalizaci pouze mluveného slova nebudou kladeny tak vysoké nároky jak na zařízení pro studiové použití, kde se předpokládá velký dynamický rozsah v celém slyšitelném pásmu.

Obecně je slyšitelné pásmo definováno v rozsahu 20 Hz až 20 kHz. Citlivost lidského ucha ale není v celém tomto kmitočtovém rozsahu stejná. Názorně to je možno vidět na obrázku 1.2 kde je zjevně patrné jak velký frekvenční a hlavně dynamický rozsah je nutno pokrýt.

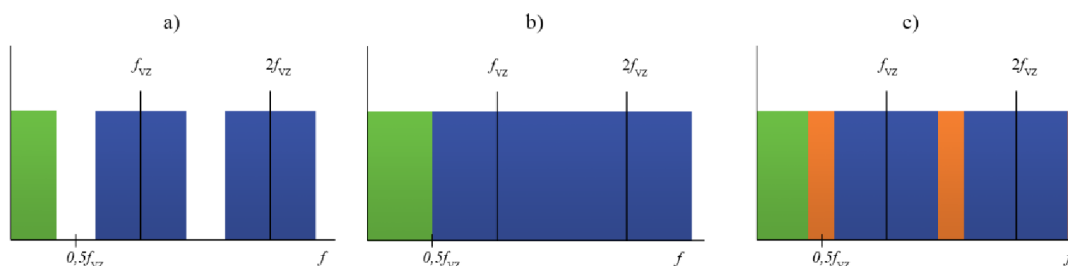


Obrázek 1.2 Fletcher-Munsonovy křivky stejné hlasitosti – převzato z [1]

Je tedy nutno zajistit aby vstupní obvody nezanášely nežádoucí šum a zkreslení. Dále je nutno oříznout frekvenční spektrum abychom se vyhnuli jevu zvaný antialiasing, ke kterému dochází při nesplnění tzv. Shannonova vzorkovacího teorému. Ten je popsán jako:

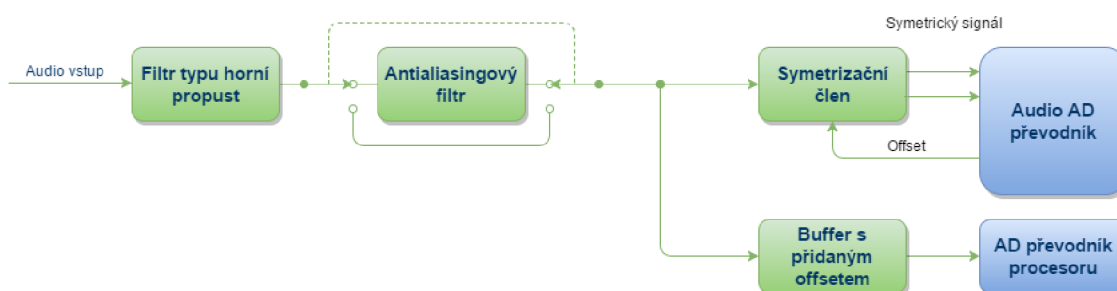
$$f_{VZ} \geq 2 \cdot f_{\max}, \quad (1.1)$$

kde f_{VZ} představuje vzorkovací frekvenci A/D převodníku a f_{\max} je maximální frekvence signálu, jež chceme zpracovávat. Po navzorkování se spektrum výstupního signálu periodicky opakuje s periodou f_{VZ} . Pokud je tedy signál navzorkovaný s dostatečnou rezervou (viz obr. 1.3 bod a), nedojde k překrytí pásem ve spektru a k degeneraci signálu. Teoreticky je možný i případ b) kdy na sebe spektrální pásma navazují. Prakticky ovšem nelze realizovat ideální filtr s okamžitým přechodem mezi propustným a útlumovým pásmem. V případě c) jsou již pásma silně překryta a ve výstupní signál bude silně ovlivněn antialiasingem.



Obrázek 1.3 Spektrum navzorkovaného signálu

Současné převodníky využívají převzorkování (oversampling), kde je reálný vzorkovací kmitočet několikanásobně vyšší než požadovaný. Následně je navzorkovaný signál upraven digitálním filtrem typu dolní propust. Důsledkem je frekvenční vzdálení maximálního přenášeného kmitočtu od reálného vzorkovacího kmitočtu. V důsledku není nutno použít vstupní filtr s vysokou strmostí – vysokým řádem.



Obrázek 1.4 Blokové schéma navrženého přizpůsobovacího vstupního obvodu

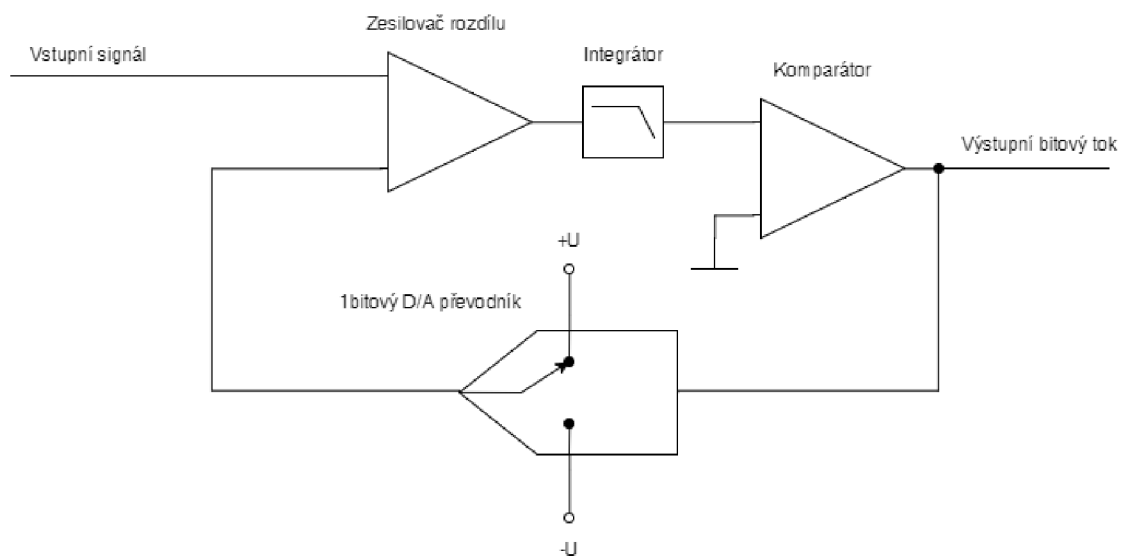
Na vstupu je obsažen filtr typu horní propust z důvodu odfiltrování stejnosměrné složky. Tento filtr se ladí obvykle o dekádu níže, než je nejnižší kmitočet, který chceme přenášet. Na obrázku 1.4 lze vidět navrženou strukturu vstupního obvodu. Z něj je patrné, že je antialiasingový filtr vypínatelný. Dále je signál rozdělen mezi symetizační člen pro audio A/D převodník a buffer pro A/D převodník procesoru. V dnešní době většina kvalitních audio převodníků využívá symetrického zapojení vstupu. Toto zapojení dovolí dosáhnout vyššího rozkmitu vstupního signálu při zachování nízkého napájecího napětí. Navíc dochází k částečnému potlačení rušení. Úlohou symetizačního členu je tedy převod na symetrický signál s přidaným offsetem. Jelikož budeme signál zpracovávat i A/D převodníkem v procesoru, který je napájen nesymetricky, je potřeba přidat i zde požadovaný offset.

1.3 Výběr A/D převodníku

V oblasti audio aplikací se dnes v běžné komerční technice vyskytují zpravidla sigma-delta převodníky. Jedná se o integrační převodníky, které se vyznačují vysokou linearitou a vysokým dosažitelným rozlišením (až 32 bitů). Nevýhodou je jejich nepříliš vysoká rychlost vzorkování. Nutno podotknout, že existují i sigma-delta převodníky s vzorkovací frekvencí v řádu MHz a rozlišením větším než 24 bitů, ale jedná se o převodníky pro specifické účely a vyšší cenou než srovnatelné převodníky jiného typu.

Pro využití v audio aplikacích je dneska plně postačující použití 24bitového převodníku s vzorkovací frekvencí až 192 kHz. Na trhu se sice objevují převodníky s 32 bitovou rozlišením a 768 kHz vzorkovací frekvencí ale vzhledem k extrémně nízké rozšířenosti a vysokým nárokům na zbytek poslechového řetězce je toto řešení málo rozšířené.

Principem sigma delta převodníku je, jak je vidět na obrázku 1.5, že od přivedeného vstupního signálu je odečteno buď kladné, nebo záporné napětí – podle předchozí hodnoty. Tento rozdíl vstupuje do integrátoru (dolní propusti) a je následně porovnán komparátorem. Jeho funkcí je v podstatě jednobitový převod analogové hodnoty na digitální. Výstupem je sériový bitový tok, který je možno následně zachytit do registru a dále zpracovávat.



Obrázek 1.5 Principiální schéma sigma-delta A/D převodníku

Dalšími parametry podle, kterých můžeme srovnávat kvalitu A/D ale i D/A převodníků jsou:

- Dynamický rozsah
- Odstup signálu od šumu (SNR)
- Celkové harmonické zkreslení se šumem (THD+N)

Při návrhu byly ale zohledněny i další vlastnosti jako typ pouzdra, počet potřebných napájecích úrovní, konfigurační a audio sběrnice a taktéž cena. Stručný přehled vybraných A/D převodníků lze nalézt v tabulce 1.1.

Prioritou při výběru bylo vybrat A/D převodník, který by nejlépe demonstroval vliv změny vzorkovací frekvence a změnu rozlišení. Jelikož většina audio převodníků v dnešní době pracuje na minimálně 16 bitovém rozlišení, zbyl pouze požadavek šířku pásma vzorkovacích frekvencí. Tento požadavek nejlépe splňují převodníky od Cirrus Logic, které lze podle datového listu [2] nastavit na vzorkovací frekvenci v rozsahu od 2 kHz až do 216 kHz. S přihlédnutím na typ pouzdra, jehož rozteč vývodů umožňuje jednoduchou výrobu desky plošného spoje a osazení, byl vybrán typ CS5381. Tabulka byla vytvořena s použitím údajů z [3] a [4].

Tabulka 1.1 Přehled A/D převodníků spolu s klíčovými parametry pro výběr

	CS5361	CS5381	AD1974	PCM1863	PCM4220	AK5397EQ
Rozlišení	24 bit	24 bit	24 bit	24 bit	24 bit	32 bit
Rozsah vzorkovací frekvence	2 – 204 kHz	2 – 216 kHz	8 – 192 kHz	32 – 192 kHz	8 – 216 kHz	8 – 768 kHz
Dynamický rozsah	114 dB	120 dB	107 dB	110 dB	123 dB	127 dB
Celkové harmonické zkreslení se šumem	-105 dB	-110 dB	-94 dB	-93 dB	-108 dB	-108 dB
Typ pouzdra	24 pinové TSSOP nebo SOIC	24 pinové TSSOP nebo SOIC	48 pinové LQFP	30 pinové TSSOP	48 pinové TQFP	44 pinové TQFP
Ovládání	hardwarově	hardwarově	SPI	SPI/I2C	hardwarově	hardwarově
Výrobce	Cirrus Logic	Cirrus Logic	Analog Devices	Texas Instruments	Texas Instruments	AsahiKasei

1.4 Výběr D/A převodníku

Ve většině D/A převodníků se v dnešní době můžeme setkat se sigma delta převodníky. Princip těchto převodníků je popsán v předešlé kapitole.

Základním požadavkem pro výběr D/A převodníku bylo zachovat parametry A/D převodníku. Bylo tedy žádané vybrat D/A převodník s obdobnými nebo lepšími parametry. Jelikož na trhu je mnohem větší výběr než v případě A/D převodníků, byly kritéria výběru mnohem přísnější. Byl vybrán čip od společnosti Cirrus Logic typ CS4392 i přestože ostatní čipy dalších výrobců jej v mnohém překonávaly. Hlavním důvodem byla ale výrobcem deklarovaný rozsah vzorkovací frekvence, který korespondoval s A/D převodníkem. U ostatních převodníků byla nejnižší vzorkovací frekvence 10 kHz což vzhledem k edukativnímu zaměření přípravku bylo nežádoucí. V běžné audio technice jsou nejčastěji používány násobky 44.1 kHz a 48 kHz. Tabulka byla vytvořena s pomocí [3],[4] a [5].

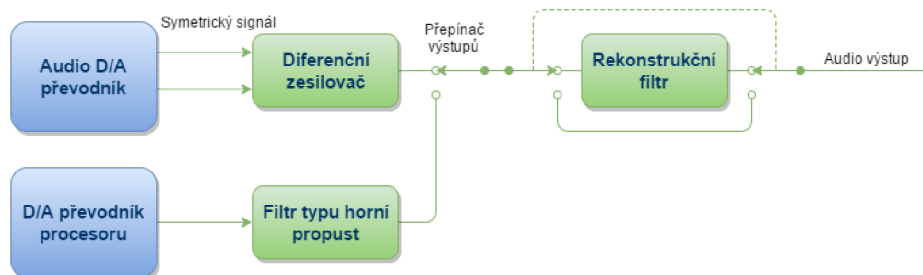
Tabulka 1.2 Přehled D/A převodníků spolu s klíčovými parametry pro výběr

	CS4392	PCM1794 A	PCM1795	AD1955	AK4495EQ	SABRE9018 C2M
Rozlišení	24 bit	24 bit	32 bit	24 bit	32 bit	32 bit
Rozsah vzorkovací frekvence	4 – 200 kHz	10 – 200 kHz	10 – 200 kHz	32 – 192 kHz	30 – 768 kHz	-
Dynamický rozsah	114 dB	132 dB	123 dB	123 dB	123 dB	127 dB
Celkové harmonické zkreslení se šumem	-100 dB	-108 dB	-106 dB	-110 dB	-101 dB	-120 dB
Typ pouzdra	20 pinové TSSOP nebo SOIC	28 pinové SSOP	28 pinové SSOP	28 pinové SSOP	44 pinové TQFP	25 bodové WLCSP
Ovládání	SPI/I2C	hardwarově	SPI/I2C	SPI/I2C	SPI/I2C	I2C
Výrobce	Cirrus Logic	Texas Instruments	Texas Instruments	Texas Instruments	AsahiKasei	ESS

Z tabulky 1.2 je patrné, že vybraný D/A převodník patří k parametrově slabším zástupcům. To je ale dáno především tím, že do přehledu byly vybrány nejlepší čipy daných výrobců. Ti patří v audio oblasti k momentální špičce. Samotné parametry vybraného D/A převodníku proto nelze chápat jako podřadné. V kategorii běžné komerční audio techniky by jistě patřil k tomu lepšímu, co může trh nabídnout.

1.5 Výstupní analogové obvody

Druhů výstupů z D/A převodníků je mnoho. Dělí se nejčastěji podle výstupní veličiny na napěťové a proudové. Za převodníky s proudovým výstupem je nutno následně zařadit další obvody, které zajistí převod na napětí. Dalším dělením je podle toho, zda se jedná o symetrický nebo nesymetrický výstup. Jelikož v laboratorním měření je jednodušší měřit nesymetrickou veličinu (napětí proti zemi), je nutné symetrický signál převést diferenciálním zesilovačem na nesymetrický. Následně je třeba ze signálu odstranit ostré přechody mezi jednotlivými kvantizačními hladinami. O toto se postará rekonstrukční filtr. Jedná se o filtr typu dolní propust, kde mezní frekvence a strmost je volena podle typu převodníku. Jelikož v našem případě se jedná o převodník se sigma delta modulací s minimálním 32 násobným převzorkováním na nejvyšší vzorkovací frekvenci, není nutno volit vysoký řád filtru. Na obrázku 1.6 lze vidět blokovou koncepci navrženého výstupního obvodu. Jako i A/D tak i audio D/A převodník je vybaven symetrickým výstupem. Ten je převeden na nesymetrický pomocí diferenciálního zesilovače. Následuje přepínač výstupů následovaný volitelným rekonstrukčním filtrem.



Obrázek 1.6 Blokové schéma navrženého přizpůsobovacího výstupního obvodu

1.6 Výběr řídicího procesoru

Základní požadavek na řídicí procesor je příjem, zpracování a vyslání zdigitalizovaného signálu přes připojené sběrnice. Procesor byl vybírán tak, aby tyto požadavky splňoval v celém pásmu použitých vzorkovacích frekvencí. Je tedy nutné, aby procesor obsahoval periferie pro příjem a vysílání digitálních audio dat, komunikaci po řídicích sběrnici převodníků a dostatečné množství vstupně/výstupních pinů pro fyzické připojení dalších ovládacích prvků jako například LCD displeje a ovládacích tlačítek a rotačního enkodéru. Vzhledem k interním digitálním filtrům audio převodníků bylo záhodno, aby procesor obsahoval také interní univerzální A/D a D/A převodníky sloužící k porovnání

s převodníky specializovanými na audio aplikace. Dalším podstatným požadavkem bylo vybrat pouzdro čipu, pro které bude jednoduché navrhnout desku plošného spoje a současně bude optimálně využito počtu pinů. Bylo tedy zamítnuto použití čipů s pájitelnými ploškami pod tělem čipu – pouzdra typu BGA, QFN a další.

Po předchozích zkušenostech s procesory firmy STMicroelectronics bylo využito programu STM32CubeMX [7] pro výběr konkrétního procesoru. Zde byly zadány požadavky:

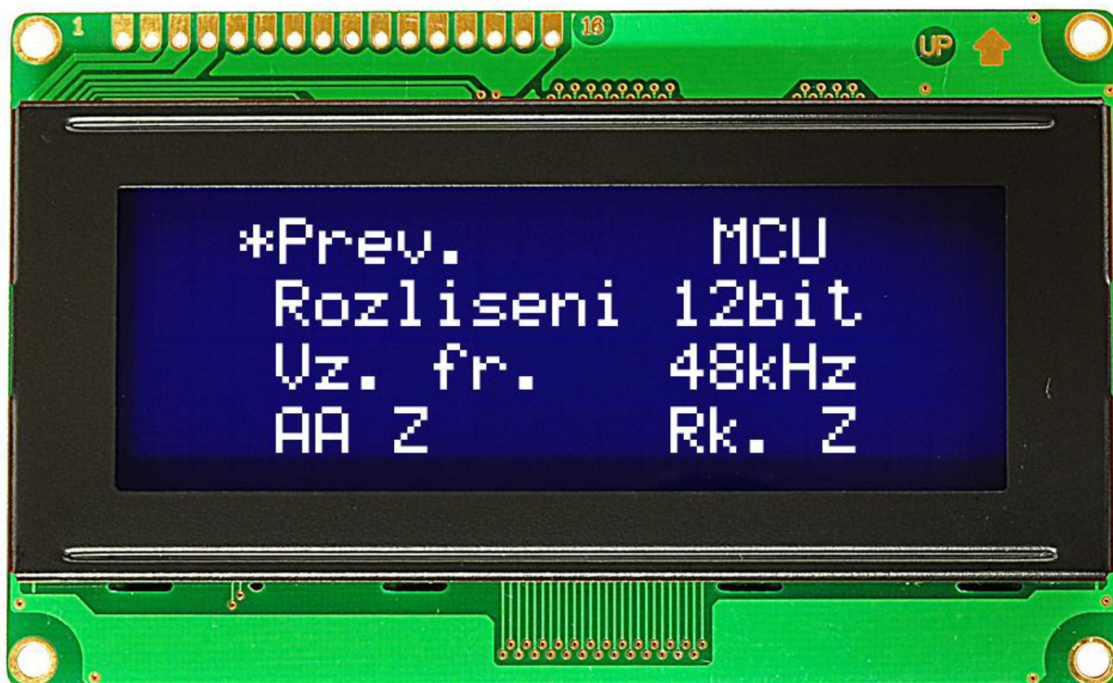
- Schopnost přijmout a vyslat stereo audio signál při vzorkování 192 kHz při rozlišení 24 bit
- Interní A/D a D/A převodníky s minimálním 12 bitovým rozlišením a vzorkovací frekvencí 200 kHz
- Dostatečný výpočetní výkon pro zpracování přijímaného signálu
- Schopnost generovat taktovací signál pro A/D a D/A převodník v širokém pásmu frekvencí
- Alespoň jedna SPI a I2C sběrnice
- Dostatek volných vstupně/výstupních pinů pro připojení ovládacích prvků a ostatních periférií
- Zapájitelné pouzdro v laboratorních podmínkách
- Přijatelná cena

Konkrétně byl tedy vybrán procesor STM32F405RG, mezi jehož přednosti patří vysoký výpočetní výkon při frekvenci jádra až 168 MHz, nízký proudový odběr ve stavu nečinnosti, dva dedikované fázové závěsy pro generování přesného taktovacího signálu pro audio zpracování a až 1 MB Flash paměti v 64 pinovém pouzdře LQFP. Nespornou výhodou je i dostupnost vývojových kitů za nízkou cenu, díky nimž je možno program odladit a taktéž naprogramovat další procesory. Detailní popis procesoru je uveden v datovém listu [8]

1.7 Výběr ovládacích prvků a návrh prostředí

Jelikož je nutné přípravek ovládat a taktéž informovat uživatele o aktuálním nastavení, je potřebné zajistit komunikační rozhraní mezi procesorem a uživatelem. Ideální pro toto se jeví kombinace LCD displeje s tlačítky. Pro rychlejší přístup a nastavení všech dostupných parametrů byl přidán i rotační enkodér, s jehož pomocí lze dané veličiny rychleji a pohodlněji měnit. Na obrázku 1.7 lze vidět návrh zobrazení všech potřebných údajů na standartním displeji s 16 znaky na řádek a 4 řádky. Jedná se o LCD s známým radičem HD44780.

Výhodou tohoto displeje je jednoduchost obsluhy, možnost podsvícení v různých barvách a dostupnost v několika velikostech (od 1 až po 4 řádky a od 8 až po 40 znaků). Nevýhodou je pouze obsluha pomocí paralelní sběrnice. Té je možné se vyhnout pomocí expandéru připojeného na některou se sběrnic procesoru.



Obrázek 1.7 Návrh zobrazení na LCD displeji 16x4

Předpokládáné je osazení dvou tlačítek a jednoho rotačního enkodéru. Tlačítka budou sloužit k přepínání mezi jednotlivými nastavitelnými parametry, které bude možné následně měnit pomocí rotačního enkodéru. Aktuálně zvolený parametr je indikován znakem hvězdičky před názvem parametru

2 PODROBNÝ POPIS

V následující kapitole je popsán podrobný popis vybraných komponent s návrhem zapojení hlavních i podpůrných obvodů. Je zde popsáno použití bloků vybraných v předchozí kapitole s postupným návrhem konkrétního zapojení.

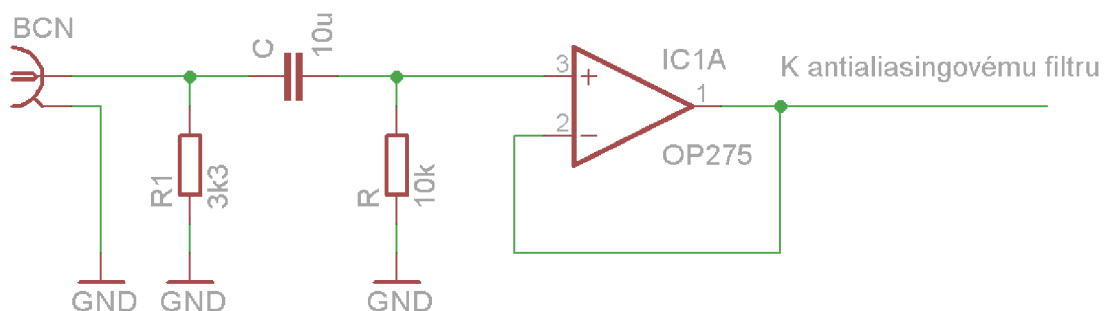
2.1 Vstupní analogové audio obvody

Jak již bylo předesláno v předchozí kapitole, pro vstup A/D převodníků je nutno vstupní audio signál patřičně frekvenčně a amplitudově přizpůsobit. Jelikož je předpokládaným zdrojem signálu laboratorní generátor průběhů, je možné vzhledem k nastavitelné amplitudě na generátoru ponechat jednotkové zesílení celého vstupního obvodu. Nároky na frekvenční přizpůsobení ovšem zůstávají.

Pro zjednodušení připojení přípravku ke generátoru předpokládáme použití pouze jednoho vstupního konektoru typu BNC. Následuje filtr typu horní propust, sloužící pouze k oddělení stejnosměrné složky a jenž tvořen RC článkem. Jeho mezní kmitočet je volen na kmitočet alespoň o dekádu nižší než požadované přenášené pásmo (20 Hz). Byl tedy zvolen kondenzátor s hodnotou 10 μF a pomocí vztahu:

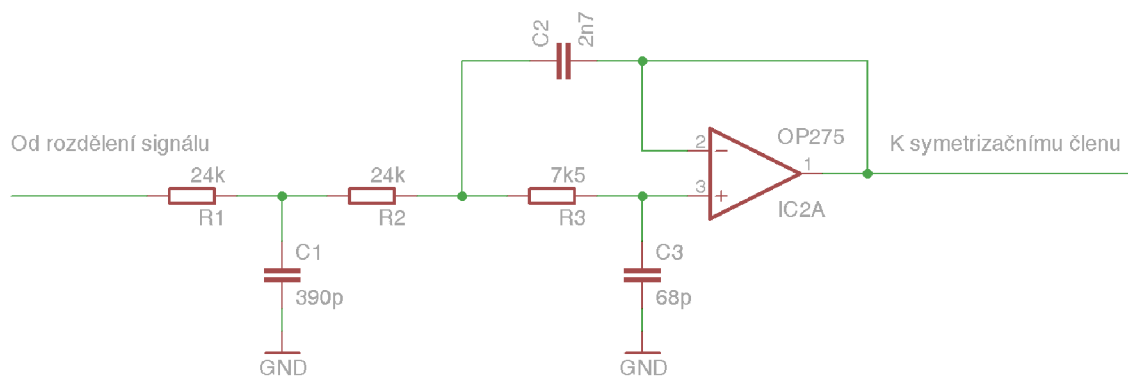
$$R = \frac{1}{2\pi \cdot C \cdot f_m} = \frac{1}{2\pi \cdot 10 \cdot 10^{-6} \cdot 2} = 7,96 \text{ k}\Omega, \quad (2.1)$$

byl zvolen rezistor s vyšší hodnotou 10 $\text{k}\Omega$ pro menší pokles zesílení kolem mezního kmitočtu. Následně je zapojen operační zesilovač v zapojení jako neinvertující zesilovač s jednotkovým zesílením. Ten slouží převážně pro impedanční oddělení. Zapojení můžeme vidět na obrázku 2.1. Signál dále pokračuje k přepínači tvořenému dvojitém relé umožňující přemostění antialiasingového filtru. Je tedy možno volit, zda má být filtr do obvodu zapojen nebo ne.



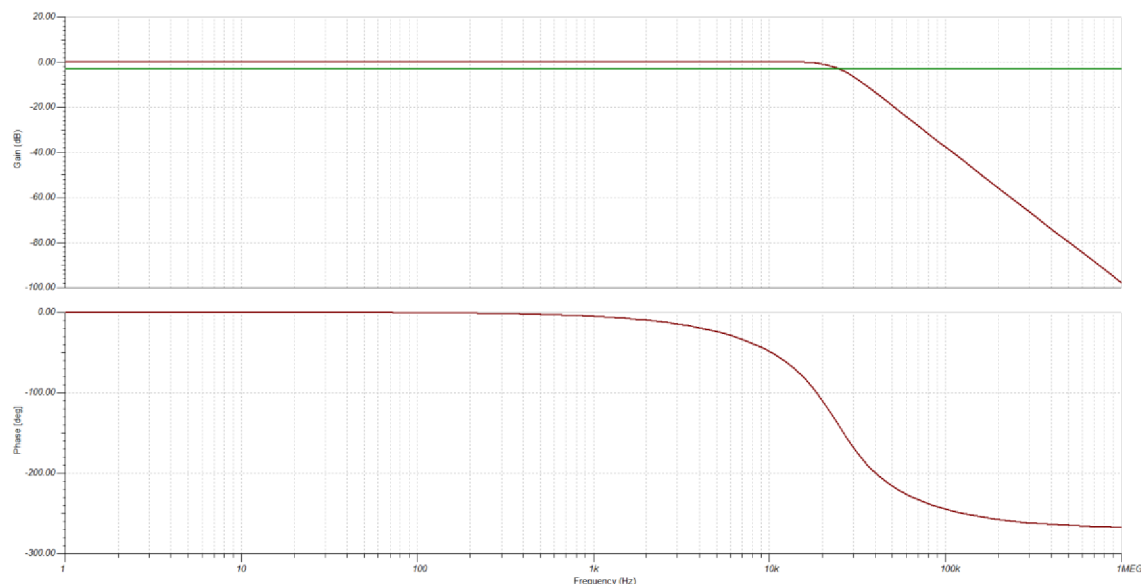
Obrázek 2.1 Zapojení vstupního filtru typu horní propust a rozbočení signálu

Pro antialiasingový filtr byl zvolen filtr typu dolní propust topologie Sallen-Key. Jeho výhodami jsou především jednoduchost zapojení (viz obrázek 2.2) a možnosti dosáhnout vysokého řádu filtru jednoduchým řazením bloků do kaskády. Pro dosažení velké strmosti a velkého potlačení v nepropustném pásmu byl zvolen filtr 3. řádu. Zvolení mezní frekvence bylo kompromisem mezi zvlněním v propustném pásmu a dostatečným potlačení v pásmu nepropustném. Zvolena tedy byla mezní frekvence 25 kHz. Pro počáteční nástřel byla zvolena Butterworthova aproximace a byla použita webová kalkulačka z [6].



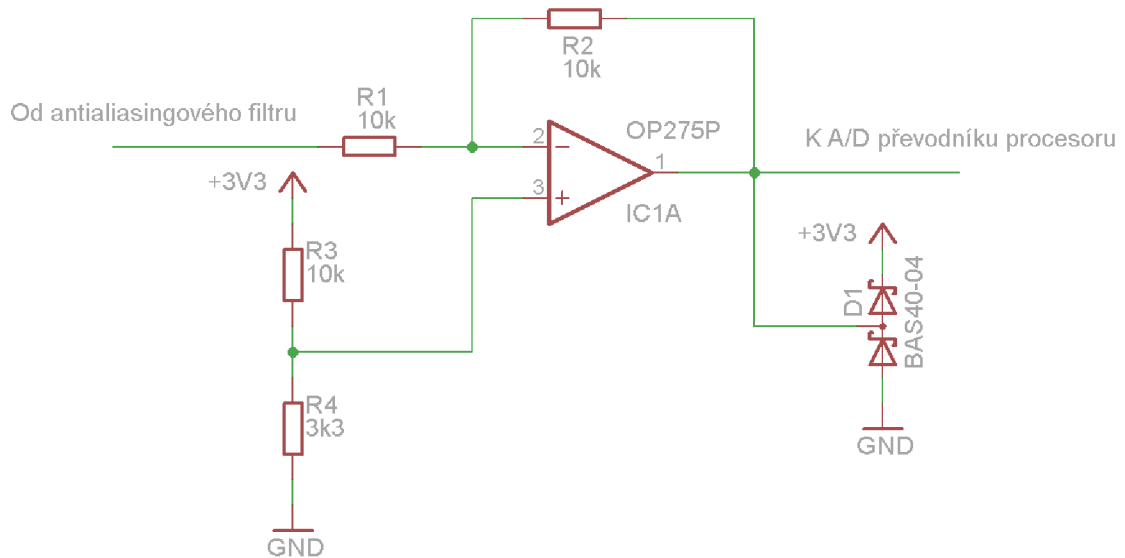
Obrázek 2.2 Zapojení antialiasingového filtru typologie Sallen-Key

Následně získané hodnoty součástek byly odsimulovány v programu TINA-TI. Výslednou frekvenční přenosovou charakteristiku můžeme vidět na obrázku 2.3. Z průběhu je patrný pokles (definovaný zelenou čarou) na kmitočtu 24,9 kHz. Na kmitočtu 20 kHz je pokles pouze o 0,8 dB.



Obrázek 2.3 Modulová frekvenční charakteristika antialiasingového filtru

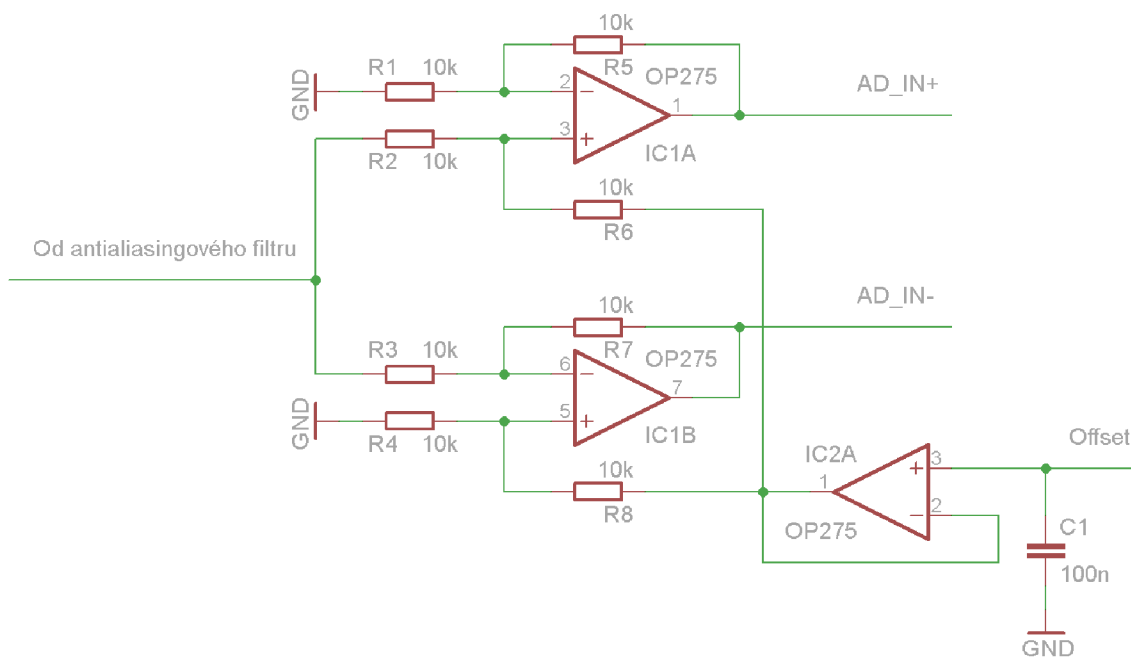
Za antialiasingovým filtrem následuje odbočení pro A/D převodník v procesoru. Jeho důvodem je napěťové přizpůsobení a zároveň ochrana vstupu procesoru před nežádoucím napětím. Jedná se opět o invertující zapojení operačního zesilovače se zavedeným offsetem. Ten je tvořen pomocí napěťového děliče z napětí 3,3 V. Pro ochranu proti přepětí a podpětí (A/D převodník procesoru pracuje v rozsahu od 0 až po 3,3V) je využito Shottkyho diod. Konkrétně bylo využito dvojité diody, což přineslo další redukci požadovaného místa na DPS.



Obrázek 2.4 Zapojení zesilovače s jednotkovým zesílením a offsetem pro A/D převodník v procesoru

Posledním prvkem je symetrizační člen. Jeho funkcí je převod nesymetrického signálu na symetrický. Vzhledem k použitému A/D převodníku je taktéž nutno dodržet offset 2,5 V. Převodník ale již obsahuje interní zdroj referenčního napětí, který je na pinu VQ. Jelikož je ale omezen proud, který lze z tohoto zdroje brát, je přínosné zapojení operačního zesilovače s jednotkovým zesílením. Toto zapojení impedančně oddělí napěťový výstup převodníku a operační zesilovače symetrizačního členu. Pro vyhlazení případného rušení je připojen keramický kondenzátor.

Samotný symetrizační člen je tvořen dvěma operačními zesilovači, z nichž je jeden zapojen jako neinvertující a druhý jako invertující. Oba mají stejné jednotkové zesílení a zavedený offset. Vodiče AD_IN+ a AD_IN- jsou tedy už přímo připojené na piny A/D převodníku. Zapojení je uvedeno na obrázku 2.5.



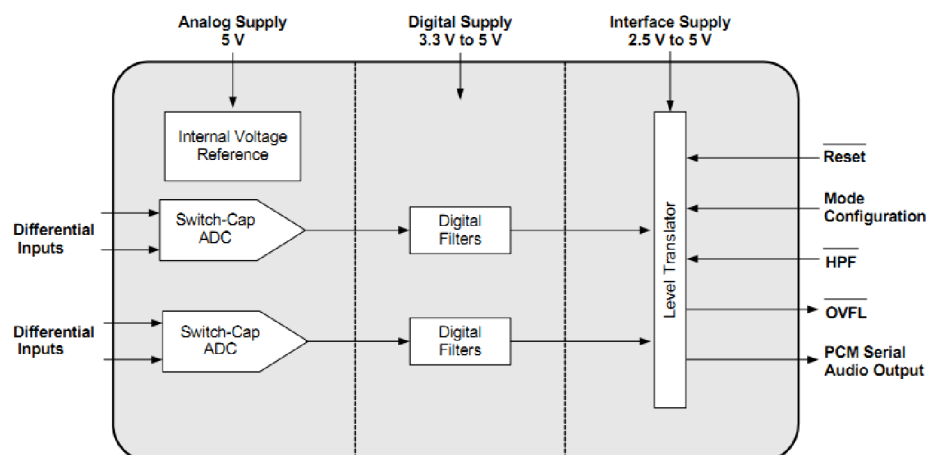
Obrázek 2.5 Zapojení symetrizačního členu

2.2 CS5381

Pro své technické kvality, ručně osaditelné a zapojitelné pouzdro a taktěž kvalitní popis v datovém listu byl vybrán do přípravku obvod CS5381 firmy Cirrus Logic. Následující kapitoly se tedy zabývají popisem obvodu a jeho parametrů.

2.2.1 Základní popis obvodu CS5381

Tento A/D převodník je tvořen dvěma Switch-Cap převodníky do kterých vstupuje analogový signál ze dvou diferenciálních vstupů. Převodník obsahuje vnitřní zdroj referenčního napětí pro převod. Tyto bloky mají požadavek na napájení z odděleného zdroje. Dále následuje blok digitálních filtrů starajících se o digitální filtraci a decimaci převzorkovaného signálu a taktěž požadují oddělené napájení. Posledním blokem je převodník úrovní, který se stará o komunikaci s okolím a skrze který je taktěž možno konfigurovat módy provozu a případně detekovat chyby. To lze vidět na obrázku 2.6 převzatém z [2]. Tabulka 2.1 obsahuje podrobnější výčet hlavních parametrů obvodu.

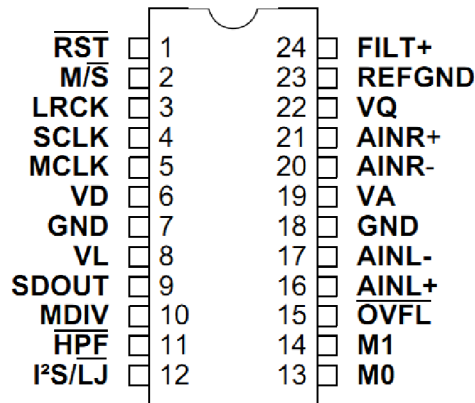


Obrázek 2.6 Blokové schéma CS5381

Tabulka 2.1 Přehled základních technických parametrů CS5381

Parametr	Hodnota
Rozlišení	24 bit
Dynamický rozsah při $F_{vz} = 48\text{kHz}$	120 dB
Celkové harmonické zkreslení se šumem	-110 dB
Izolace mezi kanály	110 dB
Vstupní rozsah	5,65 V _{pp}
Vstupní impedance	2,5 k Ω
Rozsah vzorkovací frekvence v Single-Speed módu	2 – 54 kHz
Rozsah vzorkovací frekvence v Double-Speed módu	50 – 108 kHz
Rozsah vzorkovací frekvence v Quad-Speed módu	100 – 216 kHz
Typický proudový odběr analogové části	36 mA
Typický proudový odběr digitální části	36 mA
Typický proudový odběr vstupně/výstupní části	24 mA
Napájení analogové části	5 V
Napájení digitální části	3,3 V až 5 V
Napájení vstupně/výstupní logiky	2,5 V až 5 V
Typický odebíraný výkon při napájení 5V všech částí	360 mW
Typický odebíraný výkon při $V_A = 5\text{V}$ a $V_D, V_L = 3,3\text{V}$	260 mW

2.2.2 Popis pinů a komunikace obvodu CS5381



Obrázek 2.7 Rozložení pinů obvodu CS5381

Piny na obvodu CS5381 (rozložení viz obrázek 2.7) lze rozdělit do několika skupin podle účelu:

- Napájení
- Analogové vstupy
- Digitální audio výstup
- Ovládací vstupy a kontrolní výstupy

Pro napájení slouží zejména vstupy VA pro napájení analogové části, VL zajišťující napájení logických vstupů a výstupů a VD distribuující napájení pro digitální části. Spolu s výstupy referenčních napětí (VQ a FILT+) je nutno tyto piny blokovat proti zemi keramickými kondenzátory proti vysokofrekvenčnímu rušení. Doporučeno je taktéž zapojit elektrolytické kondenzátory vyšší kapacity pro případné pokrytí proudových špiček nebo poklesů napětí. Pro připojení analogového audio signálu slouží dvojice diferenciálních vstupu AINL a AINR.

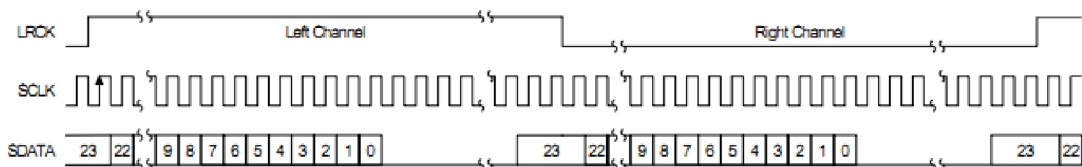


Figure 18. Left-Justified Serial Audio Interface

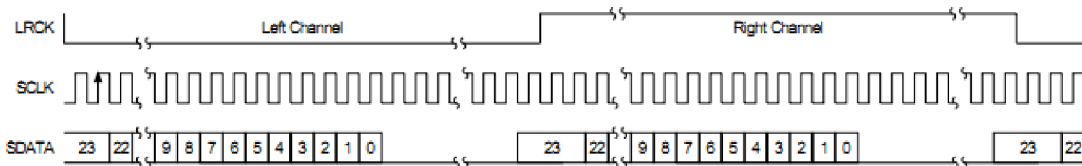


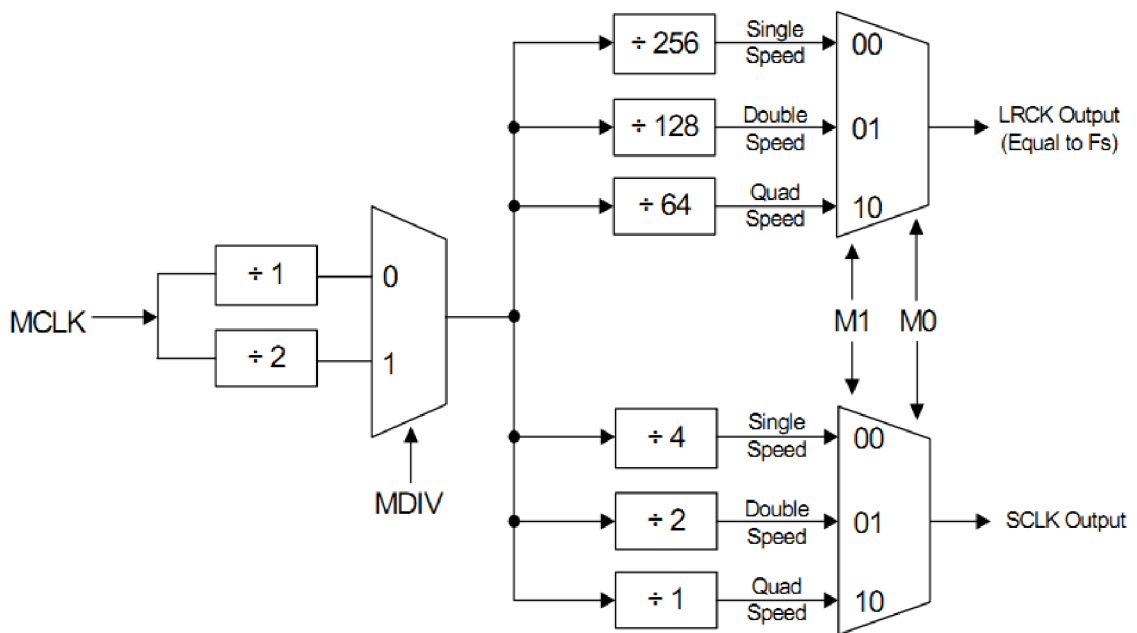
Figure 19. I²S Serial Audio Interface

Obrázek 2.8 Sériová komunikace ve formátu Left-Justified a I2S

Pro připojení k následujícím blokům zpracovávajícím převedený signál slouží integrovaná sériová sběrnice. Zařízení umožňuje komunikaci podle protokolu I2S nebo také podle Left-Justified. Jak lze vidět na obrázku 2.8 převzatého z [2], rozdíl mezi protokoly je při 24 bitovém rozlišení pouze v polaritě signálu LRCK. Ten slouží k identifikaci, zda se v datovém toku jedná o vzorek o levém nebo pravém kanálu. Signál SCLK obstarává taktovací signál pro datový tok na vodiči SDATA. Jelikož jak vysílací tak přijímací zařízení musí fungovat synchronně, je nutné použití taktovacího signálu, který je přiváděn na pin MCLK. Jeho frekvence je volena jako násobek požadované vzorkovací frekvence (obvykle 64-násobek až 512-násobek).

Pro úsporu energie lze obvod přivést do resetu pinem $\overline{\text{RST}}$. Pro nastavení používané komunikace slouží pin $\text{I2S}/\overline{\text{L}}$, podle jehož logické hodnoty se nastaví mód přenosu. Obvod dále obsahuje volitelně použitý filtr typu horní propust s mezní frekvencí 1Hz. Tento filtr lze povolit odpovídajícím nastavením pinu $\overline{\text{HPF}}$. Jelikož obvod je schopen generovat signály LRCK a SCLK z taktovacího signálu MCLK je nutné na pinu $\text{M}/\overline{\text{S}}$ specifikovat jestli se bude této funkce využívat (obvodu se bude chovat jako master) nebo bude taktován obvodem přijímajícím data.

Piny M1 a M0 dále slouží pro nastavení mezi Single, Dual a Quad-Speed módem. Spolu s pinem MDIV ovládajícím předděličku signálu MCLK lze tedy nastavit vzorkovací frekvenci v celém deklarovaném rozsahu. Principiální blokové schéma nastavení taktovacích signálů je osvětleno na obrázku 2.9 převzatého z [2].



Obrázek 2.9 Distribuce taktovacího signálu v obvodu CS5381

2.3 STM32F405RGT6

Jako řídicí procesor byl vybrán STM32F405RGT6 firmy ST Microeletronic. V následující kapitole jsou popsány jeho základní parametry spolu s principem činnosti.

2.3.1 Základní popis obvodu STM32F405RGT6

Jedná se o 32 bitový procesor s množstvím periférií. V nabídce výrobce se jedná o řadu STM32F4, která je konstruována s ohledem na vysoký výkon, množství periférií s velkým rozsahem velikostí a typů pouzder a různými velikostmi RAM a Flash pamětí. V tabulce 2.2 je uveden přehled základních technických parametrů.

Tabulka 2.2 Přehled základních technických parametrů STM32F405RGT6

Parametr	Hodnota
Jádro	Cortex M4
Maximální frekvence jádra	168 MHz
Velikost paměti Flash	1024 kB
Velikost paměti SRAM	192 kB
Počet A/D převodníků	3x 12 bit, 2,4 MSPS
Počet D/A převodníků	2x 12 bit
Počet časovačů	12x 16 bitový, 2x 32 bitový
Počet SPI periférií	3x
Počet I2S sběrnici	2x
Počet I2C sběrnici	3x
Počet univerzálních sériových periférií	6x
Počet USB periférií	2x
Typ pouzdra	64 pinové LQFP

I když se zdá, že procesor je pro tuto aplikaci zbytečně výkonný, není tomu tak. Je nutno počítat s tím, že procesor bude vykonávat kromě konfigurace převodníků a generování taktovacího signálu taktéž funkci signálového procesoru. Vzhledem k tomu, že u obou vybraných převodníků je rozlišení pevně nastavené na 24 bit, je třeba při demonstraci nižšího rozlišení odříznout potřebný počet bitů.

2.3.2 Základní princip činnosti obslužného programu

Princip činnosti je patrný z obrázku 2.10. Po zapnutí napájecího napětí se nejprve provedou základní konfigurační rutiny periférií procesoru. Poté dojde k inicializaci LCD displeje a k výpisu standartního nastavení. Následuje samotná konfigurace A/D a D/A převodníků. Poté se již spustí zpracování signálu. Základem činnosti je nekonečná smyčka, ve které bude procesor vykonávat pouze příjem digitalizovaného audio signálu a podle zadaných parametrů jej bude upravovat. Následně je odešle D/A převodníku. Jelikož uživatel může vybrat, zda chce vřadit antialiasingový nebo rekonstrukční filtr nebo bez nich, případně změnit aktuálně používaný převodník, je možno toto nastavení provést za chodu.

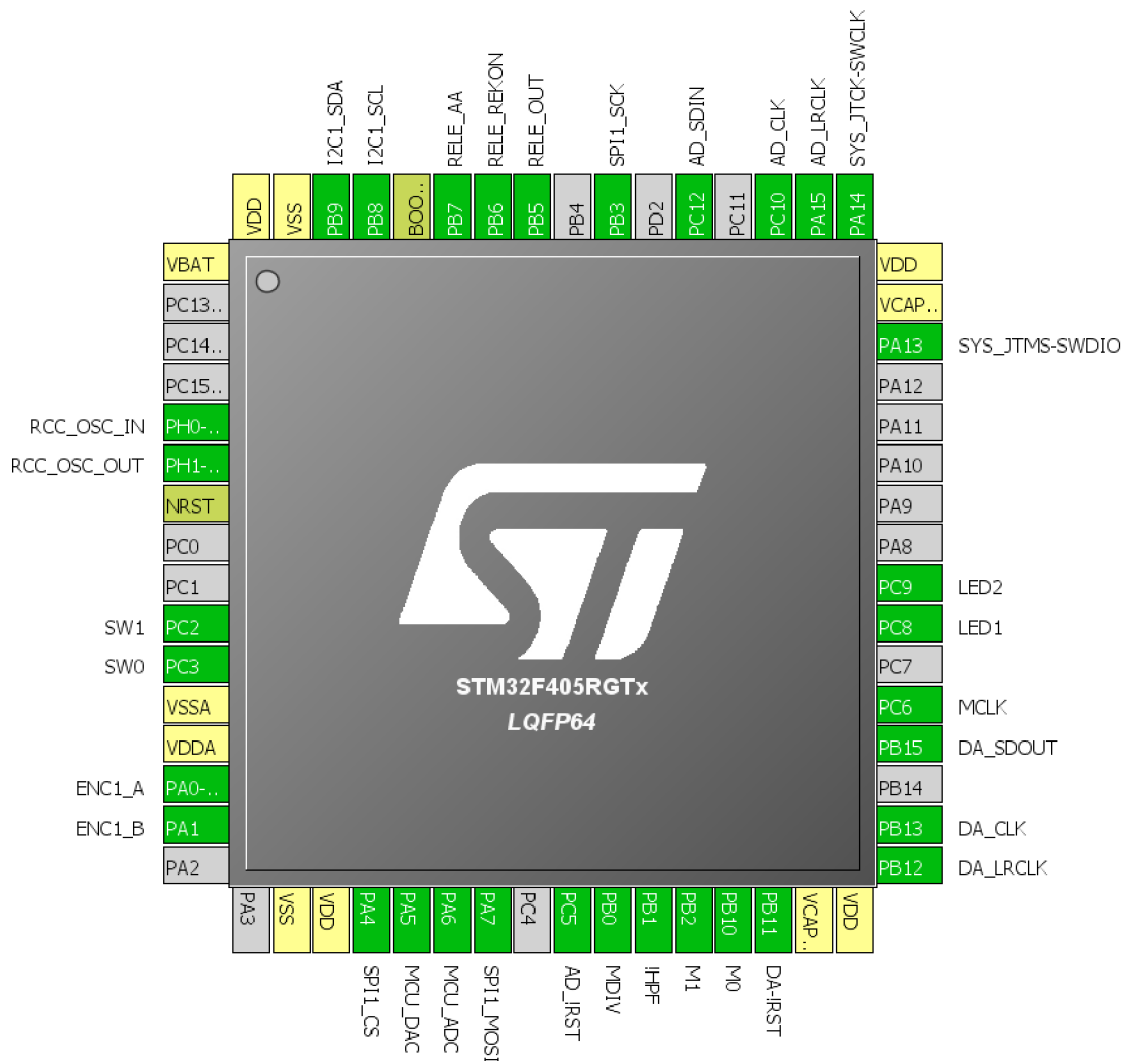


Obrázek 2.10 Princip činnosti obslužného programu procesoru STM32F446RET

V případě, že uživatel bude chtít změnit některý z parametrů, dojde k přerušení nekonečné smyčky a vykoná se rekonfigurace převodníků, vypíše se aktuální nastavení na LCD displej a program se vrátí do nekonečné smyčky. Podrobnějšímu popisu činnosti programu se věnuje samostatná kapitola.

2.3.3 Rozvržení pinů na obvodu STM32F405RGT6

Aby bylo možné procesorem ovládat všechny periferie a aby bylo možné ovládat samotný přípravek, je nutné zajistit spojení s periferiemi. Pro rychlejší návrh rozložení pinů byl použit program STM32CubeMX z [7]. V programu je po výběru konkrétního procesoru možné konfigurovat periferie, přiřadit jim piny, nastavit zdroj a časování jednotlivých periferií a případně i odečíst spotřebu. Z takto nakonfigurovaného projektu je možné následně vygenerovat zdrojový kód pro různé vývojové prostředí. Rozložení pinů je možné vidět na obrázku 2.11.



Obrázek 2.11 Popis pinů procesoru STM32F405RGT6

Stěžejními piny pro funkci obvodu jsou především napájecí piny. Jsou označeny VDD (pro hlavní napájecí napětí 3,3 V) a VSS pro zem. Pomocný napájecí pin VBAT slouží k připojení baterie pro možnost hlídání napětí na baterii a napájení zálohovacích obvodů při výpadku hlavního napájecího napětí. Jelikož ale v aplikaci nevyužíváme bateriového napájení, je tento pin připojen na hlavní napájecí napětí. Piny VDDA a VSSA slouží pro napájení zabudovaného A/D a D/A převodníku procesoru. Tyto analogové periferie a piny jsou připojeny k hlavnímu napájení. Pro správnou funkci vnitřního napěťového regulátoru je zapotřebí připojit externí kondenzátor s kapacitou 4,7 μ F na pin VCAP_1 a VCAP_2. Takt procesoru je řízen pomocí externího krystalového oscilátoru, jenž je připojen k pinům PH0 a PH1.

Jelikož obvod umožňuje zavádět program z různých pamětí, pinem BOOT0 volíme, z které paměti se program bude vykonávat. Jelikož je využita vnitřní systémová paměť, je tento pin zapojen přes rezistor na zem. Pro nahrání programu do procesoru slouží rozhraní SWD. Jedná se o sériové rozhraní skládající se z datového (SWDIO) a taktovacího (SWDCLK) signálu. Nesmí chybět ani resetovací signál NRST, který je

navíc připojen na běžnému uživateli nepřístupné tlačítko, sloužící pro snadnější odladění programu.

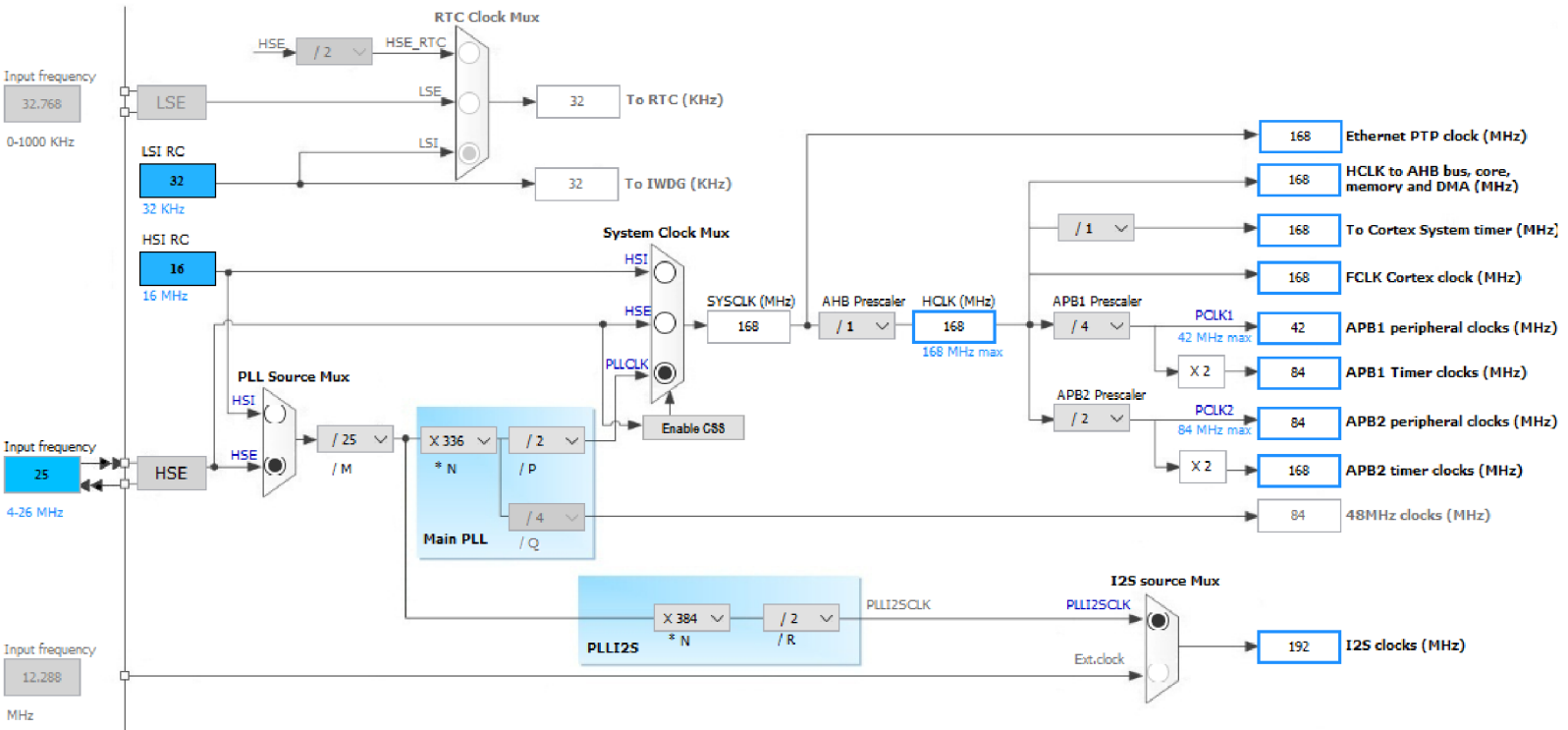
Pro ovládání přípravku bylo využito tlačítek a rotačního enkodéru. Jelikož procesor umožňuje vyvolání přerušení jakýmkoliv pinem, byly voleny piny PC2 a PC3. Zapojení tlačítek bylo převzato z [10]. Pro připojení rotačního enkodéru je využito časovače 2. S jeho pomocí lze snímat otáčení enkodérem s výhodou, že periferie časovače se stará o vyhodnocování stavů a o ošetření proti zákmitům. Pro připojení je nutné přivést signály z enkodéru na piny PA0 a PA1. Pro signalizaci při vývoji a ladění programu bylo využito dvou LED diod připojených na piny PC8 a PC9. Ovládání tří relé je řešeno pomocí spínacích tranzistorů, které jsou připojeny k PB5, PB6 a PB7.

Připojení k LCD displeji je realizováno přes sběrnici I2C využívající piny PB8 a PB9. Pro řízení displeje je potřeba pouze dvou vodičů. Vzhledem k tomu, že LCD displej a 8 bitový expandér pracují s 5 V napájecím napětím je připojení procesoru pracujícího na napětí 3,3V provedeno přes jednoduchý převodník úrovní. Další využitou sběrnicí je SPI sběrnice, přes kterou je konfigurován D/A převodník. Ta je vyvedena přes piny PA4, PA7 a PB3. Důležitým je pin PC6, z něhož je distribuován taktovací signál MCLK k A/D a D/A převodníku. Piny sloužící pro konfiguraci A/D převodníku jsou znázorněny na obrázku 2.10. Pro připojení interního A/D převodníku procesoru byl využit pin PA6. Výstup interního D/A převodníku je připojen k pinu PA5.

2.3.4 Taktovací signály v obvodu STM32F405RGT6

Procesory řady STM32F405RGT6 jsou určeny především na audio aplikace a aplikace využívající vysokou konektivitu obvodu. Oproti jiným řadám výrobce se liší především dvěma dedikovanými obvody fázového závěsu umožňující přesné taktování hodinového signálu. Zjednodušené blokové schéma lze vidět na obrázku 2.12.

Jako zdroj taktovacího signálu celého obvodu byl původně vybrán krystal s rezonanční frekvencí 24,576 MHz, který se běžně používá v audio aplikacích. Předpokladem bylo, že vnitřní obvod fázového závěsu bude generovat frekvence typické pro audio aplikace (44,1 kHz, 48 kHz, 192 kHz atd.) bez odchylek od nastavené hodnoty. To se ale při oživení ukázalo jako chybné a proto byl krystal vyměněn za 25 MHz. Navíc bylo možné dosáhnout plného taktu jádra (168 MHz).



Obrázek 2.12 Popis vnitřní distribuce taktovacího signálu procesoru STM32F405RET vygenerovaný pomocí STM32CubeMX [7]

2.4 CS4392

2.4.1 Základní popis obvodu CS4392

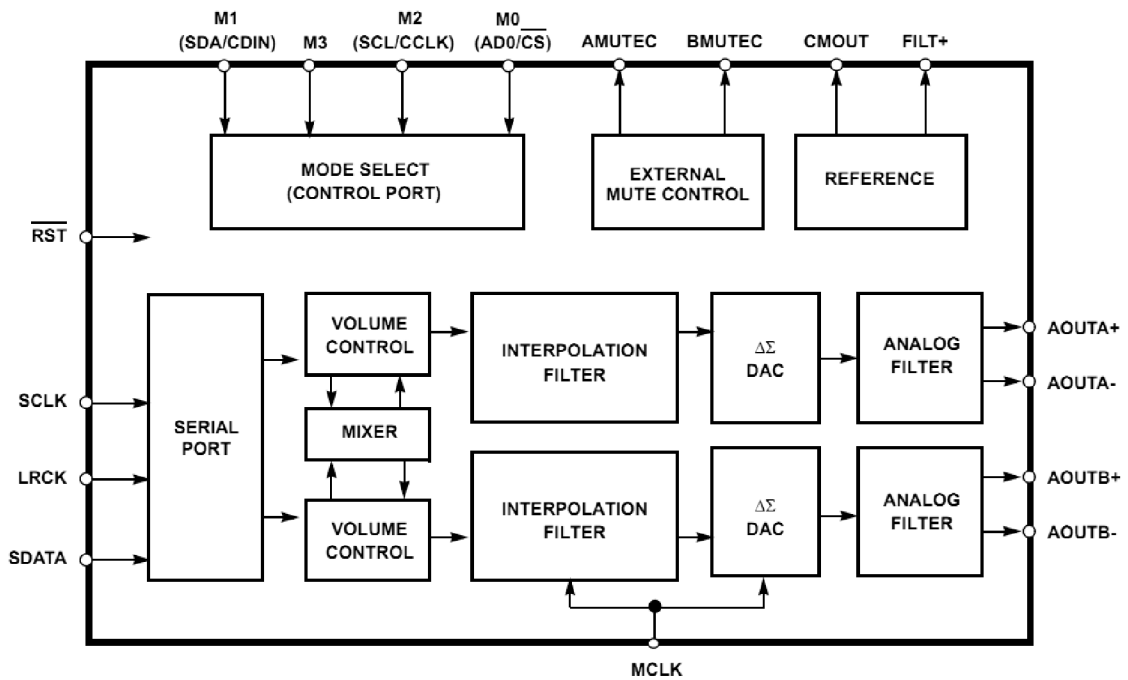
Převodník CS4392 je stereo D/A převodník s dvěma delta-sigma multibitovými převodníky 5. řádu, interpolačními digitálními filtry a analogovými filtry. Umožňuje pomocí řídicího sériového rozhraní měnit jak formát přijímaných dat tak například řídit výslednou hlasitost výstupního diferenciálního signálu, směšování jednotlivých kanálů a analogovou filtraci. Přehled základních parametrů lze vidět v tabulce 2.3 níže.

Tento obvod se vyznačuje velikou variabilitou přijímaných formátů. Nejenže dokáže přijímat PCM audio data v rozsahu vzorkovacích frekvencí od 4 kHz až do 200 kHz ale dokáže taktéž přijímat data ve formátu DSD. Navíc pro pevné nastavení není nutno po každém resetu obvodu nahrávat konfiguraci po sériové lince. Obvod dokáže pracovat v takzvaném nezávislém módu, kdy piny sloužící pro sériovou komunikaci slouží pro výběr módu pomocí tabulky v datovém listu [9].

Tabulka 2.3 Přehled základních technických parametrů CS4392

Parametr	Hodnota
Rozlišení	24 bit
Dynamický rozsah	114 dB
Celkové harmonické zkreslení se šumem	-100 dB
Izolace mezi kanály	100 dB
Výstupní rozsah	4,95 V _{pp}
Výstupní impedance	100 Ω
Rozsah vzorkovací frekvence v Single-Speed módu	4 – 50 kHz
Rozsah vzorkovací frekvence v Double-Speed módu	50 – 100 kHz
Rozsah vzorkovací frekvence v Quad-Speed módu	100 – 200 kHz
Typický proudový odběr	26 mA
Napájení analogové části	5 V
Napájení digitální části	1,8 V až 5 V
Typický odebíraný výkon při napájení 5V všech částí	130 mW
Typ pouzdra	20 pinové SOIC nebo TSSOP

Jak lze vidět na obrázku 2.13, obvod obsahuje navíc blok pro externí ztlumení signálu. Je tedy možné po řídicí sběrnici aktivovat tyto výstupy a podle zapojení buď utlumit výstupy anebo je plně odpojit například sepnutím relé.



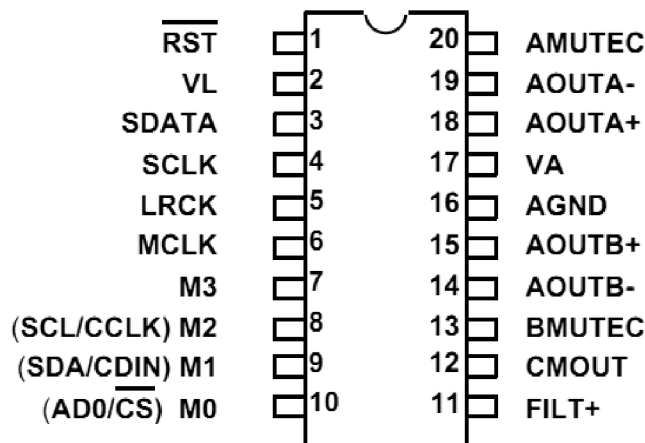
Obrázek 2.13 Blokové schéma CS4392 – převzato z [9]

2.4.2 Popis pinů a rozhraní obvodu CS4392

Jelikož v přípravku není použit DSD datový mód, je popis pinů zaměřen na PCM mód komunikace. Jak u A/D převodníku tak i zde jsou piny rozděleny do několika myšlených celků:

- Napájení
- Analogové audio výstupy
- Digitální audio vstupy
- Ovládací vstupy a kontrolní výstupy

Jako výstupy slouží dvojice pinů AOUTA+, AOUTA-, AOUTB+ a AOUTB- (viz obrázek 2.14). Je na první pohled patrné, že se jedná o diferenciální výstupy sloužící k připojení na výstupní přizpůsobovací obvody. Pro každý výstupní kanál je vyveden i příslušný výstup sloužící pro sepnutí vnějšího spínače (AMUTEV, BMUTEV), který je ovládaný pomocí registrů v obvodu.

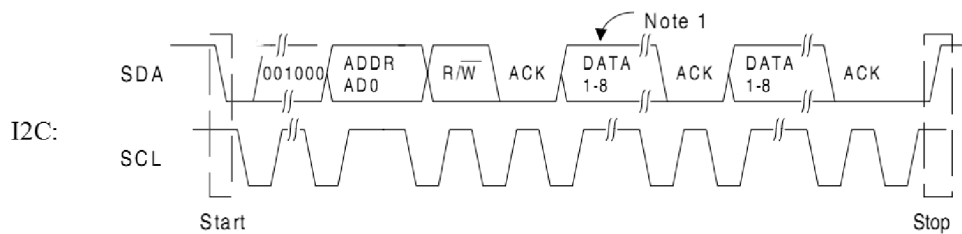


Obrázek 2.14 Rozložení pinů obvodu CS4392 – převzato z [9]

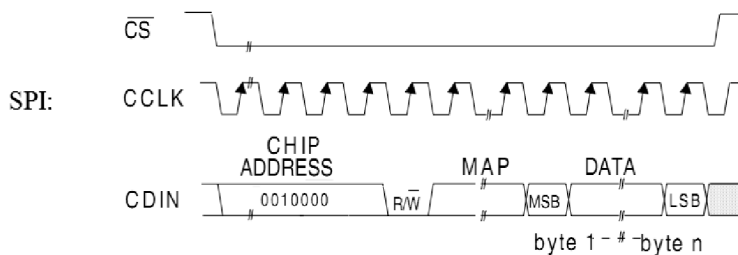
Pro konfiguraci obvodu slouží piny M3 až M0. Ty je možno využít v nezávislém módu jako vstupy, kdy podle pravdivostní tabulky v datovém listu [5] lze nastavit požadované parametry, nebo jako vstupně/výstupní piny pro sběrnici I2C nebo SPI. Přes ně je možné zapisovat do registrů obvodu a měnit tak parametry, které v nezávislém módu nejsou možné. Popis registrů je popsán v následující kapitole.

Rozdíl mezi jednotlivými sběrnici (viz obrázek 2.15) především v tom, že SPI sběrnice je typu Full-Duplex, což znamená, že lze zároveň vysílat i přijímat data. Pro to jsou potřebné 4 vodiče: Taktovací signál, $\overline{\text{CS}}$ a datové MISO a MOSI (Master Input – Slave output a Master Output – Slave Input). U zařízení, kde sběrnice slouží pouze pro nastavení a nepředpokládá se čtení, výrobci nevyvedou MISO vodič a není tedy možné ze zařízení číst. Při změně signálu $\overline{\text{CS}}$ z vysoké na nízkou přijímací zařízení pozná začátek komunikace.

Sběrnice I2C (taktéž IIC) je sběrnice pracující pouze jako Half-Duplex a není tedy možné zároveň zapisovat i číst. Naproti tomu jsou ale potřebné pouze 2 vodiče: Datový SDA a taktovací SCL. Oba vodiče jsou v základní stavu ve vysoké úrovni. Začátek komunikace je tedy indikován přechodem na vodiči SDA do nízké úrovně. Poté je vysílána adresa zařízení. Pokud je na sběrnici zařízení s odpovídající adresou (obvykle stanovenou výrobcem s obvykle pár možnostmi volby), zařízení odpoví potvrzením (ACK). Poté již probíhá přenos dat, kdy za každým rámcem dochází k potvrzování. Po ukončení komunikace jsou oba vodiče opět ve vysoké úrovni.



Note: If operation is a write, this byte contains the Memory Address Pointer, MAP.



MAP = Memory Address Pointer

Obrázek 2.15 Komunikace po sběrnici I2C a SPI – převzato z [9]

Jak při komunikaci přes I2C tak i přes SPI je nutno u obvodu CS4392 poslat první adresní byte. Výrobcem byla zvolena adresa 0010000. Následně se zapisuje hodnota ukazatele na požadovaný registr, do kterého chceme zapisovat, do MAP registru. Následující byte jsou už data zapisována do vybraného registru.

Samotný tok audio dat je přijímán pomocí sériové sběrnice, která je shodná s A/D převodníkem. I zde tedy nalezneme signál SDA pro příjem datového toku, bitový taktovací signál SCLK a kanál určující signál LRCK. Obvod lze ale nakonfigurovat na více formátů, než tomu bylo u A/D převodníků. Podporuje taktéž I2S a Left-Justified formát ale navíc také Right Justified s různým bitovým rozlišením, u něhož jsou data zarovnána k pravé straně rámce. Rozdíly mezi jednotlivými formáty jsou patrné z obrázku 2.16 převzatého z [9].

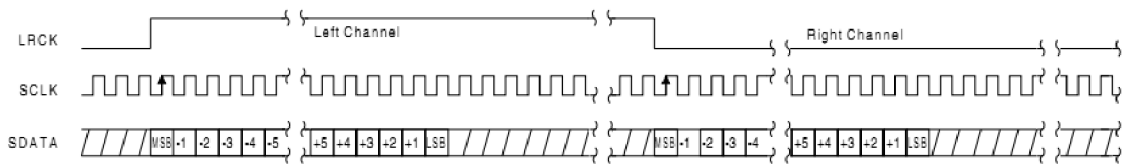


Figure 4. Format 0, Left Justified up to 24-Bit Data

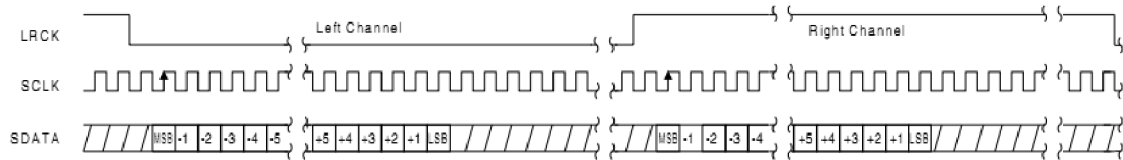


Figure 5. Format 1, I²S up to 24-Bit Data

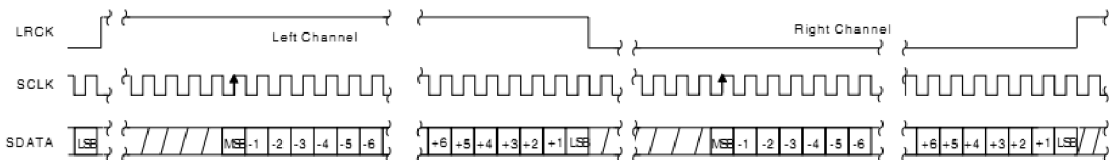


Figure 6. Format 2, Right Justified 16-Bit Data
Format 3, Right Justified 24-Bit Data

Obrázek 2.16 Rozdíl mezi formáty Left-Justified, I2S a Right-Justified

Jelikož periferie vybraného procesoru STM32F405RGT6 podporují komunikaci s formátem I2S, byl vybrán tento formát jak pro D/A tak i pro A/D převodník.

2.4.3 Registry obvodu CS4392

Pro správnou funkci obvodu je nutné nastavit D/A převodník. Při zapnutí přípravku tedy dochází k inicializaci převodníků. Tím je myšleno právě zaplnění konfiguračních registrů. I když obvod obsahuje mnoho přídatných funkcí, v přípravku jich nebude využito. Tento popis se tedy zaměří zejména na popis registrů, které budou klíčové pro funkci převodníku a tedy celého přípravku. Mapu registrů obvodu můžeme vidět na obrázku 2.17 (převzato z [9]).

První věcí, kterou převodník vyžaduje pro korektní funkci, je formát přijímaných dat. To lze provést nastavením odpovídající hodnoty na bity DIF 2 až DIF 0 v registru Mode Control 1 (adresa 0x01). Pro zvolený formát I2S s rozlišením 24 bitů tedy nastavíme bit DIF0 a ostatní ponecháme. V tomto registru je ještě významný pár FM1 a FM0. Pomocí něho se nastavuje rychlostní mód (Single, Dual nebo Quad-Speed) což ovlivňuje vzorkovací kmitočet.

Addr	Function	7	6	5	4	3	2	1	0
01h	Mode Control 1	AMUTE	DIF2	DIF1	DIF0	DEM1	DEM0	FM1	FM0
		1	0	0	0	0	0	0	0
02h	Volume and Mixing Control	A = B	Soft	Zero Cross	ATAPI4	ATAPI3	ATAPI2	ATAPI1	ATAPI0
		0	1	0	0	1	0	0	1
03h	Channel A Volume Control	MUTE	VOL6	VOL5	VOL4	VOL3	VOL2	VOL1	VOL0
		0	0	0	0	0	0	0	0
04h	Channel B Volume Control	MUTE	VOL6	VOL5	VOL4	VOL3	VOL2	VOL1	VOL0
		0	0	0	0	0	0	0	0
05h	Mode Control 2	INVERT_A	INVERT_B	CPEN	PDN	MUTE C A = B	FREEZE	MCLKDIV2	Reserved
		0	0	0	1	0	0	0	0
06h	Mode Control 3	Reserved	Reserved	Reserved	FILT_SEL	RMP_UP	RMP_DN	Reserved	Reserved
		0	0	0	0	0	0	0	0
07h	Chip ID	PART3	PART2	PART1	PART0	REV3	REV2	REV1	REV0
		1	0	0	0	-	-	-	-

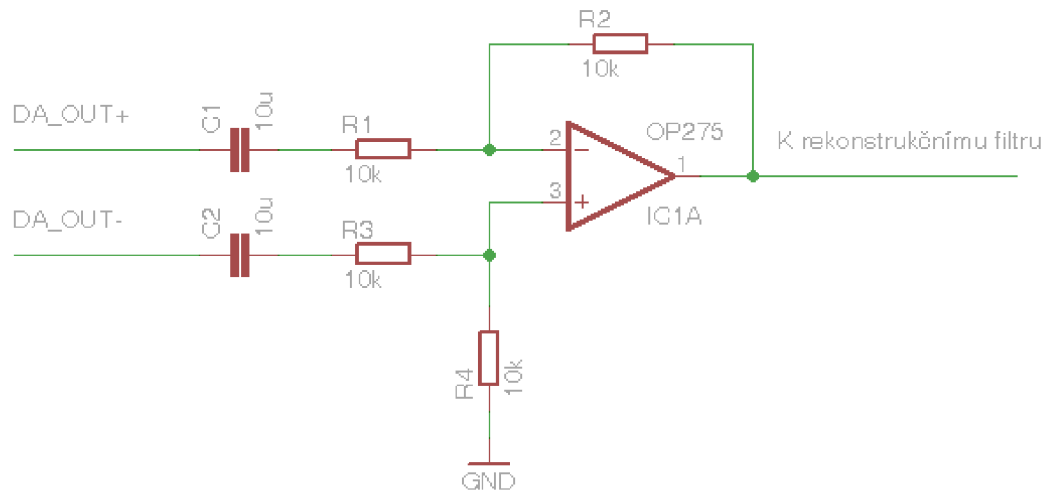
Obrázek 2.17 Přehled registrů v obvodu CS4392

Registry 0x02 až 0x04 jsou zodpovědné především za nastavení hlasitosti a směšování. Jelikož toto ale není v přípravku využito, je ponecháno nastavení doporučené datovým listem. Dalším důležitým registrem je Mode Control 2 s adresou 0x05. Obsahuje totiž velice důležitý bit CPEN, který povoluje použití konfiguračního sériového rozhraní. Pro povolení je tedy vhodné nastavit tento bit nejpozději 10 ms po deaktivaci resetu. Neméně důležitý je taktéž bit MCLKDIV2 umožňující zařadit děličku dvěma na vstup MCLK. Protože výstup taktovacího signálu MCLK z procesoru má pevný poměr k vzorkovací frekvenci (256-násobek vzorkovací frekvence) a při nejvyšší vzorkovací frekvenci by frekvence MCLK byl již mimo podporovaný rozsah D/A převodníku, je potřebné použít dělení signálu MCLK dvěma. Registry 0x06 a 0x07 nejsou využívány.

2.5 Výstupní analogové audio obvody

2.5.1 Diferenciální zesilovač

Jelikož při měření symetrických signálů je nutno použít sofistikovanější laboratorní vybavení (například osciloskop s plovoucí zemí nebo dvě sondy s použitou matematickou funkcí) je výhodnější převést signál na nesymetrický. K tomu slouží zapojení na obrázku 2.18, kde je použit operační zesilovač jako zesilovač rozdílu.



Obrázek 2.18 Zapojení diferenciálního zesilovače s operačním zesilovačem

Jak už z názvu vyplývá činností tohoto zapojení je zesilovat rozdíl na vstupech. Kondenzátory C1 a C2 se starají pouze o oddělení stejnosměrné složky (offsetu D/A převodníku). Výsledné napětí na výstupu operačního zesilovače lze tedy vyjádřit jako:

$$V_{\text{OUT}} = \frac{R_2}{R_1} \cdot (V_{\text{DAOUT-}} - V_{\text{DAOUT+}}), \quad (2.2)$$

za podmínky, že platí:

$$R_1 = R_3 \text{ a současně } R_2 = R_4, \quad (2.3)$$

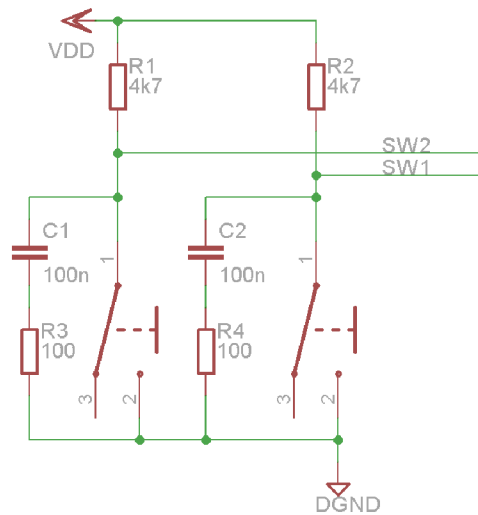
kde $V_{\text{DA_OUT+}}$ a $V_{\text{DA_OUT-}}$ jsou napětí na výstupech převodníku. Hodnoty rezistorů R_1 až R_4 byly voleny záměrně stejné a s hodnotou 10 k Ω . Napětí na výstupu operačního zesilovače je tedy přímo rovno rozdílu výstupních napětí z D/A převodníku. Výstup z operačního zesilovače jde v případě levého kanálu do rekonstrukčního filtru a v případě pravého kanálu pouze na výstupní filtr typu horní propust.

2.5.2 Rekonstrukční filtr a výstupní filtr

V případě rekonstrukčního a výstupního filtru byl postup návrhu totožný jako v případě antialiasingového a vstupního filtru. Pro názornost byly tedy oba filtry voleny se stejnou typologií a se stejnými parametry.

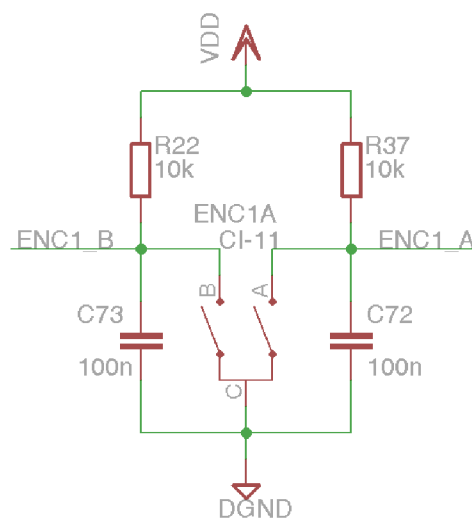
2.6 Ovládací a zobrazovací prvky přípravku

2.6.1 Tlačítka a rotační enkodér



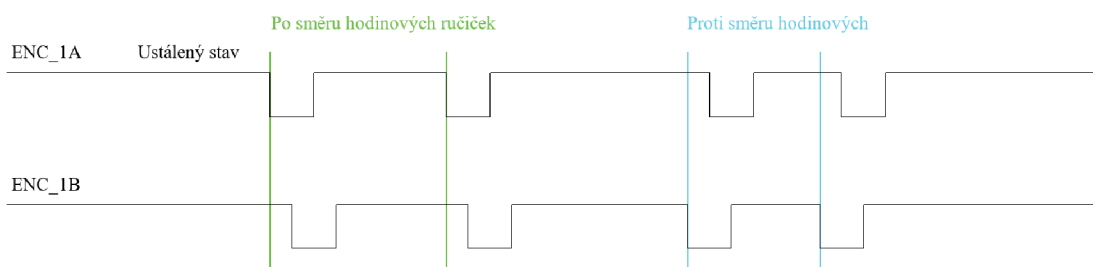
Obrázek 2.19 Zapojení tlačítek přípravku

Tlačítka na obrázku 2.19 jsou zapojena přes pull-up rezistory na napájecí napětí procesoru a celé digitální části. V ustáleném stavu je tedy na vodičích SW1 a SW2 vysoká úroveň. Při stisku tlačítka dojde k připojení vodičů SW1 nebo SW2 na zem. Jelikož v programu procesoru je nastavená reakce řadiče externího přerušení na sestupnou hranu, vyvolá stisk tlačítka přerušení. V něm se poté provede požadovaná funkce přiřazená tlačítku. Paralelně k tlačítkům je připojen RC snubber, což je zapojení minimalizující zákmity při rychlých přechodných dějích. Zapojení tlačítek je převzato z [10].



Obrázek 2.20 Zapojení rotačního enkodéru

Pro ovládání volby vzorkovací frekvence a rozlišení je použit rotační enkodér. Ten byl vybrán, protože umožňuje pohodlnější a rychlejší změnu parametrů s velkým rozsahem. Princip enkodéru je založen na dvojici spřažených spínačů. Tyto spínače jsou spínány otočením hřídele enkodéru o jeden krok. V stabilním stavu jsou oba spínače rozepnuty, a protože jsou výstupy zapojeny přes pull-up rezistory (obrázek 2.20) tak i na výstupních vodičích je vysoká logická úroveň. Při otočení o jeden krok dojde nejprve k sepnutí jednoho a poté k sepnutí druhého spínače. Jak lze vidět na obrázku 2.21 spínače mají vůči sobě fázový posun 90 stupňů. Podle toho, který spínač byl dříve sepnut, a tedy na kterém vodiči se rychleji objevila sestupná hrana, lze dekodovat směr otáčení. Pro potlačení překmitů jsou navíc paralelně k spínačům enkodéru připojeny kondenzátory.



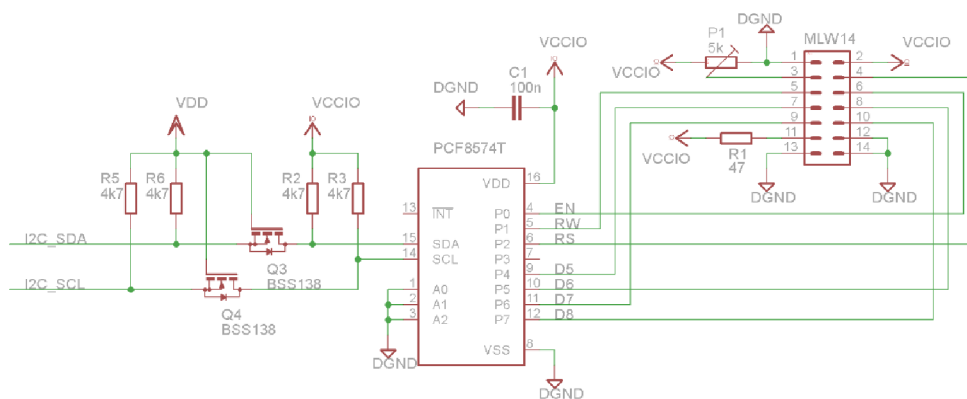
Obrázek 2.21 Průběhy na rotačním enkodéru při otáčení

2.6.2 LED diody a LCD displej

Pro snadnější odladění programu byly přidány dvě LED diody. Jsou zapojeny anodami přes ochranné rezistory na piny PC8 a PC9 procesoru. Jelikož byly vybrány diody s nízkým proudem potřebným k rozsvícení, je možné přímé připojení na výstupní piny procesoru.

Pro zobrazování byl vybrán LCD displej s integrovaným řadičem HD44780. Jedná se o alfanumerický displej, což znamená, že obsahuje vnitřní paměť znaků a není tedy potřeba tvořit vlastní font. Stačí pouze posílat ASCII hodnotu jednotlivých znaků a řadič se sám postará o vykreslení. Jediným problémem, s kterým bylo nutno se vypořádat, je, že displej pracuje s napájecím napětím 5 V a od toho odvozenými hladinami na komunikačních portech. Protože procesor pracuje na úrovni 3 V logiky je nutno použít převodník úrovní. Pro úsporu místa, součástek a pro celkové zjednodušení řešení byl použit modul umožňující komunikaci s displejem přes sběrnici I2C. Díky tomu stačí převádět na nižší resp. vyšší úroveň pouze dva signály (SDA - datový a SCL - taktovací).

Pro převod mezi hladinami bylo použito zapojení s MOSFET tranzistorem a dvěma pull-up rezistory. V době nečinnosti tyto rezistory zajistí vysokou úroveň na sběrnici (log. 1). Jakmile dojde k začátku komunikace na sběrnici indikovaný start bitem (datový vodič je v log. 0), dojde sepnutí tranzistoru Q3 a log. 0 se objeví na výstupní straně.



Obrázek 2.22 Zapojení převodníku úrovní a expandéru PCF8574T na sběrnici I2C

Následuje obvod PCF8574T, jenž funguje jako 8 bitový obousměrný expandér pro sběrnici I2C viz [11]. Vzhledem k tomu, že se bude provádět pouze výpis na displej a nebude zapotřebí z něj číst, není zapojen výstup INT signalizující změnu na vstupně/výstupních pinech. Piny P0 až P7 jsou připojeny ke konektoru pro LCD displej. Z nich jsou piny P0 až P2 využity k řízení a P4 až P7 k přenosu dat. Pro úsporu pinů byl tedy vybrán 4 bitový režim komunikace s řadičem HD44780. Pro nastavení kontrastu je použit trimr P1 a pro omezení proudu podsvícení rezistor R1. Uspořádání konektoru je voleno tak, aby bylo možné použít plochý vícežilový kabel přímo napájený na desku plošného spoje LCD displeje.

2.7 Napájecí obvody

Jako zdroj napájecího napětí byl, vzhledem k určení přípravku zvolen laboratorní zdroj. Pro napájení operačních zesilovačů je vhodné používat symetrické napájení. Jelikož převodníky vyžadují jak zvláštní napájení analogové části tak digitální, je nutné použít více různých napájecích zdrojů s odlišným napětím. V tabulce 2.4 níže jsou uvedeny přibližné odhady spotřeby jednotlivých obvodů spolu s napájecím napětím.

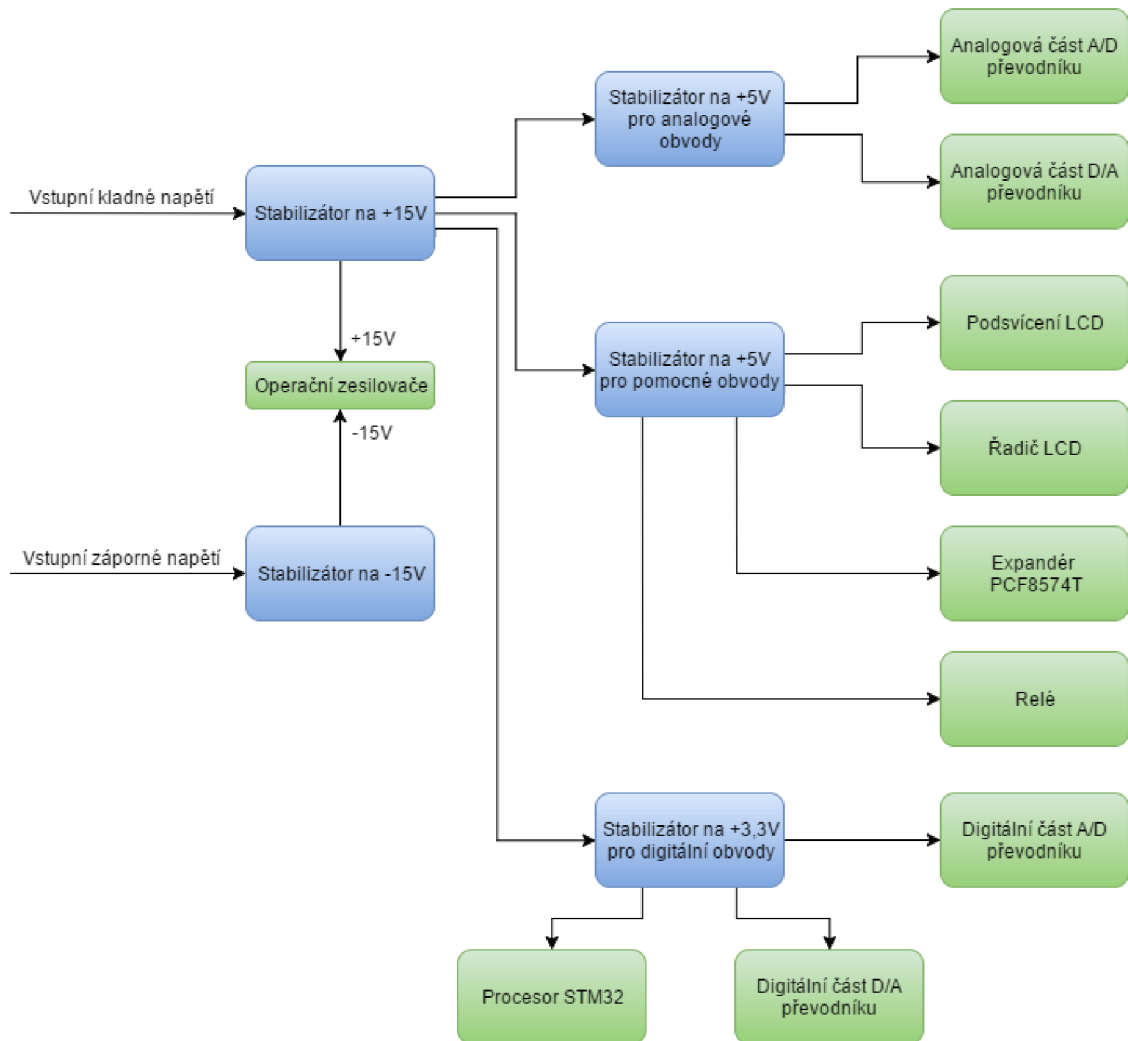
Tabulka 2.4 Přehled odebíraného proudu jednotlivými obvody

Obvody	Napětí [V]	Proud [mA]
Operační zesilovače OP275	±15	30
A/D převodník CS5381 – Analogová část	5	43
A/D převodník CS5381 – Digitální část	3,3	28
D/A převodník CS4392 – Analogová část	5	26*
D/A převodník CS4392 – Digitální část	3,3	26*
Expandér PCF8574T	5	10
Procesor STM32F446RET	3,3	125
LCD displej - řadič	5	5
LCD displej – podsvětlení	4,2	280
Relé Panasonic TQ2-5V	5	102

* V datovém listu je uveden pouze celkový odebíraný proud

Pozn.: Při tvorbě tabulky se vycházelo z datových listů

Pro dosažení nižšího zvlnění a tedy kvalitnějšího napájecího napětí byly vybrány lineární stabilizátory napětí. Byl tedy navržen následující způsob distribuce napájecího napětí (viz obrázek 2.23). Pro stabilizaci vstupního napětí na ± 15 V jsou použity stabilizátory LM7815 pro kladné a LM7915 pro záporné napětí. Ty navíc umožňují vstupní napětí až ± 35 V což v případě dostatečně dimenzovaného chlazení ochrání přípravek v případě připojení vysokého vstupního napětí. Z výstupu těchto stabilizátorů jsou přímo napájeny operační zesilovače.



Obrázek 2.23 Blokové schéma distribuce proudu na přípravku

Ze stabilizátoru pro kladné napájecí napětí je dále distribuován proud do dalších tří stabilizátorů. Aby nedocházelo k ovlivňování mezi LCD a A/D a D/A převodníkem, mají tyto obvody oddělené stabilizátory. Při výběru stabilizátorů bylo nutno respektovat ztrátový výkon, jenž se na stabilizátorech mění v teplo. Ztrátový výkon na stabilizátoru na +15 V byl tedy spočten:

$$P_{Dmax} = I_{Celk} \cdot (U_{IN} - U_{OUT}) = 0,649 \cdot (35 - 15) = 12,98 \text{ W}, \quad (2.4)$$

kde P_D je celkový ztrátový výkon na stabilizátoru při maximálním dovoleném napětí pro tuto součástku, I_{Celk} je celkový proud odebíraný obvody z tabulky 2.4, U_{IN} je mezní vstupní napětí a U_{OUT} je výstupní napětí stabilizátoru. Je tedy jasné, že obvod bude značně tepelně namáhán a bude nutné zvolit pouzdro s možností osazení chladiče. Proto doporučené napájecí napětí přípravku je voleno na $\pm 18 \text{ V}$ a ztrátový výkon při optimálním napájecím napětí je:

$$P_{\text{Dopt}} = I_{\text{Celk}} \cdot (U_{\text{INopt}} - U_{\text{OUT}}) = 0,649 \cdot (18 - 15) = 1,947 \text{ W}, \quad (2.5)$$

kde již ztrátový výkon klesne více jak šestinásobně. I tak pro zajištění spolehlivosti bude stabilizátor osazen chladičem s příslušným tepelným odporem.

Přes stabilizátor LM7815 teče veškerý proud pro stabilizátory na nižší napětí. Tvoří se na něm tedy ztrátový výkon, na jehož velikost nepřispívá ani tak rozdíle mezi vstupním a výstupním napětím jako procházející proud. Pro napájení analogových částí převodníků byl tedy vybrán obvod LM7805. Tatož volba padla stabilizátor pro pomocné obvody. Ztrátový výkon na stabilizátoru napájející pomocné obvody vychází na 3,97 W. Jelikož takový ztrátový výkon by již žádná varianta tohoto obvodu pro povrchovou montáž nezvládla, bylo zvoleno pouzdro TO-220 s dodatečným chladičem. Pro napájení digitálních obvodů byl potřeba obvod s výstupním napětím 3,3 V. Volba padla na stabilizátory typ LF33CV v pouzdru TO-220. S pomocí tabulky 2.4 byly vypočteny ztrátové výkony na jednotlivých stabilizátorech (viz tabulka 2.5).

Tabulka 2.5 Přehled předpokládaného zatížení jednotlivých stabilizátorů při jmenovitém napájecím napětí

Stabilizátor	Zatěžovací proud [mA]	Ztrátový výkon [W]
LM7815	649	1,947
LM7915	30	0,09
LM7805 – pro analogové obvody	69	0,69
LM7805 – pro pomocné obvody	397	3,97
LF33CV	179	2,094
Celkový ztrátový výkon		8,791

Vzhledem k značně velkému vyzařovanému výkonu je nutné osadit stabilizátory na chladič. Z hlediska kompaktnosti je použit jeden masivnější pasivní chladič. Pro určení parametrů chladiče (zejména minimálního tepelného odporu) využijeme analogii tepelného obvodu s elektrickým obvodem. Jelikož je nejvíce namáhán stabilizátor pro pomocné obvody, je nutné maximální teplotu chladiče dimenzovat pro tuto součástku. Dle [13] je maximální teplota čipu 125 °C a tepelný odpor mezi čipem a pouzdrům je 5 °C/W. Vzhledem k tomu, že chladič bude osazen více stabilizátory je vhodné je navzájem izolovat, pro což se využijí izolační teplovodivé podložky. Jejich tepelný odpor je 0,3 °C/W. Jako teplota okolí je zvolena hodnota 40 °C a jako maximální teplota čipu 100 °C. Maximální teplota je tedy:

$$T_{\text{CHmax}} = T_{\text{OPmax}} - (P_{\text{Z7805}} \cdot (R_{\text{thJC}} + R_{\text{thIP}})) = 100 - (3,97 \cdot (5 + 0,3)) = 78,96 \text{ °C}, \quad (2.6)$$

kde T_{OPmax} je maximální teplota čipu, P_{Z7805} je ztrátový výkon na stabilizátoru, R_{thJC} je tepelný odpor mezi čipem a pouzdrem a R_{thIP} je tepelný odpor izolační podložky. Při uvažované teplotě okolí 40 °C musí mít chladič tepelný odpor menší než:

$$R_{thCH} = \frac{T_{CHmax} - T_0}{P_{Zcelk}} = \frac{78,96 - 40}{8,791} = 4,432 \text{ °C/W}, \quad (2.7)$$

kde T_0 je teplota okolí a P_{Zcelk} je celkový výkon vyzářený chladiči. Vzhledem předpokládanému dlouhodobému provozu byl vybrán chladič s tepelným odporem 3,6 °C/W.

3 POPIS PROGRAMU PROCESORU

Výsledný zdrojový kód nutný pro běh procesoru se skládá z tří hlavních celků. Prvním je konfigurace všech využívaných periférií, následuje konfigurace obvodů těmito perifériemi obsluhovanými a hlavní nekonečná smyčka starající se o zpracování dat z převodníků a změnu parametrů v reálném čase pomocí uživatelského rozhraní

3.1 Konfigurace periférií procesoru

3.1.1 Systémová konfigurace

Pro zjednodušení a zpřehlednění zdrojového kódu jsou jednotlivé konfigurační bloky sdruženy do funkcí, z nichž každá provádí konfiguraci jednoho bloku. Pro konfiguraci všech periférií je vytvořena funkce `System_Config`. V této funkci jsou pouze volány konfigurační funkce jednotlivých bloků a není tedy potřebné, aby funkce obsahovala parametr nebo návratovou hodnotu.

```
void SYSTEM_Config(void){
    LED_Config();
    RELAY_Config();
    I2C1_Config();
    LCD_Config();
    ENCODER_TIM_Config();
    BUTTON_Config();
    I2S2_Config_DMA();
    CS4392_Config_SW();
    CS5381_Config();
    DAC_Config();
    ADC_Config();
    TIM8_Config(FS);
}
```

3.1.2 Led diody a relé

Led diody byly přidány pouze pro jednodušší odladění a možnost základní interakce před vytvořením ovládací rutiny pro LCD displej. Proto jsou tyto diody v SMD provedení a jsou umístěny na desce plošného spoje vedle procesoru – uživateli mimo dohled. Popis je zde ale uveden, protože princip konfigurace je obdobný u všech periférií s drobnými obměnami. V následujících kapitolách se při konfiguraci portu bude vycházet z níže uvedeného nastavení.

```
GPIO_InitTypeDef  GPIO_InitStructure;

RCC_AHB1PeriphClockCmd(RCC_AHB1Periph_GPIOC, ENABLE);

GPIO_InitStructure.GPIO_Pin = GPIO_Pin_8 | GPIO_Pin_9;
GPIO_InitStructure.GPIO_Mode = GPIO_Mode_OUT;
GPIO_InitStructure.GPIO_OType = GPIO_OType_PP;
GPIO_InitStructure.GPIO_Speed = GPIO_Speed_2MHz;
GPIO_InitStructure.GPIO_PuPd = GPIO_PuPd_UP;

GPIO_Init(GPIOC, &GPIO_InitStructure);
```

Konfigurace se provádí pomocí knihoven distribuovaných výrobcem. Z pohledu programátora jde o pouhé naplnění předdefinované struktury z knihovny. Pro běh vstupně/výstupních portů je nutné pouze konfigurovat příslušný port. Deklarujeme tedy proměnnou typu struktura definovanou v standartní knihovně. Dále je potřebné povolit taktovací signál pro daný port. Za ním následuje již naplnění struktury předdeklarovanými makry z knihovny. Výhodou je, že není potřeba znát význam jednotlivých bitů v registrech periferie. Funkcí `GPIO_Init` se na portu C nastaví data ze struktury.

U konfigurace relé se v podstatě jedná o stejný systém – nastavuje se pouze trojice výstupních pinů připojených k tranzistorům jako spínačům cívek relé. Pro zjednodušení kódu byly definovány makra ovládající výstupní piny.

```
#define RELAY_OUT_DAC    GPIOB->BSRRH = GPIO_Pin_5
#define RELAY_OUT_MCU    GPIOB->BSRRL = GPIO_Pin_5
```

3.1.3 I2C sběrnice

Tato sběrnice je v přípravu využita ke komunikaci s 8 bitovým expandérem PCF8574T. Pro běh periferie je potřebné povolit taktovací signál jak pro ni samotnou, tak i pro port, ke kterému je připojena. Před konfigurací je vhodné periferii deinitializovat.

```
I2C_DeInit(I2C1);

RCC_APB2PeriphClockCmd(RCC_APB2Periph_SYSCFG, ENABLE);
RCC_APB1PeriphClockCmd(RCC_APB1Periph_I2C1, ENABLE);
RCC_AHB1PeriphClockCmd(RCC_AHB1Periph_GPIOB, ENABLE);
```

Protože procesor umožňuje přiřazení několika různých kombinací pinů k jednotlivým periferiím. Následujícími řádky nastavíme Piny 8 a 9 na portu B propojení s periferií I2C1. Poté následuje nastavení pinů jako výstupů se zapnutými pull-up rezistory.

```
GPIO_PinAFConfig(GPIOB, GPIO_PinSource8, GPIO_AF_I2C1); // I2C1_SCL
GPIO_PinAFConfig(GPIOB, GPIO_PinSource9, GPIO_AF_I2C1); // I2C1_SDA
```

Níže je vidět nastavení samotné periferie. Zvolen je režim I2C komunikace (periferií umožňuje i SMBus). Rychlost taktovacího signálu SCL je nastavena na 100 kHz s vypnutým vyžadováním potvrzení. Zda se jedná o master nebo slave se volí až při samotné komunikaci. V tomto případě není nutno nastavovat adresu procesoru, protože se předpokládá pouze jednostranná komunikace a to vysílání dat. Rutina končí inicializací I2C1 a povolením periferie.

```
I2C_InitStructure.I2C_ClockSpeed = 100000;
I2C_InitStructure.I2C_Mode = I2C_Mode_I2C;
I2C_InitStructure.I2C_DutyCycle = I2C_DutyCycle_2;
I2C_InitStructure.I2C_OwnAddress1 = 0;
I2C_InitStructure.I2C_Ack = I2C_Ack_Disable;
I2C_InitStructure.I2C_AcknowledgedAddress=I2C_AcknowledgedAddress_7bit;
I2C_Init(I2C1, &I2C_InitStructure);
I2C_Cmd(I2C1, ENABLE);
```

3.1.4 SPI sběrnice

SPI sběrnice je využita ke komunikaci a nastavení D/A převodníku CS4392. Převodník umožňuje pouze příjem dat. Z toho plyne využití periferie jako vysílače v režimu master s 8 bitovým datovým rámcem. Taktovací frekvence je odvozena od frekvence interní sběrnice APB2 s taktem 84 MHz s předděličkou 64. Data jsou platná na náběžnou hranu taktovacího signálu. Jak datový tak i taktovací signál jsou v klidovém stavu v log. 1. Využito je i přídavného pinu pro aktivaci čipu (CS – Chip select), který je ale řízen programově i kdy periferie umožňuje automatické řízení. Důvodem je, že se nepodařilo přijít na korektní nastavení, které by D/A převodník podporoval.

```
SPI_InitStructure.SPI_Direction = SPI_Direction_1Line_Tx;
SPI_InitStructure.SPI_Mode = SPI_Mode_Master;
SPI_InitStructure.SPI_DataSize = SPI_DataSize_8b;
SPI_InitStructure.SPI_CPOL = SPI_CPOL_High;
SPI_InitStructure.SPI_CPHA = SPI_CPHA_2Edge;
SPI_InitStructure.SPI_NSS = SPI_NSS_Soft | SPI_NSSInternalSoft_Set;
SPI_InitStructure.SPI_BaudRatePrescaler = SPI_BaudRatePrescaler_64;
SPI_InitStructure.SPI_FirstBit = SPI_FirstBit_MSB;
SPI_InitStructure.SPI_CRCPolynomial = 7;
SPI_Init(SPI1, &SPI_InitStructure);

SPI_Cmd(SPI1, ENABLE);
```

3.1.5 D/A převodník procesoru

Samotná konfigurace D/A převodníku velmi jednoduchá. Skládá se z deinitializace periferie, povolení taktovacího signálu, nastavení výstupního pinu do režimu analogového výstupu a konfigurace samotné periferie. Využit bude pouze druhý kanál převodníku se zapnutým výstupním bufferem. Taktovací signál je brán z časovače 8.

```
DAC_InitStructure.DAC_Trigger = DAC_Trigger_T8_TRGO;
DAC_InitStructure.DAC_WaveGeneration = DAC_WaveGeneration_None;
DAC_InitStructure.DAC_OutputBuffer = DAC_OutputBuffer_Enable;
DAC_Init(DAC_Channel_2, &DAC_InitStructure);
```

Navíc bylo ale využito DMA kontroléru. Jak již z jeho názvu plyne, stará se o přímý přístup k paměti procesoru bez asistence samotného jádra. Nastavení se může zdát složitější ale při následujícím nastavení ušetří samotnému jádru mnoho výpočetního výkonu. Při konfiguraci se vycházelo z [12].

Nejprve bylo potřeba určit s pomocí [12], ke kterému DMA kontroléru, streamu a kanálu je D/A převodník připojen. Jelikož se jedná o přesun z paměti do periferie, je potřebné zadat básovou adresu jak výstupního bufferu tak i D/A převodníku. Velikost výstupního bufferu je určena makrem BUFFERSIZE v hlavičkovém souboru main.h. Kontrolér navíc umožňuje po přenosu inkrementovat adresu v bufferu nebo periférii. Toho je využito na straně výstupního bufferu. Zvolena je také možnost kruhového bufferu. To znamená, že při dosažení poslední adresy zvoleného bufferu se ukazatel automaticky vrátí na básovou adresu. Šířka přenášeného slova je zvolena vzhledem ke 12 bitovému rozlišení převodníku na HalfWord což je označení pro 16 bitové slovo. Priorita je volena jako vysoká a není zde využito FIFO bufferu. Přenos je možné nastavit jako dávkový – vzhledem k povaze využitého přenosu je voleno posílání jednoho slova.

```

DMA_DeInit(DMA1_Stream6);
DMA_InitStructure.DMA_Channel = DMA_Channel_7;
DMA_InitStructure.DMA_PeripheralBaseAddr = (uint32_t)0x40007414;
DMA_InitStructure.DMA_Memory0BaseAddr = (uint32_t)&outbuf1;
DMA_InitStructure.DMA_DIR = DMA_DIR_MemoryToPeripheral;
DMA_InitStructure.DMA_BufferSize = BUFFERSIZE;
DMA_InitStructure.DMA_PeripheralInc = DMA_PeripheralInc_Disable;
DMA_InitStructure.DMA_MemoryInc = DMA_MemoryInc_Enable;
DMA_InitStructure.DMA_PeripheralDataSize = DMA_PeripheralDataSize_HalfWord;
DMA_InitStructure.DMA_MemoryDataSize = DMA_MemoryDataSize_HalfWord;
DMA_InitStructure.DMA_Mode = DMA_Mode_Circular;
DMA_InitStructure.DMA_Priority = DMA_Priority_High;
DMA_InitStructure.DMA_FIFOMode = DMA_FIFOMode_Disable;
DMA_InitStructure.DMA_FIFOThreshold = DMA_FIFOThreshold_HalfFull;
DMA_InitStructure.DMA_MemoryBurst = DMA_MemoryBurst_Single;
DMA_InitStructure.DMA_PeripheralBurst = DMA_PeripheralBurst_Single;
DMA_Init(DMA1_Stream6, &DMA_InitStructure);

```

Využitý je mód dvojitého bufferu. Principem je, že po naplnění jednoho bufferu dojde k automatickému přepnutí na buffer druhý. Po vyčtení všech hodnot se ukazatel vrací zpět na buffer první. Jako výstupní buffery jsou použity 16 bitové pole délky BUFFERSIZE outbuf1 a outbuf2. Navíc je využito přerušení při překročení poloviny aktuálního bufferu.

```

DMA_DoubleBufferModeConfig(DMA1_Stream6, (uint32_t)outbuf2, (uint32_t)outbuf1);
DMA_DoubleBufferModeCmd(DMA1_Stream6, ENABLE);

DMA_ITConfig(DMA1_Stream6, DMA_IT_HT, ENABLE);
NVIC_EnableIRQ(DMA1_Stream6_IRQn);

```

Obdobné nastavení s drobnými obměnami (jiný DMA kontroler, stream, kanál atd.) je použito i A/D převodníku a obou I2S sběrnic.

3.1.6 A/D převodník procesoru

Procesor STM32F405RET6 obsahuje tři nezávislé A/D převodníky. Využit je pouze ADC1. Aktivní je kanál 6 připojený k pinu 6 na portu A. Pin je konfigurován do vstupního analogového režimu. Převodník ADC1 je v módu nezávislém na ostatních převodnících s předděličkou kmitočtu nastavenou na hodnotu 2. Zvoleno je dvojí vzorování s tím, že druhý vzorek je vzorkován o 5 cyklů později než první.

```

ADC_CommonInitStructure.ADC_Mode = ADC_Mode_Independent;
ADC_CommonInitStructure.ADC_Prescaler = ADC_Prescaler_Div2;
ADC_CommonInitStructure.ADC_DMAAccessMode = ADC_DMAAccessMode_Disabled;
ADC_CommonInitStructure.ADC_TwoSamplingDelay=ADC_TwoSamplingDelay_5Cycles;
ADC_CommonInit(&ADC_CommonInitStructure);

```

Zvoleno je 12 bitové rozlišení se spouštěním vzorkování na náběžnou hranu časovače 8. Jak převodníky v procesoru tak pracují synchronně. Zarovnání dat je voleno napravo vzhledem k jednoduchosti dalšího zpracování. Po konverzi následuje vyvolání

žádosti pro přesun do vstupního bufferu pomocí DMA. To je konfigurováno obdobně jako u D/A převodníku. Je také využit mód dvojitého bufferu. Vstupní buffery jsou 16 bitové s délkou danou makrem BUFFERSIZE a jmenují se inbuf1 a inbuf2.

```
ADC_InitStructure.ADC_Resolution = ADC_Resolution_12b;
ADC_InitStructure.ADC_ScanConvMode = DISABLE;
ADC_InitStructure.ADC_ContinuousConvMode = DISABLE;
ADC_InitStructure.ADC_ExternalTrigConvEdge=ADC_ExternalTrigConvEdge_Rising;
ADC_InitStructure.ADC_ExternalTrigConv = ADC_ExternalTrigConv_T8_TRGO;
ADC_InitStructure.ADC_DataAlign = ADC_DataAlign_Right;
ADC_InitStructure.ADC_NbrOfConversion = 1;
ADC_Init(ADC1, &ADC_InitStructure);

ADC_RegularChannelConfig(ADC1,ADC_Channel_6,1,ADC_SampleTime_3Cycles);
ADC_DMARequestAfterLastTransferCmd(ADC1, ENABLE);
```

3.1.7 Časovač 8

O tomto časovači bylo již zmíněno v předchozích kapitolách. Je využit k časování vzorkování u A/D a D/A převodníku procesoru. Jde o 16 bitový časovač s programovatelnou předděličkou a širokou škálou nastavení. Použit je hlavně proto, že je možné využít událost při jeho přetečení pro taktování vzorkování v obou převodnících současně. Jeho konfigurační funkce je zároveň použita pro změnu taktovací frekvence. Parametrem je 32 bitová proměnná obsahující zvoleno vzorkovací frekvenci. Změna frekvence je řízená změnou periody a předděličky časovače. Protože je taktovací frekvence časovače rovna taktu jádra, je předdělička vypočtena tak, aby pro zvolenou vzorkovací frekvenci časovač nepřetekl přes hodnotu 10000. Pro takto vypočtenou předděličku se následně spočte perioda časovače k dosažení požadované frekvence. Časovač je v módu čítajícím vpřed s nastavením spouštění události při přetečení.

```
void TIM8_Config(uint32_t samplerate){
    uint32_t prescaler, period;
    TIM_TimeBaseInitTypeDef TIM8_TimeBase;

    RCC_APB2PeriphClockCmd(RCC_APB2Periph_TIM8, ENABLE);

    prescaler = SystemCoreClock / (10000*samplerate);
    period = (SystemCoreClock / (prescaler + 1)) / samplerate;

    TIM_TimeBaseStructInit(&TIM8_TimeBase);
    TIM8_TimeBase.TIM_Period= period
    TIM8_TimeBase.TIM_Prescaler=prescaler
    TIM8_TimeBase.TIM_ClockDivision = 0;
    TIM8_TimeBase.TIM_CounterMode = TIM_CounterMode_Up;
    TIM_TimeBaseInit(TIM8, &TIM8_TimeBase);
    TIM_SelectOutputTrigger(TIM8, TIM_TRGOSource_Update);

    TIM_Cmd(TIM8, ENABLE);
}
```

3.1.8 Tlačítka

K tlačítkům jsou připojeny pull-up rezistory zajišťující log. 1 na vodičích v ustáleném stavu. Při stisku tlačítka dojde k přechodu do nízké úrovně, co zapříčiní vyvolání přerušení. Piny procesoru jsou tedy nastaveny jako digitální vstupy a jsou vnitřně připojeny na řadič externích přerušení. Nastavena je nejnižší priorita aby nedošlo k ovlivňování při zpracování toku vzorkovaných dat. Tu lze upravovat ve dvou vrstvách. Níže jde vidět, že každému pinu odpovídá jedna obsluha přerušení.

```
SYSCFG_EXTI_LineConfig(EXTI_PortSourceGPIOC, EXTI_PinSource2);
SYSCFG_EXTI_LineConfig(EXTI_PortSourceGPIOC, EXTI_PinSource3);

EXTI_InitStruct.EXTI_Line = EXTI_Line2 | EXTI_Line3;
EXTI_InitStruct.EXTI_Mode = EXTI_Mode_Interrupt;
EXTI_InitStruct.EXTI_Trigger = EXTI_Trigger_Falling;
EXTI_InitStruct.EXTI_LineCmd = ENABLE;
EXTI_Init(&EXTI_InitStruct);

NVIC_InitStructure.NVIC_IRQChannel = EXTI2_IRQn;
NVIC_InitStructure.NVIC_IRQChannelPreemptionPriority = 0x0f;
NVIC_InitStructure.NVIC_IRQChannelSubPriority = 0x0f;
NVIC_InitStructure.NVIC_IRQChannelCmd = ENABLE;
NVIC_Init(&NVIC_InitStructure);

NVIC_InitStructure.NVIC_IRQChannel = EXTI3_IRQn;
NVIC_Init(&NVIC_InitStructure);
```

3.1.9 Rotační enkodér

Při čtení rotačního enkodéru byly využity různé metody: s dvojitým přerušením, s jedním přerušením, s využitím stavového automatu a pomocí časovače. Metody využívající přerušení ale byly náchylné na parazitní zákmity a upokojivého výsledku se nepodařilo dosáhnout ani s použitím stavového automatu. Vyloučené bylo i připojení dalších logických členů co by zkomplikovalo návrh desky plošného spoje. Jako nejlepší volba se ukázalo využití módu časovače 2. Ten umožňuje připojení enkodéru přímo na piny procesoru s RC článkem tvořeným pull-up rezistory a paralelně se spínači zapojenými kondenzátory. O ošetření zákmitů se stará samotná periferie. Pro zobrazení dat stačí pouze číst aktuální hodnotu čítače.

Piny procesoru jsou zapojeny jako digitální vstupy a jsou vnitřně propojeny s časovačem 2. Vhodné je nastavit periodu čítání. Po inicializaci je nutno zapnout mód enkodéru s nastavením čítacího vstupu a hrany.

```
GPIO_PinAFConfig(GPIOA, GPIO_PinSource0, GPIO_AF_TIM2);
GPIO_PinAFConfig(GPIOA, GPIO_PinSource1, GPIO_AF_TIM2);

TIM_TimeBaseStructure.TIM_Period = 0xff;
TIM_TimeBaseStructure.TIM_Prescaler = 0;
TIM_TimeBaseStructure.TIM_ClockDivision = 0;
TIM_TimeBaseStructure.TIM_CounterMode = TIM_CounterMode_Up;

TIM_TimeBaseInit(TIM2, &TIM_TimeBaseStructure);

TIM_EncoderInterfaceConfig(TIM2, TIM_EncoderMode_TI2, TIM_ICPolarity_
Falling, TIM_ICPolarity_Rising);
```


3.1.10 I2S sběrnice

I2S sběrnice je využívána pro komunikaci s externími převodníky. Na přípravku jsou využity 2 tyto sběrnice – jedna pro A/D převodník CS5381 a jedna pro D/A převodník CS4392. Sběrnice využívají vlastní obvod fázového závěsu pro generování taktovacího signálu. Navíc je možné distribuovat taktovací signál přímo z procesoru. Pro přenos mezi periferií a pamětí je využit DMA kontrolér. Níže lze vidět konfiguraci samotné periferie I2S pro D/A převodník, které předchází povolení taktovacího signálu, nastavení a přiřazení pinů k periferii. Vzorkovací frekvence je uložena v globální proměnné FS. Výstupní data jsou ve formátu Phillips s použitím 24 bitového slova. Povolen je také výstup taktovacího signálu MCLK, který je sdílen jak D/A tak i A/D převodníkem. Periferie se v komunikaci chová jako master a data jsou platná na náběžnou hranu taktovacího signálu.

```
I2S_InitType.I2S_AudioFreq = FS;
I2S_InitType.I2S_MCLKOutput = I2S_MCLKOutput_Enable;
I2S_InitType.I2S_DataFormat = I2S_DataFormat_24b;
I2S_InitType.I2S_Mode = I2S_Mode_MasterTx;
I2S_InitType.I2S_Standard = I2S_Standard_Phillips;
I2S_InitType.I2S_CPOL = I2S_CPOL_High;

I2S_Init(SPI2, &I2S_InitType);
```

Nastavení pro periferii I2S připojenou k A/D převodníku jsou podobná. Rozdíl je pouze ve vypnutém výstupu MCLK (A/D převodník ho sdílí s D/A převodníkem) a nastaveném slave módu.

3.2 Konfigurace vnějších obvodů

3.2.1 A/D převodník CS5381

Tento převodník využívá konfiguraci přes logické hodnoty na pinech. Výhoda je zejména v systémech bez dalších procesorů, kde není potřeba měnit nastavení. V tomto případě byly konfigurační piny připojeny na piny procesoru. Konfiguraci procesoru předchází nastavení pinů jako digitálních výstupů. Poté dojde k inicializaci I2S sběrnice. Procesor je dále držen v resetu a na konfigurační piny se nastaví požadované úrovně, které jsou definovány pomocí maker. Vloženo je krátké zpoždění a deaktivuje se reset.

```
I2S3_Config_DMA();
ADC_RESET;
ADC_MDIV_ON;
ADC_HPF_OFF;
ADC_M0_HIGH;
ADC_M1_LOW;
ADC_I2S_MASTER;
Delay_ms(10);
ADC_SET;
```

Na nastavení výše jde konkrétně vidět povolení předděličky dvěma na signálu MCLK, vypnutý filtr typu horní propusti, nastavení do režimu master a zvolený mód Double-Speed (podpora vzorkovací frekvence od 50 do 108 kHz).

3.2.2 D/A převodník CS4392

Oproti A/D převodníku je možné D/A převodník konfigurovat jak za pomoci úrovní na pinech nebo pomocí I2C nebo SPI sběrnice. V tomto případě byla vybrána SPI sběrnice. Aby převodník přijímal data po této sběrnici, je nutné vykonat na začátku komunikace předem danou proceduru. Ta je přesně popsána v [9]

Po inicializaci pinů a SPI periferie je převodník spuštěn provedením makra DAC_SET. To vykoná deaktivaci resetu a následně aktivován signál CS (Chip Select). Do převodníku je vyslána jeho adresa, adresa registru pro zápis a data povolující konfiguraci převodníku po SPI sběrnici. Toto je nutné provést do 10 ms po deaktivaci resetu. Jak je vidět níže po každém vyslání je smyčka kontrolující zda je výstupní posuvný registr prázdný. Na konci komunikace je vloženo krátké zpoždění. Jeho důvodem je, že vlajka signalizující prázdný výstupní registr se aktivuje během komunikace, což bylo zjištěno při kontrole nefunkční komunikace pomocí osciloskopu.

```
DAC_RESET;

SPI1_Config();

DAC_SET;
DAC_CS_SELECT;

SPI_SendData(SPI1,0x20); // SPI CHIP ADDRESS
while(!SPI_GetFlagStatus(SPI1,SPI_I2S_FLAG_TXE));

SPI_SendData(SPI1,0x05); // CHIP REGISTER ADDRESS
while(!SPI_GetFlagStatus(SPI1,SPI_I2S_FLAG_TXE));

SPI_SendData(SPI1,0x30); // SPI PORT ENABLE
while(!SPI_GetFlagStatus(SPI1,SPI_I2S_FLAG_TXE));
Delay(500);

DAC_CS_DESELECT;
```

Před další komunikací, je vloženo krátké zpoždění a následuje přenos konfiguračních dat do převodníku. Opět je prvně vyslána adresa převodníku, následuje adresa registru s povolenou inkrementací po každém zaslaném bytu a bloky dat.

3.2.3 LCD displej s řadičem kompatibilním s HD44780

Komunikace s řadičem LCD displeje se děje přes expandér PCF8574T. Výhodou tohoto expandéru je, že není nutná žádná inicializace. Data poslána přes I2C sběrnici se tedy přímo objeví na výstupním portu expandéru. Pro odeslání dat do expandéru je využita funkce I2C1_Send s odesílanými daty jako vstupním parametrem ve formátu 8 bitového slova.

První věcí po vyvolání funkce je kontrola, zda je periferie připravena pomocí vlajky BUSY. V případě činnosti procesor opakovaně čte tuto vlajku až do uvolnění periferie. Poté následuje vygenerování start bitu, který se na sběrnici projeví přechodem datového vodiče SDA do nízké úrovně (log. 0). Provede se kontrola, zda je periferie nastavená jako jako master a dojde k odeslání adresy po sběrnici. Jak lze vidět v [11], adresa expandéru je v hexadecimálním zápisu 0x40. Následně dochází ke kontrole nastaveného módu

vysílače a v případě kladné odezvy se odesílají data. Čeká se na potvrzení o odeslání, a jelikož není nutné odesílat další data, tak dojde k vygenerování stop bitu a ukončení komunikace po sběrnici.

```
void I2C1_Send(uint8_t data){  
  
while (I2C_GetFlagStatus(I2C1, I2C_FLAG_BUSY));  
  
I2C_GenerateSTART(I2C1, ENABLE);  
while (!I2C_CheckEvent(I2C1, I2C_EVENT_MASTER_MODE_SELECT));  
  
I2C_Send7bitAddress(I2C1, 0x40, I2C_Direction_Transmitter);  
while (!I2C_CheckEvent(I2C1, I2C_EVENT_MASTER_TRANSMITTER_MODE_SELECTED)  
);  
  
I2C_SendData(I2C1, data);  
while (!I2C_CheckEvent(I2C1, I2C_EVENT_MASTER_BYTE_TRANSMITTED));  
  
I2C_GenerateSTOP(I2C1, ENABLE);  
}
```

Protože řadič displeje reaguje na sestupnou hranu signálu EN, je pro korektní zápis dat třeba odeslat dvakrát stejná data pouze se změnou na bitu reprezentujícím signál EN. Vzhledem k rozdílné rychlosti zpracování mezi procesorem a řadičem displeje za každým odeslaným bajtem krátké zpoždění. Příklad nastavení 4 bitového módu komunikace je uveden níže. Při odesílání řídicích dat je signál RS nastaven do log. 0. Signál R/W nastavuje, zda se bude z řadiče číst nebo do něj zapisovat.

```
/* FUNCTION SEQUENCE 4BIT */  
I2C1_Send(0x21);  
Delay(1750);  
I2C1_Send(0x20);  
Delay(1000);
```

Jak již bylo zmíněno, komunikace s řadičem LCD displeje je v 4 bitovém módu. Na počátku práce s displejem je tedy zapotřebí vykonat přesnou sekvenci aby došlo k požadovanému nastavení. Po připojení napájecího napětí je nejdříve vhodné počkat 40 ms před zahájením komunikace, aby došlo k ustálení napájecích napětí na řadiči. Poté se odesílá třikrát hodnota 0x30 se zpožděními mezi odesíláním. Následně je již možno nastavit 4 bitový komunikační mód a nakonfigurovat parametry zobrazování. Potřebné bylo zejména potlačení viditelnosti kurzoru, inkrementace posuvu kurzoru po zapsání dat a nastavení fontu. Zjednodušenou sekvenci lze vidět na obrázku 3.1.

První věc ve smyčce je načítání aktuální polohy enkodéru. Jako další se testuje, zda došlo ke stisku tlačítka a tím k výběru jiného nastavitelného parametru. Aktuálně vybraný parametr je uložen v proměnné item. Při stisku tlačítka se provede obsluha přerušení a podle stisknutého tlačítka se hodnota buď inkrementuje nebo dekrementuje. Na to zareaguje podmínka if a vyvolá se funkce pro změnu polohy kurzoru na obrazovce displeje a do proměnné item se nakopíruje hodnota v proměnné item aby nedošlo k mnohonásobnému vyhodnocení. Další podmínka vyhodnocuje otočení enkodérem. Podle proměnné item se následně vybere, který parametr byl změněn a upraví se nastavení systému a aktualizují se data na displeji.

Vlajky eADCcopy a ADCcopy slouží k obsluze vstupních bufferů. Jejich vyvolání je řízeno přerušením od řadiče DMA při naplnění a přepnutí vstupního bufferu. Vyhodnotí se, který buffer je právě naplněn a dojde k jeho nakopírování do vstupního bufferu pro zpracování. Poté se nastaví vlajka symbolizující úpravu (decimaci) dat (vlajka decim pro audio převodníky a mdecim pro interní A/D a D/A). V bloku decimace dochází ke kopírování mezi dvěma buffery s použitou maskou. Tato maska závisí na zvoleném rozlišení a je generována při každé změně tohoto parametru. Při zvoleném nižším rozlišení než je nativní rozlišení převodníků dojde o odmaskování určeného počtu bitů směrem od LSB. Při detekci vlajky pro naplnění výstupního bufferu (vlajky eDACcopy a DACcopy) dojde k přesunu zpracovaných dat do bufferu pro D/A převodníky.

4 MĚŘENÍ PŘÍPRAVKU

Na přípravku byly provedeny dva typy měření. První týkající se parametrů přípravku jako takového a druhé představující laboratorní úlohu předmětu Nízkofrekvenční a audio technika, pro jehož výuku je tento přípravek určen, a které se nachází v přílohách.

4.1 Měření napájecího modulu

Nejprve bylo provedeno měření na napájecím modulu z důvodu ochrany dalších bloků, které by mohly být vlivem nesprávné funkčnosti poškozeny (např. přepětím).

Tabulka 4.1 Změřené výstupní napětí a proudy s vypočtenými ztrátovými výkony při napájení $\pm 18V$

Stabilizátor	Výstupní napětí [V]	Výstupní proud [mA]	Ztrátový výkon [W]
LM7815	15,39	267,2	0,697
LM7915	-15,01	23,6	0,071
LM7805 – pro analogové obvody	4,98	52,8	0,550
LM7805 – pro pomocné obvody	5,03	109,4	1,133
LF33CV	3,32	80,8	0,975
Celkový ztrátový výkon			3,426

Pozn.: Při měření byl předpoklad nejhoršího případu – největší možný proud větvemi

Z tabulky 4.1 je patrné, že reálný ztrátový výkon je nižší, než předpokládaný. Napětí na stabilizátoru LM7815 se jeví jako vyšší ale podle datového listu [13] je výstupní napětí v toleranci dané výrobcem.

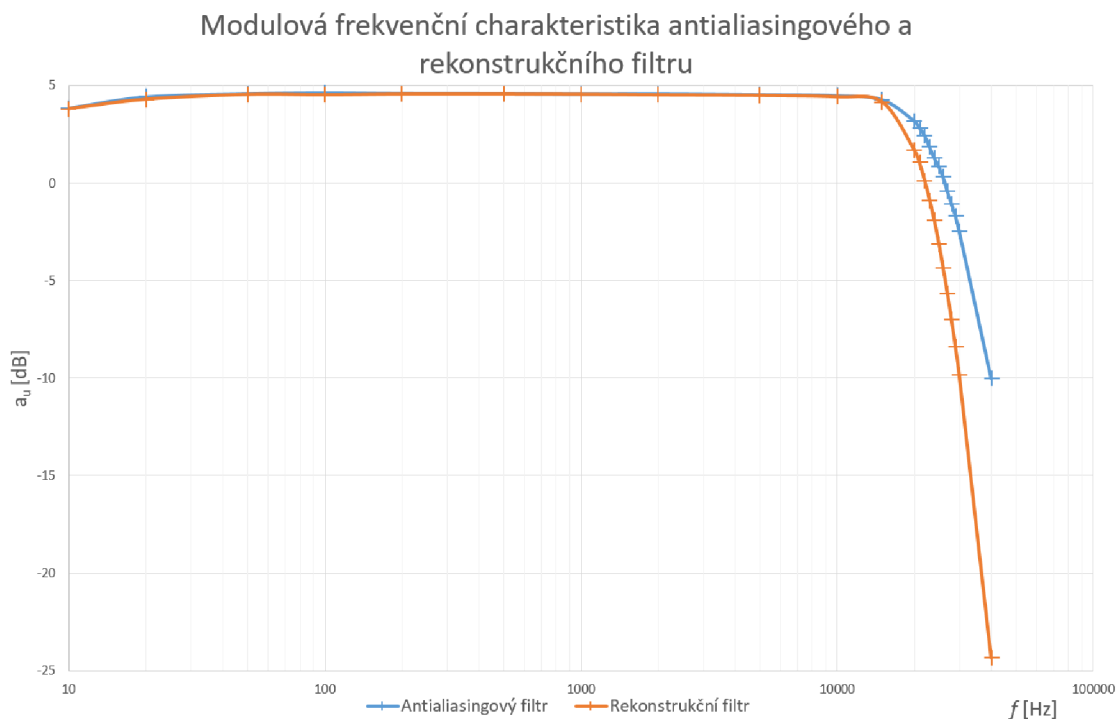
4.2 Frekvenční charakteristiky filtrů

Topologie i ladění antialiasingového i rekonstrukčního filtru byly voleny shodně a předpokladem byl obdobný průběh modulové frekvenční charakteristiky.

Tabulka 4.2 Modulová frekvenční charakteristika antialiasingového a rekonstrukčního filtru

f [Hz]	Antialiasingový filtr			Rekonstrukční filtr		
	U _{IN} [mV]	U _{OUT} [mV]	a _u [dB]	U _{IN} [mV]	U _{OUT} [mV]	a _u [dB]
10	707	1100	3,839	710	1100	3,803
20	818	1360	4,416	824	1350	4,288
50	862	1460	4,577	866	1460	4,537
100	869	1480	4,625	874	1470	4,516
200	872	1480	4,595	876	1480	4,555
500	873	1480	4,585	876	1480	4,555
1000	875	1480	4,565	877	1480	4,545
2000	874	1480	4,575	880	1480	4,516

5000	872	1470	4,536	877	1470	4,486
10000	871	1460	4,487	872	1450	4,417
15000	874	1430	4,276	874	1410	4,154
20000	866	1250	3,188	871	1060	1,706
21000	866	1200	2,833	867	977	1,038
22000	869	1150	2,434	869	882	0,129
23000	867	1070	1,827	870	787	-0,871
24000	871	1010	1,286	873	700	-1,918
25000	863	950	0,834	875	612	-3,105
26000	860	889	0,288	876	529	-4,381
27000	870	827	-0,440	878	457	-5,672
28000	865	765	-1,067	877	391	-7,016
29000	866	715	-1,664	875	334	-8,365
30000	870	656	-2,452	875	283	-9,804
40000	873	276	-10,002	874	53	-24,345



Obrázek 4.1 Modulová frekvenční charakteristika antialiasingového a rekonstrukčního filtru

Při měření charakteristik byl vybrán audio převodník s vzorkovací frekvencí 99 kHz a 24 bitovým rozlišením. Z obrázku 4.1 je zřejmý rozdíl mezi charakteristikami. Ten je přičítán toleranci použitých součástek (kondenzátory 5% a rezistory 1%). Navíc je vidět zesílení v propustném pásmu okolo 4,5 dB. Na tom se podílí především rozdílový zesilovač. Pro eliminaci zesílení v propustném pásmu byl nastaven útlum v D/A převodníku.

4.3 Odstup signálu od šumu a THD+N

Tyto parametry byly měřeny pomocí audio analyzátoru Audio Precision Portable One zvlášť pro každý převodník. Měření probíhalo při maximálním rozlišení převodníků.

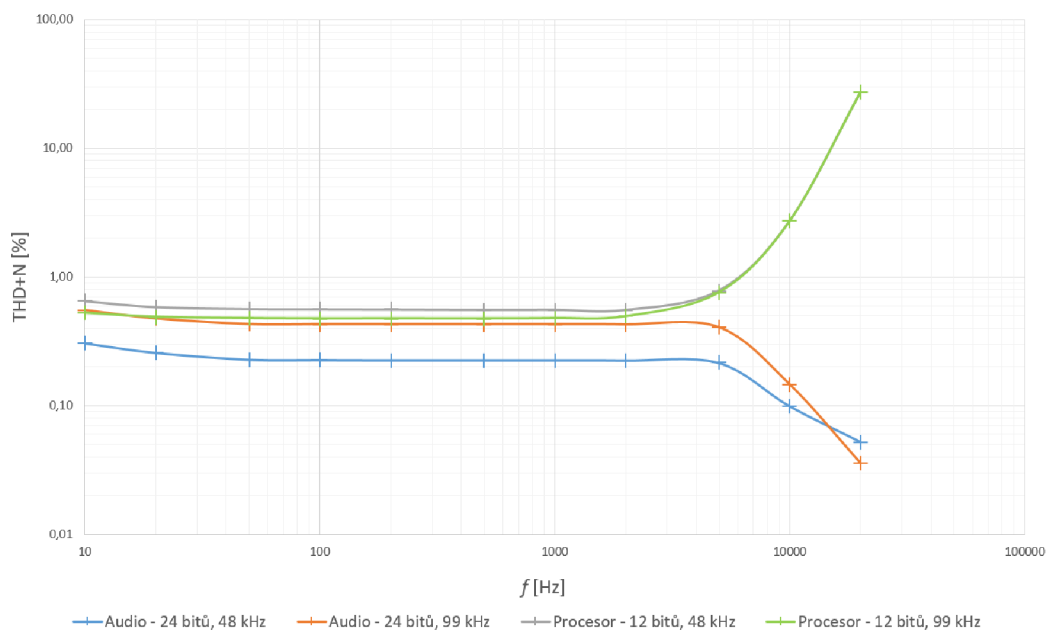
Odstup signálu od šumu audio převodníků: 86,32 dB

Odstup signálu od šumu převodníků procesoru: 46,61 dB

Tabulka 4.3 Změřené harmonické zkreslení s šumem převodníků

f [Hz]	THD+N [%]			
	Audio převodníky		Převodníky procesoru	
	rozlišení 24bit a $f_{vz} = 48$ kHz	rozlišení 24bit a $f_{vz} = 99$ kHz	rozlišení 12bit a $f_{vz} = 48$ kHz	rozlišení 12bit a $f_{vz} = 99$ kHz
10	0,3060	0,555	0,65	0,526
20	0,2580	0,478	0,585	0,49
50	0,2280	0,432	0,565	0,478
100	0,2260	0,431	0,562	0,475
200	0,2250	0,431	0,56	0,475
500	0,2250	0,431	0,557	0,475
1000	0,2250	0,431	0,558	0,478
2000	0,2240	0,429	0,556	0,494
5000	0,2150	0,409	0,785	0,755
10000	0,0989	0,147	2,72	2,7
20000	0,0521	0,0359	27,1	27,05

Závislost harmonického zkreslení se šumem na frekvenci



Obrázek 4.2 Závislost THD+N na frekvenci vstupního signálu

ZÁVĚR

Cílem této bakalářské práce bylo navrhnout laboratorní přípravek demonstrující vliv rozlišení a vzorkovací frekvence na činnost A/D a D/A převodníků a na signál jimi zpracovávány. V této práci je tedy zahrnut blokový návrh jednotlivých funkčních bloků a požadavky kladené na tyto bloky. Součástí je i přehled možných použitelných obvodů s odůvodněním výběru a popis programového řešení přípravku. Součástí práce je také sestavený a odměřený vzorový protokol. Byla provedena i další měření pro ověření kvality návrhu.

V dalších kapitolách jsou jednotlivé bloky rozebrány a pomocí výpočtů a simulací v případě analogových obvodů a návrhového softwaru a datových listů v případě digitálních obvodů je navrženo funkční zapojení. Důraz je kladen především na názornost a jednoduchost ovládání a odolnost přípravku při použití v laboratorním cvičení při výuce. Jelikož je přípravek určen do laboratorních podmínek, je nutno se zabývat i kvalitativní úrovní komponent. Byl vytvořen funkční prototyp, který byl následně naprogramován a zabudován do krabičky. V průběhu řešení se ukázalo, že zvolené audio převodníky provádějí převzorkování a obsahují digitální filtry, které znemožňují zobrazení některých jevů. Proto byl původní návrh upraven a bylo využito interních převodníků, které obsahuje zvolený procesor. Toto řešení navíc umožňuje porovnat převodníky určené pro audio aplikaci s multifunkčními převodníky procesoru. Další změny oproti semestrální části se týkal zvoleného procesoru. Původně byl vybrán typ STM32F446, který je lépe vybaven pro použití v audio aplikacích. Z této volby sešlo, protože v té době ještě nebyla dokončena podpora pro tento procesor ve využívaném vývojovém prostředí. Vzhledem ke kompatibilitě mezi řadami výrobce STMicroelectronics ale nešlo o významný zásah jak do desky plošného spoje, tak do programového řešení. Rozsah vzorkovacích frekvencí byl omezen maximální hodnotou 99 kHz, protože při návrhu distribuce taktovacího signálu došlo k chybám. Přípravek tedy umožňuje vzorkovat od 100 Hz (v případě převodníků procesoru) nebo 2 kHz (v případě audio převodníků) s rozlišením od 2 bitů do nativního rozlišení převodníků. Vzhledem k laboratornímu využití je ale tento rozsah vzorkovacích frekvencí plně uspokojivý.

V případné další verzi by bylo záhodno zvážit využití audio převodníků a zbytečně silného procesoru. Došlo by k výraznému zjednodušení a cenové úspoře. Řešením by mohl být slabší procesor (například řady STM32F1 stejného výrobce). Pro studenty názorné by bylo osazení linkového vstupu a výstupu pro sluchátka, kdy by se studenti mohli přesvědčit o vlivu rozlišení a vzorkovací frekvence nejenom z hlediska parametrů ale také podle subjektivního vjemu.

LITERATURA

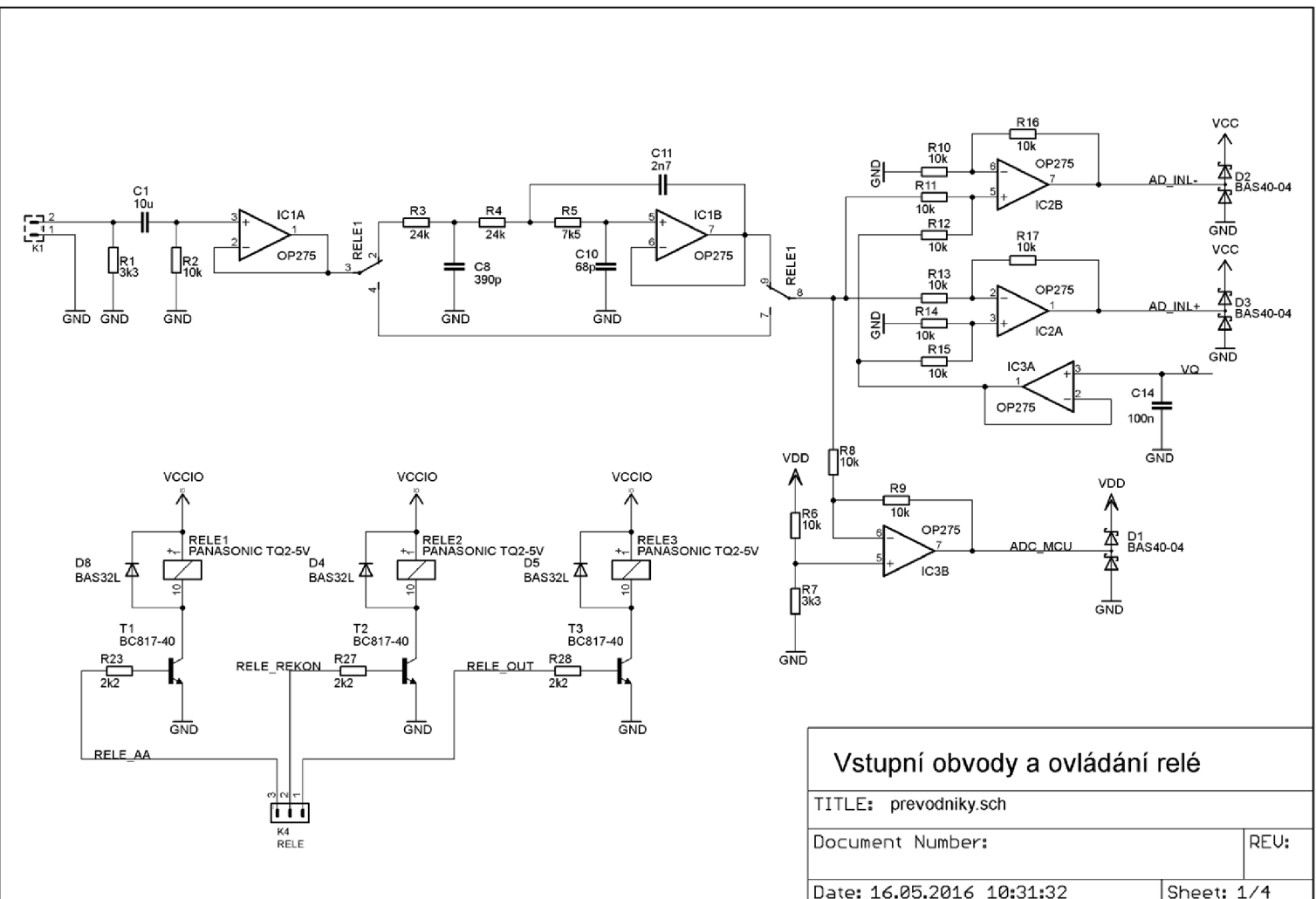
- [1] SCHIMMEL, Jiří. *Elektroakustika* [online]. První. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav telekomunikací, Purkyňova 118, 612 00 Brno, 2014 [cit. 2015-12-14]. ISBN 978-80-214-4716-5.
- [2] *CS5381: 120dB, 192kHz, Multi-Bit Audio A/D Converter* [online]. F2. Cirrus Logic, 2005, July 2005 [cit. 2015-11-28]. Dostupné z: https://www.cirrus.com/en/pubs/proDatasheet/CS5381_F2.pdf
- [3] *Texas Instruments* [online]. [cit. 2016-05-24]. Dostupné z: <http://www.ti.com/>
- [4] *Akahi Kasei Microdevices Corporation* [online]. [cit. 2016-05-24]. Dostupné z: <http://www.akm.com/>
- [5] *ESS Technology* [online]. [cit. 2016-05-24]. Dostupné z: <http://www.esstech.com/>
- [6] *OKAWA Electric Design: Engineering Design Utilities. OKAWA Electric Design* [online]. Japan: OKAWA Electric Design, 2008, 2008 [cit. 2015-11-28]. Dostupné z: <http://sim.okawa-denshi.jp/en/>
- [7] *STM32CubeMX. STMicroelectronics* [online]. 2015 [cit. 2015-12-09]. Dostupné z: <http://www.st.com/web/catalog/tools/FM147/CL1794/SC961/SS1533/PF259242>
- [8] *STM32F405xx, STM32F407xx: Datasheet - production data* [online]. 7. 2011 [cit. 2016-05-16]. Dostupné z: <http://www2.st.com/content/ccc/resource/technical/document/datasheet/ef/92/76/6d/bb/c2/4f/f7/DM00037051.pdf/files/DM00037051.pdf/jcr:content/translations/en.DM00037051.pdf>
- [9] *CS4392: 24bit, 192kHz Stereo DAC with Volume Control* [online]. Cirrus Logic, 2002, September 2004 [cit. 2015-11-29]. Dostupné z: https://www.cirrus.com/en/pubs/proDatasheet/CS4392_PP3.pdf
- [10] *STM32 Nucleo-64 boards User Manual* [online]. STMicroelectronics, 2014, 04-Aug-2015 [cit. 2015-12-09]. Dostupné z: http://www.st.com/st-web-ui/static/active/en/resource/technical/document/user_manual/DM00105823.pdf
- [11] *PCF8574: Remote 8-Bit I/O Expander for I²C Bus* [online]. Revision I. Texas Instruments Incorporated, 2001 [cit. 2016-05-15]. Dostupné z: <http://www.ti.com/lit/ds/symlink/pcf8574.pdf>
- [12] *RM0090 Reference manual: STM32F405/415, STM32F407/417, STM32F427/437 and STM32F429/439 advanced ARM®-based 32-bit MCUs* [online]. 11. 2015 [cit. 2016-05-14]. Dostupné z: http://www2.st.com/content/ccc/resource/technical/document/reference_manual/3d/6d/5a/66/b4/99/40/d4/DM00031020.pdf/files/DM00031020.pdf/jcr:content/translations/en.DM00031020.pdf
- [13] *L78: Positive voltage regulator ICs* [online]. 33. 2004 [cit. 2016-05-16]. Dostupné z: <http://www.st.com/content/ccc/resource/technical/document/datasheet/41/4f/b3/b0/12/d4/47/88/CD00000444.pdf/files/CD00000444.pdf/jcr:content/translations/en.CD00000444.pdf>

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

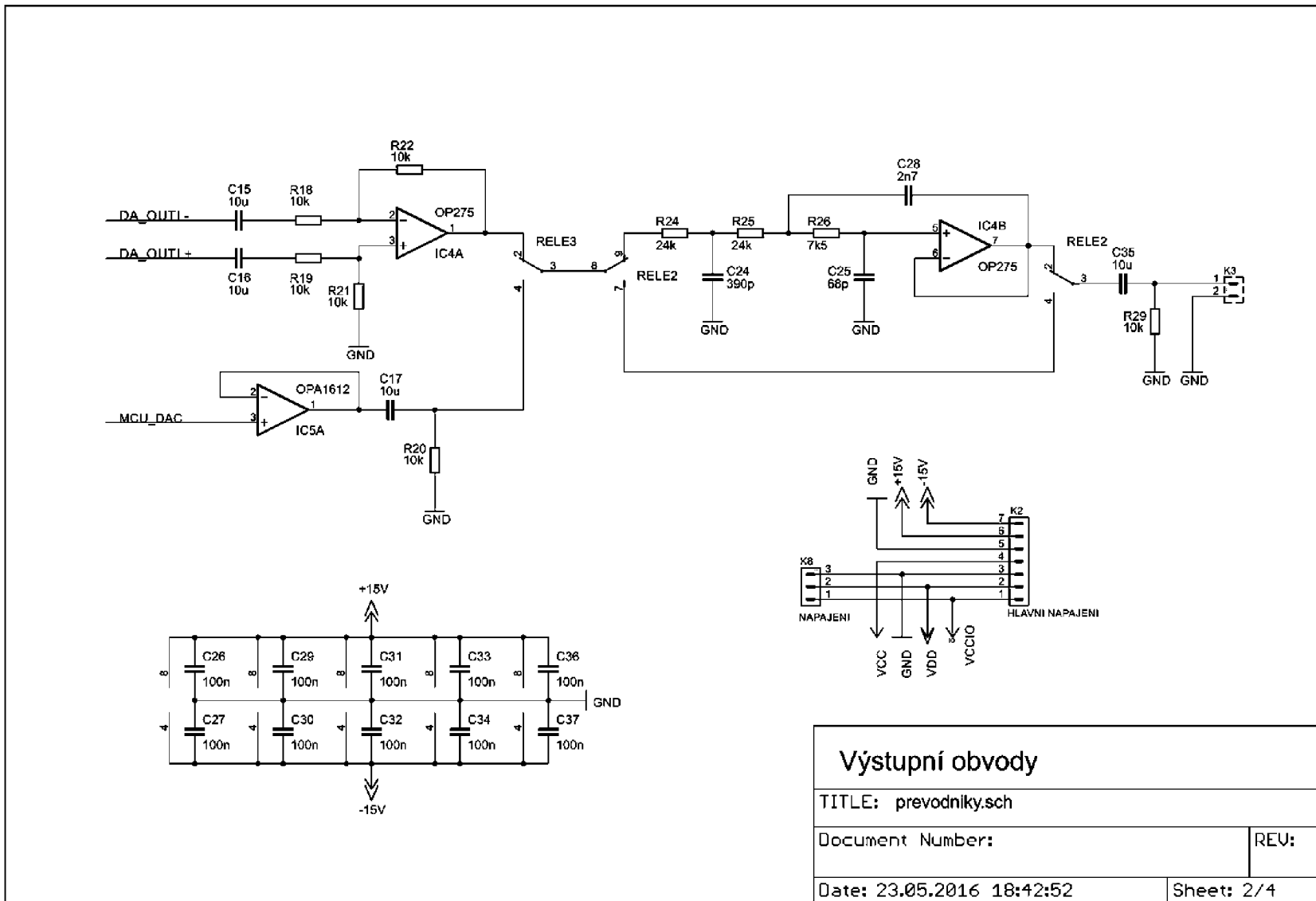
LCD	Liquid Crystal Display – displej z tekutých krystalů
SWD	Serial Wire Debug – protokol pro ladění programu po sériové sběrnici
LED	Light-emitting Diode – svítivá dioda
I2S	Inter-IC Sound Bus – sběrnice pro přenos digitálního zvukového signálu mezi obvody
I2C	Inter-Integrated Circuit – sběrnice firmy Phillips pro nízkorychlostní periferie
SPI	Serial Peripheral Interface – sériové periferní rozhraní
ASCII	American Standard Code for Information Interchange – americký standartní kód pro výměnu informací
APB2	Advanced Peripheral Bus – vnitřní sběrnice procesoru STM32F405 pro komunikaci mezi periferiemi a jádrem procesoru
DMA	Direct Memory Access – periferie zajišťující přímý přístup k paměti bez nutnosti využívat jádro procesoru
FIFO	First Input First Output – typ zásobníku kdy dříve zapsaná data se čtou jako první
LSB	Least Significant Bit – nejméně významný bit v binárním slově

A NÁVRH ZAPOJENÍ

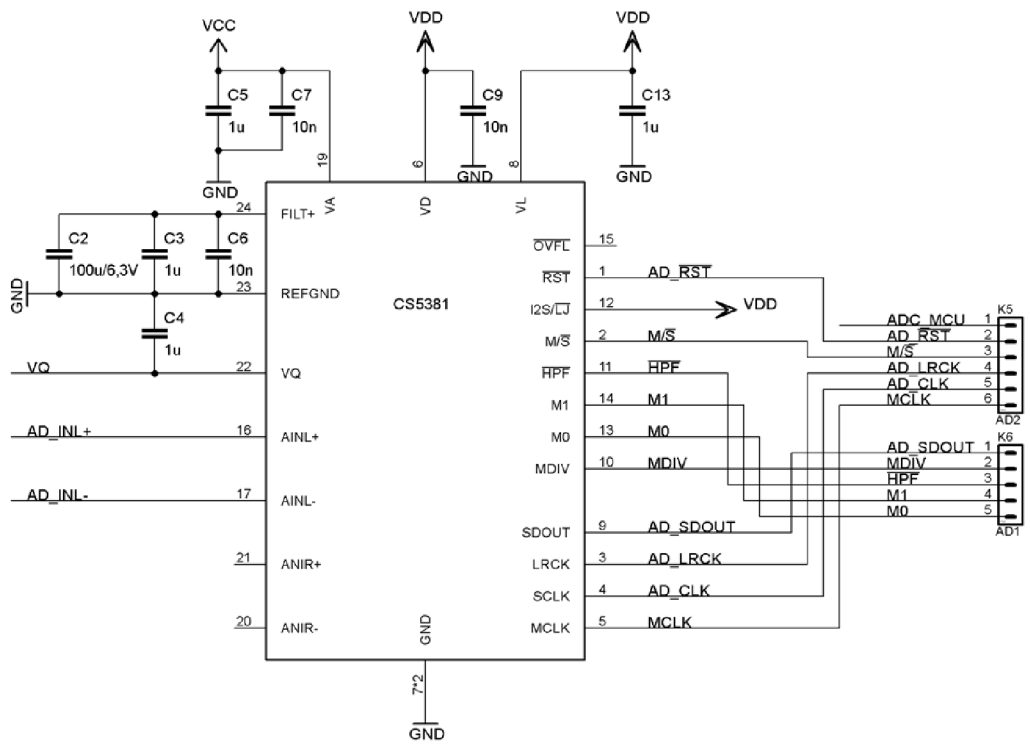
A.1 Obvodové zapojení vstupních obvodů a ovládání relé



A.2 Obvodové zapojení výstupních obvodů



A.3 Obvodové zapojení A/D převodníku CS5381



A/D Převodník CS5381

TITLE: prevodniky.sch

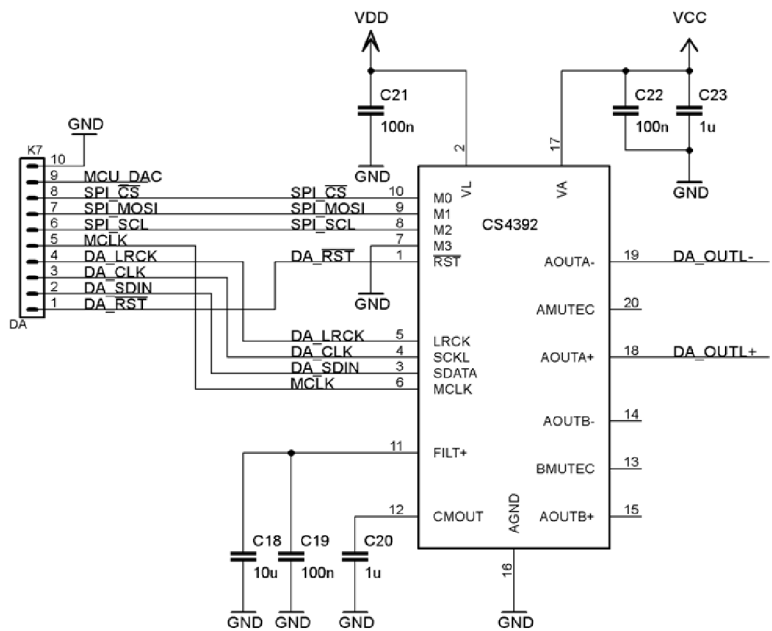
Document Number:

REV:

Date: 16.05.2016 9:49:07

Sheet: 3/4

A.4 Obvodové zapojení D/A převodníku CS4382



D/A Převodník CS4392

TITLE: prevodniky.sch

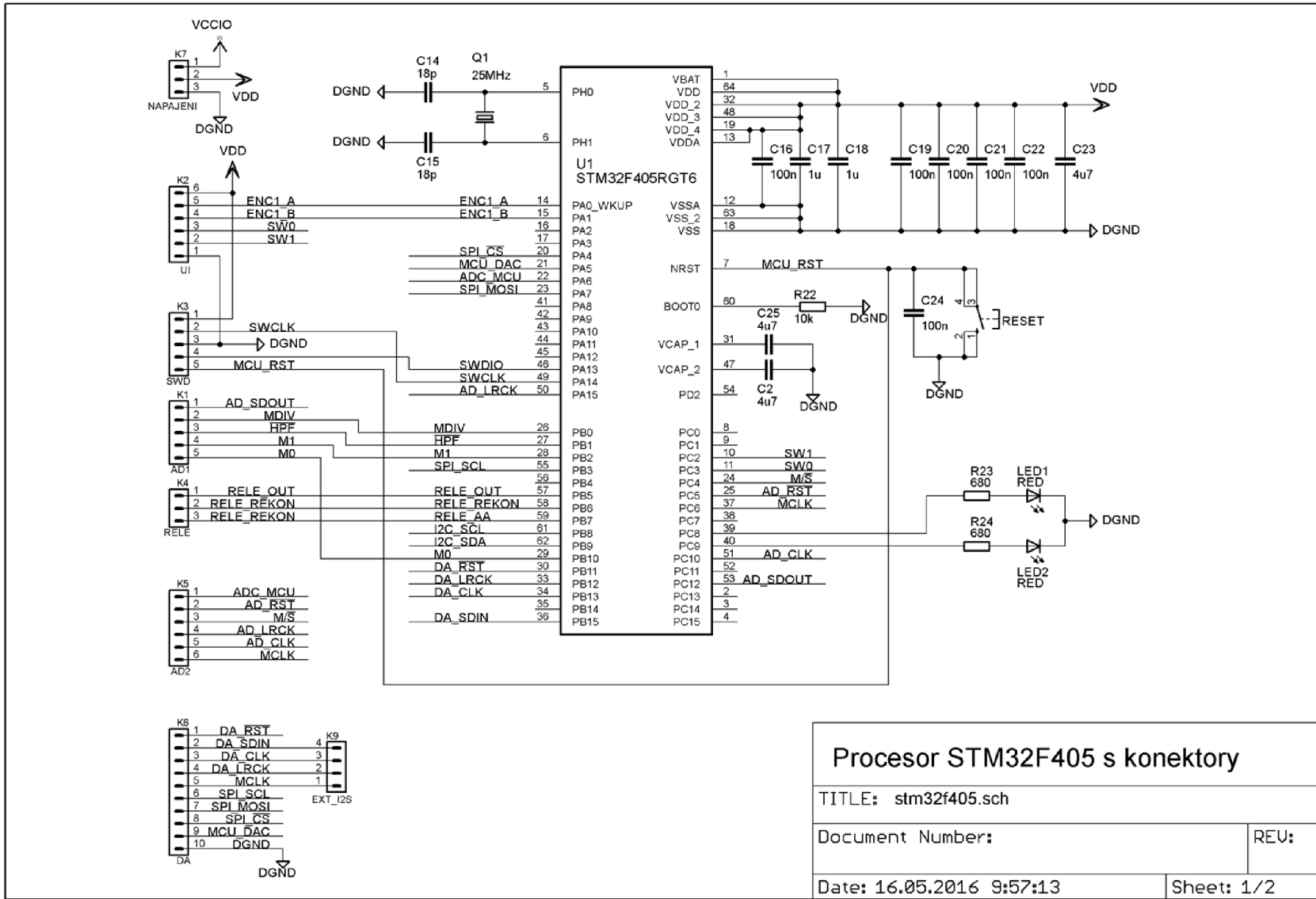
Document Number:

REU:

Date: 16.05.2016 9:49:07

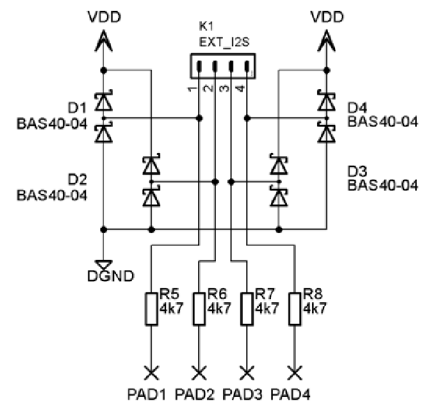
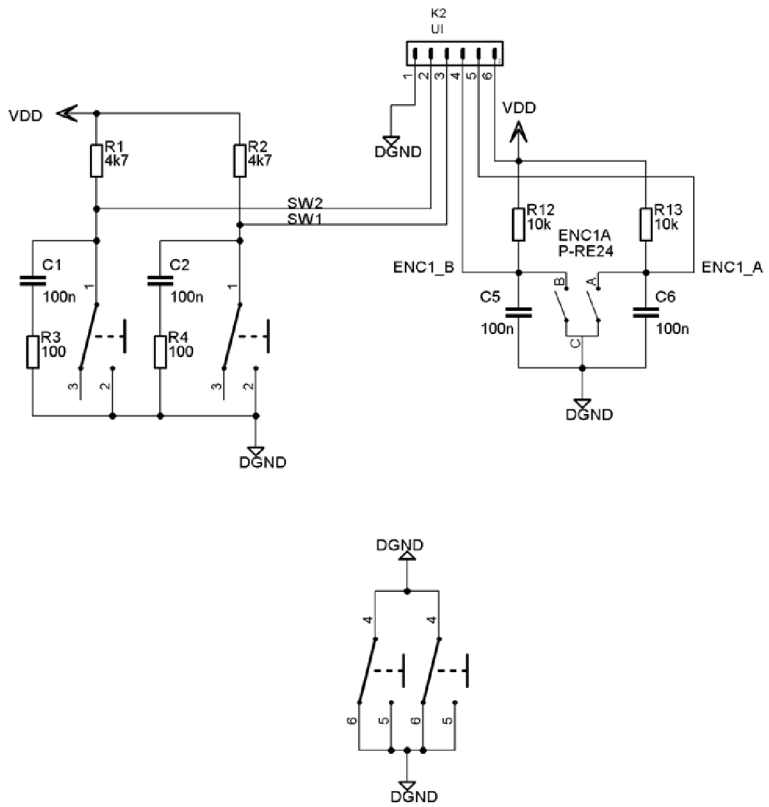
Sheet: 4/4

A.5 Obvodové zapojení procesoru STM32F405

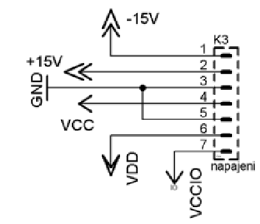
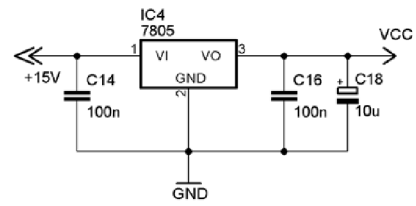
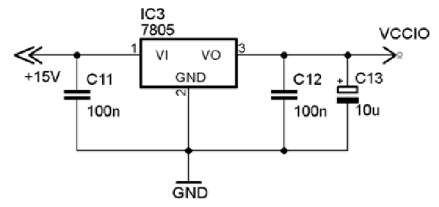
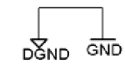
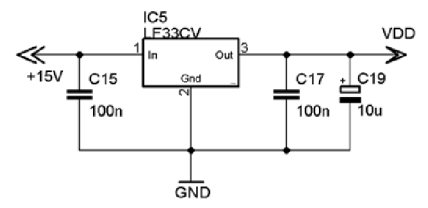
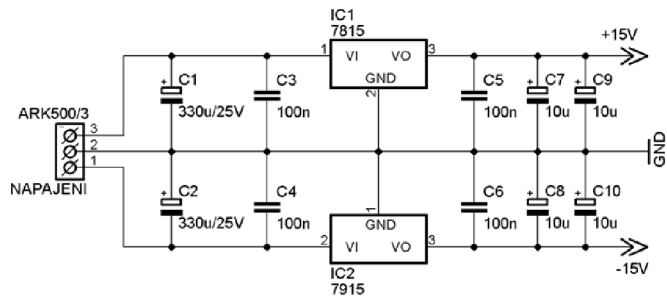


Procesor STM32F405 s konektory	
TITLE: stm32f405.sch	
Document Number:	REV:
Date: 16.05.2016 9:57:13	Sheet: 1/2

A.7 Obvodové zapojení čelního panelu



TITLE: celni_panel	
Document Number:	REU:
Date: 16.05.2016 10:05:26	Sheet: 1/1



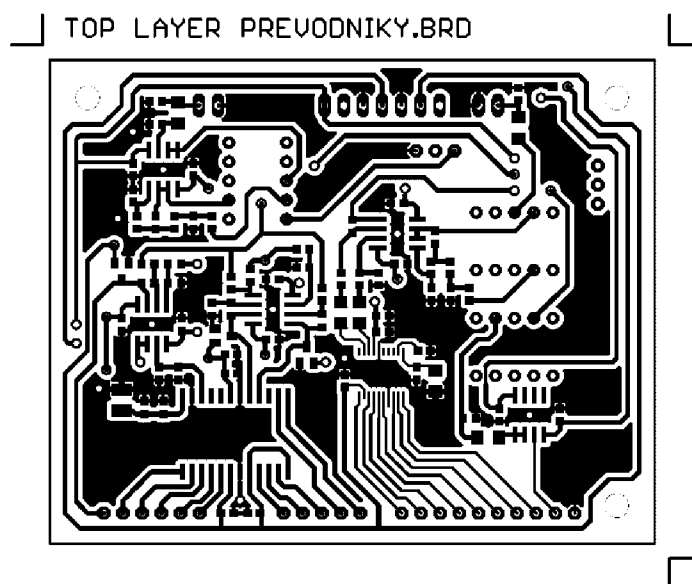
Stabilizatory

TITLE: napajeni.sch	
Document Number:	REU:
Date: 16.05.2016 11:37:38	Sheet: 1/1

A.8 Obvodové zapojení napájecího modulu

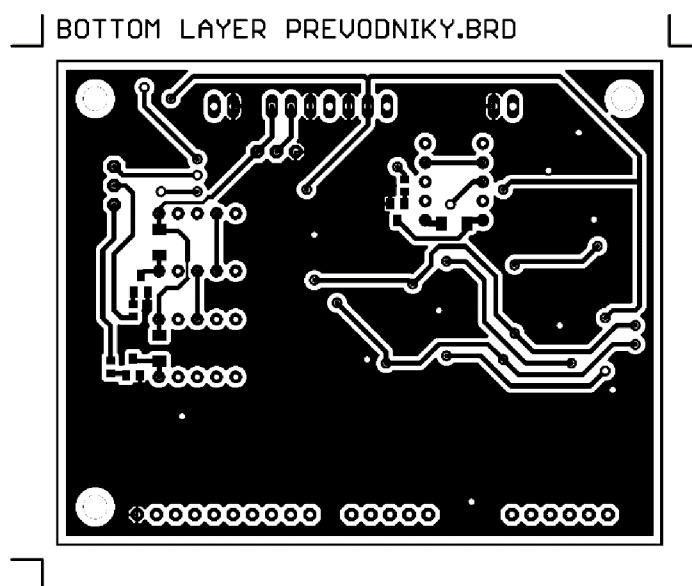
B NÁVRHY DESEK PLOŠNÝCH SPOJŮ

B.1 Deska plošného spoje převodníků – top (strana součástek)



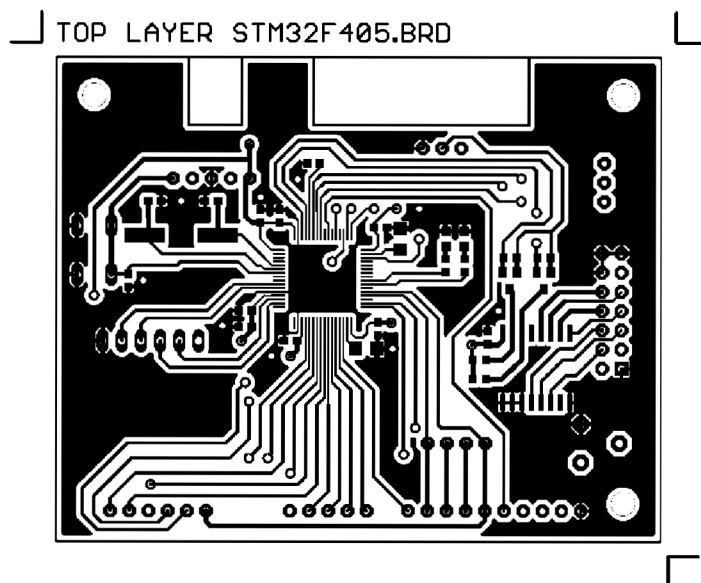
Rozměr desky 80 x 64, měřítko M1:1

B.2 Deska plošného spoje převodníků – bottom (strana spojů)



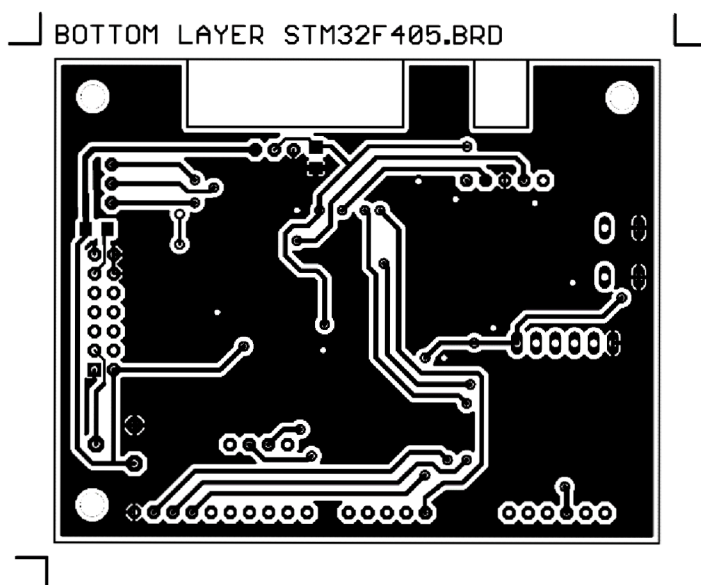
Rozměr desky 80 x 64, měřítko M1:1

B.3 Deska plošného spoje procesoru STM32F405 – top (strana součástek)



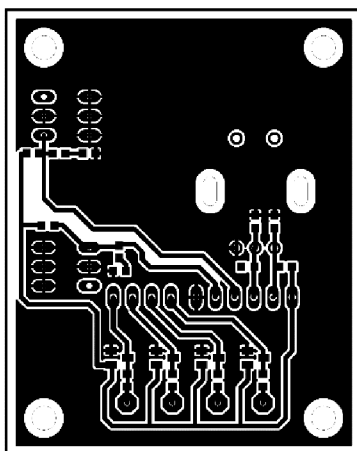
Rozměr desky 80 x 64, měřítko M1:1

B.4 Deska plošného spoje procesoru STM32F405 – bottom (strana spojů)



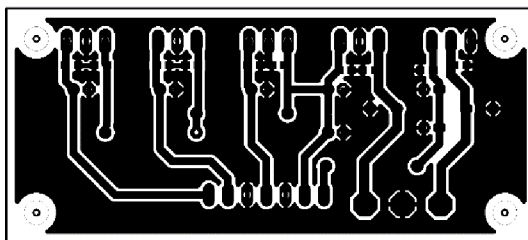
Rozměr desky 80 x 64, měřítko M1:1

B.5 Deska plošného spoje čelního panelu – bottom (strana spojů)



Rozměr desky 47 x 59, měřítko M1:1

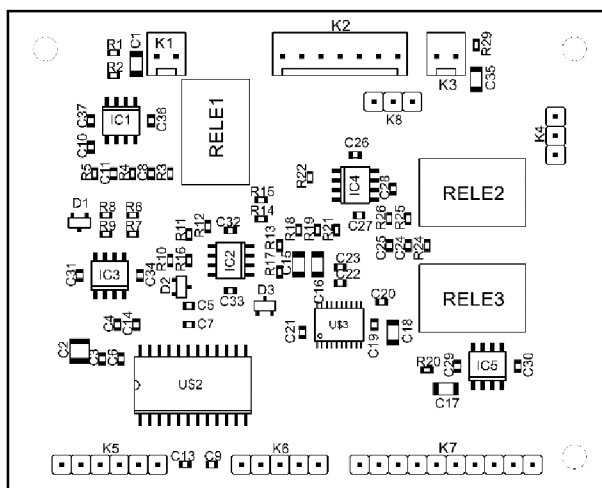
B.6 Deska plošného spoje napájecího modulu – bottom (strana spojů)



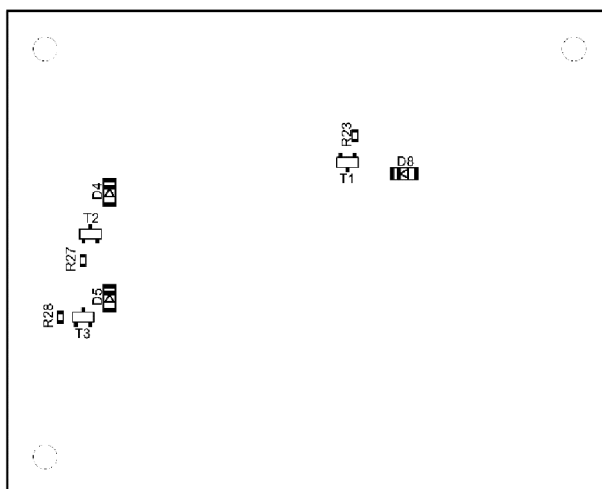
Rozměr desky 70 x 31, měřítko M1:1

C OSAZOVACÍ PLÁNY

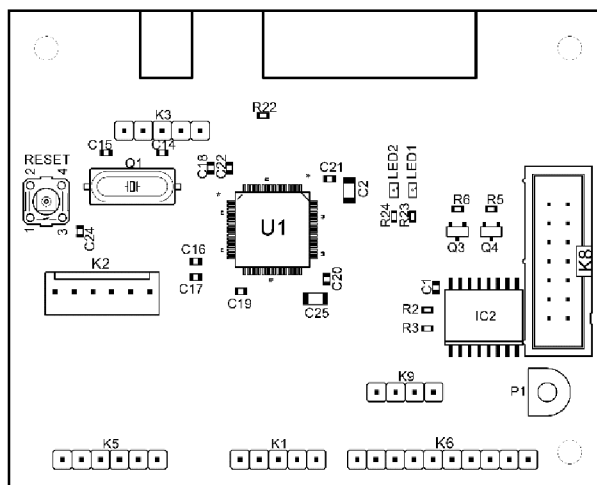
C.1 Osazovací plán DPS převodníků - strana top



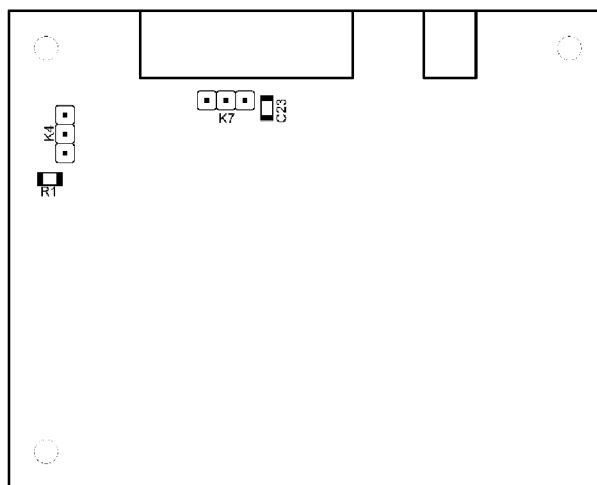
C.2 Osazovací plán DPS převodníků - strana bottom



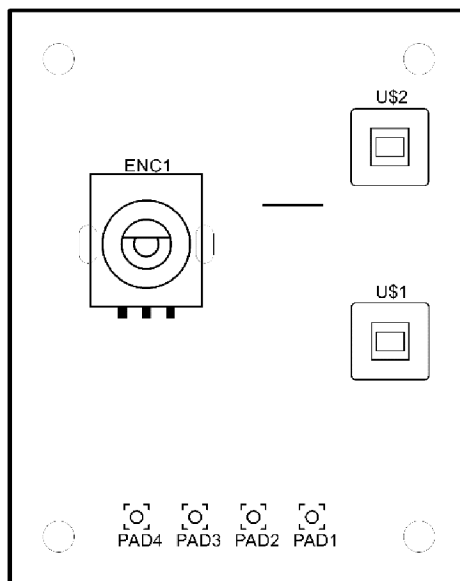
C.3 Osazovací plán DPS procesoru - strana top



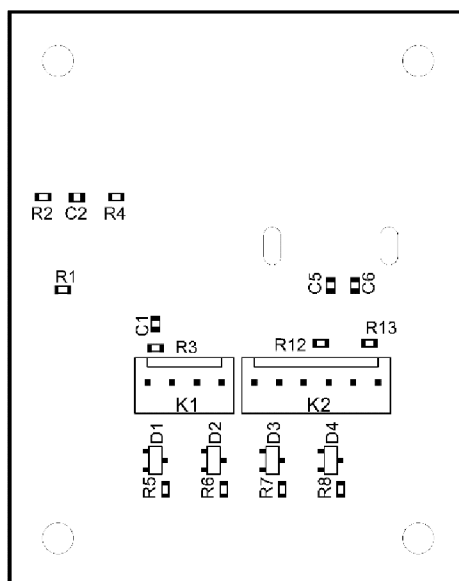
C.4 Osazovací plán DPS procesoru - strana bottom



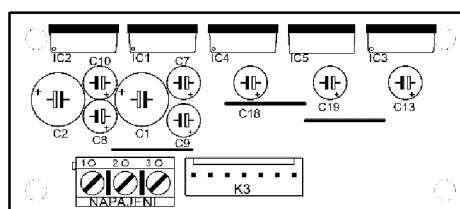
C.5 Osazovací plán DPS čelního panelu - strana top



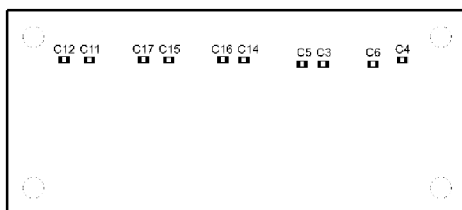
C.6 Osazovací plán DPS čelního panelu - strana bottom



C.7 Osazovací plán DPS napájecího modulu - strana top



C.8 Osazovací plán DPS napájecího modulu - strana bottom



D SEZNAMY SOUČÁSTEK

D.1 Seznam součástek pro DPS převodníků

Počet kusů	Hodnota	Pouzdro	Označení	Popis
2	68p	C0603	C10, C25	Keramický kondenzátor
2	390p	C0603	C8, C24	Keramický kondenzátor
2	2n7	C0603	C11, C28	Keramický kondenzátor
3	10n	C0603	C6, C7, C9	Keramický kondenzátor
14	100n	C0603	C14, C19, C21, C22, C26, C27, C29, C30, C31, C32, C33, C34, C36, C37	Keramický kondenzátor
6	1u	C0603	C3, C4, C5, C13, C20, C23	Keramický kondenzátor
6	10u	C1206	C1, C15, C16, C17, C18, C35	Keramický kondenzátor
1	100u/6,3V	C1210	C2	Tantalový kondenzátor
3	2k2	R0603	R23, R27, R28	Rezistor
2	3k3	R0603	R1, R7	Rezistor
2	7k5	R0603	R5, R26	Rezistor
18	10k	R0603	R2, R6, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R29	Rezistor
4	24k	R0603	R3, R4, R24, R25	Rezistor
3	PANASONIC TQ2-5V		RELE1, RELE2, RELE3	Signálové relé
3	BAS40-04	SOT23	D1, D2, D3	Dvojitá Shottkyho dioda
3	BAS32L	SOD80	D4, D5, D8	Univerzální dioda
3	BC817-40	SOT23-BEC	T1, T2, T3	Univerzální NPN tranzistor
4	OP275	SO08	IC1, IC2, IC3, IC4	Operační zesilovač
1	OPA1612	SO08	IC5	Operační zesilovač
1	CS4392TSSOP	TSSOP20	U\$3	D/A převodník
1	CS5381	SO24R	U\$2	A/D převodník
2	-	PSH02-02P	K1, K3	Konektor se zámkem - 2pin
1	-	PSH02-	K2	Konektor se zámkem - 7pin

		07P		
2	-	BL803G	K4, K8	Dutinková lišta - 3x
1	-	BL806G	K5	Dutinková lišta 6x
1	-	BL805G	K6	Dutinková lišta 5x
1	-	BL810G	K7	Dutinková lišta 10x

D.2 Seznam součástek pro DPS procesoru STM32F405

Počet kusů	Hodnota	Pouzdro	Označení	Popis
2	18p	C0603	C14, C15	Keramický kondenzátor
7	100n	C0603	C1, C16, C19, C20, C21, C22, C24	Keramický kondenzátor
2	1u	C0603	C17, C18	Keramický kondenzátor
3	4u7	C1206	C2, C23, C25	Keramický kondenzátor
1	47	R1206	R1	Rezistor
2	680	R0603	R23, R24	Rezistor
4	4k7	R0603	R2, R3, R5, R6	Rezistor
1	10k	R0603	R22	Rezistor
1	5k	PT6V	P1	Trimr
2	-	S1G3	K4, K7	Oboustranný kolík - 3x
1	-	S1G5	K1, K3	Oboustranný kolík - 5x
1	-	S1G6	K5	Oboustranný kolík - 6x
1	-	S1G10	K6	Oboustranný kolík - 10x
1	-	TC-0104	RESET	Mikrospínač do DPS
1	25MHz	HC49UP	Q1	Krystal
2	RED	SML0805	LED1, LED2	Červená LED dioda
2	BSS138	SOT23	Q3, Q4	Unipolární tranzistor s N-kanálem
1	PCF8574T	SO16W	IC2	8-bit expandér pro I2C sběrnici
1	STM32F405RGT6	LQFP64	U1	32 bitový procesor s 1 MB FLASH paměti
1	-	PSH02-04P	K9	Konektor se zámkem - 4pin
1	-	PSH02-06P	K2	Konektor se zámkem - 6pin
1	MLW14	MLW14G	K8	Konektor MLW - 14x

D.3 Seznam součástek pro DPS čelního panelu

Počet kusů	Hodnota	Pouzdro	Označení	Popis
4	100n	C0603	C1, C2, C5, C6	Keramický kondenzátor
2	100	R0603	R3, R4	Rezistor
6	4k7	R0603	R1, R2, R5, R6, R7, R8	Rezistor
2	10k	R0603	R12, R13	Rezistor

1	P-RE24	CI-11	ENC1	Rotační enkodér
2	ZIPPY_P1-2S-Z	P-B170	U\$1, U\$2	Tlačítkový spínač
4	BAS40-04	SOT23	D1, D2, D3, D4	Dvojitá Shottkyho dioda
1	EXT_I2S	PSH02-04P	K1	Konektor se zámkem - 4pin
1	UI	PSH02-06P	K2	Konektor se zámkem - 6pin

D.4 Seznam součástek pro DPS napájecího modulu

Počet kusů	Hodnota	Pouzdro	Označení	Popis
10	100n	C0603	C3, C4, C5, C6, C11, C12, C14, C15, C16, C17	Keramický kondenzátor
7	10u	E2-5	C7, C8, C9, C10, C13, C18, C19	Elektrolytický kondenzátor
2	330u/25V	E3,5-8	C1, C2	Elektrolytický kondenzátor
2	7805	TO220	IC3, IC4	Stabilizátor napětí 5V
1	7815	TO220	IC1	Stabilizátor napětí 15V
1	LF33CV	TO220	IC5	Stabilizátor napětí 3,3V
1	7915	TO220	IC2	Stabilizátor napětí -15V
1	-	PSH02-07P	K3	Konektor se zámkem - 7pin
1	-	ARK500/3	NAPAJENI	Svorkovnice - rozteč 5mm – trojitá
1	CHL255A/60	-	Chladič	Chladič

E SEZNAM PŘÍLOH NA CD

Schéma a desky plošného spoje ve formátu pro Cadsoft Eagle 6.5.0

Seznamy součástek pro jednotlivé desky plošného spoje

Zdrojový kód procesoru s projektem pro prostředí EmBitz 0.42

Vzorový a prázdný protokol

Fotografie přípravku

Nízkofrekvenční elektronika (BNFE, SNFE, KNFE)

Laboratorní úloha č. 6 - teoretická část

A/D a D/A převodník pro laboratorní výuku

Cílem úlohy je seznámit studenty s převodem mezi analogovým a digitálním signálem. Přiblíženy jsou základní parametry jako rozlišení a vzorkovací frekvence převodníků a jejich vliv na zpracováváný signál. Studenti si volbou těchto parametrů ověří teoretické předpoklady a získají přehled o vlastnostech a jevech při zpracování nízkofrekvenčního signálu.

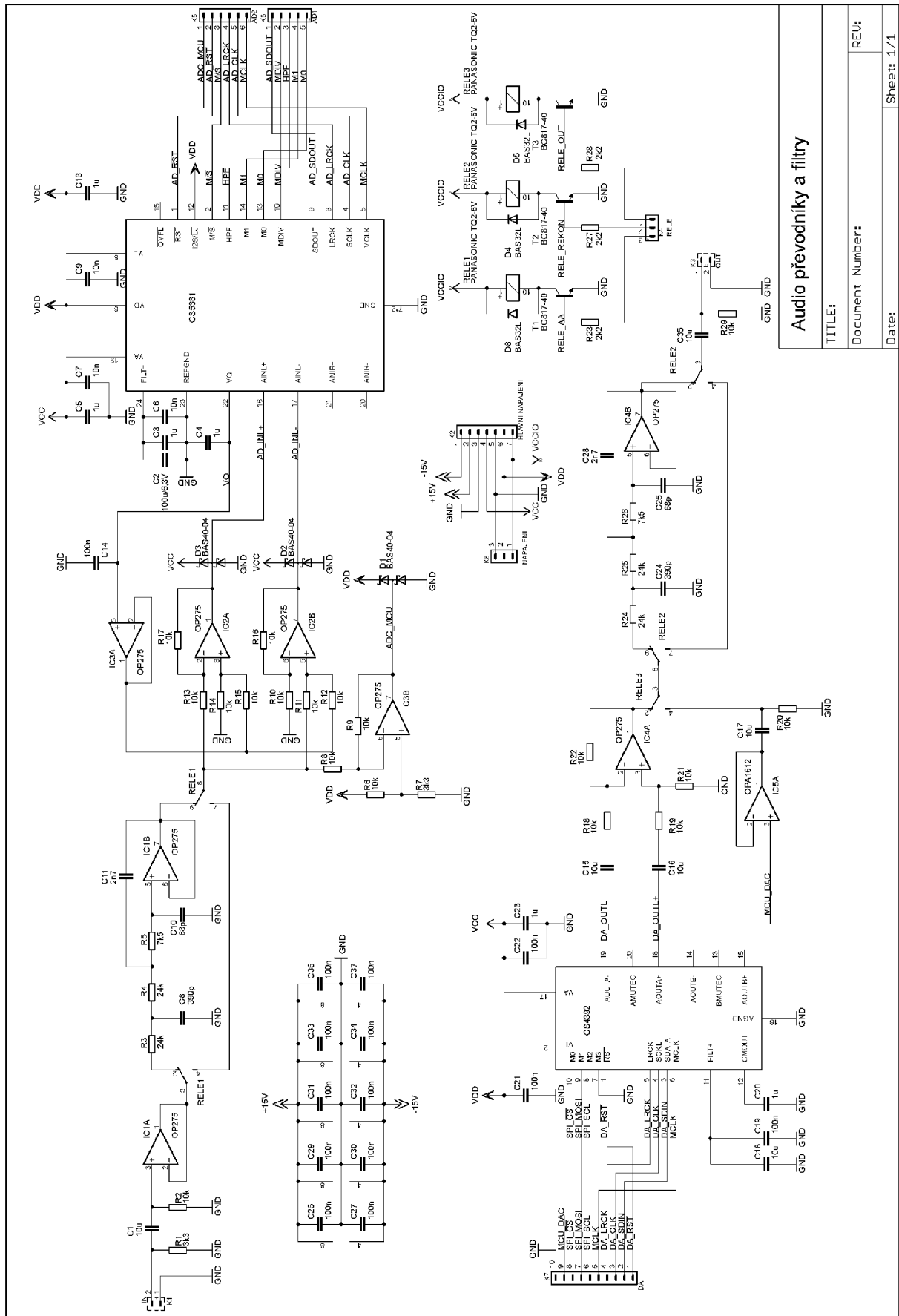
ÚVOD

Přípravek demonstrující vliv převodu mezi analogovým a digitálním signálem se sestává z následujících částí:

- Vstupní a výstupní filtr typu HP
- Vypínatelný antialiasingový filtr
- Audio A/D převodník CS5381
- Řídící procesor STM32F405 s integrovaným A/D a D/A převodníkem
- Audio D/A převodník CS4392
- Vypínatelný rekonstrukční filtr
- Napájecí a pomocné obvody

Pro názornou demonstraci je možné měnit jak vzorkovací frekvenci a rozlišení převodníků, tak i vyřazovat z obvodu jak antialiasingový tak i rekonstrukční filtr. Pro porovnání rozdílu mezi převodníky je možné přepnout zpracování mezi audio převodníky (již zmíněné CS5381 a CS4392) a převodníky integrovanými v procesoru. Je možné pozorovat změny signálu jak v časové tak i ve spektrální oblasti spolu s jevy jako antialiasing nebo kvantizační zkreslení.

Vstupní signál přivedený na BNC konektor na zadní straně je veden do desky plošného spoje převodníků do vstupního filtru typu horní propust, kde dojde k odstranění stejnosměrné složky. Pro impedanční oddělení je za ním zapojen operační zesilovač s jednotkovým zesílením. Poté je zapojen antialiasingový filtr, který je možno přemostit pomocí relé. Poté je signál rozdělen k odlišnému zpracování pomocí audio A/D převodníku a převodníku v procesoru. Oba převodníky jsou napájeny nesymetricky, a proto je třeba přidat offset a navíc v případě audio převodníku je potřebné převést signál na symetrický. Po převedení do digitální podoby putuje navzorkovaný signál audio převodníkem po I2S sběrnici do procesoru. Zde dojde podle zvoleného rozlišení k decimaci vzorků a k vyslání (opět po I2S sběrnici k D/A převodníku. Poté je signál zpětně převeden na analogový. V případě audio D/A převodníku je výstupní signál symetrický, a proto je přiveden do rozdílového zesilovače. U výstupu z D/A převodníku procesoru se pouze odstraní stejnosměrná složka ve filtru typu HP. Následuje relé ovládané procesorem sloužící k přepnutí výstupního převodníku. Poté je signál přiveden přes přemostitelný rekonstrukční filtr a výstupní filtr typu HP k výstupnímu BNC konektoru.



Audio převodníky a filtry

TITLE:

Document Number:

Date:

Sheet: 1/1

Obr. 1 Schéma zapojení přípravku – část s převodníky a filtry

A/D a D/A převodník pro laboratorní výuku

Jméno a příjmení: Studijní skupina:

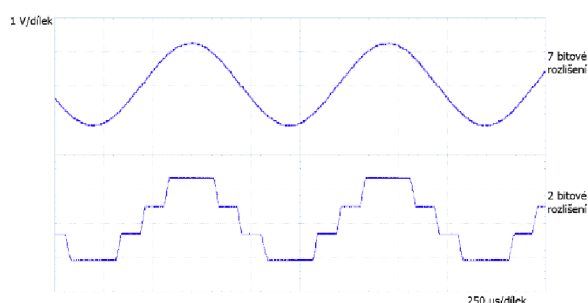
Datum a čas měření: Hodnocení vyučujícího:

ZADÁNÍ A POZNÁMKY K MĚŘENÍ A VYPRACOVÁNÍ PROTOKOLU

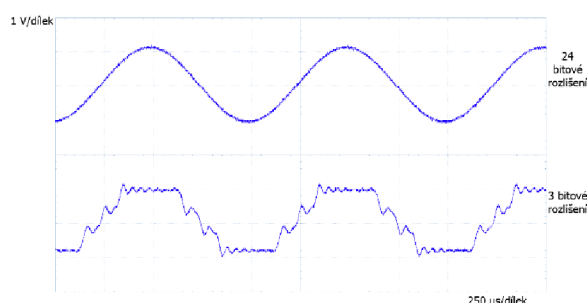
1. Sledujte vliv stupně použitého rozlišení na přenos harmonického signálu.

Nastavte vzorkovací frekvenci na 48 kHz. Jak antialiasingový tak i rekonstrukční filtr nechte vypnutý. Vstupní harmonický signál nastavte na 1 kHz s amplitudou 1,3 V. Při snižování rozlišení až na 2 bity pozorujte tvar výstupního signálu jak pro převodník v procesoru (MCU) nebo audio převodník (Audio). Zakreslete jednu periodu výstupního signálu pro nízké (2 – 3 bity) a vyšší rozlišení (4 a více) pro oba převodníky. Komentujte rozdíly mezi různými rozlišeními a převodníky.

Převodníky v MCU

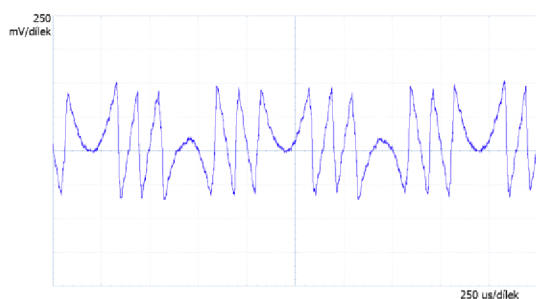


Audio převodníky



2. Sledujte vznik kvantizačního zkreslení při různém zvoleném rozlišení.

Nastavení generátoru ponechte stejné jako v předchozím bodě. Nastavte zvolený převodník jako MCU-KS čím se na výstupu zobrazí kvantizační šum při vzorkování převodníky v procesoru. Nastavte rozlišení na 2 bity. Sledujte velikost a tvar signálu při zvyšování rozlišení. Zakreslete průběh kvantizačního šumu pro rozlišení 2 bity.

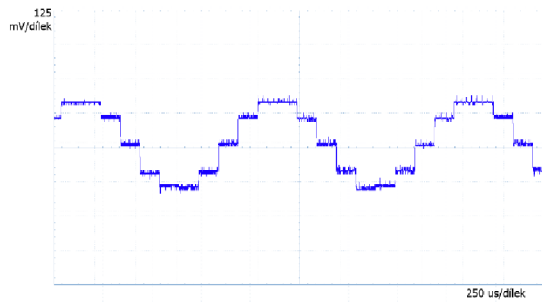


Rozlišení [bit]	Kvantizační zkreslení V_{PP} [mV]
2	712
3	312
4	116
5	42

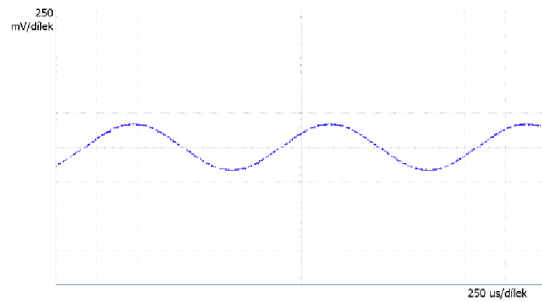
3. Sledujte vliv změny vzorkovacího kmitočtu na přenos harmonického signálu při dodržení Shanon-Kotělnikova teoremu $f < f_{vz}/2$.

Ponechte vstupní signál jako v bodě 1). Filtry nechte vypnuté a zvolte plné rozlišení u obou převodníků. Snižte vzorkovací frekvenci na 10kHz a zakreslete průběh pro audio převodníky i převodníky v procesoru. Komentujte podobnost s měřením v bodě 1 a rozdíly mezi použitými převodníky. S pomocí datového listu použitého audio A/D převodníku CS5381 vysvětlíte příčinu rozdílu.

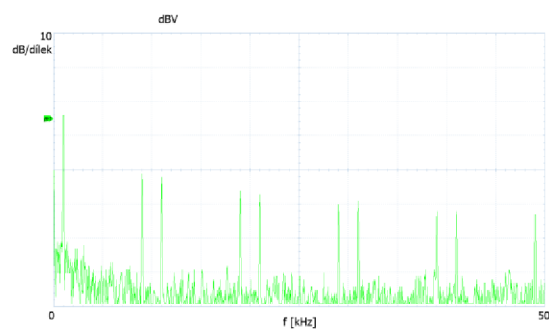
Převodníky v MCU - průběh



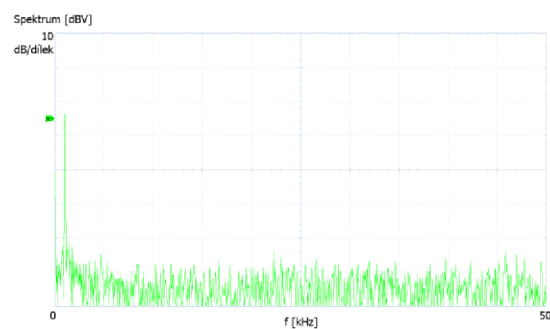
Audio převodníky - průběh



Převodníky v MCU - spektrum



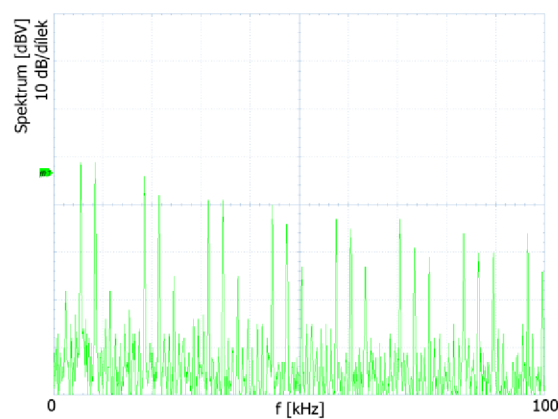
Audio převodníky - spektrum



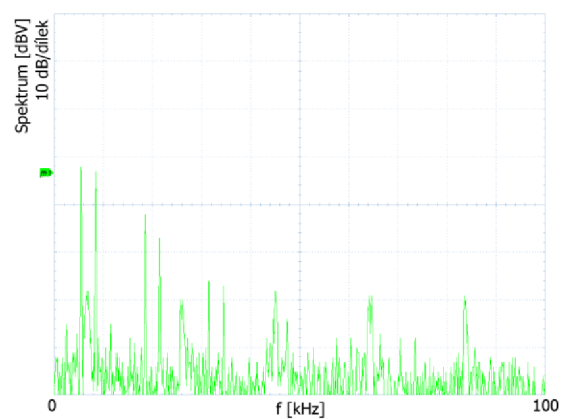
4. Sledujte vliv výstupního filtru na přenos harmonického signálu o frekvenci blízké $f_{vz}/2$.

Změňte frekvenci vstupního signálu na 5 kHz. Zvolte vzorkovací frekvenci 13 kHz pro převodníky v procesoru, pozorujte a zakreslete spektrum. Zapněte výstupní rekonstrukční filtr a pozorujte změny ve spektru. Zapnutím vstupního antialiasingového filtru si můžete ověřit, že zkreslení vzniká v převodníku.

Rekonstrukční filtr vypnut – spektrum



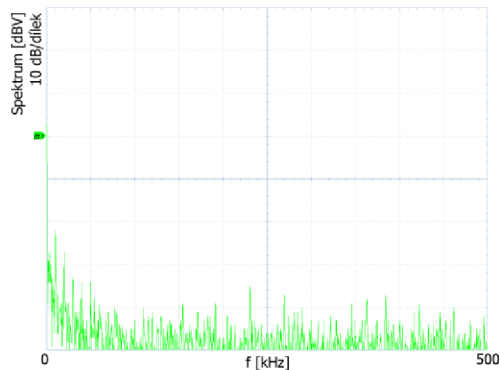
Rekonstrukční filtr zapnut - spektrum



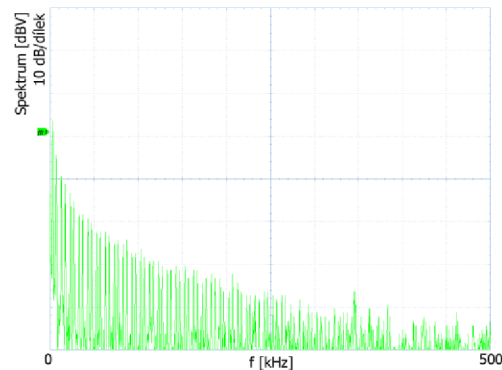
5. Pozorujte rozšíření kmitočtového spektra výstupního signálu vlivem nedodržení Shannon-Kotělnikova teorému.

Nastavte vzorkovací frekvenci na 10 kHz pro převodník v procesoru a rozlišení 12 bitů. Filtry ponechte vypnuté. Zobrazte spektrum výstupního signálu pro zaručené splnění Shanon-Kotělnikova teorému (vstupní frekvence $100 \div 1000$ Hz) a porovnejte ho se spektrem při porušení teorému. Pro názornost zvolte šířku zobrazeného pásma alespoň 200 kHz.

S-K teorém zaručeně splněn



S-K teorém porušen

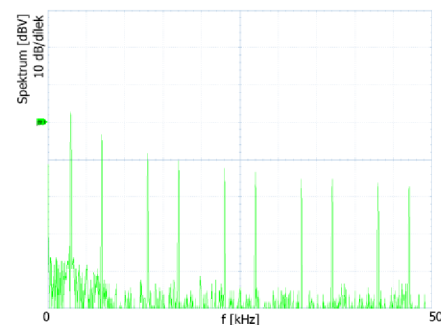


6. Pozorujte vznik aliasingu v kmitočtové oblasti.

Nastavení přípravku ponechte stejné jako v předchozím bodě. Frekvenci vstupního signálu nastavte na 5 kHz a postupně ji zvyšujte. Pozorujte úroveň špiček na zrcadlových frekvencích. Ověřte jejich pozici a periodu opakování. Pozorování popište v závěru.

Spektrum při antialiasingu

Vstupní frekvence: 7 kHz
 Zrcadlení okolo: f_{vz}
 Perioda opakování: 10 kHz



7. Sledujte vznik degradace harmonického signálu nízké úrovně na signál obdélníkový.

Nastavte frekvenci vstupního signálu na 5 kHz s amplitudou 1,3 V. Použijte převodníky v procesoru a zvolte vzorkovací frekvenci 50 kHz. Rozlišení nastavte na 3 bity a snižujte úroveň vstupního signálu až dojde k degradaci výstupního signálu na obdélníkový. V závěru komentujte příčinu vzniku tohoto jevu a jak mu předcházet.

8. Pozorujte přenos dat na I2S sběrnici

Připojte sondy osciloskopu na konektory vyvedené na čelním panelu přípravku. Zapište vzorkovací frekvenci a frekvence jednotlivých signálů a identifikujte, o jaký signál se jedná. Vypočtete poměry mezi jednotlivými taktovacími signály.

POUŽITÉ PŘÍSTROJE

Funkční generátor - Zvuková karta Focusrite Scarlett 2i2
Osciloskop s funkcí FFT Owon PDS 5022S
Symetrický napájecí zdroj (napájení $\pm 18V$)
měřený přípravek „A/D a D/A převodník pro laboratorní výuku“
propojovací vodiče 3 x BNC – BNC, 1 x rozbočovací „T člen“

ZÁVĚR

(Zde každý student čitelně doplní své individuální hodnocení výsledků měření a potvrdí jej svým podpisem. Je třeba podrobně komentovat každý bod měření, každou měřenou charakteristiku nebo jednotlivý výsledek.)

U nízkého zvoleného rozlišení byly jasně patrné přechody mezi kvantizačními hladinami. U převodníku v procesoru byly přechody mezi jednotlivými kvantizačními hladinami strmé, kdežto u audio převodníku šlo vidět zákmity. Při vysokém zvoleném rozlišení nebyl na první pohled zřejmý rozdíl mezi univerzálním a audio převodníkem. Kvantizační šum byl nejvíce viditelný u dvoubitového rozlišení. Jelikož je jeho velikost rovna kvantizačnímu šumu, se zvyšujícím se rozlišením jeho velikost klesala. Při vzorkování signálu s frekvencí splňující Shanon-Kotělníkův teorém byl navzorkovaný signál pomocí převodníku v procesoru podobný signálu v bodu 1. Příčinou tohoto jevu ale v tomto případě nebylo nízké rozlišení, ale nízký počet vzorků na jednu periodu signálu, což vzhledem k nezařazenému rekonstrukčnímu filtru způsobilo strmé přechody mezi stavy. Ve spektru je možné vidět zrcadlové obrazy opakující se s vzorkovací frekvencí. Signál navzorkovaný audio převodníkem odpovídal vstupnímu signálu z důvodu, že převodník využívá metody vícenásobného převzorkování s následnou úpravou pomocí digitálních filtrů a decimace vzorků. Proto je i v spektru obsažena pouze jedna spektrální čára. Ve spektru je při vstupní frekvenci blízké polovině vzorkovací frekvence vidět spektrální čára na 5 kHz představující vstupní signál tak zrcadlové frekvence. Ty jsou vzhledem k nízké vzorkovací frekvenci blízko k užitečnému signálu. V našem případě šlo o spektrální čára na frekvenci 7 kHz. Po zapnutí rekonstrukčního filtru s mezní frekvencí 25 kHz bylo patrné potlačení spektrálních čar za mezním kmitočtem filtru. Vstupní antialiasingový filtr neměl na tento jev vliv - zkreslení vzniká v D/A převodníku. Při vzorkování signálu kdy byl dodržen Shanon-Kotělníkův teorém a navíc vzorkovací frekvence značně převyšovala vstupní frekvenci, bylo spektrum na vysokých kmitočtech tvořeno pouze šumem. Při nesplnění teorému ale došlo k významnému rozšíření spektra vlivem strmých přechodů mezi stavy. Pro pozorování antialiasingu byla zvolena vstupní frekvence 7 kHz. Rozdíl mezi vstupní a vzorkovací frekvencí je pouze 3 kHz a tato složka se také zobrazí ve spektru. K opakování dochází s periodou zvolené vzorkovací frekvence. K degradaci harmonického signálu na signál obdélníkový došlo při snížení vstupního signálu na velikost přibližně jednoho kvantizačního kroku. Vstupní signál tedy nedosáhne vyšších kvantizačních hladin. Předcházet tomuto jevu lze použitím vyššího rozlišení nebo nelineárního kvantování. Signály I2S sběrnice vyvedené na čelní panel jsou zleva: taktovací signál MCLK, rámcová synchronizace LRCLK, bitová synchronizace BCLK a datový signál SDATA. Frekvence rámcové synchronizace odpovídá vzorkovací frekvenci. Taktovací signál MCLK je 256 násobek a bitová synchronizace 64 násobek vzorkovací frekvence. Pro zvolenou vzorkovací frekvenci 48 kHz je tedy frekvence MCLK rovna 12,288 MHz, BCLK odpovídá 3,072 MHz a LRCLK je 48 kHz.

Nízkofrekvenční elektronika (BNFE, SNFE, KNFE)

Laboratorní úloha č. 6 - teoretická část

A/D a D/A převodník pro laboratorní výuku

Cílem úlohy je seznámit studenty s převodem mezi analogovým a digitálním signálem. Přiblíženy jsou základní parametry jako rozlišení a vzorkovací frekvence převodníků a jejich vliv na zpracováváný signál. Studenti si volbou těchto parametrů ověří teoretické předpoklady a získají přehled o vlastnostech a jevech při zpracování nízkofrekvenčního signálu.

ÚVOD

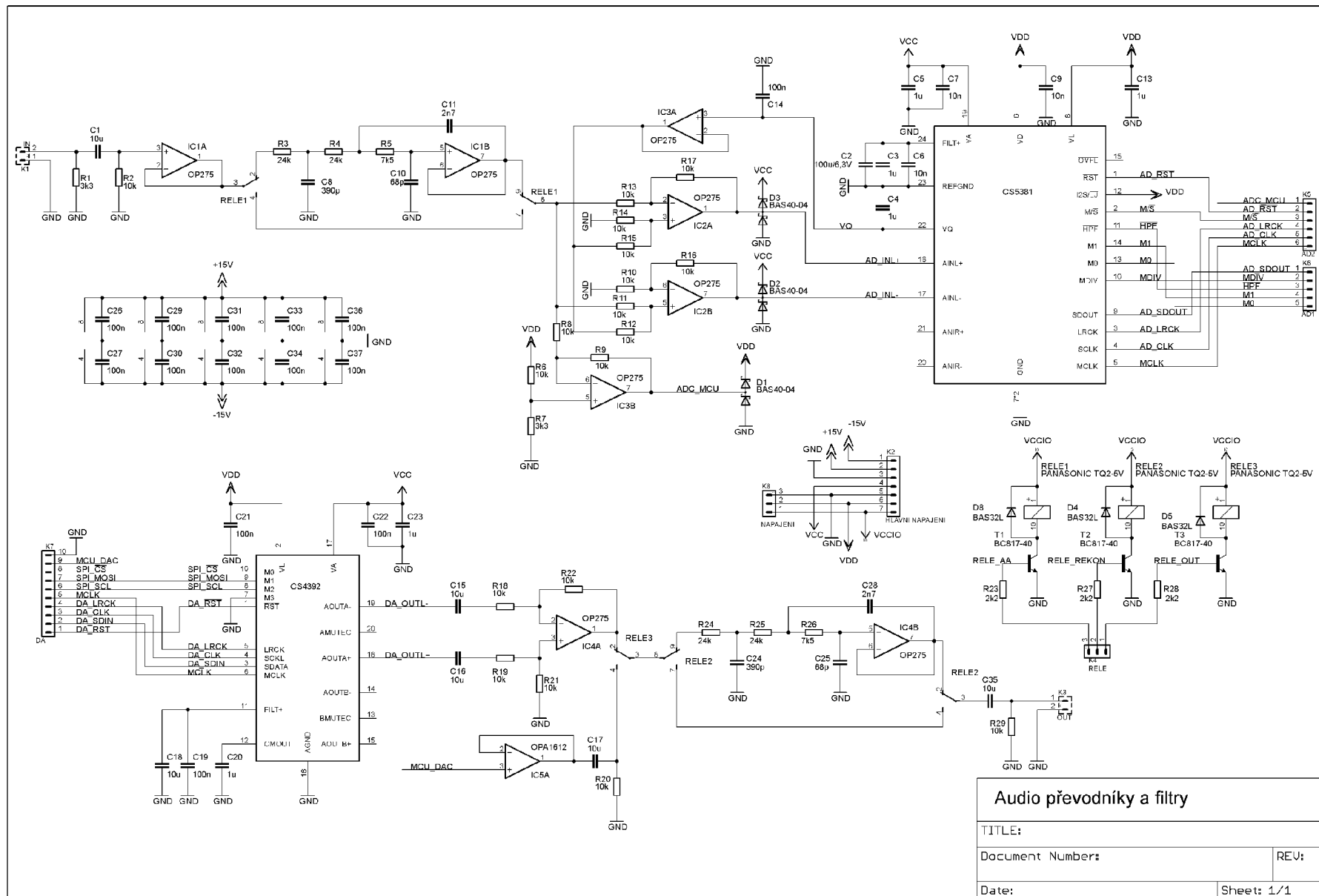
Přípravek demonstrující vliv převodu mezi analogovým a digitálním signálem se sestává z následujících částí:

- Vstupní a výstupní filtr typu HP
- Vypínatelný antialiasingový filtr
- Audio A/D převodník CS5381
- Řídící procesor STM32F405 s integrovaným A/D a D/A převodníkem
- Audio D/A převodník CS4392
- Vypínatelný rekonstrukční filtr
- Napájecí a pomocné obvody

Pro názornou demonstraci je možné měnit jak vzorkovací frekvenci a rozlišení převodníků, tak i vyřazovat z obvodu jak antialiasingový tak i rekonstrukční filtr. Pro porovnání rozdílu mezi převodníky je možné přepnout zpracování mezi audio převodníky (již zmíněné CS5381 a CS4392) a převodníky integrovanými v procesoru. Je možné pozorovat změny signálu jak v časové tak i ve spektrální oblasti spolu s jevy jako antialiasing nebo kvantizační zkreslení.

Vstupní signál přivedený na BNC konektor na zadní straně je veden do desky plošného spoje převodníků do vstupního filtru typu horní propust, kde dojde k odstranění stejnosměrné složky. Pro impedanční oddělení je za ním zapojen operační zesilovač s jednotkovým zesílením. Poté je zapojen antialiasingový filtr, který je možno přemostit pomocí relé. Poté je signál rozdělen k odlišnému zpracování pomocí audio A/D převodníku a převodníku v procesoru. Oba převodníky jsou napájeny nesymetricky, a proto je třeba přidat offset a navíc v případě audio převodníku je potřebné převést signál na symetrický. Po převedení do digitální podoby putuje navzorkovaný signál audio převodníkem po I2S sběrnici do procesoru. Zde dojde podle zvoleného rozlišení k decimaci vzorků a k vyslání (opět po I2S sběrnici k D/A převodníku. Poté je signál zpětně převeden na analogový. V případě audio D/A převodníku je výstupní signál symetrický, a proto je přiveden do rozdílového zesilovače. U výstupu z D/A převodníku procesoru se pouze odstraní stejnosměrná složka ve filtru typu HP. Následuje relé ovládané procesorem sloužící k přepnutí výstupního převodníku. Poté je signál přiveden přes přemostitelný rekonstrukční filtr a výstupní filtr typu HP k výstupnímu BNC konektoru.

Obr. 1 Schéma zapojení přípravku – část s převodníky a filtry



Audio převodníky a filtry	
TITLE:	
Document Number:	REU:
Date:	Sheet: 1/1

Laboratorní úloha č. 6 - protokol

A/D a D/A převodník pro laboratorní výuku

Jméno a příjmení: Studijní skupina:

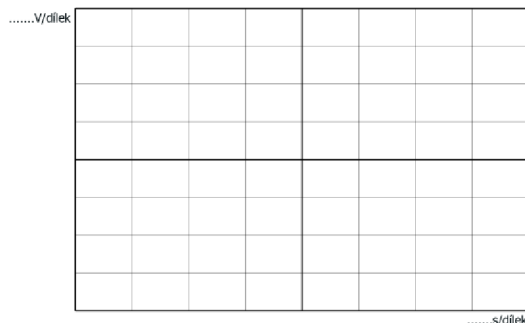
Datum a čas měření: Hodnocení vyučujícího:

ZADÁNÍ A POZNÁMKY K MĚŘENÍ A VYPRACOVÁNÍ PROTOKOLU

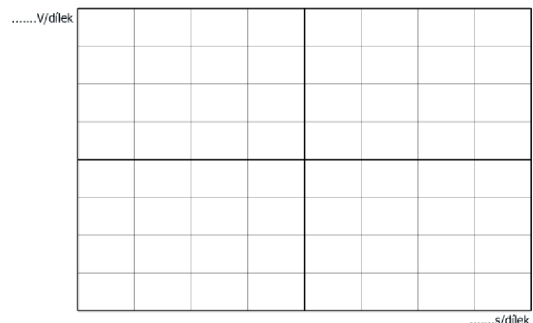
1. Sledujte vliv stupně použitého rozlišení na přenos harmonického signálu.

Nastavte vzorkovací frekvenci na 48 kHz. Jak antialiasingový tak i rekonstrukční filtr nechte vypnutý. Vstupní harmonický signál nastavte na 1 kHz s amplitudou 1,3 V. Při snižování rozlišení až na 2 bity pozorujte tvar výstupního signálu jak pro převodník v procesoru (MCU) nebo audio převodník (Audio). Zakreslete jednu periodu výstupního signálu pro nízké (2 – 3 bity) a vyšší rozlišení (4 a více) pro oba převodníky. Komentujte rozdíly mezi různými rozlišeními a převodníky.

Převodníky v MCU

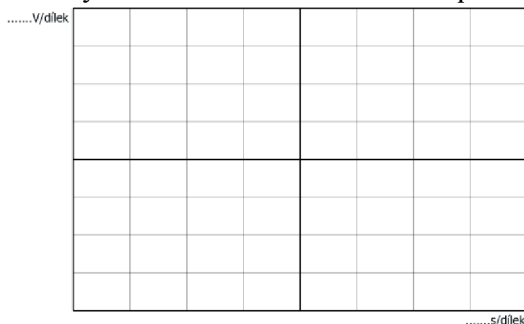


Audio převodníky



2. Sledujte vznik kvantizačního zkreslení při různém zvoleném rozlišení.

Nastavení generátoru ponechte stejné jako v předchozím bodě. Nastavte zvolený převodník jako MCU-KS čím se na výstupu zobrazí kvantizační šum při vzorkování převodníky v procesoru. Nastavte rozlišení na 2 bity. Sledujte velikost a tvar signálu při zvyšování rozlišení. Zakreslete průběh kvantizačního šumu pro rozlišení 2 bity.

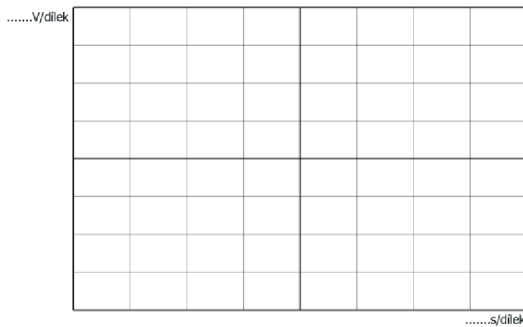


Rozlišení [bit]	Kvantizační zkreslení V_{PP} [mV]
2	
3	
4	
5	

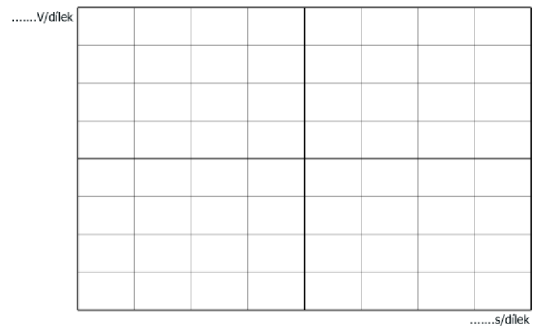
3. Sledujte vliv změny vzorkovacího kmitočtu na přenos harmonického signálu při dodržení Shanon-Kotělnikova teoremu $f < f_{vz}/2$.

Ponechte vstupní signál jako v bodě 1). Filtry nechte vypnuté a zvolte plné rozlišení u obou převodníků. Snižte vzorkovací frekvenci na 10kHz a zakreslete průběh pro audio převodníky i převodníky v procesoru. Komentujte podobnost s měřením v bodě 1 a rozdíly mezi použitými převodníky. S pomocí datového listu použitého audio A/D převodníku CS5381 vysvětlíte příčinu rozdílu.

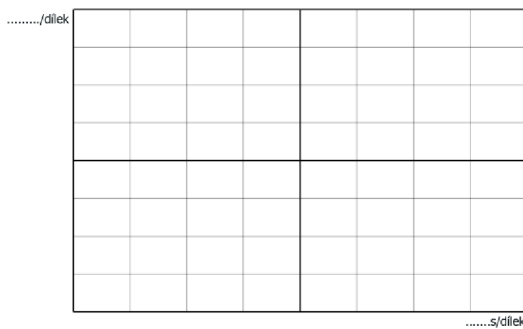
Převodníky v MCU - průběh



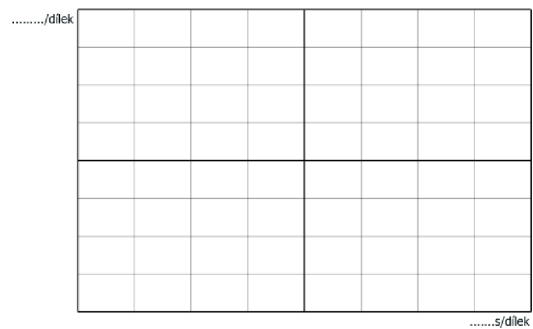
Audio převodníky - průběh



Převodníky v MCU - spektrum



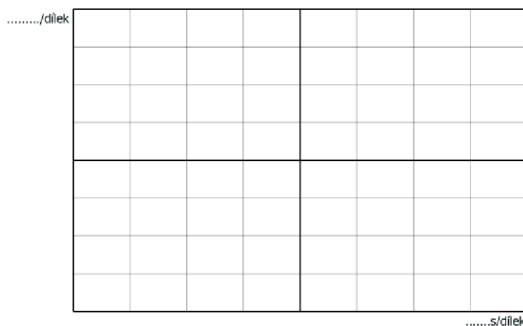
Audio převodníky - spektrum



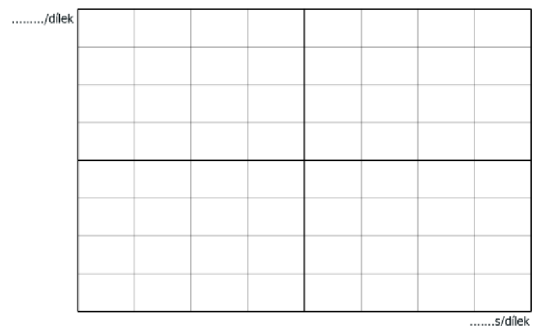
4. Sledujte vliv výstupního filtru na přenos harmonického signálu o frekvenci blízké $f_{vz}/2$.

Změňte frekvenci vstupního signálu na 5 kHz. Zvolte vzorkovací frekvenci 13 kHz pro převodníky v procesoru, pozorujte a zakreslete spektrum. Zapněte výstupní rekonstrukční filtr a pozorujte změny ve spektru. Zapnutím vstupního antialiasingového filtru si můžete ověřit, že zkreslení vzniká v převodníku.

Rekonstrukční filtr vypnut – spektrum



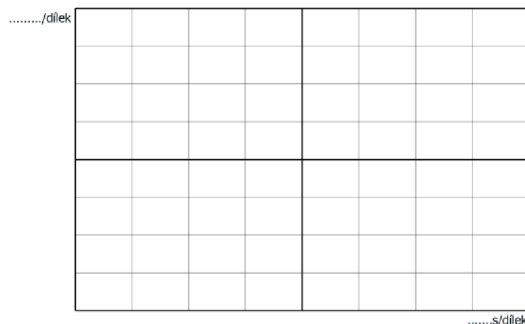
Rekonstrukční filtr zapnut - spektrum



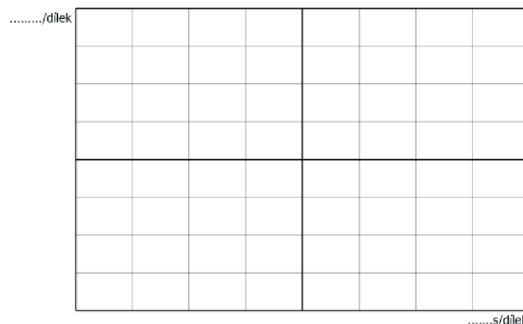
5. Pozorujte rozšíření kmitočtového spektra výstupního signálu vlivem nedodržení Shannon-Kotělnikova teorému.

Nastavte vzorkovací frekvenci na 10 kHz pro převodník v procesoru a rozlišení 12 bitů. Filtry ponechte vypnuté. Zobrazte spektrum výstupního signálu pro zaručené splnění Shanon-Kotělnikova teorému (vstupní frekvence $100 \div 1000$ Hz) a porovnejte ho se spektrem při porušení teorému. Pro názornost zvolte šířku zobrazeného pásma alespoň 200 kHz.

S-K teorém zaručeně splněn



S-K teorém porušen

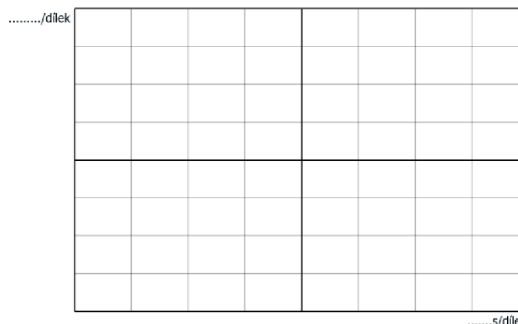


6. Pozorujte vznik aliasingu v časové a kmitočtové oblasti.

Nastavení přípravku ponechte stejné jako v předchozím bodě. Frekvenci vstupního signálu nastavte na 5 kHz a postupně ji zvyšujte. Pozorujte úroveň špiček na zrcadlových frekvencích. Ověřte jejich pozici a periodu opakování. Pozorování popište v závěru.

Spektrum při antialiasingu

Vstupní frekvence:
 Zrcadlení okolo:
 Perioda opakování:



7. Sledujte vznik degradace harmonického signálu nízké úrovně na signál obdélníkový.

Nastavte frekvenci vstupního signálu na 5 kHz s amplitudou 1,3 V. Použijte převodníky v procesoru a zvolte vzorkovací frekvenci 50 kHz. Rozlišení nastavte na 3 bity a snižujte úroveň vstupního signálu až dojde k degradaci výstupního signálu na obdélníkový. V závěru komentujte příčinu vzniku tohoto jevu a jak mu předcházet.

8. Pozorujte přenos dat na I2S sběrnici

Připojte sondy osciloskopu na konektory vyvedené na čelním panelu přípravku. Zapište vzorkovací frekvenci a frekvence jednotlivých signálů a identifikujte, o jaký signál se jedná. Vypočtete poměry mezi jednotlivými taktovacími signály.

POUŽITÉ PŘÍSTROJE

Funkční generátor
Osciloskop s funkcí FFT
Symetrický napájecí zdroj (napájení $\pm 18\text{V}$)
měřený přípravek „A/D a D/A převodník pro laboratorní výuku“
propojovací vodiče 3 x BNC – BNC, 1 x rozbočovací „T člen“

ZÁVĚR

(Zde každý student čitelně doplní své individuální hodnocení výsledků měření a potvrdí jej svým podpisem. Je třeba podrobně komentovat každý bod měření, každou měřenou charakteristiku nebo jednotlivý výsledek.)