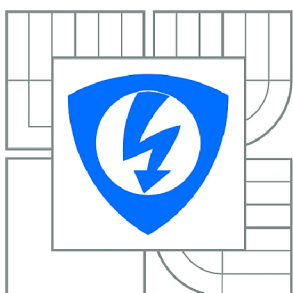


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF RADIO ELECTRONICS

# VÍCEKANÁLOVÝ PŘEVODNÍK DIGITÁLNÍHO VIDEOSIGNÁLU HD-SDI

MULTICHANNEL HD-SDI DIGITAL VIDEO SIGNAL CONVERTER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

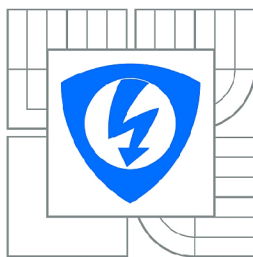
Bc. STANISLAV KUČERA

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. MICHAL KUBÍČEK, Ph.D.

BRNO 2014



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav radioelektroniky

# Diplomová práce

magisterský navazující studijní obor  
**Elektronika a sdělovací technika**

**Student:** Bc. Stanislav Kučera

**ID:** 125511

**Ročník:** 2

**Akademický rok:** 2013/2014

## NÁZEV TÉMATU:

### Vícekanálový převodník digitálního videosignálu HD-SDI

## POKYNY PRO VYPRACOVÁNÍ:

Seznamte se se standardy (3G)HD-SDI a s fyzickou vrstvou rozhraní 10 gigabit Ethernet (10GE). Navrhněte koncepci zařízení na bázi obvodu FPGA pro přenos více kanálů HD-SDI prostřednictvím linky 10GE. Zpracujte rozbor problematiky integrity signálů vysokorychlostních datových linek a aspekty návrhu digitální elektroniky podstatné pro řešení tohoto projektu.

Navrhněte schéma zapojení a desku plošných spojů prototypu konvertoru. Prototyp vyrobte, oživte, proveďte jeho konfiguraci a proveďte ověření jeho vlastností. Na základě zjištěných parametrů a pokynů vedoucího proveďte optimalizaci navrženého řešení.

## DOPORUČENÁ LITERATURA:

[1] MAXFIELD, C. The Design Warrior's Guide to FPGAs. 1st ed. Newnes – Elsevier, Burlington, MA, 2004.

[2] JOHNSON, H. High Speed Digital Design: A Handbook of Black Magic. 1st ed. Prentice Hall, Upper Saddle River, New Jersey, 1993.

[3] IEEE Computer Society: IEEE Std 802.3an™-2006: Amendment 1: Physical Layer and Management Parameters for 10 Gb/s Operation, Type 10GBASE-T. New York, NY 10016-5997, USA.

**Termín zadání:** 10.2.2014

**Termín odevzdání:** 23.5.2014

**Vedoucí práce:** Ing. Michal Kubíček, Ph.D.

**Konzultanti diplomové práce:**

**doc. Ing. Tomáš Kratochvíl, Ph.D.**

*Předseda oborové rady*

## **ABSTRAKT**

Tato diplomová práce se zabývá návrhem elektroniky převodníku šesti kanálů videosignálu SD, HD a 3G HD-SDI na linku 10-Gigabit Ethernet. V úvodní části je stanovena koncepce zařízení. Teoretická část práce rozebírá příslušné standardy a poskytuje podstatné informace týkající se návrhu digitální elektroniky, kde důraz je kladen na integritu signálu na vysokorychlostních linkách. Jsou využity zejména praktické příklady a ilustrace pomocí výpočtů a simulací. Návrhová část obsahuje popis návrhu všech významných bloků, zapojení FPGA, vstupů SDI a obvodu fyzické vrstvy 10-Gigabit Ethernetu. V závěrečné části je shrnuto oživení a měření na vyrobeném prototypu, je uveden příklad srovnávající výsledky simulace integrity signálu s měřením.

## **KLÍČOVÁ SLOVA**

SD-SDI, HD-SDI, FPGA, 10-Gigabit Ethernet, integrita signálu, prokov, SerDes, MGT, LVDS, XAUI, PHY, preemfáze, ekvalizace, spínaný měnič, LDO

## **ABSTRACT**

This master's thesis deals with the design of six channel SD, HD and 3G HD-SDI digital video signal converter to 10-Gigabit Ethernet. In the introductory part, the conception of designed device is formulated. The theoretical background is provided in four chapters, where main standards and design rules related to digital electronics' design are analyzed. The emphasis is placed on signal integrity at high-speed interconnects. There mostly practical examples, calculations and simulations are utilized. The design part contains thorough description of main subsystems' design, implementation of FPGA, SDI input channels and 10-Gigabit Ethernet PHY. In the final part, the first tests and measurements of the build prototype are summarized. As an example, the comparison of signal integrity simulation to measurement is provided.

## **KEYWORDS**

SD-SDI, HD-SDI, FPGA, 10-Gigabit Ethernet, signal integrity, via, SerDes, MGT, LVDS, XAUI, PHY, preemphasis, equalization, switching converter, LDO

KUČERA, Stanislav *Vícekanálový převodník digitálního videosignálu HD-SDI*: diplomová práce. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2014. 110 s. Vedoucí práce byl Ing. Michal Kubíček, Ph.D.

## PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma „Vícekanálový převodník digitálního videosignálu HD-SDI“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno .....

.....

(podpis autora)

## PODĚKOVÁNÍ



Tato práce vznikla v rámci CEITEC - Středoevropského technologického institutu s pomocí výzkumné infrastruktury financované projektem CZ.1.05/1.1.00/02.0068 z Evropského fondu regionálního rozvoje.

Brno .....

.....

(podpis autora)

# OBSAH

<b>Úvod</b>	<b>12</b>
Cíle projektu . . . . .	12
<b>1 Návrh koncepce zařízení</b>	<b>13</b>
1.1 Bloková struktura . . . . .	13
1.2 Výběr hlavních komponent . . . . .	14
<b>2 Vysokorychlostní sériová komunikace</b>	<b>15</b>
2.1 Transceivery v FPGA . . . . .	15
2.1.1 Úvod, výhody integrace . . . . .	15
2.1.2 Využití transceiverů . . . . .	16
2.2 Rozbor bloků a principů SerDes (MGT) . . . . .	17
2.3 Xilinx Spartan 6 LXT - GTP . . . . .	19
2.3.1 Struktura GTP . . . . .	19
2.3.2 Spartan 6 GTP - možnosti vysílače a přijímače . . . . .	19
2.4 Linkové kódy Mb/Nb . . . . .	21
2.4.1 Kód 64b/66b . . . . .	21
2.4.2 Kód 8b/10b . . . . .	21
<b>3 Standardy SMPTE SDI</b>	<b>23</b>
3.1 Úvod . . . . .	23
3.2 Stručné rozdělení a charakteristika SDI protokolů . . . . .	23
3.3 Společné vlastnosti SDI protokolů . . . . .	24
3.3.1 Fyzická vrstva . . . . .	24
3.3.2 Kanálové kódování . . . . .	24
3.3.3 Detekce chyb . . . . .	25
3.3.4 Komponentní video . . . . .	26
3.4 Formát dat pro přenos jednotlivých standardů . . . . .	27
3.4.1 SD-SDI . . . . .	27
3.4.2 HD-SDI . . . . .	27
3.4.3 3G-SDI . . . . .	29
<b>4 10-Gigabit Ethernet</b>	<b>30</b>
4.1 Úvod, použití . . . . .	30
4.2 Fyzická vrstva . . . . .	30
4.2.1 Obvod PHY - Vitesse VSC8486 . . . . .	31
4.2.2 Rozhraní XGMII . . . . .	32
4.2.3 Rozhraní XAUI . . . . .	32

<b>5</b>	<b>Integrita digitálních signálů</b>	<b>34</b>
5.1	Úvod do teorie integrity signálu . . . . .	34
5.2	Základní popis vedení . . . . .	35
5.2.1	Charakteristická impedance . . . . .	36
5.2.2	Odraz na vedení . . . . .	36
5.2.3	Zpoždění na vedení . . . . .	37
5.2.4	Útlum vedení: skin-efekt . . . . .	37
5.2.5	Útlum vedení: ztráty v dielektriku . . . . .	37
5.3	Praktický výpočet parametrů vedení na DPS, důsledky a doporučení . . . . .	38
5.3.1	Praktické vztahy pro výpočet impedance . . . . .	38
5.3.2	Impedanční diskontinuity a jejich řešení . . . . .	39
5.3.3	Praktické vztahy pro výpočet zpoždění signálu . . . . .	40
5.3.4	Výpočet složek a celkového útlumu mikropáskového vedení . . . . .	41
5.3.5	Vliv prokovů DPS na integritu signálu . . . . .	42
5.4	Spektrální skladba digitálního signálu, důsledky . . . . .	44
5.5	Význam preemfáze a ekvalizace . . . . .	45
5.6	Logické standardy . . . . .	46
5.6.1	Vlastnosti diferenciálních signálů . . . . .	46
5.6.2	Standard LVDS . . . . .	47
5.6.3	Standard CML . . . . .	48
<b>6</b>	<b>Návrh elektroniky</b>	<b>50</b>
6.1	Vstupní obvody SDI . . . . .	51
6.1.1	Kabelový ekvalizér LMH0344 . . . . .	51
6.1.2	Deserializér LMH0341 . . . . .	52
6.1.3	Napájení SDI komponent . . . . .	53
6.2	FPGA . . . . .	55
6.2.1	Konfigurace FPGA . . . . .	55
6.2.2	Zapojení LVDS vstupů . . . . .	57
6.2.3	Napájení FPGA . . . . .	57
6.2.4	Taktování FPGA . . . . .	61
6.3	10-Gigabit Ethernet . . . . .	63
6.3.1	Zapojení rozhraní obvodu PHY VSC8486 . . . . .	63
6.3.2	Taktování . . . . .	64
6.3.3	Filtrace napájení . . . . .	64
6.3.4	Modul SFP+, konektor . . . . .	65
6.4	Návrh napájecích zdrojů . . . . .	66
6.4.1	Spínané regulátory . . . . .	67
6.4.2	Lineární regulátory . . . . .	73
6.4.3	Simulace spínaných měničů, filtr s feritovým čipem . . . . .	74
6.5	Další obvody . . . . .	76

6.6	Návrh DPS . . . . .	77
6.6.1	Impedance a geometrie vodičů pro DPS elektroniky projektu . . . . .	77
<b>7</b>	<b>Oživení a testování</b>	<b>80</b>
7.1	Kontrola napájecích zdrojů . . . . .	80
7.2	Test GTP transceiverů - IBERT . . . . .	82
7.2.1	Výstupní signál oscilátoru 156,25 MHz . . . . .	84
7.3	Měření při přenosu dat přes rozhraní XAUI . . . . .	84
7.4	Měření výstupu SDI deserializéru . . . . .	86
7.4.1	Simulace v prostředí HyperLynx SI . . . . .	86
7.4.2	Porovnání naměřeného signálu s výsledkem simulace . . . . .	87
<b>8</b>	<b>Závěr projektu</b>	<b>88</b>
	<b>Literatura</b>	<b>89</b>
	<b>Seznam symbolů, veličin a zkratk</b>	<b>93</b>
	<b>Seznam příloh</b>	<b>94</b>



## SEZNAM OBRÁZKŮ

1.1	Návrh blokové koncepce zařízení. . . . .	13
2.1	Blokové schéma koncepce obecného SerDes [4]. . . . .	17
3.1	Struktura scrambleru pro SDI včetně charakteristické rovnice [6]. . . . .	24
3.2	Ověření scrambleru a descrambleru pro 2. testovací průběh. . . . .	25
3.3	Formát přenosu pro standard SD-SDI [6]. . . . .	27
3.4	Ilustrace prokládání dvou proudů dat pro přenos HD-SDI [6]. . . . .	28
3.5	Formát přenosu pro standard HD-SDI včetně znázornění prokládání [6]. . . . .	28
4.1	Fyzická vrstva Ethernetu v ISO/OSI modelu. . . . .	30
4.2	Blokové schéma PHY VSC8486 pro XAUI [3]. . . . .	32
4.3	Maska diagramu oka pro XAUI [10]. . . . .	33
5.1	Tvar signálu v důsledku odrazů na nezakončeném vedení. . . . .	34
5.2	RLCG model vedení. . . . .	35
5.3	Element RLCG modelu vedení. . . . .	35
5.4	Schéma zapojení vedení pro definici činitele odrazu. . . . .	37
5.5	Diferenciální vedení - microstrip, stripline. . . . .	38
5.6	Celkový útlum vedení dle příkladu, vliv skin-efektu a ztrát v dielektriku. . . . .	41
5.7	Elektrický model VF parazitních parametrů prokovu ve vedení [11]. . . . .	42
5.8	Model prokovu č. 1. . . . .	42
5.9	Model prokovu č. 2. . . . .	42
5.10	Model prokovu č. 3. . . . .	42
5.11	Kmitočtová závislost parametru S21 pro různé typy prokovů. . . . .	43
5.12	Ideální obdélníkový signál, aproximace reálného signálu trapézoidním [11]. . . . .	44
5.13	Spektra ideálního obdélníkového a aproximace reálného signálu [11]. . . . .	45
5.14	Blokové schéma vysílače, přenosového kanálu a přijímače. . . . .	46
5.15	Signál s aplikovanou preemfází a deemfází [10]. . . . .	46
5.16	Budič LVDS se zakončovacím rezistorem na vstupu přijímače [10]. . . . .	48
5.17	CML driver s preemfází a střídavě vázaným blokem přijímače [10]. . . . .	49
6.1	Referenční zapojení ekvalizéru a deserializéru pro SDI vstup - upraveno[19]. . . . .	51
6.2	Blokové schéma SDI ekvalizéru LMH0344 [19]. . . . .	52
6.3	Blokové schéma SDI deserializéru LMH0341 [20]. . . . .	53
6.4	Zapojení konfigurace FPGA ze SPI Flash paměti, JTAG. . . . .	56
6.5	Schéma napájecí větve jádra FPGA pro simulaci. . . . .	60
6.6	Kmitočtový průběh závislosti impedance napájecí větve jádra FPGA. . . . .	60
6.7	Referenční hodinový vstup GTP [5]. . . . .	62
6.8	Fotografie SFP+ modulu [30]. . . . .	65
6.9	Blokové schéma opt. modulu [28]. . . . .	65
6.10	Blokové schéma napájení zařízení. . . . .	66
6.11	Vnitřní blokové schéma regulátoru LMZ22003 [32]. . . . .	68
6.12	Náhradní model kondenzátoru vč. parazitních parametrů. . . . .	70

6.13	Impedance vybraných typů keramických kondenzátorů [36]. . . . .	71
6.14	PSRR napájení LDO v závislosti na kmitočtu a proudu [38]. . . . .	73
6.15	Vnitřní blokové schéma LDO TPS74901 [38]. . . . .	73
6.16	Vložný útlum Pi filtru s feritovým čipem. . . . .	75
6.17	Časový průběh výstupního napětí měniče a filtru. . . . .	75
6.18	Spektra výstupního napětí měniče a výstupu filtru. . . . .	75
6.19	Skladba vrstev navržené DPS. . . . .	77
6.20	Vyrobená DPS 1. prototypu - TOP. . . . .	78
6.21	Impedance vedení na testovacím kuponu, měřeno metodou TDR. . . . .	79
6.22	Vyrobená DPS 1. prototypu - BOTTOM. . . . .	79
7.1	Fotografie druhého prototypu zařízení. . . . .	80
7.2	Zvlnění napájecího napětí 3,3 V. . . . .	81
7.3	IBERT. . . . .	82
7.4	BER pro polohu vzorkování v UI a různé amplitudy signálu. . . . .	83
7.5	Časový průběh hodinového signálu 156,25 MHz, histogram. . . . .	84
7.6	Časový průběh a dekodování signálu na lince XAUI TX3. . . . .	85
7.7	Diagram oka signálu na lince TX3 rozhraní XAUI. . . . .	85
7.8	Náhradní schéma analyzovaného spoje - HyperLynx. . . . .	86
7.9	Průběh signálu na výstupu SDI deserializéru a LVDS vstupu FPGA. . . . .	86
7.10	Průběh hodinového signálu na výstupu SDI deserializéru. . . . .	87

## SEZNAM TABULEK

2.1	Vybrané protokoly podporované integrovanými transceivery v FPGA [4]. . .	16
2.2	Část tabulky pro kód 8b/10b [4]. . . . .	22
3.1	Charakteristika SDI protokolů [6]. . . . .	23
4.1	Rozměry masky signálu XAUI [10]. . . . .	33
5.1	Základní parametry signálu standardu LVDS [10]. . . . .	48
5.2	Příklad parametrů standardu CML [10]. . . . .	49
6.1	Základní požadavky napájení ekvalizéru a deserializéru [18]. . . . .	54
6.2	Konfigurační paměť pro různé varianty obvodů Spartan 6 [21]. . . . .	55
6.3	Typy Flash pamětí podporované nástrojem Xilinx iMPACT [22]. . . . .	56
6.4	Požadavky na napájecí zdroje pro Xilinx Spartan 6 LXT. . . . .	58
6.5	Maximální proudový odběr GTP transceiverů z jednotlivých větví. . . . .	58
6.6	Parametry hodinového signálu pro GTP [5]. . . . .	62
6.7	Nastavení PLL pro XAUI [5]. . . . .	62
6.8	Funkce a pozice pinů konektoru pro SFP+ transceiver [31]. . . . .	65
6.9	Využití jednotlivých napájecích větví (dle označení v blokovém schématu). .	67
6.10	Shrnutí navržených externích součástek spínaných regulátorů. . . . .	72
6.11	Nastavení výstupního napětí nízkoubytkových regulátorů. . . . .	74
6.12	Tloušťka dielektrik. . . . .	77
6.13	Geometrie vodičů pro zadanou skladbu DPS. . . . .	78
7.1	Výstupní napětí zdrojů. . . . .	81
7.2	Proudový a výkonový odběr zařízení. . . . .	81
7.3	Statistické parametry replikovaného referenčního kmitočtu 156,25 MHz. . .	84

# ÚVOD

Zadaný projekt se zabývá vývojem elektroniky zařízení pro převod datového obsahu šesti vstupních kanálů digitálního videosignálu dle standardů SDI pro další přenos prostřednictvím datové linky 10-Gigabit Ethernet. Takové zařízení může sloužit např. pro sdružení videosignálů z kamerového systému a jeho přenos přes datové rozhraní Ethernet po optickém médiu.

Řešený projekt vznikl na základě spolupráce studenta s vývojovým oddělením společnosti působící v oblasti vývoje a výroby elektroniky. Jedná se o vývoj pro externího uživatele, jemuž díky specifickým požadavkům nevyhovovalo žádné v současné době na trhu komerčně dostupné zařízení.

## Cíle projektu

Předložená studentská práce je v souladu s jejím zadáním rozdělena do dvou částí, teoretické a praktické - návrhové.

Cíle teoretické části práce jsou představení a objasnění základních poznatků k technickým řešením nebo standardům, které jsou použity při praktické realizaci ve druhé části.

V úvodu teoretické části práce je uveden návrh koncepce zařízení, jejíž hlavní rysy byly specifikovány již při zadání projektu.

Následující kapitoly se zabývají vysokorychlostními sériovými přenosy, standardy SDI pro přenos nekomprimovaného digitálního videosignálu, koncepcí fyzické vrstvy 10-Gigabit Ethernetu a zejména integritou digitálního signálu na vysokorychlostních spojích.

Cílem praktické části práce je popsat návrh hlavních bloků vyvíjeného zařízení a ověřit jejich funkci. Obsahem šesté, návrhové kapitoly je návrh zejména:

- Vstupních obvodů pro SDI - ekvalizéru a deserializéru.
- Zapojení, konfigurace a napájení FPGA.
- Zapojení obvodu PHY pro 10-Gigabit Ethernet.
- Napájecích zdrojů.
- Desky plošných spojů.

Následující sedmá kapitola zahrnuje ověření funkce těchto bloků, konkrétně oživení vyrobeného prototypu a také vybraná měření na nakonfigurovaném zařízení. Firmware zařízení je výsledkem souběžné práce dalších vývojářů, není tedy předmětem této práce.

V celém projektu jsou přednostně využity zejména ilustrace založené na výsledcích vlastních simulací v prostředí OrCad PSpice, Ansoft HFSS, Matlab, HyperLynx a dalších nástrojích, vycházející z citované literatury.

# 1 NÁVRH KONCEPCE ZAŘÍZENÍ

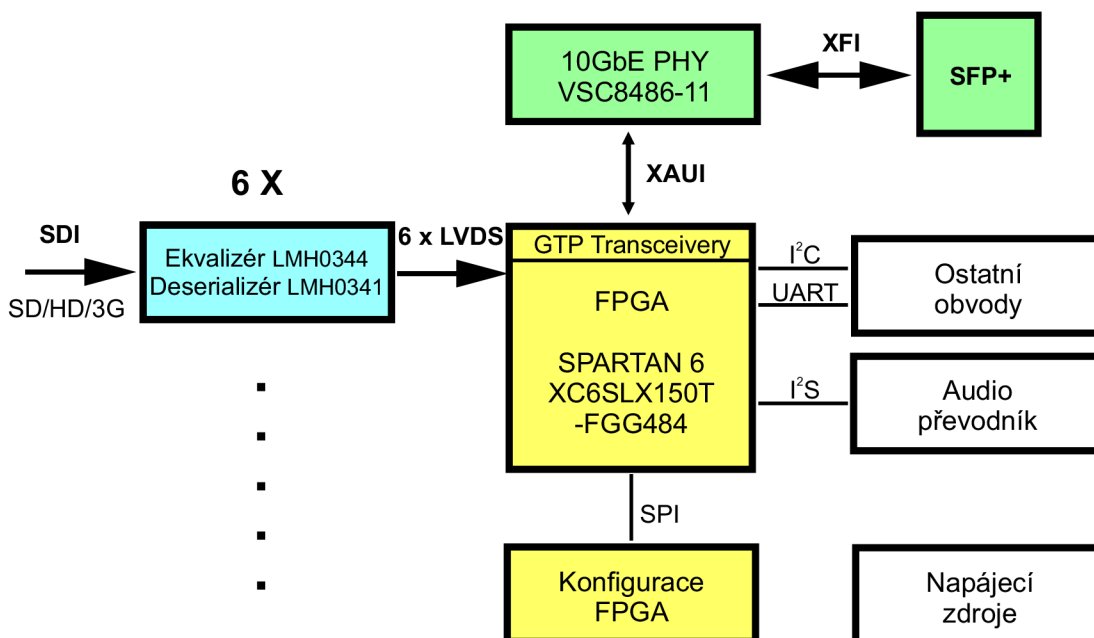
Nejdůležitějšími body specifikace zařízení jsou vyžadovaná vstupní a výstupní rozhraní:

- Šest vstupů pro SDI s kabelovým ekvalizérem, kompatibilní s fyzickou vrstvou SD-SDI, HD-SDI a 3G HD-SDI.
- Datovým výstupem zařízení je plně duplexní 10-Gigabit Ethernet dle normy IEEE 802.3ae, fyzickým rozhraním je konektor s tzv. klecí pro modul SFP+ transceiveru pro optické vedení.
- Implementace A/D převodníku pro digitalizaci dvou analogových audio vstupů s běžnou linkovou úrovní.
- Rozhraní dle standardu RS-422 pro konfiguraci funkce zařízení.

Ostatní požadavky, jimiž jsou např. napájecí napětí, mezní rozměry zařízení, typ a rozmístění konektorů pro vstupy a výstupy na DPS jsou uvedeny a reflektovány v kapitolách zabývajících se návrhem dané části.

## 1.1 Bloková struktura

Na základě požadavků byl sestaven návrh celkové koncepce sestávající z dílčích bloků, vč. pojmenování hlavních komunikačních rozhraní, viz obr. 1.1. Pro hlavní bloky byly zvoleny klíčové komponenty. Dále je provedeno stručné odůvodnění daného řešení.



Obr. 1.1: Návrh blokové koncepce zařízení.

## 1.2 Výběr hlavních komponent

Požadavek zpracovávat takto vysoký datový tok šesti vstupů HD-SDI signálu, v reálném čase jej odesílat přes rozhraní Ethernet a integrovat několik dalších rozhraní společně s vyžadovanou rekonfigurovatelností jednoznačně vede k použití programovatelného logického obvodu FPGA jakožto hlavního výpočetního prvku.

### FPGA

Zvolené FPGA [1] disponuje čtyřmi páry GTP transceiverů pro připojení obvodu PHY pro 10-Gigabit Ethernet prostřednictvím čtyř linek 3,125 Gb/s - rozhraní XAUI. V daném pouzdře lze volit ze 3 stupňů (75T, 100T a 150T) množství integrované logiky, přičemž bylo odhadnuto, že dostatečné množství poskytne obvod s označením 100T, obvody 100T a 150T jsou v aplikaci zaměnitelné s výjimkou nutnosti vygenerovat odlišný konfigurační soubor. Dle dynamických parametrů byl zvolen obvod stupně rychlosti 3.

Bylo upřednostněno řešení s připojením SDI vstupů přes deserializér s pomalejší paralelní sběrnici na běžné vstupní piny. Druhá varianta připojení SDI vstupů přímo do integrovaných vysokorychlostních transceiverů by vyžadovala obvod s vyšším počtem transceiverů. Takové FPGA s dostatečným množstvím integrované logiky (např. rodina Virtex 5) by pro danou aplikaci bylo neúnosně nákladné. Další nevýhodou je také potřeba vyššího počtu napájecích zdrojů.

Pro uložení konfigurace FPGA byla zvolena sériová Flash paměť s rozhraním SPI. Pro danou aplikaci nejsou kladeny přísné požadavky na dobu načtení konfigurace.

### Obvody pro SDI - ekvalizér, deserializér

Jako obvody fyzické vrstvy SDI rozhraní s podporou SD-SDI, HD-SDI i 3G HD-SDI bylo zvoleno řešení výrobce Texas Instruments [2]. Výrobce poskytuje kompletní řadu obvodů pro SDI - ekvalizéry, obvody pro obnovení časování, budiče kabelů, serializéry a deserializéry s podporou všech používaných standardů. Prvním obvodem je adaptivní kabelový ekvalizér LMH0344 sloužící k přizpůsobení datového vstupu k následujícímu obvodu vč. úpravy signálu. Obvod deserializéru LMH0341 provádí převod sériové linky na 6 paralelních LVDS linek (5 datových + 1 hodinová).

### 10-Gigabit Ethernet PHY

Jako obvod fyzické vrstvy byl zvolen Vitesse VSC8486-11 [3] s rozhraním XAUI, jehož výhody oproti rozhraní XGMII jsou objasněny v kapitole 4. Přes výstupní rozhraní XFI je připojen konektor s tzv. klecí určenou pro vložení SFP+ transceiveru pro optické vedení.

## 2 VYSOKORYCHLOSTNÍ SÉRIOVÁ KOMUNIKACE

V následující kapitole jsou v aplikaci na integrované transceivery v obvodech FPGA uvedeny základní informace týkající se vysokorychlostní sériové komunikace. Jsou představeny nejvýznamnější výhody sériové komunikace na tzv. gigabitových linkách, základní parametry běžných protokolů pro přenos dat, obecná koncepce bloku serializér/deserializér včetně vysvětlení významu dílčích subsystémů. Jako praktická ilustrace jsou uvedeny základní parametry a možnosti GTP transceiverů v použitém FPGA Xilinx Spartan 6 LXT. V závěru kapitoly je vysvětlen význam linkových kódů a princip kódování 8b/10b a 64b/66b, které jsou využívány ve většině obvyklých aplikací gigabitových linek.

### 2.1 Transceivery v FPGA

#### 2.1.1 Úvod, výhody integrace

Bloky SerDes (serializér/deserializér) obecně umožňují konverzi sériových/paralelních sběrnic pro vysílání nebo příjem dat prostřednictvím sériové linky. Pojem Multi-Gigabit Transceiver reprezentuje v programovatelných logických obvodech integrované funkční bloky SerDes umožňující sériový přenos dat s bitovou rychlostí vyšší než cca 1 Gb/s. Další víceméně obchodní označení těchto integrovaných transceiverů, v závislosti na výrobci a konkrétním typu obvodu je např. GTP, RocketIO GTP, GTX,...

Zřejmé výhody plynoucí z použití menšího počtu vodičů a jednodušší konstrukce sběrnice, jsou [4]:

- Nižší elektromagnetické vyzařování a interference.
- Nižší spotřebovaný výkon.
- Odbourání problémů se současným spínáním výstupních budičů (SSO).
- Menší a levnější DPS, pouzdra součástek.
- Snadná konverze na metalické nebo optické vedení.

Současné transceivery v nejvyšších řadách obvodů FPGA dosahují přenosových rychlostí až 28 Gb/s na jeden kanál, největší obvody obsahují až několik desítek kanálů s rychlostí nad 10 Gb/s a větší množství „pomalejších“. Celkový počet kanálů transceiverů na jeden obvod může dosáhnout až téměř sta, obvykle je více kanálů sdružováno do bloků sdílejících podpůrné obvody, typicky obvody založené na PLL jakožto zdroj referenčního hodinového kmitočtu. V obvodech FPGA je integrace bloků transceiverů velmi výhodná. Zpracování přijatých sériově řazených dat převedených na vnitřní paralelní sběrnici ideálně koresponduje s principem paralelních a zřetězených algoritmů zpracování dat v programovatelné logice.

### 2.1.2 Využití transceiverů

Technologie MGT umožňuje komunikaci na různých úrovních, např. chip to chip, board to board, tedy mezi obvody (FPGA a PHY, FPGA a ADC atd.) nebo celými systémy (Ethernet, backplane). Možná je komunikace prostřednictvím standardně definovaných protokolů, nebo dle vlastní konfigurace v závislosti na konkrétních požadavcích dané aplikace, neboť technologie je velmi flexibilní.

Nejnámější vybrané standardní protokoly přenosu dat, s možností využití transceiverů v FPGA, jsou shrnuty v následující tab. 2.1, vč. jejich vybraných parametrů [4]. Protokoly HD-SDI a XAUI jsou v projektu využity, v následujících kapitolách jsou tedy blíže teoreticky rozebrány.

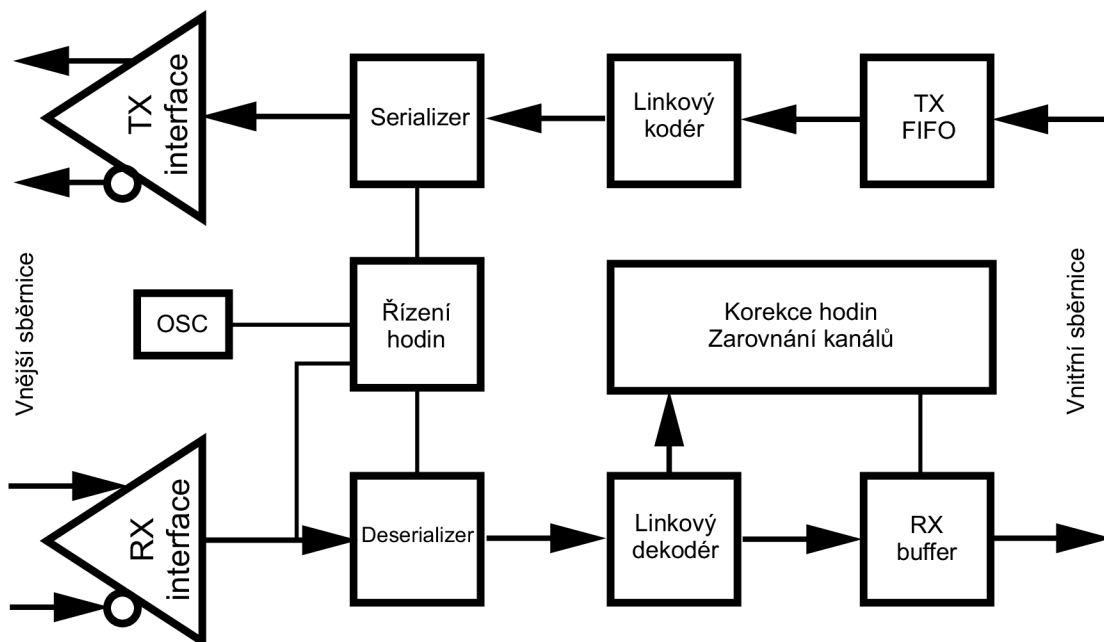
Protokol	BR (Gb/s)	L. kód	Příklad použití
Gigabit Ethernet	1,25	8b/10b	Datové sítě 1Gb Ethernet.
10Gigabit Ethernet	10,3125	64b/66b	Datové sítě 10Gb Ethernet.
XAUI	3,125	8b/10b	Rozhraní mezi PHY a MAC pro 10Gbit Ethernet. Viz kap. 4.
PCI Express 3.0	8,0	128b/130b	Rozhraní pro adaptéry v PC.
Serial ATA 2.0	3,0	8b/10b	Rozhraní pro pevné disky v PC.
3G HD-SDI	2,97	NRZ-I	Přenos digitálního videosignálu. Viz kap. 3.

Tab. 2.1: Vybrané protokoly podporované integrovanými transceivery v FPGA [4].



## 2.2 Rozbor bloků a principů SerDes (MGT)

Mimo bloků serializéru a deserializéru musí MGT obsahovat řadu podpůrných, často komplikovaných funkčních celků. Obecné blokové schéma SerDes na obr. 2.1 je doplněno stručným rozбором obecné koncepce SerDes, resp. MGT [4].



Obr. 2.1: Blokové schéma koncepce obecného SerDes [4].

### Přijímací (RX) interface

Analogový diferenciální přijímací obvod, umožňuje nastavit přizpůsobení/zakončení dle charakteristické impedance linky a dle požadavků použité technologie, resp. logického standardu. Může obsahovat také pasivní nebo aktivní ekvalizaci.

### Vysílací (TX) interface

Analogový budič diferenciální linky, zpravidla umožňuje nastavit rozkmit buzení linky včetně preemfáze.

Detailní rozbor koncepce obvodů pro významné logické standardy, včetně funkce ekvalizace a preemfáze je dostupný v kapitole 5.5.

### Serializér

Převádí paralelně řazená data s bitovou šířkou  $n$  a obnovovací frekvencí  $y$  na sériový proud dat s bitovou rychlostí  $BR = n*y$ .

### Deserializér

Převádí sériový proud dat s bitovou rychlostí  $BR = n*y$  na paralelně řazená data o šířce  $n$  s obnovovací frekvencí  $y$ .

### Linkový kodér

Provádí kódování dat pro přenos - minimalizaci stejnosměrné složky signálu, odstranění dlouhých sekvencí stejné logické úrovně.

### **Linkový dekodér**

Provádí dekódování sekvencí logických úrovní vhodných pro přenos na vedení na žádoucí - původně vysílaná data.

### **TX FIFO**

Vyrovnávací paměť typu FIFO (First In First Out) pro vysílač.

### **RX buffer**

Vyrovnávací paměť FIFO přijímače s variabilní délkou, je nutnou součástí systému s korekcí hodin a zarovnáváním přijatých dat.

### **Řízení hodin, OSC**

Subsystem zajišťující obnovení nosné a synchronizaci hodinových kmitočtů přijímače a syntézu kmitočtu vysílání. Zpravidla se jedná o obvody založené na smyčkách PLL.

### **Korekce hodin, zarovnávání kanálů**

Umožňuje kompenzaci rozdílu obnovených hodinových kmitočtů linky mezi více transceivery a vyrovnání vzájemného zpoždění dat mezi těmito kanály.

### **Další funkce**

Dalšími integrovanými funkčními bloky zahrnutými v transceiverech jsou: aritmetické obvody pro výpočet a kontrolu CRC, kódéry a dekodéry např. 8b/10b a 64b/66b, nastavitelné scramblery a descramblery, generátory pseudonáhodných posloupností PRBS, pokročilé subsystemy pro práci s hodinami a loopback propojení na různých úrovních pro účely testování.

## 2.3 Xilinx Spartan 6 LXT - GTP

FPGA Xilinx Spartan 6 LXT patří do rozšířené rodiny obvodů s vyváženými parametry z hlediska spotřeby, výkonnosti a akceptovatelné ceny pro většinu komerčních aplikací. V nabídce výrobce FPGA Xilinx je řada Spartan 6 LXT nejnižším typem obvodu obsahujícím integrované transceivery. V závislosti na velikosti obvodu, tedy množství logiky a pouzdrů, obsahuje 2-8 GTP transceiverů pro bitové rychlosti až 3,2 Gb/s. Veškerá fakta a podklady této podkapitoly jsou převzaty z aplikační specifikace Xilinx UG386 [5].

### 2.3.1 Struktura GTP

Transceivery jsou sdružené do bloků tzv. GTP DUAL, které obsahují vždy dvě přijímací, dvě vysílací linky a dva externí vstupy referenčního hodinového kmitočtu (společné vždy pro pár přijímač/vysílač). Dále ještě každý blok GTP DUAL využívá oddělené napájecí piny pro každé interní PLL, analogové a digitální interní obvody transceiverů a napětí pro zakončení linek přijímače a vysílače. Tzv. blok GTP BANK obsahuje až dva bloky GTP DUAL sdílící jeden přesný referenční rezistor pro kalibraci zakončovacích obvodů.

Bloky GTP DUAL jsou označeny indexy 101, 123, 245 a 267, číslo řádu stovek udává příslušnost k GTP BANKu, zbytek označení udává čísla linek. GTP BANKy 1 a 2 jsou umístěny na levé a pravé polovině substrátu, jsou tedy prostorově a funkčně odděleny. Nejmenší obvod řady LXT obsahuje pouze 1 GTP BANK s jedním blokem GTP DUAL, tzn. že umožňuje použití dvou párů přijímacích a vysílacích linek, oproti tomu obvody v největších pouzdrůch FG676 a FG900 mají oba GTP BANKy v plné konfiguraci, tedy celkem 8 párů přijímač + vysílač. Použité FPGA v pouzdře FGG484 obsahuje 1 blok GTP BANK se dvěma GTP DUAL (101 a 123).

V příloze A se nachází schematická struktura bloku GTP DUAL převzatá z dokumentace. Veškeré možnosti, funkční bloky a jejich koncepci, signály a registry pro jejich nastavení nelze v práci zcela postihnout, v následujících podkapitolách jsou tedy rozebrány pouze části důležité a zajímavé vzhledem k zaměření práce.

### 2.3.2 Spartan 6 GTP - možnosti vysílače a přijímače

V příloze B se nachází schematická struktura bloku GTP Transceiveru převzatá z dokumentace. Od popsané obecné koncepce SerDes se v principu neliší, odlišné jsou pouze specifické a doplňkové funkce.

Vysílač a přijímač transceiveru jsou nezávislé obvody využívající PLL pracující na kmitočtu 1,2288 - 1,5625 GHz vybavené řadou násobiček a děliček kmitočtu pro úpravu referenčního vstupního kmitočtu vedoucí k získání bitové rychlosti linky. Bitová rychlost linky se může pohybovat v pásmech 614 - 810 Mb/s, 1,22 - 1,62 Gb/s a 2,45 - 3,125 Gb/s.

## Vysílač (TX)

Vysílač je serializér s konverzním poměrem - šířkou vstupních dat portu TXDATA 8, 16 nebo 32 bitů, která jsou synchronizována náběžnou hranou signálu TXUSRCLK2. Ve stejném poměru je vydělen kmitočet linky - signál TXOUTCLK, který je používán pro registraci paralelních dat z interní logiky skrz FIFO paměť s možností kódování 8b/10b. V případě použití kodéru je skutečná šířka dat 10, 20 nebo 40 bitů, navíc pro nejvyšší bitové rychlosti linky lze využít pouze vstupní port konfigurovaný pro šířku 4 bajtů. Pro účely testování lze místo uživatelem definovaných dat využít PRBS generátor s polynomem řádu 7, 15, 23 a 31, předdefinovaný pravoúhlý signál různých period nebo testovací průběh dle specifikace PCI Express. Diferenciální sériový výstup využívá budič v proudovém módu CML s konfigurovatelným rozkmitem výstupního signálu  $205 - 1106 mV_{pp}$  a preemfází  $0 - 7,6 dB$  pro kompenzaci vlivu parazitních vlastností vedení.

## Přijímač (RX)

Funkce přijímače je v principu inverzní, diferenciální vstupní obvod s volitelným zakončovacím obvodem umožňuje úpravu zisku na vysokých kmitočtech programovatelným ekvalizérem v rozsahu  $0 - 8,4 dB$ . Pomocí bloku CDR je obnoven a synchronizován hodinový kmitočet linky. Po převodu sériových dat deserializérem na paralelní jsou data volitelně zarovnána a synchronizována s dalšími paralelními linkami, pokud je protokol využívá, zároveň jsou extrahovány důležité stavové symboly linky - např. K symboly. Synchronizovaná a případně dekodovaná data - signál RXDATA o šířce 1 - 4 bajtů jsou poté společně s příslušným hodinovým signálem RXUSRCLK k dispozici pro zpracování v logice.

## Napájení, taktování

Integrované GTP transceivery jsou, mj. kvůli integrovaným PLL, prvkem citlivým na kvalitu napájecích větví, které by měly být odděleny od jádra FPGA a vybaveny filtry pro potlačení rušivých složek. Rovněž časové parametry vstupních referenčních hodin musí splňovat určitá kritéria. Tyto požadavky jsou upřesněny v návrhové části, zde bude proveden návrh napájecích obvodů a také volba vhodného oscilátoru s opakovacím poskytováním více synchronních hodinových výstupů nezbytných pro GTP transceivery, vnitřní logiku FPGA a obvod PHY.

## Konfigurace

Transceivery obsahují větší množství uživatelem definovatelných a konfigurovatelných funkcí a parametrů, doporučeným způsobem konfigurace transceiverů je použití nástroje Xilinx CORE Generator (položka GTP Transceiver Wizard) zahrnující předdefinované nastavení pro standardní protokoly s možností libovolného nastavení dle vlastních požadavků.

## 2.4 Linkové kódy Mb/Nb

Linkové kódy Mb/Nb pracují na principu mapování m-bitového bloku dat na delší n-bitový symbol vhodný pro přenos. Cílem je dosažení stálé hodnoty stejnosměrné složky, přesně definované a nízké hodnoty disparity a vytvoření dostatečně častých přechodů logických úrovní pro spolehlivé obnovení hodinového signálu. Princip vytvoření zakódované posloupnosti se pro různé kódy Mb/Nb liší.

### 2.4.1 Kód 64b/66b

Kód 64b/66b je tvořen fixní dvoubitovou preambulí a 64 datovými bity, pokud má preambule hodnotu '01', následuje 64 datových bitů, v případě hodnoty '10' následuje typový bajt a 56 řídicích nebo datový bitů. Hodnoty preambulí '00' a '11' indikují chybu. Všech 64 datových bitů následujících za preambulí je v obou případech vytvořeno scramblingem vstupních dat bloku. Synchronizace a zarovnání dat je v přijímači zjištěno z pozice preambule.

Rovnice pro definici vybraného typu scrambleru pro kód 64b/66b je

$$X^{58} + X^{39} + 1 = 0, \quad (2.1)$$

jehož implementaci v FPGA je obecně možné provést jak sériovou, tak paralelní. Pro delší posloupnosti, zejména při gigabitových rychlostech je upřednostňovaná paralelní implementace. Prakticky jsou však kodéry a scramblery realizovány v transeiverech jako dedikované funkční bloky v signálové cestě, s možností přemostění nebo i modifikace funkce [4].

### 2.4.2 Kód 8b/10b

Kódování 8b/10b je velmi častým standardem používaným pro přenos na vysokorychlostních sběrnicích pro známé a obvyklé technologie, např. PCI Express (do revize 2.0), Serial ATA, XAUI, DVB-ASI, DisplayPort, DVI, HDMI, HyperTransport, USB 3.0, FireWire [4].

Z analýzy funkce kódování 8b/10b vyplývají dvě zásadní skutečnosti:

- Rozdíl mezi počtem stavů log. 1 a log. 0 v sekvenci (disparita) nejméně 20 bitů, který není větší než 2.
- Maximální počet pěti bitových period stejné logické úrovně v řadě.

Princip kódování 8b/10b:

8 datových bitů je rozděleno na trojici a pěťici bitů. Tříbitová část je zakódována do 4 bitů, 5bitová část je zakódována do 6 bitů.

Výsledný kód o délce 10 bitů reprezentuje 256 datových symbolů a 12 speciálních symbolů (příkazy, synchronizace), které bývají označovány jako tzv. D – datové a K - speciální symboly, celkem tedy 268 zakódovaných sekvencí.

Pomocí deseti bitů lze vyjádřit  $2^{10}$  tedy 1024 symbolů, řada z nich je ale nevyhovujících kvůli dlouhým sekvencím stejné logické úrovně. Z pohledu disparity je neutrálních 134 symbolů (např. D3.6), pro ostatní symboly jsou nalezeny sekvence s oběma stavy disparity, tedy +2 a -2. Průběžná disparita RD (running disparity) je agregovaná hodnota disparity všech předchozích zakódovaných symbolů. U paketových přenosů je zpravidla počítána od začátku každého paketu. Kódovací proces zajišťuje nastavení RD na hodnotu +1 nebo -1 na konci každého symbolu (bloku), pokud je disparita následujícího symbolu neutrální, hodnota se nemění. Pokud má hodnotu +2 nebo -2, je vybrán následující symbol s disparitou takovou, aby její součet s průběžnou disparitou byl stále +1 nebo -1. V tab. 2.2 je příklad části kódovací/dekódovací mapovací tabulky kódu 8b/10b [4].

Symbol	Vstupní bajt HGF EDCBA	10-bitový kód (RD-) abcdei fghj	10-bitový kód (RD+) abcdei fghj
D2.4	100 00010	101101 0010	010010 1101
D3.6	110 00011	110001 0110	110001 0110
K28.5	101 11100	001111 1010	110000 0101

Tab. 2.2: Část tabulky pro kód 8b/10b [4].

Režie pro kódování Mb/Nb:

Poměr efektivní datové rychlosti k bitové rychlosti linky je u blokových kódů Mb/Nb dán přímo poměrem M/N. Lze tak snadno stanovit efektivní bitovou rychlost linky a režii tohoto kódování [4].

Příklad výpočtu efektivní datové rychlosti a režie:

Bitová rychlost linky: 3,125 Gb/s.

Linkový kód: 8b/10b.

$$E_{\text{fektivní datová rychlost}} = \text{Bitová rychlost linky} * \text{kódovací poměr} \quad (2.2)$$

$$BR_{\text{eff}} = 3,125 * 8/10 = 2,5 \text{ Gb/s} \quad (2.3)$$

$$\text{Režie} = (\text{Bitová rychlost linky} - E_{\text{fektivní datová rychlost}}) / \text{Bitová rychlost linky} \quad (2.4)$$

$$\text{Režie} = (3,125 - 2,5) / (3,125) * 100 = 20 \% \quad (2.5)$$

Pro porovnání, pro kód 64b/66b činí režie vypočítaná obdobným způsobem pouze cca 3 % kapacity linky, což zajišťuje její lepší využitelnost.

### 3 STANDARDY SMPTE SDI

Následující kapitola představuje vznik standardů SDI, nejčastější formát digitálního video-signálu, základní parametry hlavních protokolů a principy společné všem SDI protokolům - koncepci fyzické vrstvy a linkového kódování. Pro každý ze tří hlavních protokolů je na jednom řádku v proudu dat demonstrován formát dat při přenosu.

#### 3.1 Úvod

V devadesátých letech 20. století bylo v televizních studiích a režiiích instalováno již velké množství přenosových vedení, tedy koaxiálních kabelů, pro stávající analogové technologie. Od té doby však veškeré technologie rychle procházely digitalizací, aby bylo možné původní přenosová média dále využívat, bylo vyvinuto sériové digitální rozhraní (SDI) pro přenos videosignálu. V současné době jsou tyto standardy dominantní v oblasti studiové techniky, resp. přenosu nekomprimovaného videa. Jako SDI jsou označovány standardy rozhraní pro přenos vytvořené Mezinárodní společností pro televizní a video techniky (SMPTE). Tato společnost je stejně jako další velká profesní sdružení, např. IEEE nebo ITU, významným tvůrcem norem v oblasti přenosu videa a zvuku.

#### 3.2 Stručné rozdělení a charakteristika SDI protokolů

Standard SD-SDI byl vyvinut jako přímá digitální náhrada přenosu kompozitního video-signálu ve formátech PAL nebo NTSC. S rozvojem multimediální techniky vzrůstala ze strany uživatelů a diváků poptávka po reprodukci obrazu s vysokým rozlišením, bylo tedy vyvinuto rozhraní HD-SDI s více než pětinasobnou šířkou pásma. Rozhraní HD-SDI je využitelné pro řadu různých norem dle SMPTE. Verze s dvojnásobnou bitovou rychlostí 3G-SDI je zpravidla zpětně kompatibilní s předchozími přenosovými normami, umožňuje přenos s dvojnásobnou snímkovou frekvencí, což lze využít také pro multiplexování dvou HD-SDI kanálů - rozdílných nebo stereoskopických. Zmíněné standardy jsou určeny pro přenos nekomprimovaných dat, pro komprimovaná data je používán standard DVB-ASI. Společně s digitálním videosignálem je možnost přenášet i vícekanálový zvukový doprovod nebo jiná data. V tab. 3.1 jsou uvedeny příklady základních parametrů hlavních standardů [6].

Protokol	Norma SMPTE	Bitová rychlost	Možnosti formátu obrazu
SD-SDI	259M	270 Mb/s	Ekvivalentní k normám PAL nebo NTSC
HD-SDI	292M	1,485 Gb/s	Až 1920x1080 pix / 30 Hz (neprokl.)
3G-SDI	424M	2,97 Gb/s	Až 1920x1080 pix / 60 Hz (neprokl.)

Tab. 3.1: Charakteristika SDI protokolů [6].

### 3.3 Společné vlastnosti SDI protokolů

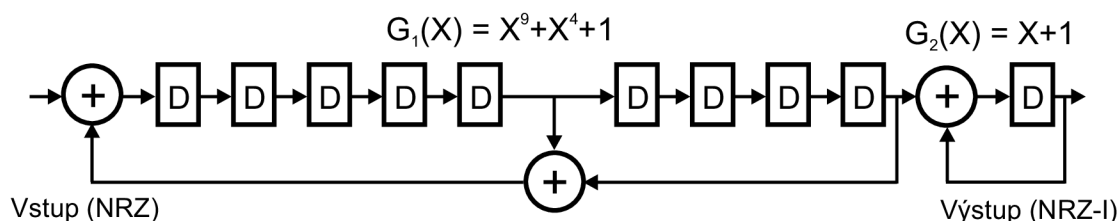
#### 3.3.1 Fyzická vrstva

Pro distribuci signálu jsou dle normy pro SD-SDI i HD-SDI využívány koaxiální kabely s impedancí  $75 \Omega$  a konektory typu BNC. Rozkmit signálu je  $800 mV_{pp}$ , stejnosměrná složka signálu je nulová, všechny vstupy i výstupy SDI komponentů jsou vázány střídavě kapacitou  $1 - 10 \mu F$ . Odůvodnění pro takto neobvykle vysoké vazební kapacity vychází z potřeby přenášet specifické průběhy, dle kap. 3.3.2. Signál dle SD-SDI lze při použití kvalitních kabelů a zařízení s ekvalizací linky bez opakování přenášet i na vzdálenost více než 400 m, pro HD-SDI je dosažitelná vzdálenost přibližně 100 - 200 m. Použití stejných komponent pro SD i HD-SDI není vyloučeno, pro tento případ je nutné, aby bylo možné nastavit parametr Slew-Rate, tedy strmost náběžných a sestupných hran signálu do definovaného rozsahu, který je pro oba standardy různý [6].

#### 3.3.2 Kanálové kódování

Společnou vlastností SDI protokolů je přenos 10bitových slov, které jsou vysílány skrze sériový interface do přenosového kanálu. Slova jsou řazena sériově a vysílána od nejméně významného bitu.

Tento proud dat je kódován pomocí scrambleru, jehož funkční schéma a charakterizující rovnice je popsána na obr. 3.1 [6]. Výsledný kód vzniká kombinací NRZ a NRZ-I kodéru, nejvýznamnější vlastnosti tohoto kódu jsou velmi časté změny logické úrovně na lince, nulová režie kódování (datový tok není navýšen) a také fakt, že není třeba zachovat původní polaritu signálu pro korektní interpretaci přijatých dat. Na straně přijímače jsou přijatá data dekódována inverzní funkcí. Obecný smysl linkových kódů a další možné typy kódování jsou představeny v kap. 2.4.



Obr. 3.1: Struktura scrambleru pro SDI včetně charakteristické rovnice [6].

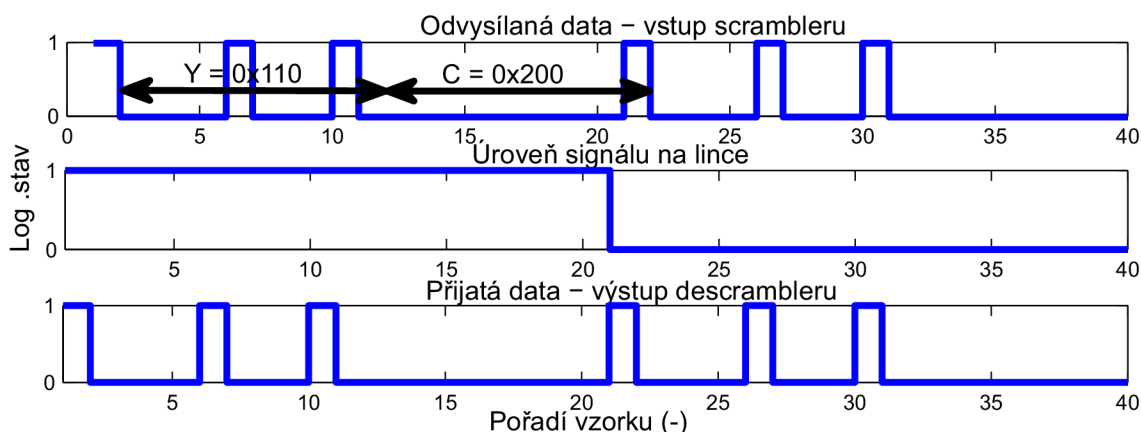


Takto kódovaný signál může obsahovat jeden ze dvou specifických průběhů, v originální specifikaci zvané „pathological waveforms“ [7]:

1. Posloupnost 1 bitu s úrovní log. 1 a 19 bitů úrovně log. 0, nebo inverzně. Tomuto odpovídají vysílaná data se složkami  $C = 0x300$   $Y = 0x198$
2. Obdélníkový signál s periodou 40 bitových period a střídou 1:1, tedy série dvaceti log. 1 následovaná dvaceti log. 0. Vysílaná data jsou:  $C = 0x200$   $Y = 0x110$

Tyto průběhy jsou využívány pro zátěžové testování komponent přenosového řetězce. Průběh 1. je určen pro testování kabelového ekvalizéru a ověření správného návrhu vazebních a zakončovacích obvodů. Průběh 2. je použit pro testování kvality obnovy hodinového signálu pomocí PLL z proudu dat.

Na obr. 3.2 jsou znázorněny průběhy ilustrující funkci představeného typu scrambleru a descrambleru pro SDI se vstupními daty dle 2. testovacího průběhu. Po odvysílání dat hodnoty  $C = 0x200$   $Y = 0x110$  v pořadí od LSB je na lince měřitelný právě 2. testovací průběh, pokud se pro obnovení descramblerem použije inverzní funkce k danému scrambleru, obnovená data jsou shodná s odvysílanými. Příklad byl vytvořen v prostředí Matlab/Simulink.



Obr. 3.2: Ověření scrambleru a descrambleru pro 2. testovací průběh.

### 3.3.3 Detekce chyb

V protokolech SDI je implementována jako nepovinný protokol EDH, neumožňuje znovuvyslání vadných rámců ani korekci chyby, jen její detekci. Princip výpočtu se pro jednotlivé standardy liší. V případě HD-SDI je pro každý rámeček videa, z úseků aktivního obrazu a také mj. z čísla řádku, vypočítán CRC a vložen do dvou slov na konec aktivních dat daného řádku. Konkrétní postup je dostupný v [6].

### 3.3.4 Komponentní video

Analogový videosignál je pro klasické zobrazovací systémy reprezentován třemi RGB (červený, zelený a modrý) signály, pro přenos však není tento barevný model vhodný, neboť obsahuje velké množství nadbytečné informace. Výhodnou možností komprimace je použití jiného, úspornějšího barevného modelu [8].

Y'Cb'Cr' je barevný model používaný u videa nebo digitální fotografie, vzniká matcováním RGB signálu. Ve standardech SDI je obrazová informace uchována a přenášena ve formátu Y'Cb'Cr' s různým vzorkovacím kmitočtem pro lumenanční a chrominanční signály.

Y' - lumenanční (jasový) signál

Cb',Cr' - modrý, červený chrominanční (barevný) komponent

Tento barevný model využívá charakteristických vlastností lidského zrakového systému, který je citlivější na změny jasu, než na odchylku v barvě [8]. Zřejmá výhoda takového kódování je uvedena v následujícím příkladu:

Základní vzorkovací kmitočet  $f_s = 13,5 \text{ MHz}$ , bitová hloubka  $B = 10 \text{ bitů}$ .

Označení signálu např. 4:4:4 Y'Cb'Cr' znamená, že všechny tři složky jsou vzorkovány stejnou šířkou pásma. Vyžaduje tedy datový tok celkem:

$$BR_{4:4:4} = 3 * f_s * B = 405 \text{ Mb/s.} \quad (3.1)$$

Signál vzorkovaný jako 4:2:2 Y'Cb'Cr', tedy s poloviční šířkou pásma pro chrominanční komponenty vyžaduje datový tok:

$$BR_{4:2:2} = f_s * B + 2 * f_{s/2} * B = 270 \text{ Mb/s.} \quad (3.2)$$

Druhý uvedený příklad vzorování 4:2:2 Y'Cb'Cr' s datovým tokem  $BR_{4:2:2} = 270 \text{ Mb/s}$  je využíván pro standardy SD-SDI, oproti prvnímu příkladu vyžaduje pouze 2/3 datového toku, přičemž rozdíl v kvalitě obrazu divák nerozliší [8].

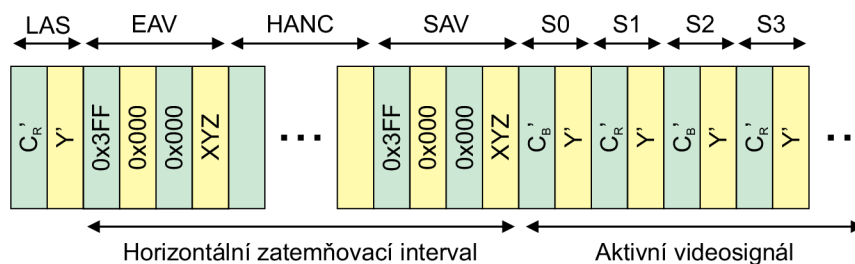
### 3.4 Formát dat pro přenos jednotlivých standardů

Nezávisle na tom, zda data mapovaná do datového kanálu je nekomprimovaný digitální videosignál nebo jakákoliv jiná data, vždy musí být dělena na úseky stejné délky, zvané řádky. Řádek je základní prvek proudu SDI dat, při přenosu nekomprimovaného videa řádky v přenosovém proudu dat odpovídají řádkům obrazu. Podklady následující kapitoly jsou převzaty z [6].

#### 3.4.1 SD-SDI

Nejčastější formát videa přenášený přes SD-SDI rozhraní je 4:2:2 Y'Cb'Cr' komponentní videosignál, resp. sériově řazená 10bitová slova. Rozlišení a snímková frekvence obrazu odpovídá standardu PAL nebo NTSC, přestože jsou normou definovány i další bitové rychlosti, pro většinu aplikací je využívána právě varianta s datovým tokem 270 Mb/s.

Formát jednoho řádku SD-SDI vyjmutého z proudu dat je znázorněn na obr. 3.3. Poslední vzorek předchozího řádku LAS (last active sample) následuje fixní sekvence EAV (end of active video), mezera HANC (horizontal ancillary) a sekvence SAV (start of active video). Tato část je nazývána horizontální zatemňovací interval. Sekvence SAV a EAV mají shodně 4 slova, první tři slova obou sekvencí jsou shodná, první obsahuje 10 bitů úrovně  $\log. 1 = 0x3FF$ , následující dvě slova po 10 bitech  $\log. 0 = 0x000$ . Čtvrté slovo je nazýváno XYZ, obsahuje časovací bity F (lichý nebo sudý řádek), V (vertikální zatemňovací interval) a H (úroveň 1 = EAV, 0 = SAV) a ochranné bity. Následující aktivní část proudu dat obsahuje vzorky  $S_x$  chrominančních a lumenančních slov, přičemž chrominanční komponenty Cb' a Cr' jsou vysílány střídavě.



Obr. 3.3: Formát přenosu pro standard SD-SDI [6].

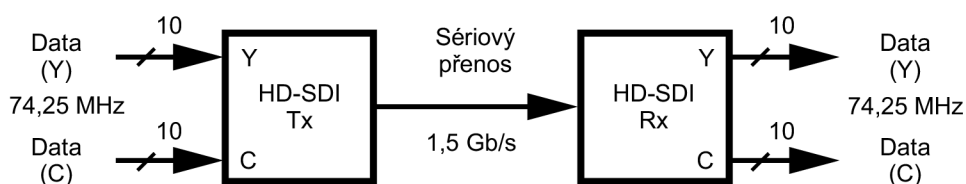
#### 3.4.2 HD-SDI

Pro HD-SDI jsou definovány dvě bitové rychlosti 1,485 Gb/s a 1,485/1,001 Gb/s. Pro první z nich jsou definovány přesné obnovovací frekvence obrazu 60 Hz, 50 Hz, 30 Hz, 25 Hz a 24 Hz. Druhá varianta s o 0,1 % nižším datovým tokem je často označovaná přidáním písmenem M k hodnotě snímkové frekvence, která má hodnoty nižší, např. 59,94 Hz. Se stejným poměrem se mění také vzorkovací frekvence, jsou tedy možné varianty jak 74,25 MHz tak 74,25/1,001 MHz.

Nejčastějšími formáty videa s HD rozlišením a vzorkováním 4:2:2 Y'Cb'Cr' jsou:

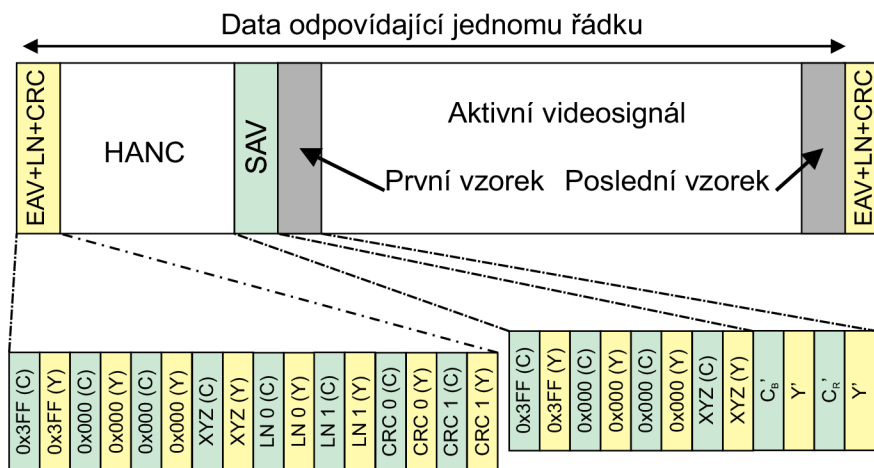
- SMPTE 274M - 1080 aktivních řádků (rozlišení obrazu 1920 x 1080 pix.)
- SMPTE 296M - 720 aktivních řádků (rozlišení obrazu 1280 x 720 pix.)

Princip přenosu sériového proudu dat HD-SDI je znázorněn na obr. 3.4. Na straně vysílače - blok HD-SDI Tx je datový proud vytvořen prokládáním dvou datových signálů Y a C. Data přijatá blokem HD-SDI Rx ze sériového přenosu obnoví opět dva signály Y a C o šířce 10 bitů, jejichž informace zřejmě odpovídá lumenům a chrominancím vzorkům. Jako první jsou vyslána data C v pořadí od nejméně významného bitu. Kanálové kódování je shodné s SD-SDI.



Obr. 3.4: Ilustrace prokládání dvou proudů dat pro přenos HD-SDI [6].

Na obr. 3.5 je objasněn formát vybraného řádku HD-SDI. Koncept se v principu od SD-SDI liší jen rozšířením sekvencí SAV a EAV o dvě slova reprezentující číslo řádku LN (line number) a dvě slova obsahující 18bitový výsledek CRC vypočítaný pomocí definovaného polynomu z dat aktivního videesignálu, úseku EAV a LN.



Obr. 3.5: Formát přenosu pro standard HD-SDI včetně znázornění prokládání [6].

Číslo řádku LN obsahující 11 bitů je formátováno do dvou slov, oba prokládané datové proudy musí mít v daném přenášeném řádku identické číslo, které je inkrementováno a přiřazováno od 1 do maxima daného videoformátu. Stejně jako u SD-SDI, HANC mezera může obsahovat další data, například digitální audiosignál.

### 3.4.3 3G-SDI

3G-SDI se ve většině parametrů shoduje s HD-SDI, jak již vyplývá z označení, bitová rychlost standardu 3G je proti HD-SDI dvojnásobná, tedy 2,97 Gb/s nebo 2,97/1,001 Gb/s. Norma SMPTE 424M definuje metody přenosu 3 Gb/s videosignálu koaxiálním rozhraním, mapování videoformátu rozebírá norma 425M uvádějící dvě varianty přenosu označované jako Level A a Level B.

- Struktura datového přenosu varianty Level A je identická s protokolem HD-SDI, pouze bitová rychlost je dvojnásobná.
- Level B umožňuje buď párový přenos tzv. Dual Link HD-SDI nebo mapování pro přenos dvou zcela nezávislých kanálů HD-SDI. Varianta Level B pracuje na principu prokládání těchto dvou nezávislých datových kanálů.

## 4 10-GIGABIT ETHERNET

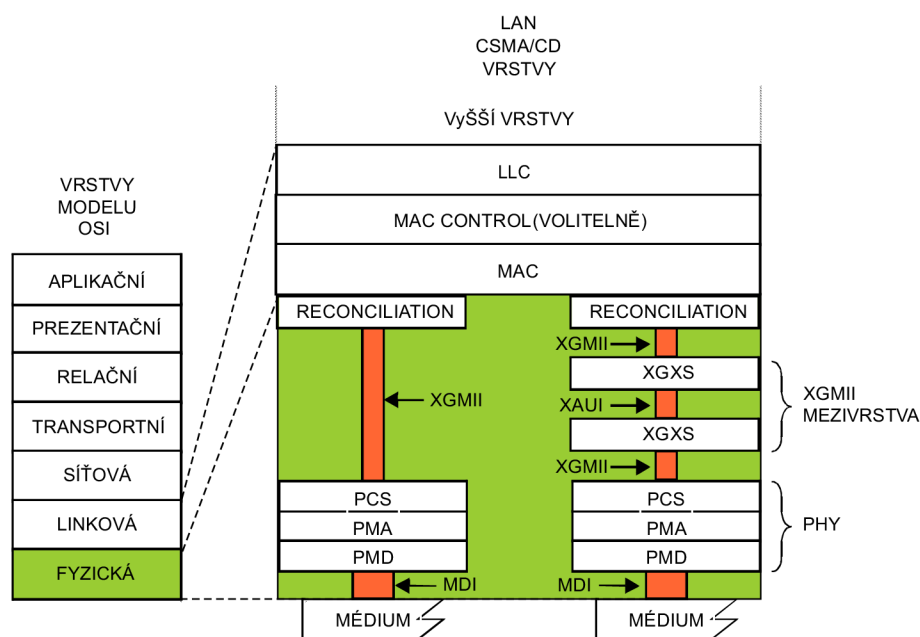
V následující kapitole je představen standard 10-Gigabit Ethernet a vysvětlena podstata fyzické vrstvy dle ISO/OSI modelu. Dále je stručně rozebrána funkce použitého PHY, rozhraní XGMII a XAUI.

### 4.1 Úvod, použití

Gigabit Ethernet je v dnešní době víceméně standardem pro místní sítě LAN. Postupným vývojem byla desetinásobně zvýšena přenosová rychlost a doplněny další funkce, přičemž oblast využití se rozšířila z LAN až k WAN, což je případ standardu 10-Gigabit Ethernet. Nejčastější oblastí využití 10-Gigabit Ethernetu jsou páteřní linky, sítě velkých organizací a spoje s velkými nároky na přenosovou kapacitu. 10-Gigabit Ethernet byl definován na základě dosavadního Gigabit Ethernetu, jako desetinásobně rychlejší a plně duplexní standard v normě IEEE 802.3ae [9]. Byla definována přenosová média: jednovidové vlákno (až 40 km), vícevidové vlákno (do 300 m), backplane (do 1 m) a kroucený pár (do 100 m) [9].

### 4.2 Fyzická vrstva

Fyzická vrstva (PHY) propojuje rozhraní s fyzickým médiem (optický transceiver, metalické vedení) s Linkovou vrstvou - MAC. Fyzická vrstva dle ISO/OSI modelu - vybraná část na obr. 4.1, definuje všechny elektrické a fyzické vlastnosti - rozložení pinů, napěťové úrovně, kódování atp. Vlastní přenosové médium dle definice ISO/OSI do fyzické vrstvy nepatří [9].



Obr. 4.1: Fyzická vrstva Ethernetu v ISO/OSI modelu.

Zkratky na obr. 4.1:

MAC = Media Access Control

MDI = Medium Dependent Interface

PCS = Physical Coding Sublayer

PHY = Physical Layer Device

PMA = Physical Medium Attachement

PMD = Physical Medium Dependent

XAUI = 10 Gigabit Attachement Unit Interface

XGMII = 10 Gigabit Media Independent Interface

XGXS = XGMII Extended Sublayer

Fyzická vrstva je dělena do třech podvrstev: PMD, PMA a PCS. PCS provádí kódování 8b/10b výstupních bajtů MAC vrstvy do 10-bitových slov, ta jsou sériově řazena podvrstvou PMA a kódována linkovým kódem. Podvrstva PMD realizuje zavedení signálu do média. V případě 10-Gigabit Ethernetu je MAC a PHY propojena datovým rozhraním XGMII, další volitelnou mezivrstvou XGXS je převedeno na flexibilnější sériové vysokorychlostní rozhraní XAUI.

#### 4.2.1 Obvod PHY - Vitesse VSC8486

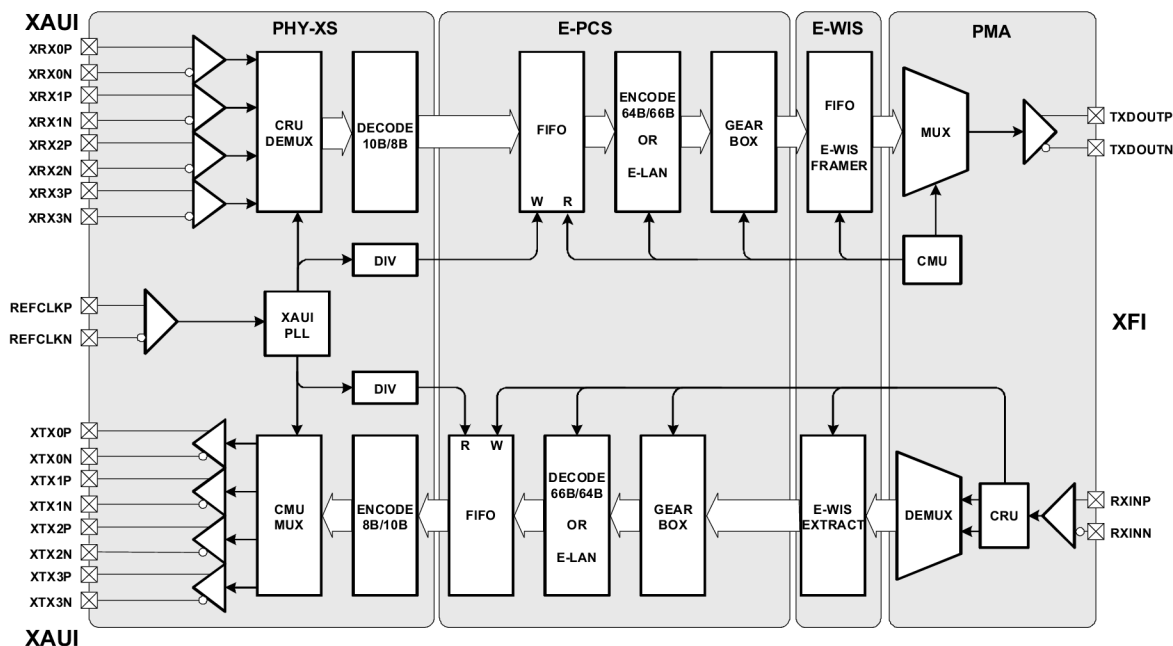
Na obr. 4.2 je znázorněna bloková struktura použitého obvodu VSC8486-11 s rozhraním XAUI a výstupem XFI. Následuje stručný popis funkce přijímací a vysílací části [3].

##### **Funkce vysílací části**

Vstup XAUI - RX, tj. čtyři datové linky jsou deserializovány a je provedeno obnovení hodinového kmitočtu linky. Po synchronizaci je provedeno dekódování 8b/10b, pro dekódovaná data a kontrolní signály je skrze FIFO provedeno vyrovnání zpoždění a jsou zarovnány pro zpracování v bloku E-PCS v odlišné, vysílací hodinové doméně. 8 bloků po 8 bitech a 8 řídicích bitů je kódováno kóděrem 64b/66b, jehož výstupem je blok 66 bitů. (viz kap. 2.4 - kódy Mb/Nb). Z těchto bloků jsou po doplnění synchronizačních a indikačních bitů vytvořeny 1584bitové rámce. Rámce jsou kódovány scramblerem a v bloku PMA serializovány do sériového proudu s bitovým tokem 10,3125 Gb/s (LAN mód).

##### **Funkce přijímací části**

Vysokorychlostní 10,3125 Gb/s proud dat kódovaný NRZ je přijat rozhraním RXIN P/N, ve vstupním bloku je možné provést ekvalizaci. Blok CRU provádí obnovení hodinového kmitočtu linky, jeho výstup je deserializován a předán bloku PCS. Dle hlavičky kódovaných dat jsou data dělena na úseky délky 64 bitů, které jsou descramblovány a skládány do rámců délky 1584 bitů. Ty jsou děleny na úseky odpovídající platným datům, osmibitovým úsekům dat a kontrolních bitů. Po přeroznání jsou opět kódována 8b/10b a serializována do čtyř linek XAUI - TX.



Obr. 4.2: Blokové schéma PHY VSC8486 pro XAUI [3].

#### 4.2.2 Rozhraní XGMII

XGMII je výchozím rozhraním mezi MAC a PHY, využívá logický standard single-ended HSTL nebo SSTL-2, fyzická délka vedení je omezena přibližně na 7 cm. Celkem se skládá ze 74 vodičů, pro příjem i vysílání je to: 32 datových, 1 hodinový a 4 řídicí vodiče. Pro každých 8 datových bitů je vyhrazen 1 řídicí vodič, log. 0 indikuje normální data, log. 1 oddělovač nebo speciální znaky. Datové signály jsou nastaveny a jejich vzorkování probíhá na principu DDR, tedy při náběžné i sestupné hraně hodinového signálu [9].

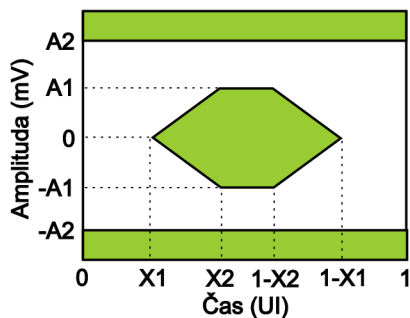
#### 4.2.3 Rozhraní XAUI

Rozhraní XAUI definované v kapitole 47 pramenu [9] bylo vyvinuto pro spojení integrovaných obvodů diferenciálním vedením na DPS s řízenou impedancí, na standardním materiálu FR-4, na vzdálenost až 50 cm. Proud dat o velikosti 10 Gb/s je přenášen po čtyřech linkách po 3,125 Gbaud/s  $\pm 100$  ppm, protože je použito kódování 8b/10b. Počet vodičů je tedy redukován na 16, hodinový kmitočet je obnoven z datových linek.

Používaný logický standard je střídavě vázaný CML, doba trvání hrany signálu měřena od 20 % do 80 % amplitudy je 60 - 130 ps. Horní limit 130 ps při dané bitové rychlosti odpovídá téměř sinusovému průběhu s kmitočtem rovným polovině bitové rychlosti [10].



Pro XAUI je definována maska signálu dle obr. 4.3 s rozměry dle tab. 4.1 pro signál v těsné blízkosti budiče linky a pro signál na konci linky - vstupu přijímače. Pokud je signál vzorkován způsobem jako při tvorbě tzv. diagramu oka a stopa signálu nevstoupí do barevně vymezené oblasti, pak předpokládaná bitová chybovost linky BER má hodnotu menší než  $10^{-12}$  [10].



Symbol	Blízký konec	Vzdálený konec	Jednotka
X1	0,175	0,275	UI
X2	0,390	0,400	UI
A1	400	100	mV
A2	800	800	mV

Obr. 4.3: Maska diagramu oka pro XAUI [10].

Tab. 4.1: Rozměry masky signálu XAUI [10].

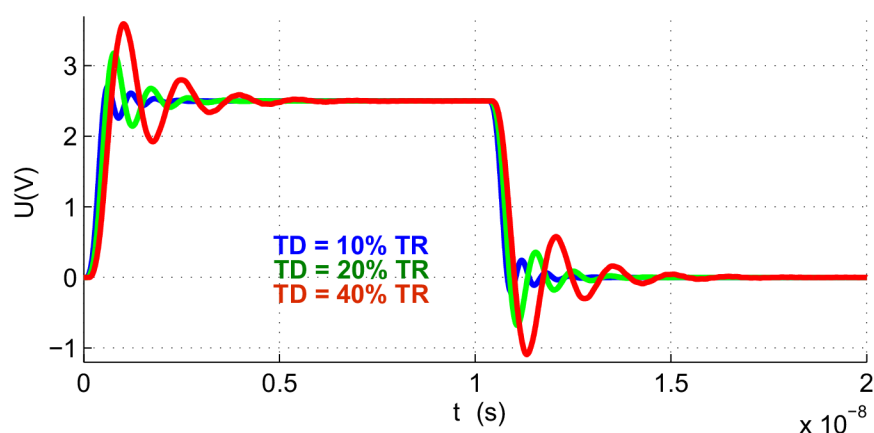
Pozn.: UI = Unit Interval = doba 1 bitové periody.

## 5 INTEGRITA DIGITÁLNÍCH SIGNÁLŮ

Následující kapitola se zabývá integritou digitálních signálů na vysokorychlostních linkách. Jsou zde uvedeny základní poznatky z teorie přenosových vedení, výpočet charakteristické impedance, zpoždění a ztrátových parametrů praktického mikropáskového vedení na DPS. Jsou uvedeny některé návrhové techniky pro potlačení impedančních diskontinuit na vedení. Dále je rozebrána spektrální skladba digitálního signálu a odvozen vztah mezi dobou hrany a spektrem signálu. Jsou zde také vysvětleny techniky preemfáze a ekvalizace a vlastnosti logických standardů LVDS a CML.

### 5.1 Úvod do teorie integrity signálu

V minulosti, kdy digitální elektronické obvody pracovaly se signály s kmitočty maximálně několika jednotek MHz se pro signály s touto spektrální skladbou u propojovacích struktur znatelně projevují parazitní vlastnosti a jevy na vedení až od délky řádově 1 m, které v praktické realizaci např. na DPS spoje obvykle nedosahují. Společně s růstem taktovacích kmitočtů a navýšením kmitočtů datových linek se kritická délka vedení řádově zkrátila, např. pro signál s dobou trvání hrany v řádu stovek pikosekund na několik desítek milimetrů. V dnešní době, kdy sériové linky běžně dosahují bitových rychlostí 10 Gb/s, doba trvání hrany činí cca 30 ps. Zde je zcela nevyhnutelné při návrhu uvažovat veškeré parazitní jevy a dodržovat předepsaná návrhová pravidla jednotlivých logických standardů, dále je velmi doporučeno každý takový systém ověřit simulací pomocí vhodných modelů[10]. Na obr. 5.1 jsou výsledky simulace průběhu napětí na konci nezakončeného vedení se zpožděním úměrným 10 % doby náběžné hrany (modrá křivka), 20 % (zelená) a 40 % (červená).



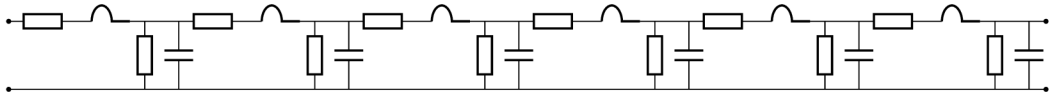
Obr. 5.1: Tvar signálu v důsledku odrazů na nezakončeném vedení.

Simulace byla provedena v programu PSpice, analyzované zapojení odpovídá schématu na obr. 5.4, kde impedance zdroje je nízká a k nezakončenému konci vedení je připojen rezistor s vysokou hodnotou odporu (vychází z požadavků simulátoru, kde není možné ponechat svorky součástek nepřipojené).

Výsledné průběhy v grafu na obr. 5.1 potvrzují udávané pravidlo, kdy pokud délka vedení překročí přibližně 20 % délky náběžné hrany signálu na vedení, je nutné zajistit pro tento spoj odpovídající impedanční přizpůsobení a zakončení [11]. Pokud je signál na vstupu přijímače vzorkován s dostatečným zpožděním, vícenásobný odraz již může odeznít a kvalitu signálu příliš neovlivnit. Nicméně tím není vyřešeno nežádoucí zvýšení napětí v kladných a záporných špičkách signálu, jež může vést k ovlivnění dalších signálů sběrnice, zvýšit elektromagnetické vyzařování (neboť vzrůstá energie spektra vysokých harmonických složek) nebo poškodit vstup přijímače.

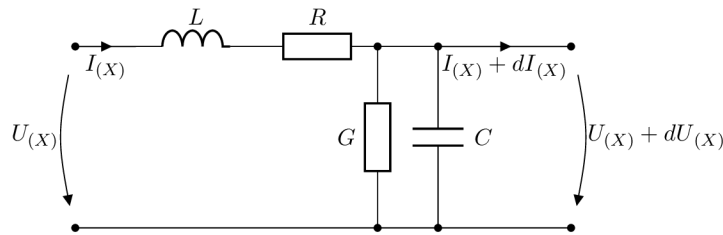
## 5.2 Základní popis vedení

Základními vlivy vedení na přenášený signál jsou zpoždění, útlum a disperze. Obecný model vedení s rozprostřenými parametry na obr. 5.2 lze popsat pomocí jednoho jeho elementu na obr. 5.3 [10].



Obr. 5.2: RLCG model vedení.

Pasivní prvky  $R$  ( $\Omega$ ) a  $L$  (H) reprezentují sériový odpor a vlastní indukčnost vedení,  $C$  (F) reprezentuje kapacitu vedení a  $G$  (S) izolační odpor a absorpci v dielektriku na vysokých frekvencích. Všechny tyto veličiny jsou vztaženy k jednotce délky. Prezentovaný model nebo jeho rozšířené varianty jsou využívány v případech, kdy vedení nelze popsat pomocí náhradních prvků se soustředěnými parametry, tedy v případě, že fyzická délka vedení je delší než cca 1/6 délky náběžné hrany signálu na vedení.



Obr. 5.3: Element RLCG modelu vedení.

Z modelu jednoho elementu lze odvodit následující obvodové funkce napětí a proudu v závislosti na vzdálenosti  $X$  (m) od počátku vedení:

$$(I_X + dI_X) - I_X = (G + j\omega C)V_X dx \quad (5.1)$$

$$(V_X + dV_X) - V_X = (R + j\omega L)I_X dx. \quad (5.2)$$

Pokud jsou parametry  $R$ ,  $L$ ,  $G$  a  $C$  v určitém kmitočtovém rozsahu uvažovány konstantní, pak lze provést parciální derivace podle času  $t$  a pozice  $X$ , výsledné vztahy jsou známé jako tzv. telegrafní rovnice:

$$-\frac{dI}{dX} = GV + C\frac{dV}{dt} \quad (5.3)$$

$$-\frac{dV}{dX} = RI + L\frac{dI}{dt}. \quad (5.4)$$

Řešení těchto rovnic pro proud a napětí v daném bodě vedení může být vyjádřeno jako:

$$V_X = V_0^+ e^{-\gamma x} + V_0^- e^{\gamma x} \quad (5.5)$$

$$I_X = \frac{V_0^+}{Z_0} e^{-\gamma x} + \frac{V_0^-}{Z_0} e^{\gamma x}. \quad (5.6)$$

Zde  $\gamma$  je konstanta šíření:

$$\gamma = \alpha + j\beta = \sqrt{(R + j\omega L)(G + j\omega C)}, \quad (5.7)$$

kde  $\alpha$  je konstantou útlumu a  $\beta$  fázovou konstantou.  $V_0^+$  značí vlnu se směrem šíření s rostoucí vzdáleností  $X$  a fázovou rychlostí  $v_p = \frac{\omega}{\beta}$ . Pro  $V_0^-$  je směr šíření opačný, fázová rychlost má shodnou velikost. Součet  $V_0^+ + V_0^-$  reprezentuje napětí na vstupu vedení, tedy ve vzdálenosti  $X = 0$  [10].

### 5.2.1 Charakteristická impedance

Důležitý parametr vycházející z předchozího odvození je charakteristická impedance vedení  $Z_0$ . Impedance je odvozena jako poměr napětí a proudu, je funkcí  $R$ ,  $L$ ,  $G$  a  $C$ :

$$Z_0 = \frac{V_0^+}{I_0^+} - \frac{V_0^-}{I_0^-} = \sqrt{\frac{R + j\omega L}{G + j\omega C}} (\Omega). \quad (5.8)$$

Charakteristická impedance vedení  $Z_0$  je impedancí pro pulz přivedený na vstup vedení nekonečně dlouhého, tedy impedancí pro vysokofrekvenční signál, než se začne šířit po vedení.

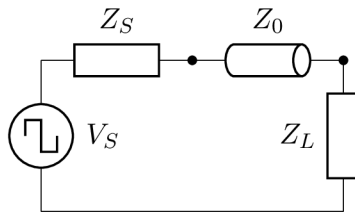
V případě že platí  $|j\omega L| \gg R$  a  $|j\omega C| \gg G$ , tedy pro prakticky bezztrátové vedení, vztah pro výpočet charakteristické impedance a rychlosti šíření se zjednoduší na vztah pouze mezi indukčností a kapacitou [10].

### 5.2.2 Odraz na vedení

Charakteristická impedance  $Z_0$  je kritickým parametrem pro přenos vysokofrekvenčního signálu na vedení, v případě, že se neshoduje s impedancí zdroje  $Z_S$  a zátěže  $Z_L$ , dochází k vícenásobným odrazům a zákmitům negativně ovlivňujícím přenášený signál. Pokud je impedance vedení  $Z_0$  shodná s impedancí zátěže  $Z_L$ , veškerý výkon signálu je plně absorbován v zátěži a k odrazu nedojde. V případě, že dochází k odrazu od zátěže a impedance zdroje  $Z_S$  je shodná s impedancí vedení, je odražený signál absorbovaný v impedanci zdroje a dále se již neodráží. Poměrnou část signálu, který se odrazí definuje koeficient odrazu  $\rho$ , shodný vztah platí i při odrazu od zdroje [10]:

$$\rho = \frac{Z_L - Z_0}{Z_L + Z_0} (-). \quad (5.9)$$

Pokud tedy má činitel odrazu hodnotu 0, jedná se o ideální žádoucí případ, kdy k žádnému odrazu nedochází. Jakákoliv jiná hodnota, ať už kladná či záporná reprezentuje poměrnou část napětí na zakončovací impedanci nebo jiné diskontinuitě na vedení, která se odrazí zpět a s předchozí hodnotou se sčítá.



Obr. 5.4: Schéma zapojení vedení pro definici činitele odrazu.

### 5.2.3 Zpoždění na vedení

Zpoždění signálu na jednotku délky lze odvodit z rychlosti šíření vlny na vedení. Pro rychlost šíření elektromagnetické vlny v dielektriku, v prostředí s relativní permitivitou větší než 1 platí:

$$v = \frac{c}{\sqrt{\epsilon_r}} \text{ (m/s)}, \quad (5.10)$$

kde  $c$  představuje konstantu rychlosti šíření elektromagnetické vlny ve vakuu. Zpoždění je tedy zřejmě definováno jako:

$$t_{zpozdění} = \frac{1}{v} \text{ (s/m)}. \quad (5.11)$$

### 5.2.4 Útlum vedení: skin-efekt

Tzv. skin-efekt je jev, kdy se vzrůstajícím kmitočtem dochází k vytlačování proudové hustoty ze středu vodiče na jeho povrch. Pro kmitočty vyšší než desítky MHz je vhodné ho uvažovat jako ztrátový parametr vedení. Výpočet odporu vodiče pro vysoké kmitočty probíhá ve dvou krocích, dle vztahu (5.12) je určena tzv. hloubka vniku  $\delta$  následně určující efektivní průřez vodiče. Druhým krokem je výpočet odporu dle získaného efektivního průřezu vodiče, zde se vztah pro výpočet odvozuje z geometrie vodiče. Hloubka vniku je definována [10]:

$$\delta = \sqrt{\frac{1}{\sigma \pi \mu_0 \mu_r f}} \text{ (m)}, \quad (5.12)$$

kde  $\sigma$  představuje vodivost kovu (S/m),  $\mu_0$  permeabilitu vakua (H/m),  $\mu_r$  relativní permeabilitu vodiče (-),  $f$  kmitočet (Hz).

Odpor vodiče pro stejnosměrný proud a nízkofrekvenční střídavý proud, pokud je jeho tloušťka  $t$  (m), délka  $l$  (m), šířka  $w$  (m) a materiál má rezistivitu  $\rho$  ( $\Omega\text{m}$ ), činí:

$$R_{DC} = \frac{\rho l}{wt} \text{ (}\Omega\text{)}. \quad (5.13)$$

Přibližný odpor vodiče pro vysokofrekvenční proud činí:

$$R_{VF} = \frac{\rho l}{w\sigma} \text{ (}\Omega\text{)}. \quad (5.14)$$

### 5.2.5 Útlum vedení: ztráty v dielektriku

Ztráty v dielektriku pro vysoké frekvence jsou definovány ztrátovým úhlem  $\tan\delta_D$  (vychází z poměru reálné a imaginární složky permitivity). Přibližný vztah pro výpočet útlumu šíření elektromagnetické vlny v dielektriku [12]:

$$\frac{V_{out}}{V_{in}} = e^{-\alpha_D f}, \quad (5.15)$$

kde

$$\alpha_D = (\pi\sqrt{\epsilon_r \tan\delta_D l})/c. \quad (5.16)$$

### 5.3 Praktický výpočet parametrů vedení na DPS, důsledky a doporučení

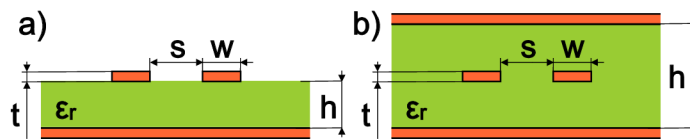
V následujícím oddíle jsou uvedeny praktické vztahy pro výpočet impedance vedení s danou geometrií jednoduchého a diferenciálního vedení. Pro ilustraci jsou uvedeny praktické vztahy a výpočet velikosti zpoždění signálu na jednotku délky těchto vedení. Velmi zajímavé výsledky poskytuje výpočet obou významných složek útlumu vedení: skin-efektu a ztrát v dielektriku pro vedení s reálnými parametry. Pro tyto parametry vedení jsou uvedeny některé problémy ke kterým v praxi dochází, včetně návrhu jejich řešení. Jedním z významných vlivů na gigabitové linky, který je blíže rozebrán je problém prokůvků tvořících pahýly a impedance diskontinuity na vedení.

Nejběžnější vedení na DPS jsou jednotlivé vodiče nad referenční plochou nebo diferenciální páry [13] v uspořádání dle obr. 5.5.

Vedení a) mikropásek (microstrip) je realizováno na vnějších vrstvách DPS, polovinu dielektrika zde tvoří substrát DPS, druhou polovinu tvoří okolní prostředí - vzduch.

Vedení b) stripline je umístěno buď symetricky (použité níže) nebo asymetricky mezi dvěma vodivými plochami DPS, vedení je plně obklopeno dielektrikem - substrátem DPS.

#### 5.3.1 Praktické vztahy pro výpočet impedance



Obr. 5.5: Diferenciální vedení - microstrip, stripline.

Jednoduchý mikropásek:

$$Z_{0ms} = \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln \left( \frac{5,98h}{(0,8w + t)} \right) (\Omega). \quad (5.17)$$

Diferenciální mikropásek:

$$Z_{0msd} = \frac{60}{\sqrt{0,475\epsilon_r + 0,67}} \ln \left( \frac{4h}{0,67(0,8w + t)} \right) (\Omega) \quad (5.18)$$

$$Z_{diffms} = 2Z_{0msd}(1 - 0,48e^{\frac{-0,96s}{h}}) (\Omega). \quad (5.19)$$

Hranově vázaný symetrický stripline:

$$Z_{0sl} = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4h}{0,67\pi(0,8w+t)} \right) (\Omega) \quad (5.20)$$

$$Z_{diffsl} = 2Z_{0sl} \left( 1 - 0,347e^{-\frac{2,9s}{h}} \right) (\Omega). \quad (5.21)$$

Vztahy [13] jsou platné za podmínek:  $h - t > 2w$ ;  $h > 4t$  a pokud jsou všechny rozměry ve shodných délkových jednotkách.

V praxi je často třeba využít opačný proces analýzy, tedy syntézu vedoucí k návrhu geometrie vedení pro zadanou impedanci. Pro tyto účely platí inverzní sada vztahů, při návrhu pro praktickou výrobu je obvykle většina parametrů dána dostupnou technologií konkrétního výrobce.

### 5.3.2 Impedanční diskontinuity a jejich řešení

Vzhledem k faktům, že impedance spoje významně závisí na jeho šířce a důležitým požadavkem pro návrh VF vedení je zachování kontinuální impedance po celé délce vedení, je nutné klást důraz na geometrické uspořádání průřezu vodiče.

Při vedení spoje s pravoúhlými ohyby dochází ke změně šířky a tedy i impedance v tomto místě, pro omezení tohoto vlivu se spoje ohýbají dvakrát pod úhlem  $45^\circ$ , pro kritické spoje je volen oblý ohyb. Tato technika není vhodná pouze z hlediska zachování konstantní impedance, při ohybu diferenciálních párů v případě dvakrát lomených nebo oblých ohybů vzniká díky menšímu rozdílu délky vodičů mezi oběma signály v páru menší zpoždění, které je obvykle nutné kompenzovat.

Pro gigabitové linky jsou dalšími kritickými místy, kde dochází ke skokové změně impedance a tedy může dojít k odrazu, plošky pro osazování součástek nebo konektorů. Jako příklad uveďme vedení se šířkou  $150 \mu m$  a sériový vazební kondenzátor v pouzdru velikosti 0402, šířka plošky pro osazení na DPS je přibližně  $500 \mu m$ , výsledná změna impedance vodiče takové šířky umístěným nad referenční plochou tloušťky např.  $100 \mu m$  je značná. V tomto případě lze technicky problém řešit dvěma způsoby:

První možností je návrh postupně se rozšiřujícího vodiče tak, že výsledná impedance se mění pozvolně. Tato technika je často nazývána „teardrops“ a s výhodou se používá i z výrobních důvodů pro lepší mechanickou odolnost spojů na DPS. Druhou možností je zvětšení odstupů rozšířené plošky od referenční zemní plochy, např. vynecháním části referenční plochy pod ploškou, impedance je v tomto místě zřejmě určena dle vzdálenosti k další referenční ploše, která je větší. Impedance vodiče tedy v tomto místě narůstá a v závislosti na skladbě desky může dosáhnout hodnot velmi blízkých zbytku vedení. V průběhu návrhu DPS je těchto technik využito v obou představených případech.

Mezi další místa tvořící impedanční diskontinuity jsou odbočky na vedení, pahýly. Dle pravidel návrhu gigabitových linek je použití delších odboček z vedení, v nejhorším případě nezakončených vhodnou impedancí, téměř vyloučeno. Na první pohled skrytě se při návrhu spoje takové diskontinuity vyskytují v podobě prokovených otvorů propojující vedení na různých vrstvách DPS. Pro linky s rychlostí 10 Gb/s již může vzniknout nebezpečí interference odražené vlny z pahýlu prokovu s přenášeným signálem. Jedná se o zajímavou problematiku, je tedy blíže rozebrána v kap. 5.3.5.

### 5.3.3 Praktické vztahy pro výpočet zpoždění signálu

Zpoždění na vedení pro mikropásek:

$$T_{dms} = 33,36\sqrt{0,475\epsilon_r + 0,67} \text{ (ps/cm)}. \quad (5.22)$$

Příklad výpočtu pro materiál FR-4 s  $\epsilon_r = 4,7$  při  $f = 1 \text{ GHz}$  :

$$T_{dmsFR4} = 33,36\sqrt{0,475 * 4,7 + 0,67} = 5,33 \text{ (ps/mm)}. \quad (5.23)$$

Zpoždění na vedení pro stripline:

$$T_{dsl} = 33,36\sqrt{\epsilon_r} \text{ (ps/cm)}. \quad (5.24)$$

Příklad výpočtu pro materiál FR-4 s  $\epsilon_r = 4,7$  :

$$T_{dslFR4} = 33,36\sqrt{4,7} = 7,23 \text{ (ps/mm)}. \quad (5.25)$$

Srovnáním výsledků vztahů (5.23) a (5.25), potvrzujícím teoretický předpoklad vztahu (5.10), je patrný významný rozdíl ve zpoždění signálu na těchto nejběžnějších typech vedení [13].

Jako příklad systému citlivého na zpoždění na vedení uvedme paralelní sběrnici, jejíž signály jsou vzorkovány na straně přijímače ve stejný okamžik. Některé spoje jsou na DPS realizovány vedením typu mikropásek, další vedením typu stripline, jejichž měrné zpoždění se značně liší. Následkem toho mohou signály být mylně vzorkovány v případě nedodržení časování, tzv. setup and hold time.

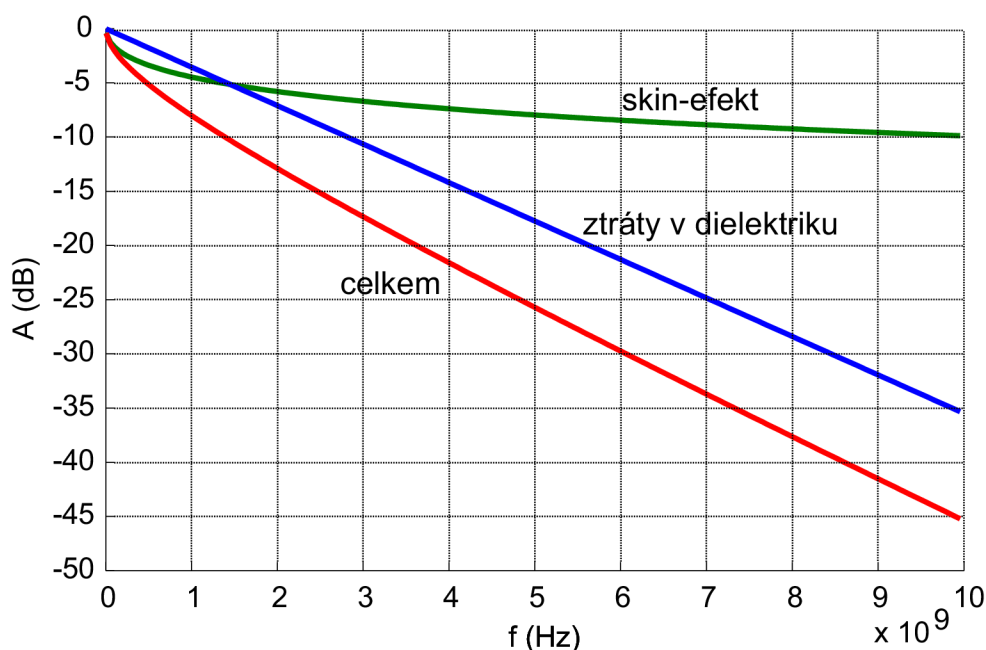
Obdobný problém nastává i pro diferenciální pár, tzn. dva úzce vázané signály s opačnou polaritou. Pokud není délka obou vodičů v páru shodná a rozdíl obou hran signálu na vedení dosahuje významné části bitové periody, může dojít k mylnému vzorkování a vzniku bitových chyb. Pro gigabitové linky je požadovaný maximální rozdíl délky obou vodičů v páru často i méně než 500  $\mu\text{m}$ . Například pro XFI je udáno maximální zpoždění 3 ps, tedy cca 500  $\mu\text{m}$  na vedení [10].



### 5.3.4 Výpočet složek a celkového útlumu mikropáskového vedení

V kap. 5.2.4 a 5.2.5 jsou uvedeny vztahy pro výpočet útlumu při šíření v dielektriku a nárůst odporu vodiče vlivem skin-efektu.

Na obr. 5.6 se nachází graf prezentující velikost obou složek útlumu (zelená křivka - skin-efekt, modrá křivka - ztráty v dielektriku) mikropáskového vedení na běžném dielektriku a jejich součet (červená křivka) v závislosti na kmitočtu. Jedná se o vedení zakončené impedancí  $Z = 50 \Omega$  na obou portech, délkou 1 m, šířkou mikropásku 0,25 mm,  $\tan\delta_D = 0,018$ ,  $\epsilon_r = 4,7$  při  $f = 1GHz$  a pokovením tloušťky  $35 \mu m$ .



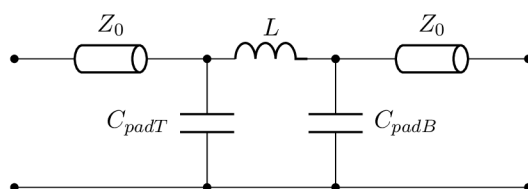
Obr. 5.6: Celkový útlum vedení dle příkladu, vliv skin-efektu a ztrát v dielektriku.

Jasným závěrem je fakt, že vliv skin-efektu se zvyšujícím se kmitočtem roste přibližně s jeho odmocninou, ztráty v dielektriku rostou přibližně lineárně s kmitočtem. V oblasti nízkých kmitočtů do cca stovek MHz se prakticky neuplatňují, naopak v kmitočtové oblasti nad cca 2 GHz se ztráty v dielektriku pro materiál FR-4 stávají dominantní složkou útlumu. Pro linky s rychlostí 10 a více Gb/s, kdy kmitočet první harmonické složky signálu je vyšší než 5 GHz a pokud jejich délka dosahuje stovek mm, je již téměř nutné použít substrát s menšími dielektrickými ztrátami. I při použití preemfáze a vyššího rozkmitu buzení na straně vysílače a ekvalizéru na straně přijímače dosahuje hodnota útlumu tak vysoké hodnoty, že ho pomocí nich nelze dostatečně kompenzovat. Více o těchto technikách viz kap. 5.5.

### 5.3.5 Vliv prokůvů DPS na integritu signálu

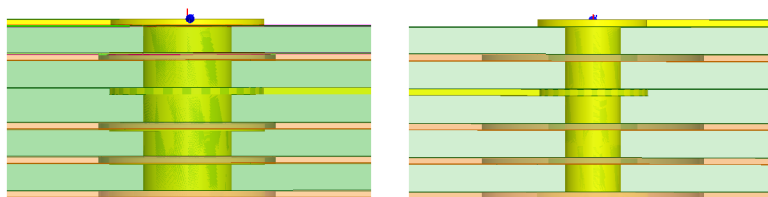
Prokovené otvory na DPS slouží k realizaci propojení vodičů na různých vrstvách. Prokov se skládá z plošek určených pro připojení vodičů a vzniklým nakovením otvoru, odstup vzniklý mezi prokovem, resp. ploškami na vnitřních vrstvách od ostatních vodivých ploch se nazývá antipad. Nejčastější provedení prokůvů je skrze celou DPS, technologicky je však možné z důvodu hustší integrace spojů realizovat i prokov ve slepém, případně pohřbeném otvoru. Vzniklé pahýly lze v závěrečné fázi výroby nebo i dodatečně odstranit odvrtáním pomocí techniky back-drill.

Problém prokůvů ve vysokorychlostních signálových spojích spočívá v jejich parazitních vlastnostech a také ve vznikajícím pahýlu na vedení. Parazitní kapacita plošek vůči přiléhajícím vodivým plochám na DPS a indukčnost prokovu tvoří  $\pi$ -článek dle schématu na obr. 5.7, má tedy charakter dolnoproustného filtru [11].

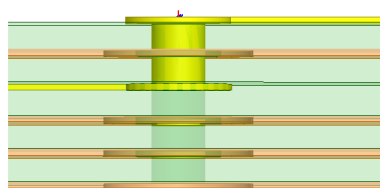


Obr. 5.7: Elektrický model VF parazitních parametrů prokovu ve vedení [11].

V případě, že signálový vodič je k prokovu připojen tak, že vzniká pahýl, pro vyšší harmonické složky signálu může dosahovat rezonanční délky  $\lambda/4$ . V případě dosažení rezonanční délky odražený signál interferuje s přímým v protifázi a odečítá se, takový signál v dané části spektra je téměř zcela degradován. Kmitočet  $\lambda/4$  rezonance např. pro délku pahýlu 1 mm a materiál FR-4 je přibližně 35 GHz. Pro výpočet parazitních parametrů byly odvozeny také empirické vztahy, nejlepším přístupem k problému je však simulace parametrů reálného modelu ve specializovaném softwaru. Na obr. 5.8, 5.9 a 5.10 jsou modely prokůvů vytvořené a analyzované v programu Ansoft HFSS.



Obr. 5.8: Model prokovu č. 1. Obr. 5.9: Model prokovu č. 2.



Obr. 5.10: Model prokovu č. 3.

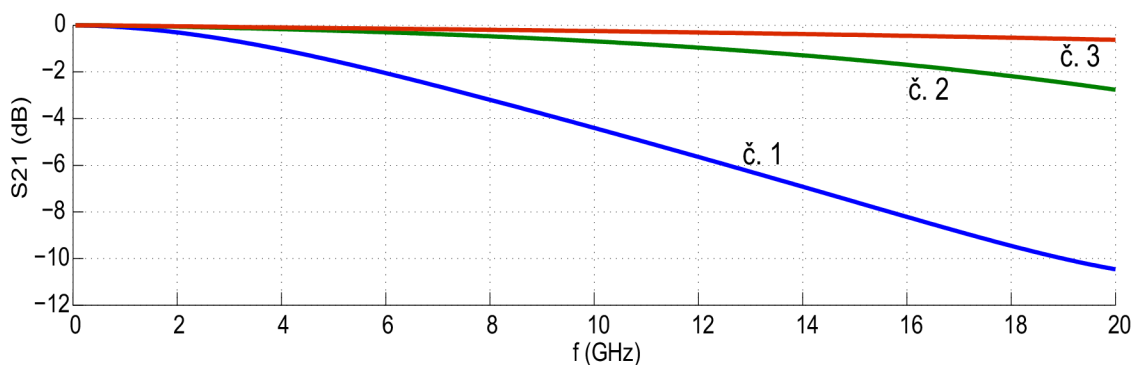
Prokovy spojují signálové vodiče na první a třetí vrstvě v šestivrstvé DPS standardní tloušťky 1,6 mm se substrátem FR-4.

Model č. 1 je model prokovu s průměrem plošek 0,7 mm a vnitřním průměrem otvoru 0,25 mm, odstup od vodivých ploch je minimální.

Model č. 2 je prokov prakticky nejmenší obvyklé velikosti s průměrem plošek 0,5 mm a vnitřním průměrem otvoru 0,15 mm, plošky na vnitřních vrstvách jsou odstraněny a rovněž je výrazně navýšena velikost antipadu.

Model č. 3 geometrií odpovídá modelu č. 2, pouze antipad má menší průměr a je realizován ve slepém otvoru, nevzniká tedy žádný pahýl.

V grafu na obr. 5.11 jsou shrnuty výsledky simulací vložného útlumu - parametr S21 všech modelů v závislosti na frekvenci. Model č. 1 vykazuje výrazný útlum již při nižších kmitočtech vlivem velké parazitní kapacity vůči vodivým plochám, u modelu č. 2 díky menším geometrickým rozměrům a větší separaci od okolních ploch je výsledek výrazně lepší, pro model č. 3 odstraněním pahýlu rovněž výrazně klesl útlum i v případě, že antipad má menší průměr, čímž jsou méně narušeny vodivé plochy (zemní, napájecí) a prostor pro ostatní spoje.



Obr. 5.11: Kmitočtová závislost parametru S21 pro různé typy prokův.

## 5.4 Spektrální skladba digitálního signálu, důsledky

Pro analýzu jakéhokoliv systému je nutné znát spektrální složení signálu, se kterým pracuje. U digitálního signálu je frekvence základní harmonické složky rovna polovině bitové rychlosti signálu. Pro digitální signál je užitečné objasnit vztah mezi šířkou pásma a dobou hrany.

Pro ideální obdélníkový průběh s amplitudou 1 V a ideálně strmými hranami je spektrální složení signálu odvozeno z DFT, kde amplituda  $A$   $n$ -té liché harmonické složky

$$A_n = \frac{2}{\pi n} (V). \quad (5.26)$$

Tedy např. první harmonická složka má amplitudu 0,63 V, třetí 0,21 V. Pro teoretický ideální signál je spektrální rozvoj nekonečný. Analyzovaný průběh má nenulovou stejnosměrnou složku s úrovní rovnou průměrné hodnotě signálu [11].

Šířku pásma digitálního signálu tedy uvažujeme od stejnosměrné složky až po nejvyšší významnou spektrální složku. Co reprezentuje pojem významná?

Ryze praktický vztah [11] mezi šířkou pásma typického digitálního signálu a dobou náběžné hrany signálu  $RT$  měřené od 10 do 90 % amplitudy je obecně uváděn ve tvaru:

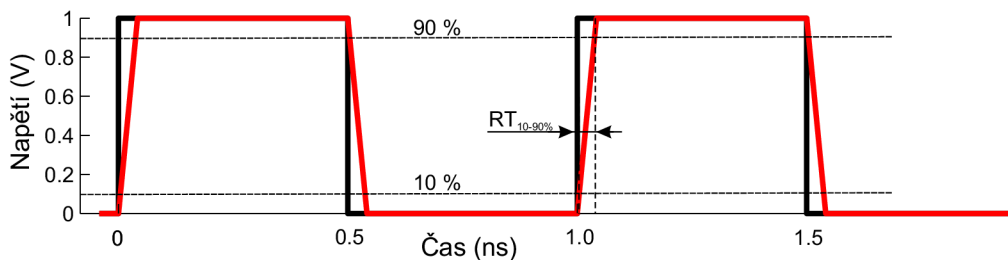
$$BW = \frac{0,35}{RT} (GHz; ns), \quad (5.27)$$

tedy pro signál s dobou hrany 1 ns je takto určená šířka pásma cca 350 MHz.

Příklad uvedený v [11] udává pro dva signály syntetizované z celkem 21 a 23 harmonických složek rozdíl doby hrany cca 10 %, rozdíl v šířce pásma činí také cca 10 %. Překvapivým zjištěním je, že amplituda 23. spektrální složky činí cca pouze 3 % ze špičkové amplitudy signálu a přesto je dopad na dobu trvání hrany signálu velmi značný.

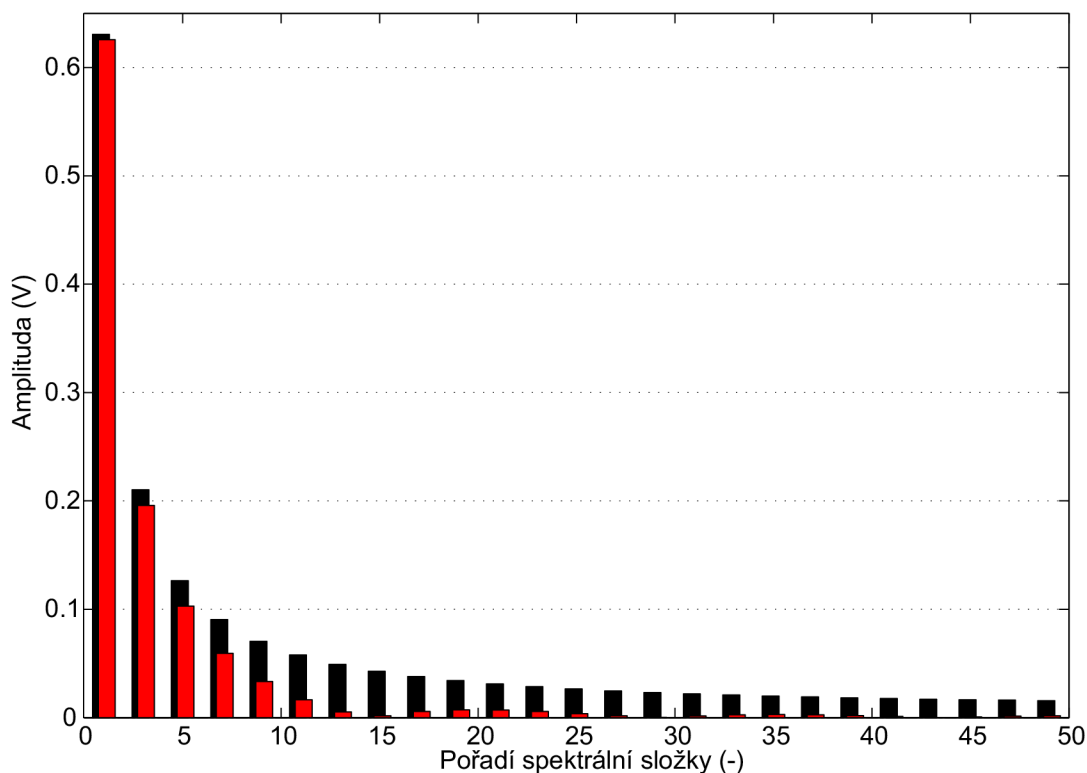
Dle [11] za významné spektrální složky reálného signálu považujeme ty, které mají více než 50 % výkonu odpovídající složky ideálního obdélníkového signálu. To odpovídá cca 71 % amplitudy.

Příklad z [11] porovnává dva signály dle obr. 5.12, první signál je ideální obdélníkový (černá křivka), druhý má trapézoidní průběh (červená křivka) s dobou náběžné hrany úměrnou 8 % periody, kmitočet obou je 1 GHz.



Obr. 5.12: Ideální obdélníkový signál, aproximace reálného signálu trapézoidním [11].

Dle vztahu (5.27) je významná šířka pásma cca 5 GHz. Z provedených výpočtů spekter a porovnání amplitud (výkonů) jednotlivých složek v grafu na obr. 5.13 vyplývá potvrzení pravidla (5.27) udávající pro většinu obdobných signálů významný spektrální rozvoj do páté harmonické složky.



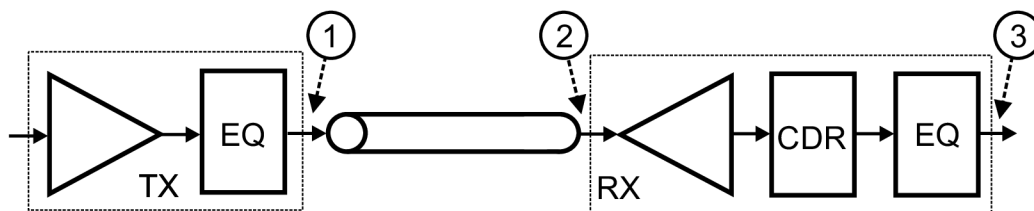
Obr. 5.13: Spektra ideálního obdélníkového a aproximace reálného signálu [11].

## 5.5 Význam preemfáze a ekvalizace

Význam technik preemfáze a ekvalizace spočívá v redukci zkreslení signálu důsledkem vlastností přenosového média. Vedení zpravidla mají charakter dolnoproputného filtru, vysokofrekvenční složky - vyšší harmonické digitálního signálu jsou více utlumeny než nízkofrekvenční - základní složka signálu. Důsledkem toho je značně zkreslený signál po průchodu přenosovým médiem.

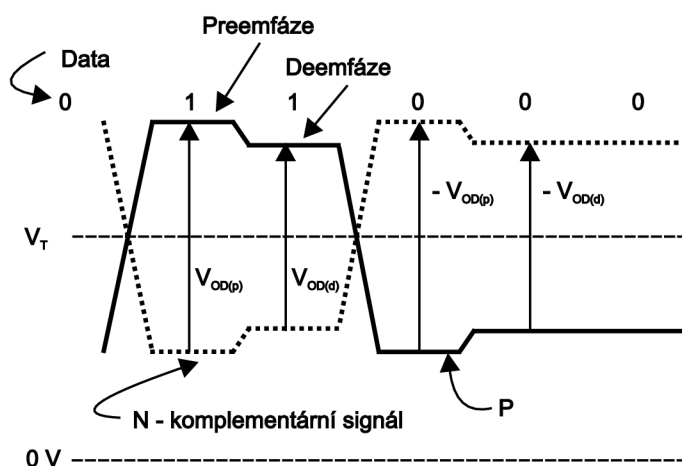
Na obr. 5.14 je blokové schéma přenosového řetězce - vysílač s ekvalizací, přenosové vedení a přijímač s ekvalizací a obnovením hodinového kmitočtu linky.

Preemfáze (ekvalizace na straně vysílání) provádí předzkreslení signálu navýšením amplitudy vysokofrekvenčních složek při vysílání. Při vhodném nastavení preemfáze se po průchodu signálu přenosovým kanálem úroveň všech frekvenčních složek vyrovnají výchozímu vstupnímu signálu vysílače. Složitější metody úpravy signálu preemfází pracují na principu identifikace vysokofrekvenčních komponent vysílaného signálu a jejich selektivním zesílení dle určitých pravidel.



Obr. 5.14: Blokové schéma vysílače, přenosového kanálu a přijímače.

Jednodušší přístup spočívá v navýšení budícího proudu vedení po určitý časový interval (např. čtvrtinu bitové periody) při každé změně log. stavu viz obr. 5.15 [10].



Obr. 5.15: Signál s aplikovanou preemfází a deemfází [10].

Deemfáze je opačný proces, kdy je vysílaný signál naopak upraven utlumením nízkofrekvenčních složek.

Zesílení vysokofrekvenčních složek může být realizováno také na straně přijímače, při zobrazení signálu v tzv. diagramu oka, dochází k jeho „otevření“. Tento proces je nazýván ekvalizace na straně přijímače, je realizován speciálním zesilovacím stupněm na vstupu přijímacího obvodu, pracujícím na analogovém nebo digitálním principu [10].

## 5.6 Logické standardy

### 5.6.1 Vlastnosti diferenciálních signálů

Jednoduché logické standardy jako TTL, CMOS, LVCMOS apod. používají jeden signálový vodič a zpětný zemní spoj. V přijímači je takový signál vyhodnocen z napětí mezi signálovým vodičem a zemním potenciálem. Problémem takových spojů je právě jeho změna, nejčastěji vyvolaná úbytkem napětí na společném spoji spínáním dalších výstupů a tedy průchodem náhodného proudu stejným referenčním vodičem, nebo jakýmkoliv jiným rušením. Vývoj sběrnic vedl ke snížení napěťových úrovní signálu (a tedy i snížení protékajícího proudu) a snížení impedance pro zpětný proud, tedy zvýšením počtu zemních vodičů, který se u určitých rozhraní vyrovnal počtu signálových vodičů.

Diferenciální standardy využívají dvou napěťových signálů opačné polaroty vůči virtuální zemi. Signál je v přijímači vyhodnocen jako jejich rozdíl, napěťová úroveň každého z nich tedy může být menší a zároveň je takový signál imunní vůči rušení se souhlasnou polaritou, které se na diferenciálním vstupu přijímače odečte. Jelikož proud v diferenciálním vedení teče pouze mezi jeho dvěma vodiči, které jsou navíc velmi těsně vázány, je plocha proudové smyčky minimalizovaná a signál je tedy velmi imunní vůči rušení a zároveň jeho vyzařování je také nižší. Proud zemním spojem je teoreticky nulový.

Přenosovým vedením jsou diferenciální páry - dva těsně vázané vodiče buzené signálem s opačnou polaritou vůči virtuálnímu souhlasnému potenciálu. Charakteristická impedance tohoto vedení je přibližně dvojnásobná proti vedení stejné geometrie vůči referenční zemní ploše. Separace vodičů má na diferenciální impedanci podstatný vliv, při snižování prostorové separace vodičů v páru se zvyšuje kapacitní a induktivní vazba mezi nimi a impedance klesá z přibližně dvojnásobku až k hodnotě impedance tzv. single-ended vedení. Diferenciální páry s dvojnásobnou impedancí fungují na principu tzv. sudého módu, kdy magnetické složky pole v prostoru mezi vodiči se ruší [11].

### 5.6.2 Standard LVDS

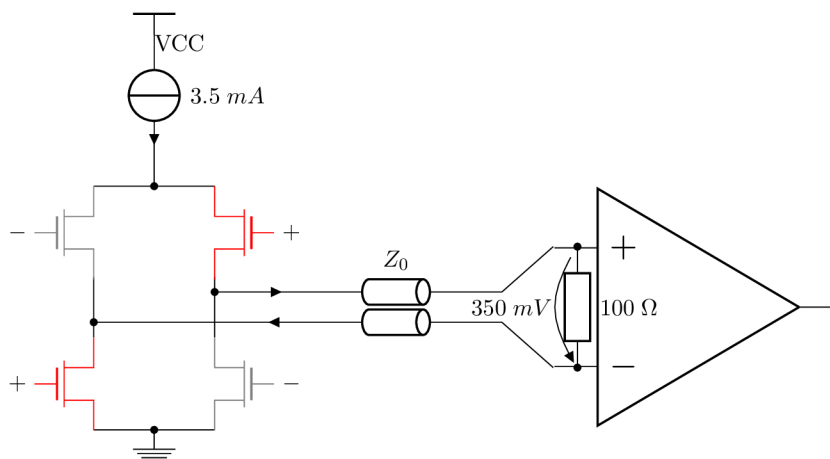
LVDS (Low-Voltage Differential Signaling)[10] je diferenciální logický standard pro bitové rychlosti stovek Mb/s s nízkým rozkmitem napětí vhodný pro kabelový přenos, dle kvality vedení a rychlosti až na vzdálenost 10 - 15 m. Teoretická maximální definovaná bitová rychlost dosahuje téměř 2 Gb/s. Nízký rozkmit signálu na lince s budičem v proudovém módu vedou k nízkému spotřebovanému výkonu v širokém rozsahu bitových rychlostí. Kromě standardu jednosměrného přenosu definovaného normou TIA/EIA-644-4-A byly dále vyvinuty varianty pro přenosové řetězce s více přijímači nebo vysílači Bus-LVDS a LVDS-M.

Přenosovým médiem je diferenciální vedení s impedancí 100 Ohm, veškeré propojovací prvky - kabely, vedení na DPS a konektory mají shodnou charakteristickou impedancí se zakončovací impedancí. Je předepsána prakticky nejjednodušší varianta zakončení - paralelní rezistor s hodnotou odporu 100  $\Omega$  v těsné blízkosti vstupu přijímače. Vazba mezi přijímačem a vysílačem je stejnosměrná, pokud jsou vázány střídavě, na straně přijímače je nutné pomocí odporového děliče nebo referenčního zdroje nastavit společnou střední hodnotu napětí  $V_{CM}$ . Základní parametry signálu jsou shrnuty v tab. 5.1.

Na obr. 5.16 je základní schéma budiče LVDS s blokově znázorněným vedením a obvodem diferenciálního přijímače se zakončovacím rezistorem. Součástí budiče je zdroj konstantního proudu 3,5 mA, který je doplněn čtveřicí tranzistorů, přičemž vždy dva diagonální jsou současně uvedeny do vodivého stavu dle logické úrovně vstupního signálu. Proud tedy protéká diferenciálním vedením v obou směrech, na zakončovacím rezistoru je vytvořen úbytek napětí s nominální hodnotou 350 mV v kladné i záporné polaritě odpovídající logickým úrovním.

Parametr	Označení	Hodnota
$V_{P-P}$	Rozkmit výstupního napětí	$\pm 250 - 450 \text{ mV}$
$V_{TH}$	Prahové napětí vstupu	$\pm 100 \text{ mV}$
$I_{DR}$	Proud linkou	$3,5 \text{ mA}$
$V_{CM}$	Souhlasné napětí	$1,025 - 1,375 \text{ V}$
$RT$	Doba hrany	$260 \text{ ps}$

Tab. 5.1: Základní parametry signálu standardu LVDS [10].



Obr. 5.16: Budič LVDS se zakončovacím rezistorem na vstupu přijímače [10].

Velkou výhodou standardu LVDS jsou velmi malé spotřebované výkony, jak budičem linky, tak také výkon rozptýlený na zátěži je velmi malý, typicky  $1,2 \text{ mW}$ .

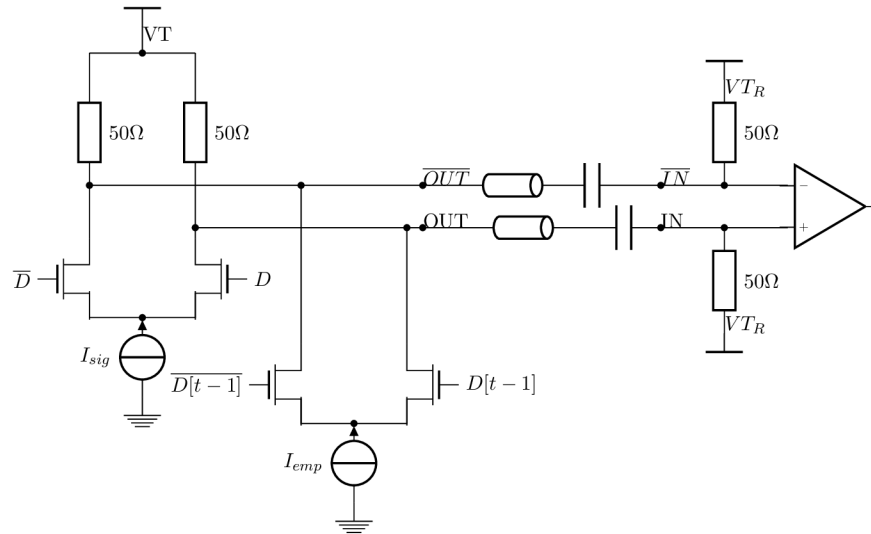
### 5.6.3 Standard CML

Jako CML (Current Mode Logic) [10] jsou označovány logické standardy využívané pro nejrychlejší sériové linky realizované metalickým vedením na DPS. Běžné budiče CML umožňují realizovat linky s bitovou rychlostí až  $5 \text{ Gb/s}$ , určité modifikace i více než  $20 \text{ Gb/s}$ . Jednou z výhod CML je jednoduchost budičů i přijímacích obvodů, které vyžadují pouze minimum externích komponent a tímto jsou také odstraněny mnohé parazitní vlivy.

Příbuzným logickým standardem je ECL (Emitter Coupled Logic), včetně jeho modifikací (PECL, LVPECL,...), který patří mezi nejstarší logické standardy pro vysokorychlostní linky. Hlavním rozdílem oproti CML je výstupní stupeň, který obsahuje emitorový sledovač. Důsledkem toho je úroveň výstupního napětí minimálně cca o  $800 \text{ mV}$  menší, než napájecí napětí. Druhým, pozitivním efektem je velmi nízká výstupní impedance budiče v řádu jednotek Ohmů. Pro CML tedy naopak platí, že výstupní napětí se může velmi blížit napájecímu (typicky  $V_T - 10 \text{ mV}$ ) a výstupní impedance je mnohem vyšší, cca  $100 \Omega$ . ECL může být realizován jako diferenciální ale i single-ended [10].



Schéma budiče CML s interním kolektorovým rezistorem a přídatným proudovým zdrojem  $I_{emp}$  pro preemfázi, doplněné blokovým schématem vedení, vazebních a zakončovacích obvodů je na obr. 5.17.



Obr. 5.17: CML driver s preemfází a střídavě vázaným blokem přijímače [10].

Většina aplikací CML na lince využívá střídavou vazbu prostřednictvím oddělovacích kondenzátorů. To umožňuje větší flexibilitu použití, není nutná shoda zakončovacího napětí vysílače  $V_{TR}$  a přijímače  $V_{TR}$ . Snadno tedy lze provést propojení i mezi odlišnými logickými standardy. Nevýhodou střídavé vazby je nutnost použití vhodného linkového kódu [10].

Od zapojení budiče dle schématu na obr. 5.17 se často obvody CML liší výstupem v provedení s otevřeným kolektorem. Hodnotu kolektorového rezistoru lze v určitých mezích přizpůsobit dané aplikaci. Tento typ je také využíván pro odlišný způsob zapojení, kdy tento rezistor na straně vysílače chybí a linka jako kolektorový i zakončovací odpor využívá rezistor na straně přijímače. Toto řešení využívá výhody vyšší zatěžovací impedance (kolektorový i zatěžovací rezistor jsou jinak pro střídavý signál zapojeny paralelně), rozkmit signálového napětí na lince je dvojnásobný. Výraznou nevýhodou je chybějící zakončení linky na straně vysílače, které slouží k potlačení možného odraženého signálu od přijímače [10]. Některé další parametry CML standardů jsou shrnuty v tab. 5.2.

Parametr	Označení	Hodnota
$I_{dr}$	Budící proud	16 – 21 mA
$Z_L$	Zatěžovací/zakončovací impedance	25 – 100 $\Omega$
$Z_{Lt}$	Typická impedance všech prvků	50 $\Omega$
$V_{pp}$	Rozkmit výstupního napětí	400 – 1400 mV
$V_{TH}$	Prahové napětí vstupu	$\pm 100$ mV
$RT$	Doba hrany	menší než 100 ps

Tab. 5.2: Příklad parametrů standardu CML [10].

## 6 NÁVRH ELEKTRONIKY

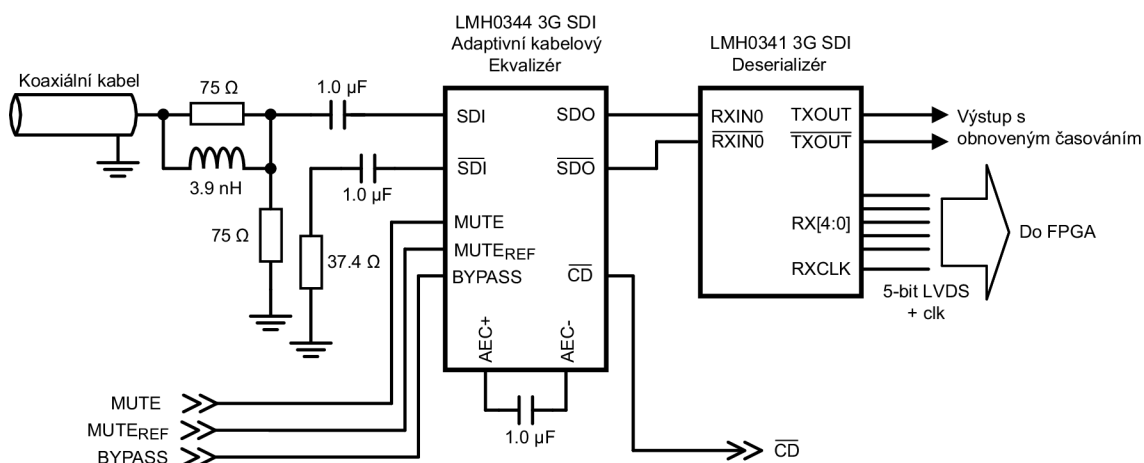
V úvodu práce je představena bloková koncepce vyvíjeného zařízení a proveden výběr klíčových komponent, vč. definice nejdůležitějších rozhraní. Následující kapitola se zabývá popisem vývoje elektroniky rozděleným do jednotlivých částí. Přehled jednotlivých schématických listů je v příloze E, následující přílohy obsahují schéma zapojení zde vyznačených dílčích částí. V případě komplikovanějších bloků je dodatečně uvedena teorie, praktické příklady nebo obecná pravidla týkající se jejího návrhu. Zapojení transparentních částí - A/D převodníku pro analogové audio vstupy a doplňkových komponent připojených ke sběrnici  $I^2C$  je pouze stručně popsáno s odkazem na schéma zapojení.

Vlastní návrh je rozdělen do částí odpovídajících vyznačeným blokům:

- Návrh vstupních kanálů SDI.
  - Zapojení přizpůsobovacího obvodu a kabelového ekvalizéru LMH0344.
  - Zapojení deserializéru LMH0341.
  - Další návrhová pravidla a požadavky na zapojení a napájení SDI komponent.
- Zapojení a konfigurace FPGA Spartan 6 LXT.
  - Konfigurace FPGA.
  - Zapojení LVDS vstupů.
  - Napájení jádra, I/O banků, AUX, GTP transceiverů.
  - Taktování FPGA s GTP.
- Návrh zapojení obvodů 10-Gigabit Ethernetu.
  - Zapojení obvodu PHY VSC8486.
  - Zapojení konektoru pro modul SFP+.
- Návrh napájecích zdrojů.
  - Stanovení celkové koncepce napájení.
  - Návrh spínaných regulátorů.
  - Návrh nízkoubytkových lineárních regulátorů.
- Návrh ostatních obvodů.
  - Zapojení A/D převodníku pro audio.
  - Transceiver RS-422, senzor teploty, EEPROM paměť.
- Návrh DPS s řízenou impedancí.

## 6.1 Vstupní obvody SDI

Na obr. 6.1 je referenční schéma zapojení vstupních obvodů SDI skládající se z přizpůsobovacího a vazebního RLC obvodu, kabelového ekvalizéru LMH0344 a deserializéru LMH0341. Tyto obvody vyžadují pouze minimum externích součástek, díky integraci veškerých podpůrných obvodů není nutné doplňovat externí VCO oscilátory apod. V následující kapitole je proveden stručný rozbor funkce obou hlavních komponent a uvedeny nejdůležitější aplikační poznámky, v závěru jsou shrnuty požadavky na napájení těchto komponent.



Obr. 6.1: Referenční zapojení ekvalizéru a deserializéru pro SDI vstup - upraveno[19].

### 6.1.1 Kabelový ekvalizér LMH0344

Adaptivní kabelový ekvalizér LMH0344 je určen pro obnovení signálu přenášeného kabelovým vedením (nebo vedením s podobnou charakteristikou), pracuje v rozsahu bitových rychlostí 125 Mb/s až 2,97 Gb/s. Vstup ekvalizéru je možné zapojit jak diferencially, tak single-ended jako v případě této aplikace.

Doplňkovými funkcemi ekvalizéru je možnost odpojení výstupu, pokud degradace signálu překročí nastavený práh a možnost přemostění - vyřazení ekvalizace.

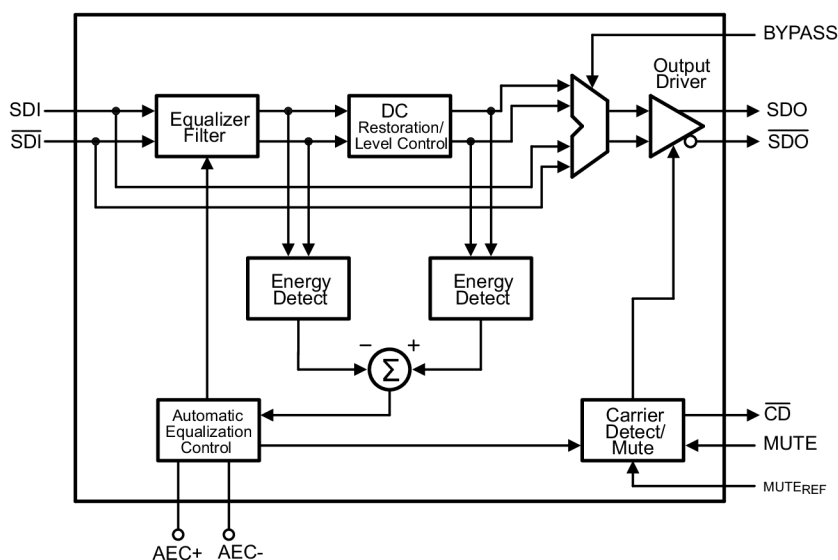
Na obr. 6.2 je interní blokové schéma ekvalizéru. Blok Equalizer Filter je vícestupňový filtr, blok DC Restoration / Level Control obnovuje stejnosměrnou složku vstupního signálu. Vstupní a výstupní signály tohoto bloku využívá blok Automatic Equalization Control, který nastavuje zisk a šířku pásma vstupního filtru. Ostatní bloky umožňují indikovat platná data a řídit přemostění a vypnutí ekvalizéru. Výstupem ekvalizéru je buď diferencially linky, parametry výstupního signálu přímo korespondují se vstupy ostatních SDI komponentů [19].

V příloze F je kompletní schéma jednoho kanálu navrženého vstupního bloku SDI, v příloze D doporučené rozmístění a zapojení komponent vstupu SDI na DPS včetně aplikačních poznámek [17].

Koncepce přizpůsobovacího obvodu je převzata z aplikační poznámky, neboť vyvíjená aplikace se shoduje se zde uvedeným příkladem pro daný koaxiální kabel. Byla doplněna pouze obousměrná polovodičová přepětová ochrana (TVS) s prahovým napětím 6 V - dioda D4 ve schématu v příloze. Parazitní kapacita má typicky hodnotu 1 pF, celkový charakter přizpůsobovacího obvodu nemění.

V zapojení je využita funkce MUTE, tedy vypnutí výstupu v případě, kdy na vstupu není přítomen signál. Tím je zamezeno následnému zpracování nevalidních dat. Řídicí signál je odebírán z výstupu detektoru nosné (Carrier Detect), jehož stav je také indikován LED diodou D5. Doplňkové funkce nastavení prahu vypnutí a přemostění nejsou využity.

Externími součástkami jsou jeden kondenzátor smyčky filtru a blokovací kondenzátory v těsné blízkosti napájecích pinů ekvalizéru.

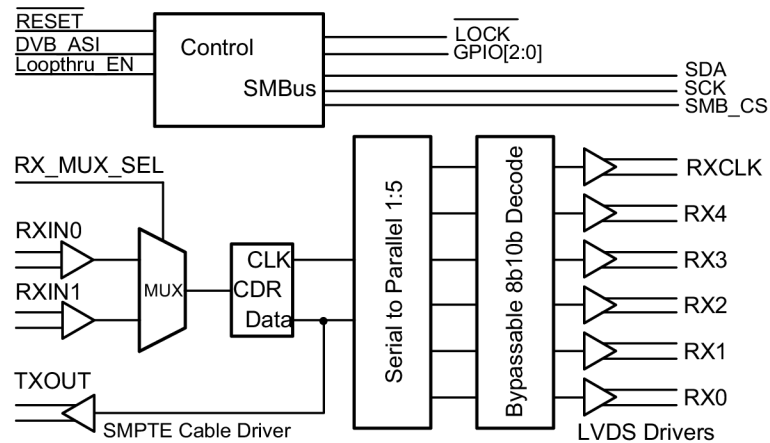


Obr. 6.2: Blokové schéma SDI ekvalizéru LMH0344 [19].

### 6.1.2 Deserializér LMH0341

Deserializér LMH0341 převádí sériovou linku SDI na pětičlívý datový a jeden hodinový LVDS signál pro připojení k FPGA. Délka vedení LVDS může dosahovat až 25 cm, parametry budiče linky jsou konfigurovatelné. Deserializér detekuje hodnotu bitové rychlosti linky, provede její obnovení a deserializaci dat pro všechny vyžadované SDI standardy. Výstupní LVDS rozhraní pracuje v režimu DDR.

Na obr. 6.3 je blokové schéma deserializéru. Vstupní multiplexer MUX umožňuje volbu jednoho ze dvou vstupů, následující blok CDR obnovuje hodinový kmitočet linky společně s daty. Obnovená sériová data jsou také volitelně k dispozici na dalším SDI výstupu. Data jsou deserializována v poměru 1:5, paralelní data mohou být kódována kódem 8b/10b jež následují budiče LVDS. Doplňkovými funkcemi je konfigurace obvodu přes rozhraní SMBus, reset, vstupně/výstupní piny s nepovinnou funkcionalitou nebo obecným použitím, povolení výstupu s budičem kabelu a indikace zavěšení PLL [20].



Obr. 6.3: Blokové schéma SDI deserializéru LMH0341 [20].

Externími součástkami jsou pouze zakončovací rezistory, části filtru smyčky, PU/PD rezistory pro konfiguraci funkce pomocí dedikovaných pinů a nezbytné kondenzátory jakožto filtry napájecích větví.

Rozhraní SMB a signál reset pro všech 6 kanálů jsou společné, signály indikace zachycení linky a Chip Select jsou oddělené. Zachycení linky je rovněž indikováno LED diodou D6. Výstup s obnoveným vstupním signálem není, stejně jako GPIO piny a alternativní vstup, využít.

### 6.1.3 Napájení SDI komponent

Základním předpokladem splnění požadavků na přenos signálu pro celý systém je dodržení aplikačních požadavků specifikovaných výrobcem. Poté mohou možnosti detekce a obnovení vstupního signálu, stejně jako parametry výstupního signálu, kterými jsou např. jitter, doba trvání hran signálu a v konečném důsledku tvar signálu v diagramu oka, být vyhovující. Pramen [18] poskytuje jasný přehled požadavků na napájecí větve pro různé SDI komponenty.

#### Napájení kabelového ekvalizéru

Kabelový ekvalizér, jehož účelem je zesílení a obnovení vstupního videosignálu umožňuje v případě přenosu 3G videosignálu utlumeného až o 50 dB (po průchodu 180 m kabelem) obnovit signál s amplitudou i pouhé 3 mV (plná amplituda je cca 800 mV), pokud má SNR akceptovatelnou hodnotu.

Výrobce poskytuje orientační graf, ze kterého lze maximální povolené zvlnění napájecího napětí ekvalizéru, pro vzrůstající délku kabelu a různé bitové rychlosti, jednoduše odečíst. Obecně lze říci, že požadavky na napájení ekvalizéru nejsou nijak přehnaně přísné, dle dokumentace je povolené zvlnění pro většinu aplikací překvapivě vysoké, až 100 mV.

## Napájení deserializéru

Deserializéry obsahují integrované PLL, je tedy zřejmé, že požadavky na kvalitu napájení budou přísné.

Z dat poskytnutých v aplikační poznámce [18] lze vyvodit závislost povoleného zvlnění napájecího zdroje na kmitočtu zvlnění (vztažená ke spínacímu kmitočtu měniče) a samozřejmě na bitové rychlosti linky (standardu) – mající vztah k šířce pásma filtru smyčky. Prakticky je trend takový, že pro nižší kmitočet zvlnění je povolena větší amplituda zvlnění, zejména pro HD a 3G povolené zvlnění s rostoucím kmitočtem prudce klesá. Pro HD-SDI a 3G HD-SDI a spínací kmitočet měniče 1 MHz je povolené zvlnění pouze cca 10 mV, což z pohledu návrhu napájecího zdroje vyžaduje již velkou pozornost.

Pro dosažení zvlnění pod 10 mV je stále možné použít spínaný měnič, v mnoha případech je však zvlnění vyšší. Doporučené moduly měniče Simple Switcher řady LMZ10503/4/5 ve variantách 3, 4 a 5 A, resp. LMZ22008/010 s maximálním proudem 8 a 10 A umožňují při korektním návrhu tento požadavek dodržet. Přesto výrobce doporučuje použít LDO s vysokým PSRR v okolí spínacího kmitočtu pro potlačení rušivých složek. Druhou možností je aplikace dalšího filtru v napájecí větvi, což však vyžaduje citlivou volbu jeho koncepce a konkrétních součástek, ideální volbu představuje kombinace obojího, tedy filtru a LDO.

V sekci týkající se návrhu napájecích zdrojů bude proveden návrh zdroje s výše naznačenou koncepcí, tedy spínaný měnič následovaný filtrem a lineárním regulátorem s nízkým úbytkem a vysokým potlačením rušivých složek na vysokých kmitočtech. K tomuto návrhu v kap. 6.4 je dále doplněna simulace.

Hodnota maximálního proudového odběru z napájecích větví pro ekvalizér i deserializér společně s povoleným zvlněním (bez ohledu na jeho spektrální skladbu) jsou shrnuty v tab. 6.1.

Komponenta	Parametr	Napětí 2,5 V	Napětí 3,3 V
Ekvalizér	Proud Zvlnění	-	100 mA 30 mV
Deserializér	Proud Zvlnění	108 mA 10 mV	127 mA 10 mV

Tab. 6.1: Základní požadavky napájení ekvalizéru a deserializéru [18].

Pozn.: Sekvence náběhu obou napájecích napětí pro deserializér je libovolná.

## 6.2 FPGA

### 6.2.1 Konfigurace FPGA

Jelikož technologie konfigurace FPGA je volatilní, musí být rekonfigurováno po každém odpojení obvodu od napájecího napětí. Informace o tom, jaké je požadované nastavení a vzájemné propojení jednotlivých prvků pole jsou uloženy v konfiguračním souboru, tzv. bitstreamu. Obvod Spartan 6 umožňuje sám řídit konfiguraci (Master mód), nebo být řízen externím inteligentním systémem - mikrokontrolérem, testerem, PC (Slave mód) [21]. Datové rozhraní pak může být sériové (vede k redukci počtu vodičů), nebo paralelní o šířce až 16 bitů (vyšší datová propustnost a tedy redukce doby trvání konfigurace).

Je možné využít těchto módů konfigurace (označení výrobce):

- JTAG.
- Master Serial / SPI (x1, x2 nebo x4).
- Slave Serial.
- Master SelectMAP/BPI (x8 nebo x16).
- Slave SelectMAP/BPI (x8 nebo x16).

Volba je provedena nastavením úrovně dvojice vstupních pinů M[1:0] při inicializaci pole. Rekonfigurace pomocí rozhraní JTAG je dostupná vždy, nezávisle na nastavení úrovně těchto pinů. Pro danou aplikaci byla zvolena konfigurace z externí paměti typu Flash s rozhraním SPI řízená vlastním FPGA, tedy mód Master SPI se šířkou datové sběrnice 1 bit (x1). Nastavení pinů M[1:0] = "01", taktovací signál CCLK je výstupem z FPGA. Schéma zapojení pro konfiguraci z SPI Flash paměti je na obr. 6.4, vychází z [21]. Konfigurační piny a SPI rozhraní jsou připojeny ke shodně označeným pinům FPGA v jiných I/O bancích - schéma v příloze I.

Velikost konfiguračního souboru pro uvažované varianty FPGA 100T a 150T jsou společně s minimální velikostí Flash paměti shrnuty v tab. 6.2. S ohledem na možnost uložení dalších uživatelských dat, např. paměť programu pro embedded mikroprocesor nebo alternativní konfiguraci, je vhodné použít paměť s vyšší datovou kapacitou.

Obvod	Počet konfiguračních bitů	Minimální velikost Flash
XC6SLX100(T)	26 691 232	32 Mb
XC6SLX150(T)	33 909 664	64 Mb

Tab. 6.2: Konfigurační paměť pro různé varianty obvodů Spartan 6 [21].

V případě sériové komunikace s jedním datovým vodičem je rychlost načtení konfigurace přímo úměrná velikosti bitstreamu a nepřímo úměrná kmitočtu hodinového signálu CCLK. Hodinový signál konfigurace, jež je výstupem FPGA, je zakončen na straně SPI Flash paměti co nejbližší pouzdu obvodu rezistory R27 a R29 způsobem naznačeným ve schématu.

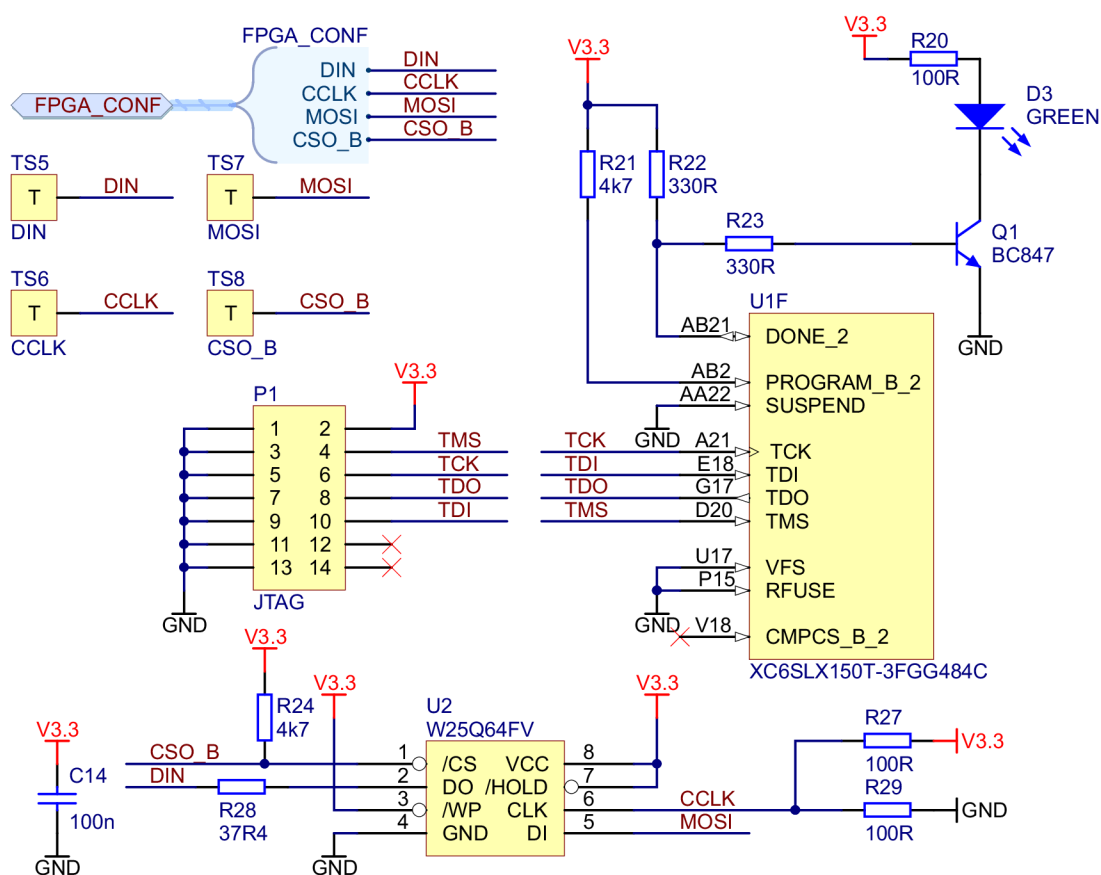
Doba načtení konfigurace pro obvod XC6SLX100T a kmitočet hodinového signálu  $f_{CCLK} = 40 \text{ MHz}$ :

$$t_{conf} = \frac{n_{bit}}{f_{CCLK}} = \frac{26691232}{40000000} = 0,6673 \text{ s.} \quad (6.1)$$

Prostředí iMPACT určené pro konfiguraci FPGA Xilinx umožňuje vygenerovat konfigurační data pro SPI Flash paměť, zápis poté probíhá skrze FPGA prostřednictvím rozhraní JTAG. Podporované typy pamětí jsou shrnuty v tab. 6.3. Byla zvolena 64 Mb paměť typu W25Q64FV, ve shodném pouzdře lze osadit i 128 Mb variantu.

Výrobce	Typ	Dostupné varianty
Micron	M25P	512 kB - 128 Mb
Micron	N25Q	32 Mb - 128 Mb
Atmel	AT45DB	1 Mb - 64 Mb
Winbond	W25Q	4 Mb - 128 Mb
Spansion	S25FLxxP	32 Mb - 128 Mb

Tab. 6.3: Typy Flash pamětí podporované nástrojem Xilinx iMPACT [22].



Obr. 6.4: Zapojení konfigurace FPGA ze SPI Flash paměti, JTAG.



## 6.2.2 Zapojení LVDS vstupů

Datové rozhraní výstupu deserializéru SDI obsahuje pět datových a jeden hodinový LVDS pár, se vzájemným fázovým posuvem o  $90^\circ$ . Datové signály jsou vzorkovány v době náběžné i sestupné hrany hodinového signálu, ve středu jejich bitové periody. Kmitočet hodinového signálu deserializovaného HD-SDI s datovým tokem 1,485 Gb/s je 148,5 MHz, pro 3G standard pak 297 MHz.

LVDS výstupy FPGA (nejsou použity) jsou dostupné pouze v bancích 0 a 2, LVDS vstupy jsou dostupné ve všech bancích, přičemž napájecí napětí banku  $V_{CCO}$  může být 2,5 V nebo 3,3 V. LVDS vstupy jsou zakončeny interním  $100\ \Omega$  rezistorem (aktivace volby DIFF\_TERM při nastavení logického standardu pinu), referenční napětí vstupů  $V_{REF}$  není vyžadováno [23].

Při návrhu zapojení sběrnice LVDS s výše uvedenými parametry ke vstupům FPGA je nutné respektovat jistá pravidla vedoucí k dodržení zadaných omezujících podmínek (user and timing constraints) [4]. Plánování spoje - rozmístění datových a hodinových linek by mělo probíhat při současném ověření splnění podmínek při překladu příslušné části designu FPGA. Základními podmínkami jsou připojení hodinových signálů do příslušného výhradního hodinového vstupu příslušného banku při současném připojení datových signálů do stejné poloviny banku. Ve výsledku je pak umístění všech vstupů v těsné blízkosti hodinových vstupů, ty se nacházejí ve fyzickém středu hrany čipu.

## 6.2.3 Napájení FPGA

Požadavky na napájení jednotlivých bloků FPGA jsou shrnuty ve specifikaci DS162 [24], napájení pro I/O banky různých logických standardů pak ve specifikaci UG381 [23] a napájení transceiverů v UG386[5]. Z těchto specifikací byly vybrány informace relevantní a podstatné pro konkrétní zapojení.

Obecně různé bloky FPGA vyžadují různé napájecí napětí např. pro jádro FPGA, I/O porty (banky), větve s nižším šumem/zvlněním nebo oddělení filtrem, např. bloky s PLL, vysokorychlostní transceivery.

Použitý obvod Spartan 6 LXT vyžaduje napájecí napětí dle tab. 6.4, napájecí a referenční napětí pro doplňkové funkce označené jako  $V_{FS}$ ,  $V_{REF}$  a  $V_{BATT}$  nejsou využity.

Poznámky:

- $V_{CCAUX}$  je možné volit buď 2,5 V (standardně) nebo 3,3 V za předpokladu shodného napětí s konfiguračním bankem. Tím je umožněno zjednodušit napájecí zdroje, pokud není 2,5 V použito pro jiný obvod. Negativním efektem je růst spotřeby a možné odchylky v parametrech jistých logických standardů (pokud jsou použity).
- Obecně nejprísnější požadavky na kvalitu napájení jsou vyžadovány specifikací GTP transceiverů, je doporučeno napájení všech jejich bloků z lineárního regulátoru.
- Požadavek na vzájemnou sekvenci náběhu napájecích napětí není definován, akceptovatelná doba náběhu zdrojů je v rozsahu 0,2 až 50 ms.

Označení	Napětí (V)	Použití
$V_{CCINT}$	$1,2 \pm 5\%$	Jádro FPGA.
$V_{CCAUX}$	2,5 <i>nebo</i> $3,3 \pm 5\%$	Konfigurace, interní funkcionalita.
$V_{CCO}$	1,2 až 3,3	I/O banky.
$MGT_{AVCC}$	$1,2 \pm 5\%$	GTP - analogové obvody.
$MGT_{AVTT}$	$1,2 \pm 5\%$	GTP - zakončovací napětí.
$MGT_{AVCCPLL}$	$1,2 \pm 5\%$	GTP - PLL přijímače a vysílače.
$MGT_{AVTTRCAL}$	$1,2 \pm 5\%$	GTP - napětí pro kalibrační rezistor.

Tab. 6.4: Požadavky na napájecí zdroje pro Xilinx Spartan 6 LXT.

### Proudové zatížení zdrojů

Proudový odběr z jednotlivých větví je ovlivněn jednak velikostí napětí, teplotou, taktovací frekvencí, množstvím a typem výstupů, stupněm využitím logiky a dalších integrovaných funkčních bloků (PLL, DCM, DSP,...). Pro konkrétní obvod a podmínky lze nejlépe proudové zatížení stanovit pomocí nástroje Xilinx Power Estimator (XPE) pro konkrétní rodinu obvodů [25]. Jeho výstupem je kromě detailního přehledu proudového odběru jednotlivých bloků také funkce pro návrh chlazení.

Pro tuto aplikaci je větev  $V_{CCINT}$  dimenzována na maximální povolený proud obvodu, tedy 3 A. Současný odběr větví  $V_{CCO}$  a  $V_{CCAUX}$  ze společného zdroje nepřekročí 0,5 A. Údaje o proudových požadavcích napájení GTP transceiverů vycházející z nástroje Xilinx Power Estimator jsou uvedeny v tab. 6.5. Jedná se o odhad nejhoršího případu odběru při napětí 1,26 V, teplotě 50 °C a konfiguraci pro rozhraní XAUI s maximálním rozkmitem buzení linek.

Označení	Proudový odběr (mA)
$V_{CCINT}$	206
$MGT_{AVCC}$	176
$MGT_{AVCCPLL}$	179
$MGT_{AVTTTX}$	193
$MGT_{AVTTRX}$	55
$\Sigma$	<b>809</b>

Tab. 6.5: Maximální proudový odběr GTP transceiverů z jednotlivých větví.

## Filtrace napájecích větví

Jelikož rychlé digitální obvody při své funkci odebírají a injektují do napájecích větví rušivý proud s velmi širokým spektrem, je nutné zajistit jeho kvalitní filtraci. To může být dosaženo pouze redukcí impedance napájecí větve pro co nejširší spektrum kmitočtů na co nejmenší hodnotu.

Při návrhu filtrace je možné vycházet z doporučení výrobce a aplikačních poznámek [15], uvedené množství kondenzátorů daných typů pro danou napájecí větev je však pouze minimální pro zaručení funkčnosti. Pouhé navýšení jejich počtu ale nemusí vést k lepším výsledkům, proto je vhodné kritické napájecí větve blíže analyzovat.

Obecnou požadovanou hodnotou impedance (nezávisle na kmitočtu) lze stanovit z přípustného zvlnění napětí a maximálního zvlnění odebíraného proudu.

$$Z_{target} = \frac{\Delta V}{\Delta I} \text{ (}\Omega\text{)} \quad (6.2)$$

Příklad pro napájení jádra FPGA:

Impedance pro uvažované zvlnění napětí 3 % a zvlnění proudu 50 %, pokud napájecí napětí  $V_{CCINT} = 1,2 \text{ V}$  a odebíraný proud je roven 3 A činí:

$$Z_{target} = \frac{36 \text{ mV}}{1,5 \text{ A}} = 24 \text{ m}\Omega. \quad (6.3)$$

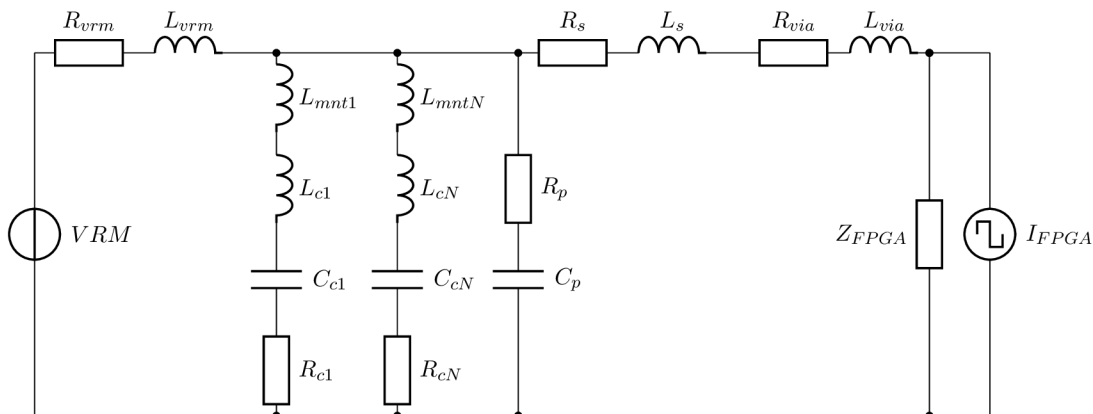
Výsledek je hraniční impedancí, kterou by měla napájecí větev vykazovat v co nejširším kmitočtovém pásmu.

## Náhradní schéma napájecí větve FPGA pro simulaci

Náhradní schéma napájecí větve dle [26] je na obr. 6.5, zahrnuje zjednodušený model napájecího zdroje (komponenty s indexem VRM), parazitní parametry filtračních kondenzátorů ( $L_c, R_c, C_c$ ) a jejich připojení ( $L_{mnt}$ ), odpor a rozprostřenou kapacitu napájecích vrstev DPS ( $R_p, C_p$ ), odpor a indukčnost napájecích spojů ( $R_s, L_s$ ) a prokovů ( $L_{via}, R_{via}$ ). Modelem statického odběru FPGA může být impedance  $Z_{FPGA}$  a dynamického odběru pak střídavý proudový zdroj  $I_{FPGA}$ .

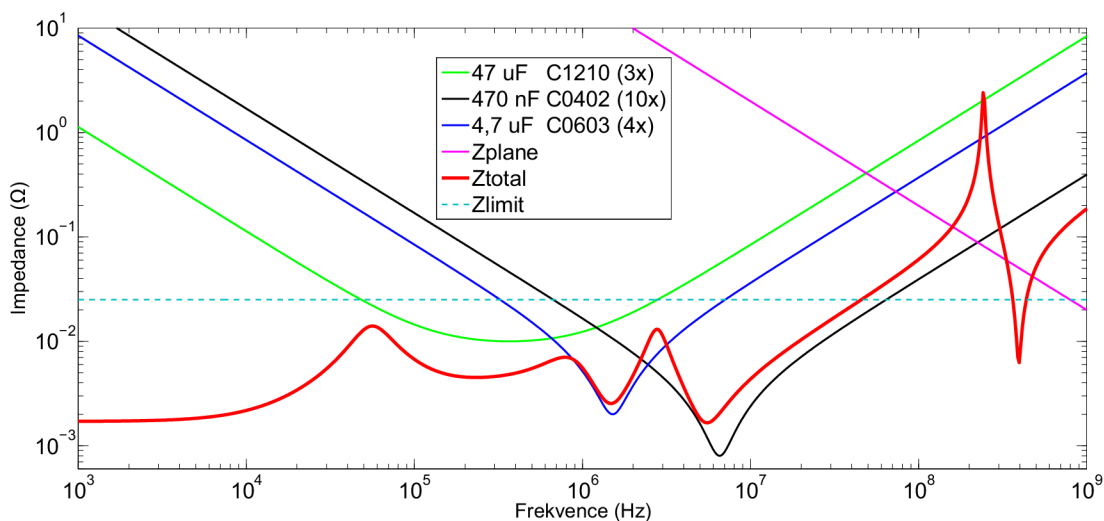
Pro celkovou analýzu napájecí větve bylo vyvinuto několik nástrojů, např. Altera - Power Delivery Network (PDN) Tool [26]. Tento nástroj využívá právě výše uvedené schéma.

Uvedený nástroj byl využit pro simulaci kmitočtově závislé hodnoty celkové impedance napájecí větve jádra FPGA navrhovaného zařízení, byly zadány reálné parametry, zejména parazitní vlastnosti odpovídající použitým kondenzátorům. Jejich výčet a vysvětlení je dostupné v podkapitole 6.4.1.



Obr. 6.5: Schéma napájecí větve jádra FPGA pro simulaci.

Příklad s cílovou impedancí menší než  $24\text{ m}\Omega$  je na obr. 6.6, použitý celkový počet a provedení kondenzátorů odpovídá legendě obrázku. Schéma filtrace napájecích větví FPGA je v příloze N a pro GTP transeivery spolu s jejich zapojením v příloze G.



Obr. 6.6: Kmitočtový průběh závislosti impedance napájecí větve jádra FPGA.

## Chlazení FPGA

Jak lze odvodit z odhadu odběru FPGA z jednotlivých větví, celkové výkonové zatížení obvodu přesahuje možnosti chlazení samotného pouzdra vyzařováním a odvodem tepla do DPS. Při finální montáži bude doplněn pasivní chladič s tepelným odporem  $6,9\text{ K/W}$  uchycený pomocí nanesené lepicí vrstvy, jelikož velká hustota spojů na DPS v okolí pouzdra nedovoluje jednoduše umístit montážní body (otvory pro šrouby, háčky).

## 6.2.4 Taktování FPGA

Struktura hodinových spojů určených pro taktování vnitřní logiky FPGA zahrnuje dedikované hodinové spoje globální, regionální a lokální, navíc řadu budičů a bloků pro úpravu hodinového kmitočtu - PLL (ekvivalent obvodů s PLL s VCO) a DCM (blok digitální úpravy hodinového signálu). Bloky PLL a DCM umožňují úpravu kmitočtu, střídý a fáze taktovacího signálu, v některých aplikacích tedy postačí využít pouze jeden externí hodinový signál, z něhož jsou následně syntetizovány různé hodinové signály pro různé hodinové domény. Vybrané obvody Spartan 6 ve variantách 100T a 150T obsahují celkem 12 DCM a 6 PLL sdružených vždy v CMT (2xDCM + 1xPLL).

Navržená aplikace využívá jeden oscilátor o kmitočtu 100 MHz pro taktování logiky FPGA a dále replikovaný referenční hodinový kmitočet pro XAUI. Jedná se o oscilátor s diferenciálním výstupním standardem LVDS. Tento oscilátor je připojen na piny obvodu s I/O buňkou umožňující připojení do výhradního hodinového vstupu (označen jako GCLK), tento signál poté může být vstupem pro libovolný blok sdružený v CMT (Clock Management Tile).

### Taktování GTP pro XAUI

Blokové schéma možností taktování bloku GTP Dual je v příloze C. Pomocí multiplexerů je vybrán právě jeden zdroj referenčního kmitočtu pro každé PLL, těmi jsou hodiny sousedního bloku GTP Dual, vlastní referenční vstupy, výstupy PLL v logice a globální hodinové signály z logiky. Nejlepším způsobem taktování, který nevede k nárůstu jitteru je externí hodinový signál přivedený přímo na jeden z páru dedikovaných referenčních hodinových vstupů každého transceiveru. Druhý, nevyužitý vstup je dle doporučení připojen přímo k zemnímu potenciálu (nebo lze ponechat nepřipojené).

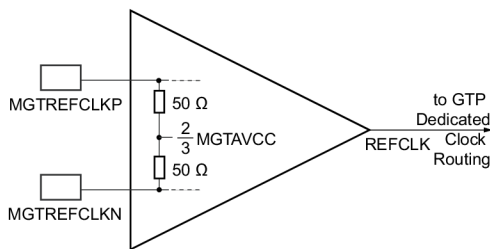
Shodný referenční kmitočet pro komunikační protokol XAUI využívají:

- Oba bloky GTP Dual.
- Obvod fyzické vrstvy PHY pro 10-Gigabit Ethernet.
- Interní logika FPGA.

Rozdvojení, odbočení ani jakékoliv jiné řazení vedoucí k připojení více vstupů na jeden výstup oscilátoru není dovoleno. Výstupní LVDS signál krystalového oscilátoru s kmitočtem 156,25 MHz je replikován opakovačem DS10BR254 (Texas Instruments) se čtyřmi výstupy. Opakovač umožňuje buzení dalších vstupů s diferenciálními logickými standardy (po přizpůsobení) LVDS, CML a LVPECL pro bitové rychlosti až 1,5 Gb/s. Parametry výstupního signálu jsou shodné se standardem LVDS, viz tab. 5.1.

Možná vazba s referenčními hodinovými vstupy je následující:

- Globální hodinový vstup logiky FPGA: vstup konfigurován jako LVDS, není třeba zvláštní přizpůsobení.
- Referenční hodinové vstupy GTP na obr. 6.7: úroveň signálu odpovídá, zakončovací impedance rovněž, liší se souhlasné stejnosměrné napětí. Je třeba provést střídavou vazbu sériovým kondenzátorem.
- Referenční hodinový vstup PHY: shodný se vstupem GTP, rovněž vyžaduje použití 100 nF vazebních kondenzátorů pro oddělení různých souhlasných stejnosměrných napětí.



Parametr	Min.	Typ.	Max.
Frekvence (MHz)	60	-	160
Doba hrany (ps)	-	200	-
Střída (%)	45	50	55
Rozkmit (mV)	200	1200	2000
Souhlasné U (V)	-	0,8	-

Obr. 6.7: Referenční hodinový vstup GTP [5].

Tab. 6.6: Parametry hodinového signálu pro GTP [5].

Pro komunikační protokol XAUI je nastavení PLL dáno dle tab. 6.7:

Standard	Linková rychlost (Gb/s)	Kmitočet PLL (GHz)	Referenční kmitočet (MHz)	Děličky PLL			
				N1	N2	D	M
XAUI	3,125	1,5625	156,25	5	2	1	1

Tab. 6.7: Nastavení PLL pro XAUI [5].

PLL transceiverů pracuje na kmitočtu daném referenčním kmitočtem a nastavením děliček (6.4) a výsledná bitová rychlost linky je jeho dvojnásobkem (6.5) [5].

$$f_{PLLClkout} = f_{PLLClkin} \frac{N1 N2}{M} = 1,5625 GHz \quad (6.4)$$

$$f_{LineRate} = \frac{2 f_{PLLClkout}}{D} = 3,125 Gb/s \quad (6.5)$$

Parametry referenčního 156,25 MHz oscilátoru jsou: diferenciální výstup LVDS, použitá technologie MEMS, pouzdro o velikosti 3,2 x 2,5 mm, stabilita výstupního kmitočtu je  $\pm 25 ppm$ , napájecí napětí v rozsahu 2,5 až 3,6 V. Parametry použitého 100 MHz oscilátoru jsou shodné, neboť je využit typ ze shodné produktové řady [27].

Dokumentace k PHY [3] udává požadavek na stabilitu kmitočtu pod  $\pm 100 ppm$  a střídu 40 - 60 %, pro GTP pak střídu 45 - 55 %.

## 6.3 10-Gigabit Ethernet

Jako příklad obvodu PHY pro 10-Gigabit Ethernet v kap. 4 byl uveden stručný popis funkce vybraného obvodu. Následující kapitola popisuje integraci tohoto obvodu - zapojení datových a konfiguračních rozhraní a dalších nezbytných externích komponent. Schéma zapojení je v příloze H.

### 6.3.1 Zapojení rozhraní obvodu PHY VSC8486

Vybraný obvod PHY disponuje následujícími rozhraními:

- XAUI.
  - Připojení k MAC v FPGA skrze vysokorychlostní transceivery, viz kap. 4.2.3.
- SFP+ transceiver.
  - XFI - duplexní sériové 10 Gbit/s rozhraní pro transceiver fyzického média.
  - Management SFP+ transceiveru.
- Konfigurace a řízení.
  - MDIO - sériové rozhraní pro přístup ke konfiguračním a stavovým registrům.
  - Další řídicí a stavové signály PHY.
- JTAG.
  - Testovací účely.

#### XAUI

Parametry a funkce rozhraní XAUI jsou popsány v kapitole 4.2.3, zjednodušená pravidla pro realizaci spoje FPGA - PHY jsou:

Provedení vedení s konstantní impedancí 100  $\Omega$ , střídavě vázané keramickými kondenzátory s kapacitou 100 nF v miniaturním provedení. Maximální povolené zpoždění mezi vodiči v diferenciálním páru činí 3 ps, tedy cca 0,5 mm fyzické délky, zpoždění mezi jednotlivými linkami je vyrovnáváno až do zpoždění cca 12 ns, tedy více než 37 bitových period na fyzické délce teoreticky až 2 m (které však XAUI nedosahuje).

#### SFP+, XFI

Popis signálů, vlastností a zapojení konektoru SFP+ je proveden v následující podkapitole. Dva vysokorychlostní diferenciální páry rozhraní XFI jsou vstupem (RXD) a výstupem (TXD) obvodu PHY, jejich fyzickému zapojení na DPS je třeba věnovat maximální pozornost.

Rozhraní Two-Wire (odpovídající  $I^2C$ ) obvodu PHY je určeno pro připojení k  $I^2C$  sběrnici SFP+ transceiveru, k rozhraní je možno přistupovat přes registry MDIO v PHY. Pro danou aplikaci však bylo zvoleno připojení k pinům FPGA pro případný přímý přístup.

Sběrnice vyžaduje externí PU rezistory v řádu jednotek  $k\Omega$  připojené ke sdílenému napájecímu napětí I/O pinů, jelikož vstupy a výstupy jsou realizovány s otevřeným kolektorem, tento fakt dále platí také pro všechny stavové signály SFP+ transceiveru. Tyto jsou připojeny k funkčně příslušným pinům PHY.

Schéma zapojení konektoru pro SFP+ a obvodu PHY, včetně filtru pro napájecí větev, jež je specifikován v [28], je v příloze H. SFP+ moduly nedosahují integrované indikační LED diody, ty jsou doplněny na spodní straně DPS pod konektorem a ovládány signálem z FPGA.

### **MDIO, stavové signály**

Logická úroveň stavových a ovládacích signálů PHY je shodná s I/O FPGA, jelikož sdílejí napájecí napětí (3,3 V), pokud je vyžadován externí PU/PD rezistor, je připojen. Dvě LED diody připojené k výstupům s otevřeným kolektorem RX ALARM a TX ALARM, jež mohou být konfigurované jako indikace příslušné chyby, indikace stavu linky a její aktivity nebo jako obecný, přes MDIO nastavitelný výstup.

MDIO sběrnice odpovídá obvyklé konfiguraci, hodinový signál MDC je výstupem FPGA, obousměrný datový vodič MDIO vyžaduje externí PU rezistor.

### **JTAG**

Rozhraní pro testování obvodu, umožňuje přístup k pinům obvodu (s výjimkou některých analogových a vysokorychlostních digitálních). Pro danou aplikaci nebude využito, pak je možné ponechat příslušné piny (TCK, TMS, TDI, TDO, TRSTB) nepřipojené.

### **6.3.2 Taktování**

Obvod VSC8486-11 může pracovat v odlišných módech: LAN (Local Area Network), SAN (Storage Area Network) a WAN (Wide Area Network) při použití podvrstvy WIS. Použití pro LAN vyžaduje nejméně komplikované schéma taktování, naopak pro WAN mód je třeba realizovat externí PLL pro potlačení jitteru zdroje referenčních hodin.

Daná aplikace vyžaduje referenční hodinový signál o kmitočtu 156,25 MHz připojený k pinům REFCLKP/N, jehož zdrojem je krystalový oscilátor s výstupem sdíleným s GTP transceiveru pro XAUI, viz kap. 6.2.4. Další vstupy WREFCLKP/N a VREFCLKP/N zůstávají nevyužité a nepřipojené. Rovněž dva výstupy signálu s kmitočtem rovným 1/64 bitové rychlosti linky (sloužící pro taktování XFP modulů) nejsou využity.

### **6.3.3 Filtrace napájení**

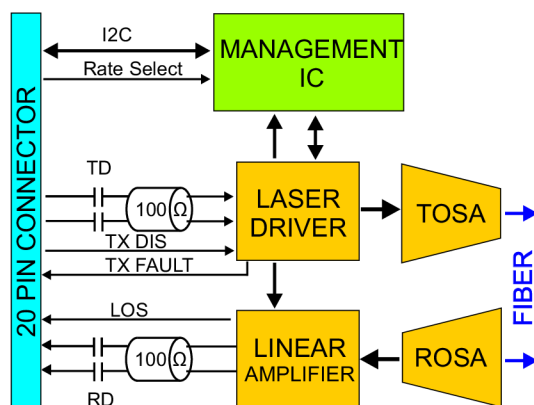
V příloze O je vyobrazeno schéma filtrace napájecích větví PHY, zapojení odpovídá předpisu v aplikačních poznámkách [29]. Napájecí piny pro vysokorychlostní přijímač, vysílač a analogové obvody jsou odděleny filtrem s feritovým čipem, viz kap. 6.4.3.



### 6.3.4 Modul SFP+, konektor

Transceivery typu SFP+ (Small Form Factor Pluggable), odpojitelné za provozu, umožňují duplexní přenos na optických linkách s bitovou rychlostí 10 Gb/s a vyšší. Jsou určeny pro vkládání do normalizovaných klecí s konektorem, typický transceiver pro optická vlákna je na obr. 6.8. Volba vlastního fyzického média je dána typem transceiveru, ve formátu SFP+ jsou dostupné jak technologie pro vícevidová, tak i jednovidová vlákna s různými vlnovými délkami pro různé dosažitelné přenosové vzdálenosti.

Vnitřní blokové schéma optického transceiveru je na obr. 6.9, pro vysílací část je k datovému vstupu vedením o impedanci  $100\ \Omega$  připojen střídavě vázaný budič laserové diody s následným blokem zavádějícím emitované záření do vlákna. Přijímací část obsahuje detekční PIN diodu a zesilovač, datový výstup je rovněž střídavě vázaný k diferenciallymu vedení. EEPROM paměť připojená k rozhraní  $I^2C$  obsahuje informace o typu a parametrech vloženého transceiveru. Dle specifikace je maximální odběr proudu SFP+ transceiveru 1 A, napájecí napětí má hodnotu 3,3 V. Popis signálů na pinech konektoru je v tab. 6.8 [28].



Obr. 6.8: Fotografie SFP+ modulu [30].

Obr. 6.9: Blokové schéma opt. modulu [28].

Č.	Označení	Funkce	Č.	Označení	Funkce
1,17,20	VeeT	Zem vysílače.	2	TX Fault	Chyba vysílače.
3	TX Disable	Vypnutí vysílače.	4	MOD-DEF2	$I^2C$ data (SDA).
5	MOD-DEF1	$I^2C$ hodiny (SCL).	6	MOD-DEF0	Obsazení klece.
7	Rate Select	Volba šířky pásma.	8	LOS	Ztráta signálu.
9,10	VeeR	Zem přijímače.	11,14	VeeR	Zem přijímače.
12	RD-	Výstup přijímače.	13	RD+	Výstup přijímače.
15	VccR	Napájení přijímače.	16	VccT	Napájení vysílače.
18	TD+	Vstup vysílače.	19	TD-	Vstup vysílače.

Tab. 6.8: Funkce a pozice pinů konektoru pro SFP+ transceiver [31].

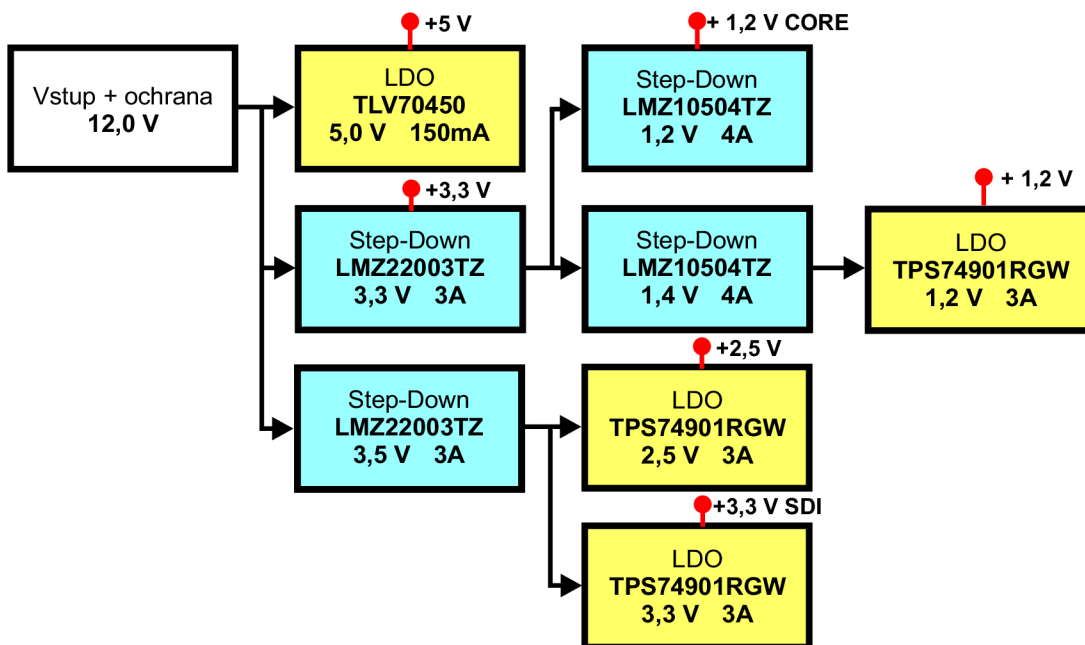
## 6.4 Návrh napájecích zdrojů

Požadované parametry regulátorů jednotlivých větví vychází z požadavků hlavních komponent v předcházejících podkapitolách. Blokové schéma na obr. 6.10 zobrazuje koncepci napájení zařízení - regulátory, jejich vzájemné propojení, velikost jejich výstupního napětí, maximální povolený proudový odběr a zvýrazněný odkaz na větev ve schématu, kterou napájí. Schéma zapojení je v příloze M, v následujících podkapitolách je provedena stručná charakteristika a návrh zapojení jednotlivých regulátorů. Jsou uvedeny nejdůležitější souvislosti a příklady podstatných simulací.

Při návrhu napájecích zdrojů řešeného projektu byl kladen důraz na dosažení příznivého kompromisu mezi obvyklými požadavky na:

- Kvalitu napájecích větví - např. zvlnění, šum, odezva na skokovou změnu proudu.
- Účinnost - požadavek na omezení ztrátového výkonu.
- Elektromagnetická kompatibilita - vyzářování, interference.
- Návrh - požadavky na externí součástky, plocha řešení na DPS, unifikace regulátorů.
- Výrobní a servisní důvody - náklady, oživení, spolehlivost, opravitelnost.

Následující blokové schéma zobrazuje řazení regulátorů odpovídající stanoveným požadavkům, tedy pro obvody citlivé na šum a zvlnění napájecího napětí (transceivery, obvody SDI vstupů, obvod PHY) napájení z lineárního regulátoru s předřazeným spínaným měničem a vloženým  $\pi$ -filtrem. Větvě méně citlivé na kvalitu napájení jsou napájeny přímo ze spínaného měniče.



Obr. 6.10: Blokové schéma napájení zařízení.

V tab. 6.9 jsou pro danou větev (regulátor) shrnuty komponenty jež napájí a přibližné celkové proudové zatížení.

Napájecí větev	Proud	Využití
+ 5 V	0,1 A	A/D převodník, reference pro lineární regulátory.
+ 3,3 V	3 A	I/O a AUX FPGA, modul SFP+, další regulátory.
+ 3,5 V	2,2 A	Předřadný regulátor pro LDO.
+ 1,4 V	2 A	Předřadný regulátor pro LDO.
+ 1,2 V	2 A	Napájení GTP transceiverů a obvodu PHY.
+ 1,2 V CORE	3 A	Jádro FPGA.
+ 2,5 V	0,7 A	Napájení deserializéru SDI (LVDS).
+ 3,3 V SDI	1,5 A	Napájení ekvalizéru a deserializéru SDI.

Tab. 6.9: Využití jednotlivých napájecích větví (dle označení v blokovém schématu).

#### 6.4.1 Spínané regulátory

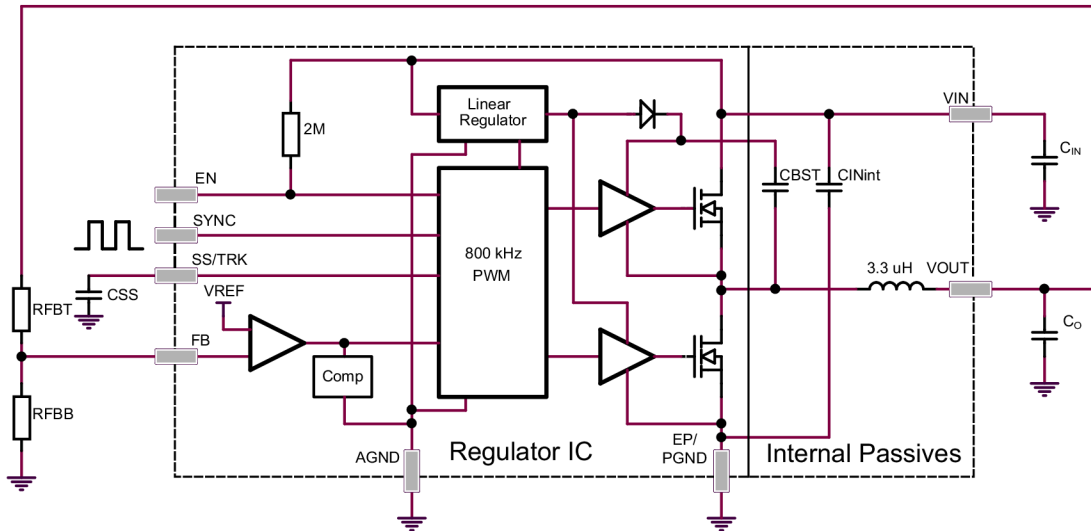
Jako spínané měniče byly zvoleny obvody řady LMZ výrobce Texas Instruments, konkrétně regulátory LMZ22003 pro konverzi napájecího napětí 12 V a regulátory LMZ10504 pro konverzi 3,3 V větve na napětí pro jádra logických obvodů. Obvody této řady se funkčně v detailech liší, avšak klíčové vlastnosti a postup návrhu je víceméně shodný, proto postačí uvést detailní návrh pouze pro regulátor LMZ22003 a zásadní odlišnosti pro regulátor LMZ10504. Charakteristika obou regulátorů a postup návrhu byl převzat z datasheetů [32] a [33].

Hlavním rysem obvodů LMZ je integrace maximálního množství komponent hlavní proudové smyčky, zejména výkonové tranzistory (ve funkci spínače a diody), integrovaný stíněný induktor a vstupní kondenzátor v těsné blízkosti spínačů, vedoucí ke zjednodušení návrhu, redukcí EMI (plocha proudové smyčky je minimalizovaná) a rozměrů výsledného zapojení.

Návrh regulátorů s obvody řady LMZ poté sestává z následujících kroků:

- Stanovení požadavků na velikost a zvolnění vstupního a výstupního napětí.
- Výpočet zpětnovazebního děliče.
- Výpočet kompenzačního obvodu zpětnovazebního děliče (pro LMZ10504).
- Výpočet vstupních ( $C_{in}$ ) a výstupních kapacit ( $C_o$ ), výběr typu kondenzátorů.
- Odhad velikosti ztrátového výkonu, návrh chlazení.
- Využití doplňkové (nepovinné) funkcionality.
  - povolovací vstup, ochrana před nízkým vstupním napětím (UVLO).
  - soft-start, synchronizace spínacího kmitočtu, sledování napětí dalšího zdroje.

Vnitřní blokové schéma regulátoru LMZ22003 je na obr. 6.11, uvnitř pouzdra jsou naznačeny integrované a vně další nezbytné externí komponenty, které jsou předmětem návrhu. Funkčně se tento typ nijak nevyvíká obecné koncepci neizolovaného synchronního snižujícího měniče (topologie Buck).



Obr. 6.11: Vnitřní blokové schéma regulátoru LMZ22003 [32].

Předmětem návrhu jsou externí součástky regulátoru LMZ22003 pro dané parametry:

- Nominální vstupní napětí  $V_{in} = 12$  V, funkční rozsah 8 až 18 V.
- Výstupní napětí 3,3 V se zvlněním  $\Delta V_o < 20$  mV<sub>p-p</sub>.
- Výstupní proud  $I_o = 3$  A.
- Doba náběhu (soft-start) 10 - 20 ms, bez synchronizace spínacího kmitočtu.

### Ošetření vstupu Enable

Dokumentace uvádí, že v případě nevyužití funkce zamezující sepnutí měniče při nízkém vstupním napětí je možné ponechat vnější vstup Enable nepřipojený. Přítomnost integrovaného PU rezistoru zajistí sepnutí při vstupním napětí cca 4,3 V. Pro danou aplikaci je vhodné posunout tento práh blíže k nominálnímu napájecímu napětí (12 V), jelikož výrazně nižší hodnota přímo indikuje závadu síťového napájecího zdroje a regulátor by poté byl neúměrně zatížen.

Typická prahová hodnota aktivace regulátoru při řízení vstupem Enable je 1,279 V. Doporučený způsob nastavení prahu aktivace je odporový dělič napětí připojený ke vstupnímu napětí regulátoru a zemnímu potenciálu, s odbočkou připojenou ke vstupu Enable. Dalším sériovým rezistorem je možné nastavit i hysterezi pro nastavení odlišného prahu sepnutí/vypnutí pro zvyšování/snižování napětí.

Vztah pro poměr rezistorů děliče  $R_{ent}$  a  $R_{enb}$  je roven:

$$\frac{R_{ent}}{R_{enb}} = \frac{V_{inUVLO}}{1,279 V} - 1 (-), \quad (6.6)$$

tedy pro vstupní napětí 7 V je dělicí poměr přibližně 5:1, jelikož se nejedná o kritické místo návrhu, jsou zvoleny hodnoty rezistorů již použité (kvůli redukci počtu různých součástek), tedy  $R_{ent} = 4,7 k\Omega$ ,  $R_{enb} = 1,07 k\Omega$ . Přesná hodnota vstupního napětí pro aktivaci regulátoru je tedy:

$$V_{inUVLO} = 1,279 \left( \frac{R_{ent}}{R_{enb}} \right) + 1 = 6,89 V. \quad (6.7)$$

Maximální povolené napětí na pinu Enable je 5,5 V, v případě dělicího poměru 4,3925 by ovšem muselo vstupní napětí překročit hodnotu 24 V. Vstup je ale chráněn transilem chránícím proti překročení napětí 18 V, další ochrana tohoto pinu tedy není nutná.

### Nastavení výstupního napětí

Pro nastavení požadovaného výstupního napětí je použit zpětnovazební dělič připojený na výstupní napětí a zemní potenciál, jehož odbočka je připojena na pin zpětné vazby FB. Regulace udržuje výstupní napětí na takové hodnotě, aby podíl napětí na pinu FB měl konstantní hodnotu cca 0,8 V. Použitelný rozsah nastavení výstupního napětí je od 0,8 do 6 V. Výstupní napětí je dáno vztahem:

$$V_o = 0,796 \left( 1 + \frac{R_{fbt}}{R_{fbb}} \right) (V). \quad (6.8)$$

Dělicí poměr rezistorů je odvozen jako:

$$\frac{R_{fbt}}{R_{fbb}} = \frac{V_o}{0,796} - 1 = \frac{3,3}{0,796} - 1 = 3,1457. \quad (6.9)$$

Dokumentace udává, že velikost rezistorů by měla být volena v rozsahu 1 – 10 k $\Omega$ . Je zvoleno  $R_{fbb} = 1,07 k\Omega$ , dle poměru  $\frac{R_{fbt}}{R_{fbb}}$  výsledek vede na hodnotu  $R_{fbt} = 3,3659 k\Omega$ , zvolen byl rezistor s hodnotou odporu 3,32 k $\Omega$ .

### Kompenzační obvod

Regulátor LMZ10504 vyžaduje k rezistoru  $R_{fbt}$  zpětnovazební děliče doplnění sériového RC obvodu pro kompenzaci - úpravu charakteristiky regulačního obvodu. V katalogu [33] je dostupná tabulka pro výběr konkrétních hodnot kompenzačního zapojení.

### Soft-start

Doba náběhu  $t_{ss}$  je dána následujícím vztahem (6.10). Zvolená kapacita  $C_{ss} = 1 \mu F$ , pak je doba náběhu rovna cca 16 ms:

$$t_{ss} = V_{ref} \frac{C_{ss}}{I_{ss}} = 0,796 \frac{1 \mu F}{50 \mu A} = 0,0159 s. \quad (6.10)$$

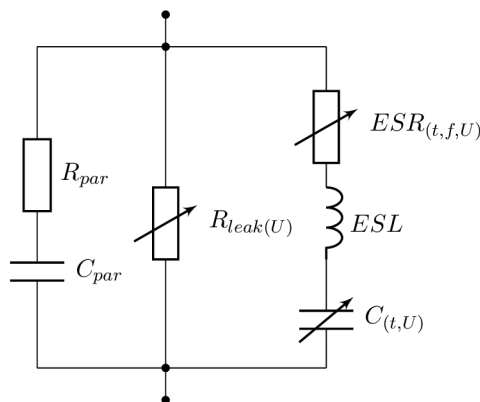
## Kondenzátor na výstupu

Kondenzátor ve výstupním obvodu měniče typu Buck je kritickou součástí, jeho smyslem je potlačení střídavých složek výstupního proudu s velmi širokým spektrem. Jeho celková impedance tedy musí ve velmi širokém kmitočtovém pásmu vykazovat co nejmenší hodnotu. Často tento požadavek nelze pokrýt jedním typem a je nutné tuto kapacitu realizovat paralelním spojením různých typů kondenzátorů s různými parametry. Obecně přibližně platí, že impedance větších (fyzická velikost i hodnota kapacity) kondenzátorů je nízká v oblasti nízkých kmitočtů a vysoká pro nejvyšší kmitočty, naopak kondenzátory v nejmenších pouzdrech (např. C0402) s nejkvalitnějšími dielektriky mají minimum impedance a rezonanční frekvenci posunutou směrem k vysokým frekvencím díky malým ztrátovým parametrům.

V aplikacích spínaných měničů jsou nejdůležitějšími uvažovanými parametry:

- Kapacita ( $C$ ).
- Ekvivalentní sériový odpor (ESR) a indukčnost (ESL) a tedy kmitočtový průběh impedance.
- Povolená amplituda střídavé složky zvlnění proudu (Ripple current), rezerva napětí.

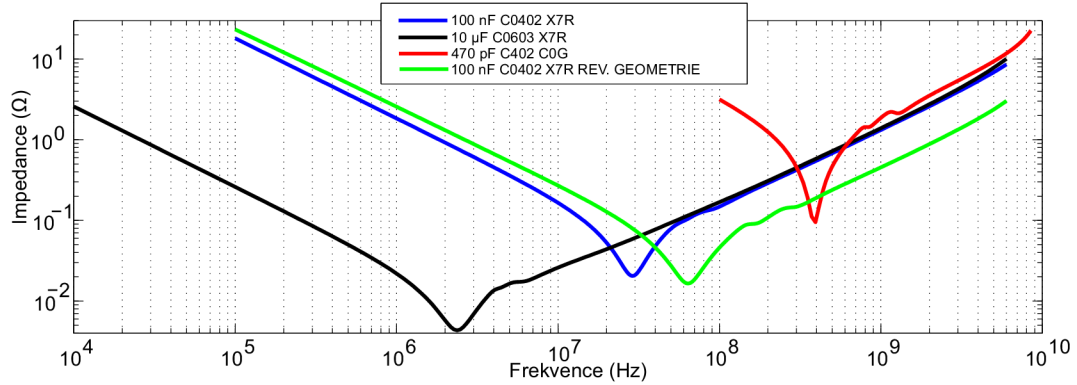
U jistých typů méně kvalitních dielektrik je třeba ověřit kmitočtovou, napěťovou a teplotní závislost hodnoty kapacity a dalších parametrů. Jednotlivé závislosti ilustruje rozšířený model reálného kondenzátoru na obr. 6.12 [34].



Obr. 6.12: Náhradní model kondenzátoru vč. parazitních parametrů.

Na obr. 6.13 je ve společném grafu zachycen průběh impedance různých typů keramických kondenzátorů (kapacita, pouzdro, dielektrikum) pro filtraci v nejvyšším kmitočtovém pásmu. Speciálním typem je kondenzátor s obrácenou geometrií, tedy kontakty na delší hraně. Jeho impedance na nejvyšších kmitočtech má nižší hodnotu. Jako příklad další moderní technologie může být uveden také kondenzátor v provedení X2Y se čtyřmi kontakty, jehož impedance má v oblasti nejvyšších kmitočtů příznivější průběh, než u běžných vícecvrstvých keramických. Velká výhoda těchto dvou typů je redukce ekvivalentní sériové indukčnosti a indukčnosti připojení do obvodu, jejíž vliv je obecně značný [35].

Například hodnota ESL níže uvedeného kondenzátoru v pouzdře C0402 je 280 pH [36], přičemž indukčnost připojení do napájecích vrstev DPS dvěma 0,5 mm dlouhými prokvy v těsné blízkosti plošek kondenzátorů má hodnotu přibližně 1 nH [35].



Obr. 6.13: Impedance vybraných typů keramických kondenzátorů [36].

Doporučení výrobce pro dosažení nejlepších parametrů je kombinace elektrolytického kondenzátoru z polymerů s pevným dielektrikem s kapacitou  $C = 220 \mu F$ ,  $ESR = 7 m\Omega$  a keramického kondenzátoru s kapacitou  $C = 100 \mu F$  s dielektrikem X5R, oba pro napětí  $U_{DC} = 6,3 V$ . Tento požadavek vč. konkrétního typu kondenzátorů byl při návrhu dodržen, navíc je v těsné blízkosti výstupních pinů měniče osazen 100 nF kondenzátor v pouzdře C0402 pro redukci impedance pro nejvyšší kmitočty.

Pro regulátory následované dalším stabilizátorem nebo velkou celkovou kapacitou osazenou dále na DPS (jádro FPGA) viz schéma v příloze M, byl keramický kondenzátor 100  $\mu F$  nahrazen typem s menší kapacitou v menším pouzdře.

Zvlnění výstupního napětí je složeným průběhem vznikajícím průtokem zvlněného proudu induktorem přes reaktanci a úbytky na ztrátových parametrech ESR a ESL kondenzátoru, je dáno vztahem [37]:

$$\Delta V_{ORPL} = \left( \frac{\Delta I_L}{8C_O f_{SW} + ESR} \right) + ESL \frac{V_{IN}}{L} (V_{p-p}), \quad (6.11)$$

kde  $V_{IN}$  (V) - maximální vstupní napětí,  $\Delta I_L$  (A) - zvlnění proudu výstupního obvodu,  $C_O$  (F) - kapacita kondenzátoru na výstupu,  $L$  (H) - indukčnost cívky výstupního obvodu,  $f_{SW}$  (Hz) - spínací frekvence měniče,  $ESR$  ( $\Omega$ ) a  $ESL$  (H) kondenzátoru na výstupu.

V současnosti spínací kmitočty měničů nabývají hodnot jednotek MHz a lze, při osazení relativně malé plochy na DPS, realizovat kapacity řádu stovek  $\mu F$ , pak reaktivní složka nabývá hodnot desetin  $m\Omega$ . Většina zvlnění pak vzniká na ztrátových parametrech kondenzátorů (ESR a ESL) a indukčnostech spojů.

Použití předepsaných typů kondenzátorů zajistí dosažení stanoveného celkového zvlnění napětí s výraznou rezervou pod 20 mV.

## Vstupní kondenzátor

Pro filtraci zvlnění vstupního proudu je nezbytně nutné k integrovanému kondenzátoru doplnit další externí. Požadavkem je filtrace v co nejširším kmitočtovém pásmu pro redukcii vyzařování celého napájecí spoje. Řada kondenzátorů na vstupu, dle doporučení výrobce sestává z keramických typů o kapacitách  $22 \mu F$ ,  $4,7 \mu F$  a  $100 nF$  v těsné blízkosti pouzdra a společného elektrolytického kondenzátoru o kapacitě  $470 \mu F$  na společném vstupu všech regulátorů. Kondenzátory jsou určeny pro napětí minimálně 25 V.

## Chlazení

Vzhledem k vysoké účinnosti a masivnímu pouzdru s rozměrnou termální ploškou je ve většině aplikací těchto měničů odvod tepla plošným spojením dostatečný. V místě termální plošky obsahuje plošný spoj hustě rozmístěné prokovené otvory pro odvod tepla do dalších vodivých vrstev a těmi dále do okolí.

## Navržené komponenty pro spínané regulátory

V tabulce 6.10 je shrnut návrh hodnot externích součástek všech čtyř spínaných regulátorů obou typů:

Parametr	LMZ22003 3,3 V	3,5 V	LMZ10504 1,2 V	1,4 V
$V_{in}$	12 V	12 V	3,3 V	3,3 V
$V_o$	3,3 V	3,5 V	1,2 V	1,4 V
$\Delta V_O (mV_{p-p})$	20	20	20	20
$C_{in}(\mu F); ESR (m\Omega)$	22; 4	22; 4	47; 4	47; 4
	4,7; 5	4,7; 5	4,7; 5	4,7; 5
	0,1; 3	0,1; 3	0,1; 3	0,1; 3
$C_{out}(\mu F); ESR (m\Omega)$	220; 7	220; 7	220; 7	220; 7
	100; 5	100; 5	4,7; 5	4,7; 5
	0,1; 3	0,1; 3	0,1; 3	0,1; 3
$C_{ss} (nF)$	1000	1000	1	1
$R_{f_{bt}}; R_{f_{bb}} (k\Omega)$	3,32; 1,07	3,65; 1,07	18; 36	24; 30,9
$R_{ent}; R_{enb} (k\Omega)$	4,7; 1,07	4,7; 1,07	-	-
$R_{comp}(k\Omega); C_{comp}(pF)$	-	-	1,5; 1500	2,2; 680
$\eta(I_{OUT} = 3 A) (\%)$	85	86	87	89

Tab. 6.10: Shrnutí navržených externích součástek spínaných regulátorů.

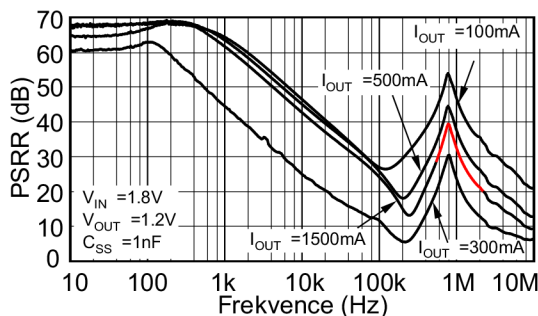
Pozn.: Uvedené hodnoty ESR jsou odečtené z katalogu pro kmitočet v pásmu jednotek MHz.



## 6.4.2 Lineární regulátory

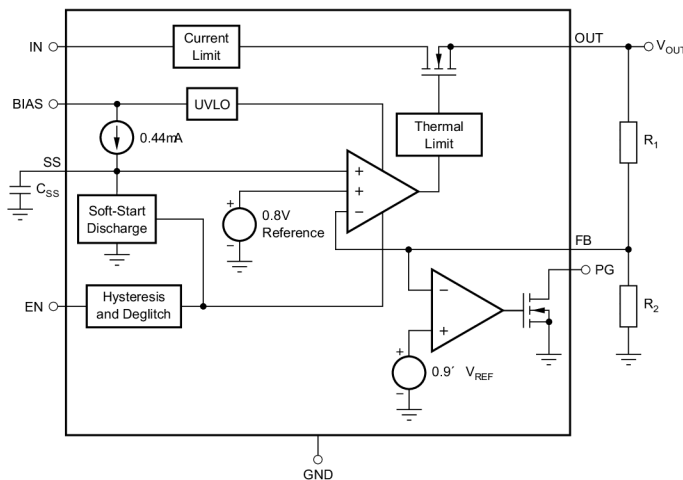
Obvod TPS74901 (Texas Instruments) [38] je nastavitelný lineární regulátor napětí s nízkým úbytkem a nízkým šumem výstupního napětí. Dosahuje mimořádně nízké hodnoty minimálního úbytku, typicky pouze 120 mV při proudovém odběru 3 A, za předpokladu aplikace externího referenčního napětí. Díky čemuž lze výrazně redukovat výkonovou ztrátu na regulátoru.

Druhou výhodnou vlastností je vysoké potlačení rušení vstupního napětí (PSRR) ve frekvenčním pásmu odpovídajícímu spínacímu kmitočtu předřazených spínaných regulátorů. V grafu z katalogu na obr. 6.14 je červeně vyznačená část příslušné charakteristiky. Další podstatná závislost na velikosti úbytku v katalogu pro toto frekvenční pásmo ale chybí.



Obr. 6.14: PSRR napájení LDO v závislosti na kmitočtu a proudu [38].

Interní blokové schéma LDO je na obr. 6.15.



Obr. 6.15: Vnitřní blokové schéma LDO TPS74901 [38].

Návrh externích komponent obvodu regulátoru spočívá v nastavení výstupního napětí pomocí zpětnovazebního děliče z rezistorů  $R_1$  a  $R_2$ . Referenční napětí  $V_{ref} = 0,8 V$ , vztah pro výpočet výstupního napětí je:

$$V_{out} = V_{ref} \left( 1 + \frac{R_1}{R_2} \right) (V). \quad (6.12)$$

Vypočítané hodnoty rezistorů pro požadovaná napětí jsou v tab. 6.11. Typická udávaná přesnost nastavení je  $\pm 0,5 \%$  (nezahrnuje toleranci a TKR rezistorů zpětnovazebního děliče).

Zadané napětí (V)	$R_1$ ( $k\Omega$ )	$R_2$ ( $k\Omega$ )
1,2	2,49	4,99
2,5	3,57	1,69
3,3	3,57	1,15

Tab. 6.11: Nastavení výstupního napětí nízkoubytkových regulátorů.

Dalšími nutnými součástkami jsou pouze filtrační kondenzátory v blízkosti vstupních a výstupních pinů. Z pohledu stability nejsou, mimo požadavku na minimální kapacitu specifikovány žádné další požadavky. Vyšší celková hodnota kapacity vede k příznivější odezvě výstupního napětí na změnu zátěže [38].

Navržená aplikace funkcí soft-start nebo výstupu s otevřeným kolektorem pro indikaci stavu výstupního napětí (Power Good) nevyužívá.

### Výkonové zatížení

Díky efektivní koncepci napájecích větví a funkci i při nízkém úbytku napětí na regulátoru, je vypočítaná výkonová ztráta regulátoru pro větev 1,2 V 350 mW, pro 2,5 V 500 mW a pro větev 3,3 V 300 mW. Přestože pouzdro zvoleného LDO je miniaturní, dosahuje dostatečných parametrů při odvodu tepelného výkonu z čipu, ten je dále veden a rozptýlen vícevrstevným plošným spojem.

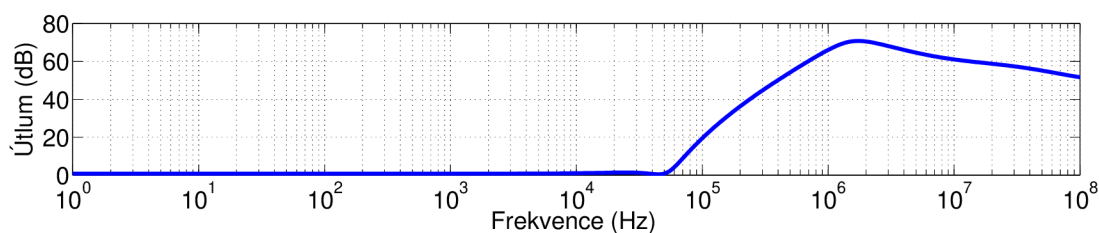
### Spektrální čistota výstupního napětí

Vzhledem k vysokému potlačení vysokofrekvenčního zvlnění na výstupu a dále popsanému předřazenému doplnopropustnému filtru redukujícímu vysokofrekvenční rušení lze předpokládat vysokou spektrální čistotu výstupního napětí. Vlastní výstupní šumové napětí je specifikováno pro pásmo 100 Hz - 100 kHz jako součin výstupního napětí a konstanty  $25 \mu V_{RMS}$ , tedy pro navrhovanou aplikaci cca 30 – 83  $\mu V_{RMS}$ . Společně s průnikem dalších rušení do výstupní větve je očekávaná amplituda šumu/zvlnění větve s LDO, v případě, že by napájela pouze rezistivní zátěž, maximálně několik jednotek mV.

### 6.4.3 Simulace spínaných měničů, filtr s feritovým čipem

Napájecí větve některých obvodů a LDO jsou od předřazených spínaných regulátorů dále odděleny dolnopropustným filtrem koncepce  $\pi$ -článek, jako podélný prvek je použit feritový čip. Feritové čipy vykazují vysokou impedanci v řádu desítek až stovek  $\Omega$  s rezistivním a dále induktivním charakterem v oblasti desítek až stovek MHz a zároveň jejich stejnosměrný odpor je minimální. Tato vlastnost je výhodná právě pro izolaci vysokofrekvenčních rušivých složek v napájecích větvích.

Byl zvolen feritový čip TDK MPZ2012S101A [39] v pouzdru velikosti 0805, s impedancí  $100 \Omega$  při kmitočtu 100 MHz, stejnosměrným odporem  $20 m\Omega$  a maximálním proudem 4 A. Výsledek provedené simulace frekvenčně závislého útlumu kompletního filtru s jeho modelem [40] a modely kondenzátorů se ztrátovými parametry je v grafu na obr. 6.16, reálný útlum ovšem klesne v závislosti na velikosti indukčnosti napájecích spojů. Rušivé složky do napájecích obvodů budou v omezené míře pronikat i jinou vazbou.

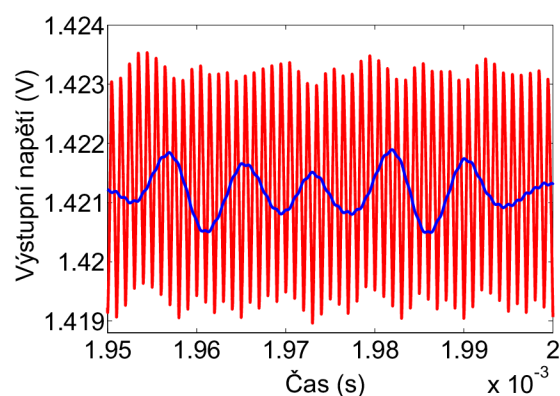


Obr. 6.16: Vložný útlum Pi filtru s feritovým čipem.

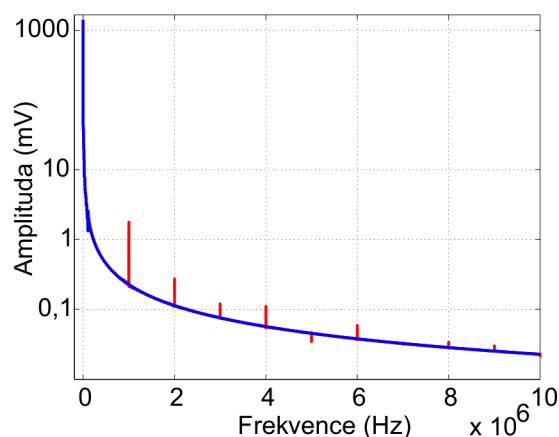
Následující výstupy simulací spínaného měniče LMZ10504 s výše popsaným doplnopropustným filtrem na výstupu popisují parametry výstupního napětí, jeho zvlnění a spektrální skladbu. Simulované zapojení reprezentuje co nejpřesněji skutečně navržené zapojení těchto zdrojů.

Časový průběh zvlnění napětí zdroje 1,4 V na obr. 6.17 zachycuje dvě křivky, červená křivka zachycuje výstupní napětí spínaného měniče, zde má špičkové zvlnění hodnotu cca 5 mV, modrá křivka reprezentuje napětí za vloženým filtrem. Je výrazně redukována jak amplituda zvlnění, tak i jeho spektrum, viz obr. 6.18.

Dále je v porovnání spekter patrná významná redukce složek s frekvencí násobků spínacího kmitočtu.



Obr. 6.17: Časový průběh výstupního napětí měniče a filtru.



Obr. 6.18: Spektra výstupního napětí měniče a výstupu filtru.

## 6.5 Další obvody

V příloze K je schéma zapojení 24-bitového dvoukanálového A/D převodníku pro audio aplikace. Zapojení sestává z katalogového zapojení obvodu PCM1808 (Texas Instruments) a lineárního regulátoru pro napětí 5 V. Ten slouží k napájení analogové části A/D převodníku a dále jako zdroj referenčního napětí pro nízkoúbytkové lineární regulátory.

Schéma v příloze L zahrnuje zapojení duplexního transceiveru pro linku dle standardu RS-422, teplotního senzoru TCN75A a EEPROM paměti 24AA025E48 s jedinečným 48-bitovým identifikátorem jakožto zdrojem MAC adresy pro Ethernet. Aplikace všech jmenovaných obvodů vychází z katalogových zapojení, není vyžadován návrh žádných externích komponent. Obvody TCN75A a 24AA025E48 výrobce Microchip jsou připojeny ke společné sběrnici  $I^2C$ , která je ovšem oddělená od sběrnice  $I^2C$  SFP+ transceiveru a sběrnice SMBus pro konfiguraci SDI deserializérů.

## 6.6 Návrh DPS

Návrh a výroba DPS bude probíhat v režimu tzv. řízené impedance, kdy je nutné ve všech krocích dodržovat určitá návrhová pravidla, což by ve výsledku mělo vést k DPS, jejíž vedení mají přesně definovanou impedanci, např. v toleranci  $\pm 10\%$  od navržené.

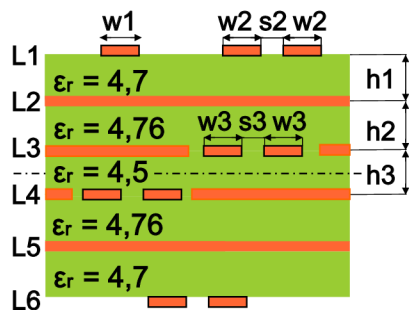
V souladu s uvedenými návrhovými pravidly a požadavky byla navržena DPS s řízenou impedancí s geometrií vodičů a skladbou desky poskytnutou výrobcem DPS. Při návrhu bylo využito poznatků kapitoly 5, aplikačních poznámek [15] a [16]. Použitý návrhový systém pro tvorbu schémat zapojení a DPS je Altium Designer.

Obecné technologické požadavky jsou v souladu se zvolenou konstrukční třídou a možnostmi výrobce. Základní pravidla jsou: minimální šířka vodiče  $100\ \mu\text{m}$ , izolační mezery  $130\ \mu\text{m}$ , minimální průměr vrtaného otvoru  $250\ \mu\text{m}$ , nejsou použity prokovy ve slepých a pohřbených otvorech, minimální průměr plošky prokoveného otvoru  $500\ \mu\text{m}$ .

### 6.6.1 Impedance a geometrie vodičů pro DPS elektroniky projektu

Požadavek na impedance vedení pro přenos signálu na DPS řešeného projektu je pro použité logické standardy jednotný. Všechny kritické spoje budou realizovány diferenciálním vedením s charakteristickou impedancí  $100\ \Omega$  na všech signálových vrstvách. Jediným dalším požadavkem je mikropáskové vedení s impedancí  $75\ \Omega$  na vnější vrstvě, toto vedení je vyžadováno pro spoje vstupního obvodu fyzické vrstvy SDI [6]. Ostatní parametry DPS odpovídají obvyklým normám a výrobním technologiím.

Pro požadovanou konfiguraci signálových a napájecích/zemních vrstev šestivrstvé DPS dle obr. 6.19 s požadovanými impedancemi vedení byla výrobcem navržena tato skladba a geometrie vodičů: Skladba desky je symetrická dle středu, tloušťka dielektrik je dle tab. 6.12, geometrie vodičů na jednotlivých vrstvách je dle tab. 6.13.



Tloušťka dielektrika
$h1 = 200\ \mu\text{m}$
$h2 = 376\ \mu\text{m}$
$h3 = 327\ \mu\text{m}$
Tloušťka desky
$t = 1570\ \mu\text{m}$

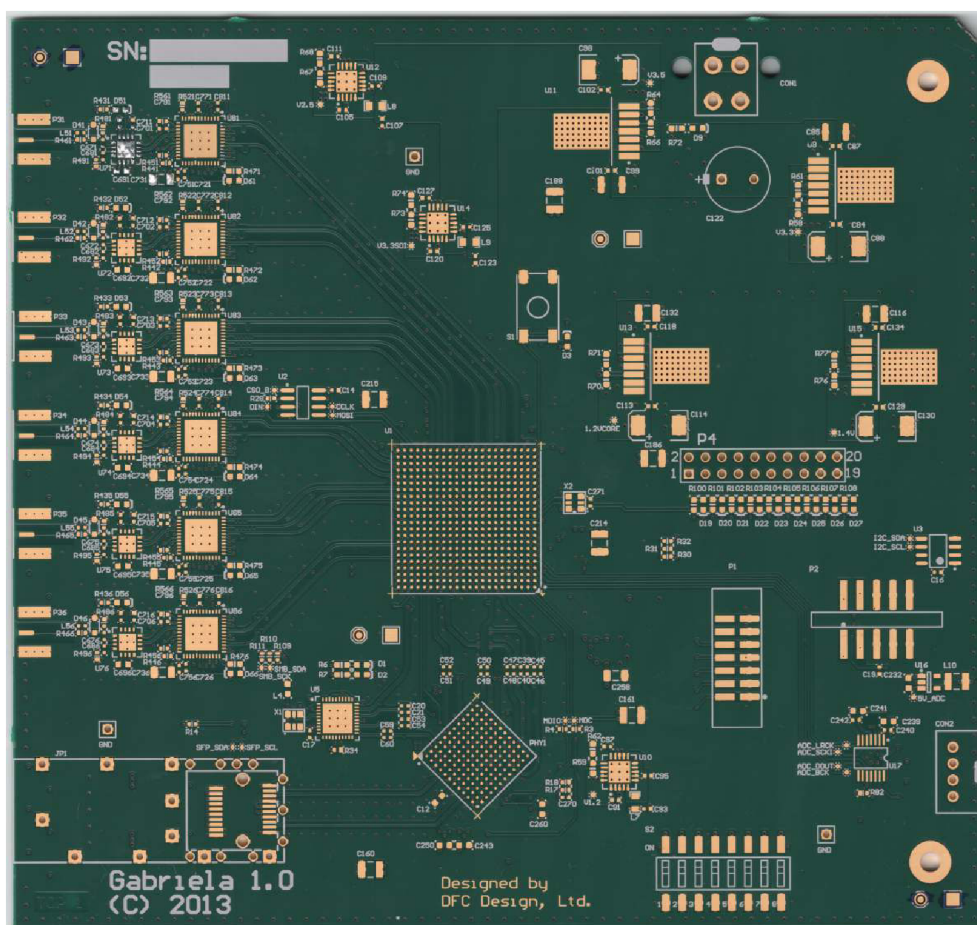
Obr. 6.19: Skladba vrstev navržené DPS.

Tab. 6.12: Tloušťka dielektrik.

Na obr. 6.20 a 6.22 jsou snímky obou stran DPS prvního prototypu.

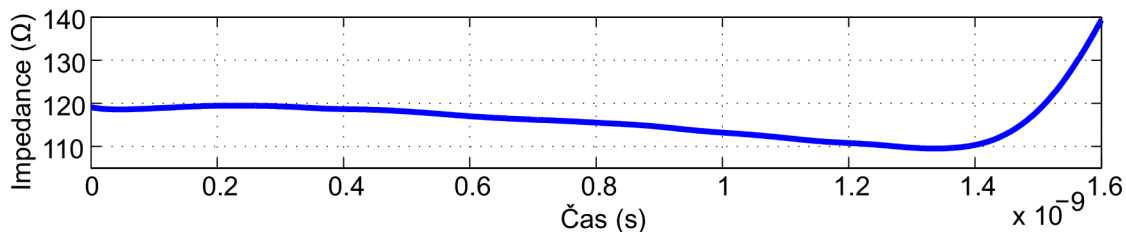
Vrstva	Referenční vrstva 1	Referenční vrstva 2	Typ vedení, impedance	Šířka vodiče	Mezera
L1	-	L2	MS,75 $\Omega$	$w1 = 114 \mu\text{m}$	-
L1	-	L2	D-MS,100 $\Omega$	$w2 = 150 \mu\text{m}$	$s2 = 160 \mu\text{m}$
L6	-	L5	D-MS,100 $\Omega$	$w2 = 150 \mu\text{m}$	$s2 = 160 \mu\text{m}$
L3	L4	L2	D-SL,100 $\Omega$	$w3 = 150 \mu\text{m}$	$s3 = 200 \mu\text{m}$
L4	L5	L3	D-SL,100 $\Omega$	$w3 = 150 \mu\text{m}$	$s3 = 200 \mu\text{m}$

Tab. 6.13: Geometrie vodičů pro zadanou skladbu DPS.



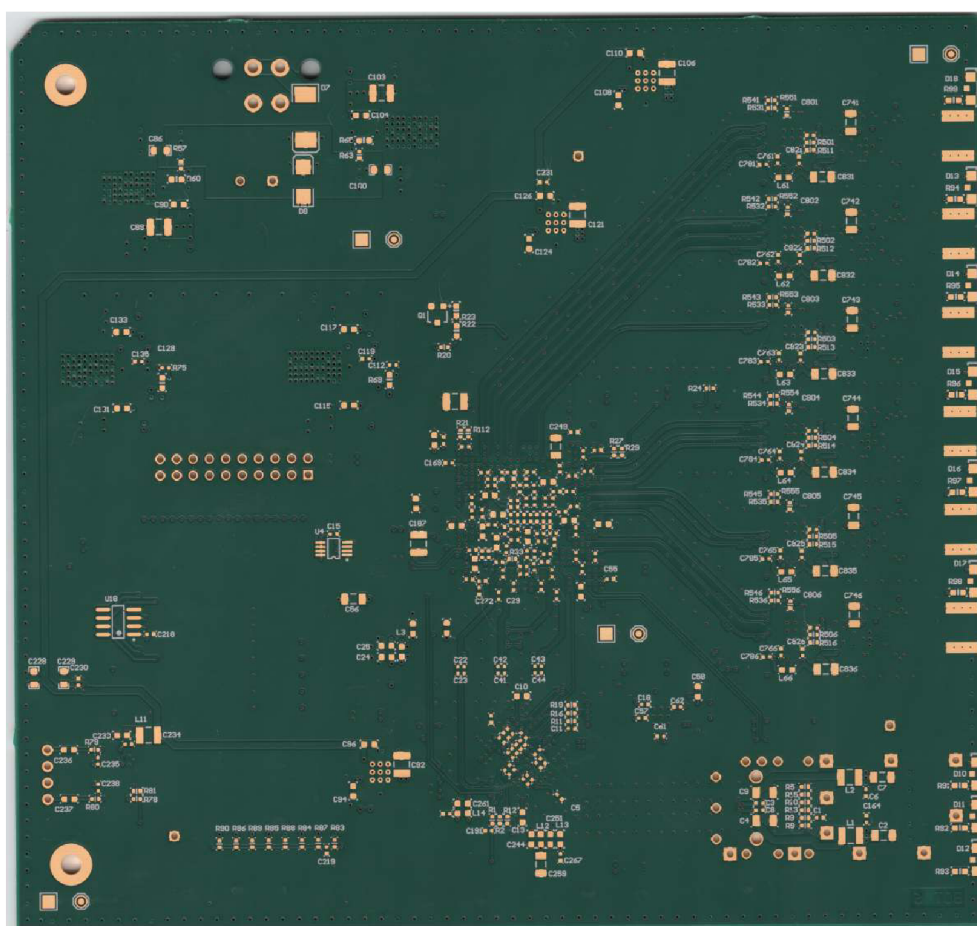
Obr. 6.20: Vyrobená DPS 1. prototypu - TOP.

Na obr. 6.21 je výsledek měření impedance jednoho vedení na tzv. testovacím kuponu ve vzorky vedení, který byl vyroben společně s DPS prvního prototypu a slouží pro ověření shody navržené a výsledné impedance vedení. Měření diferenciálního vedení dle druhého řádku tab. 6.13 na testovacím kuponu délky 200 mm bylo provedeno obvodovým analyzátozem Agilent E5071C s modulem TDR. Časová osa může být na základě znalosti rychlosti šíření dle daného typu vedení a dielektrika (5.23) převedena na délkový rozměr.



Obr. 6.21: Impedance vedení na testovacím kuponu, měřeno metodou TDR.

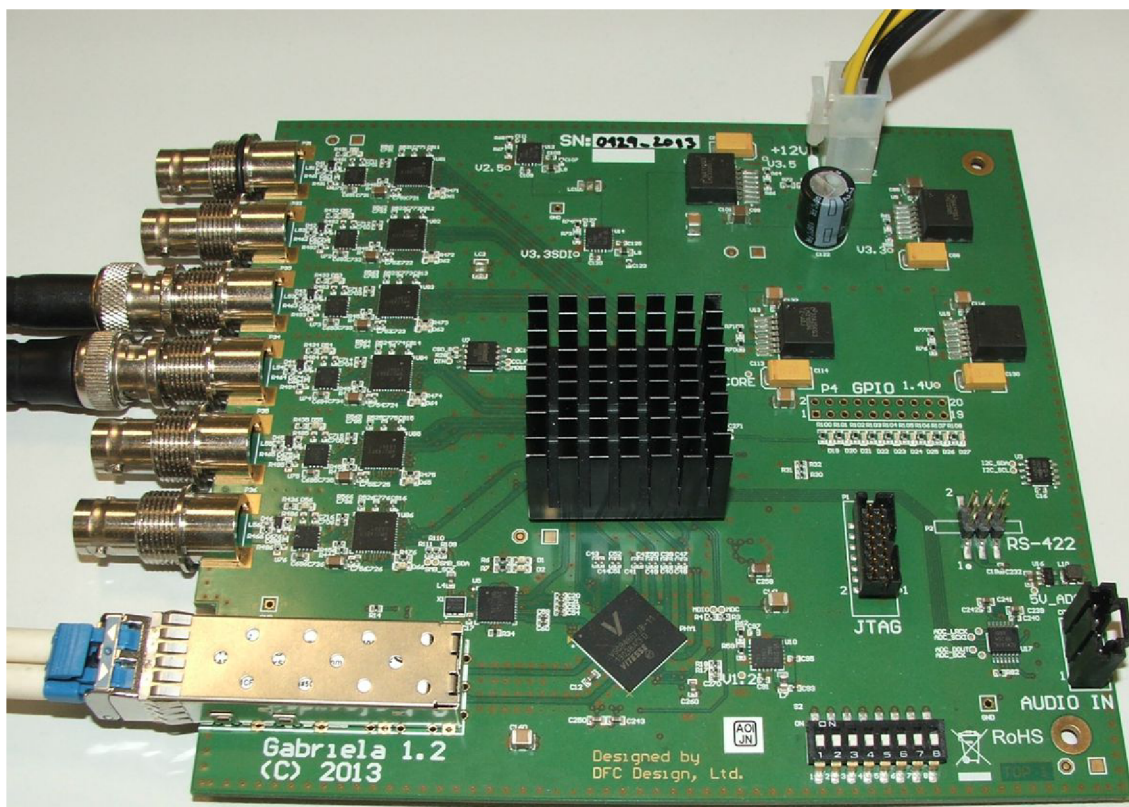
Z výsledků měření testovacího kuponu vyplývá, že impedance vedení není v toleranci  $\pm 10\%$ , stejný fakt potvrdilo i kontrolní měření výrobce. Rovněž impedance ostatních typů vedení na ostatních vrstvách je vyšší než navržená. Pro druhý prototyp DPS byl zvolen jiný výrobce, odlišná skladba desky a z toho vyplývající geometrie vedení.



Obr. 6.22: Vyrobena DPS 1. prototypu - BOTTOM.

## 7 OŽIVENÍ A TESTOVÁNÍ

Následující kapitola se zabývá měřením a úvodním otestováním vyrobeného prototypu navrženého zařízení. Fotografie finální verze zařízení se dvěma připojenými vstupy, vloženým SFP+ modulem a připojeným konektorem pro napájení je na obr. 7.1.



Obr. 7.1: Fotografie druhého prototypu zařízení.

### 7.1 Kontrola napájecích zdrojů

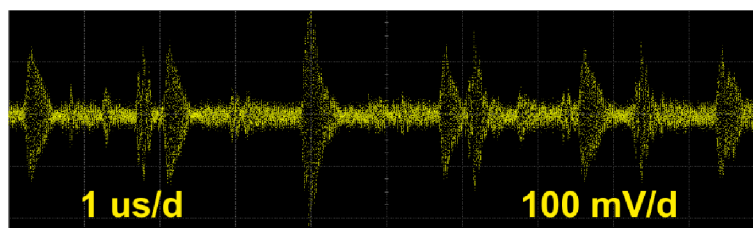
Prvním krokem při ožívování elektroniky byla kontrola napájecích zdrojů, v tab. 7.1 jsou uvedeny hodnoty výstupních napětí všech zdrojů naměřené přesným voltmetrem. Všechny vykazují velmi dobrou shodu s nominální, navrženou hodnotou a s rezervou vyhovují tolerancím požadavků na napájení všech komponent. Zejména pro digitální obvody je vhodné blížit se co nejvíce nominálnímu napětí, případně mírně nižšímu (za předpokladu jeho stability), jelikož výkonové zatížení obvodu roste přibližně s druhou mocninou velikosti napájecího napětí.

V nenakonfigurovaném stavu, kdy u osazených komponent převažuje statický odběr, při sledování průběhu napájecích napětí osciloskopem je zvlnění při maximálním zesílení vertikálního zesilovače (10 mV/d) téměř nerozeznatelné od vlastního šumu měřicího přístroje. Tento fakt se shoduje s ověřením návrhu v simulaci.



Naopak při maximálním odběru u spínaného měniče 3,3 V přesahují špičkové hodnoty vysokofrekvenčního zvlnění hodnotu 100 mV. Oscilogram zachycující průběh zvlnění a šum tohoto zdroje při plném odběru je na obr. 7.2, měření bylo provedeno na kontaktech hlavního filtračního kondenzátoru spínaného zdroje. Byl použit digitální osciloskop Agilent DSA91204A s pasivní sondou Agilent 10073D s impedančním adaptérem Agilent E2697A se šířkou pásma 500 MHz.

Vysoká úroveň zvlnění a šumu není způsobena vlastním spínaným zdrojem, ale komponenty odebírajícími proud s velmi širokým spektrem (vstup dalšího spínaného měniče, I/O FPGA,...).



Obr. 7.2: Zvlnění napájecího napětí 3,3 V.

Označení zdroje	Naměřené napětí (V)
+ 1,2 V	1,195
+ 1,2 V CORE	1,199
+ 1,4 V	1,418
+ 2,5 V	2,490
+ 3,3 V	3,236
+ 3,3 V SDI	3,283
+ 3,5 V	3,495
+ 5 V	4,999

Tab. 7.1: Výstupní napětí zdrojů.

Hodnoty celkového proudového a výkonového odběru zařízení, při napájecím napětí 12 V jsou shrnuty v tab. 7.2 jednak pro stav při ožívování a také při naprogramovaném a plně vytíženém zařízení. Ve stavu při ožívování není obvod FPGA nakonfigurován, není vložen SFP+ modul a nejsou připojeny žádné vstupy.

Veličina	Nenakonfigurované, neaktivní	Při plném vytížení
Odebíraný proud	0,54 A	1,1 A
Odebíraný výkon	6,48 W	13,2 W

Tab. 7.2: Proudový a výkonový odběr zařízení.

## 7.2 Test GTP transceiverů - IBERT

Jako podpora dnes velmi rozšířeného využití integrovaných transceiverů byl výrobcem daného FPGA vyvinut testovací nástroj IBERT (Integrated Bit Error Ratio Tester) [31]. Slouží k usnadnění ladění a testování cílové aplikace těchto transceiverů, umožňuje konfigurovat a monitorovat parametry linky a měřit její bitovou chybovost. Kromě předdefinovaných nejdůležitějších nastavení lze v konzoli konfigurovat i další parametry, případně provádět měření s rozmítáním některých parametrů. Příklad výchozích parametrů pro jeden transceiver je vyobrazen na obr. 7.3.

Nutnými požadavky je korektní zapojení vnějších obvodů transceiverů – napájení a taktování referenčním hodinovým signálem, JTAG kabel a příslušné licence pro vývojové prostředí a nástroj ChipScope.

Příprava analýzy nástrojem IBERT probíhá ve dvou krocích, vygenerováním konfigurace pro FPGA pomocí nástroje CoreGen a konfigurací a spuštěním vlastního nástroje IBERT včetně grafického rozhraní přes ChipScope. Vygenerování projektu pro IBERT probíhá pomocí průvodce, kde je nejprve zvolen typ obvodu, detaily výstupu a detaily taktování logiky FPGA (pokud nejsou systémové hodiny odvozeny z referenčních hodinových vstupů transceiverů).

V dalším kroku je nastaven počet využitých transceiverů a vlastnosti použitého protokolu - bitová rychlost linky, šířka datových portů, kmitočet referenčního oscilátoru a výběr jeho vstupu. Tyto parametry jsou pro daný projekt neměnné, další nastavení lze bezprostředně měnit přes konzoli IBERT. Výstupem je vygenerovaný projekt, lze zvolit i přímé vygenerování tzv. bitstreamu, tímto je pak příslušné FPGA nakonfigurováno. Po spuštění nástroje ChipScope je otevřen projekt s konzolí nástroje IBERT, projekt pro ChipScope byl převzat z [41].

GTPA1_DUAL_X0Y1_0	
<b>MGT Settings</b>	
MGT Alias	DUAL101_0
Tile Location	GTPA1_DUAL_X0Y1
MGT Link Status	3.125 Gbps
Line Rate	3.125 Gbps
PLL Status	LOCKED
Loopback Mode	Near-End PMA
DUAL Reset	Reset
TX Polarity Invert	<input type="checkbox"/>
TX Error Inject	Inject
TX Diff Output Swing	205 mV (0000)
TX Pre-Emphasis	0 dB (000)
RX Polarity Invert	<input type="checkbox"/>
RX AC Coupling Enable	<input checked="" type="checkbox"/>
RX Termination Voltage	GND
RX Equalization	-0.3 dB (00)
RX Sampling Point	64 0.504 UI
<b>BERT Settings</b>	
TX Data Pattern	PRBS 7-bit
RX Data Pattern	PRBS 7-bit
RX Bit Error Ratio	2,967E-014
RX Received Bit Count	3,370E013
RX Bit Error Count	0,000E000
BERT Reset	Reset
<b>Clocking Settings</b>	
TXUSRCLK Freq (MHz)	312,52
TXUSRCLK2 Freq (MHz)	156,27
RXUSRCLK Freq (MHz)	312,52
RXUSRCLK2 Freq (MHz)	156,27

Obr. 7.3: IBERT.

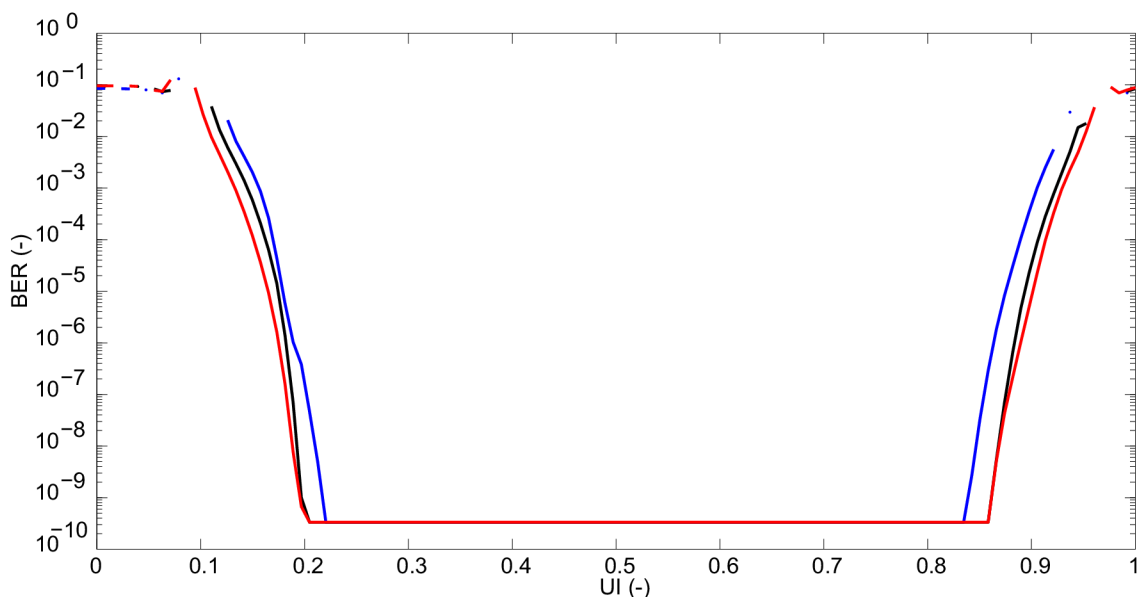
Příloha P zobrazuje tisk okna ChipScope s konzolí pro IBERT při testování při vnitřním propojení pomocí spojů loopback (vyznačeny v blokovém schématu v příloze B) a fyzickém propojení na DPS (transceiver na pozici 123-0). K propojení byly využity pájecí plošky vazebních kondenzátorů, jež byly odstraněny, na nich byl následně propojen vstup přijímače s výstupem vysílače daného transceiveru.

Příklad v příloze P - měření bitové chybovosti probíhalo po dobu 3 hodin, výsledná bitová chybovost pro 31-bitovou pseudonáhodnou testovací sekvenci, jelikož nebyly registrovány žádné chyby, má hodnotu  $BER = 2,967^{-14}$  (-).

Tato hodnota indikuje korektní funkci integrovaných transceiverů, v závislosti na chování aplikace lze provést testy dalších parametrů za účelem nalezení chyby nebo opomenutí důležitých pravidel návrhu (kvalita napájení, jitter oscilátoru,...). Již samotná korektní funkce testovací konfigurace FPGA potvrzuje správnost zapojení obvodu.

Jak již bylo v úvodním představení možností nástroje IBERT naznačeno, lze provádět měření i při rozmítání jednoho nebo více parametrů současně. Např. rozkmit buzení a preemfáze výstupní linky a úroveň ekvalizace vstupu. S vyšším počtem parametrů samozřejmě narůstá časová náročnost měření, pro každý bod je provedeno krátké měření a vyhodnocení bitové chybovosti přenosu.

Vytvořený příklad, tzv. bathtub curve (plot, diagram), zpravidla používaný pro analýzu jitteru a stanovení oblasti ideálního vzorkování, zobrazuje bitovou chybovost v závislosti na pozici vzorkování v tzv. jednotkovém intervalu (UI). Pro demonstraci byl současně rozmítán parametr určující úroveň signálu na lince, výsledek měření pro 128 pozic vzorkování a 16 hodnot amplitudy signálu. Pro vybrané hodnoty amplitudy (modrá křivka 205 mV, černá 487 mV, červená 1106 mV) byl vykreslen graf na obr. 7.4.



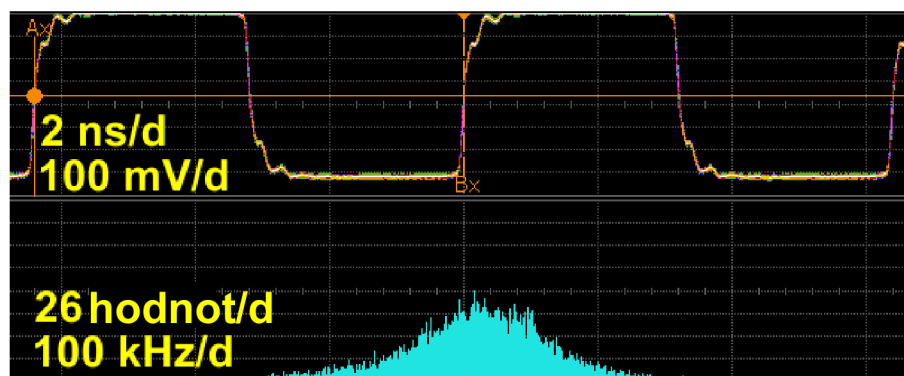
Obr. 7.4: BER pro polohu vzorkování v UI a různé amplitudy signálu.

Poznámky ke grafu:

- Nevykreslené úseky křivek značí okamžiky měření, kdy nebylo možné zachytit linku.
- Nejmenší zobrazená limitní hodnota  $BER = 3,34^{-10}$  (-) je dána omezeným počtem přenesených dat (dobou měření), nejedná se o konečnou chybovost.

### 7.2.1 Výstupní signál oscilátoru 156,25 MHz

Na jednom LVDS výstupu opakovacího oscilátoru referenčního kmitočtu 156,25 MHz byl naměřen časový průběh hodinového signálu - obr. 7.5 při současném zobrazení v histogramu. Pozn.: Hodnota kmitočtu ve středu histogramu v grafu (oranžová značka) je 156,239568 MHz. Rozlišení hodnoty je 387 Hz, celkem 22382 měření.



Obr. 7.5: Časový průběh hodinového signálu 156,25 MHz, histogram.

Statistické parametry jsou:

Parametr	Hodnota
Střední kmitočet	156,248685 MHz
Směrodatná odchylka	55,4183 kHz

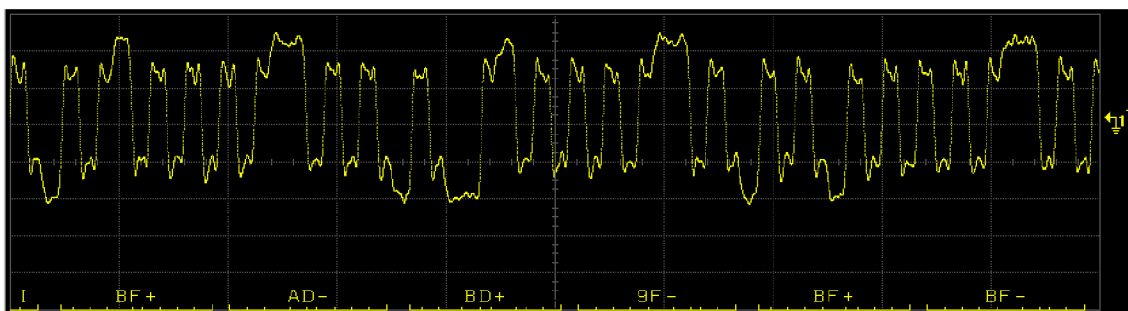
Tab. 7.3: Statistické parametry replikovaného referenčního kmitočtu 156,25 MHz.

## 7.3 Měření při přenosu dat přes rozhraní XAUI

Pro měření na lince rozhraní XAUI (3,125 Gb/s) byl použit digitální osciloskop Agilent DSA91204A se šířkou pásma 12 GHz a vzorkováním 40 GSa/s s aktivní diferenciální sondou Agilent 1168A s šířkou pásma 10 GHz s diferenciálním hrotem Agilent N5381A a příslušenstvím Agilent E2669A.

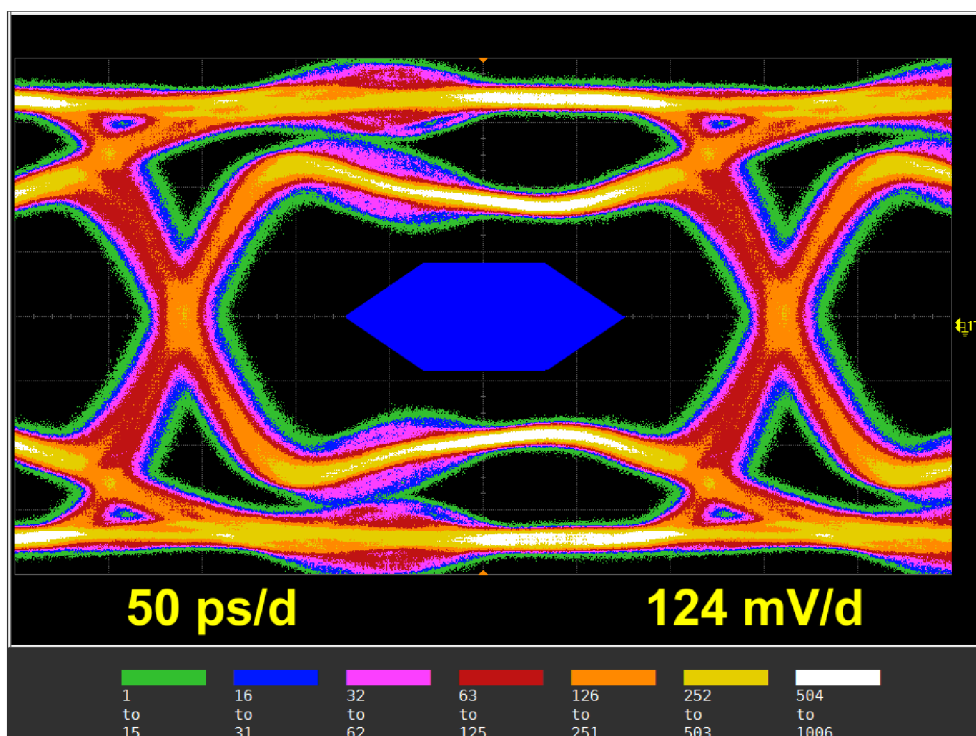
Obvody FPGA a PHY jsou v pouzdrech BGA, jehož kontaktní plošky jsou pro přiložení sondy nepřístupné. Jelikož spoje linky XAUI s výjimkou jednoho páru jsou vedeny na horní vrstvě DPS a tudíž neprocházejí přes prokovené otvory (na kterých lze rovněž měřit), byly hroty diferenciální sondy přiloženy na kontaktní plošky vazebních kondenzátorů (C51 a C52). Tyto jsou fyzicky umístěny přibližně v polovině délky vedení.

Oscilogram zobrazující průběh napětí na jedné lince XAUI je na obr. 7.6, pomocí v osciloskopu vestavěné funkce XAUI Decode lze přímo dekodovat a zobrazit data nesená v měřeném signálu. Zobrazený je úsek platných dat, v případě klidového stavu linky jsou zde vysílány symboly K28.5, K28.0 a K28.3 s kladnou i zápornou disparitou reprezentující stavy zarovnávání, synchronizace a vynechání sloupce.



Obr. 7.6: Časový průběh a dekodování signálu na lince XAUI TX3.

Diagram oka signálu na lince TX3 je zobrazen na obr. 7.7, v jeho středu je umístěna část masky pro signál na vstupu přijímače, definovaná v kap. 4.3.2. Míru „otevření“ oka při změně úrovně lze vylepšit navýšením amplitudy preemfáze, nicméně v daném případě krátkého vedení dobře vyhoví i takový průběh, naopak nedojde k navýšení proudového odběru a možného elektromagnetického vyzařování.



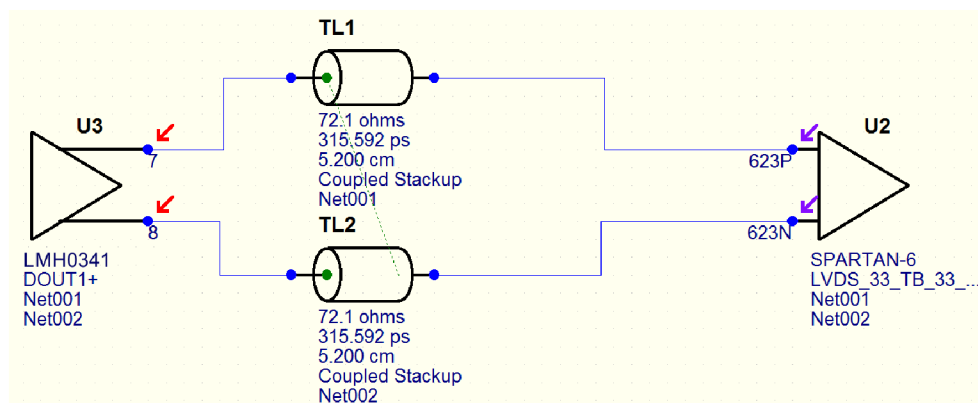
Obr. 7.7: Diagram oka signálu na lince TX3 rozhraní XAUI.

## 7.4 Měření výstupu SDI deserializéru

Jako příklad srovnávací výsledek simulace integrity signálu v prostředí HyperLynx SI se skutečně naměřeným průběhem signálu byl zvolen hodinový výstup LVDS deserializéru 3. SDI kanálu.

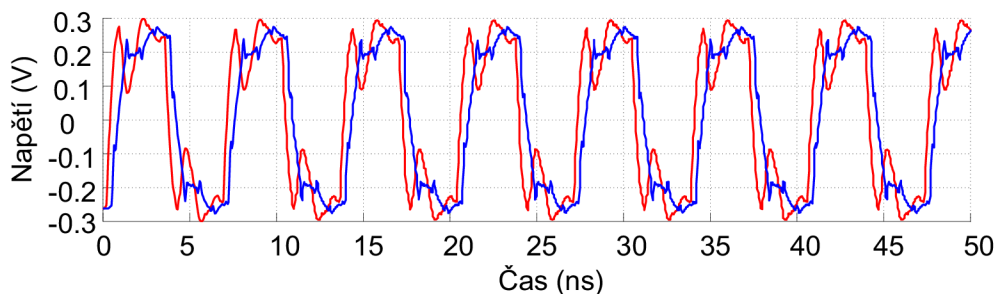
### 7.4.1 Simulace v prostředí HyperLynx SI

Shodně jako v případě obvodových simulátorů (PSpice), postup při simulaci začíná sestavením schématu s použitím modelů součástek. V případě simulací SI se nejčastěji jedná o vedení, pasivní RLC součástky a funkční modely budičů a vstupů integrovaných obvodů (IBIS). IBIS modely jsou obvykle poskytovány výrobcem obvodů a volně dostupné. Pokud pro konkrétní součástku není dostupný hotový model, lze ho nahradit modelem obvodu se vstupem/výstupem se shodnými parametry. Použití v simulátoru vyžaduje pouze import knihovny s modelem a jeho konfiguraci. Pro definici parametrů vedení je nejprve nutné definovat skladbu desky a geometrii vedení na jednotlivých vstřevách. Při jeho vložení do schématu je pouze vybrána příslušná vrstva, typ vedení, fyzická délka (nebo zpoždění) a případná vazba s dalším vedením. Schéma hodinové linky SDI deserializéru je na obr. 7.8.



Obr. 7.8: Náhradní schéma analyzovaného spoje - HyperLynx.

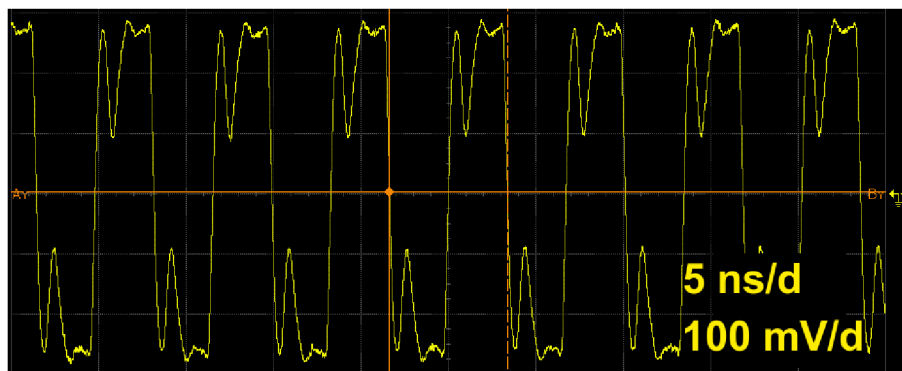
Dále byl definován budič signál o kmitočtu 148,5 MHz se střídou 50 %. Výsledné průběhy signálu na začátku vedení (červená křivka) a na konci vedení (modrá křivka) jsou na obr. 7.9.



Obr. 7.9: Průběh signálu na výstupu SDI deserializéru a LVDS vstupu FPGA.

### 7.4.2 Porovnání naměřeného signálu s výsledkem simulace

Oscilogram na obr. 7.10 zachycuje průběh napětí naměřený diferenciální sondou na hodinovém LVDS výstupu SDI deserializéru 3. kanálu. Ke vstupu SDI kanálu byla připojena kamera s výstupním signálem HD-SDI. Dle statistických parametrů naměřených osciloskopem je střední frekvence měřeného hodinového signálu 148,506 MHz, minimální zachycená 148,0967 MHz a maximální 148,8771 MHz.



Obr. 7.10: Průběh hodinového signálu na výstupu SDI deserializéru.

Odečtené parametry signálu odpovídají specifikaci v katalogu [20], na oscilogramu je patrná, na první pohled znepokojující, interference s odraženým signálem (je výsledkem měření na začátku vedení - výstup SDI deserializéru). Naměřený průběh signálu na výstupu deserializéru (červená křivka) na obr. 7.9 v porovnání s výstupem simulace náhradního schématu na obr. 7.10 vykazuje téměř úplnou shodu. Signál na konci vedení - LVDS vstupu FPGA je zakončen interním 100  $\Omega$  rezistorem na čipu, zde má signál korektní průběh, odpovídající výsledku simulace na konci vedení (modrá křivka) na obr. 7.9.

## 8 ZÁVĚR PROJEKTU

Cíle stanovené pro teoretickou část diplomové práce, tedy představení a rozbor použitých technologií společně s klíčovými poznatky z teorie integrity signálů jsou naplněny v prvních pěti kapitolách předložené diplomové práce. Na obsah páté kapitoly zabývající se integritou digitálních signálů při přenosu na vysokorychlostních spojích na DPS je kladen největší důraz. Tvoří jádro teoretické části práce a je z ní čerpáno v průběhu celého návrhu jak obvodového řešení, tak zejména desky plošných spojů. Většina předložených příkladů je založena na výsledcích vlastních simulací.

Požadovaným a úspěšně realizovaným výstupem praktické části je návrh zařízení dle zadané specifikace. Dle návrhu v šesté kapitole byla vygenerována data pro výrobu DPS a její osazení navrženými komponenty (celkem 645 součástek). Výroba prototypu proběhla u specializovaných výrobních firem.

V sedmé kapitole jsou uvedeny příklady několika měření provedených při ožívování prototypu a na finálním, nakonfigurovaném zařízení. V konkrétním případě jedné LVDS linky výstupu SDI deserializéru bylo provedeno i srovnání se simulací provedenou v programu HyperLynx SI, prokazující jejich velmi dobrou shodu.

Úspěšným ukončením vývoje vzniklo funkční zařízení vyhovující zadaným požadavkům. K datu odevzdání diplomové práce bylo v následné sériové produkci vyrobeno více než 220 kusů navrženého zařízení vycházejícího z druhého prototypu. Na něm bylo v porovnání se zcela prvním prototypem odstraněno několik chyb nezásadního charakteru a provedeno několik úprav zejména mechanické konstrukce - nejvýznamnější je změna typu konektorů BNC, jejich rozmístění a úprava formátu DPS.

Z pohledu autora práce vnímám jako největší osobní přínos upevnění teoretických poznatků a rozvoj praktických zkušeností při vývoji elektroniky založené na technologiích FPGA a gigabitových sériových rozhraních. Praktické řešení pak bylo také příležitostí k prvnímu kontaktu s komponenty pro SDI a rozhraním 10-Gigabit Ethernet. Předložený projekt byl prezentován na fakultní studentské soutěžní konferenci EEICT 2014.

### **OBSAH PŘILOŽENÉHO CD:**

- Text diplomové práce ve formátu .pdf.
- Schéma zapojení ve formátu .pdf.
- Náhled výrobních podkladů DPS ve formátu .pdf.



## LITERATURA

- [1] XILINX, Inc.: *Spartan-6 Family Overview: Product Specification [DS160]*.2011, 11 s. Dostupné z: [http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf).
- [2] Texas Instruments, Inc.: *Texas Instruments: Overview for Serial Digital Interface [online]. [cit. 2013-12-08]*. Dostupné z: <http://www.ti.com/lscs/ti/interface/serial-digital-interface-overview.page>
- [3] Vitesse Semiconductor Corp.: *Vitesse Semiconductor:10 Gbps XAUI or XGMII to XFI LAN/WAN Transceiver [VSC8486-11 Datasheet]*.2009, 262 s. Dostupné z: <https://www.vitesse.com/products/product.php?number=VSC8486>
- [4] ATHAVALE, Abhijit, CHRISTENSEN Carl: *High-Speed Serial I/O Made Simple: A Designers' Guide, with FPGA Applications* New York: John Wiley, 2000. ISBN 04-713-6090-2.
- [5] XILINX, Inc.: *Spartan-6 FPGA GTP Transceivers: Advance Product Specification [UG386]*.2010, 200 s. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug386.pdf](http://www.xilinx.com/support/documentation/user_guides/ug386.pdf).
- [6] XILINX, Inc.: *Audio/Video Connectivity Solutions for Virtex-5 FPGAs Reference Designs for the Broadcast Industry: Volume 2 [XAPP1014]*.2009, 636 s. Dostupné z: [http://www.xilinx.com/support/documentation/application\\_notes/xapp1014.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp1014.pdf).
- [7] XILINX, Inc.: *Broadcast Test & Measurement: Programmable Solutions for the Broadcast Industry*. 50 s. Dostupné z: [http://www.xilinx.com/esp/broadcast/collateral/test\\_equipment.pdf](http://www.xilinx.com/esp/broadcast/collateral/test_equipment.pdf).
- [8] POYNTON, Charles: *Chroma subsampling notation*. 3 s. Dostupné z: [http://www.poynton.com/PDFs/Chroma\\_subsampling\\_notation.pdf](http://www.poynton.com/PDFs/Chroma_subsampling_notation.pdf).
- [9] IEEE Computer Society: *IEEE Std 802.3 -2012: Section Four*.2012, 732 s. Dostupné z: <http://standards.ieee.org/about/get/802/802.3.html>.
- [10] GRANBERG, Tom: *Handbook of digital techniques for high-speed design: design examples, signaling and memory technologies, fiber optics, modeling and simulation to ensure signal integrity*. Upper Saddle River: Prentice Hall, 2004, xlv, 928 s. ISBN 01-314-2291-X.
- [11] BOGATIN, Eric: *Signal and power integrity - simplified, 2nd ed.* Upper Saddle River, NJ: Prentice Hall, 2010, xxvi, 757 s. ISBN 978-013-2349-796.
- [12] LI, Mike Peng: *Jitter, noise, and signal integrity at high-speed*. Upper Saddle River, NJ: Prentice Hall, 2008, xxiv, 368 s. ISBN 01-324-2961-6.

- [13] Texas Instruments, Inc.: *Texas Instruments: Transmission Line RAPIDESIGNER Operation and Applications Guide [SNLA035]*.2011, 9s. Dostupné z: <http://www.ti.com/lit/an/snla035/snla035.pdf>.
- [14] Editor Clyde F Coombs: *Printed circuits handbook. 6th ed.* New York: McGraw-Hill, 2008, 1633s. ISBN 978-0-07-146734-6.
- [15] XILINX, Inc.: *Spartan-6 FPGA PCB Design and Pin Planning Guide [UG393]*.2012, 74 s. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug393.pdf](http://www.xilinx.com/support/documentation/user_guides/ug393.pdf).
- [16] Texas Instruments, Inc.: *Texas Instruments: High Speed Analog Design and Application Seminar: High Speed PCB Layout Techniques [SLYP173]*. Dostupné z: <http://www.ti.com/lit/ml/slyp173/slyp173.pdf>.
- [17] Texas Instruments, Inc.: *Texas Instruments: High-Speed Board Layout Challenges in FPGA/SDI Sub-Systems [SNLA158]*. Dostupné z: <http://www.ti.com/lit/an/snla158/snla158.pdf>.
- [18] Texas Instruments, Inc.: *Texas Instruments: Application Note 2145 Power Considerations for SDI Products [SNOA560A]*. Dostupné z: <http://www.ti.com/lit/an/snoa560b/snoa560b.pdf>.
- [19] Texas Instruments, Inc.: *Texas Instruments: 3 Gbps HD/SD SDI Adaptive Cable Equalizer [LMH0344 Datasheet]*. Dostupné z: <http://www.ti.com/lit/ds/symlink/lmh0344.pdf>.
- [20] Texas Instruments, Inc.: *Texas Instruments: 3 Gbps, HD, SD, DVB-ASI SDI Deserializer with Loophrough and LVDS Interface [LMH0341 Datasheet]*. Dostupné z: <http://www.ti.com/lit/ds/symlink/lmh0341.pdf>.
- [21] XILINX, Inc.: *Spartan-6 FPGA Configuration [UG380]*.2013, 164 s. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug380.pdf](http://www.xilinx.com/support/documentation/user_guides/ug380.pdf)
- [22] XILINX, Inc.: *SPI, BPI, and NAND PROM Support*.2013, 1 s. Dostupné z: [http://www.xilinx.com/support/documentation/sw\\_manuals/xilinx14\\_7/pim\\_r\\_supported\\_spi\\_bpi\\_proms.htm](http://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/pim_r_supported_spi_bpi_proms.htm)
- [23] XILINX, Inc.: *Spartan-6 FPGA SelectIO Resources [UG381]*.2014, 98 s. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug381.pdf](http://www.xilinx.com/support/documentation/user_guides/ug381.pdf)
- [24] XILINX, Inc.: *Spartan-6 FPGA Data Sheet: DC and Switching Characteristics [DS162]*.2011, 89 s. Dostupné z: [http://www.xilinx.com/support/documentation/data\\_sheets/ds162.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds162.pdf)
- [25] XILINX, Inc.: *Xilinx Power Estimator (XPE) - 14.3, Extended Spartan-3A, Spartan-6*.2012, 1 s. Dostupné z: [http://www.xilinx.com/ise/power\\_tools/license\\_spartan3a.htm](http://www.xilinx.com/ise/power_tools/license_spartan3a.htm)

- [26] ALTERA, Inc.: *Board Design Resource Center: Power Delivery Network (PDN) Tool*.2009. Dostupné z: <http://www.altera.com/technology/signal/board-design-guidelines/sgl-bdg-index.html>
- [27] Abracon Corp.: *Performance Plastic Package Ultra Miniature Pure Silicon Clock Oscillator: ASEMP*. 6 s. Dostupné z: <http://www.abracon.com/Oscillators/ASEMP.pdf>
- [28] FCI Electronics: *10G Ethernet 10GBASE-LRM Linear Transceiver* 2010, 12 s. Dostupné z: [http://www.mouser.com/catalog/specsheets/ELX10GDL0610710ELT\\_ka.pdf](http://www.mouser.com/catalog/specsheets/ELX10GDL0610710ELT_ka.pdf)
- [29] Vitesse Semiconductor Corp.: *Vitesse Semiconductor:VSC8486 LAN/WAN PHY AND VSC8476 LAN PHY DESIGN GUIDE [VSC8486 Design Guide]*. 2006, 54 s. Dostupné z: <https://www.vitesse.com/products/product.php?number=VSC8486>
- [30] Finisar: *Picture of SFP+ optical module*. Dostupné z: <http://www.finisar.com/sites/default/files/FTLX1472MBCL.JPG>
- [31] XILINX, Inc.: *SP623 IBERT Getting Started Guide [UG752]*.2011, 36 s. Dostupné z: [http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug752-13-2.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug752-13-2.pdf)
- [32] Texas Instruments, Inc.: *Texas Instruments: LMZ22003 3A SIMPLE SWITCHER Power Module [LMZ22003 Datasheet]*. Dostupné z: <http://www.ti.com/lit/ds/symlink/lmz22003.pdf>.
- [33] Texas Instruments, Inc.: *Texas Instruments: LMZ10504 4A SIMPLE SWITCHER Power Module [LMZ10504 Datasheet]*. Dostupné z: <http://www.ti.com/lit/ds/symlink/lmz10504.pdf>.
- [34] Texas Instruments, Inc.: *Texas Instruments: High Speed Analog Design and Application Seminar: Section 5 [SLYP173]*. Dostupné z: <http://www.ti.com/lit/ml/slyp173/slyp173.pdf>.
- [35] ARCHAMBEAULT, Bruce: *Decoupling Capacitor Connection Inductance*. IEEE, 2009, 2 s. Dostupné z: <http://www.emcs.org/acstrial/newsletters/spring09/designtips.pdf>.
- [36] Murata Manufacturing Co, Ltd.: *Software: SimSurfing*.2014. Dostupné z: <http://ds.murata.co.jp/software/simsurfing/en-us/#>
- [37] ROHM Co, Ltd.: *Switching Regulator IC series: Capacitor Calculation for Buck converter IC*. 2014, 7 s. Dostupné z: [http://rohmfs.rohm.com/en/products/databook/applinote/ic/power/switching\\_regulator/capacitor\\_calculation\\_appli-e.pdf](http://rohmfs.rohm.com/en/products/databook/applinote/ic/power/switching_regulator/capacitor_calculation_appli-e.pdf).

- [38] Texas Instruments, Inc.: *Texas Instruments: TPS74901 Single Output 3A LDO [TPS74901 Datasheet]*. Dostupné z: <http://www.ti.com/product/tps74901>.
- [39] TDK Components U.S.A., Inc.: *TDK : MPZ Chip Beads [MPZ2012S101A Datasheet]*. Dostupné z: [http://product.tdk.com/emc/beads/en/documents/beads\\_commercial\\_power\\_mpz\\_en.pdf](http://product.tdk.com/emc/beads/en/documents/beads_commercial_power_mpz_en.pdf).
- [40] TDK Components U.S.A., Inc.: *TDK : TDK SPICE Netlist Library - MPZ2012 Chip Beads [MPZ2012 SPICE]*. Dostupné z: <http://www.tdk.co.jp/etvcl/netlist/bead.htm>.
- [41] XILINX, Inc.: *SP623 Documentation: Reference Design Files [rdf0098-13-2.zip]*. 2011. Dostupné z: [http://www.xilinx.com/products/boards/sp623/reference\\_designs.htm](http://www.xilinx.com/products/boards/sp623/reference_designs.htm)

**Odkazy na webové zdroje jsou platné ke dni 7. 5. 2014.**

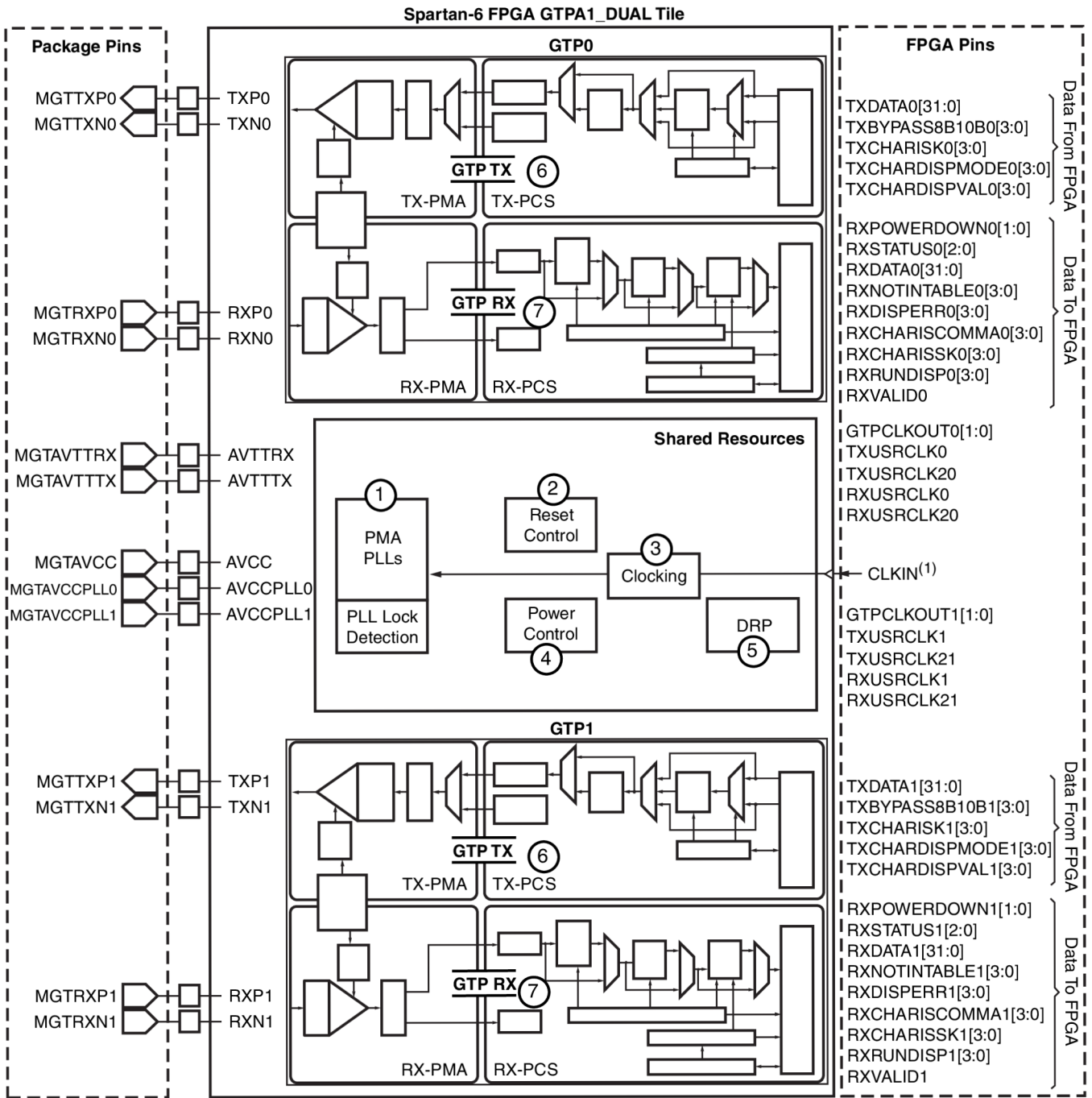
## SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

- BER bitová chybovost – Bit Error Ratio
- CDR obnovení dat a hodin – Carrier and Data Recovery
- CML diferenciální standard sériové komunikace – Current Mode Logic
- CRC cyklický redundantní součet – Cyclic Redundancy Check
- DDR typ přenosu po sběrnici – Double Data Rate
- DFT diskrétní Fourierova transformace – Discrete Fourier Transform
- FPGA programovatelné hradlové pole – Field Programmable Gate Array
- IBIS charakteristiky vstupů/výstupů IO – Input/output Buffer Information Specification
- JTAG standardní testovací/programovací rozhraní – Joint Test Action Group
- LDO stabilizátor s nízkým úbytkem napětí – Low Drop Out Regulator
- LVDS diferenciální standard sériové komunikace – Low-Voltage Differential Signaling
- MAC linková vrstva dle OSI modelu – Media Access Controller
- MDIO sběrnice pro konfiguraci obvodů Ethernetu – Management Data Input/Output
- MEMS technologie mikro-mech. prvků v křemíku – Micro Electro-Mechanical Systems
- NRZ, NRZ-I linkový kód s vnitřní synchronizací – Non Return to Zero (- Invert)
- PD; PU Pull-Down; Pull-Up
- PHY fyzická vrstva dle OSI modelu – Physical Layer Device
- PRBS pseudonáhodná posloupnost – Pseudorandom Binary Sequence
- PSRR potlačení šumu/zvlnění napájecího zdroje – Power Supply Rejection Ratio
- RS-422 diferenciální standard sériové komunikace – ANSI/TIA/EIA-422-B
- SNR poměr signál/šum – Signal to Noise Ratio
- SSO současné spínání výstupů – Simultaneous Switching Output
- TCR/TKR teplotní koeficient odporu – Temperature Coefficient of Resistance
- TDR reflektometrie v časové oblasti – Time Domain Reflectometry
- TVS prvek ochranný proti napětovým špičkám – Transient Voltage Suppressor
- VCO napětím laditelný oscilátor – Voltage Controlled Oscillator

## SEZNAM PŘÍLOH

A	Struktura bloku GTP DUAL [5]	95
B	Struktura GTP transceiveru [5]	96
C	Taktování GTP transceiverů [5]	97
D	Vzor zapojení SDI vstupů na DPS [17]	98
E	Uspořádání schématických listů	99
F	Schéma vstupních obvodů SDI	100
G	Schéma zapojení GTP transceiverů	101
H	Zapojení 10Gb PHY	102
I	FPGA zapojení banků 1 a 2	103
J	FPGA zapojení banků 0 a 3	104
K	Stereo audio převodník	105
L	Ostatní obvody	106
M	Schéma napájecích zdrojů	107
N	Napájení FPGA	108
O	Napájení 10Gb PHY	109
P	IBERT	110

## A STRUKTURA BLOKU GTP DUAL [5]



UG386\_c1\_03\_100709

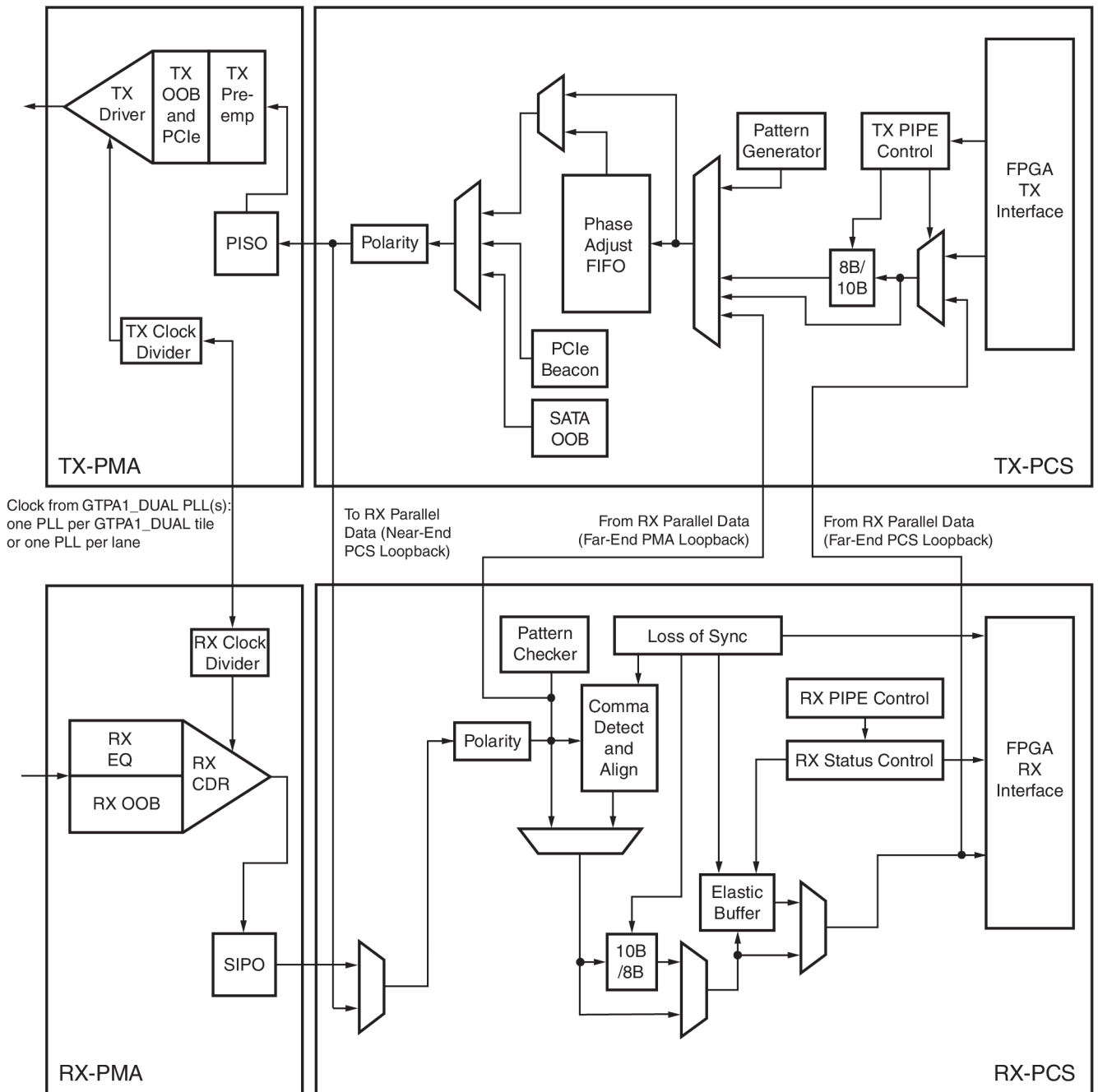
**Notes:**

- 1. CLKIN is a simplification for the two differential clock pin pairs.

**Figure 1-3: Two GTP Transceivers in One GTPA1\_DUAL Tile**

The section [Reference Clock Selection and Distribution](#), page 38 discusses details about reference clock sources and the routing.

## B STRUKTURA GTP TRANSCEIVERU [5]



UG386\_c1\_01\_100709

Figure 1-1: Simplified Spartan-6 FPGA GTP Transceiver Block Diagram

Figure 1-2 shows the GTP transceiver placement in an example Spartan-6 device (XC6SLX45T). Two GTP transceivers are clustered together in a GTPA1\_DUAL tile. All GTPA1\_DUAL tiles are located in one row at the top in smaller devices as shown in Figure 1-2. Larger devices have the tiles in one row at the top and one row at the bottom.



## C TAKTOVÁNÍ GTP TRANSCEIVERŮ [5]

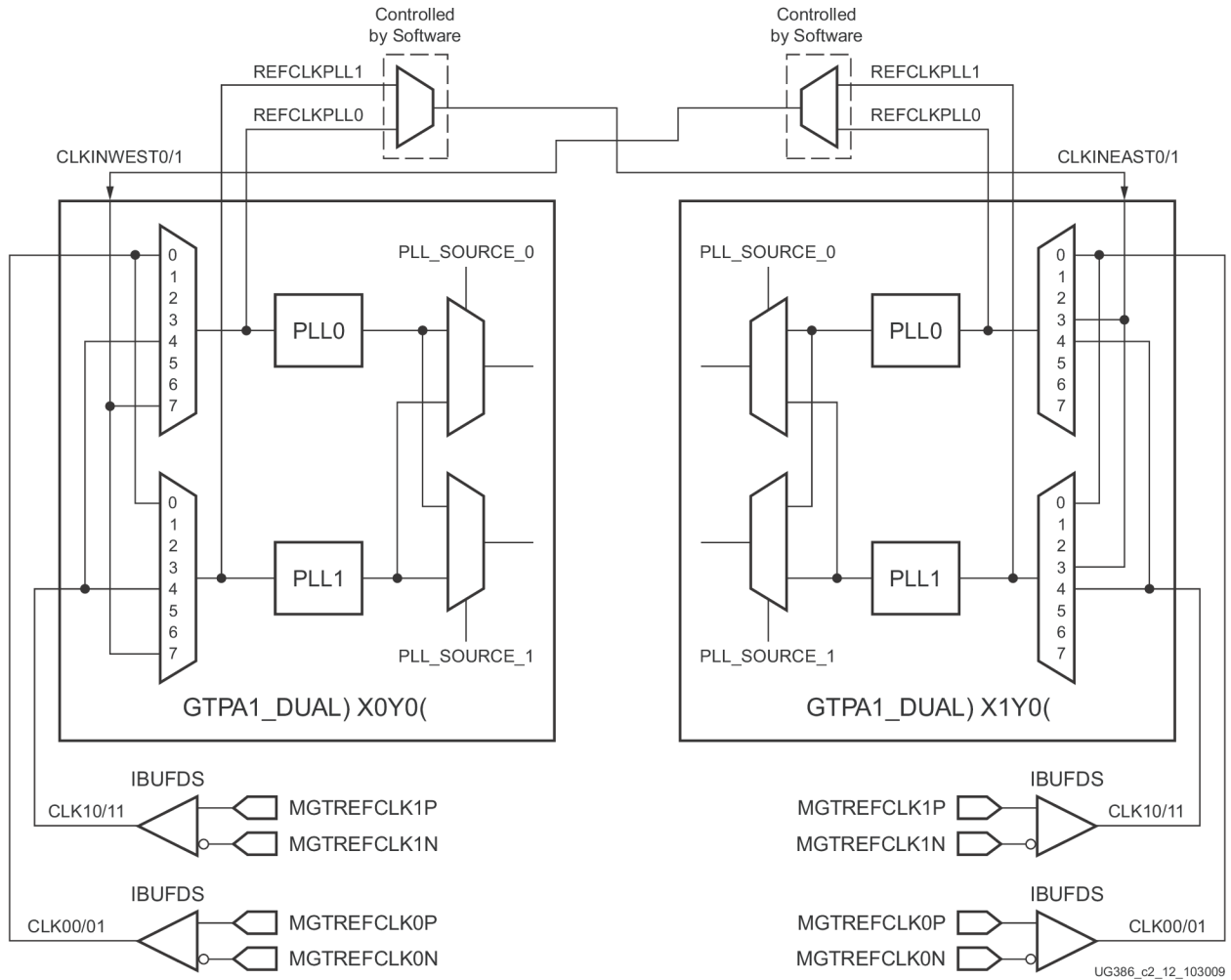


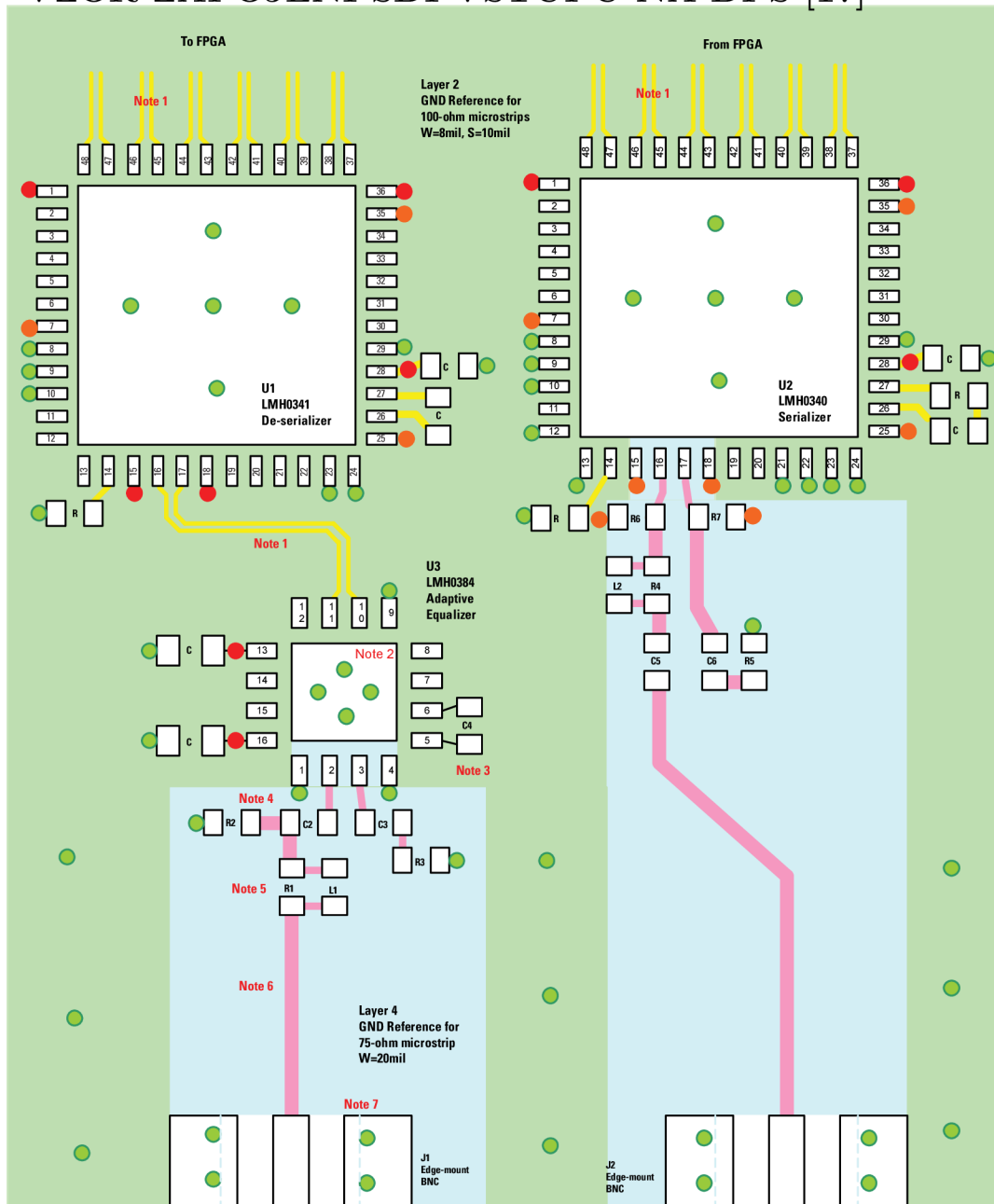
Figure 2-2: Conceptual View of GTP Transceiver Reference Clocking

Figure 2-3 shows a detailed view of the reference clock multiplexer structure and how different clock sources can be provided to each PLL. The REFSELDYPLL0 and REFSELDYPLL1 ports are required when multiple reference clocks are connected to the reference clock multiplexer structure.

A single reference clock per PLL is defined when there is only one reference clock source connected to the reference clock multiplexer structure. In this case, the reference clock source for PLL0 can be connected to the CLK00 port, and the reference clock source for PLL1 can be connected to the CLK01 port. The control of the multiplexer structure, REFSELDYPLL0[2:0] [and REFSELDYPLL1][2:0] [ports, can be tied to 000, and Xilinx® software tools handle the complexity of the multiplexers and associated routing for designs that require a single reference clock per GTP transceiver PLL. In most cases, the two transceivers within the GTPA1\_DUAL tile share the same external clock source and each PLL only has a single reference clock. See [Single External Reference Clock Use Model](#), page 44 for more information.

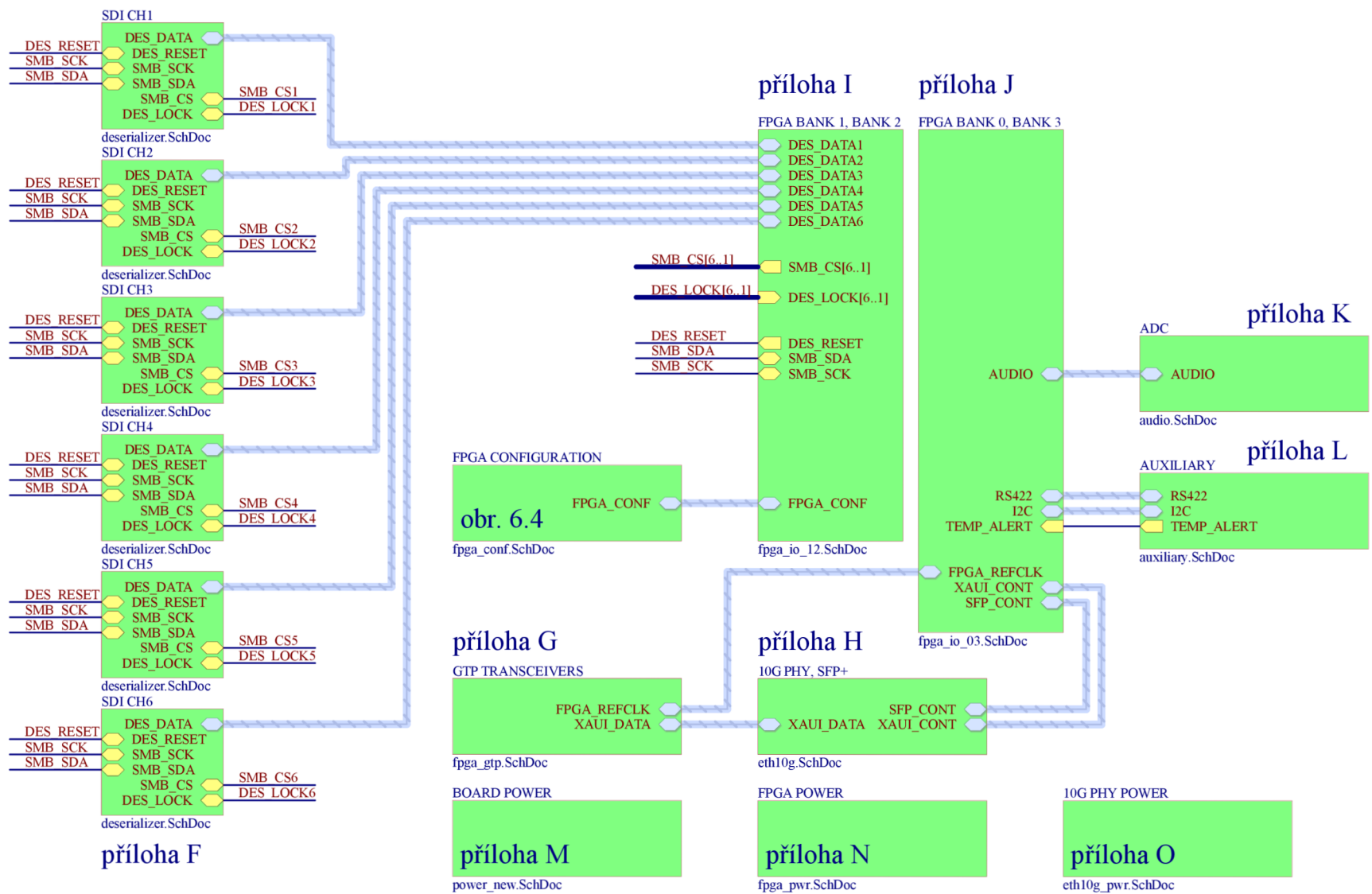
Multiple reference clocks for each PLL are defined when there is more than one reference clock connected to the reference clock multiplexer structure. In this case, where dynamic switching of reference clocks is required, the user design must connect the reference clocks

## D VZOR ZAPOJENÍ SDI VSTUPŮ NA DPS [17]



- Note 1 – Use coupled traces with 100Ω differential impedance referenced to Layer 2.
- Note 2 – GND stitch for Layer 2 and Layer 4
- Note 3 – C4 placed close IC pins.
- Note 4 – C2 placed closest to IC input pin; R2 75Ω receive termination placed after C2.
- Note 5 – L1, R1 impedance matching network placed close to SDI+ pin through C2.
- Note 6 – Use 75Ω controlled impedance trace referenced to Layer 4. Use 0402 components. Use trace width of 15-25 mils to minimize impedance drop caused by larger component pads.
- Note 7 – Use 75Ω controlled impedance footprint for BNC.

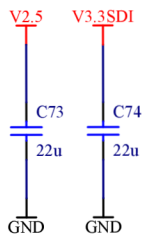
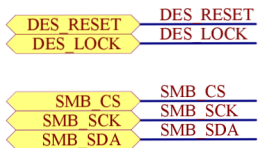
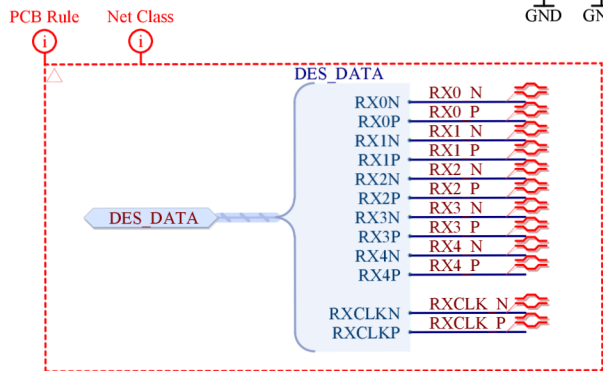
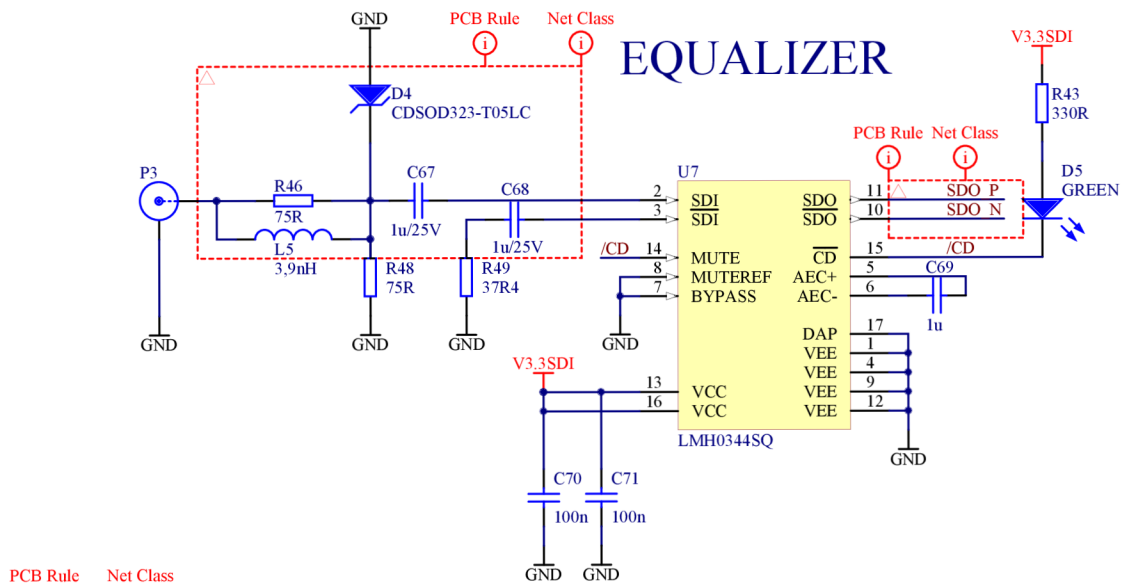
Figure 9. Layout Example for the LMH0384, LMH0340 and LMH0341



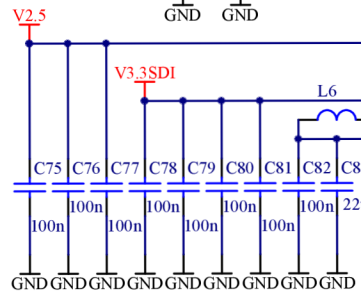
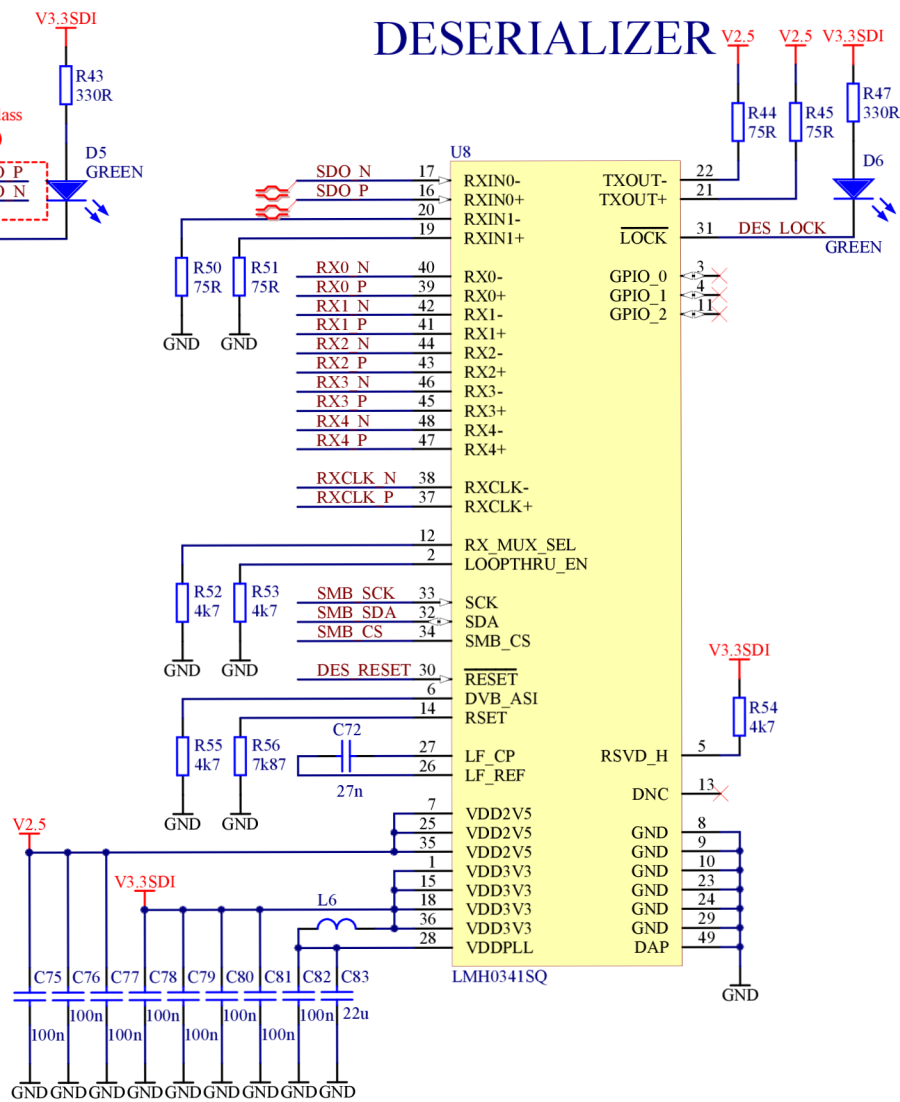
příloha F

# F SCHEMA VSTUPNÍCH OBVODŮ SDI

## EQUALIZER

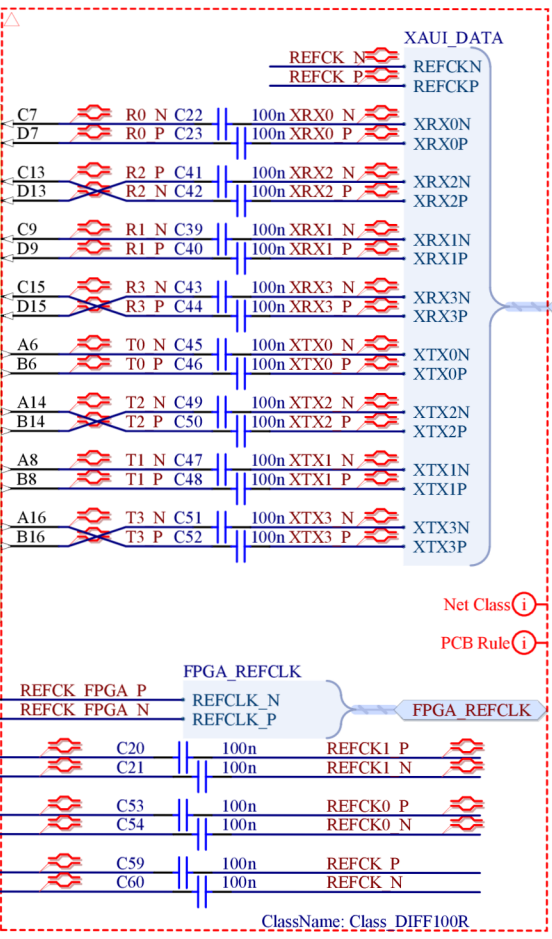
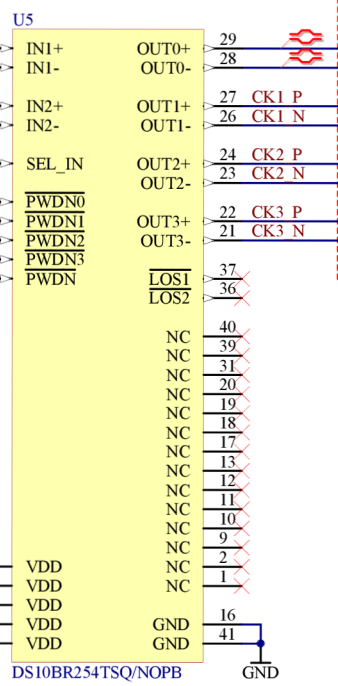
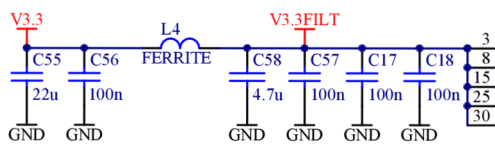
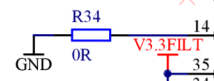
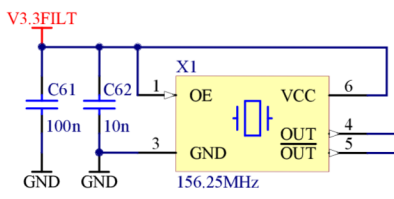
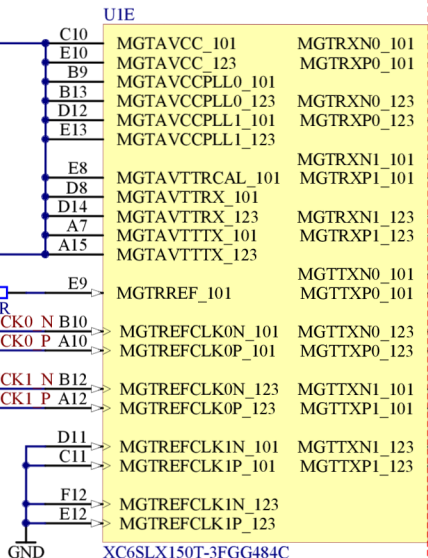
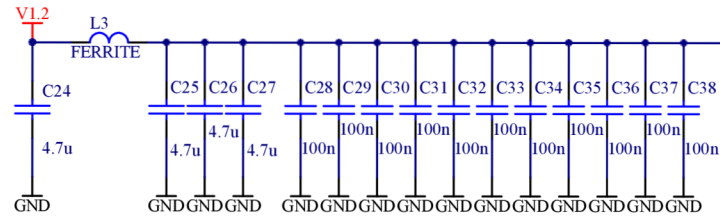


## DESERIALIZER



G SCHÉMA ZAPOJENÍ GTP TRANSCIEVERŮ

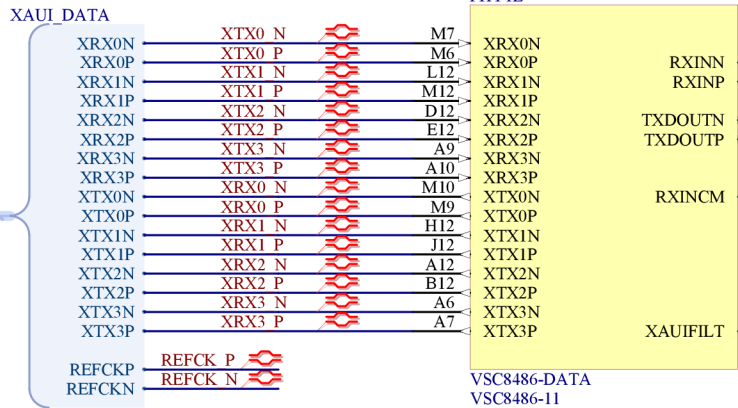
# GTP TRANSCIEVERS



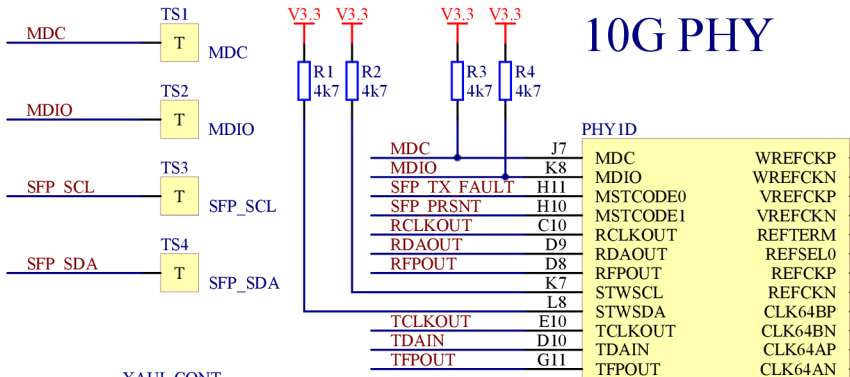
Net Class (i)  
PCB Rule (i)

ClassName: Class\_DIFF100R

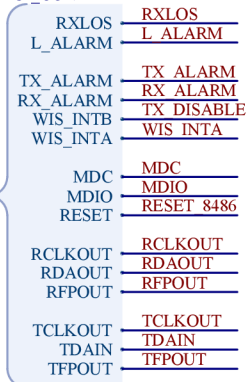
PHY1E



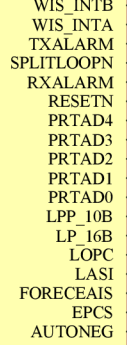
10G PHY



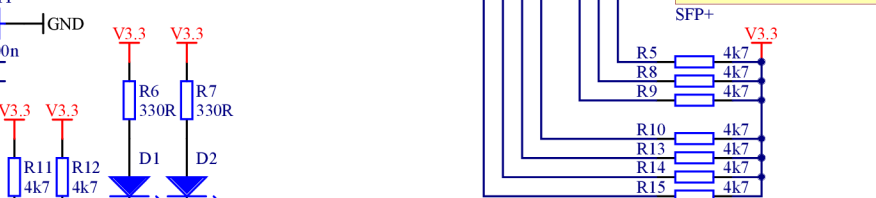
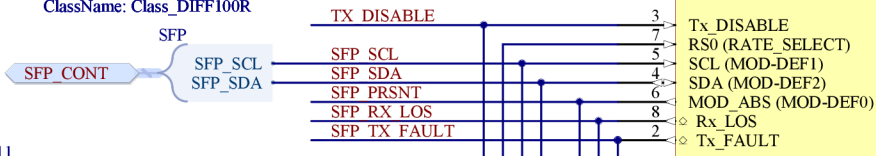
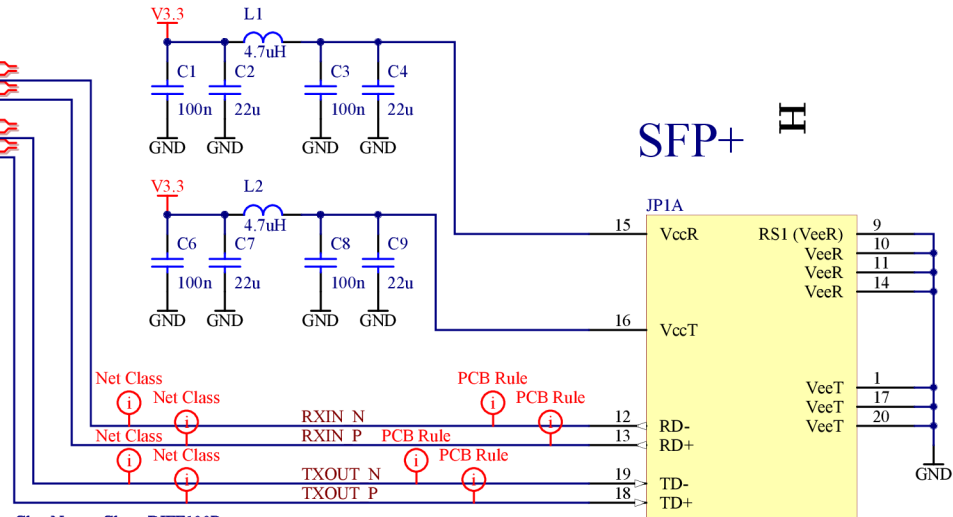
XAUI\_CONT



PHY1D

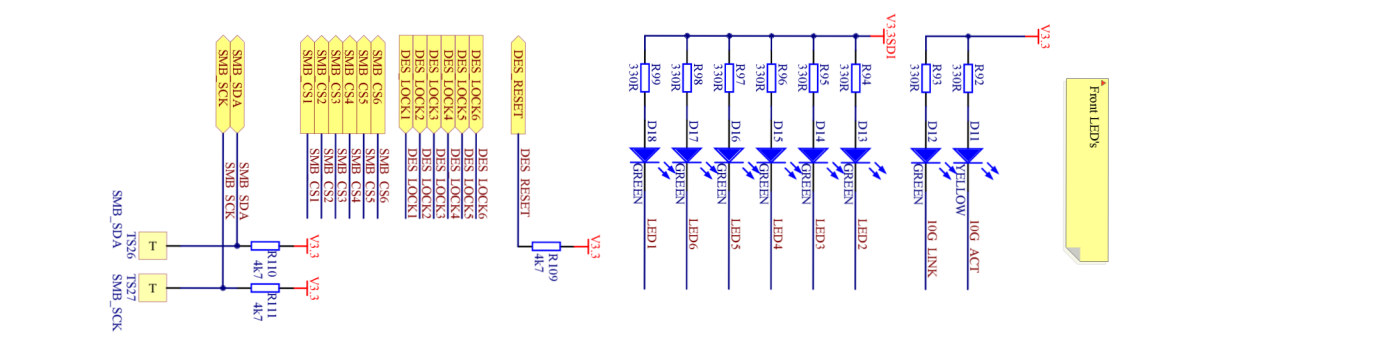
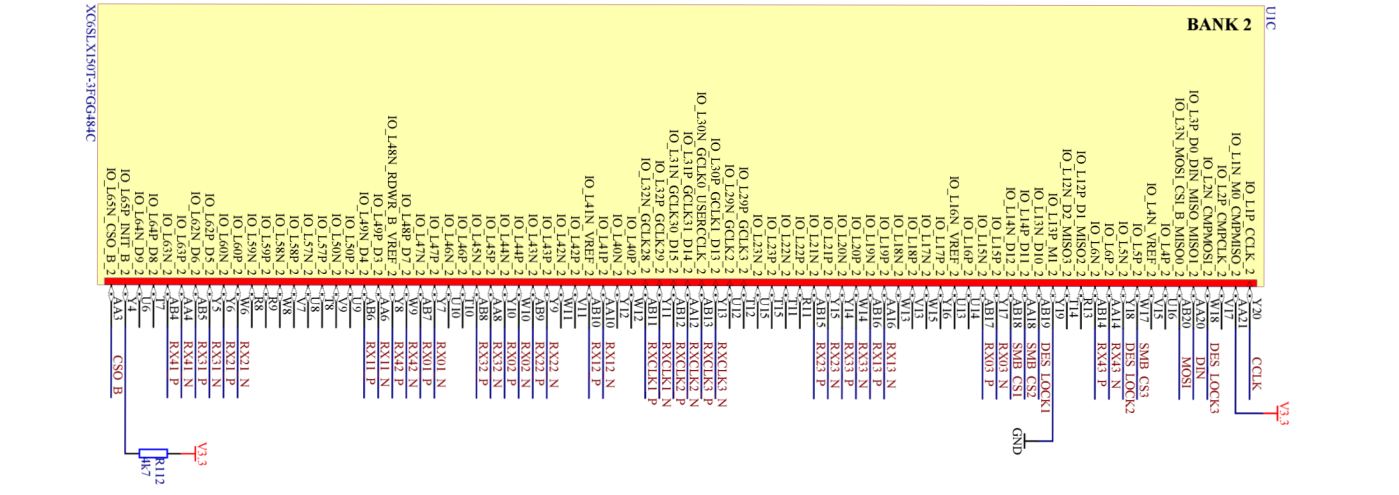
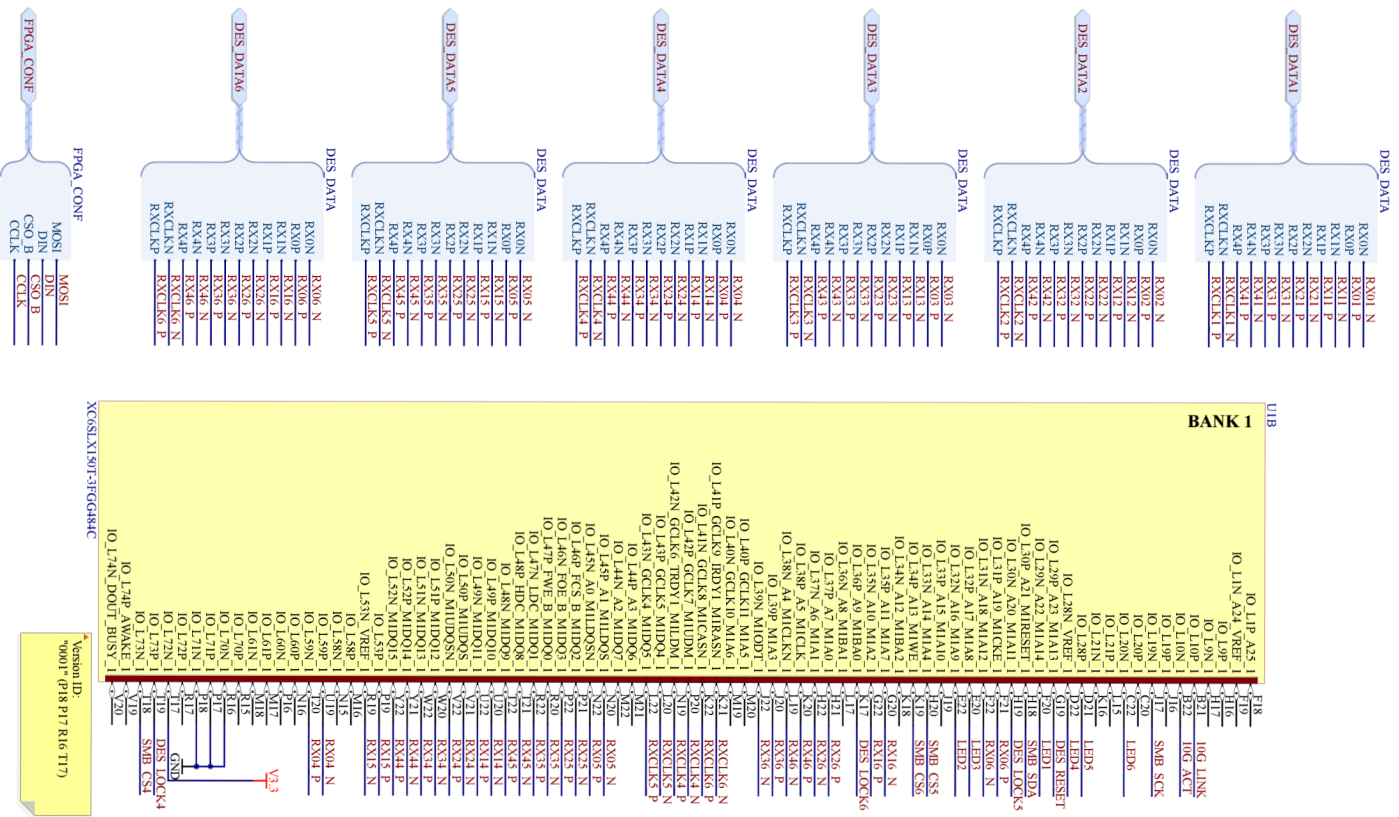


VSC8486-STATUS-CONTROL  
VSC8486-11

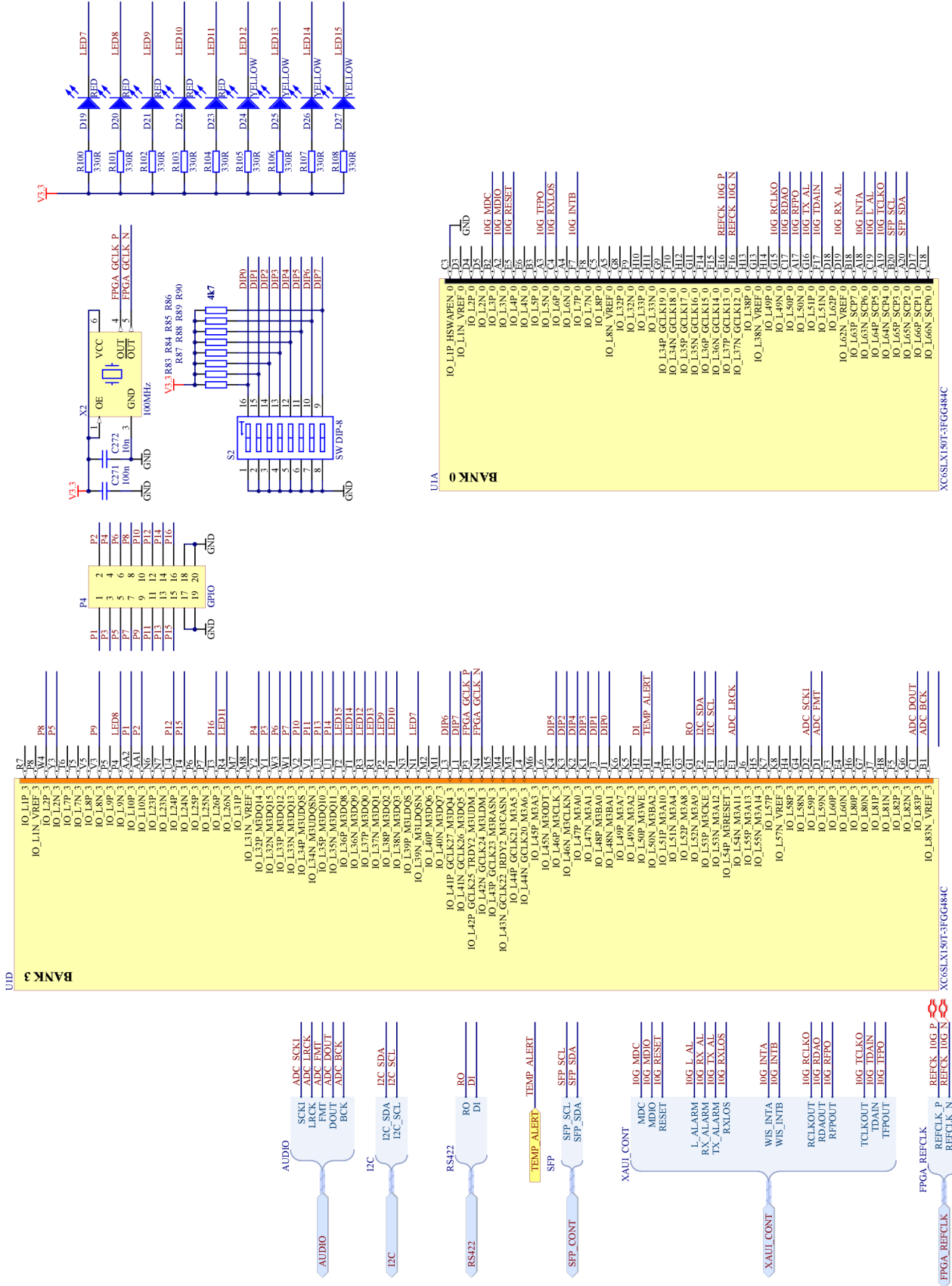


ZAPOJENÍ 10GB PHY

# I FPGA ZAPOJENÍ BANKŮ 1 A 2



# J FPGA ZAPOJENÍ BANKŮ 0 A 3



BANK 3

BANK 0

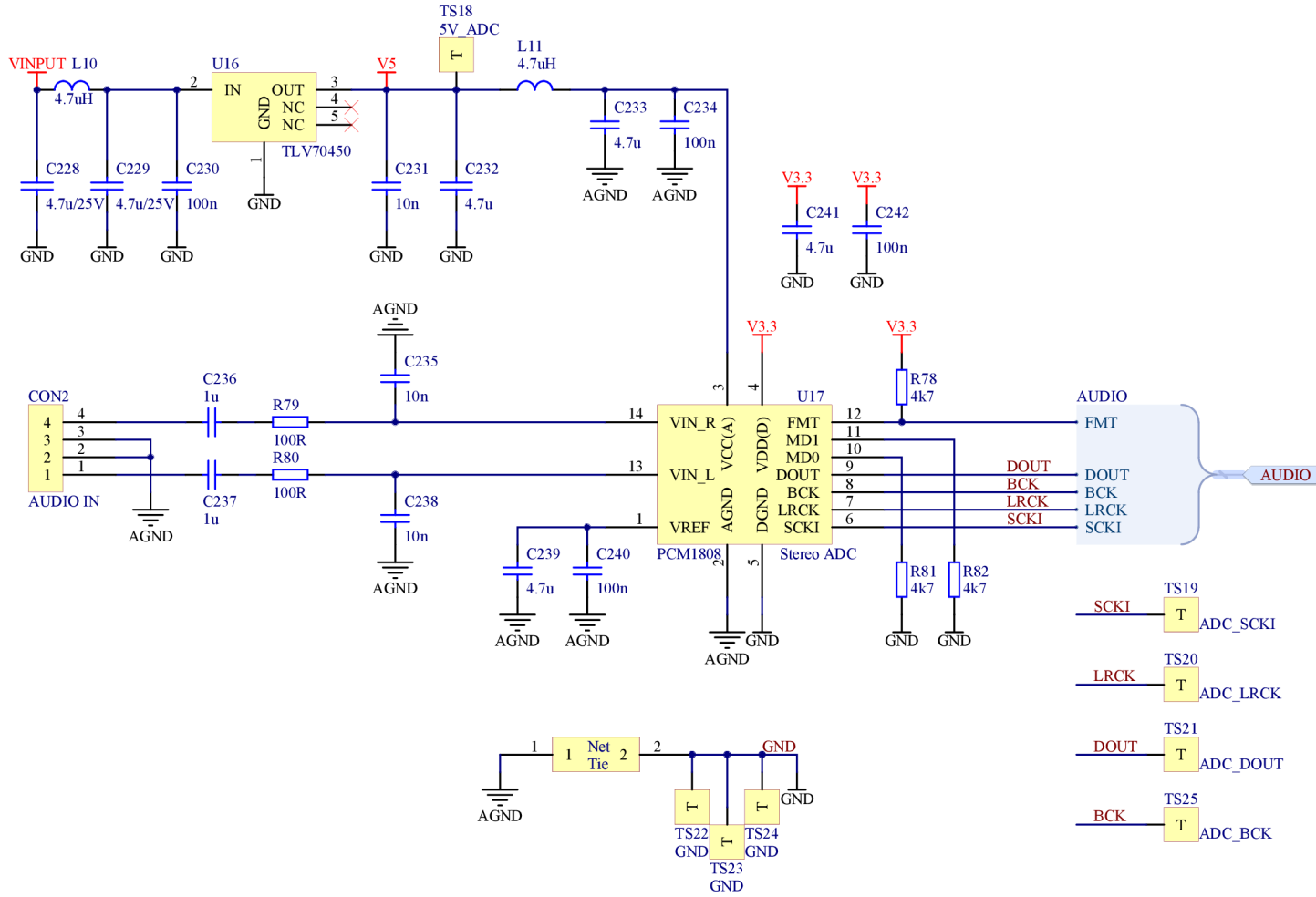
UID

XG6SLX150T-3FGG484C

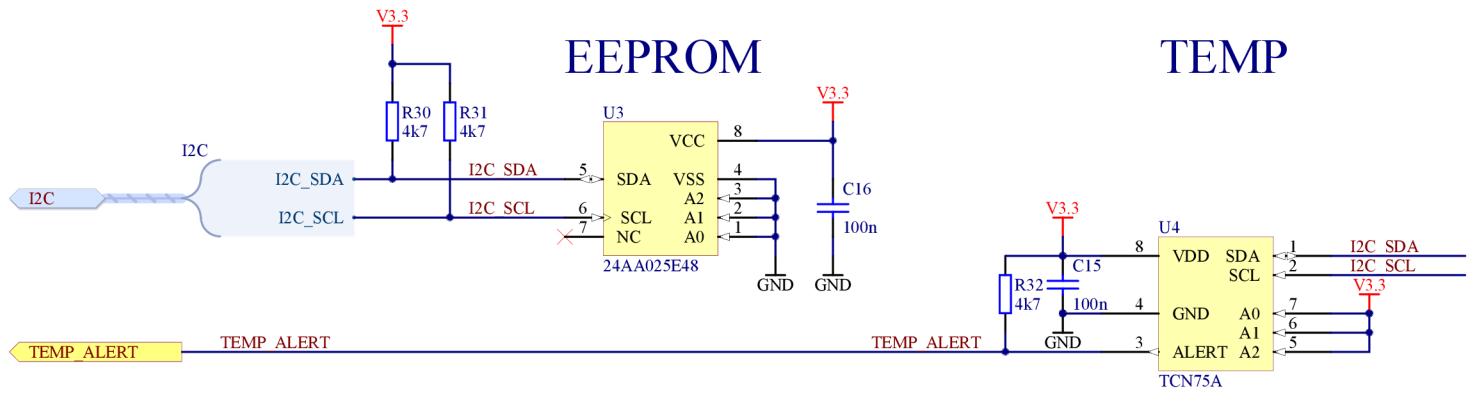


# ADC

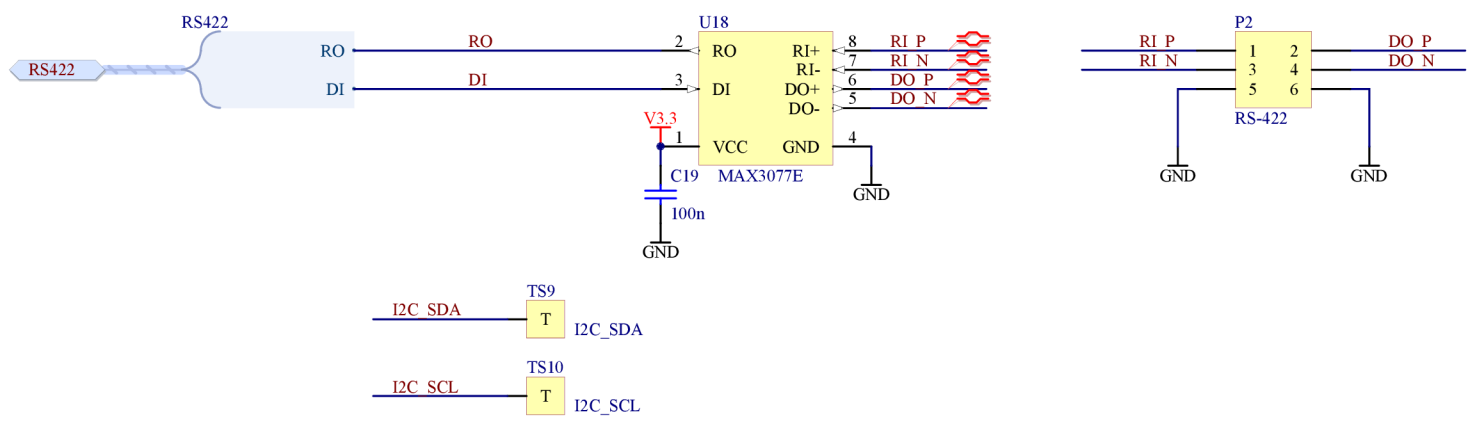
## K STEREO AUDIO PŘEVODNÍK



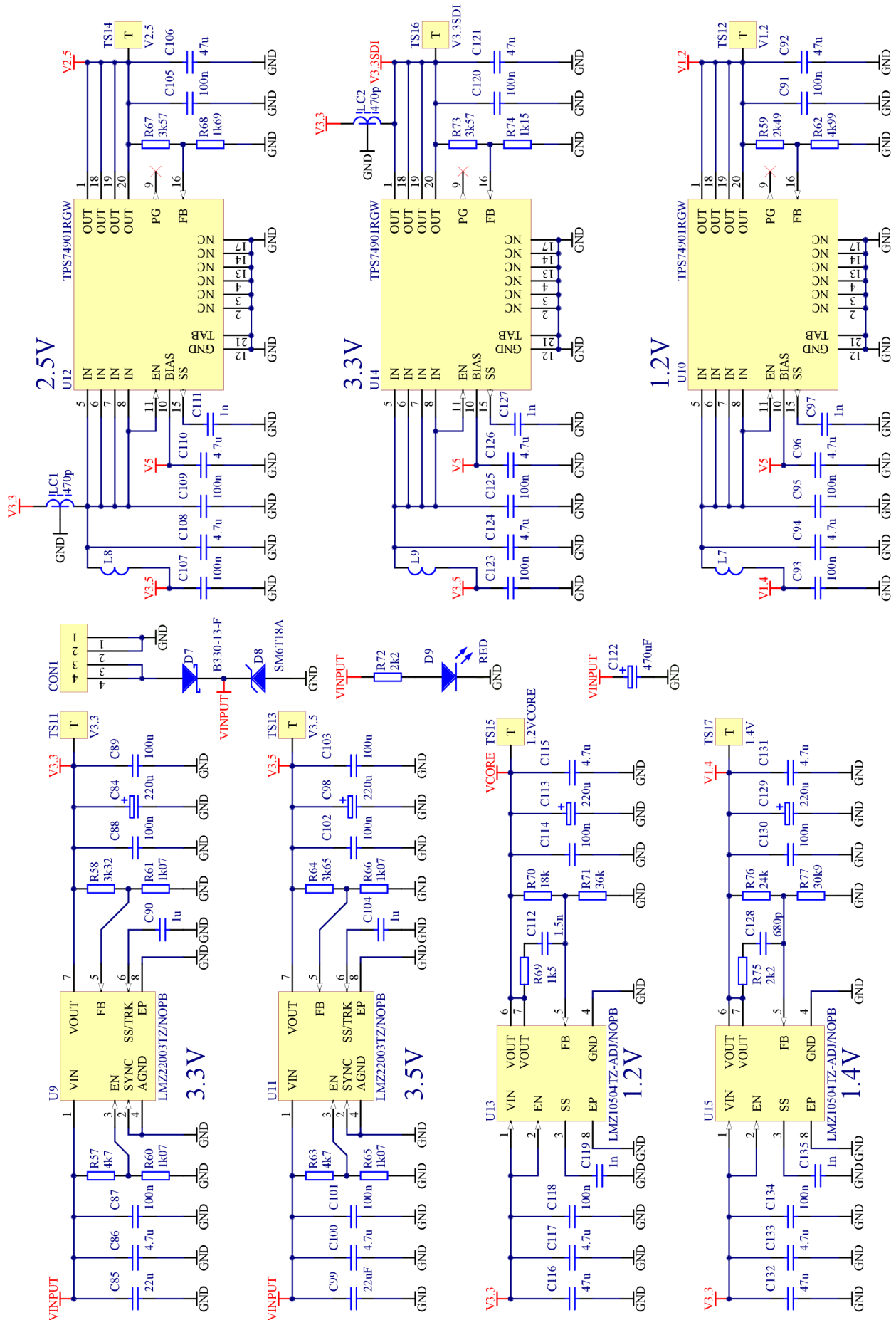
L OSTATNÍ OBVODY



### RS422

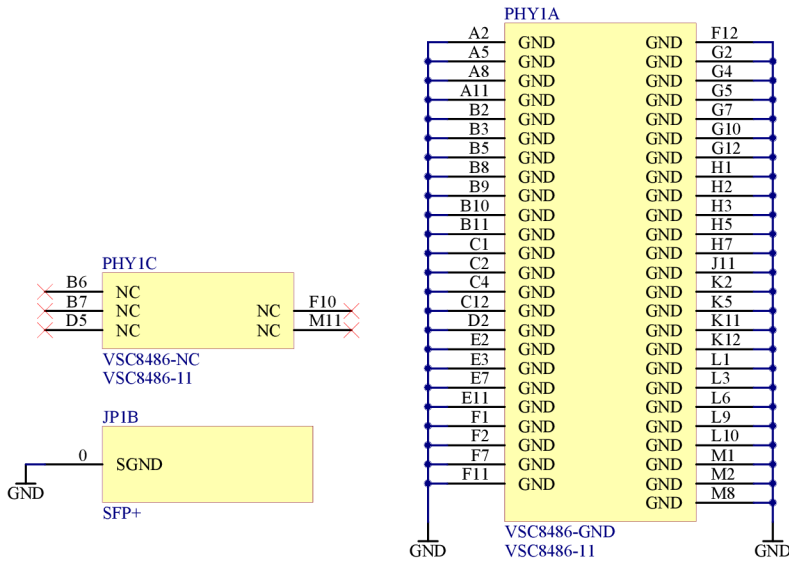
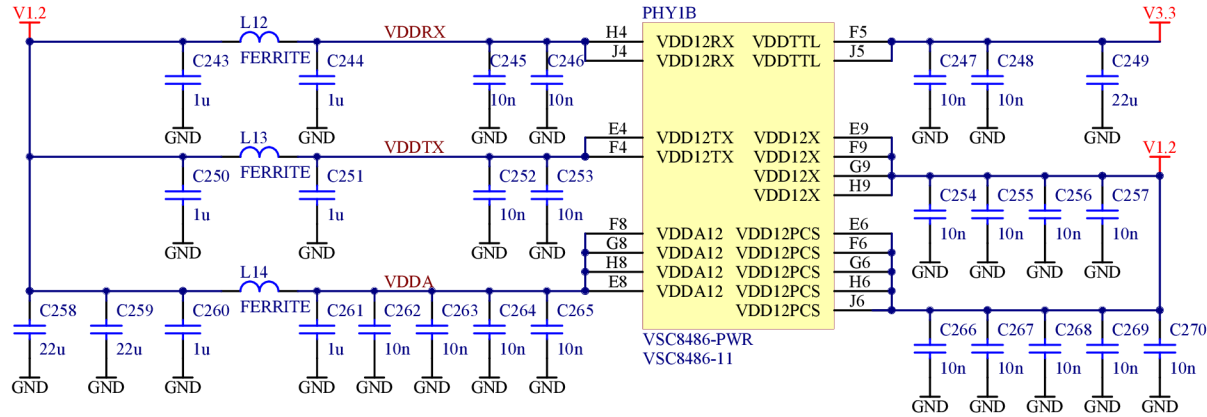


# M SCHEMA NAPÁJECÍCH ZDROJŮ





# 10G PHY POWER



O NAPÁJENÍ 10GB PHY

ChipScope Pro Analyzer [sp623\_top]

File View JTAG Chain Device IBERT\_S6GTP Window Help

JTAG Scan Rate: 1 s S!

Project: sp623\_top

JTAG Chain

- DEV:0 MyDevice0 (XC6SLX100T)
  - UNIT:1\_0 MyIBERT S6 GTP1\_0
    - IBERT Console

Signals: DEV: 0 UNIT: 1\_0

IBERT Console - DEV:0 MyDevice0 (XC6SLX100T) UNIT:1\_0 MyIBERT S6 GTP1\_0 (IBERT S6 GTP)

MGT/BERT Settings | DRP Settings | Port Settings | Sweep Test Settings

	GTPA1_DUAL_X0Y1_0	GTPA1_DUAL_X0Y1_1	GTPA1_DUAL_X1Y1_0	GTPA1_DUAL_X1Y1_1
<b>MGT Settings</b>				
MGT Alias	DUAL101_0	DUAL101_1	DUAL123_0	DUAL123_1
Tile Location	GTPA1_DUAL_X0Y1	GTPA1_DUAL_X0Y1	GTPA1_DUAL_X1Y1	GTPA1_DUAL_X1Y1
MGT Link Status	3.125 Gbps	3.125 Gbps	3.125 Gbps	3.125 Gbps
Line Rate	3.125 Gbps	3.125 Gbps	3.125 Gbps	3.125 Gbps
PLL Status	LOCKED	LOCKED	LOCKED	LOCKED
Loopback Mode	Near-End PMA	Near-End PMA	None	Near-End PMA
DUAL Reset	Reset	Reset	Reset	Reset
TX Polarity Invert	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
TX Error Inject	Inject	Inject	Inject	Inject
TX Diff Output Swing	205 mV (0000)	205 mV (0000)	487 mV (0011)	205 mV (0000)
TX Pre-Emphasis	0 dB (000)	0 dB (000)	0 dB (000)	0 dB (000)
RX Polarity Invert	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
RX AC Coupling Enable	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
RX Termination Voltage	GND	GND	MGTAVTT *	GND
RX Equalization	-0.3 dB (00)	-0.3 dB (00)	2.6 dB (01)	-0.3 dB (00)
RX Sampling Point	64 0.504 UI	64 0.504 UI	64 0.504 UI	64 0.504 UI
<b>BERT Settings</b>				
TX Data Pattern	PRBS 7-bit	PRBS 7-bit	PRBS 31-bit	PRBS 7-bit
RX Data Pattern	PRBS 7-bit	PRBS 7-bit	PRBS 31-bit	PRBS 7-bit
RX Bit Error Ratio	2,967E-014	2,967E-014	2,970E-014	2,970E-014
RX Received Bit Count	3,370E013	3,370E013	3,368E013	3,368E013
RX Bit Error Count	0,000E000	0,000E000	0,000E000	0,000E000
BERT Reset	Reset	Reset	Reset	Reset
<b>Clocking Settings</b>				
TXUSRCLK Freq (MHz)	312,52	312,52	312,52	312,52
TXUSRCLK2 Freq (MHz)	156,27	156,27	156,27	156,27
RXUSRCLK Freq (MHz)	312,52	312,52	312,52	312,52
RXUSRCLK2 Freq (MHz)	156,27	156,27	156,26	156,27

INFO: DEV:0 MyDevice0 (XC6SLX100T) is not configured  
COMMAND: configure 0 "C:\Users\Stanik\Dropbox\gtptest2\ibert3\example\_chipscope\_ibert.bit" 0 import\_inserter\_cdc "" ""  
INFO: Found 1 Core Unit in the JTAG device Chain.