



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIOENGINEERING

ŠIROKOPÁSMOVÝ VF GENERÁTOR SIGNÁLU DO 6GHZ

WIDEBAND 6GHZ RF SIGNAL GENERATOR

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Josef Mička

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Tomáš Urbanec, Ph.D.

BRNO 2020

Bakalářská práce

bakalářský studijní program **Elektronika a komunikační technologie**

Ústav radioelektroniky

Student: Josef Mička

ID: 203290

Ročník: 3

Akademický rok: 2019/20

NÁZEV TÉMATU:

Širokopásmový VF generátor signálu do 6GHz

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s vlastnostmi širokopásmového VCO s PLL ADF435x a navrhnete obvodové řešení generátoru s mikroprocesorovým řízením a ovládáním i z PC. Navrhnete pomocné obvody pro řízení amplitudy výstupního signálu. Navrhnete řídicí panel pro komfortní obsluhu generátoru. Zohledněte v návrhu externí vstup referenčního signálu z GPS přijímače. Vytvořte schéma celého generátoru a podklady pro DPS.

Navržené řešení vysokofrekvenčního generátoru realizujte. Vytvořte kompletní softwarové vybavení generátoru pro jeho obsluhu z ovládacího panelu i z připojeného počítače PC. Detailně prověřte vlastnosti vytvořeného generátoru. Optimalizujte zejména čistotu výstupního spektra signálu a stabilitu amplitudy výstupního signálu.

DOPORUČENÁ LITERATURA:

[1] Analog Devices: Wideband Synthesizer with Integrated VCO ADF4355-3 [online]. 2017 [cit. 2017-10-5]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/ADF4355-3.pdf>

[2] HMC1119 0.25 dB LSB, 7-Bit, Silicon Digital Attenuator, 0.1 GHz to 6.0 GHz [online]. 2017 [cit. 2017-10-5]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/HMC1119.pdf>

Termín zadání: 3.2.2020

Termín odevzdání: 4.6.2020

Vedoucí práce: Ing. Tomáš Urbanec, Ph.D.

prof. Ing. Tomáš Kratochvíl, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato práce se zabývá realizací širokopásmového vysokofrekvenčního generátoru s nastavitelnou amplitudou výstupního signálu. Generátor je založen na frekvenčním syntezátoru ADF4355. Pro nastavení výkonové úrovně výstupního signálu slouží atenuátor HMC1119. Vytvořený generátor umožňuje ovládání pomocí řídicího panelu nebo pomocí SCPI příkazů. Frekvenční syntéza může probíhat v celočíselném nebo neceločíselném režimu. V celočíselném režimu má výstupní signál velmi nízký fázový šum.

Klíčová slova

fázový závěs, frekvenční syntéza, ADF4355, ATxmega32A4U, SCPI

Abstract

The goal of this thesis is a design of a wideband high frequency generator with an adjustable output amplitude. The generator is based on a frequency synthesizer ADF4355. The power level of an output signal is adjustable by an attenuator HMC1119. The created generator is accessible through a user-friendly control panel or by SCPI commands. Frequency synthesis can run in an integer mode or a fractional mode. The output signal has a very low phase noise when it is running in the integer mode.

Keywords

phase-locked loop, frequency synthesis, ADF4355, ATxmega32A4U, SCPI

Bibliografická citace:

MIČKA, Josef. Širokopásmový VF generátor signálu do 6GHz [online]. Brno, 2020 [cit. 2020-06-04]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/126089>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky. Vedoucí práce Tomáš Urbanec.

Prohlášení

„Prohlašuji, že svou bakalářskou práci na téma Širokopásmový VF generátor signálu do 6GHz jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.“

V Brně dne: 16. prosince 2019

.....
podpis autora

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Tomáši Urbancovi, Ph.D. za odbornou pomoc a další cenné rady při zpracování mé bakalářské práce.

V Brně dne: 16. prosince 2019

.....
podpis autora

Obsah

1.	Úvod.....	12
2.	Fázový závěs	13
2.1	Funkce PLL.....	13
2.2	Fázově frekvenční detektor a nábojová pumpa	14
2.3	Filtr smyčky	15
2.4	Napětím řízený oscilátor	15
3.	Frekvenční syntezátory s PLL.....	16
3.1	Frekvenční syntezátor s celočíselným dělicím poměrem	16
3.2	Frekvenční syntezátor s neceločíselným dělicím poměrem	17
4.	Obvody generátoru.....	18
4.1	ADF4355	19
4.2	Přepínač referenčního signálu.....	19
4.3	Filtr smyčky	21
4.4	ATxmega32A4U.....	22
4.5	Atenuátor HMC1119	23
4.6	Zesilovač PHA-1+.....	24
4.7	Displej LCD.....	24
4.8	Klávesnice a tlačítka	24
4.9	Napájení	25
5.	Fyzická realizace.....	27
5.1	DPS generátoru	27
5.2	DPS řídicího panelu	28
5.3	Krabička.....	29
6.	Firmware	31
6.1	SPI.....	32
6.2	Souborový systém v EEPROM.....	32
6.2.1	Korekční soubor	33
6.3	Konfigurace ADF4355	33
6.3.1	Výpočet INT, FRAC1, FRAC2, MOD2 a DIV.....	34
6.4	Frekvenční rozmítání	37
7.	Funkce a obsluha generátoru.....	38

7.1	Funkce generátoru.....	38
7.1.1	Korekce a vyhlazení výstupního výkonu	39
7.2	Obsluha z řídicího panelu	39
7.3	Obsluha z počítače	40
7.4	Chybová hlášení.....	41
8.	Měření na generátoru	42
9.	Závěr	46

Seznam symbolů a zkratek

Zkratky:

PLL	Phase-Locked Loop
MCU	Microcontroller Unit
VCO	Voltage-controlled oscillator
USB	Universal Serial Bus
GSM	Global System for Mobile Communications
VF	Vysokofrekvenční
TCXO	Temperature Compensated Crystal Oscillator
VC-TCXO	Voltage Controlled TCXO
ESD	Electrostatic Discharge
FM	Frequency Modulation
PM	Phase Modulation
PSRR	Power Supply Rejection Ratio
UREL	Ústav radioelektroniky
CDC	Communication Device Class
FS	Full Speed
SCPI	Standard Commands for Programmable Instruments
EEPROM	Electrically Erasable Programmable Read-Only Memory
GCPW	Grounded Coplanar Wave Guide
ASF	Atmel Software Framework
LED	Light Emitting Diode

Seznam obrázků

Obrázek 1: Blokové schéma fázového závěsu.....	13
Obrázek 2: Odezva fázového závěsu na skokovou změnu frekvence	14
Obrázek 3: Nábojová pumpa tvořena klopnými obvody typu D [8]	14
Obrázek 4: Příklady filtrů	15
Obrázek 5: Frekvenční syntezátor s děličkou N [6].....	16
Obrázek 6: Fázový syntezátor s řízeným předděličem [6]	17
Obrázek 7: Blokové schéma generátoru	18
Obrázek 8: Blokové schéma ADF4355 [2].....	19
Obrázek 9: Přepínání referenčních signálů	20
Obrázek 10: Zapojení filtru smyčky	21
Obrázek 11: Bloková struktura mikrokontroléru ATxmega32A4U	22
Obrázek 12: Blokové schéma atenuátoru HMC1119	23
Obrázek 13: Zapojení zesilovače PHA-1+ [13].....	24
Obrázek 14: Příklad zapojení tlačítek se schematickým znázorněním pull-down rezistorů	25
Obrázek 15: Napájení generátoru	26
Obrázek 16: Napájení VF části	26
Obrázek 17: Zapojení logického výstupu	27
Obrázek 18: Osazená DPS generátoru – TOP	28
Obrázek 19: Osazená DPS generátoru – BOTTOM.....	28
Obrázek 20: Osazená DPS řídicího panelu – TOP	28
Obrázek 21: Osazená DPS řídicího panelu – BOTTOM.....	29
Obrázek 22: Model generátoru v programu Fusion 360.....	29
Obrázek 23: Realizovaný generátor uzavřený v krabici (1 – vstup ext., 2 – OUT 2, 3 – OUT 1, 4 – logický výstup, 5 – spínač).....	30
Obrázek 24: Zjednodušený diagram hlavní programové smyčky	31
Obrázek 25: Obrazovka nastavení výkonu (POW).....	39
Obrázek 26: Obrazovka rozšířeného nastavení (ADV)	39
Obrázek 27: Obrazovka nastavení frekvence (FRE)	39
Obrázek 28: Obrazovka nastavení frekvenčního rozmítání.....	39

Seznam tabulek

Tabulka 1: Parametr referenčního oscilátoru [10]	20
Tabulka 2: Shrnutí přepínání oscilátoru.....	20
Tabulka 3: Matice tlačítek	25
Tabulka 4: Parametry DPS a GCPW	27
Tabulka 5: Nastavení SPI	32
Tabulka 6: Struktura souboru v paměti EEPROM	32
Tabulka 7: Formát souboru s korekčními daty	33
Tabulka 8: Konfigurace bitů výstupní děličky (registr 6) [2]	35
Tabulka 9: Základní funkce generátoru a parametry	38
Tabulka 10: Rozšířené funkce generátoru	38
Tabulka 11: Parametry komunikace generátoru s terminálem	40
Tabulka 12: Seznam podporovaných příkazů.....	40
Tabulka 13: Chybová hlášení	41

1. ÚVOD

Vysokofrekvenční technika má zásadní význam pro sdělovací a komunikační technologie. V podstatě realizuje jejich fyzickou vrstvu, která je odpovědná za přenos dat. Existuje mnoho komunikačních systémů využívajících různá frekvenční pásma. Aby bylo možné generovat komunikační signály o vysokých frekvencích, je nutné mít vhodný generátor požadovaného kmitočtu. Jelikož je obvykle nutné pracovat s více frekvenčními pásmy, je žádoucí, aby bylo možné daný generátor přeladit v širokém frekvenčním pásmu.

Generátor může být realizován mnoha způsoby, např. laděním rezonančního kmitočtu LC článku, pomocí přímé digitální syntézy nebo s využitím kmitočtového syntezátoru s fázovým závěsem. Využití LC rezonančních obvodů pro generování vysokých kmitočtů je velmi náročné a nepříliš vhodné z hlediska náročnosti konstrukce a stability kmitočtu. Frekvence výstupního signálu přímého digitálního syntezátoru je závislá na taktovacím kmitočtu. Maximální hodnota kmitočtu výstupního signálu je tedy u tohoto systému velmi omezená. Kmitočtový syntezátor s fázovým závěsem generuje signál o vysoké frekvenci, která je odvozena od kmitočtu referenčního. Celkový systém fázového závěsu není jednoduchý, ale díky technologiím integrovaných obvodů je možné celý systém miniaturizovat. Obvody fázového závěsu s děličkou kmitočtu jsou schopny generovat frekvence až do desítek GHz.

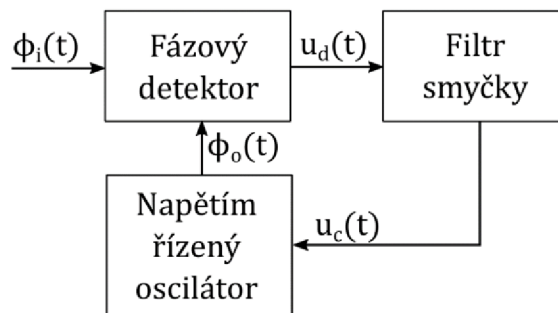
Integrované PLL syntezátory často pracují s nízkými napájecími napětími, typicky 3,3 V nebo 5 V. Tyto obvody umožňují skokově přeladit frekvenci, čehož je využíváno např. u technologie GSM, která pro přenos dat využívá více kanálů.

Z těchto důvodů se PLL syntezátor nabízí jako vhodná možnost při konstrukci širokopásmového vysokofrekvenčního generátoru. Aby však bylo vlastností PLL syntezátoru dobře využito a generovaný signál byl stabilní, přesný a spektrálně čistý, je nutné navrhout konstrukci generátoru s ohledem na tyto parametry. Při návrhu vysokofrekvenčních obvodů je velmi důležitý správný návrh desky. Je nutné dbát na správné rozložení a zemnění VF obvodů. Při nesprávném návrhu by mohlo dojít k znečištění spektra výstupního signálu nebo k chybné funkci obvodu.

Dobře sestavený a zkonstruovaný generátor může být velmi dobrým pomocníkem při radioamatérské činnosti nebo v laboratořích.

2. FÁZOVÝ ZÁVĚS

Fázový závěs (PLL - Phase Locked Loop) je nelineární zpětnovazební systém, který se snaží udržovat minimální rozdíl fází vstupního signálu a signálu z VCO. Jeho objev byl učiněn ve třicátých letech minulého století, své využití však našel až později s příchodem monolitických integrovaných obvodů. Fázový závěs je využíván v mnoha aplikacích, např.: demodulace širokopásmových i úzkopásmových FM a PM signálů, kmitočtová synchronizace a výběr signálu nebo násobení a dělení kmitočtu [5].

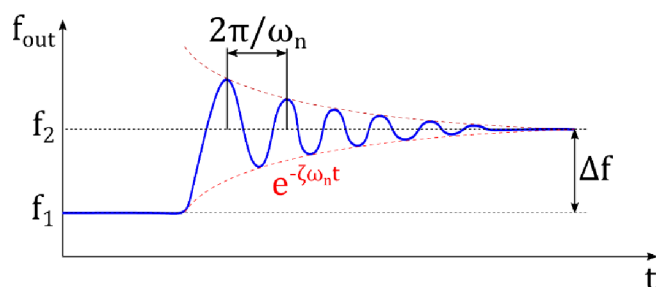


Obrázek 1: Blokové schéma fázového závěsu

2.1 Funkce PLL

Systém se snaží dosáhnout nulové odchylky fáze a frekvence signálů na vstupu fázového detektoru. Pokud se změní rozdíl fází vstupního signálu a signálu z VCO, vygeneruje fázový detektor na svém výstupu chybové napětí. Toto napětí je pomocí filtru smyčky převedeno na řídicí napětí působící změnu fáze VCO tak, aby znovu došlo k synchronizaci fází obou signálů. V synchronním stavu, tzn. fáze jsou stejné, mluvíme o „zavěšení smyčky“. Jelikož se jedná o dynamický systém, který neustále sleduje změnu synchronizace, nedojde nikdy k nulové odchylce fází, pouze k tzv. „ustálené fázové odchylce“. Velikost této odchylky je závislá na zisku smyčky. Čím větší bude zisk smyčky, tím menší bude ustálená fázová odchylka a naopak. Znamená to tedy, že je ustálená fázová odchylka nepřímo úměrná zisku smyčky. Bude-li se blížit zisk smyčky k nekonečnu, bude velikost ustálené fázové odchylky nulová [5].

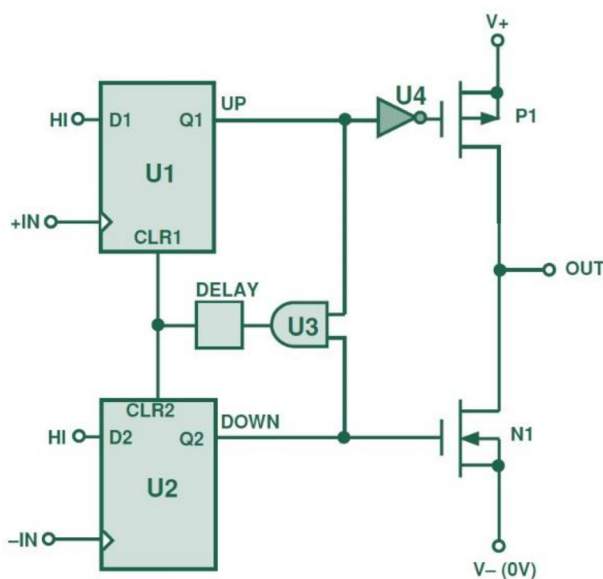
Při vzniku rozdílu frekvence se systém dostává zpět do synchronního stavu obdobným způsobem jako při změně fáze. Jelikož není systém schopen skokové změny frekvence, dochází k postupnému ustalování takovým způsobem, že fázový detektor generuje chybové napětí střídavého charakteru, které se převádí filtrem smyčky na stejnosměrné napětí řídicí VCO. Ustálení se děje s tzv. „přirozenou frekvencí“ ω_n (viz obrázek 2), která závisí na vlastnostech filtru smyčky [5][6].



Obrázek 2: Odezva fázového závěsu na skokovou změnu frekvence

2.2 Fázově frekvenční detektor a nábojová pumpa

Fázově frekvenční detektor (PFD – Phase-Frequency Detector) porovnává vstupní signál s výstupním z VCO a skrz filtr poskytuje chybový signál, který řídí VCO (viz obrázek 1). Fázově frekvenční detektor může být realizován různými způsoby, v moderních systémech se obvykle používá dvojice klopných obvodů typu D. Na obrázku 3 je zobrazena realizace PFD s využitím dvou klopných obvodů typu D [6] [8].



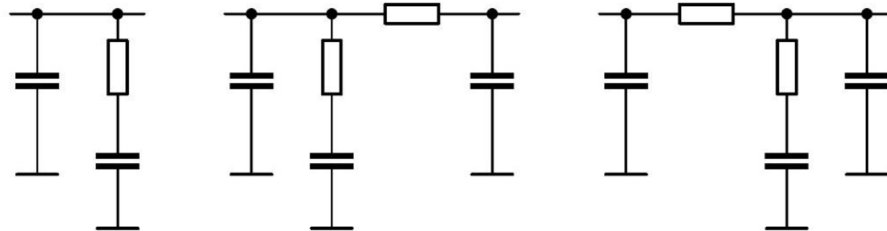
Obrázek 3: Nábojová pumpa tvořena klopnými obvody typu D [8]

2.3 Filtr smyčky

Filtr smyčky slouží k převodu proudových pulzů z nábojové pumpy na napětí, které řídí VCO. V podstatě se jedná o filtr typu dolní propust. Může být realizován jako aktivní filtr, častěji však jako pasivní filtr různých řádů. Filtr smyčky je důležitou součástí fázového závěsu a ovlivňuje jeho parametry. Návrhem filtru lze ovlivnit např. odezvu systému na skokové změny frekvence, stabilitu a fázový šum výstupního signálu.

Šířka pásma, resp. mezní kmitočet filtru smyčky, výrazně ovlivňuje dynamické vlastnosti systému. V případě malé šířky pásma je systém necitlivý vůči rychlým změnám frekvence a má horší schopnost synchronizace při přeladění PLL syntezátoru. Je-li šířka pásma velká, systém sleduje rychlé změny referenční frekvence dokáže se rychleji přeladit na nový kmitočet.

Návrh filtru smyčky je komplikovaný, ale jsou pro něj vyvinuty softwarové nástroje, které návrh značně usnadňují. Příklady používaných filtrů lze vidět na obrázku 4 [6].



Obrázek 4: Příklady filtrů

2.4 Napětím řízený oscilátor

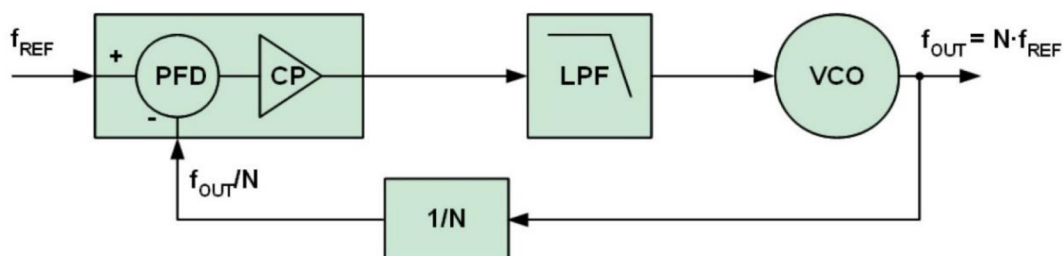
Napětím řízený oscilátor (VCO – Voltage Controlled Oscillator) je oscilátor, jehož frekvenci je možné řídit pomocí ladicího stejnosměrného napětí. Typickým parametrem VCO je zisk udávaný v Hz/V. Tento parametr udává citlivost změny frekvence při změně ladicího napětí [6].

3. FREKVENČNÍ SYNTEZÁTORY S PLL

Fázový zámek umožňuje synchronizaci frekvence a fáze VCO s referenčním signálem. Pokud je do zpětné vazby zařazena dělička (čítač) o dělicím poměru N , dojde k tomu, že je kmitočet signálu z VCO dělen touto děličkou a pro kmitočet fázově frekvenčního detektoru f_{PFD} platí vztah (1). Výstupní kmitočet VCO je pak dán vztahem (2) [6].

$$f_{PFD} = \frac{f_{VCO}}{N} \quad (1)$$

$$f_{VCO} = f_{PFD} \cdot N \quad (2)$$



Obrázek 5: Frekvenční syntezátor s děličkou N [6]

3.1 Frekvenční syntezátor s celočíselným dělicím poměrem

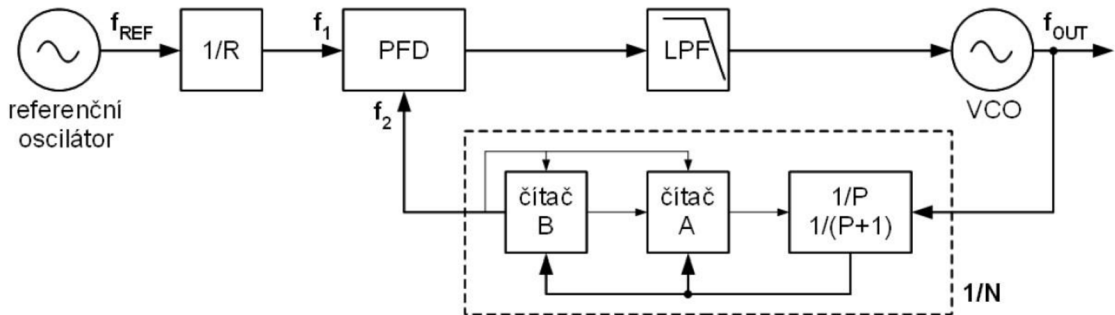
Na obrázku 5 je zobrazeno schematické znázornění frekvenčního syntezátoru s celočíselnou děličkou N . Jelikož je N celé číslo, je možné měnit výstupní frekvenci jen s krokem o velikosti f_{PFD} . Kmitočet referenčního oscilátoru bývá mnohdy vyšší, řádově MHz, než je nejmenší požadovaný krok přeladění, řádově kHz. Z toho důvodu je na vstup PFD zařazena ještě dělička s poměrem R , která dělí referenční kmitočet na požadovanou hodnotu (viz obrázek 6). Pro kmitočet f_{PFD} platí vztah (3).

$$f_{PFD} = \frac{f_{ref}}{R} \quad (3)$$

Dělička však může být realizována jako syntezátor s pevným, případně řízeným předděličem. Syntezátory s řízeným předděličem mají ve zpětné vazbě zavedený předdělič využívající přepínání dělicího poměru P a $(P+1)$ (viz obrázek 6). Funkce je podrobněji popsána v [6]. Pro dělicí poměr N platí vztah (4) a pro kmitočtový krok vztah (5).

$$N = A + P \cdot B \quad (4)$$

$$\Delta f = f_{PFD} = \frac{f_{ref}}{R} \quad (5)$$



Obrázek 6: Fázový syntezátor s řízeným předděličem [6]

3.2 Frekvenční syntezátor s neceločíselným dělicím poměrem

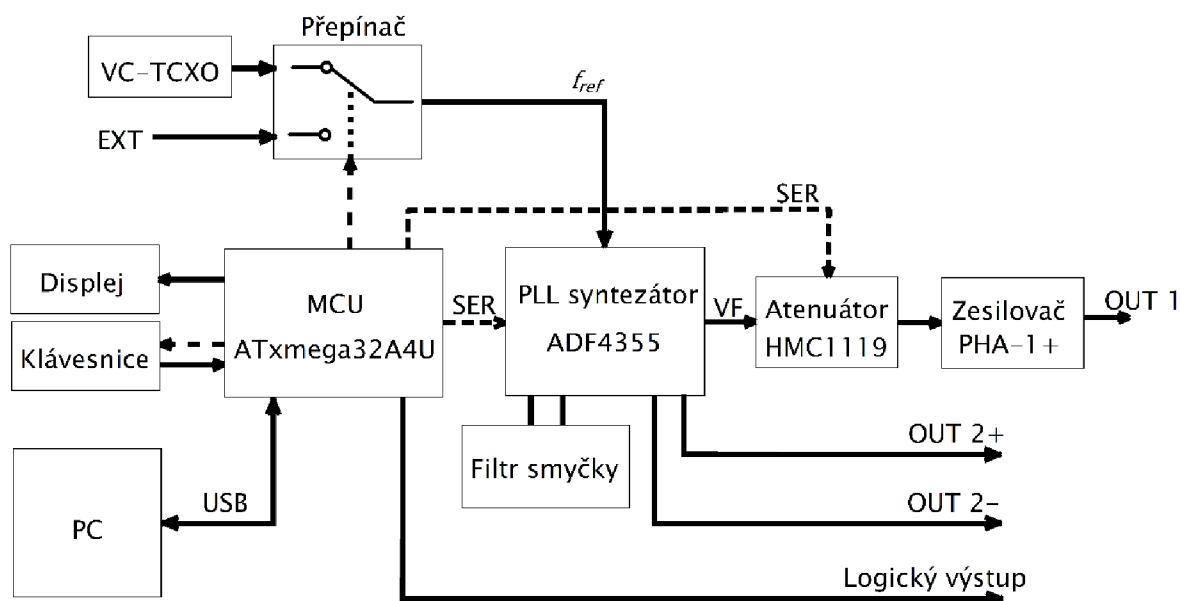
Pokud je u syntezátoru s celočíselným dělicím poměrem vyžadován jemný krok přeladění, je potřeba zvětšit dělicí poměr R . Se zvětšujícím se dělicím poměrem R musí růst i poměr N pro zachování rozsahu generovaných frekvencí. Tím se však prodlužuje odezva systému na změnu frekvence, což vede ke zvětšení fázového šumu. Tyto problémy řeší fázový syntezátor s neceločíselným dělicím poměrem. Tento systém přepíná mezi dělicím poměrem N_{INT} a $(N_{INT}+1)$ v časových intervalech, které jsou závislé na poměru N_{FRAC}/N_{MOD} . Pro dělicí poměr N_F platí vztah (6). Tento systém má však oproti syntezátoru s celočíselným dělicím poměr nevýhodu většího výskytu diskrétních rušivých složek. Podrobnější popis je možné nalézt v [6].

$$N_F = N_{INT} + \frac{N_{FRAC}}{N_{MOD}} \quad (6)$$

4. OBVODY GENERÁTORU

Na obrázku 7 je zobrazen blokový návrh generátoru. Hlavní řídicí jednotka celého systému je MCU (Micro Controller Unit). Tento blok je odpovědný za celý chod generátoru, čte uživatelem zadané nastavení z řídicího panelu nebo z USB (Universal Serial Bus), udává zobrazený text na displeji, řídí výběr referenčního signálu a konfiguruje PLL syntezátor a atenuátor.

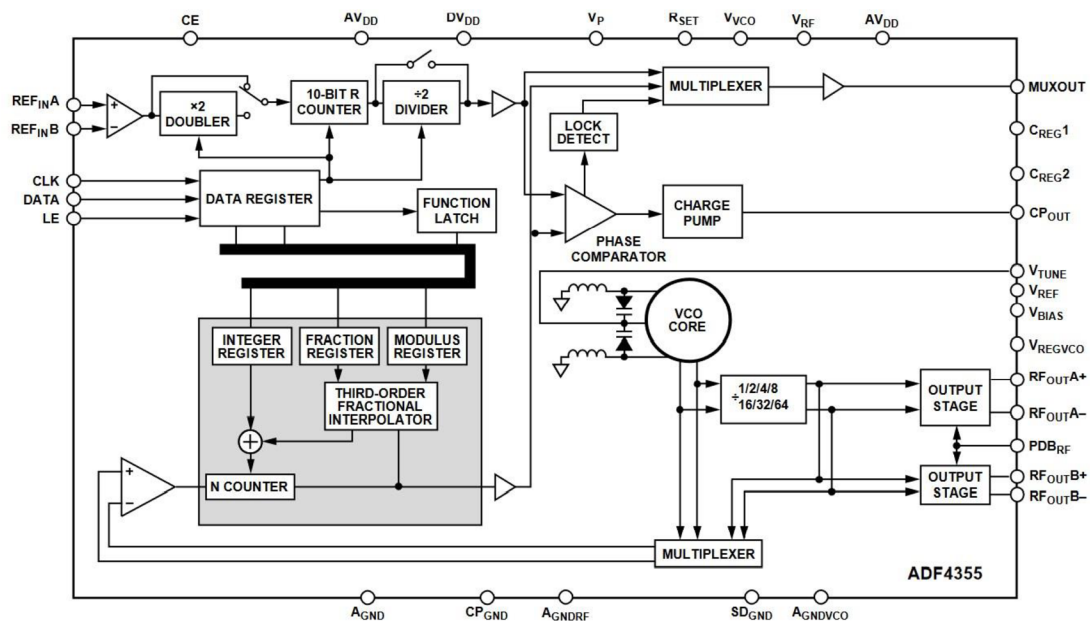
PLL syntezátor generuje vysokofrekvenční signál, který je odvozen od referenčního signálu f_{ref} . Navržený VF generátor má dva možné výstupy: komplementární výstup OUT 2 nebo výstup s řízenou amplitudou OUT 1.



Obrázek 7: Blokové schéma generátoru

4.1 ADF4355

Srdcem celého generátoru je integrovaný obvod ADF4355. Jedná se o PLL syntezátor s vestavěným VCO v SMD pouzdře LFCSP s 32 piny. To umožňuje jednoduché použití tohoto obvodu s minimem okolních součástek. Díky čtyřem vestavěným VCO je schopen generovat signál ve frekvenčním rozsahu 3400 MHz až 6800 MHz, při využití výstupní děličky je schopen generovat frekvence od 54 MHz. Umožňuje volbu celočíselné i neceločíselné frekvenční syntézy. Obvod je možné konfigurovat a řídit pomocí třívodičového sériového rozhraní. Integrovaný obvod vyžaduje napájení dvěma hodnotami napětí: 3,3 V pro analogové a digitální bloky a 5 V pro VCO a nábojovou pumpou. Blokové schéma je zobrazeno na obrázku 8.



Obrázek 8: Blokové schéma ADF4355 [2]

Výstupní signál je možné odebírat z dvojice na sobě nezávislých komplementárních výstupů. Výstupní výkon lze nastavit v rozsahu od -4 dBm do +5 dBm s krokem 3 dB. Maximální výstupní výkon 5 dBm je však možné dodávat pouze s přídatnou pull-up indukčností [2].

4.2 Přepínač referenčního signálu

Referenční signál pro ADF4355 je možné přepínat mezi interním oscilátorem a externím zdrojem kmitočtu. Toho je docíleno využitím vysokofrekvenčního přepínače AS169-73LF, který je schopen pracovat ve frekvenčním rozsahu od 300 kHz do 2,5 GHz. Přepínání je řízeno dvěma komplementárními signály V1 a V2. [3]. Přepínač je možné řídit pomocí 3,3 V CMOS logiky. Zapojení přepínače zobrazuje obrázek 9. Tranzistor Q2 společně s rezistorem R8 a R9 provádí negaci signálu SW_RFIN.

Unipolární tranzistor Q1 odpojí interní oscilátor od napájení v případě, že je zvolen externí zdroj referenčního signálu. Volně běžící oscilátor by mohl ovlivnit spektrum výstupního signálu. Princip volby referenčního signálu udává tabulka 2.

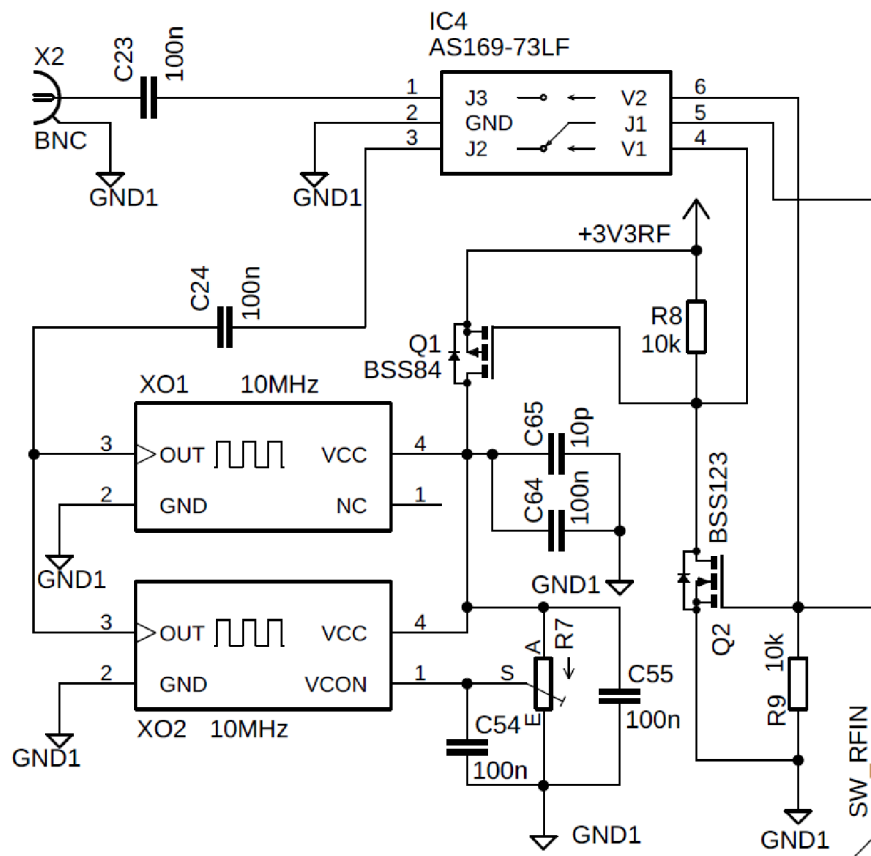
Ve schématu (viz obrázek 9) jsou zakresleny dva oscilátory, z důvodu variabilnosti osazení DPS oscilátorem v SMD pouzdře 7×5 mm nebo 5×3,2 mm. Ve výsledné realizaci je použit VC-TCXO v pouzdře 7×5 mm.

Tabulka 1: Parametr referenčního oscilátoru

Oscilátor	Označení	Kmitočet	Stabilita	Výstup
VC-TCXO	LFTVXO009900	10 MHz	0,9 ppm	HCMOS

Tabulka 2: Shrnutí přepínání oscilátoru

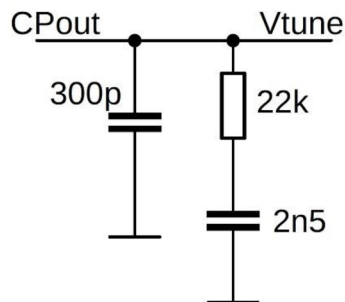
Řídicí signál SW_RFIN	Signály		Stav interního oscilátoru	Referenční oscilátor
	V1	V2		
H	L	H	Zapnut	Interní
L	H	L	Vypnut	Externí



Obrázek 9: Přepínání referenčních signálů

4.3 Návrh filtru smyčky

Zapojení filtru smyčky zobrazuje obrázek 10. Hodnoty jednotlivých součástek filtru byly určeny pomocí softwaru ADIsimPLL. Základním parametrem pro návrh filtru byla hodnota frekvence f_{PFD} . Hodnota f_{PFD} byla zvolena 1 MHz. Z teorie vyplývá, že mezní kmitočet filtru smyčky by měl být minimálně desetkrát menší, než je frekvence fázově frekvenčního detektoru f_{PFD} . Navržený filtr má mezní frekvenci 9,05 kHz.

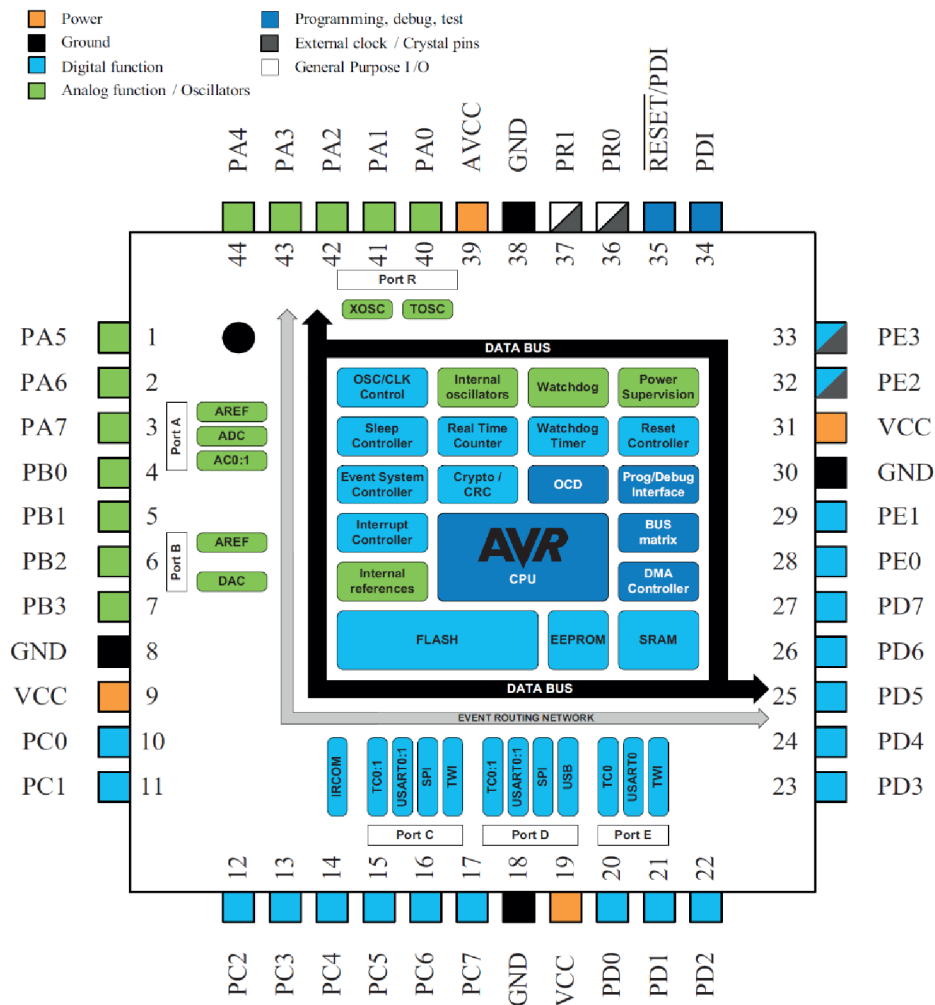


Obrázek 10: Zapojení filtru smyčky

4.4 ATxmega32A4U

Pro řízení celého systému je použit mikrokontrolér ATxmega32A4U. Jedná se o mikrokontrolér patřící do rodiny 8-bitových mikrokontrolérů řady xmega s architekturou AVR, mezi jejichž přednosti se stává nízký příkon a bohatá vybavenost periferiemi. Mikrokontrolér má 32 kB + 4 kB FLASH paměti, 4 kB SRAM a 1 kB EEPROM.

Důležitými periferiemi pro tento návrh generátoru je sériová komunikace SPI a komunikační rozhraní USB. SPI je využito pro konfiguraci PLL syntezátoru a attenuátoru. USB je použito pro komunikaci s počítačem. Dalšími důležitými periferiemi jsou šestnáctibitové čítače/časovače. Mikrokontrolér disponuje 34 konfigurovatelnými piny [1]. To je dostatečné množství, aby bylo možné ovládat PLL syntezátor, attenuátor, displej a kontrolovat stisk tlačítek klávesnice.

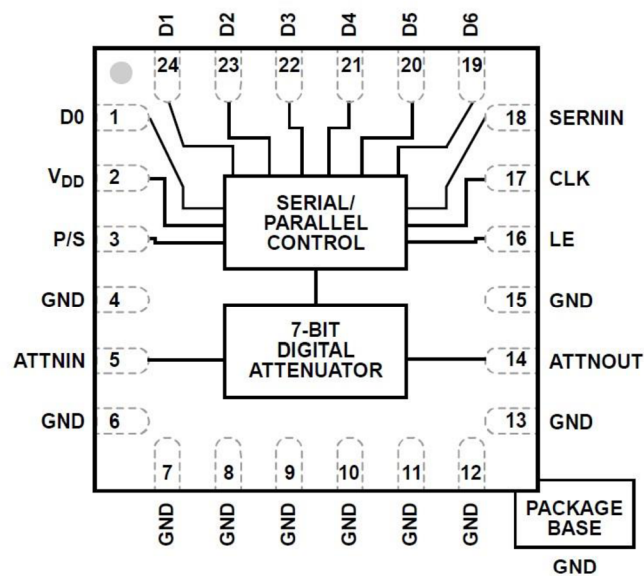


Obrázek 11: Bloková struktura mikrokontroléru ATxmega32A4U

4.5 Atenuátor HMC1119

Pro nastavení amplitudy výstupního signálu slouží integrovaný atenuátor HMC1119. Tento integrovaný obvod umožňuje regulovat výstupní úroveň výkonu s krokem 0,25 dB v rozsahu od 0 dB do 31,75 dB. Frekvenční rozsah procházejícího signálu je od 0,1 GHz do 6 GHz, což téměř odpovídá frekvenčnímu rozsahu výstupního signálu z ADF4355.

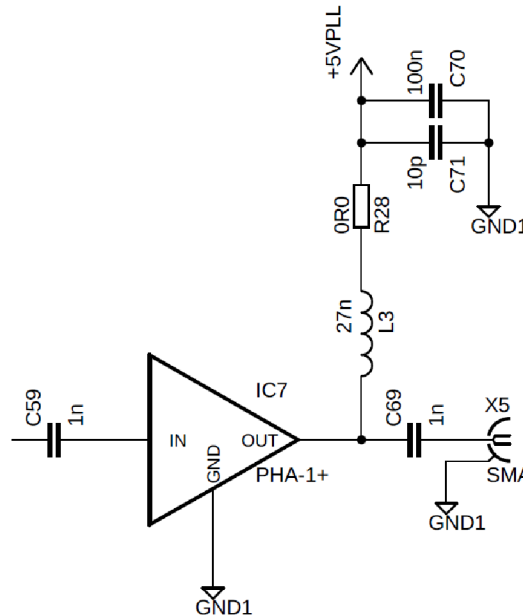
HMC1119 je možné řídit paralelně pomocí 7 datových bitů nebo sériově pomocí datového signálu, hodinového signálu a signálu řídicího zápis dat. Volba sériové nebo paralelní komunikace je realizována nastavením napěťové úrovně na pinu P/S. Pro paralelní komunikaci je nutné tento pin nastavit do nízké úrovně, pro sériovou komunikaci naopak do vysoké napěťové úrovně. Aby bylo ušetřeno výstupních pinů mikrokontroléru, byl zvolen přenos dat sériový. Ke komunikačním pinům SERNIN, CLK a LE musí být pro správnou funkci připojeny pull-down rezistory [3].



Obrázek 12: Blokové schéma atenuátoru HMC1119

4.6 Zesilovač PHA-1+

Výstupní signál generátoru je zesílen zesilovačem PHA-1+, jehož pracovní frekvenční pásmo je 0,05 GHz až 6 GHz. Výhodou tohoto zesilovače je, že pracuje s napájecím napětím 5 V. Zesilovač by měl při 0,05 GHz typicky dosahovat zisku 17,2 dB a při 6 GHz by měl typicky dosahovat 9,7 dB [13].



Obrázek 13: Zapojení zesilovače PHA-1+ [12]

4.7 Displej LCD

Pro zobrazení konfigurace generátoru slouží alfanumerický LCD transmisivní displej se čtyřmi řádky a dvaceti znaky na řádek. Displej má zabudovanou LED sloužící k podsvícení. Displej využívá pro svou funkci řadiče SPLC780D a SPLC063A.

K řízení displeje slouží datové piny a tři řídicí piny. Je možné využít režim s osmi nebo čtyřmi datovými piny. Pro ušetření výstupních pinů MCU je využito řízení se čtyřmi datovými piny. Další úspora pinu je provedena nastavením pinu R/W na nízkou úroveň pomocí pull-down rezistoru. Tím se komunikace mezi displejem a MCU nastaví pouze pro zápis, není tedy možné z displeje číst data. Displej je k MCU ve výsledku připojen šesti piny [14].

4.8 Klávesnice a tlačítka

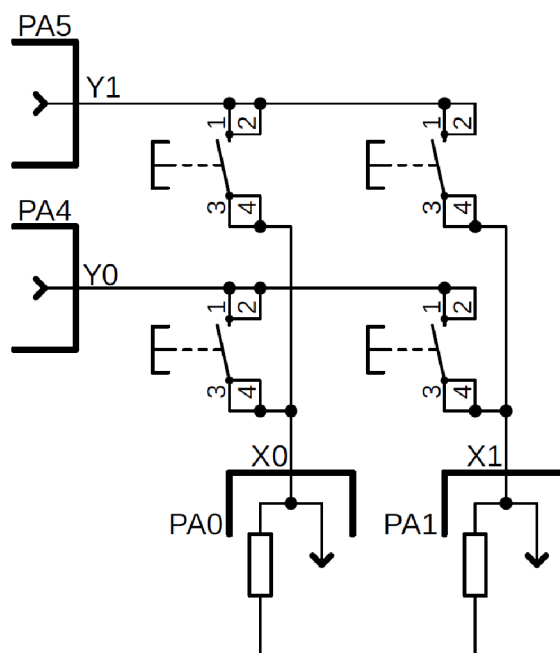
Pro ovládání generátoru je vytvořen řídicí panel, na kterém jsou umístěna tlačítka s numerickou klávesnicí.

Všechna tlačítka včetně těch na numerické klávesnici jsou společně zapojena do matice o čtyřech sloupcích a pěti řádcích. Rozvržení tlačítek v matici udává tabulka 3. Signály s označením Y jsou připojeny k MCU na piny PA4 až PA7 a pin PB0. Tyto piny jsou nastaveny jako výstupy a periodicky se přepíná pin s aktivní úrovní 3,3 V. Signály s označením X jsou nastaveny jako vstupy s pull-down rezistorem a jsou připojeny

k MCU na pinech PA0 až PA3. Čtení stavu tlačítek se provádí periodicky. Perioda je nastavena pomocí časovače Timer/Counter 0 na 10 ms. Při každém přetečení časovače dojde ke změně aktivního pinu Y a k přečtení logických úrovní na pinech X. Multiplexní čtení s dostatečně dlouhou periodou zajišťuje ošetření proti zákmitům tlačítek.

Tabulka 3: Matice tlačítek

	X0	X1	X2	X3
Y0	FRE	1	2	3
Y1	POW	4	5	6
Y2	ADV	7	8	9
Y3	OUT	*	0	#
Y4	UP	DOWN	INC	DEC



Obrázek 14: Příklad zapojení tlačítek se schematickým znázorněním pull-down rezistorů

4.9 Napájení

V celé struktuře generátoru se vyskytuje několik bloků, které potřebují různé hodnoty napětí, případně je vhodné je napájet zvlášť. K regulaci napětí jsou využity pouze regulátory lineární, protože spínaný regulátor by mohl vnášet rušení do spektra výstupního signálu. Vstupní napětí je přivedeno přes konektor DC JACK. Za vstupem je přidána pojistka zajišťující ochranu zařízení při nadproudu. Dále je zařízení pomocí Schottkyho diody D1 chráněno proti přepólování a transil D2 brání případnému přepětí na vstupu. Vstupní obvod dále obsahuje filtr vysokofrekvenčního rušení realizovaný feritovou perlou L1 a kondenzátory C1 a C2. Poté již následují napěťové regulátory.

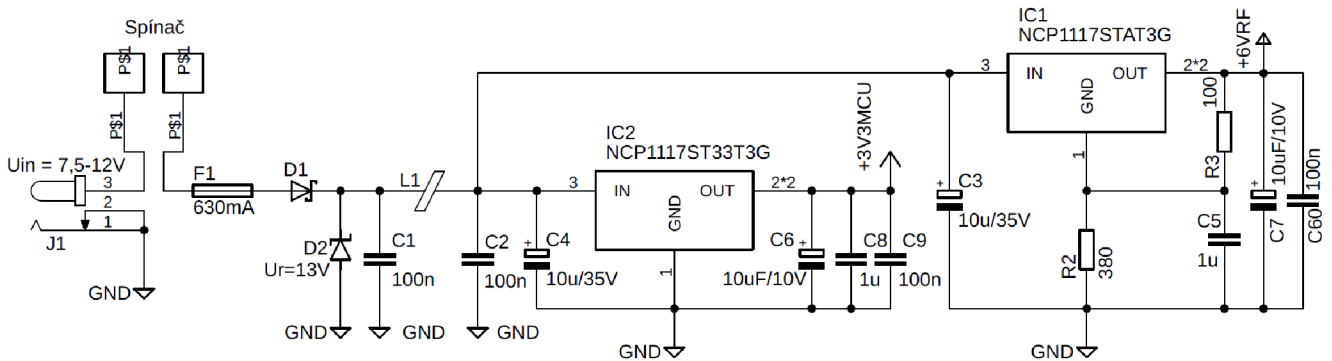
MCU využívá pro svou činnost napětí 3,3 V. To je dodáváno přímo z regulátoru IC2. Pro napájení VF části jsou zvoleny lineární regulátory řady ADM7170. Tyto regulátory

se vyznačují vysokým potlačením vstupního šumu (PSRR – Power Supply Rejection Ratio) a rychlou odezvou na změnu odebíraného proudu. Umožňují dodávat proud až 500 mA. Jejich nevýhodou však je malý rozsah vstupních napětí 2,3 V až 6,5 V. Z toho důvodu je zde zařazen regulátor IC2. Jeho výstupní napětí je nastaveno pomocí rezistorů R3 a R2 na přibližnou hodnotu 6 V. Výstupní napětí regulátoru IC2 lze určit podle vztahu (7).

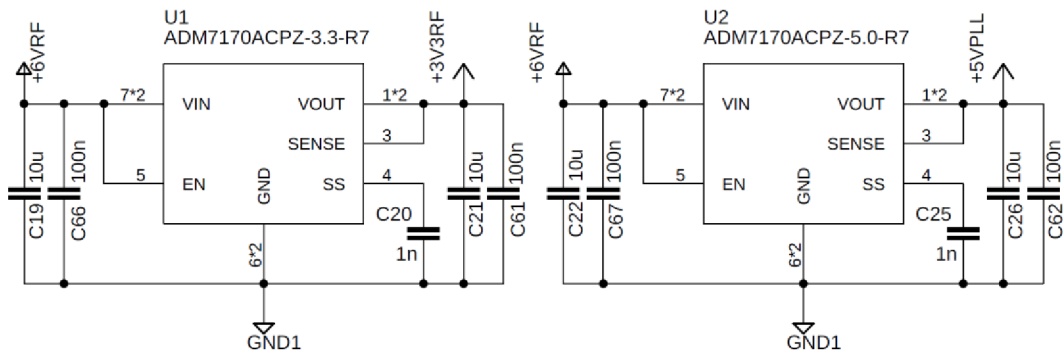
$$U_{out} = U_{ref} \left(1 + \frac{R_2}{R_3} \right) + I_{adj} \cdot R_2 \quad (7)$$

$$U_{out} = 1,25 \cdot \left(1 + \frac{390}{100} \right) + 120 \cdot 10^{-6} \cdot 390 \quad (8)$$

$$U_{out} = 6,17 \text{ V} \quad (9)$$



Obrázek 15: Napájení generátoru



Obrázek 16: Napájení VF části

5. FYZICKÁ REALIZACE

Zařízení je rozděleno na dvě desky plošných spojů. Hlavní DPS obsahuje mikrokontrolér s PLL syntezátorem, atenuátorem a zesilovačem. Druhá DPS obsahuje klávesnici, tlačítka a displej. Propojení DPS je realizováno pomocí plochých kabelů se samořeznými konektory.

5.1 DPS generátoru

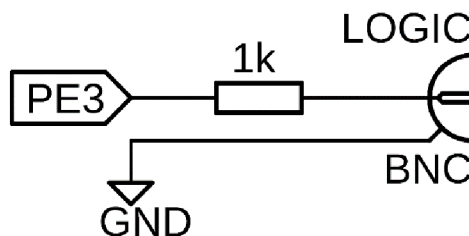
Důležitým parametrem pro návrh VF obvodů je charakteristická impedance vedení. Ovlivňuje ji šířka a vzdálenost vodiče od zemnicí plochy. Vedení je navrženo jako koplanární vlnovod se zemnicí plochou. Návrh šířky středního vodiče přenosového vedení byl proveden pomocí programu AppCAD. Vypočtené parametry GCPW a parametry DPS zobrazuje tabulka 4.

Zemnicí plocha DPS generátoru je rozdělena na VF a řídicí část. Zemnicí plocha je značně prokovená. Celkový návrh je zobrazen v příloze.

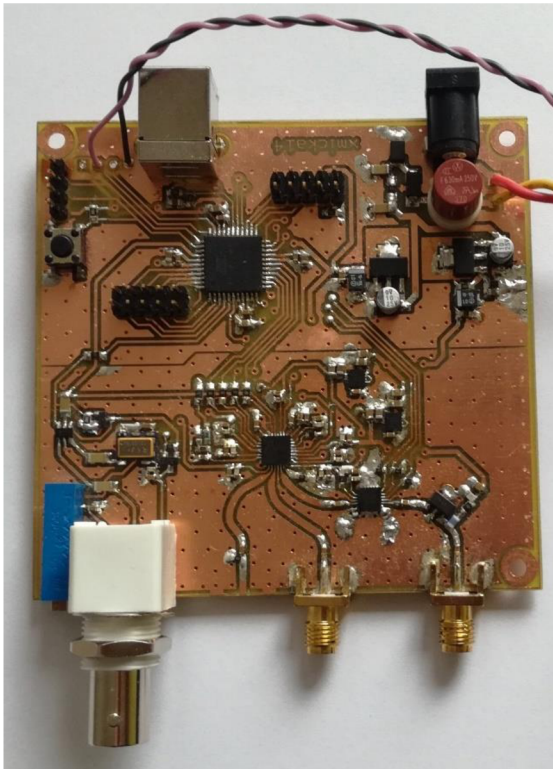
DPS generátoru je osazena dvěma konektory SMA pro výstup VF signálu, třetí je možné případně přidat. K DPS je navíc připojen logický výstup (viz obrázek 23). Tento výstup je realizován BNC konektorem a je k MCU připojen na pinu PE3. Jako ochrana proti zkratování pinu MCU je konektor připojen přes 1 k Ω rezistor.

Tabulka 4: Parametry DPS a GCPW

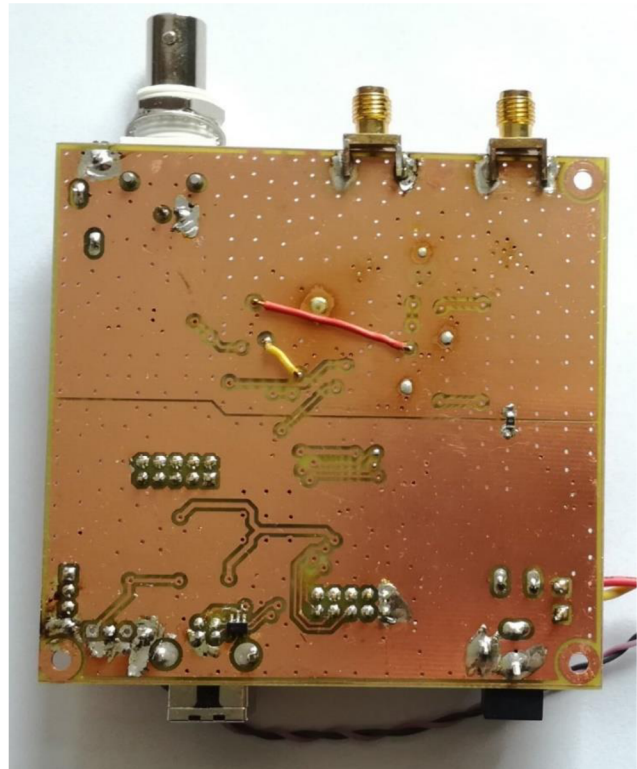
Parametry DPS	Hodnota
Substrát	FR-4
Počet vrstev	2
Tloušťka substrátu	0,8 mm
Uvažovaná ϵ_r substrátu	4,6
Tloušťka Cu vrstvy	18 μm
Parametry GCPW	
Tloušťka středního vodiče	1,2 mm
Izolační vzdálenost	0,6 mm
Charakteristická impedance	52,3 Ω



Obrázek 17: Zapojení logického výstupu



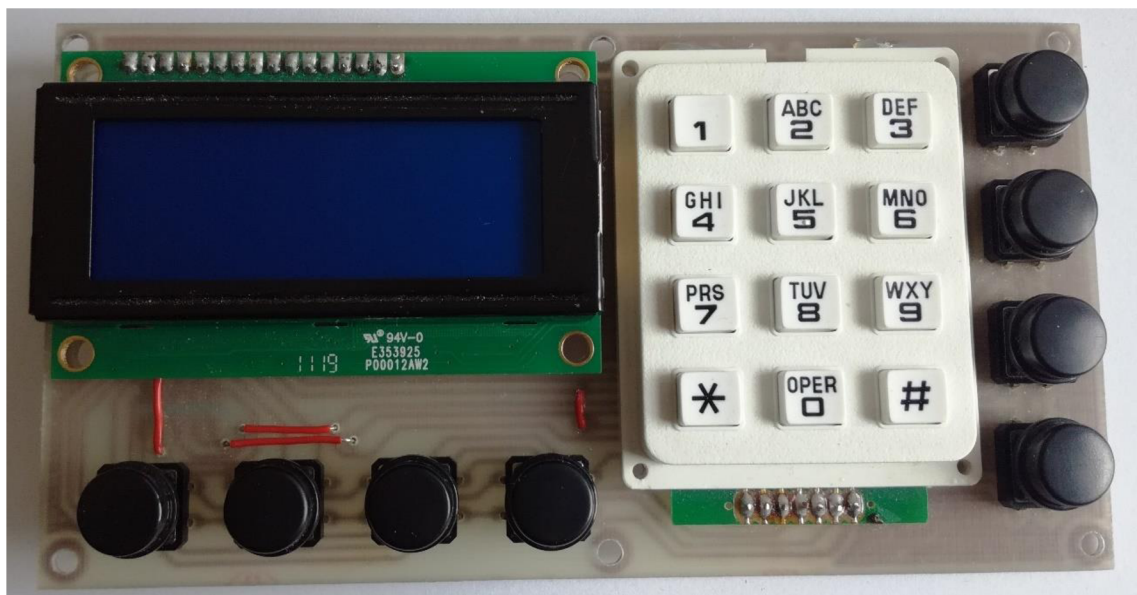
Obrázek 18: Osazená DPS generátoru – TOP



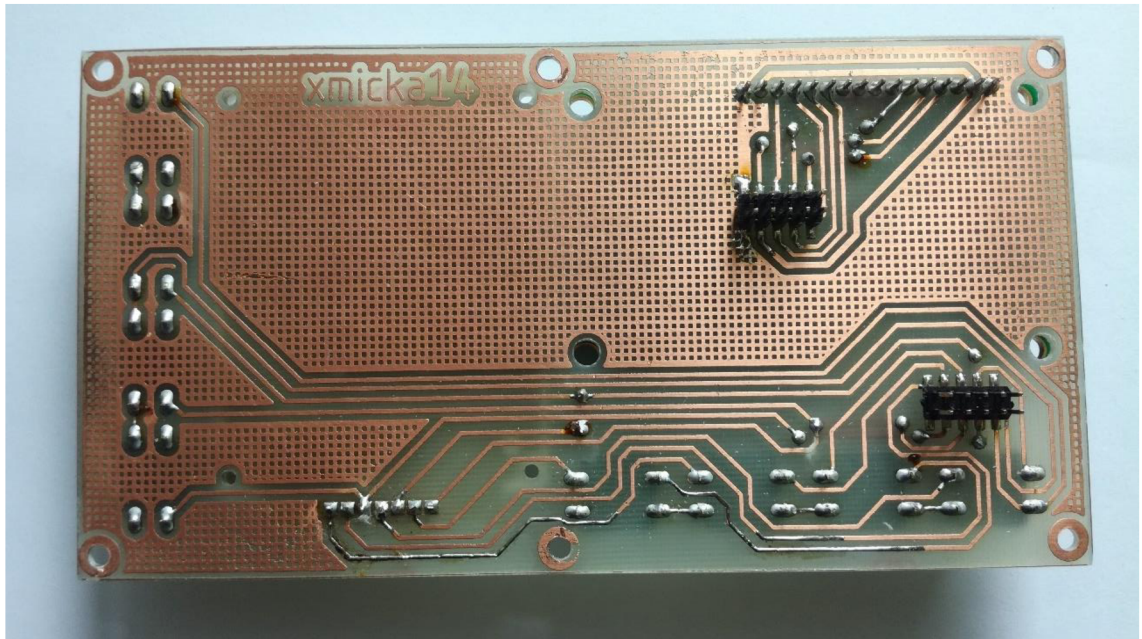
Obrázek 19: Osazená DPS generátoru – BOTTOM

5.2 DPS řídicího panelu

Řídicí panel je navržen jako jednostranná DPS s drátovými propojkami. Řídicí panel obsahuje displej, tlačítka a numerickou klávesnici.



Obrázek 20: Osazená DPS řídicího panelu – TOP



Obrázek 21: Osazená DPS řídicího panelu – BOTTOM

5.3 Krabička

Krabička, ve které je umístěna elektronika generátoru, byla navržena v programu Fusion 360 a následně zhotovena na 3D tiskárně.



Obrázek 22: Model generátoru v programu Fusion 360



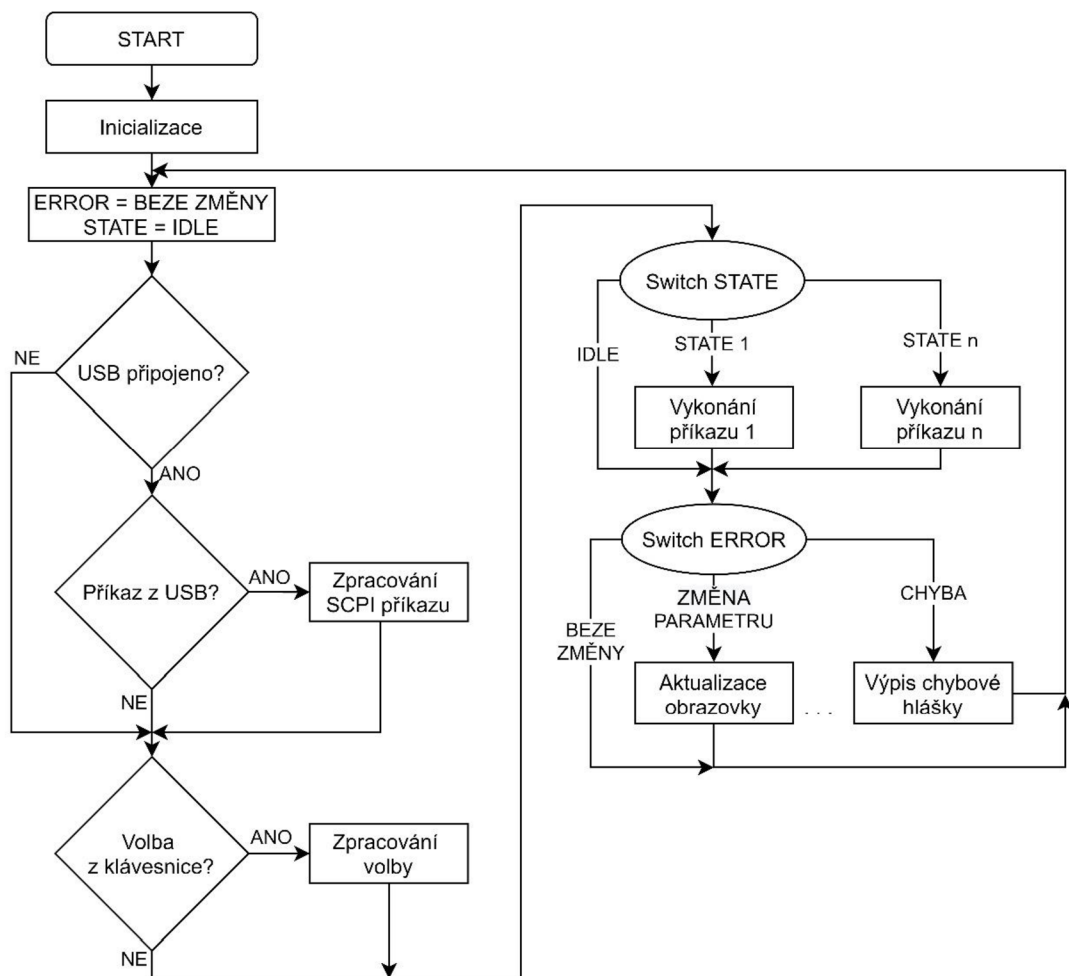
Obrázek 23: Realizovaný generátor uzavřený v krabičce (1 – vstup ext., 2 – OUT 2, 3 – OUT 1, 4 – logický výstup, 5 – spínač)

6. FIRMWARE

Firmware pro ATxmega32A4U byl napsán v jazyce C s využitím ASF (Atmel Software Framework). Pro funkci generátoru jsou využity knihovny především pro obsluhu SPI, USB a čítačů/časovačů. Pro obsluhu displeje je využita volně dostupná knihovna Wima Dolmana [11]. Dále bylo vytvořeno sedm modulů pro obsluhu všech bloků generátoru:

- att_interface.h, att_interface.c,
- file_eeprom.h, file_eeprom.c,
- keyboard.h, keyboard.c,
- pll_interface.h, pll_interface.c,
- rf_gen_config.h, rf_gen.h, rfgenc.c,
- usb_user_interface.h, usb_user_interface.c,
- user_interface.h, user_interface.c.

Hlavní programová smyčka probíhá v souboru main.c.



Obrázek 24: Zjednodušený diagram hlavní programové smyčky

Zjednodušený princip hlavní programové smyčky udává obrázek 24. Programová smyčka je tvořena kontrolou zadání příkazu z USB nebo z klávesnice a dvěma přepínači (Switch). Blok „Zpracování SCPI příkazu“ a „Zpracování volby“ přiřadí do proměnné STATE index příkazu. Následně přepínač „Switch STATE“ vyhodnotí, o který příkaz se jedná a příkaz se provede. V případě nezadání příkazu nedojde k žádné akci (IDLE). Po vykonání příkazu se výsledek zapíše do proměnné ERROR. V případě neúspěšného vykonání příkazu se zobrazí chybová hláška. Pokud byl příkaz vykonán správně, dojde k aktualizaci jeho hodnoty na displeji. Pokud nedošlo k žádné změně, nenastane žádná akce a program se vrací zpět na začátek smyčky. Tento proces se neustále opakuje.

6.1 SPI

Pro konfiguraci atenuátoru HMC1119 a syntezátoru ADF4355 je použita sériová komunikace SPI. Nastavení sběrnice udává tabulka 5. Mód 0 znamená, že k vzorkování logické úrovně na MOSI dochází s nástupnou hranou hodinového signálu a taky, že hodinový signál SCK je v klidové stavu v nízké napěťové úrovni.

Tabulka 5: Nastavení SPI

	HMC1119	ADF4355
Využitá sběrnice MCU	USARTC0 jako SPI master	SPIC
SCK pin MCU	PC1	PC7
MOSI pin MCU	PC3	PC5
LE pin MCU	PC2	PC4
Mód	0	0
Frekvence SCK	4 MHz	4 MHz

6.2 Souborový systém v EEPROM

Funkce spojené se souborovým systémem obstarává modul file_eeprom (.c, .h). EEPROM mikrokontroléru má velikost 1 kB. Implementovaný souborový systém umožňuje uložit až 4 soubory s velikostí 256 B, z toho je 224 B vyhrazeno pro data a 32 B pro hlavičku souboru. Strukturu souboru blíže specifikuje tabulka 6. Implementovány jsou dva typy souboru, a to základní (TYPE_BASIC) a korekční (TYPE_CORR). Souborový systém je vytvořen obecně tak, aby bylo možné při případném budoucím rozšíření přidat další typy souborů.

Tabulka 6: Struktura souboru v paměti EEPROM

Název	Velikost [B]	Offset [B]
Velikost jména souboru	1	0
Jméno souboru	29	1
Typ souboru	1	30
Velikost datové části	1	31
Datová část	224	32

6.2.1 Korekční soubor

Korekční soubor (TYPE_CORR) slouží pro korekci výkonu. Soubor je binárního typu a musí mít data uspořádaná ve formátu, který udává tabulka 7. P_{max} je maximální povolený výstupní výkon vyjádřený v dBm a vynásobený 100, f_n jsou hodnoty frekvencí, při nichž dochází k odchylce od P_{max} o P_n . Parametr Δp_n udává odchylku výkonu P_n od P_{max} v krocích (0 až 127), kde jeden krok představuje 0,25 dB. Index n může nabývat hodnot 2, 3, ..., 44. Korekční soubor musí obsahovat minimálně 2 body, tzn. $[f_1, \Delta p_1]$ a $[f_2, \Delta p_2]$, přičemž první bod musí být při minimální frekvenci 55 MHz a poslední při maximální frekvenci 6800 MHz.

Tabulka 7: Formát souboru s korekčními daty

Název parametru	Jednotka parametru	Velikost [B]	Datový typ	Offset [B]
$P_{max} \cdot 100$	dBm · 100	2	int16	0
f_1	kHz	4	uint32	2
Δp_1	[-]	1	int8	6
f_2	kHz	4	uint32	7
Δp_2	[-]	1	int8	11
...				
...				
f_n	kHz	4	uint32	$(n-1) \cdot 5 + 2$
Δp_n	[-]	1	int8	$(n-1) \cdot 5 + 2 + 4$

6.3 Konfigurace ADF4355

O konfiguraci ADF4355 se stará modul pll_interface (.c, .h). Nejdůležitější funkce, kterou tento modul má, je výpočet hodnot konfiguračních registrů ADF4355, především registrů pro konfiguraci výstupní frekvence. Výstupní frekvenci f_{out} lze vypočítat podle vztahu (10). Frekvence fázově-frekvenčního detektoru je nastavena na pevnou hodnotu díky vstupní děličce dvěma a děličce R . Kde hodnota $R = 5$, potom platí, že je f_{PFD} desetkrát menší, než hodnota referenční frekvence f_{ref}

$$f_{out} = N \cdot \frac{f_{PFD}}{DIV} \quad (10)$$

$$N = \left(INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \quad (11)$$

Kde:

- INT – celočíselná dělicí část a při použití řízeného předděliče 4/5 může nabývat hodnot 23 až 32767, a pro řízený předdělič 8/9 může být 75 až 65535
- FRAC1 – může nabývat hodnot 0 až $2^{24}-1$
- FRAC2 – může nabývat hodnot 0 až $2^{14}-1$
- MOD1 – pevná hodnota 2^{24}
- MOD2 – může nabývat hodnot 2 až $2^{14}-1$

- f_{PFD} – frekvence fázově frekvenčního detektoru, v tomto návrhu je pevně nastaven na 1 MHz
- DIV – dělička výstupní frekvence může nabývat hodnot 1, 2, 4, 8, 16, 32, 64

Pro výstupní frekvenci také platí:

$$f_{out} = \frac{f_{VCO}}{DIV} \quad (12)$$

Kde f_{VCO} je frekvence VCO.

Pro správnou konfiguraci výstupní frekvence je potřeba vypočítat hodnoty INT, FRAC1, FRAC2, MOD2 a DIV. Pokud má ADF4355 pracovat v celočíselném režimu, je potřeba nastavit FRAC1 a FRAC2 na nulu. Potom bude výstupní frekvence celočíselným násobkem f_{PFD} . Jelikož je f_{PFD} pevně nastavena na 1 MHz, musí být výstupní frekvence v násobcích 1 MHz. Bude platit:

$$f_{out} = INT \cdot \frac{f_{PFD}}{DIV} \quad (13)$$

6.3.1 Výpočet INT, FRAC1, FRAC2, MOD2 a DIV

V programu je výpočet hodnot INT, FRAC1, FRAC2, MOD2 a DIV zapsán tak, aby bylo možné pracovat s celočíselným datovým typem maximální délky čtyři byty (uint32). Jelikož mikrokontroléry řady ATxmega nemají hardwarovou jednotku pro práci s neceločíselnými čísly, trval by výpočet neceločíselným datovým typem delší dobu. Výpočty jednotlivých hodnot v zápisu jazyka C:

1. DIV:

```

outdiv = 0;
while(freq < VCO_F_MIN)
{
    outdiv++;
    freq = freq << 1; //freq * 2
}

```

Kód 1: Výpočet DIV

Proměnná `freq` obsahuje hodnotu výstupní frekvence f_{out} . Makro `VCO_F_MIN` udává minimální frekvenci, na kterou může být naladěn VCO, v případě ADF4355 to je 3400 MHz. Princip zjištění hodnoty DIV spočívá v určení mocniny `outdiv`. Dá se říci, že $DIV = 2^{outdiv}$. Pro konfiguraci ADF4355 není zapotřebí znát hodnotu DIV, ale stačí znát pouze mocninu, tedy `outdiv`. Mocnina vyjádřena v binární podobě odpovídá bitům D12, D11, D10 v registru 6 (viz tabulka 8).

Tabulka 8: Konfigurace bitů výstupní děličky (registr 6) [2]

Mocnina	Bity v registru 6			Dělička
	D12	D11	D10	
0	0	0	0	1
1	0	0	1	2
2	0	1	0	4
3	0	1	1	8
4	1	0	0	16
5	1	0	1	32
6	1	1	0	64

2. INT:

```
intvalue = (uint16_t)(adf.freq/1000);
```

Kód 2: Výpočet INT

Proměnná `adf.freq` obsahuje hodnotu f_{out} v kHz.

1. Rozhodování, o celočíselném režimu, nebo frakčním režimu:

```
freq = adf.freq % 1000;

if (freq > 0)
{
    ... neceločíselný mód
}
else
{
    ... celočíselný mód
}
```

Kód 3: Rozhodnutí o celočíselném, nebo neceločíselném režimu

Po vypočtení děličky DIV a hodnoty INT je potřeba rozhodnout, zda se budou dále počítat hodnoty FRAC1, FRAC2 a MOD2, nebo jestli bude ADF4355 pracovat v celočíselném módu. Pokud výsledek po dělení modulo 1000 bude větší než 0 znamená to, že frekvence f_{out} uložená v proměnné `adf.freq` je určena s rozlišením větším, než 1 MHz. Potom se vykoná výpočet FRAC1, FRAC2 a MOD2. V opačném případě se FRAC1 a FRAC2 nastaví na nulovou hodnotu a následující body se nevykonají.

3. FRAC1:

```
frac1value = (freq << 21) / 125;
```

Kód 4: Výpočet FRAC1

Proměnná `freq` v tomto případě obsahuje neceločíselnou část, resp. frekvenci v kHz a dá se určit pomocí vztahu (17). Funkce `int` značí odříznutí desetinné části. Značka `<<` symbolizuje bitový posun, stejně jako v jazyku C. Znak `%` značí dělení modulo. Postup odvození použitého výpočtu hodnoty FRAC1 (resp. `frac1value`):

$$FRAC1 = (f_{out}[MHz] - INT) \cdot 2^{24} \quad (14)$$

$$FRAC1 = (f_{out}[MHz] - INT) \ll 24 \quad (15)$$

$$FRAC1 = (int(f_{out}[kHz]) - INT \cdot 1000) \ll 21 / 125 \quad (16)$$

$$freq = int(f_{out}[kHz]) - INT \cdot 1000 = int(f_{out}[kHz]) \% 1000 \quad (17)$$

$$FRAC1 = freq \ll 21 / 125 \quad (18)$$

4. MOD2:

```

if (freq % 10)
{
    mod2value = 1000; // spacing 1 kHz
}
else if (freq % 100)
{
    mod2value = 100; // spacing 10 kHz
}
else if (freq % 1000)
{
    mod2value = 10; // spacing 100 kHz
}
else
{
    mod2value = 2; //spacing 500 kHz, or FRAC mode is disabled
    (this is minimum allowed value)
}

```

Kód 5: Výpočet MOD2

Hodnota MOD2 se určí ze vztahu (19), NSD je největší společný dělitel a f_{CHSP} je odstup vedlejších frekvencí. Je žádoucí, aby MOD2 měl co nejnižší hodnotu. Jeho hodnota roste se zmenšující se f_{CHSP} . Hodnota MOD2 se tedy určí podle toho, jakou přesnost má f_{out} . Pokud bude přesnost na jednotky kHz, bude MOD2 = 1000, při přesnosti na desítky kHz bude MOD2 = 100 a při přesnosti na stovky kHz bude MOD2 = 10.

$$MOD2 = \frac{f_{PFD}}{NSD(f_{PFD}, f_{CHSP})} \quad (19)$$

5. FRAC2:

```
frac2value = freq;

for (i = 0; i < 24; i++)
{
    frac2value <<= 1;
    if (frac2value > 999)
    {
        frac2value -= 1000;
    }
}

frac2value *= mod2value;
```

Kód 6: Výpočet FRAC2

Princip výpočtu FRAC2 je odvozen ze vztahu (20). Na začátku se do proměnné `frac2value` zapíše hodnota neceločíselné části, na tomto místě je uložena v proměnné `freq`.

$$FRAC2 = [(N - INT) \cdot 2^{24} - FRAC1] \cdot MOD2 \quad (20)$$

6.4 Frekvenční rozmítání

Frekvenční rozmítání je řešeno programově pomocí čítače/časovače 1. Při inicializaci frekvenčního rozmítání se nastaví hodnota TOP časovače. Ke změně frekvence dojde vždy, když tento časovač přeteče hodnotu TOP. Časovač využívá předděličky $DIV = 1024$ a hodinového signálu $f_{phe} = 32$ MHz. Časovač se inkrementuje jednou za $t_{inc} = 32 \mu s$. Z toho vyplývá, že hodnotě 1 ms přibližně odpovídá počet period $CNT_{1ms} = 31$. Nastavení maximální hodnoty časovače TOP pak udává vztah (23), kde Δt je čas mezi skoky v milisekundách.

$$t_{inc} = \frac{1}{f_{phe}} \cdot DIV = \frac{1}{32 \cdot 10^6} \cdot 1024 = 32 \mu s \quad (21)$$

$$CNT_{1ms} = \frac{1 \text{ ms}}{t_{inc}} \cong 31 \quad (22)$$

$$TOP = \Delta t \cdot CNT_{1ms} \quad (23)$$

Při každém novém běhu frekvenčního rozmítání, tj. při nastavení počáteční frekvence se na logickém výstupu (viz obrázek 23) vygeneruje pulz s napětíovou úrovní 3,3 V o délce přibližně $190 \mu s$, z toho je přibližně $64 \mu s$ čas potřebný pro zachycení smyčky. Tento pulz započne ve chvíli volání funkce měnící frekvenci. Funkce odešle konfigurační data do ADF4355 a počká na zachycení smyčky. Poté se pulz ukončí.

7. FUNKCE A OBSLUHA GENERÁTORU

Generátor je možné ovládat přímo z řídicího panelu nebo současně pomocí SCPI příkazů přes USB rozhraní připojené k počítači s terminálem.

7.1 Funkce generátoru

Generátor umožňuje generování signálu o jedné frekvenci s rozlišením 1 kHz, skokovou změnu frekvence a frekvenční rozmitání v celém frekvenčním rozsahu s minimálním frekvenčním skokem 1 kHz. Čas mezi skoky lze nastavit od 1 ms do 2,1 s. Výstupní výkon na OUT 1 je možné nastavit s krokem 0,25 dB. Společně s OUT 1 lze povolit výstup OUT 2, výkon na tomto výstupu je možné měnit jen s krokem 3 dB.

Generátor kromě základních funkcí umožňuje ještě rozšířené funkce. Mezi tyto funkce patří blanking (BLAN) neboli ztlumení výstupu, dokud ADF4355 nezaznamená zachycení smyčky. Při povolení této funkce může na nízkých kmitočtech (desítky MHz) dojít k vypadávání výstupního signálu, jelikož ADF4355 pro generování nízkých kmitočtů dělí výstupní frekvenci pevnou děličkou a tím se prodlouží doba ustálení. Dále je možné nastavit korekci výstupního výkonu výstupu OUT 1

Tabulka 9: Základní funkce generátoru a parametry

Funkce	Rozsah	Pracovní podmínky
Výstupní signál o jedné frekvenci	55 MHz až 6800 MHz	
Krokování frekvence	1 kHz až 6745 MHz	
Frekvenční rozmitání	55 MHz až 6800 MHz	
Krok frekvenčního rozmitání	1 kHz až 6745 MHz	
Čas mezi přeladěním	1 ms až 2,1 s	
Výkon výstupu OUT 1	-14 dBm až 16 dBm	Při $f_{out} = 300$ MHz
	-9,9 dBm až -40,85 dBm	Při $f_{out} = 6$ GHz
Krokování výstupu OUT 1	0,25 dB až 31,75 dB	
Výkon výstupu OUT 2	-4 dBm až +2 dBm	Závisí na f_{out}
Krokování výstupu OUT 2	přibližně 3 dB	
Zdroj referenčního signálu	Interní nebo externí	Externí zdroj musí mít $f_{ref} = 10$ MHz

Tabulka 10: Rozšířené funkce generátoru

Funkce	Popis
Blanking (BLAN)	Ztlumení výstupu, dokud nedojde k zachycení smyčky
Korekce (CORR)	Korekce výkonu.
Flatness (FLAT)	Vyhlazení charakteristiky výstupního výkonu v závislosti na frekvenci.
Obsluha souborového systému	Možnost nahrát až 4 soubory do EEPROM. Mazání souborů.

7.1.1 Korekce a vyhlazení výstupního výkonu

Korekci a vyhlazení výstupního výkonu je možné aktivovat, pouze pokud je v paměti uložen soubor s korekčními daty. Korekce výkonu pro určitou výstupní frekvenci se určí lineární aproximací mezi dvěma nejbližšími body, mezi které spadá daná frekvence.

Funkce FLAT umožňuje omezit maximální výstupní výkon podle nejvyššího dosažitelného výkonu v celém frekvenčním pásmu. Tím bude způsobeno, že v celém frekvenčním pásmu bude výstupní charakteristika „hladká.“ Tato funkce však omezuje výkon jen shora. Nejnižší dosažitelný výkon v celém pásmu není kontrolován.

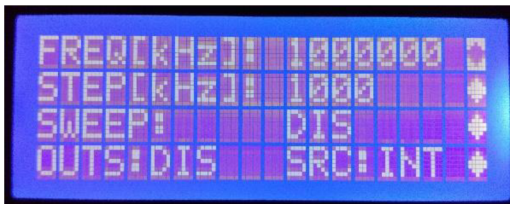
7.2 Obsluha z řídicího panelu



Obrázek 25: Obrazovka nastavení výkonu (POW)



Obrázek 26: Obrazovka rozšířeného nastavení (ADV)



Obrázek 27: Obrazovka nastavení frekvence (FRE)



Obrázek 28: Obrazovka frekvenčního rozmítání

Generátor je možné ovládat pomocí tlačítek a alfanumerické klávesnice. Nastavení generátoru se zobrazuje na displeji. Z řídicího panelu je možné nastavit všechny základní funkce (viz tabulka 9), dále je možné povolit blanking výstupů a korekci výstupního výkonu a vyhlazení.

Uspořádání řídicího panelu zobrazuje obrázek 23. Pro přepínání mezi obrazovkami slouží tlačítka FRE, POW a ADV. Pro posun kurzoru slouží tlačítka s označením \uparrow (.) a \downarrow (-). Kurzor se pohybuje po pravém okraji. Obrazovka frekvenčního rozmítání (viz obrázek 28) se zobrazí při posunu kurzoru přes horní nebo dolní okraj na obrazovce FRE.

K zadání číselných hodnot slouží stisk tlačítka ENTER (#), přičemž kurzor musí být na daném řádku. Po stisku tlačítka je možné zadávat hodnoty z numerické klávesnice. Pro vložení desetinného oddělovače slouží tlačítko s označením \uparrow (.) a pro vložení znaménka minus slouží tlačítko \downarrow (-). Pro posun o jednu pozici zpět slouží tlačítko DEL (*). Pro potvrzení zadaného čísla se znovu stiskne ENTER (#).

Hodnotu výstupního výkonu OUT1 a frekvenci FREQ je možné krokovat pomocí tlačítek INC (EN) a DEC (DIS). Výstupní výkon OUT2 je možné měnit pouze pomocí těchto tlačítek. Těmito tlačítky se nastavují stavy všech ostatních nečíselných parametrů. Výjimku však tvoří parametr OUTS, ten je možné nastavovat pouze tlačítkem s označením OUT.

7.3 Obsluha z počítače

Generátor připojený přes USB pracuje jako zařízení CDC (Communication Device Class). Typ USB připojení je USB 2.0 s rychlostí FS (Full Speed). Pro komunikaci přes terminál je nutné nastavit parametry přenosu, které udává tabulka 11.

Ovládání generátoru je možné pomocí SCPI (Standard Commands for Programmable Instruments) příkazů. Seznam podporovaných příkazů udává tabulka 12. Tvar SCPI příkazů je omezen pouze na krátkou formu psanou velkými písmeny.

Změny nastavení generátoru provedené pomocí SCPI se zobrazí i na displeji po jejich vykonání. Podporované SCPI příkazy obstarávají základní funkce i rozšířené funkce generátoru. Rozsáhlejší popis příkazů je uveden v příloze.

Tabulka 11: Parametry komunikace generátoru s terminálem

Parametr	Hodnota
Přenosová rychlost	115200 baud/s
Počet datových bitů	8
Parita	Ne
Počet stop bitů	1

Tabulka 12: Seznam podporovaných příkazů

Level 0	Level 1	Level 2	Parametry
FREQ			<val><unit> UP DOWN
	FIX		<val><unit> UP DOWN
	STEP		<val><unit>
	STAR		<val><unit>
	STOP		<val><unit>
	MODE		FIX SWE
POW			<val><unit>
	LEV		<val><unit>
	STEP		<val><unit>
OUTP			0 1 ON OFF
	STAT		0 1 ON OFF
	BLAN		0 1 ON OFF
ROSC	SOUR		INT EXT
CORR			0 1 ON OFF
	FLAT		0 1 ON OFF
	FLAT	LOAD	"navez_souboru"
MEM	DATA		"navez_souboru",#<digity><velikost_souboru>
	DEL		"navez_souboru"
	CAT		Lze se pouze dotazovat
SWE	DWEL		<val><unit>

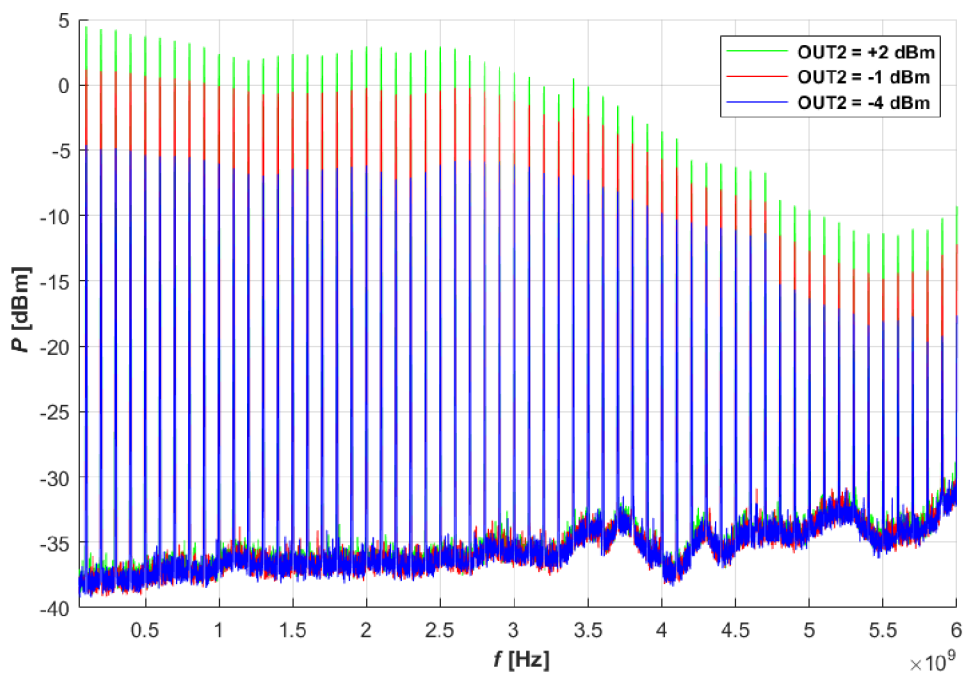
7.4 Chybová hlášení

V případě, že uživatel zadá neplatnou akci nebo chce měnit parametry v případě režimu rozmítání, generátor vypíše chybovou hlášku. V případě, že je neplatný příkaz zadán z řídicího panelu, je hláška vypsána na displeji a pro návrat do obsluhy generátoru je nutné stisknout tlačítko ENTER (#). V případě, že je zadán pomocí USB, je chybová hláška odeslána přes USB a další akce nemusí uživatel provádět.

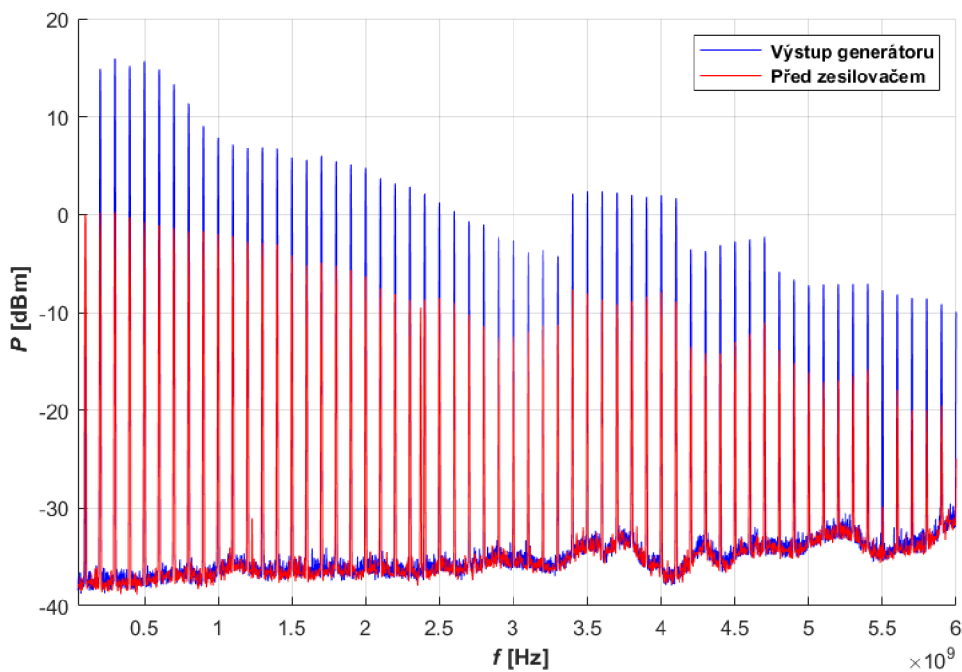
Tabulka 13: Chybová hlášení

Chybová hláška	Popis
"OUT OF RANGE"	Zadaná hodnota je mimo rozsah.
"NO FILE"	V paměti neexistuje hledaný soubor, případně neexistuje soubor korekční.
"FILE IN USE"	Soubor je využíván a nelze s ním vykonávat žádné akce mimo modul v kterém je používán.
"SWEEP TIME IS ZERO"	Nelze spustit rozmítání frekvence, dokud není nastaven čas mezi kroky rozmítání.
"SWEEP IS RUNNING"	Požadovanou akci nelze provést, protože běží rozmítání. Nejprve je nutné rozmítání vypnout.
"STEP IS SMALL"	Frekvenční krok je menší než rozdíl koncové a počáteční frekvence rozmítání.

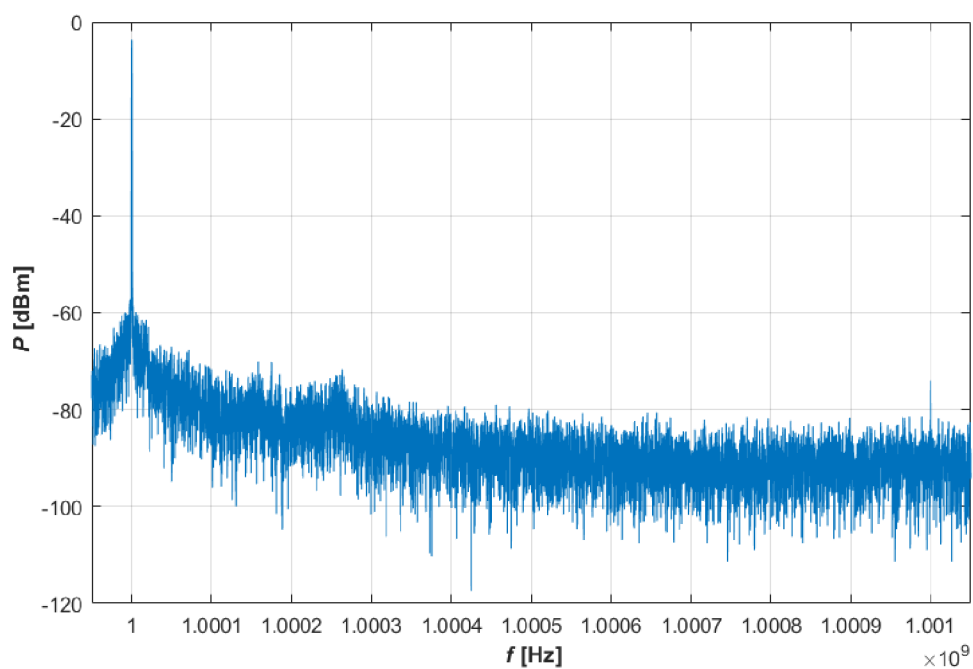
8. MĚŘENÍ NA GENERÁTORU



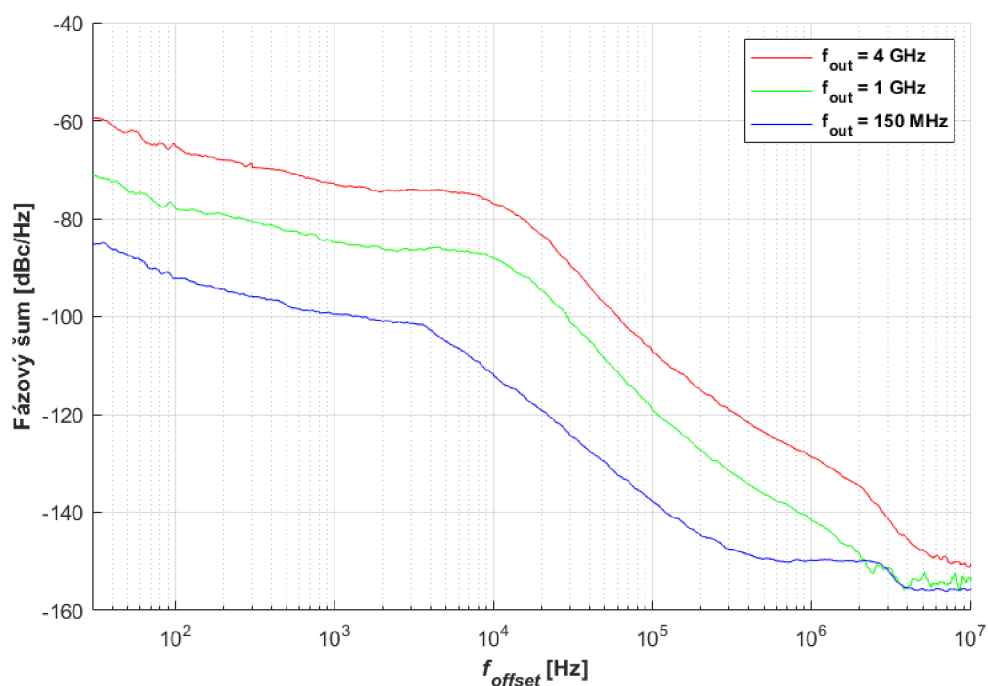
Graf 1: Výstupní výkon na výstupu generátoru a před zesilovačem v závislosti na frekvenci



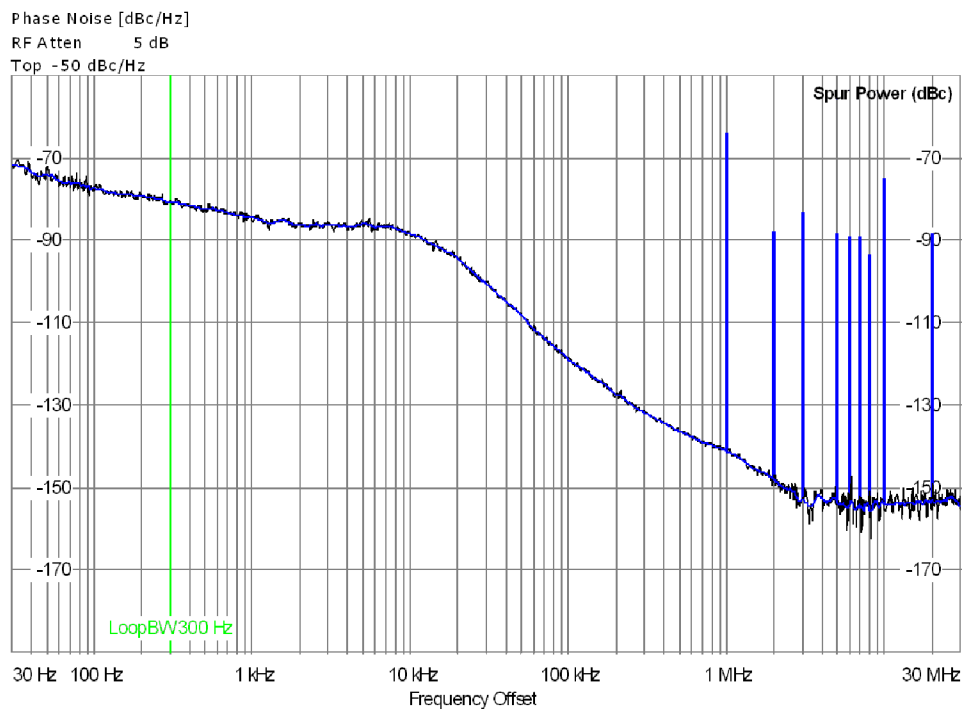
Graf 2: Výstupní výkon výstupu 2 v závislosti na frekvenci pro 3 možné výkonové úrovně



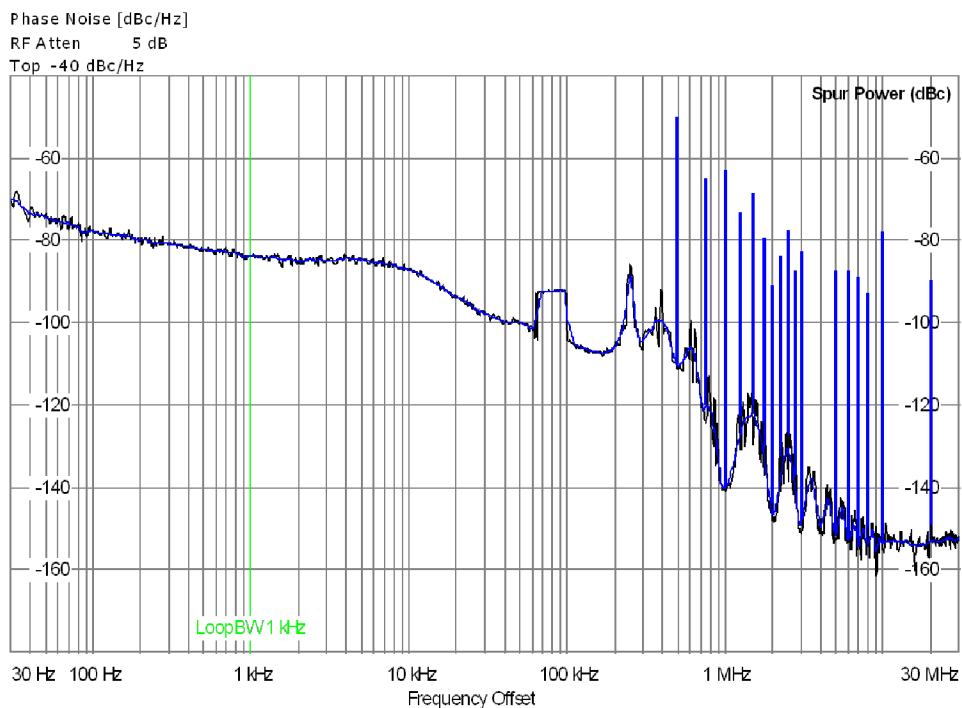
Graf 3: Průnik frekvence f_{PFD} do spektra výstupního signálu



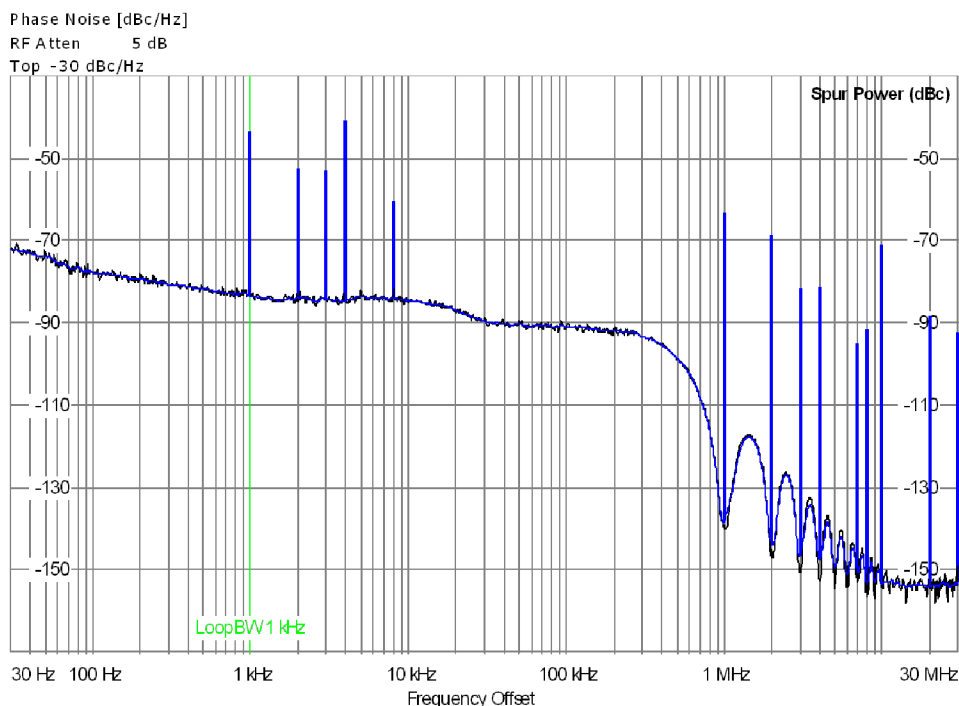
Graf 4: Fázový šum při celočíselném režimu – různé výstupní frekvence



Graf 5: Fázový šum při celočíselném režimu ($f_{out} = 1$ GHz)



Graf 6: Fázový šum při neceločíselném režimu ($f_{out} = 1000,5$ MHz)



Graf 7: Fázový šum při neceločíselném režimu ($f_{out} = 1000,001$ MHz)

Graf 1, graf 2 a graf 3 byly změřeny pomocí vektorového obvodového analyzátoru R&S®ZVL6 pracujícího v režimu spektrálního analyzátoru. Hodnoty fázového šumu (graf 4, graf 5 a graf 6) byly změřeny pomocí analyzátoru R&S®FSUP50.

Graf 2 zobrazuje výstupní výkon v závislosti na frekvenci na výstupu 2. Lze zde pozorovat útlum začínající v okolí 3 GHz. Ten je způsoben především vlivem ztrát v dielektriku FR-4.

Výstupní charakteristika výstupu 1 je značně zvlněná (viz graf 1). Jelikož je na výstupu zesilovače zapojena cívka, byla tato část obvodu považována za tvůrce tohoto problému. Charakteristika byla tedy změřena i před zesilovačem. Měření ukázalo, že se tvar charakteristiky nezměnil, jen posunul o zisk zesilovače níže. Porovnáním charakteristik obou výstupů lze zpozorovat obdobné zuby v pásmech 3,4 GHz až 4,1 GHz a 4,2 GHz až 4,7 GHz. Při zvažování funkce obvodu ADF4355 odpovídají tyto zuby frekvenčním pásmům, ve kterých pracuje jiné VCO. Z toho vyplývá, že každé VCO dodává do výstupní části jiný výkon a tím je způsobeno zvlnění.

Fázový šum generátoru je velmi nízký. V celočíselném režimu se projevují špičky na celých násobcích kmitočtu f_{PFD} (viz graf 5). V neceločíselném režimu však vznikají špičky i na nižších offsetových kmitočtech (viz graf 6). Pokud je rozlišení výstupní frekvence příliš malé, např. 1 kHz, vznikají rušivé špičky v blízkosti výstupní frekvence f_{out} , což je nežádoucí (viz graf 7).

9. ZÁVĚR

Výsledkem této práce je zhotovený funkční vysokofrekvenční generátor, založený na frekvenční syntéze s fázovým závěsem. Generátor je schopen pracovat ve frekvenčním pásmu od 55 MHz do 6,8 GHz. Generátor je schopen pracovat v celočíselném nebo neceločíselném režimu. S využitím celočíselného režimu je možné výstupní kmitočet naladit s rozlišením 1 MHz, při neceločíselném režimu se rozlišení zvýší až na 1 kHz.

Generátor disponuje dvěma výstupy signálu. Na výstupu OUT 1 je možné díky atenuátoru měnit výkonovou úroveň s krokem 0,25 dB, přičemž maximální nastavitelný útlum je 31,75 dB. Tento výstup je dále vybaven zesilovačem, díky kterému je umožněno dosáhnout výkonu přibližně +16 dBm v okolí frekvence 300 MHz. Při vyšších kmitočtech dochází k útlumu a při frekvenci 6 GHz spadne výkon až na hodnotu -10 dBm. Výkon výstupu OUT 2 je možné měnit ve třech krocích s hodnotou přibližně 3 dB. Tuto funkci obstarává samotný čip ADF4355.

Výstupní výkon obou výstupů je značně závislý na výstupní frekvenci. Přibližně od 3 GHz se značně začínají projevovat ztráty v substrátu DPS a se zvyšující se frekvencí výkon dodávaný obvodem ADF4355 klesá.

Velmi dobrého výsledku však bylo dosaženo z hlediska fázového šumu pro celočíselný režim. Fázový šum pro $f_{out} = 4$ GHz dosahuje -60 dBc/Hz při $f_{offset} = 30$ Hz. Úroveň šumu dále klesá. Při f_{offset} odpovídající mezní frekvenci filtru smyčky $f_m = 9,05$ kHz hodnota šumu přibližně -76 dBc/Hz a ve vzdálenosti 300 MHz od nosné je fázový šum jen -140 dBc/Hz.

Kromě generování signálu s fixním kmitočtem umožňuje generátor také frekvenční rozmítání v celém frekvenčním pásmu s minimálním krokem 1 kHz. Čas mezi frekvenčními skoky je nastavitelný v rozsahu od 1 ms do 2,1 s.

V EEPROM generátoru je vytvořen souborový systém s možností uložit až 4 soubory s maximální velikostí dat 224 B. Toho lze využít pro uložení korekčních dat výkonu. Korekční data využívá generátor pro nastavení správné hodnoty výkonu, případně pro funkci FLAT. Funkce FLAT umožňuje omezit výstupní výkon na takovou hodnotu, která je dosažitelná v celém frekvenčním pásmu.

Elektronika generátoru je uzavřena v krabičce zhotovené na 3D tiskárně. Generátor disponuje řídicím panelem s tlačítky a displejem pro přehledné a pohodlné ovládání. Kromě řídicího panelu je možné generátor ovládat přes USB rozhraní s využitím příkazů založených na SCPI. Ovládání přes USB umožňuje nastavit všechny parametry kromě výkonu na výstupu 2. Dále je touto metodou možné nahrát soubory do paměti a nastavit korekční soubor.

Dalším pokračováním na vývoji generátoru by bylo především vyrovnání frekvenční charakteristiky výstupního výkonu a zvýšení výkonu při vyšších kmitočtech. K tomu by mohl pomoci zesilovač s hladší frekvenční charakteristikou výkonu, případně vytvoření DPS s jiným substrátem vhodnějším pro VF obvody. Dále by mohly být přidány další funkce generátoru, jako je rozmítání výkonu nebo generování frekvenční posloupnosti z tabulky uložené v paměti.

Literatura

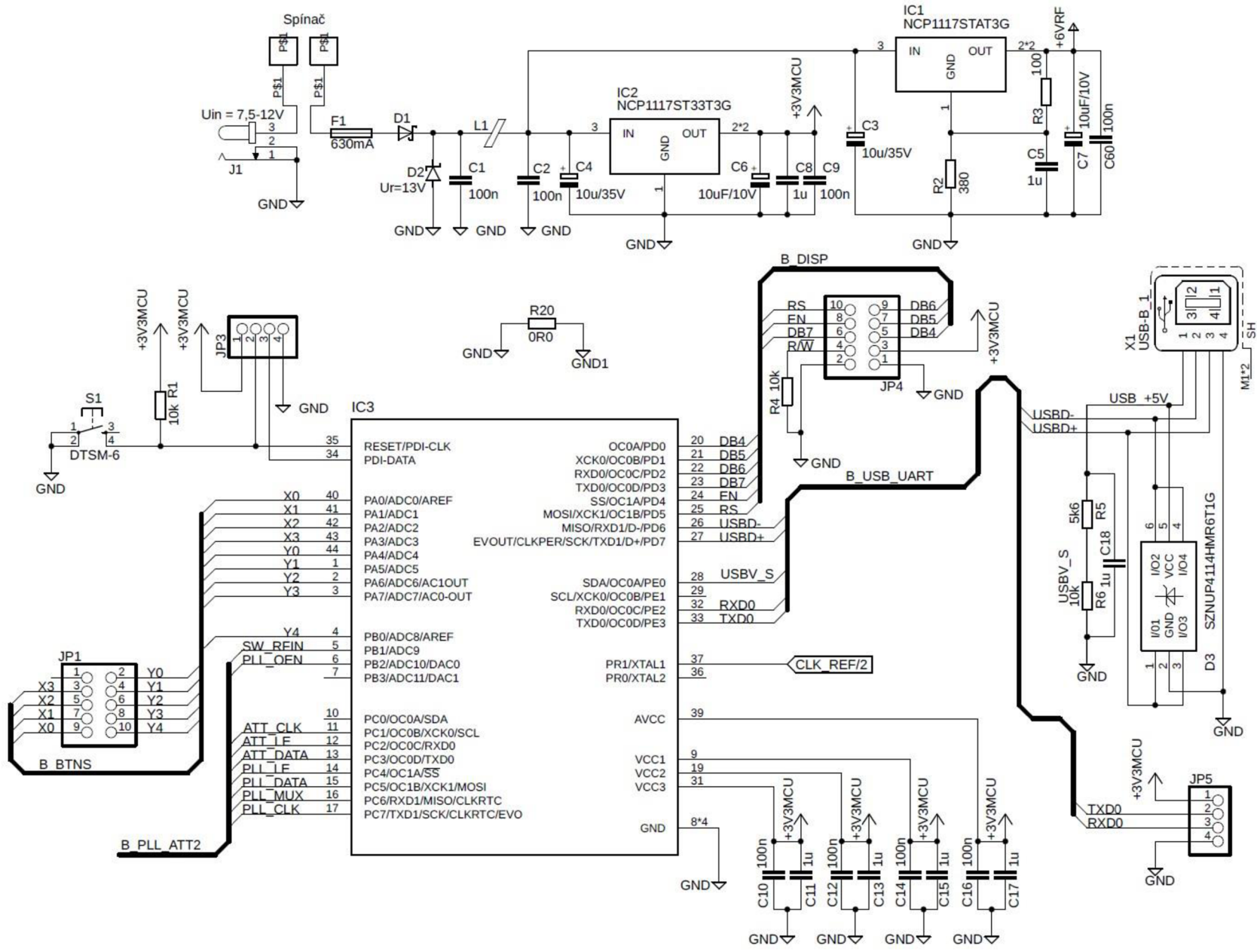
- [1] XMEGA AU MANUAL [online], 2013 [cit. 2019-12-10]. Dostupné z: http://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-8331-8-and-16-bit-AVR-Microcontroller-XMEGA-AU_Manual.pdf
- [2] ADF4355: Microwave Wideband Synthesizer with Integrated VCO Data Sheet (Rev. B) [online], 2017 [cit. 2019-12-10]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/ADF4355.pdf>
- [3] HMC1119: 0.25 dB LSB, 7-Bit, Silicon Digital Attenuator, 0.1 GHz to 6.0 GHz Data Sheet (Rev. C) [online], 2018, [cit. 2019-12-10]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/hmc1119.pdf>
- [4] AS169-73, AS169-73LF: PHEMT GaAs IC SPDT Switch 300 kHz–2.5 GHz [online], 2006 [cit. 2019-12-11]. Dostupné z: https://www.skyworksinc.com/-/media/SkyWorks/Documents/Products/1-100/AS169_200105E.pdf
- [5] Atmel AVR1017: XMEGA - USB Hardware Design Recommendations [online], 2011 [cit. 2019-12-10]. Dostupné z: <http://ww1.microchip.com/downloads/en/AppNotes/doc8388.pdf>
- [6] HANUS, Stanislav a Jiří SVAČINA. *Vysokofrekvenční a mikrovlnná technika: přednášky*. Vyd. 2., dopl. Brno: Vysoké učení technické, 2002. ISBN 80-214-2222-x.
- [7] VÁGNER, Petr. *Vysokofrekvenční technika*. Brno, Vysoké učení technické, 2013.
- [8] CURTIN, Mike a Paul O'BRIEN. *Phase-Locked Loops for High-Frequency Receivers and Transmitters - Part 3* [online]. 1999, 5 [cit. 2019-12-15]. Dostupné z: <https://www.analog.com/media/en/analog-dialogue/volume-33/number-1/articles/pll-for-high-frequency-receivers-and-transmitters-3.pdf>
- [9] NUP4114 Series ESD Protection Diode - Low Clamping Voltage [online], 2019 [cit. 2019-12-10]. Dostupné z: <https://www.onsemi.com/pub/Collateral/NUP4114-D.PDF>
- [10] TCVCXO Specification. *IQD* [online]. 2016 [cit. 2020-06-03]. Dostupné z: <https://www.iqdfrequencyproducts.com/products/pn/LFTVXO009900Bulk.pdf>
- [11] *LCD: HD44780 compatible lcd driver for Xmega devices* [online]. Dolman, 2013 [cit. 2020-06-03]. Dostupné z: <https://www.dolman-wim.nl/xmega/libraries/online/lcd/html/index.html>
- [12] SCPI Command Reference: E8257D/67D PSG Signal Generators. *Anlage Research Group* [online]. USA: Agilent Technologies, 2008 [cit. 2020-06-03]. Dostupné z: <http://anlage.umd.edu/Microwave%20Measurements%20for%20Personal%20Web%20Site/E8251-90356.pdf>

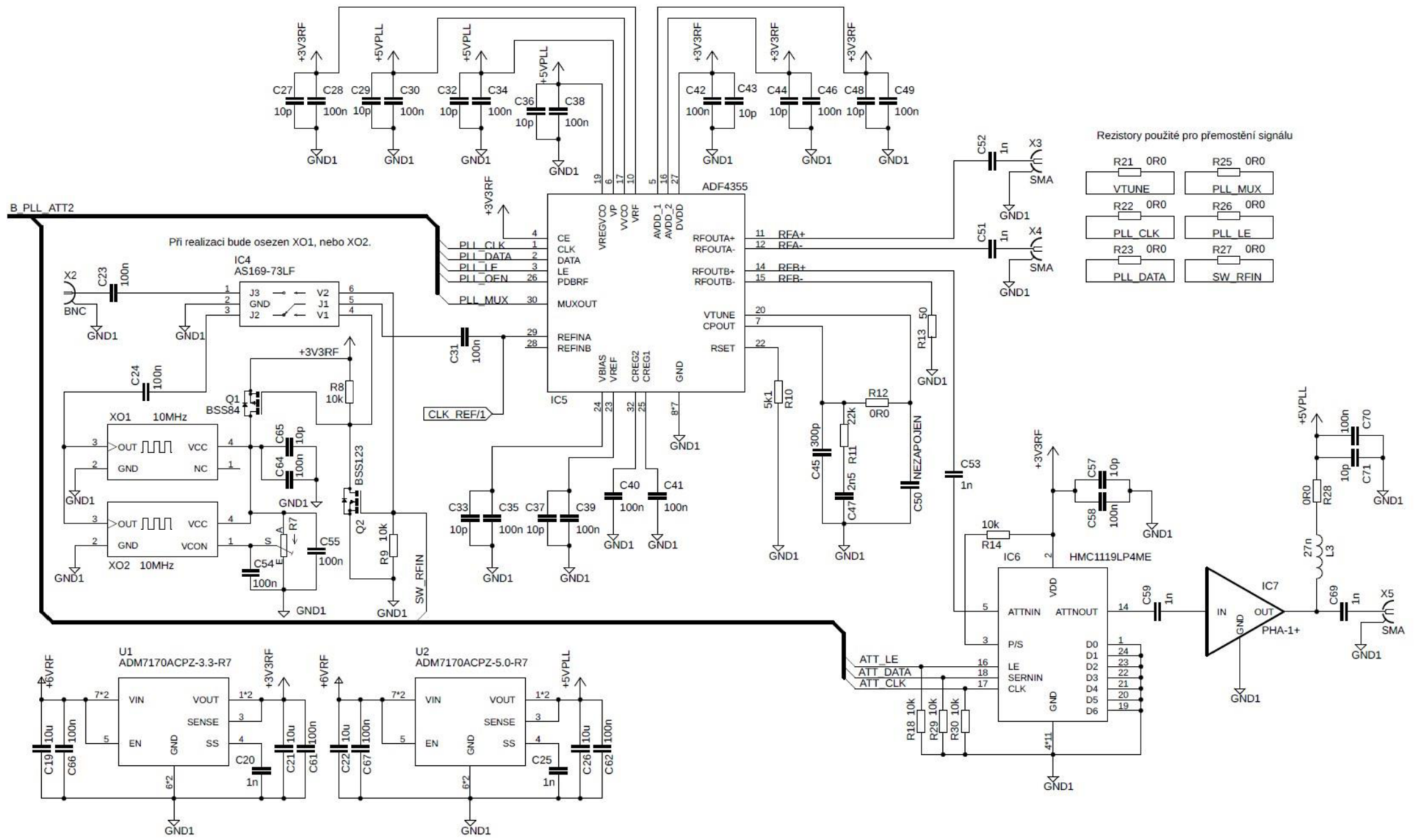
- [13] PHA-1+: SMT Linear Amplifier, 50 - 6000 MHz, 50 Ω . *Mini-Circuits* [online]. Mini-Circuits [cit. 2020-06-03]. Dostupné z:
<https://www.minicircuits.com/WebStore/dashboard.html?model=PHA-1%2B>
- [14] FC2004C03-NSWBBW-91LE: GENERAL SPECIFICATIONS. *Farnell* [online]. FORDATA [cit. 2020-06-03]. Dostupné z:
<https://uk.farnell.com/fordata/fc2004c03-nswwbw-91-e/display-alphanumeric-20x4-white/dp/2674146>

Seznam příloh

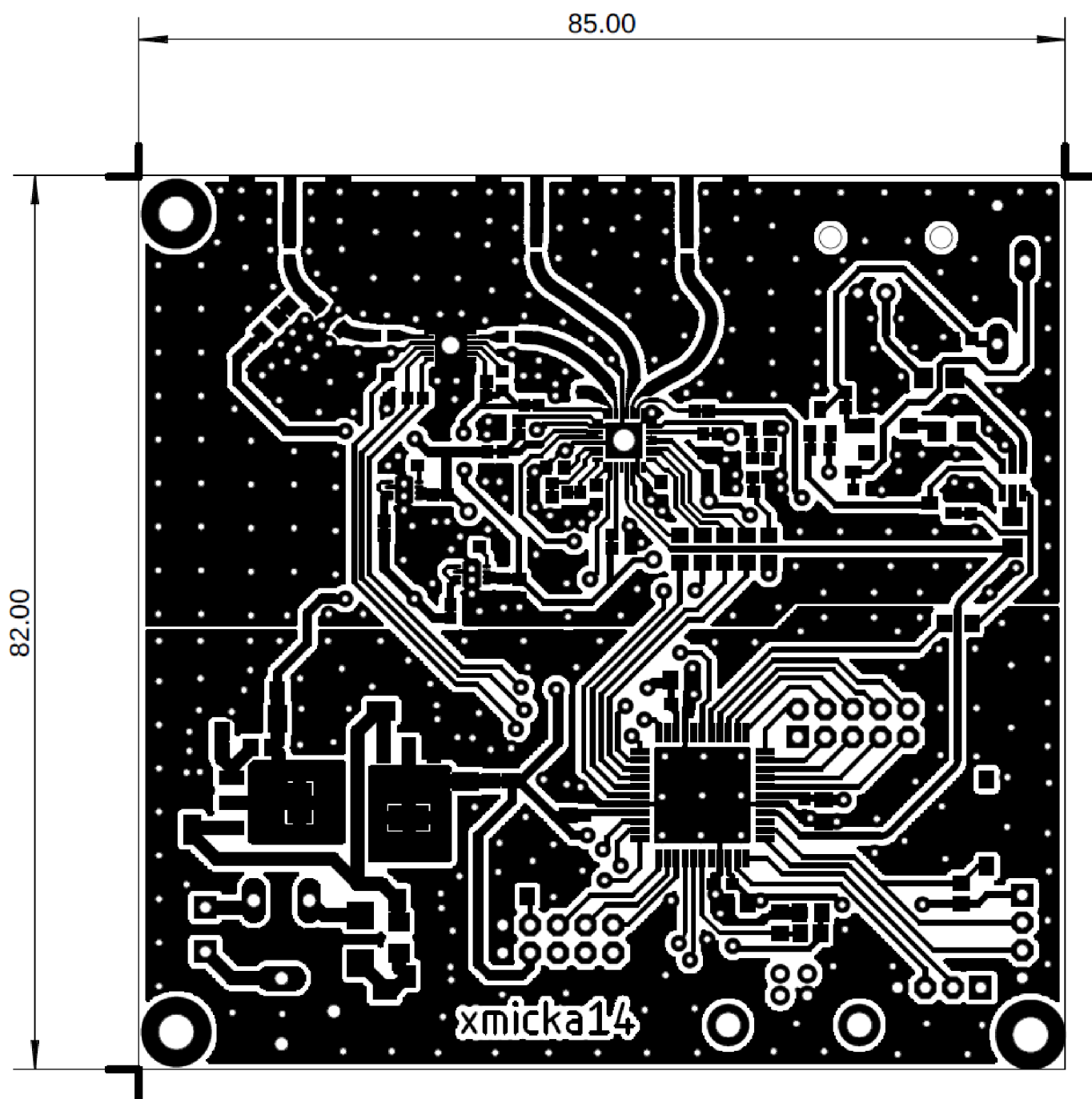
- Příloha 1 - Schéma zapojení generátoru
- Příloha 2 - DPS generátoru vrstva TOP
- Příloha 3 - DPS generátoru vrstva BOTTOM
- Příloha 4 - DPS generátoru rozmístění součástek strana TOP
- Příloha 5 - DPS generátoru rozmístění součástek strana BOTTOM
- Příloha 6 - Schéma zapojení ovládacího panelu
- Příloha 7 - DPS ovládacího panelu vrstva BOTTOM
- Příloha 8 - DPS ovládacího panelu vrstva TOP
- Příloha 9 - DPS ovládacího panelu rozmístění součástek TOP
- Příloha 10 - DPS ovládacího panelu rozmístění součástek BOTTOM
- Příloha 11 - Popis podporovaných SCPI příkazů
- Příloha 12 - Procedura nahrávání korekčních dat do generátoru
- Příloha 13 - Soubor M pro nahrávání korekčních dat uveden v externí příloze
- Příloha 14 - Zdrojový kód uveden v externí příloze
- Příloha 15 - Návrh DPS uveden v externí příloze
- Příloha 16 - Změřená data uvedena v externí příloze
- Příloha 17 - 3D model krabičky uveden v externí příloze

Příloha 1 - Schéma zapojení generátoru

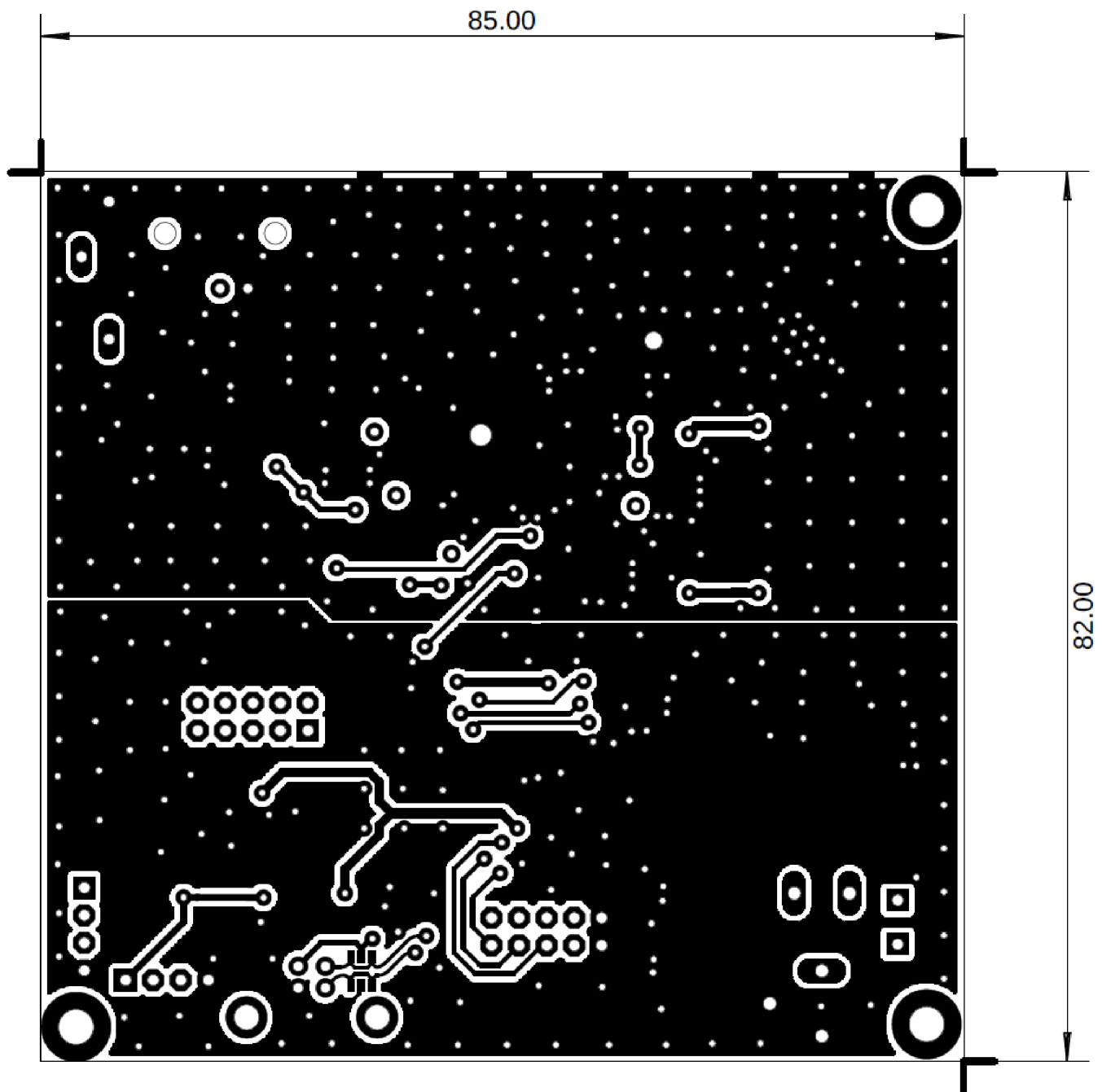




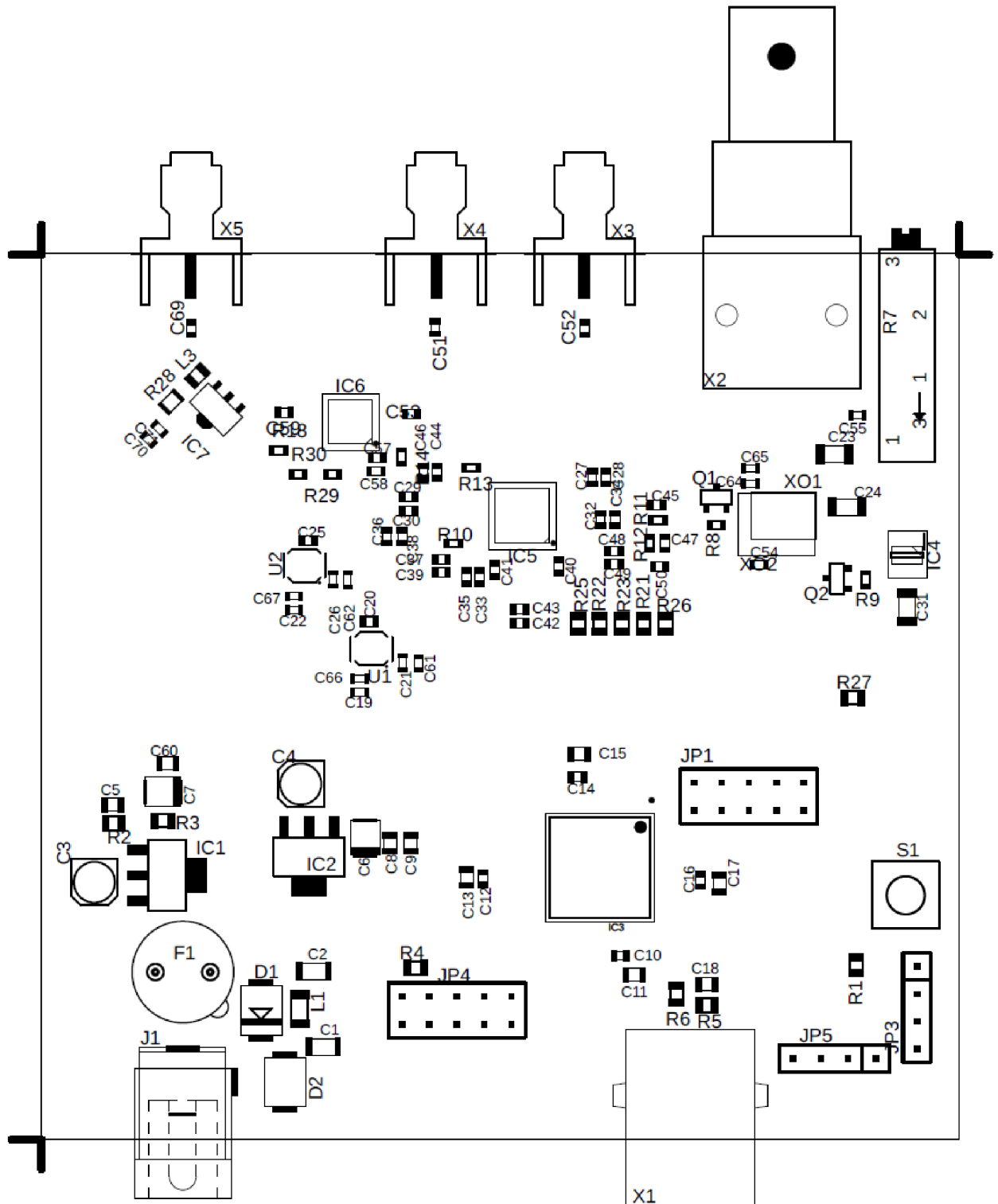
Příloha 2 - DPS generátoru vrstva TOP



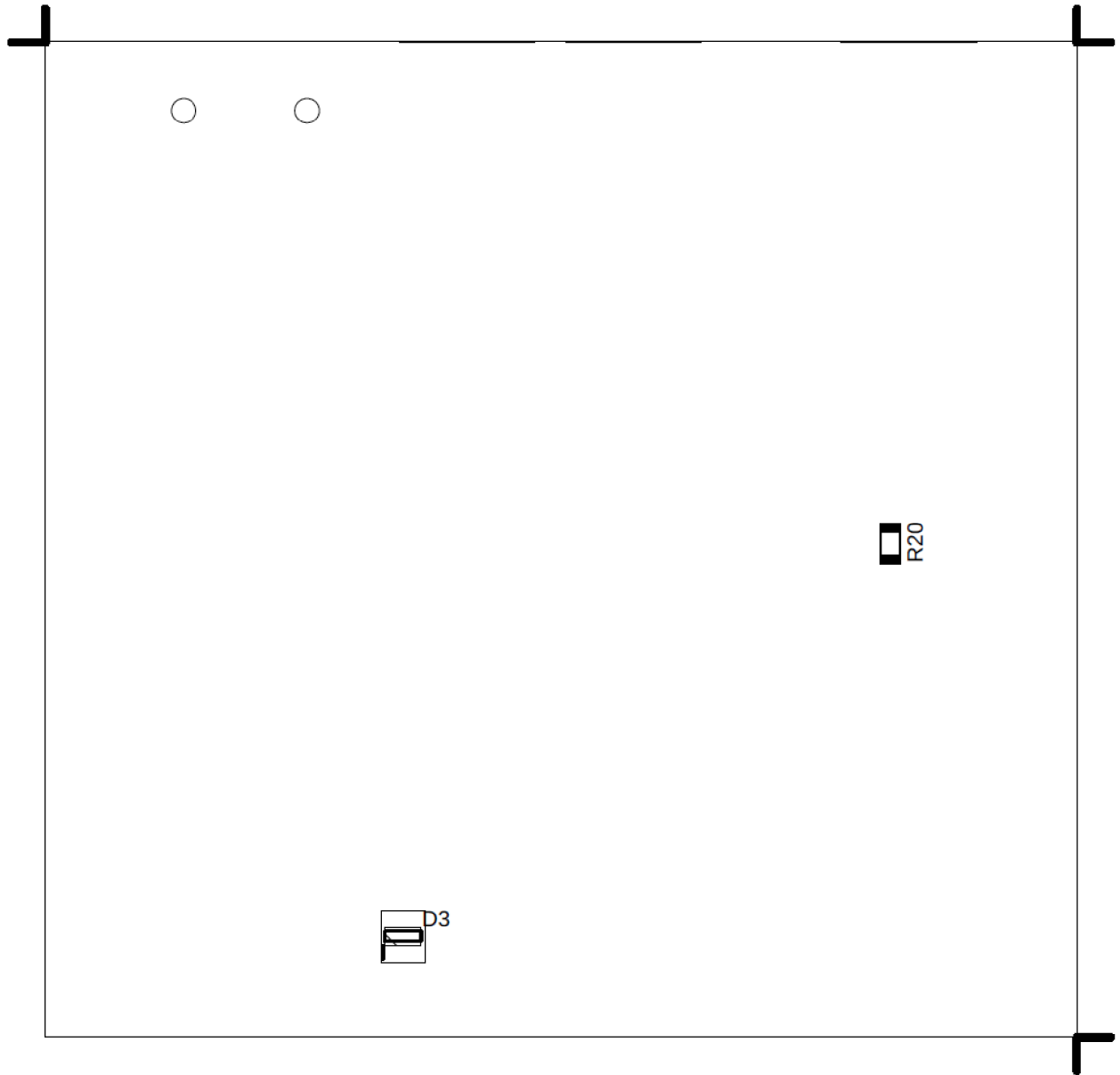
Příloha 3 - DPS generátoru vrstva BOTTOM



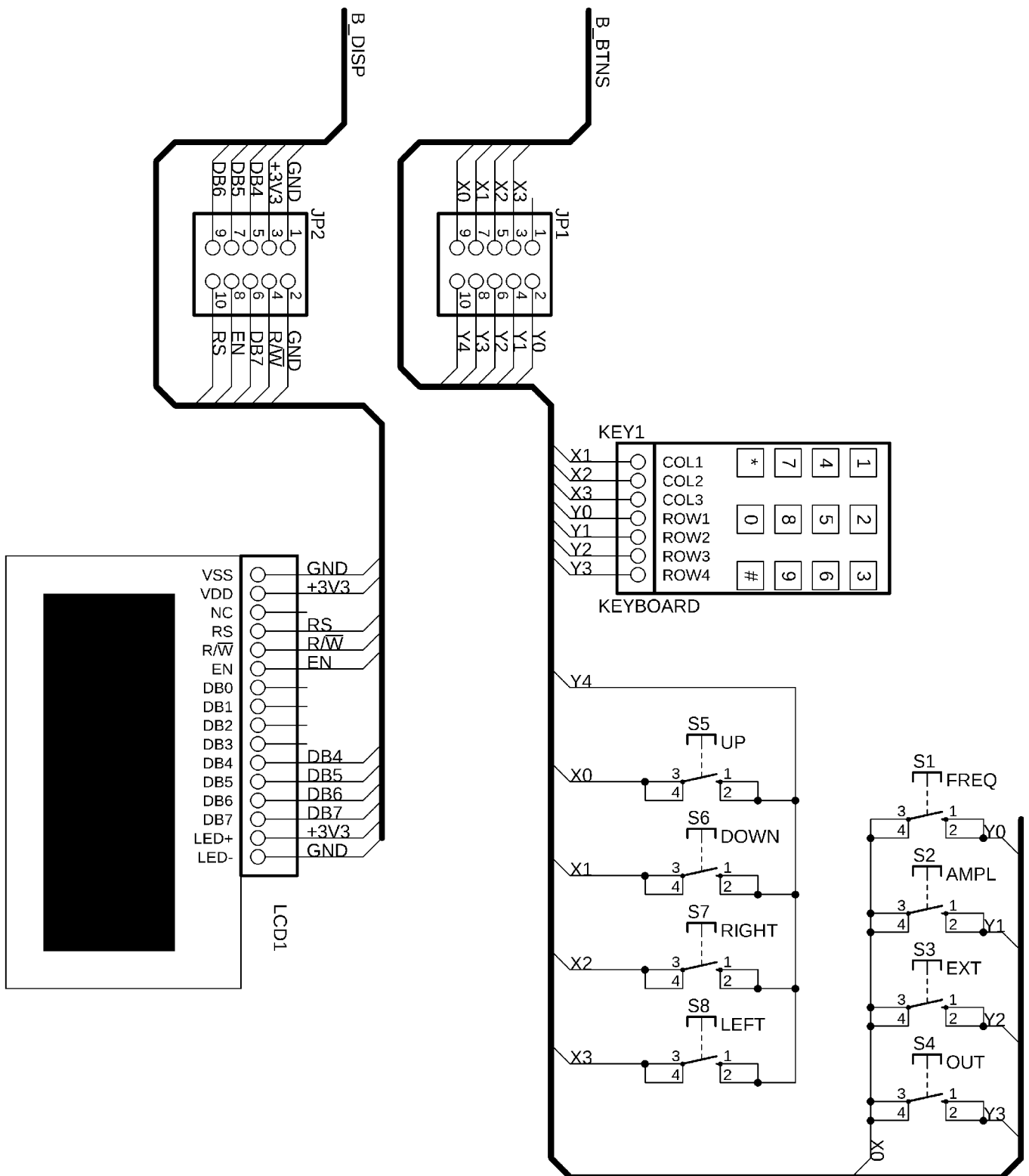
Příloha 4 - DPS generátoru rozmístění součástek strana TOP



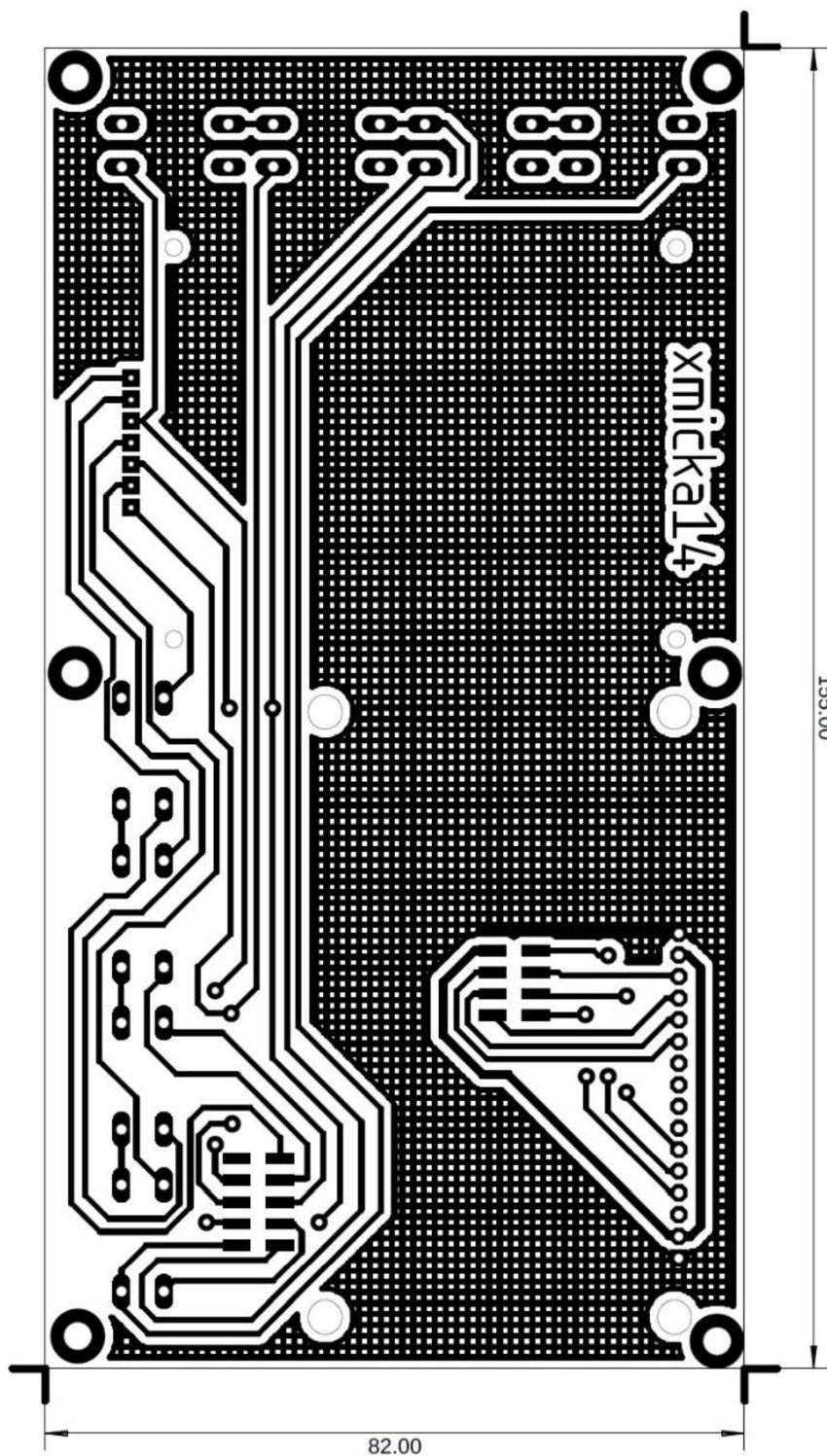
Příloha 5 - DPS generátoru rozmístění součástek strana BOTTOM



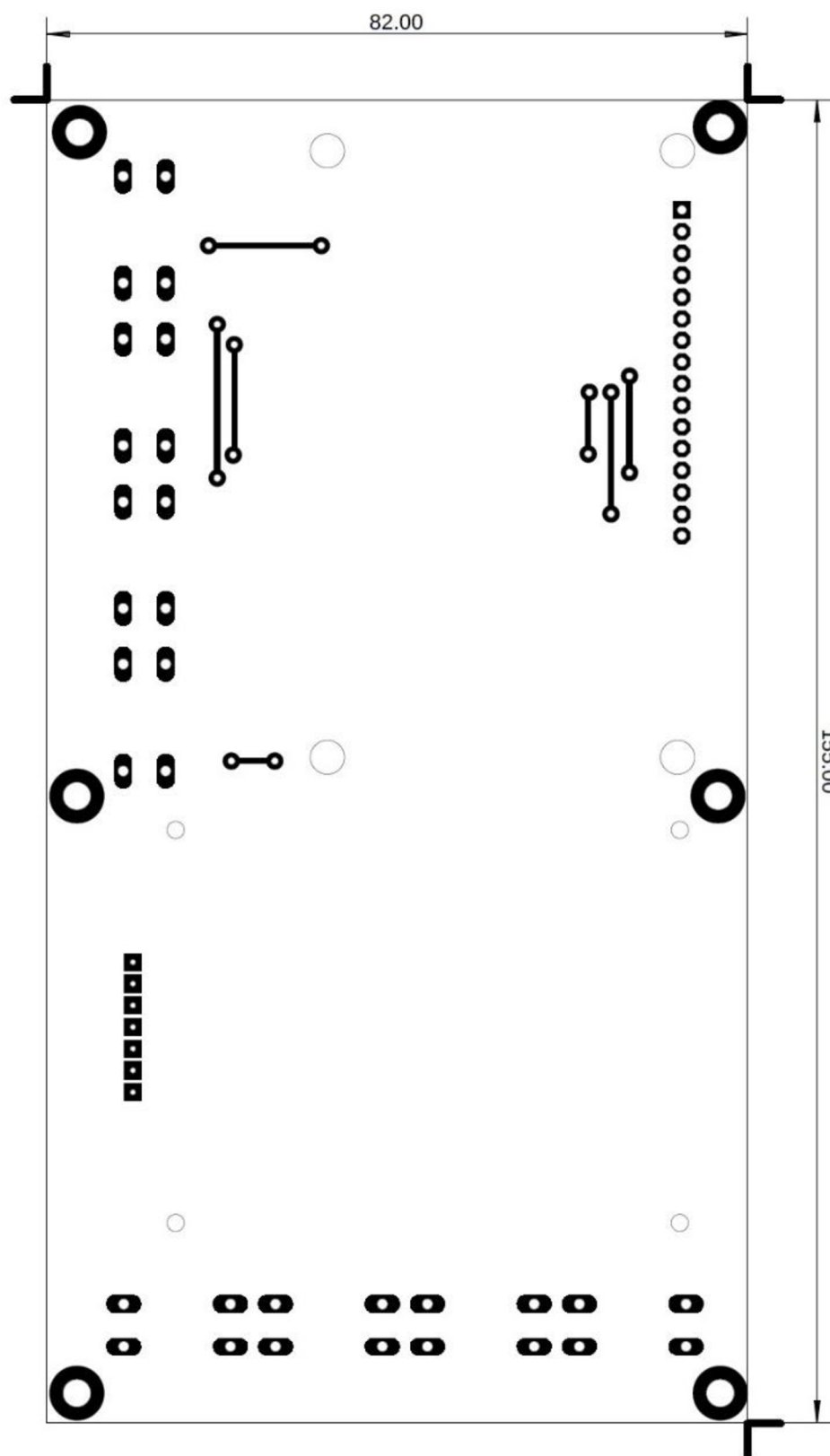
Příloha 6 - Schéma zapojení ovládacího panelu



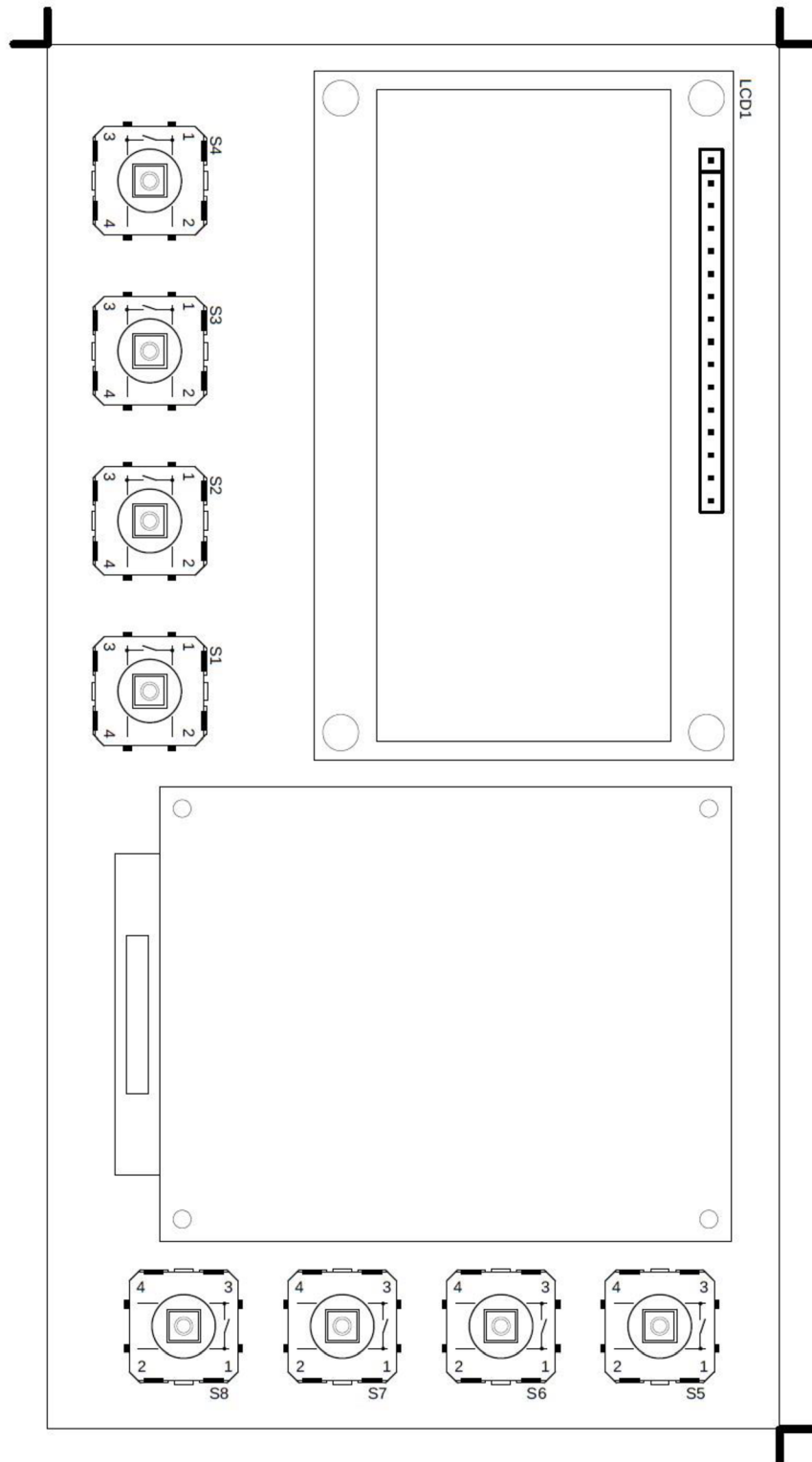
Příloha 7 - DPS ovládacího panelu vrstva BOTTOM



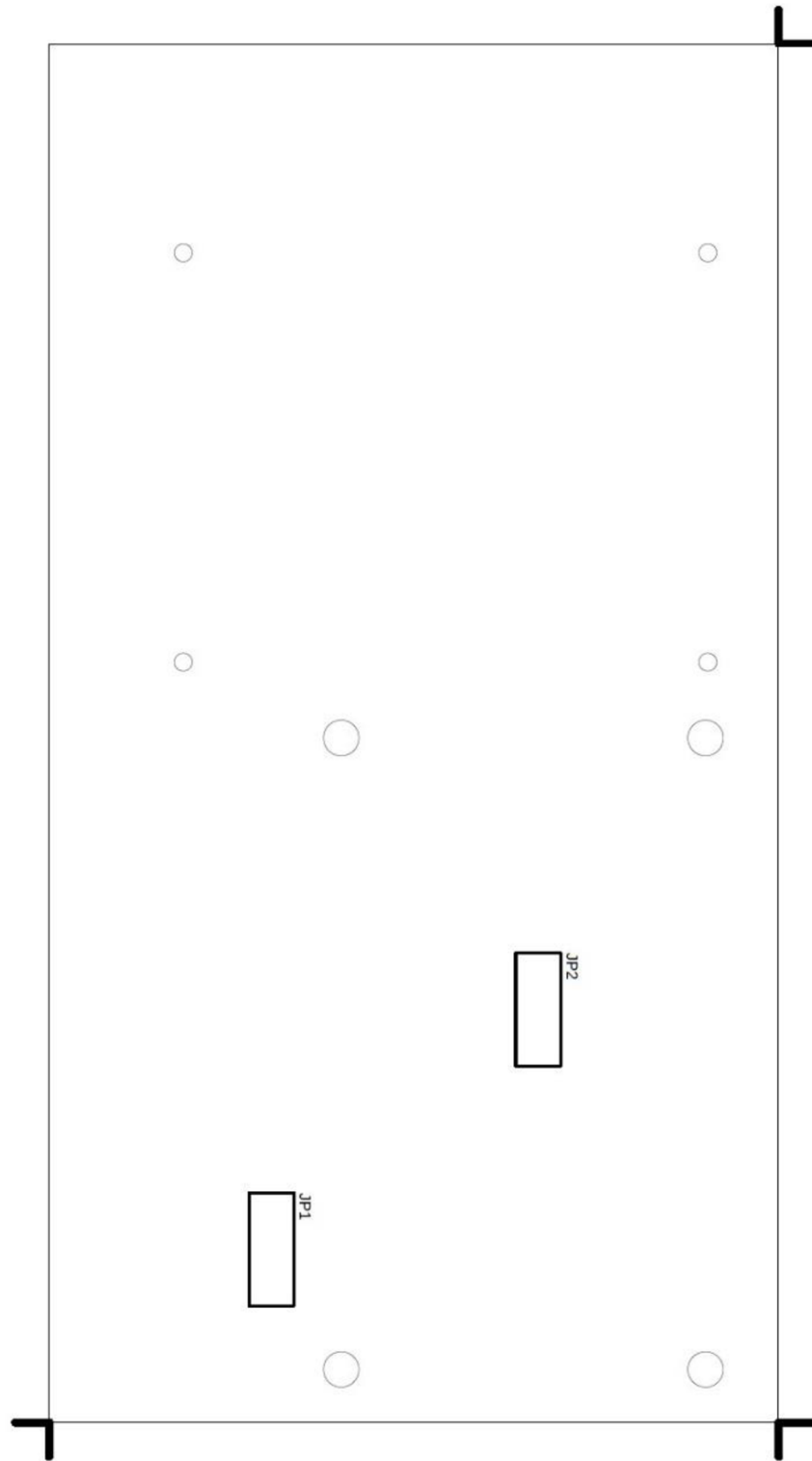
Příloha 8 - DPS ovládacího panelu vrstva TOP



Příloha 9 - DPS ovládacího panelu rozmístění součástek TOP



Příloha 10 - DPS ovládacího panelu rozmístění součástek BOTTOM



Příloha 11 - Popis podporovaných SCPI příkazů

Generátor podporuje příkazy uvedené v této části dokumentu. Syntaxe příkazů je odvozena od SCPI příkazů. Oproti klasickým SCPI podporuje generátor pouze krátkou formu příkazů psanou velkými písmeny.

Všechny příkazy, kromě MEM:DATA, vyžadují pro potvrzení zadání znak <CR>, nebo <LF>, případně jejich spojení <CR><LF>, nebo <LF><CR>.

Spojení více příkazů pomocí středníku je podporováno. Příkazy se provedou až při odeslání znaku konce řádku (viz předchozí odstavec). Délka zřetězených příkazů je však omezena RX bufferem na 512 B.

Možnosti zápisu číselných hodnot <val>

Všechny možnosti zápisu číselných hodnot podporují použití kladného +, nebo záporného - znaménka.

Celočíselný tvar:

Př.: 100

Neceločíselný tvar:

Podporovaný znak desetinného oddělovače je tečka.

Př.: 100.01

Exponenciální tvar:

Exponent může mít kladný, nebo záporný prefix. Kladný prefix může být vynechán, případně může být vynechán a nahrazen mezerou. Je podporován znak e nebo E.

Př.: $10001e-2 = 1.0001E+2 = 1.0001E2 = 1.0001E\ 2$

Další parametry

Parametry UP a DOWN:

UP – zvýšení hodnoty o nastavený krok

DOWN – snížení hodnoty o nastavený krok

Parametry 1, 0, ON, OFF:

1, ON – zapnutí funkce

0, OFF – vypnutí funkce

Parametry INT a EXT:

INT – interní

EXT – externí

Parametry FIX a SWE:

FIX - fixní frekvence

SWE - rozmitání frekvence

Možnosti zápisu jednotek <unit>:

Podporovaný zápis jednotek frekvence:

HZ – Hertz

KHZ – kilohertz

MHZ – megahertz

GHZ – gigahertz

Podporovaný zápis jednotek výkonu:

DBM – decibel nad miliwattem

DB – decibel

Podporovaný zápis jednotek času:

S – sekundy

MS – milisekundy

Popis příkazů

Text uvedený v hranatých závorkách [] označuje volitelnou část příkazu. Svislá čára | odděluje možnosti parametrů.

FREQ[:FIX] <val><unit> | UP | DOWN

Popis: Nastavení výstupní frekvence.

FREQ[:FIX]?

Odpověď: <val>KHZ

FREQ:STEP <val><unit>

Popis: Nastavení frekvenčního kroku. Tato funkce také nastavuje frekvenční krok rozmítání.

FREQ:STEP?

Odpověď: <val>KHZ

FREQ:STAR <val><unit>

Popis: Nastavení počáteční frekvence pro rozmítání.

FREQ:STAR?

Odpověď: <val>KHZ

FREQ:STOP <val><unit>

Popis: Nastavení konečné frekvence pro rozmítání.

FREQ:STOP?

Odpověď: <val>KHZ

FREQ:MODE FIX | SWE

Popis: Nastavení frekvenčního režimu. Generátor se do daného režimu přepne ihned po provedení příkazu.

FREQ:MODE?

Odpověď: FIX | SWE

SWE:DWEL <val><unit>

Popis: Nastaví čas mezi přeladěním při frekvenčním rozmítání.

SWE:DWEL?

Odpověď: <val>MS

POW[:LEV] <val><unit> | UP | DOWN

Popis: Nastavení výstupního výkonu.

POW[:LEV]?

Odpověď: <val>DBM

POW:STEP <val><unit>

Popis: Nastavení velikosti kroku výkonu.

POW:STEP?

Odpověď: <val>DB

OUTP[:STAT] 0 | 1 | ON | OFF

Popis: Zapnutí nebo vypnutí výstupů generátoru.

OUTP[:STAT]?

Odpověď: 0 | 1

OUTP:BLAN 0 | 1 | ON | OFF

Popis: Zapnutí nebo vypnutí funkce blanking.

OUTP:BLAN?

Odpověď: 0 | 1

ROSC:SOUR INT | EXT

Popis: Volba referenčního oscilátoru.

ROSC:SOUR?

Odpověď: INT | EXT

CORR 0 | 1 | ON | OFF

Popis: Korekce zobrazovaných hodnot výkonu. Funkci lze povolit pouze v případě, že je v paměti uložen korekční soubor.

CORR?

Odpověď: 0 | 1

CORR:FLAT 0 | 1 | ON | OFF

Popis: Vyhlazení výstupní charakteristiky. Tato funkce lze povolit pouze v případě, že je v paměti uložen korekční soubor.

CORR:FLAT?

Odpověď: 0 | 1

CORR:FLAT:LOAD "nazev_souboru"

Popis: Nastaví soubor v paměti jako korekční.

CORR:FLAT:LOAD?

Odpověď: "nazev_souboru" | "NO FILE"

MEM:DATA "nazev_souboru",#<digity><velikost_dat><data>

Popis: Uloží do paměti soubor. Název souboru musí být zadán v uvozovkách. Po názvu následuje čárka a dále znak #. Hodnota <digity> představuje počet číselných míst čísla <velikost_dat>. Hodnota <velikost_dat> značí počet následujících bytů. Parametr <data> značí příchozí datový obsah souboru.

Pozn.: Při odeslání znaku # přes terminál začne generátor ihned číst následující data, nečeká na znak nového řádku. Příkaz je ukončen, jakmile dojde k zapsání všech bytů dat.

MEM:DATA? "nazev_souboru"

Odpověď: <velikost_dat> <data>

MEM:DEL "nazev_souboru"

Popis: Vymaže soubor z paměti.

Pozn.: Soubor nesmí být využíván, např. jako korekční.

MEM:CAT?

Popis: Vypíše počet souborů v paměti a jejich názvy oddělené mezerou.

Příloha 12 - Procedura nahrávání korekčních dat do generátoru

Pro automatizování celé procedury slouží skript rfgn_correction.m. Před jeho použitím je však nutné přepsat číslo COM portu, ke kterému je připojen generátor a název TXT souboru s korekčními daty, který se přeloží do binárního formátu.

1. Nahrání souboru do paměti generátoru

```
MEM:DATA "navez_souboru",#<digity><velikost_dat><data>
```

2. Vypnutí korekce

```
CORR 0
```

Pozn.: Tento příkaz nemusí být proveden v případě, že není žádný soubor nastaven jako korekční.

3. Nastavení korekčního souboru

```
CORR:FLAT:LOAD "navez_souboru"
```

Pozn.: V případě úspěšného odeslání tohoto příkazu se aktivuje korekce a vyhlazení výstupního výkonu.

Po úspěšné aktivaci korekce a vyhlazení výstupního výkonu vrátí příkazy CORR? a CORR:FLAT? hodnotu

Příloha 13 - Soubor M pro nahrávání korekčních dat uveden v externí příloze

Příloha 14 - Zdrojový kód uveden v externí příloze

Příloha 15 - Návrh DPS uveden v externí příloze

Příloha 16 - Změřená data uvedena v externí příloze

Příloha 17 - 3D model krabičky uveden v externí příloze