



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

ANALÝZA MODELOVÁNÍ NESHODNOSTÍ RŮZNÝCH MODELŮ TRANZISTORŮ VE SLABÉ A SILNÉ INVERZI

ANALYSIS OF MISMATCH MODELING FOR VARIOUS TRANSISTOR MODELS IN WEAK AND STRONG
INVERSION

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Michal Dvořák

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Jiří Háze, Ph.D.

BRNO 2020



Bakalářská práce

bakalářský studijní program **Mikroelektronika a technologie**

Ústav mikroelektroniky

Student: Michal Dvořák

ID: 192745

Ročník: 3

Akademický rok: 2019/20

NÁZEV TÉMATU:

Analýza modelování neshodností různých modelů tranzistorů ve slabé a silné inverzi

POKYNY PRO VYPRACOVÁNÍ:

Cílem práce je odsimulovat neshodnosti různých modelů tranzistorů a vytvořit metodologii, která umožní co nejpřesněji zhodnotit a porovnat výsledky měření a simulací s teoretickým základem. Výsledkem práce bude zhodnocení přesnosti modelování neshodnosti pro různé modely tranzistoru a porovnání jednotlivých modelů mezi sebou.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce.

Termín zadání: 3.2.2020

Termín odevzdání: 8.6.2020

Vedoucí práce: doc. Ing. Jiří Háze, Ph.D.

doc. Ing. Jiří Háze, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Cílem práce je simulovat neshodnosti různých modelů tranzistorů a vytvořit metodologii, která umožní co nejpřesněji zhodnotit a porovnat výsledky měření a simulací s teoretickým základem. Výsledkem práce bude zhodnocení přesnosti modelování neshodnosti pro různé modely tranzistoru a porovnání jednotlivých modelů mezi sebou.

Klíčová slova

Neshodnost, CMOS, MOSFET, model tranzistoru, inverzní koeficient, odchylka.

Abstract

This work maps mismatch modeling for CMOS transistor in strong and weak inversion region. The goal is to build sufficient theoretical background describing origins of mismatch during manufacturing and its modeling and find suitable methodology, which will enable to compare 7 selected models of transistor, which was simulated.

Keywords

Mismatch, CMOS, MOSFET, transistor model, inversion factor, deviation.

Bibliografická citace

DVOŘÁK, M. Analýza modelování neshodnosti různých modelů tranzistorů ve slabé a silné inverzi. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2020. [47] s. Vedoucí diplomové práce doc. Ing. Jiří Háze, PhD.

Čestné prohlášení

Prohlašuji, že předložená diplomová práce je původní a zpracoval jsem ji samostatně. Prohlašuji, že citace použitých pramenů je úplná, že jsem ve své práci neporušil autorská práva (ve smyslu Zákona č. 121/2000 Sb., o právu autorském a o právech souvisejících s právem autorským).

V Brně dne 15. května 2018

.....

podpis autora

Poděkování:

Mé poděkování patří profesoru Jiřímu Házemu za trpělivost, ochotu a odborný dohled při mé práci, inženýru Lubomíru Plavci z firmy ASICentrum s.r.o. za pomoc při měření a stanovení metrologie vyhodnocení výsledků a na závěr profesorce Wangy a profesoru Gao z univerzity Tsinghua v Pekingu za poskytnutí cenných poznatků a materiálů o obecném modelování tranzistorů.

OBSAH

Úvod.....	7
1 Fyzický model tranzistoru.....	8
1.1 Pracovní oblasti tranzistoru	8
1.1.1 Uzavřený stav	8
1.1.2 Lineární oblast.....	9
1.1.3 Oblast saturace	11
1.2 Inverzní koeficient.....	13
1.3 Neshodnosti	15
1.3.1 Neshodnost a návrh	15
1.3.2 Vliv výrobních procesů na odchylku	15
1.4 Model tranzistoru.....	17
1.4.1 Použité modely tranzistoru.....	17
1.4.2 Modelování neshodnosti tranzistoru v nadprahovém napětí.....	17
1.4.3 Modelování neshodnosti tranzistoru v podprahovém napětí.....	18
1.5 Metodika měření.....	20
1.5.1 Simulované parametry.....	20
1.5.2 Měření kapacity COX pro jednotlivé modely	21
1.5.3 Výpočet parametru β	22
1.5.4 Modulace prahového napětí	22
2 Simulace neshodnosti.....	29
2.1 Simulace s inverzním koeficientem nastaveným poměrem šířky a délky.....	29
2.2 Simulace s inverzním koeficientem nastavením drainovým proudem ID	31
3 Zhodnocení modelů tranzistoru	34
3.1 Vliv parametru β na neshodnost	34
3.2 Srovnání odchylek pro různé vstupní parametry inverzního koeficientu.....	34
3.3 Hodnoty pro silnou a slabou inverzi.....	35
3.4 Srovnání NMOS a PMOS.....	38
3.5 Celkové zhodnocení modelů	38
4 Závěr	41

Zdroje	42
Seznam obrázků	44
Seznam tabulek	45
Seznam grafů.....	46

ÚVOD

Cílem práce je ustanovení dostatečného teoretického základu modelování neshodnosti tranzistorů a jejich porovnání se simulovanými výsledky. V kapitole 1 je popsán model tranzistoru a jeho pracovní oblasti, objasněn pojem neshodnost v závislosti na modelu tranzistoru a popsány metody měření neshodnosti. Kapitola 2 se zabývá simulacemi měření neshodnosti s různě nastaveným inverzním koeficientem a kapitola 3 nabízí zhodnocení jednotlivých typů tranzistorů z hlediska provedené simulace. V kapitole 4 je pak krátké zhodnocení a shrnující závěr, kterých bylo dosaženo.

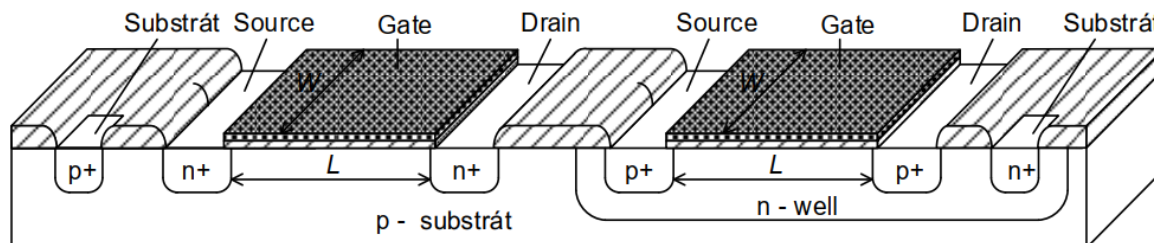
1 FYZICKÝ MODEL TRANZISTORU

Pro správné zhodnocení neshod v modelování tranzistoru je důležité správně chápat jeho funkci a jeho pracovní oblasti, které budou popsány v této kapitole.

1.1 Pracovní oblasti tranzistoru

MOSFET/CMOS (Metal-Oxide-Semiconductor-Field-Effect-Transistor) / (Complementary-Metal-Oxide-Semiconductor) je druh tranzistoru řízený elektrickým polem. Proud, který vede kanálem mezi elektrodami drain (D) a source (S), je kontrolován napětím U_{GS} přiloženým na elektrodu gate (G) a jeho velikostí oproti zemnímu potenciálu (GND/0). Podle velikosti přiloženého napětí U_{GS} a U_{DS} se určuje, v jaké pracovní oblasti se tranzistor nachází. Obecně se rozlišují tři pracovní oblasti, nebo také stavy. Kromě U_{GS} určuje to, v jaké pracovní oblasti se tranzistor nachází také prahové napětí U_{TH} . Jeho velikost je ovlivněna výrobním procesem. Dá se však také ovlivnit využitím jevů jako Bulk effect a DIBL (Drain-Induced-Barrier-Lowering). Tato problematika je však nad rámec této bakalářské práce a je přesněji popsána v [2][4][9]. Na obrázku 1. je uveden řez složitější CMOS strukturou obsahující NMOS i PMOS tranzistor.

Když je tranzistor uzavřen a není vytvořen kanál mezi elektrodami source a drain, hovoříme o uzavřeném stavu (cut-off region). Pokud nedošlo k saturaci rychlosti volných nosičů, nachází se tranzistor v lineárním stavu (linear/resistive region). Došlo-li k saturaci nosičů, nachází se tranzistor v saturačním stavu (saturated region).

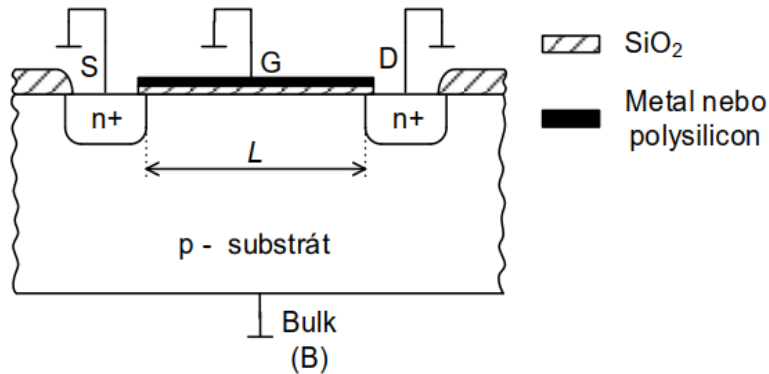


Obrázek 1 – Struktura tranzistoru NMOS a PMOS na jednom substrátu [4]

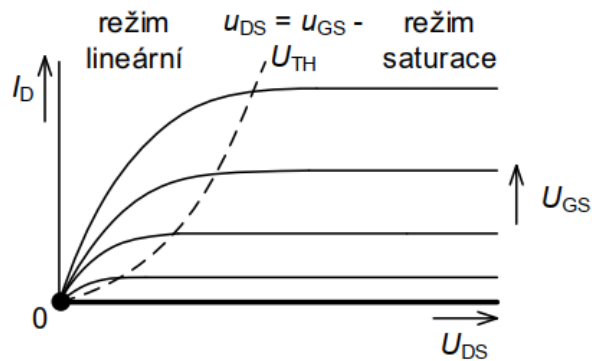
Tranzistor pracuje primárně ve dvou stavech, a to režimu saturace a uzavřeném stavu. V uzavřeném stavu se tranzistor dá nahradit rozpojením obvodu. V oblasti saturace se dá tranzistor nahradit zdrojem proudu řízeným napětím. Nyní si jednotlivé pracovní stavy tranzistoru popíšeme podrobněji.

1.1.1 Uzavřený stav

Tranzistorem neprotéká žádný proud I_D a tranzistor se dá nahradit jako rozpojený obvod. Pod hradlem se nevytvoří inverzní vrstva, která by umožnila přenos nosičů mezi source nad drain. I když je tranzistor vypnutý, stále jím teče malý proud I_{drift} zvaný driftový proud, nicméně při hodnotách napětí $U_{GS} \approx 0 V$, je tento proud zanedbatelný. Tranzistor v uzavřeném stavu popisují obrázek 2 a obrázek 3.



Obrázek 2 - Řez tranzistorem v uzavřeném stavu



Obrázek 3 - VA charakteristika tranzistoru v uzavřeném stavu

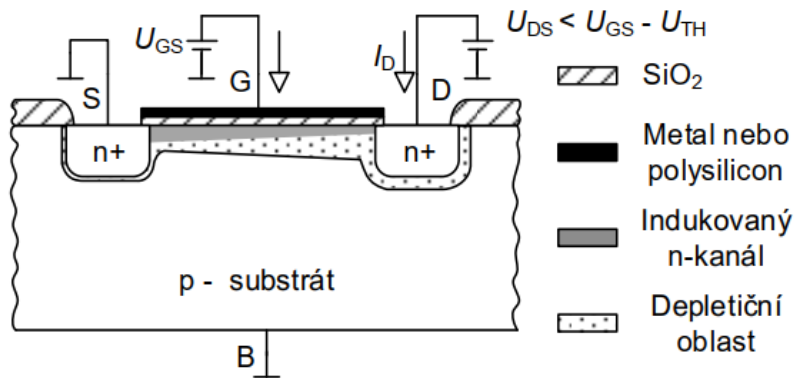
1.1.2 Lineární oblast

Napětí $U_{GS} < U_{TH}$, tranzistor se nachází ve slabé inverzi. Tuto oblast znázorňuje obrázek 4 a obrázek 5. Napětí U_{GS} nebylo zvoleno dostatečně vysoké, aby byl vytvořen vodivý kanál mezi drain a source. Nicméně tranzistorem stále teče proud. Jelikož napětí $U_{GS} < U_{TH}$, je tento proud zván podprahový proud $\rightarrow I_{Dsub}$. Proud I_{Dsub} stále protéká mezi elektrodami drain a source. Označení I_{Dsub} je označení pro I_D pro $U_{GS} < U_{TH}$ v rovnici (1.1)

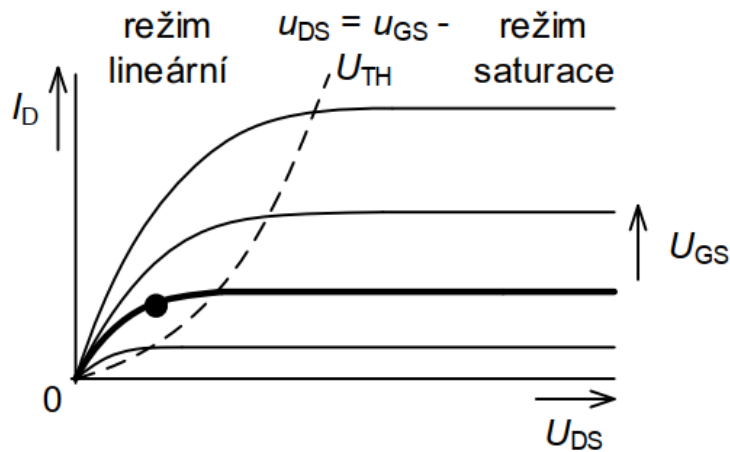
$$I_{Dsub} = I_S e^{\frac{U_{GS}}{n k T / q}} * \left(1 - e^{-\frac{U_{DS}}{k T / q}} \right) * (1 + \lambda U_{DS}), \quad (1.1)$$

kde k je Boltzmanova konstanta ($1,380\ 649 \times 10^{-23}$ [J·K⁻¹]), T je teplota [°K], λ je modulační délky kanálu [V^{-1}], q je elementární náboj ($1,602 \cdot 10^{-19}$ [C]), n je parametr sklonu (nebo také S). Kvůli exponenciální závislosti I_{Dsub} na U_{GS} nelze použít jednu univerzální rovnici pro popis tranzistoru v oblasti saturace a lineární oblasti. Tranzistor se obecně v této pracovní oblasti

nevyužívá kvůli svojí exponenciální závislosti I_D na U_{GS} . Další nevýhodou, daleko důležitější pro tuto práci, je vyšší neshodnost a chybovost v lineární oblasti.

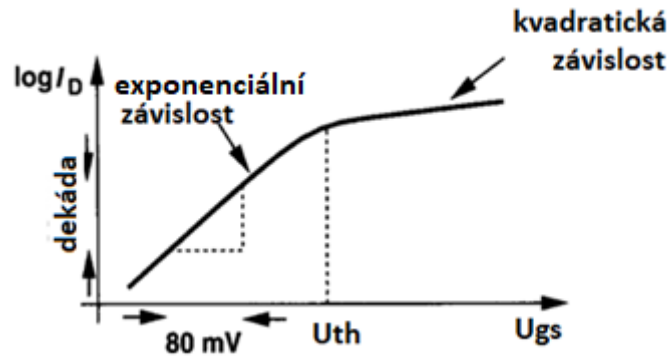


Obrázek 4 - Řez tranzistorem pro lineární oblast



Obrázek 5 - VA charakteristika tranzistoru, zvýrazněná lineární oblast

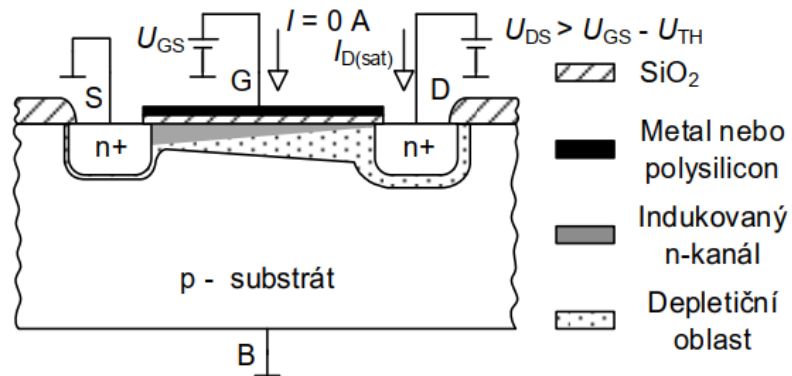
Jelikož se použití tranzistoru v této oblasti obecně nevyužívá (výjimkou mohou být invertory na ultra-nízkém napájení, které si i při $U_{GS} < U_{TH}$ zachovávají svojí VTC (Voltage-transfer-characteristics), určující práh sepnutí u invertoru [3]) (~200mV), jsou tranzistory lépe modelovány v saturaci. Závislost proudu na U_{GS} je v tomto případě exponenciální. Přechod tranzistoru z lineární oblasti do oblasti saturace není náhlý, viz obrázek 6. V této oblasti je závislost proudu určena strmostí S , která nabývá hodnot kolem 100mV/dek.



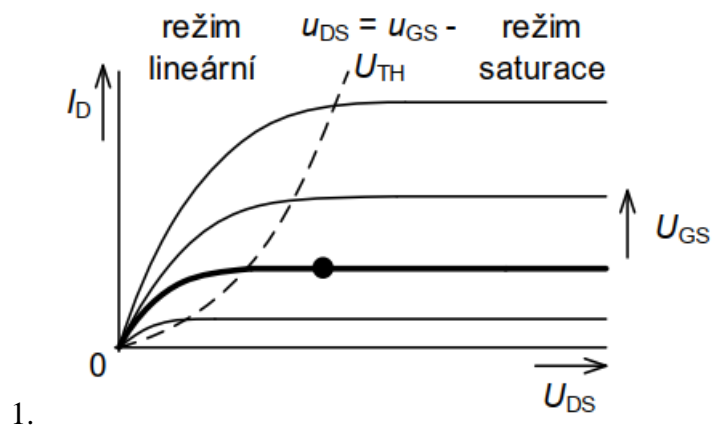
Obrázek 6 - Závislost I_D na U_{GS} v různých pracovních režimech

1.1.3 Oblast saturace

V této oblasti je rychlost nosičů maximální a zvýšení elektrického pole na ni nemá vliv (tento jev se nazývá velocity saturation). Tuto oblast tranzistoru znázorňují obrázek 7 a obrázek 8. Přiložené napětí $U_{GS} \geq U_{TH}$ i když je lepší zvolit U_{GS} s dostatečnou rezervou, aby bylo zajištěno dostatečné sepnutí.



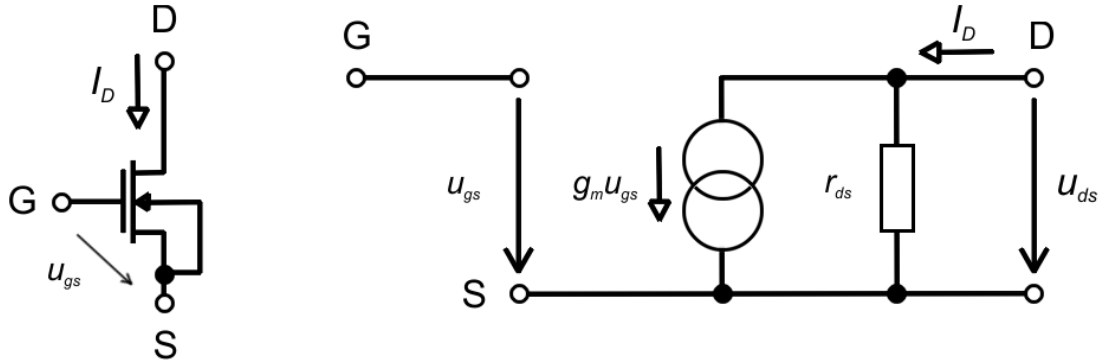
Obrázek 7 - Řez tranzistorem v oblasti saturace



1.

Obrázek 8 - VA charakteristika tranzistoru, zvýrazněná oblast saturace

Tranzistor se v této oblasti dá nahradit jako zdroj proudu I_D řízený napětím u_{gs} a transkonduktancí g_m (viz. obrázek 9), popřípadě jako odpor. Velikost tohoto odporu je dána technologií, výrobním procesem a W/L .



Obrázek 9 - Malosignálový model tranzistoru v oblasti saturace [4]

Velikost proudu I_D v tomto zapojení je dána součinem transkonduktance g_m a napětí u_{gs} . Transkonduktance popisuje změnu výstupního proudu I_D v závislosti na hradlovém napětí U_{GS} . Velikost g_m je určena v rovnici (1.2). V obou těchto případech je KP definováno podle rovnice (1.4), kde μ_0 je pohyblivost nosičů ve vodivém kanálu

$$g_m = KP \frac{W}{L} (U_{GS} - U_{TH}), \quad (1.2)$$

Velice podobný vztah je pro transkonduktanční parametr β – dále nazývaný pouze jako β parametr [$\mu A/V^2$]. Ten je dán rovnicí (1.3)

$$\beta = KP \frac{W}{L}. \quad (1.3)$$

V obou těchto případech je KP definováno podle rovnice (1.4), kde μ_0 je pohyblivost nosičů ve vodivém kanálu

$$KP = \mu_0 * C_{OX}. \quad (1.4)$$

U NMOS tranzistorů je tato hodnota zhruba 3,2x větší než u PMOS tranzistorů, protože elektrony mají vyšší pohyblivost než díry. C_{OX} je kapacita hradlového oxidu. Vrstva mezi substrátem a hradlem vytváří dielektrickou vrstvu, tudíž, se na dá nahradit kapacitorem C_{OX} jehož velikost je dána rovnicí (1.5)

$$C_{OX} = \frac{\epsilon_{si}}{t_{ox}}. \quad (1.5)$$

ϵ_{si} je v tomto případě relativní permitivita křemíku, která je rovna 3,9 (3,9x větší, než permitivita vakua) a t_{ox} je tloušťka hradlového oxidu, obvykle v řádu jednotek nanometrů [4][9].

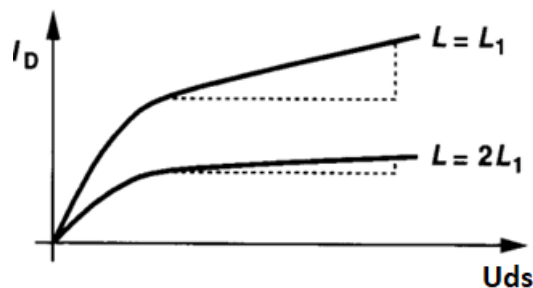
Tranzistor nacházející se v oblasti saturace se dá z digitálního úhlu pohledu nahradit sepnutým spínačem, nebo logickou hodnotou **1**. Hodnota proudu I_D pro tranzistor v saturaci je dána rovnicí 1.6

$$I_D = \frac{1}{2} \beta * (U_{GS} - U_{TH})^2 = \frac{W\mu_0 C_{ox}}{2L} * (U_{GS} - U_{TH})^2. \quad (1.6)$$

Pro přesnější popis proudu I_D je zavedena rovnice (1.7) [4]

$$I_D = \beta \frac{W}{2L} (U_{GS} - U_{TH})^2 (1 + \lambda U_{DS}). \quad (1.7)$$

Parametr λ je koeficient modulace délky kanálu. Zavedení tohoto koeficientu má za následek nenulovou strmost I_D/U_{DS} charakteristiky (obrázek 10). Při výpočtech v této práci byla však použita rovnice (1.6) pro svou dostatečnou přesnost a jednoduchost.



Obrázek 10 - Efekt zvětšení délky hradla L na strmost VA charakteristiky tranzistoru

1.2 Inverzní koeficient

Inverzní koeficient i_f je definován jako poměr proudu I_D a proudu I_0 (fixed process technology current) podle rovnice (1.9). Inverzní koeficient lze chápat jako číselnou reprezentaci v jakém stavu se tranzistor nachází

$$i_f = \frac{I_D}{I_0 \frac{W}{L}}. \quad (1.9)$$

Proud I_0 je definován jako proud „uprostřed střední inverze MOSFETu“ kdy $i_f = 1[-]$. Proud I_0 je určen rovnicí (1.10). V tomto případě je U_T termální napětí – pro $300k = 26mV$ (Nezaměnit s prahovým napětím tranzistoru U_{TH} !), n je poměr napětí mezi kapacitorem hradlového oxidu a deplečním kapacitorem MOSFET [10] a μ_0 je pohyblivost nosičů. Detailnější popis parametrů na určení hodnoty I_0 je v práci [10]

$$I_0 = 2nC_{OX}\mu_0 U_T^2. \quad (1.10)$$

Pro práci je ideální rozsah inverzního koeficientu i_f je zhruba $i_f = (10 - 200[-])$. Je důležité, aby tranzistor byl dostatečně hluboko v saturaci a nebyl v oblasti přechodu z lineární oblasti do saturaci viz. obrázek 6. Nicméně příliš vysoká hodnota i_f je také nežádoucí z důvodů přetěžování tranzistoru a také dalších parazitních jevů, jako například elektronová migrace.

1.3 Neshodnosti

Jako neshodnost (v literatuře označována jako **mismatching**) se označuje jakákoliv odchylka reálného výsledku od požadované teoretické hodnoty. V reálném světě se odchylkám vyhnout nelze, a tak je jistá míra odchylka od požadované hodnoty tolerovaná a uvažovaná při návrhu. Obecný průmyslový standard u polovodičů bývá $\pm 10\%$. Při postupném a neustálém zmenšování tranzistorů mohou mít odchylky fatálnější dopad na celkovou funkčnost obvodu [5]. Z tohoto důvodu je nutné vědět jaké parametry mají negativní dopad na celkovou neshodnost, jakou chybovostí je zatížen výrobní proces apod.

1.3.1 Neshodnost a návrh

Zkušený návrhář může díky chytře zvoleným parametrům při návrhu integrovaného obvodu zmenšit celkovou odchylku. Naopak proti náhodné odchylce se nedá bránit sebelepším návrhem, avšak při jejím podrobném a přesném popsání ji lze zahrnout do návrhu a obvod patřičně přizpůsobit. V dnešní době, kdy nejsložitější integrované obvody obsahují miliardy tranzistorů a desítky vrstev propojení, je jakýkoliv návrh možný pouze s pomocí CAD (**C**omputer-**A**ided-**D**esign) software. Moderní průmyslový standard (např. Cadence) dokáže s přesností simulovat neuvěřitelně složité obvody.

Jelikož odchylka bývá z velké části náhodná, pracuje model se statistickým údajem. Ve své práci [10] Pelgrom předložil jednoduchý statistický model s proměnnými (U_{TH} , μ , C_{OX} , W a L) pro predikci náhodné odchylky. V Pelgromově modelu jakýkoliv vztah mezi proměnnými byl zanedbán. Nejdůležitější parametry v Pelgromově modelu - U_{TH} a C_{OX} [11] - však spolu souvisí skrze tloušťku hradlového oxidu. Opomenutí tohoto parametru může způsobit vážnou statistickou chybu. Alternativní metoda pro měření uvažuje na sobě nezávislé fyzické proměnné (U_{fb} , t_{OX} , N_{sub} , μ , W a L). Tento druhý model je však složitější než Pelgromův model. Při vyhodnocování v této práci byl použit Pelgromův model.

Pojmenován podle svého autora Marcela J.M. Pelgroma zůstává Pelgromův model i po 30 letech velmi užitečným a používaným nástrojem při popisu neshodnosti. V této práci je publikováno několik užitečných vztahů pro popis shodnosti, avšak pro toto měření je nejdůležitější vztah pro odchylku v I_D . Ta je úměrná $1/\sqrt{WL}$, tedy s rostoucí plochou tranzistoru odchylka klesá. To je špatná zpráva, vezmeme-li v potaz trend v neustálém zmenšování rozměrů tranzistorů.

1.3.2 Vliv výrobních procesů na odchylku

Během výrobního procesu je budoucí polovodič vystaven několika zdrojům možné procesní odchylky. Vliv mají náhodné efekty (náhodná fluktuace dopantů a hrubost), odchylky spojené s dielektrikem hradla (tloušťka oxidu, fixní náboj, defekty), PPE (**p**attern-**p**roximity-**e**ffects), efekty spojené s čištěním, efekty spojené s povrchovým pnutím a efekty spojené s implantáty a žíháním. Ačkoliv je výrobní odchylka náhodný jev, existují postupy, jak ovlivnit její velikost a dopad. Tyto postupy se dělí na čistě procesní (techniky nezávislé na designu čipu), kombinace proces-design techniky (techniky, kde proces a návrh je úzce spojen) a čistě designové techniky (proces je nezávislý na výrobním procesu).

Náhodná fluktuace dopantů (RDF – Random Dopant Fluctuations)

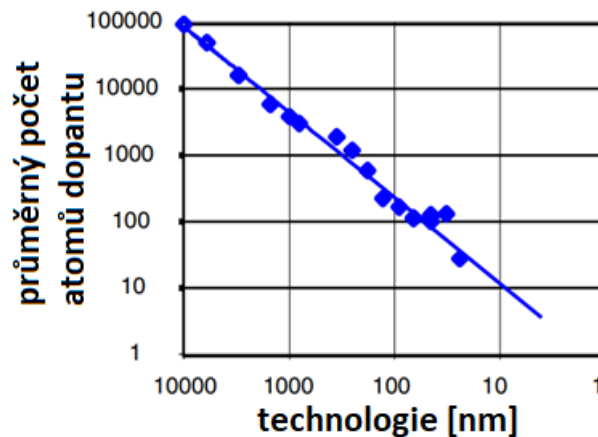
Variace prahového napětí je způsobena náhodnými fluktuacemi atomů dopantu. Jak s vývojem technologií počet dopantů klesá, tak dopad odchylek spojených s dopanty roste. Pro 32nm technologii je počet dopantů v kanálu méně než 100. Počet dopantů v použité technologii je zobrazen na obrázku 11 [5]. RDF má výrazný příspěvek na odchylku zařízení. Tento příspěvek je určen rovnicí (1.11)

$$\sigma U_T = \left(\frac{\sqrt[4]{q^3 \epsilon_{si} \phi_b}}{2} \right) \frac{T_{ox}}{\epsilon_{ox}} * \left(\frac{\sqrt[4]{N}}{\sqrt{W_{eff} L_{eff}}} \right) = \frac{1}{\sqrt{2}} \left(\frac{c_2}{\sqrt{W_{eff} L_{eff}}} \right). \quad (1.11)$$

Z rovnice vyplývá, že odchylka roste s mírou dopace a tloušťkou oxidu a je nepřímo úměrná intenzitě záření.

I když RDF má významný vliv na celkovou odchylku, pro zmenšující se technologie jeho podíl klesá. Např. pro 65nm proces je podíl RDF je okolo 65 % z celkového σU_{TNMOS} , pro 45nm proces je to okolo 60 % [5].

Z obrázku 11 je patrné, že s vývojem tranzistorů klesá i počet atomů dopantu. Na dodržení přesnosti dopace jsou tedy kladeny stále větší nároky.



Obrázek 11 - Průměrný počet atomů dopantů vůči použité technologii

Variace v hradlovém dielektriku

Fluktuace v prahovém napětí vlivem lokálních variací v tloušťce oxidu mohou mít v technologii <30nm stejný, nebo větší dopad než RDF [8]. Dalším zdrojem fluktuací U_{TH} je tunelový efekt v hradle pro tloušťku hradel ≤ 3 nm.

Efekt blízkého vzoru (Pattern proximity effects)

Během litografie je rovnice pro nejmenší rozlišitelné kritické rozměry dána rovnicí (n.), kde k_1 měří litografickou agresivitu (čím menší číslo, tím agresivnější). S postupem technologií k_1 klesá [8]. Řada technologií může být použita pro zlepšení litografického vzorkování s nízkým k_1 . Mezi nejsilnější nástroje patří OPC, detailněji popsáno v [5].

Leštění

Chemické a mechanické leštění (CMP) je kritický krok ve výrobě polovodičů. Vystavení mechanickému zatížení a chemikáliím může mít negativní dopad na některé části waferu. Aby se snížili dopady CMP na wafer, využívá se takzvaných dummy prvků, tedy prvků, které v obvodu neplní žádnou funkci, ale mají pouze zlepšit mechanickou soudržnost a odolnost celkového zapojení.

1.4 Model tranzistoru

Model je kombinace obvodových veličin, pečlivě zvolená, aby co nejpřesněji reflektovala reálné chování součástek pod určitými podmínkami. Podle počtu parametrů vzatých v potaz se určuje Level tedy úroveň přesnosti popisu. S klesajícími rozměry tranzistorů a rostoucí komplexností současné modely vydrží jednu, maximálně dvě generace a je neustále potřeba je obnovovat [8]. Pro ilustraci rozdíly mezi Level1, Level2 a Level3 jsou popsány v [9].

1.4.1 Použité modely tranzistoru

Během měření se pracovalo se třemi modely tranzistoru – PSP, EKV, BSIM.

Model EKV

Model vyvinutý v 90. letech (**Enz-Kayal-Vittoz**). Model vyžaduje pouze 18 DC parametrů. Největší nevýhodou EKV je nepřesné modelování pro efekt krátkého kanálu. Toto je případ pro fixní proud, kde délka hradla byla nastavena na 1 μ m pro technologie <180nm. Další výhodou EKV je jeho přesnost v nízké a střední inverzi. Model EKV a jeho porovnání s BSIM je podrobněji popsáno v [9]. Obecně se dá považovat, že v porovnání s BSIM neplynou ani pro jeden z modelů vyložené výhody, které by měli jeden, či druhý model výrazně znevýhodnit v porovnání s druhým pro toto konkrétní měření, a tak se při analýze výsledků bude na oba nahlížet jako na rovné. Efekt, který je však třeba vzít v potaz je ten, že model EKV nezahrnuje DIBL efekt.

Model BSIM

(**Berkley-Short-Channel-IGFET-Model**) Při klesajících rozměrech tranzistorů narůstá komplexnost jejich rovnic. Je těžké pro tyto rovnice najít fyzikálně smysluplné rovnice, co se dají efektivně vyřešit. Model BSIM zavádí řadu parametrů, které zjednodušují řadu výpočtů, avšak za cenu ztráty přehledu o skutečné funkčnosti zařízení. BSIM zavádí pro řadu závislost na geometrii podle obecné rovnice (1.12), kde P_0 je hodnota parametru pro dlouhý a široký tranzistor, $W_{\text{eff}}, L_{\text{eff}}$ efektivní šířka a délka respektive, α_p a β_p jsou rozměrové parametry (fitting parametrs)

$$P = P_0 + \frac{\alpha_p}{W_{\text{eff}}} + \frac{\beta_p}{L_{\text{eff}}}. \quad (1.12)$$

Výhodou modelu BSIM je to, že popisuje přesněji efekty krátkého kanálu tranzistoru než model EKV. Jeho největší nevýhodou je přílišná komplikovanost. Oproti 18 DC parametrům u EKV je BSIM modelován 50-100 DC parametry. Velkou výhodou je modelování CML a DIBL.

Model PSP

PSP Model je nejnovější z modelů. Kombinuje parametry modelů SP a MM11. Kvůli jeho specifickým vlastnostem bude považován za nejpřesnější. Ve stejném článku jsou blíže rozepsány výhody modelu. Díky svým vlastnostem je model nejvhodnější pro modelování 90 a 65nm technologie.

1.4.2 Modelování neshodnosti tranzistoru v nadprahovém napětí

Tranzistor s napětím $U_{GS} \geq U_{TH}$ při běžném provozu operuje v silné inverzi. Tranzistor je v této oblasti dobře definovaný, podle obrázku 6 je závislost I_D na U_{GS} kvadratická, což je snazší pro

modelování, než exponenciální závislost pro $U_{GS} \leq U_{TH}$. Neshodnost tranzistoru v tomto režimu podléhá Pelgromově zákonu [8]. Prahové napětí v tomto případě je definováno podle rovnice (1.13), kde U_{TH} je prahové napětí, N_{sub} intenzita dotace substrátu, U_{fb} flat-band voltage [9]. Zanedbají-li se náhodné jevy při fyzickém modelování (layoutu) a při výrobě, mohou být parametry v rovnici (1.13) rozděleny na náhodnou a fixní složku

$$U_{TH} = U_{fb} + 2U_T \ln\left(\frac{N_{sub}}{n_i}\right) + t_{ox} \sqrt{N_{sub} \ln\left(\frac{N_{sub}}{n_i}\right) \frac{2}{\epsilon_{ox}}} \sqrt{qU_T \frac{\epsilon_{si}}{\epsilon_0}}. \quad (1.13)$$

Pokud se zanedbá náhodná složka, dá se kvadratická odchylka proudu $\sigma^2 I_D$ zapsat podle rovnice (1.14)

$$\sigma^2 I_D = \left(\frac{\sigma I_D}{\sigma U_{fb}}\right)_N^2 \sigma_{U_{fb}}^2 + \left(\frac{\sigma I_D}{\sigma t_{ox}}\right)_N^2 \sigma_{t_{ox}}^2 + \left(\frac{\sigma I_D}{\sigma N_{sub}}\right)_N^2 \sigma_{N_{sub}}^2 + \left(\frac{\sigma I_D}{\sigma \mu_0}\right)_N^2 \sigma_{\mu_0}^2 + \left(\frac{\sigma I_D}{\sigma W}\right)_N^2 \sigma_W^2 + \left(\frac{\sigma I_D}{\sigma L}\right)_N^2 \sigma_L^2. \quad (1.14)$$

Pokud do rovnice zavedeme náhodné odchylky ($A_{N_{sub}}, A_{t_{ox}}, A_{U_{fb}}, A_{\mu}, A_W, A_L$), můžeme tyto parametry na velikosti podle Pelgromova zákona [10] přepsat do soustavy rovnic (1.15) [8]. Z rovnice (1.15) vyplývá, že náhodná odchylka je nepřímo úměrná ploše sledovaného tranzistoru

$$\sigma_{U_{fb}}^2 = \frac{A_{U_{fb}}^2}{WL}; \sigma_{t_{ox}}^2 = \frac{A_{t_{ox}}^2}{WL}; \sigma_{N_{sub}}^2 = \frac{A_{N_{sub}}^2}{WL}; \sigma_{\mu_0}^2 = \frac{A_{\mu_0}^2}{WL}; \sigma_W^2 = \frac{A_W^2}{WL}; \sigma_L^2 = \frac{A_L^2}{WL}. \quad (1.15)$$

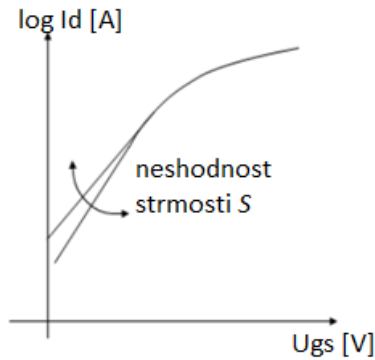
Pelgrom použil podobný přístup, ale zanedbal závislost U_{TH} na C_{OX} a došel tedy ke zjednodušenému tvaru uvedenému v rovnici (1.16)

$$\sigma_{\frac{\Delta I_{dn}}{I_{dnm}}}^2 = \left(\frac{2}{WL}\right) \left(\frac{4A_{U_{TH0}}^2}{U_{EB}^2} + A_{C_{OX}}^2 + A_{\mu}^2 + \frac{A_W^2}{W} + \frac{A_L^2}{L}\right). \quad (1.16)$$

Fixní neshodnost se tedy v modelu tranzistoru definuje podle jasně definované soustavy rovnic. Náhodná neshodnost na druhou stranu pracuje s rozsahem neshodnosti danou výrobní technologií a ověřenou reálným měřením. Fixně daná proměnná v rovnicích popisující náhodnou neshodnost je součin plochy tranzistoru WL .

1.4.3 Modelování neshodnosti tranzistoru v podprahovém napětí

Tranzistor s napětím $U_{GS} < U_{TH}$ operuje ve slabé inverzi. Závislost proudu I_D na U_{GS} je v tomto případě exponenciální (viz. obrázek 12).

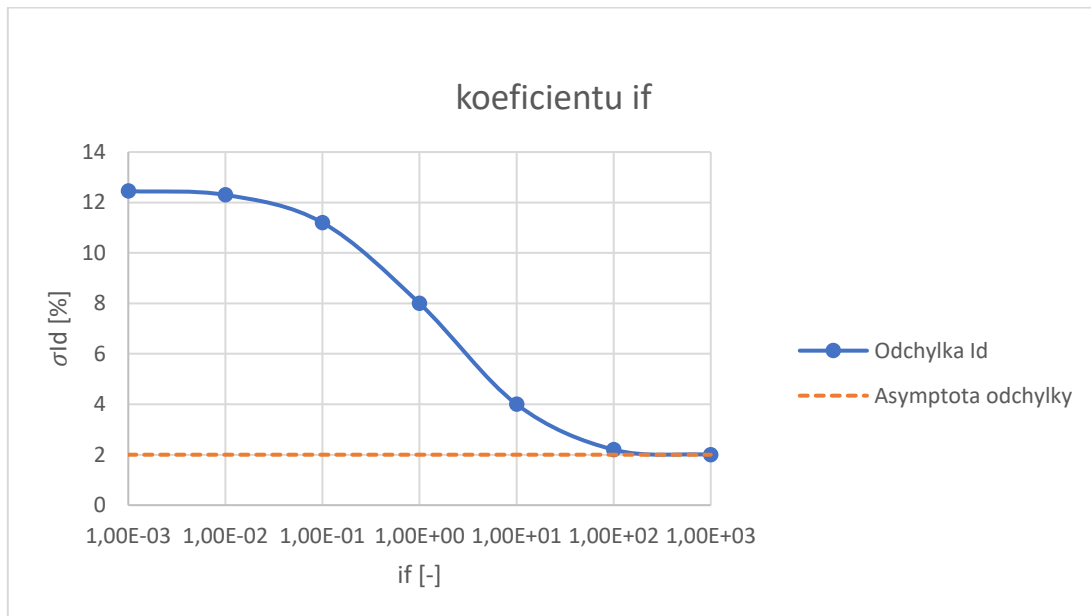


Obrázek 12 - Neshodnost strmosti S

V takovémto případě se určuje neshodnost strmosti S (viz. obrázek 12). Neshodnost strmosti S nepodléhá Pelgromově zákonu a je nezávislá na velikosti. V tomto případě je důležité, jestli má tranzistor délku hradla $L \geq L_c$ (L_c = kritická délka). V tomto případě, je neshodnost strmosti S způsobena odchylkami prahového napětí σU_{TH} . Pokud je $L \leq L_c$, potom můžeme sledovat prudký nárůst neshodnosti strmosti S. Toto je způsobeno tím, že tranzistory s krátkým kanálem jsou více náchylné na LER (**L**ine-**E**dge-**R**oughness) defekty, než tranzistory s dlouhým kanálem [5]. Stejně jako modelování neshodnosti tranzistoru v silné inverzi, je i zde využito při psaní modelu rozsahu neshodnosti získaného praktickým měřením.

Při simulaci neshodnosti je nejčastěji využíváno simulace Monte Carlo. V této simulaci je každý parametr tranzistoru vynásoben určitým parametrem p jehož rozsah je určen technologií a jeho konkrétní velikost je určena pro každý běh generátorem semi-náhodných čísel.

Podle Pelgromova zákona (viz. graf 1) je odchylka proudu I_D přímo závislá na míře inverzního koeficientu $i_f[-]$.



Graf 1 - Závislost odchylky drainového proudu I_D na inverzním koeficientu i_f

1.5 Metodika měření

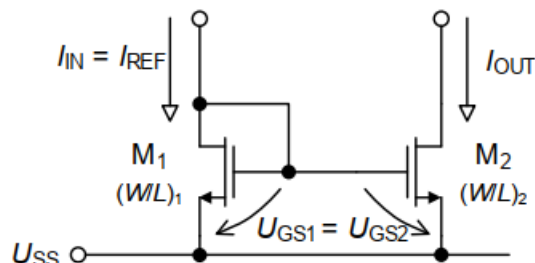
Pro porovnání neshodnosti tranzistorů bylo simulováno 7 modelů tranzistorů označených A-G z různých technologií. Všechny tranzistory byly měřeny v konfiguraci TT (Typical-Typical), tzn. pro oba tranzistory (PMOS, NMOS) byly zvoleny typické hodnoty. Další možné konfigurace jsou S (slow) a F (fast).

Tabulka 1 - Zkoumané modely tranzistorů a jejich technologie

označení tranzistoru	model	technologie [nm]
A	ekv26	180
B	ekv3	180
C	ekv302em	180
D	ekv302	110
E	bsim4	180
F	bsim3v3	130
G	psp103	110

1.5.1 Simulované parametry

Jako obvod pro simulování neshodnosti bylo zvoleno jednoduché proudové zrcadlo, kdy tranzistorem M_1 byl zvolen proud I_{IN} 500nA a proud tranzistorem M_2 byl měřen proud I_{OUT} (obrázek 14). Provedeno bylo 1000 měření v analýze Monte Carlo a byla ustanovena standardní odchylka I_{IN} proti I_{OUT} .



Obrázek 13 - Proudové zrcadlo pro simulování neshodnosti proudu I_D

Pro výpočet proudu bylo nutné ustanovit jednu hodnotu prahového napětí U_{TH} a parametru β . Při simulaci většina modelů kromě tranzistoru C vykazovala různé hodnoty prahového napětí pro různé hodnoty I_D . Protože hodnota prahového napětí U_{TH} je dána hlavně výrobním procesem a je nezávislá na hodnotě I_D , musela být tedy vytvořena metoda, jak z výsledných hodnot najít tu nejpřesnější možnou hodnotu U_{TH} . K tomu lze využít parametru β .

Protože byly použity stejné rozměry pro tranzistor, dá se předpokládat, že i parametr β bude stejný pro všechna měření. Při dosazení výchozího proudu jako I_D do rovnice zjistíme, že i parametr β se mění pro různá U_{TH} .

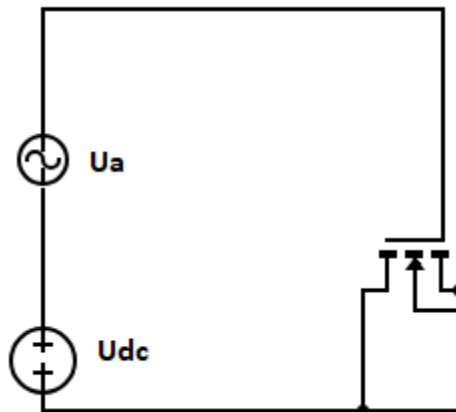
Důležitý faktor pro měření a vyhodnocování výsledků byl inverzní koeficient i_f . Tranzistor byl měřen ve slabé inverzi $i_f = 0.1[-]$ a silné inverzi $i_f = 10[-]$. Vlastnosti tranzistoru nejsou zcela přesně definovány pro velmi slabou inverzi, (obecně $i_f < 7[-]$) ani příliš silnou inverzi (přibližně

$i_f > 100[-]$), liší se podle modelu). V tomto rozmezí byl stanoven aktivní rozsah i_f , ve kterém byl parametr β hledán. Modely vykazovali různou odchylku ve velmi silné inverzi, a proto se aktivní rozsah liší u modelů. Obecně byl hledán tak, aby kvadratická odchylka parametru β nepřekročila 10 %. Inverzní koeficient je určen jak proudem I_D tak poměrem stran W/L podle rovnice (1.9).

V prvním případě se pracovalo s fixní plochou $10\mu\text{m}^2$ a pro $I_D = 500\text{nA}$ byl hledán poměr stran, který by splňoval požadavky na $i_f = (0.1; 10[-])$. V druhém případě byl tranzistor zvolen o fixní velikosti $1\mu\text{m}^2$ s poměrem stran $W/L = 1$. Pro tento případ je potřeba uvést tzv. Pelgromův zákon, který se vztahuje na poměr odchylek ku ploše.

1.5.2 Měření kapacity C_{OX} pro jednotlivé modely

Jelikož v teorii je uvedeno, že kapacita C_{OX} má vliv na neshodnost a její modelování, je potřeba ji co možná nejpřesněji určit. Toho může být dosaženo z rovnice (1.4.). Ne všechny modely tranzistoru měly dobře dostupné textové verze modelů, ze kterých by mohla být extrahovaná tloušťka hradlového oxidu. Pro tyto případy byl vytvořen jednoduchý obvod (obrázek 15). Kapacitu hradlového oxidu bylo také nutné zjistit, aby mohla být později určena hodnota podle rovnice (1.3 a 1.4.).



Obrázek 14 - Obvod pro simulaci kapacity

Tabulka 2 - Hodnoty veličin v simulovaném obvodu pro extrakci kapacity

Veličina	Hodnota
U_A - superponovaná střídavá složka [V]	10mV
U_{DC} – stejnosměrná složka napětí [V]	1 V
f – frekvence střídavé složky U_A [Hz]	10 kHz
W/L – poměr šířky a délky tranzistoru [-]	1

Obvod je tvořen jedním NMOS tranzistorem se zkratovaným source and drain. Ke zdroji stejnosměrného napětí U_{DC} byl superponován zdroj střídavého napětí s amplitudou U_A a s frekvencí f . Tranzistor v tomto zapojení imituje kapacitor C_T , jehož velikost se dá zapsat podle rovnice (1.17)

$$C_T = \frac{I_{\text{měřený}}}{U_A * 2\pi f} \quad (1.17)$$

Hodnota simulované kapacity byla extrahovaná z obvodu uvedeného na obrázku 15. Vypočtená kapacita byla podle rovnice (1.17). Tloušťka hradlového oxidu byla uvedena v modelu tranzistoru. Výjimkou jsou tranzistory D a G označeny v tabulce 3 hvězdičkou. V tomto případě nebyl údaj v modelu k dispozici. Hodnota vypočtené kapacity je tedy aritmetický průměr simulované hodnoty PMOS a NMOS (pro tranzistory D a G) a tloušťka oxidu inverzně spočtena podle rovnice (pro tranzistory A-F) (1.4).

Tabulka 3 - Simulované a vypočítané kapacity pro jednotlivé modely

Název modelu	Simulovaná kapacita NMOS [fF/ μm^2]	Simulovaná kapacita PMOS [fF/ μm^2]	Vypočtená kapacita [fF/ μm^2]	Průměrná kapacita PMOS/NMOS [fF/ μm^2]	Tloušťka oxidu [nm]
A – ekv26	8,91	8,28	7,65	8,60	4,51
B – ekv302	8,80	8,12	7,65	8,46	4,51
C – ekv302em	8,79	8,15	7,65	8,47	4,51
E – bsim3v3	8,32	8,71	8,67	8,52	3,98
F – bsim4	10,36	10,64	9,86	10,5	3,50
*D – ekv302	12,70	12,41	12,6	12,6	2,75
*G – psp103	10,69	10,95	10,8	10,8	3,19

1.5.3 Výpočet parametru β

Při návrhu tranzistoru se dá velikost parametru β ovlivnit volbou poměru stran W/L a kapacitou hradlového oxidu C_{OX} . Velikost parametru β je závislá i na pohyblivosti nosičů v kanálu μ_0 . Tu ale během designu nejde ovlivnit a je dána výrobními procesy. Jelikož model tento údaj neposkytoval a velikost β měla být stanovena prakticky, využilo se pro jeho určení rovnice 1.7. Hodnota proudu ze I_D byla zvolena v rozsahu od 1-300 μA . Pro tento rozsah proudu má tranzistor inverzní koeficient v rozsahu 0,1 do řádu stovek. Tranzistory pro různé hodnoty drainového proudu I_D vykazovaly různé hodnoty prahového napětí. Jelikož hodnota prahového napětí je nezávislá na proudu I_D a tedy by se neměla měnit s měnícím se I_D . Rovnice (1.6) byla použita pro výpočet parametru β . Poměr W/L byl zvolen 1 pro tuto aplikaci. Namísto U_{TH} byla použita hodnota modifikovaného prahového napětí U_{TM} .

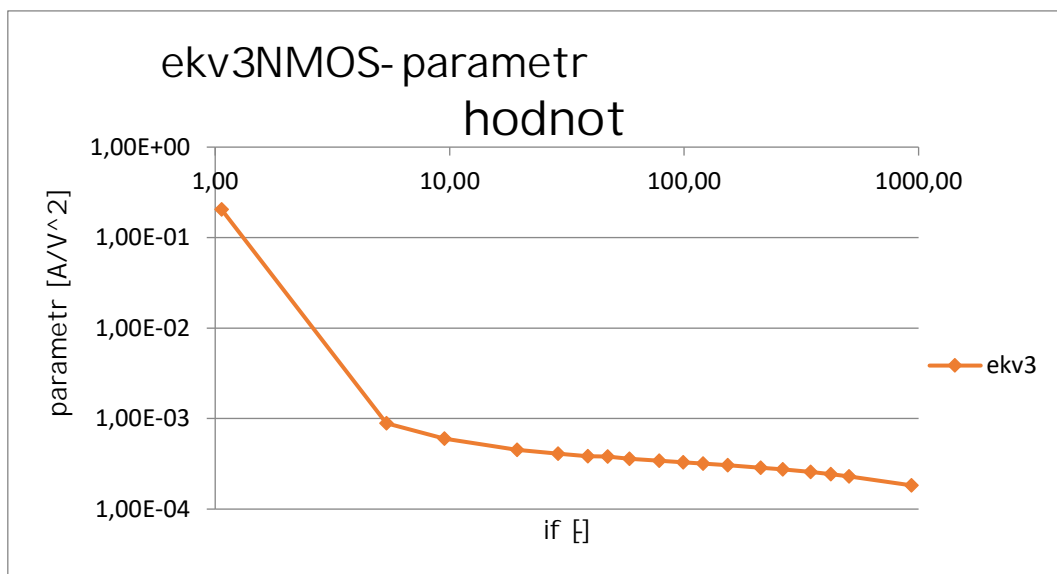
1.5.4 Modulace prahového napětí

Jak již bylo řečeno, na simulovaném rozsahu se hodnota prahového napětí U_{TH} měnila, což by se s měnícím se I_D nemělo dít. Při dosažení těchto měnících se hodnot U_{TH} do rovnice (1.6) se měnil i parametr β (viz. graf 1). Jelikož hodnota parametru β by měla být fixní v oblasti saturace, byla tedy zvolena modifikovaná hodnota prahového napětí U_{TM} . Hodnota tohoto napětí byla určena tak, aby odchylka parametru β pro silnou inverzi byla co nejmenší. Hodnoty parametru β byly porovnány s měnícím se I_D . Pro tyto hodnoty byla ustanovena kvadratická odchylka. Poté se hledala taková hodnota U_{TH} pro kterou bude součet odchylek co nejmenší $\rightarrow U_{TM}$. Tato

hodnota bude uvažována za prahové napětí. Pro přehlednost bude v případě použití v rovnici označena U_{TM} .

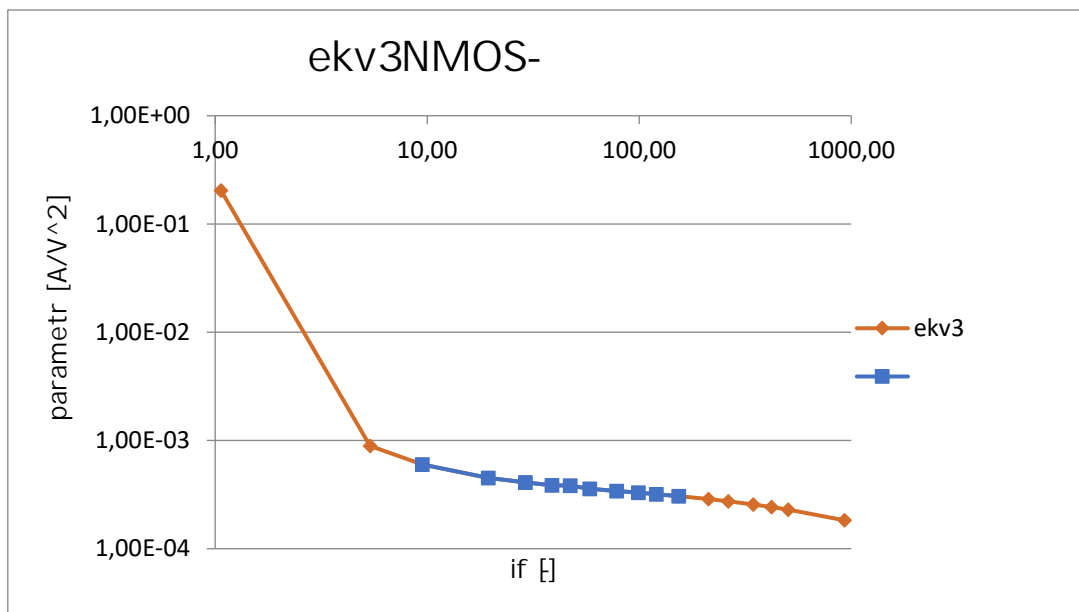
Při extrémně silné inverzi ($i_f > 300$) dochází k parazitním jevům, např. k elektronové migraci. Proto byl zvolen tzv. aktivní rozsah parametru β (viz. graf 3). Tento aktivní rozsah byl zvolen v rozmezí $i_f = 7 - 150[-]$. Hodnota aktivního rozsahu byla zvolena tak, aby při neměnicí se hodnotě U_{TH} dané modelem byla odchylka $\pm 10\%$. Jako referenční hodnota parametru β pro $i_f = 10[-]$. Jako příklad byla uveden model ekv3. V případě ekv3 byla však zvolena referenční hodnota $i_f = 20[-]$. Hodnota $i_f \approx 10$ byla v tomto případě také zahrnuta. V případě ekv3 pro referenční hodnotu $i_f = 10[-]$ nesplňovala žádná další hodnota kritérium $\pm 10\%$.

V tabulkách 4 a 5 je uvedeno modifikované prahové napětí U_{TM} a průměr všech prahových napětí U_{TH} daných modelem. V tabulkách 4 a 5 se můžeme přesvědčit, jak velká modifikace byla zapotřebí, aby prahové napětí odpovídalo požadavkům.



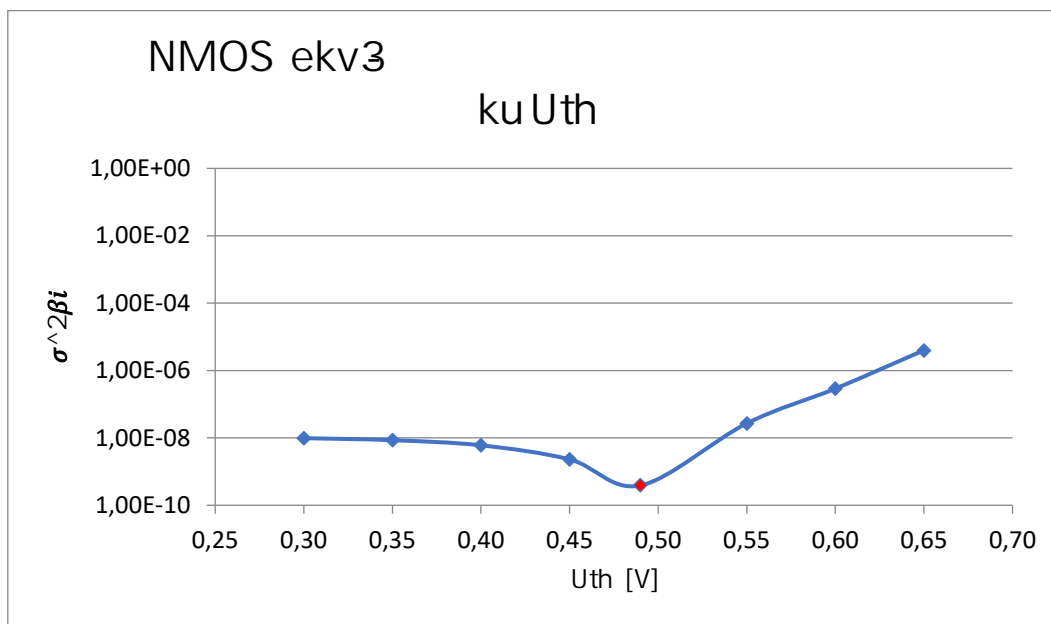
Graf 2 - Parametr β pro hodnoty U_T dané modelem

Bez aplikování jakýchkoliv úprav je vidět, že modelování koeficientu je velmi silně závislé na tom, v jak silné inverzi se tranzistor nachází.



Graf 3 - Příklad určení aktivního rozsahu

Na grafu 3 je znázorněn příklad aktivního rozsahu pro NMOS ekv3. Na tomto rozsahu se poté hledala metodou nejmenších čtverců nejmenší odchylka parametru β při volitelném napětí U_{TM} . Definice prahového napětí U_{TM} v tomto případě je tedy taková, aby prahové napětí U_{TM} co nejpřesněji definovalo rovnici proudu $I_D(1.7)$.



Graf 4 - Určení U_{TM} pomocí součtu kvadratických odchylek β parametru pro U_T daných modelem

Všechny nově ustanovené hodnoty U_{TM} se nacházely v intervalu mezi nejvyšší a nejmenší hodnotou U_{TH} danou modelem. Nestalo se tedy, že by byla zvolena fyzikálně nesmyslná hodnota, která však odpovídá po matematické stránce.

Z grafu 3 je patrné, že hodnota zvoleného napětí U_{TM} je přesná pro zvolený aktivní rozsah. Odchylka vypočtené a simulované hodnoty nastává ve slabé a extrémně silné inverzi. Tato dvě pásma jsou v této práci upozaděna.

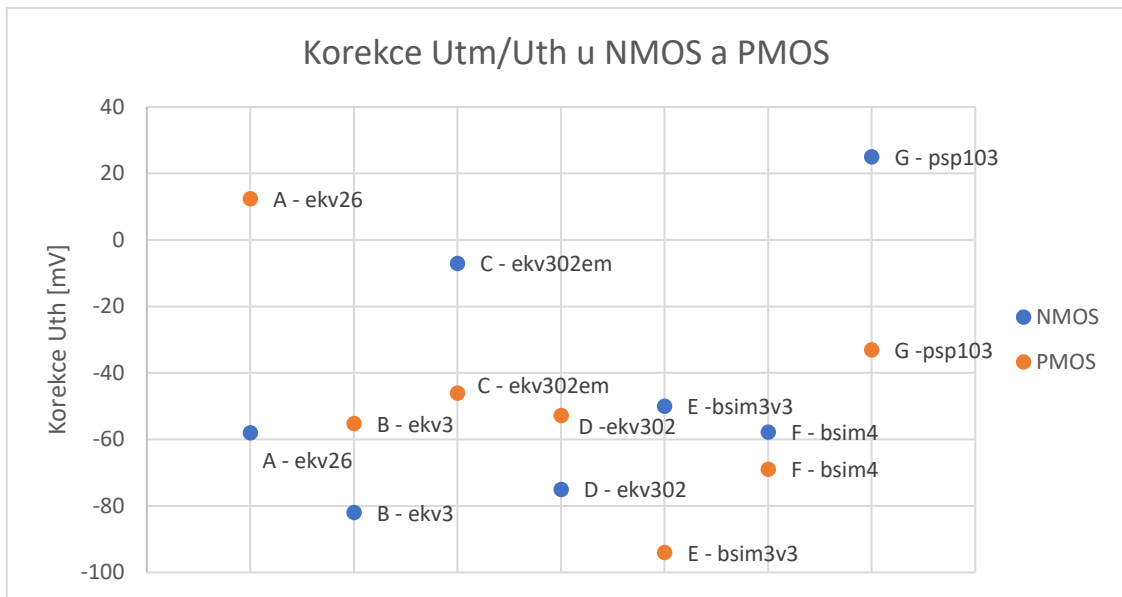
Tabulka 4 - Výsledné hodnoty simulovaných U_{TH} a modifikované U_{TM} NMOS

Model NMOS	U_{TH} [mV]	U_{TM} [mV]	$\Delta U_T(U_{TM} - U_{TH})$ [mV]	Aktivní rozsah	
				I_D [μ A]	I_C [-]
A – ekv26	490,1	432	-58	5 – 100	9,5 – 219
B – ekv3	572,8	490	-82	5 -100	10 – 191
C – ekv302em	501,0	494	-7	5 – 100	10 – 201
D – ekv302	350,4	275	-75	7,5 – 175	9,1 – 219
E – bsim3v3	500	450	-50	5 – 125	8 – 216
F – bsim4	447,8	390	-57,8	5 – 75	6,9 – 100
G – psp103	275	300	25	5 – 120	7,4 – 178

V tomto případě hodnota U_{TH} je průměr hodnot prahových napětí daných modelem pro aktivní rozsah. Hodnota U_{TM} pro každý model byla potom s touto průměrnou hodnotou U_{TH} porovnána a na grafu 5 byla vynesena korekční křivka $U_{TM} - U_{TH}$ pro jednotlivé modely.

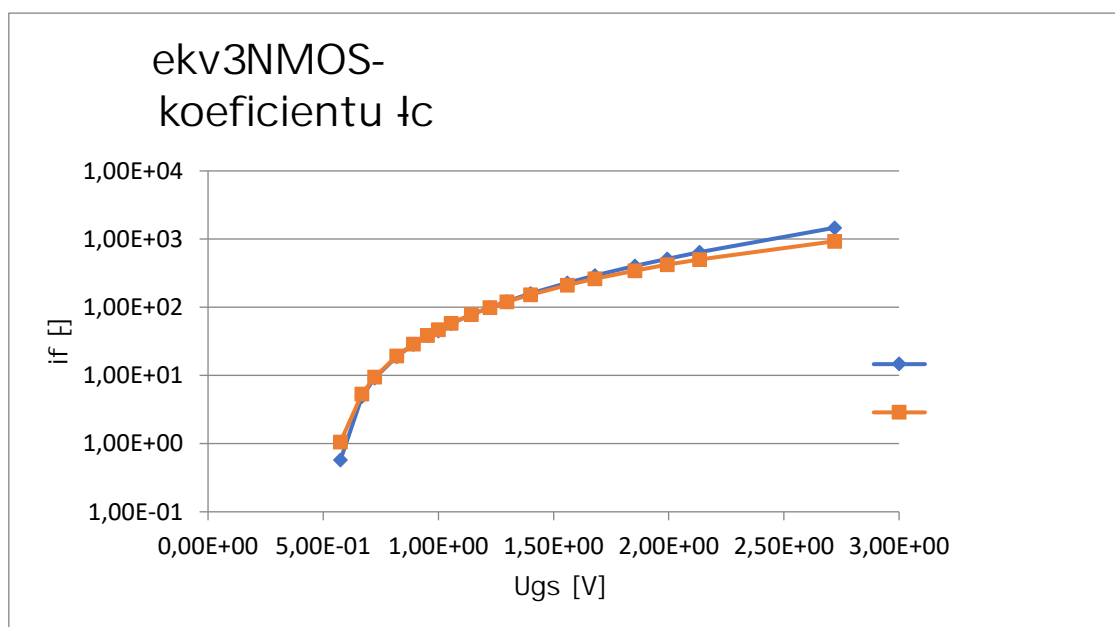
Tabulka 5 - Výsledné hodnoty simulovaných U_{TH} a modifikované U_{TM} PMOS

Model PMOS	U_{TH} [mV]	U_{TM} [mV]	$\Delta U_T(U_{TM} - U_{TH})$ [mV]	Aktivní rozsah	
				I_D [μ A]	I_C [-]
A – ekv26	487,6	500,0	12,4	1-75	10 – 756
B – ekv3	545,2	490,0	-55,2	1,25 – 25	10,9 – 175
C – ekv302em	547,0	501,0	-46,0	1,25 – 50	9,7 – 232
D – ekv302	572,8	520,0	-52,8	1 – 50	10,9 – 548
E – bsim3v3	494,0	400,0	-94,0	1,5 – 50	13,8 – 460
F – bsim4	419,0	350,0	-69,0	1,5 – 30	10,3 – 206
G – psp103	433,0	400,0	-33,0	2 - 40	9,3 – 187

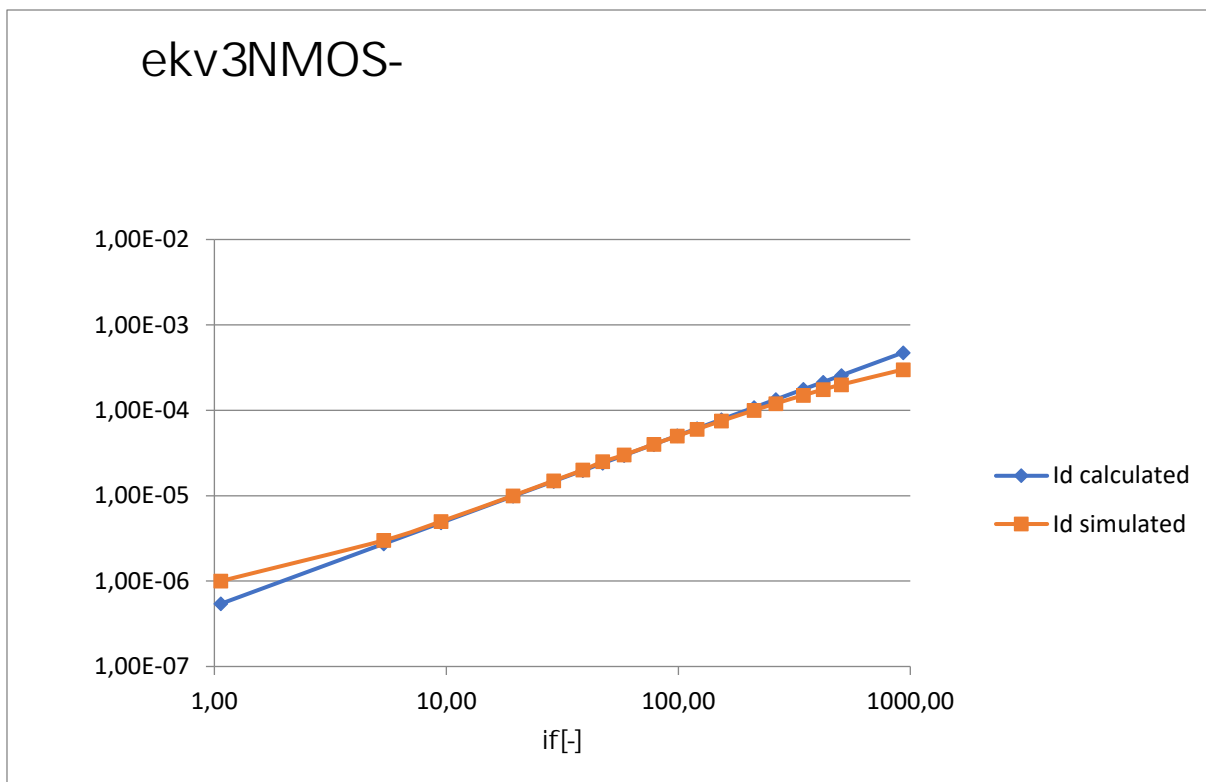


Graf 5 - Korekce prahových napětí pro různé modely-NMOS/PMOS

Je-li možné toto nově získané prahové napětí U_{TM} používat ve výpočtech bez výrazné chyby. Byla tato nově získaná hodnota prahového napětí U_{TM} dosazena do rovnice 1.7. namísto U_{TH} a výsledné hodnoty drainového proudu I_D byly proloženy se simulovanými hodnotami v grafech 6 a 7.

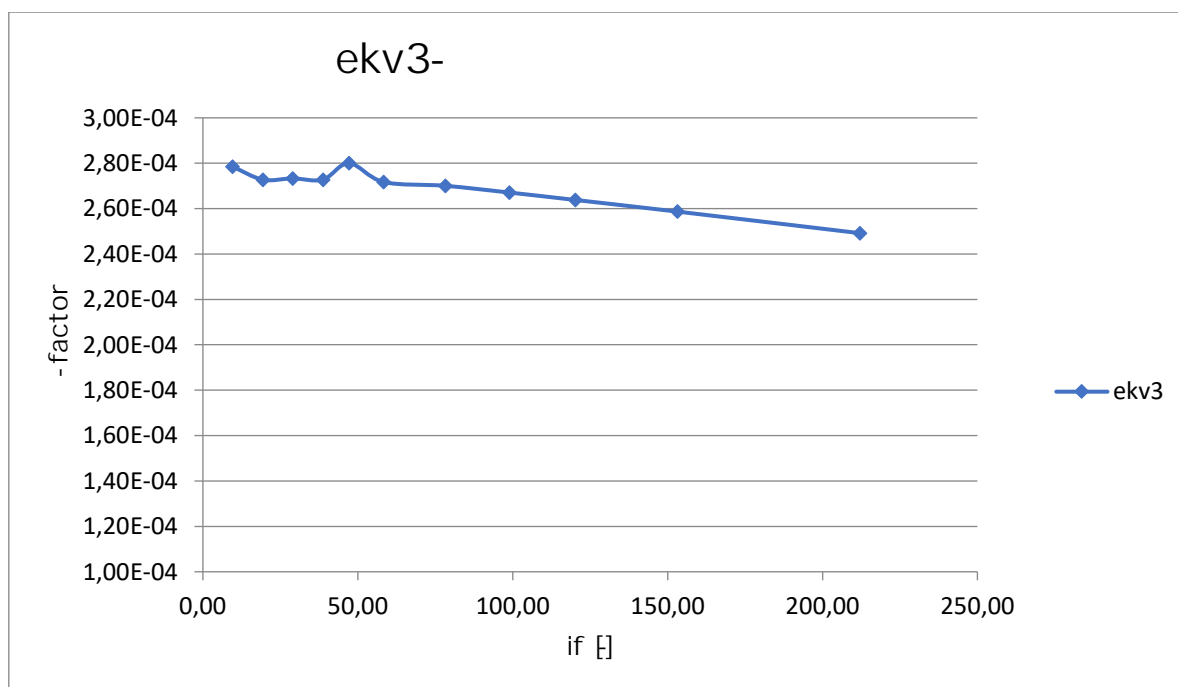


Graf 6 - Závislost I_C/U_{GS} pro simulované a inverzně vypočítané hodnoty



Graf 7 - Závislost drainového proudu I_D na inverzním koeficientu i_f , vypočtené a simulované hodnoty

Z grafu 6 je vidět, že pro extrémní hodnoty inverzního koeficientu skutečně dochází ke znatelným odchylkám mezi vypočtenou a simulovanou hodnotou. Nicméně pro zvolený aktivní rozsah, tedy střed grafu je přesnost dostatečná.



Graf 8 - Odchylka parametru β modifikovaného prahového napětí U_{TM} na i_f

Podle grafu 3 lze vyzorovat, že na aktivním rozsahu parametr β méně kolísá. Nutno podotknout, že tato metoda určení prahového napětí je velice „hrubá“, nicméně nabízí dostatečnou přesnost a umožňuje sjednotit různé hodnoty U_{TH} dané modelem do jedné přijatelně přesné hodnoty.

Pokud se vyjde z teorie a z rovnice (1.3), hodnota parametru β by měla být pro NMOS odhadem 3 - 4x vyšší než pro PMOS. Obecně se uvádí, že hybnost elektronů je $\sim 3.2x$ větší než hybnost děr.

Tabulka 6 - Porovnání parametru β pro NMOS a PMOS tranzistory

Model	parametr β NMOS [$\mu\text{A}/\text{V}^2$]	parametr β PMOS [$\mu\text{A}/\text{V}^2$]	Poměr parametru β NMOS/PMOS
A – ekv26	264	56,3	4,63
B – ekv3	258	56,2	4,92
C – ekv302em	250	53,3	4,88
D – ekv302	404	44,5	7,84
E – bsim3v3	233	54,2	5,25
F – bsim4	349	63,9	5,0
G – psp103	367	107,2	3,42

2 SIMULACE NESHODNOSTI

Zadané modely byly simulovány jako proudové zrcadlo (viz. obrázek 14) pro silnou a slabou inverzi. Simulace proběhla s pomocí analýzy Monte Carlo s 1000 běhy. Pro silnou inverzi byl zvolen inverzní koeficient $i_f = 10$ a pro slabou inverzi $i_f = 1$

2.1 Simulace s inverzním koeficientem nastaveným poměrem šířky a délky

Z rovnice (1.9) vyplývá, že jediné parametry inverzního koeficientu, které jsou ovlivnitelné návrhem, je poměr šířky a délky tranzistoru (W/L [-]) a drainový proud I_D . Rozměry tranzistoru byly zvoleny na $10 \mu\text{m}^2$ a poměr šířek a délek byl zvolen tak, aby odpovídal zvoleným hodnotám inverzního koeficientu pro silnou a slabou inverzi. Napětí U_T bylo uvažováno 26 mV a koeficient $n = 1.4$.

Tabulka 7 - Rozměry modelů tranzistorů NMOS pro slabou inverzi

Model NMOS slabá inverze	$\beta[\mu\text{A}/\text{V}^2]$	W/L [-]	W [μm]	L [μm]
A – ekv26	261	0,099	1	10
B – ekv3	267	0,101	1	10
C – ekv302em	270	0,102	1	10
D – ekv302	445	0,168	1,29	7,71
E – bsim4	304	0,115	1,07	9,32
F – bsim3v3	383	0,145	1,20	8,30
G – psp103	367	0,139	1,18	8,48

Tabulka 8 - Rozměry modelů tranzistorů NMOS pro silnou inverzi

Model NMOS slabá inverze	$\beta[\mu\text{A}/\text{V}^2]$	W/L [-]	W [μm]	L [μm]
A – ekv26	261	10,00	10	1
B – ekv3	267	10,00	10	1
C – ekv302em	270	10,00	10	1
D – ekv302	445	16,85	12,9	0,77
E – bsim4	304	11,51	10,5	0,95
F – bsim3v3	383	14,50	11,9	0,83
G – psp103	367	13,90	11,8	0,85

Tabulka 9 - Rozměry modelů tranzistorů PMOS pro slabou inverzi

Model PMOS slabá inverze	$\beta[\mu\text{A}/\text{V}^2]$	W/L [-]	W [μm]	L [μm]
A – ekv26	56,3	2,13e-2	0,46	21,67
B – ekv3	54,2	2,05e-2	0,45	22,21
C – ekv302em	55,3	2,09e-2	0,45	21,87
D – ekv302	56,4	2,13e-2	0,46	21,67
E – bsim4	57,9	2,19e-2	0,46	21,37
F – bsim3v3	76,6	2,90e-2	0,54	18,57
G – psp103	107,3	4,05e-2	0,63	15,71

Tabulka 10 - Rozměry modelů tranzistorů PMOS pro silnou inverzi

Model PMOS slabá inverze	$\beta[\mu\text{A}/\text{V}^2]$	W/L [-]	W [μm]	L [μm]
A – ekv26	56,3	2,13	4,61	2,17
B – ekv3	54,2	2,05	4,51	2,21
C – ekv302em	55,3	2,09	4,56	2,19
D – ekv302	56,4	2,14	4,61	2,17
E – bsim4	57,9	2,19	4,66	2,14
F – bsim3v3	76,6	2,90	5,42	1,84
G – psp103	107,3	4,05	6,32	1,58

Tabulka 11 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním drainovým proudem I_D , NMOS

Model (NMOS)	Parazitní kapacita C_{para} [$\text{fF}/\mu\text{m}^2$]	σI_D silná inverze [%]	σI_D slabá inverze [%]
A – ekv 26	8,9	2,69	8,62
B – ekv3	8,8	2,02	5,58
C – ekv302em	8,8	2,06	7,34
D – ekv302	10,7	0,87	3,07
E – bsim4	8,3	1,01	2,9
F – bsim3v3	10,3	1,76	4,56
G – psp103	12,7	3,95	9,41

Tabulka 12 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním drainovým proudem I_D , PMOS

Model (PMOS)	Parazitní kapacita C_{para} [$\text{fF}/\mu\text{m}^2$]	σI_D silná inverze [%]	σI_D slabá inverze [%]
A – ekv 26	8,28	2,02	6,64
B – ekv3	8,11	1,90	5,98
C – ekv302em	8,149	1,49	4,80
D – ekv302	10,95	1,12	2,83
E – bsim4	8,705	1,42	3,68
F – bsim3v3	10,64	1,76	3,89
G – psp103	12,41	3,68	6,1

2.2 Simulace s inverzním koeficientem i_f nastaveným drainovým proudem I_D

Další parametr, který ovlivňuje velikost inverzního koeficientu je drainový proud I_D . Pro další měření byl poměr šířky a délky $W/L = 1$ a plocha byla určena na $10 \mu\text{m}^2$. Tranzistory byly testovány za stejných podmínek jako v případě modulační poměrem šířky a délky W/L . Výsledky těchto simulací jsou zaznamenány v tabulkách 13 a 14.

Tabulka 13 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním poměrem šířky a délky a proměnlivým proudem I_D , NMOS

Model (NMOS)	Drainový proud I_D při silné inverzi [μA]	Drainový proud I_D při slabé inverzi [nA]	σI_D silná inverze [%]	σI_D slabá inverze [%]
A – ekv26	4,99	49,96	0,82	2,69
B – ekv3	4,88	48,83	0,70	1,80
C – ekv302em	4,73	47,30	0,66	2,57
D – ekv302	7,65	76,50	0,30	0,63
E – bsim4	4,41	44,10	0,36	0,92
F – bsim3v3	6,61	66,05	0,65	1,42
G – psp103	6,95	69,46	2,30	5,05

Tabulka 14 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním poměrem šířky a délky a proměnlivým proudem I_D , PMOS

Model (NMOS)	Drainový proud I_D při silné inverzi [μA]	Drainový proud I_D při slabé inverzi [nA]	σI_D silná inverze [%]	σI_D slabá inverze [%]
A – ekv26	1,07	10,67	0,60	1,99
B – ekv3	1,07	10,67	0,59	1,66
C – ekv302em	1,01	10,10	0,48	1,65
D – ekv302	0,84	8,43	0,36	0,94
E – bsim4	1,03	10,27	0,45	1,21
F – bsim3v3	1,21	12,11	0,56	1,33
G – psp103	2,03	20,31	1,84	4,06

Tyto výsledky pro fixní rozměry se musí opravit. Podle rovnice (1.18.) je odchylka drainového proudu I_D nepřímo úměrná odmocnině plochy zkoumaného tranzistoru

$$\sigma I_D = \frac{2A_{VT0}}{\sqrt{WL} * (V_{GS} - U_{TH})^2} \quad (1.18.)$$

Jelikož v tomto případě byl zvoleny jiné rozměry než v případě fixního drainového proudu I_D musí být odchylky podle rovnice patřičně upraveny. V případě ručního výpočtu, by se prahové napětí U_{TH} nahradilo hodnotou modifikovaného prahového napětí U_{TM} . Nicméně jelikož jsou všechny proměnné, s výjimkou plochy (součin WL) stejné, stačí celou rovnici vynásobit pouze $\sqrt{10}$. Hodnoty přepočtených odchylek jsou uvedeny v tabulce 15 pro NMOS a v tabulce 16 pro PMOS. Hodnoty odchylek byly označeny buď s fixním nebo proměnlivým drainovým proudem I_D .

Tabulka 15 - Porovnání odchylky I_D při fixním a inverzním proudu po přepočtu plochy, NMOS

Model (NMOS)	σ_{I_D} pro slabou inverzi, fixní proud [%]	σ_{I_D} pro slabou inverzi, proměnlivý proud [%]	σ_{I_D} pro silnou inverzi, fixní proud [%]	σ_{I_D} pro silnou inverzi, proměnlivý proud [%]
A – ekv26	8,62	8,50	2,69	2,59
B – ekv3	5,58	5,70	2,02	2,21
C – ekv302em	7,34	8,13	2,06	2,08
D – ekv302	3,07	1,99	0,87	0,95
E – bsim4	2,90	2,91	1,01	1,14
F – bsim3v3	4,56	4,49	1,76	2,05
G – psp103	9,41	15,99	3,95	7,27

Tabulka 16 - Porovnání odchylky I_D při fixním a inverzním proudu po přepočtu plochy, PMOS

Model (PMOS)	σ_{I_D} pro slabou inverzi, fixní proud [%]	σ_{I_D} pro slabou inverzi, proměnlivý proud [%]	σ_{I_D} pro silnou inverzi, fixní proud [%]	σ_{I_D} pro silnou inverzi, proměnlivý proud [%]
A – ekv26	6,64	6,26	2,02	1,89
B – ekv3	5,98	5,24	1,90	1,86
C – ekv302em	4,80	5,21	1,49	1,51
D – ekv302	2,83	2,96	1,12	1,14
E – bsim4	3,68	3,82	1,42	1,42
F – bsim3v3	3,89	4,20	1,76	1,77
G – psp103	6,10	7,03	3,68	3,19

Při vyhodnocování parametrů tranzistoru se bude pracovat s hodnotou aritmetického průměru hodnot odchylek drainového proudu σ_{I_D} při fixním i proměnlivém proudu, a to jak pro slabou, tak silnou inverzi. Tato hodnota bude označována jako $Avg\sigma_{I_D}$.

Tabulka 16 - Průměrná hodnota odchylek s fixním a proměnlivým proudem pro silnou a slabou inverzi, NMOS

Model NMOS	$Avg\sigma_{I_D}$ Slabá inverze [%]	$Avg\sigma_{I_D}$ Silná inverze [%]
A – ekv26	8,56	2,64
B – ekv3	5,64	2,16
C – ekv302em	7,74	2,07
D – ekv302	2,53	0,91
E – bsim4	2,90	1,08
F – bsim3v3	4,52	1,91
G – psp103	12,7	5,61

Tabulka 17 - Průměrná hodnota odchylek s fixním a proměnlivým proudem pro silnou a slabou inverzi, PMOS

Model PMOS	Avgσ_{I_D} Slabá inverze [%]	Avgσ_{I_D} Silná inverze [%]
A – ekv26	6,45	1,96
B – ekv3	5,60	1,88
C – ekv302em	5,01	1,50
D – ekv302	2,89	1,13
E – bsim4	3,75	1,42
F – bsim3v3	4,05	1,77
G – psp103	6,57	3,44

3 ZHODNOCENÍ MODELŮ TRANZISTORU

Aby bylo možné objektivně zhodnotit data daná simulací Monte Carlo, je nutné nejprve ustanovit parametry, na základě kterých, budou tranzistory porovnávány.

3.1 Vliv parametru β na neshodnost

V kapitole 1.4 byl matematickou metodou zjištěn parametr β pro každý simulovaný model tranzistoru. Vliv parametru β na odchylku σI_D může být snadno získán kombinací tabulky 3 a tabulek 17 pro NMOS a 18 pro PMOS. Parametr β je součin kapacity C_{OX} a rychlosti nosičů μ_0 z rovnice (1.2) a (1.3). Hodnoty β parametru NMOS a PMOS jsou vybrané z tabulek 6 a 7.

Tabulka 17 - Vliv β parametru na neshodnost-NMOS

Model NMOS	β parametr [$\mu\text{A}/\text{V}^2$]	σI_D slabá inverze [%]	σI_D silná inverze [%]
A – ekv26	264	8,56	2,64
B – ekv3	258	5,64	2,16
C – ekv302em	250	7,74	2,07
D – ekv302	404	2,53	0,91
E – bsim4	233	2,90	1,08
F – bsim3v3	349	4,52	1,91
G – psp103	367	12,7	5,61

Tabulka 18 - Vliv β parametru na neshodnost-PMOS

Model PMOS	β parametr [$\mu\text{A}/\text{V}^2$]	σI_D slabá inverze [%]	σI_D silná inverze [%]
A – ekv26	56,3	6,45	1,96
B – ekv3	56,2	5,6	1,88
C – ekv302em	53,3	5,01	1,50
D – ekv302	44,5	2,89	1,13
E – bsim4	54,2	3,75	1,42
F – bsim3v3	63,9	4,05	1,17
G – psp103	107	6,57	3,44

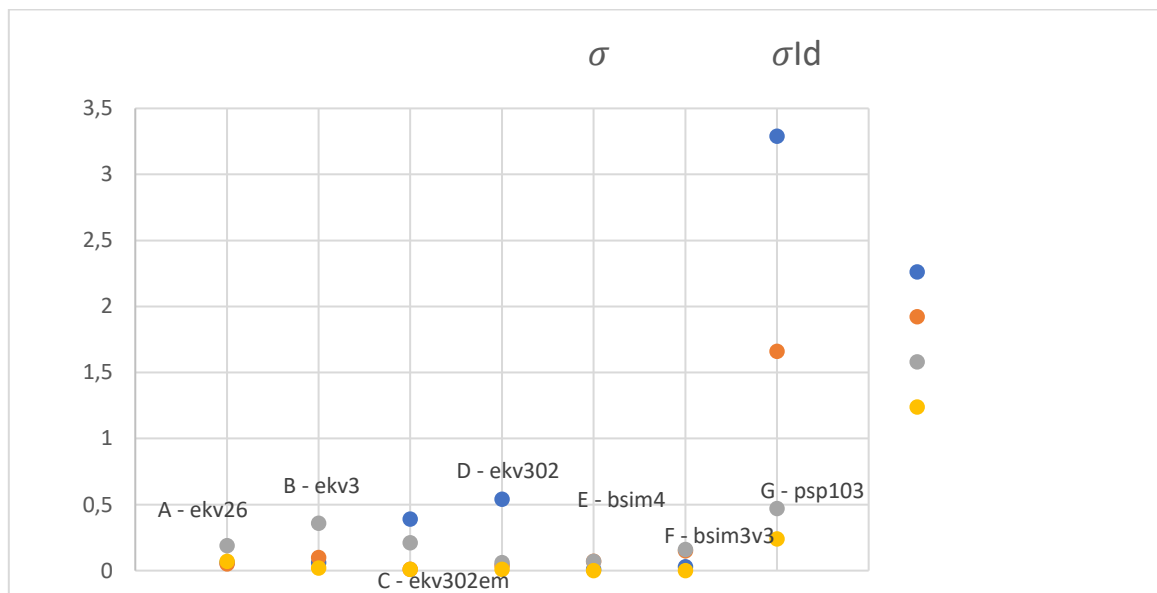
3.2 Srovnání odchylek pro různé vstupní parametry inverzního koeficientu

Při zavedení hodnoty $Avg\sigma I_D$ byly zprůměrovány hodnoty σI_D při fixním i proměnlivém proudu. Výsledné hodnoty σI_D byly simulovány s takovými parametry, aby jejich inverzní koeficient i_f byl stejný. V potaz byl brán Pelgromův zákon o výskytu neshodnosti a ploše (při testování fixního i proměnlivého proudu byla pro oba případy zvolena jiná plocha). Odchylka průměrné hodnoty $Avg\sigma I_D$ od hodnot σI_D je uvedena v tabulce 19. Rozsah σI_D dvojnásobek hodnoty ΔI_D pro patřičný typ tranzistoru a míru inverze.

Tabulka 19 – Odchylka σ_{I_D} oproti $Avg\sigma_{I_D}$

Model	ΔI_D NMOS Slabá inverze [%]	ΔI_D NMOS Silná inverze [%]	ΔI_D PMOS Slabá inverze [%]	ΔI_D PMOS Silná inverze [%]
A – ekv26	0,06	0,05	0,19	0,07
B – ekv3	0,06	0,1	0,36	0,02
C – ekv302em	0,39	0,01	0,21	0,01
D – ekv302	0,54	0,04	0,06	0,01
E – bsim4	0,01	0,07	0,07	0
F – bsim3v3	0,03	0,15	0,16	0
G – psp103	3,29	1,66	0,47	0,24

Do grafu 9 byla vynesena korekční křivka průměrné hodnoty $Avg\sigma_{I_D}$ oproti simulovaným hodnotám σ_{I_D} .

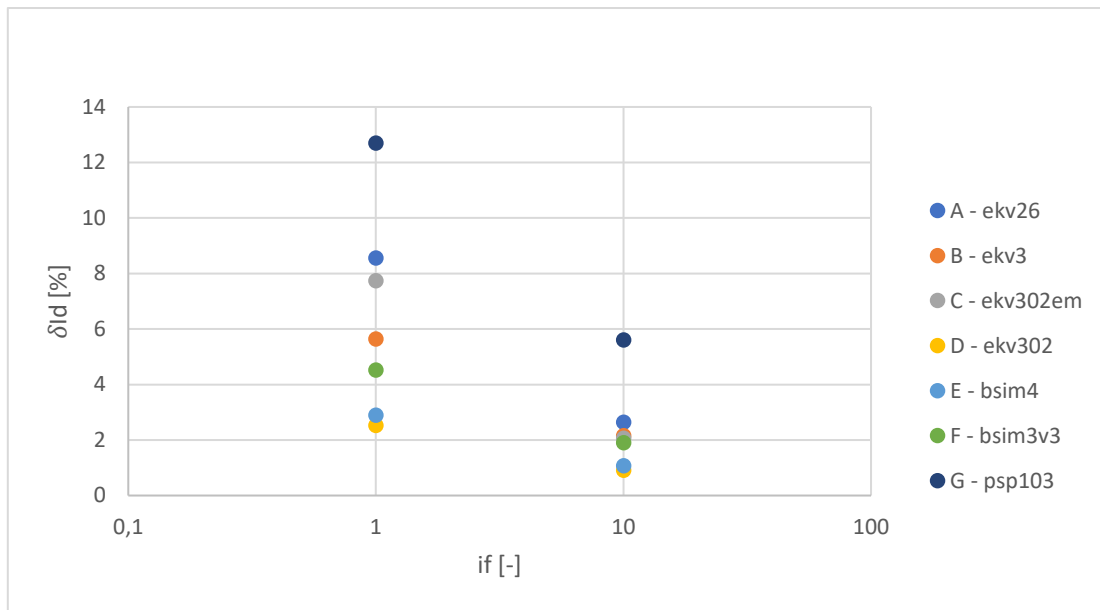


Graf 9 - Korekční křivka

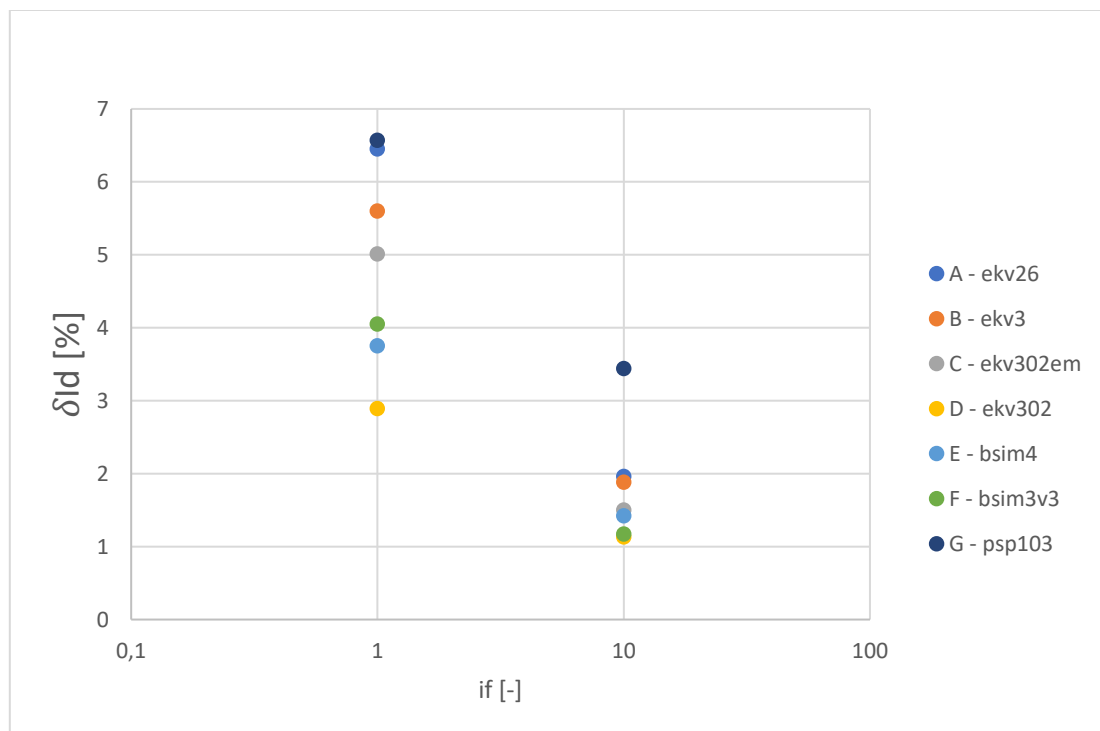
Nehledě na typ tranzistoru, nebo míru inverze, tranzistor **G** vykazoval největší rozptyl hodnot σ_{I_D} pro fixní a proměnlivý proud. V případě NMOS byl rozptyl σ_{I_D} v případě tranzistoru **G** výrazně vyšší než v případě PMOS. V silné inverzi u NMOS ani PMOS nepřesáhl rozptyl hodnotu 0,3 %.

3.3 Hodnoty pro silnou a slabou inverzi

Hodnoty pro silnou i slabou inverzi NMOS i PMOS tranzistorů jsou zobrazeny na grafech. Aby bylo možné porovnání, je zvolena jako referenční charakteristika závislosti použita křivka vyobrazena na grafu 1.



Graf 10 – Odchylka NMOS v silné a slabé inverzi



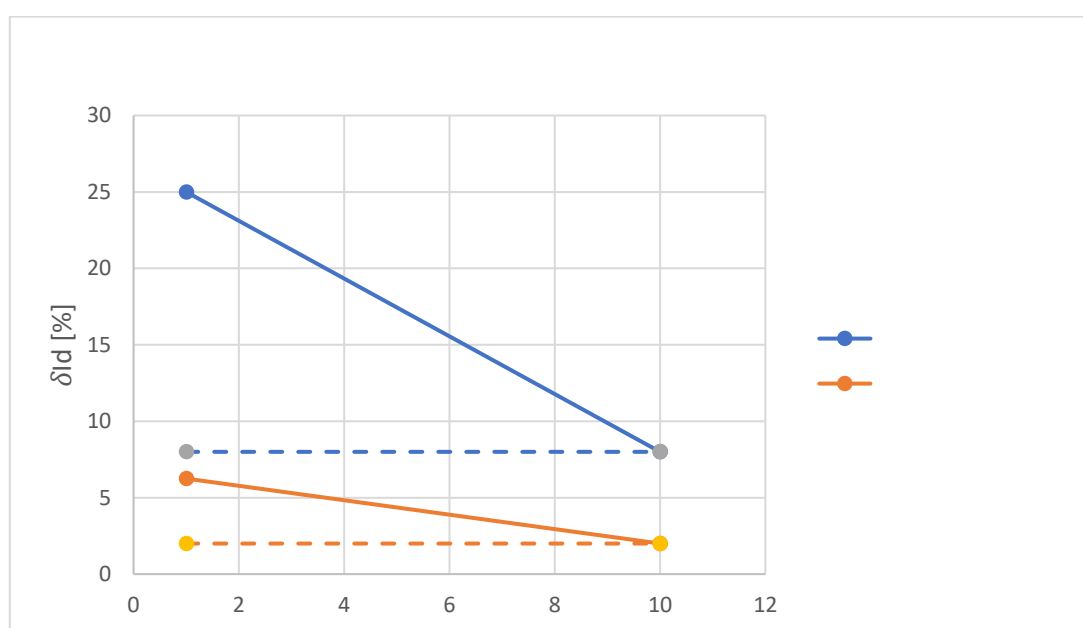
Graf 11 – Odchylka PMOS v silné a slabé inverzi

V doplňujících materiálech ke grafu 1 se nspecifikovalo, pro jakou velikost, ani tloušťku hradlového oxidu platí přesné hodnoty této křivky, proto bude, spíše než porovnání hodnot, porovnan trend pro silnou a slabou inverzi jednotlivých tranzistorů. Provedena byla pouze dvě měření, což umožní zanesení pouze koncových bodů do grafu. Referenční hodnota z grafu 1 je $\sigma I_D \approx 12,5 \%$ pro silnou inverzi a $\sigma I_D \approx 4 \%$. Toto dá poměr $\frac{\sigma I_D - \text{silná}}{\sigma I_D - \text{slabá}} \approx 3,125$, tedy odchylka ve slabé inverzi je pro referenci 3,125x větší než v silné inverzi.

Toto přímé porovnání by však mohlo způsobit to, že tranzistory, které by měly velice silnou odchylku ve slabé inverzi a 3,125x menší odchylku v silné inverzi by neměly stejnou strmost, jako tranzistor s nižší odchylkou ve slabé inverzi.

Na grafu 12 je takovýto případ znázorněn. Byly vytvořeny 2 imaginární tranzistory – přesný a nepřesný. Přesný má odchylku ve slabé a silné inverzi 6,25 % a 2 % respektive a nepřesný 25 % a 8 %. Jak je patrné, úhel α je výrazně větší, než β . V případě, aby byla strmost dvou rozdílných tranzistorů, musí se rozdíl jejich odchylky ve slabé inverzi a silné inverzi vzhledem k rozdílu inverzního koeficientu Δi_f musí odpovídat rovnici (1.19). Pro tento výpočet je třeba převést hodnotu inverzního koeficientu i_f na ose x z logaritmického měřítka na lineární. Výpočet bude znázorněn pro dva náhodné tranzistory X a Y.

$$\tan^{-1} \frac{\Delta \sigma I_{D_X}}{\Delta i_{f_X}} = \tan^{-1} \frac{\Delta \sigma I_{D_Y}}{\Delta i_{f_Y}} \quad (1.19)$$



Graf 12 - Strmost odchylky v silné a slabé inverzi

Nicméně ani tato metoda sama o sobě není ideální. Aby byl zachován stejný úhel strmosti pro dva různé tranzistory, musel by být stejný i absolutní rozdíl ΔI_D , což je opět problematické pro extrémně velké a extrémně malé hodnoty σI_D . Navíc, jelikož nejsou známy parametry, pro které platí hodnoty zobrazené na grafu 1, nemůže se použít referenční hodnota k porovnání. Strmost tedy jako taková pro analýzu jednotlivých tranzistorů a zhodnocení jejich vlastností nestačí. Pro porovnání s referencí nebo jiným typem tranzistoru je tato metoda vyhodnocena jako nevhodící se.

Tabulka 20 - Porovnání strmosti a Poměrů odchylek silné a slabé inverze pro NMOS i PMOS

Model	Poměr σ_{I_D} NMOS [-]	Poměr σ_{I_D} PMOS [-]	Strmost σ_{I_D} NMOS [°]	Strmost σ_{I_D} PMOS [°]
Reference	3,13	3,13	43,39	43,39
A – ekv26	3,24	3,29	33,35	26,52
B – ekv3	2,61	2,98	21,25	22,46
C – ekv302em	3,74	3,34	32,23	21,32
D – ekv302	2,78	2,56	10,21	11,07
E – bsim4	2,69	2,64	11,44	14,52
F – bsim3v3	2,37	2,28	16,18	14,22
G – psp103	2,26	1,91	38,25	19,10

Při celkovém srovnání bude kladen důraz na to, jak jsou jednotlivé modely přesné vůči referenci ve strmosti a v poměru zároveň. Strmost tedy spíše určuje, jak přesné je modelování slabé inverze.

3.4 Srovnání NMOS a PMOS

V tabulce 6 bylo pro první přiblížení uvedeno porovnání modelů tranzistorů pro PMOS a NMOS. Rychlost děr (nosičů tranzistorů PMOS) by měla být $\sim 3.2x$ menší než v případě NMOS.

Pokud se srovnají celkové výsledky z kapitoly 3 pro PMOS a NMOS, dá se říct, že PMOS tranzistory jsou modelovány s menší absolutní odchylkou než tranzistory NMOS. Při modelování PMOS tranzistoru je brána v potaz hlavně rychlost nosičů a na ní navazující parametry, s níž model pracuje. PMOS tranzistory mají obecně větší velikost než NMOS tranzistory při zachování stejného proudu, tudíž v reálných aplikacích by měla být shodnost PMOS lepší. Jelikož při simulování byla stejná velikost pro NMOS a PMOS a v žádné citované studii nebylo řečeno, že by stejně velký NMOS a PMOS měl být zatížen různou odchylkou, dá se předpokládat, že modely PMOS nereflktují svoji chybovost natolik přesně, jako NMOS. Všechny relevantní citované zdroje uvádějí odchylku ve slabé inverzi v rozsahu 10-14 % a pro silnou inverzi 3-5 %. V rámci jedné technologie je však zachovaná shoda mezi poměrem i strmostí σ_{I_D} .

Z kapitoly 1.4 je patrné, že PMOS tranzistory mají výrazně širší aktivní rozsah než NMOS tranzistory (výjimkou je model tranzistoru **G**).

3.5 Celkové zhodnocení modelů

Parametry popsanými v předchozích kapitolách se zhodnotily veškeré výsledky jednotlivých modelů tranzistorů, které podrobněji popíši v následujících subkapitolách.

Model A – ekv26

Při modifikaci prahového napětí byla hodnota prahového napětí U_{TM} výrazně více modulovaná v případě NMOS než u PMOS. PMOS tranzistor modelu **A** má nejširší aktivní rozsah ze všech

simulovaných tranzistorů. Při srovnávání hodnot σI_D s fixním proudem a hodnotou $Avg\sigma I_D$ byla zapotřebí velmi nízká korekce, tudíž tranzistor dobře pracuje s veličinou inverzního koeficientu pro různé vstupní veličiny. Samotná odchylka byla v případě NMOS i PMOS menší než hodnota udávaná v teorii. Nicméně co se týče strmosti a poměru σI_D v silné a slabé inverzi je tento tranzistor nejpřesnější pouze s výjimkou strmosti σI_D pro NMOS. Model A má však výrazně větší β parametr pro NMOS než u PMOS. Nicméně model tranzistoru A je podle metodiky uvedené v předchozích kapitolách celkově nejpřesnější.

Model B – ekv3

Model B byl uváděn ve všech grafech jako model referenční. Korekce U_{TM} byla v případě NMOS největší ze všech simulovaných modelů. Stejně, jako v případě modelu A i v případě modelu B je odchylka σI_D od $Avg\sigma I_D$ velmi malá, tudíž model tranzistoru B dobře modeluje inverzní koeficient i_f pro různé vstupní veličiny. Odchylka NMOS ani PMOS neodpovídá stanovené referenční hodnotě. Kvůli tomu, že model B uvádí odchylku ve slabé inverzi jako příliš optimistickou vzhledem k referenci, není model natolik přesný, co se týče poměru a strmosti σI_D . Nicméně model tranzistoru B má nejpřesnější vztah NMOS ku PMOS ze všech simulovaných tranzistorů.

Model C – ekv302em

Při modulaci prahového napětí U_{TM} byla v případě NMOS pro model C zapotřebí nejmenší korekce ze všech simulovaných tranzistorů. Model tranzistoru má velmi dobře namodelovaný inverzní koeficient i_f pro různé vstupní veličiny. Odchylka σI_D od $Avg\sigma I_D$ je téměř zanedbatelná. Tranzistor má příliš nízkou hodnotu odchylky pro slabou inverzi. Kvůli tomu neodpovídá referenci poměr a strmost σI_D .

Model D – ekv302

Tranzistor má výrazně největší neshodu mezi parametrem β pro PMOS a NMOS. Pro PMOS i NMOS bylo zapotřebí docela veliké modulace prahového napětí U_{TM} . Model tranzistoru nevykazoval přílišnou odchylku σI_D od $Avg\sigma I_D$. Co se týče strmosti σI_D model tranzistoru D má příliš nízkou hodnotu σI_D ve slabé i silné inverzi. Model tranzistoru D má dokonce nejpozvolnější míru strmosti σI_D .

Model E – bsim4

V případě PMOS tranzistoru pro model E bylo zapotřebí největší modulace napětí U_{TM} ze všech testovaných tranzistorů. Nicméně co se týče odchylky σI_D od $Avg\sigma I_D$, dal by se model tranzistoru E považovat za celkově nejpřesnější ze všech simulovaných modelů tranzistorů. Kvůli příliš optimistické hodnotě σI_D pro slabou inverzi, je strmost i poměr σI_D příliš nízký vůči referenční hodnotě.

Model F – bsim3v3

Pro PMOS i NMOS bylo zapotřebí docela značné míry modulace napětí U_{TM} . V případě odchylky σI_D od $Avg\sigma I_D$ je model tranzistoru velmi přesný. Stejně jako v případě D a E je však hodnota σI_D pro slabou inverzi příliš nízká, a tak se strmost i poměr σI_D výrazně liší od referenční hodnoty.

Model G – psp103

U modelu **G** nebyla nutná výrazná modulace napětí U_{TM} . V případě PMOS i NMOS je aktivní rozsah velice podobný jeden druhému. Navíc model tranzistoru má nejpřesnější poměr β parametru pro PMOS i NMOS. Pokud se pro model **G** uvažuje odchylka $Avg\sigma I_D$ a porovnávala s referenční hodnotou σI_D byl by model tranzistoru nejpřesnější ze všech simulovaných modelů, což dokazuje nejpřesnější strmost σI_D . Nicméně model tranzistoru velice nepřesně pracuje s inverzním koeficientem pro různé vstupní veličiny. Odchylka σI_D od $Avg\sigma I_D$ nemá obdoby. Model tranzistoru **G** je velice obtížný na celkové porovnání, protože v některých aspektech je nejpřesnější a v některých naopak přesný nejméně.

4 ZÁVĚR

Pomocí vybrané literatury jsem ustanovil teoretický základ, který mi umožnil porovnávání výsledných hodnot simulovaných tranzistorů. Uvedl jsem rozdíly mezi simulovanými modely tranzistorů (BSIM, EKV, PSP). Podle popsaných postupů jsem jednotlivé tranzistory simuloval a ustanovil jsem metodologii jejich vzájemného porovnání.

Zavedená metoda modulace prahového napětí se ukázala jako bezpečně použitelná bez zanesení výrazných chyb pro další použití. Tuto metoda modulace prahového napětí jsem posléze použil pro porovnání simulovaných modelů tranzistorů. Výsledky simulace jsem poté posuzoval podle toho, jak moc se průměrná hodnota lišila od této ustanovené modulované hodnoty.

U modelů jsem porovnal vzhledem k teorii vzájemný vztah PMOS a NMOS a na tomto základě jsem jednotlivé modely vyhodnotil. Hlavní sledované parametry byly rychlost nosičů vyplývající z výsledku simulace a z teorie a odchylka jednotlivých modelů pro PMOS a NMOS.

Tranzistory jsem simuloval s inverzním koeficientem $i_f = 10$ definované v jednom případě pomocí drainového proudu I_D , a v druhém pomocí poměru šířky a délky $\frac{W}{L}$. Vzájemnou podobnost výsledků těchto dvou simulací jsem potom porovnal. Touto metodou jsem úspěšně prokázal, že všechny modely tranzistorů, s výjimkou modelu **G** pracují dobře s konceptem inverzního koeficientu.

Pro porovnání simulovaných výsledků pro slabou a silnou inverzi byla porovnána s teoretickým základem a jsem ustanovil pojmy strmost a poměr mezi odchylkou v silné a slabé inverzi. Tento parametr slouží dobře pro první přiblížení přesnosti a úspěšně poukazuje na některé nedostatky modulace ve slabé inverzi. Pro jeho vhodné a bezpečné použití v průmyslu je potřeba jeho modifikace, ideálně kombinace obou dvou parametrů.

ZDROJE

- [1] BEE, Xing Er, Mohamad Marzuki Bin Mohd FAUZI a Philip Beow Yew TAN. Modeling of MOSFET Subthreshold Swing Mismatch with BSIM4 Model.pdf. IEEE International Conference on Semiconductor Electronics (ICSE) [online]. Kuala Lumpur, Malajsie, 2016, -(), 86-88 [cit. 2019-12-09]. DOI: 10.1109/SMELEC.2016.7573597. Dostupné z: <https://ieeexplore-ieee-org.ezproxy.lib.vutbr.cz/stamp/stamp.jsp?tp=&arnumber=7573597>
- [2] CHENG, Yuhua, Trond YTTERDAL a Tor A. FJELDLY. MOSFET device physics and operation. Device Modeling for Analog and RF CMOS Circuit Design [online]. 2003. John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester, West Sussex PO19 8SQ, England: Wiley, 2003, s. 1-44 [cit. 2019-12-09]. ISBN 0-471-49869-6. Dostupné z: http://homepages.rpi.edu/~sawyes/Models_review.pdf
- [3] HARRIS, David Money a Neil H.E. WESTE. CMOS VLSI design [online]. 4. Pearson, 2011 [cit. 2019-12-10]. ISBN 10: 0-321-54774-8. Dostupné z: <http://swarm.cs.pub.ro/~mbarbulescu/SMPA/CMOS-VLSI-design.pdf>
- [4] HÁZE, Jiří a Jiří KLEDROWETZ. Návrh analogových integrovaných obvodů. Brno, 2015. Skripta. Vysoké učení technické.
- [5] KUHN, Kelin, Chris KENYON, Avner KORNFELD, Mark LIU, Atul MAHESHWARI, Wei-kai SINH, Sam SIVAKHUMAR, Greg TAYLOR, Peter VANDERVOORN, Keith ZAWADZKI et al. Managing proces variation in Intels 45nm Technology. Intel technology journal [online]. 2008, 12(2), 93-110 [cit. 2019-12-09]. DOI: 10.1535/itj.1202.03. ISSN 1535-864X. Dostupné z: <http://faculty.eng.fau.edu/rothz/files/2015/09/EEE-1303-015-Determination-Study-MOSFET-Technology-Current.pdf>
- [6] LIM, G.H., X. ZHOU, K. KHU, et al. Physics based scalable MOSFET mismatch model for statistical circuit simulation. Electron Devices and Solid-State Circuits [online]. Tainan Taiwan, 2008, -(), 1063-1066 [cit. 2019-12-09]. DOI: 10.1109/EDSSC.2007.4450311. Dostupné z: <https://ieeexplore-ieee-org.ezproxy.lib.vutbr.cz/stamp/stamp.jsp?tp=&arnumber=4450311>
- [7] Maarten VERTREGT, Marcel J.M. PELGROM a Hans TUINHOUT. Determination and Study of MOSFET Technology Current. International Electron Devices Meeting [online]. 1998, -(), 93-110 [cit. 2019-12-09]. DOI: 10.1109/IEDM.1998.746503. Dostupné z: <https://ieeexplore-ieee-org.ezproxy.lib.vutbr.cz/stamp/stamp.jsp?tp=&arnumber=746503>
- [8] PATRA, Srijita a Randall GEIGER. Comparison of MOSFET Mismatch Models with Random Physical and Random Model Variables. MWSCAS/IEEE [online]. 2014, **57**(57), 278-281 [cit. 2019-12-09]. DOI: 10.1109/MWSCAS.2014.6908406. Dostupné z: <https://ieeexplore-ieee-org.ezproxy.lib.vutbr.cz/stamp/stamp.jsp?tp=&arnumber=6908406>
- [9] RAZAVI, Behzad. Design of analog CMOS integrated circuits. 2001. Boston, MA: McGraw-Hill, c2001. ISBN 00-723-8032-2.
- [10] RIVAS-TORRES, Wilfredo a Zvi S ROTH. Determination and Study of MOSFET Technology Current. Canadian Journal on Electrical and Electronics Engineering [online]. 2003, -(4), 75-81 [cit. 2019-12-09]. Dostupné z:

<http://faculty.eng.fau.edu/rothz/files/2015/09/EEE-1303-015-Determination-Study-MOSFET-Technology-Current.pdf>

[11] Welbers, Anton P.G., Marcel J.M. PELGROM, Aad C.J. DUINMAIJER. Matching properties of MOS transistors. European Solid-State conference [online]. 1988, 14(-), 327-330 [cit. 2019-12-09]. Dostupné z: <https://ieeexplore-ieee-org.ezproxy.lib.vutbr.cz/stamp/stamp.jsp?tp=&arnumber=5468276>

SEZNAM OBRÁZKŮ

Obrázek 1 – Struktura tranzistoru NMOS a PMOS na jednom substrátu [1]	8
Obrázek 2 - Řez tranzistorem v uzavřeném stavu	9
Obrázek 3 - I/V charakteristika tranzistoru v uzavřeném stavu	9
Obrázek 4 - Řez tranzistorem pro lineární oblast	10
Obrázek 5 - I/V charakteristika tranzistoru, zvýrazněná lineární oblast	10
Obrázek 6 - Závislost I_d na U_{gs} v různých pracovních režimech	11
Obrázek 7 - Řez tranzistorem v oblasti saturace	11
Obrázek 8 - I/V charakteristika tranzistoru, zvýrazněná oblast saturace	11
Obrázek 9 - Malosignálový model tranzistoru v oblasti saturace [1]	12
Obrázek 10 - Efekt zvětšení délky hradla L na strmost V-A charakteristiky tranzistoru	13
Obrázek 11 - Průměrný počet atomů dopantů vůči použité technologii	16
Obrázek 12 - Neshodnost strmosti S	19
Obrázek 13 - Pelgromův zákon pro silnou a slabou inverzi Chyba! Záložka není definována.	
Obrázek 14 - Proudové zrcadlo pro simulování neshodnosti proudu I_d	20
Obrázek 15 - Obvod pro simulaci kapacity	21

SEZNAM TABULEK

Tabulka 1 - Zkoumané modely tranzistorů a jejich technologie	20
Tabulka 2 - Hodnoty veličin v simulovaném obvodu pro extrakci kapacity	21
Tabulka 3 - Simulované a vypočítané kapacity pro jednotlivé modely	22
Tabulka 4 - Výsledné hodnoty simulovaných UTH a modifikované UTM NMOS	25
Tabulka 5 - Výsledné hodnoty simulovaných UT a modifikované UTM PMOS.....	25
Tabulka 6 - Porovnání parametru B pro NMOS a PMOS tranzistory.....	28
Tabulka 7 - Rozměry modelů tranzistorů NMOS pro slabou inverzi	29
Tabulka 8 - Rozměry modelů tranzistorů NMOS pro silnou inverzi	29
Tabulka 9 - Rozměry modelů tranzistorů PMOS pro slabou inverzi	29
Tabulka 10 - Rozměry modelů tranzistorů PMOS pro silnou inverzi.....	30
Tabulka 11 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním drainovým proudem ID, NMOS	30
Tabulka 12 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním drainovým proudem ID, PMOS.....	30
Tabulka 13 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním poměrem šířky a délky a proměnlivým proudem ID, NMOS	31
Tabulka 14 - výsledky analýzy Monte Carlo pro silnou i slabou inverzi s fixním poměrem šířky a délky a proměnlivým proudem ID, PMOS	31
Tabulka 15 - Porovnání odchylky Id při fixním a inverzním proudu po přepočtu plochy, NMOS	32
Tabulka 16 - Porovnání odchylky Id při fixním a inverzním proudu po přepočtu plochy, PMOS	32
Tabulka 17 - Vliv B parametru na neshodnost-NMOS	34
Tabulka 18 - Vliv B parametru na neshodnost-PMOS	34
Tabulka 19 – Odchylka σ_{ID} oproti $Avg\sigma_{ID}$	35
Tabulka 20 - Porovnání strmosti a Poměrů odchylek silné a slabé inverze pro NMOS i PMOS	38

SEZNAM GRAFŮ

Graf 1 – β parametr pro hodnoty UT dané modelem.	Chyba! Záložka není definována.
Graf 2 - příklad určení aktivního rozsahu	24
Graf 3 - Určení UTM pomocí součtu kvadratických odchylek β parametru pro UT daných modelem	24
Graf 4 - korekce prahových napětí pro různé modely-NMOS/PMOS	Chyba! Záložka není definována.
Graf 5 - ICUGS pro simulované a inverzně vypočítané hodnoty	26
Graf 6 - Závislost drainového proudu I_d na inverzním koeficientu i_f , vypočtené a simulované hodnoty	27
Graf 7 - korekční křivka	35
Graf 8 – Odchylka NMOS v silné a slabé inverzi	36
Graf 9 – Odchylka PMOS v silné a slabé inverzi	36
Graf 10 - Strmost odchylky v silné a slabé inverzi	37