

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

DIPLOMOVÁ PRÁCE

Brno, 2021

Bc. Martin Strážnický



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

## UNIVERZÁLNÍ PŘEVODNÍK SPOJITÝCH ANALOGOVÝCH SIGNÁLŮ

GENERAL PURPOSE ANALOG SIGNAL CONVERTER

### DIPLOMOVÁ PRÁCE

MASTER'S THESIS

### AUTOR PRÁCE

AUTHOR

**Bc. Martin Strážnický**

### VEDOUCÍ PRÁCE

SUPERVISOR

**Ing. Michal Kubíček, Ph.D.**

**BRNO 2021**



# Diplomová práce

magisterský navazující studijní program **Elektronika a komunikační technologie**

Ústav radioelektroniky

**Student:** Bc. Martin Strážnický

**ID:** 167427

**Ročník:** 2

**Akademický rok:** 2020/21

**NÁZEV TÉMATU:**

## Univerzální převodník spojitých analogových signálů

**POKYNY PRO VYPRACOVÁNÍ:**

Navrhněte univerzální převodník spojitých analogových signálů s galvanickým oddělením mezi vstupem, výstupem a napájením. Vstupní spojitý signál bude v rozsahu 0-10V, +/- 10V, 4-20mA, 0-20mA (4 připojovací svorky). Výstupní spojitý signál bude v rozsahu 0-10V, 4-20mA, 0-20mA (4 připojovací svorky) s možností biasu výstupního signálu. Využit bude pouze jeden rozsah signálu na vstupní a výstupní straně. Rozsah 0-10V na výstupní straně musí být zkratuvzdorný. Signalizaci napájení proveďte pomocí LED. Součástí blokové konstrukce bude 3 kanálový převodník signálů enkodérů TTL (5V) na úroveň HTL (24V) s přenosovou frekvencí 120kHz, max. 300kHz.

Vytvořte kompletní konstrukční návrh převodníku v plastovém boxu s upínáním na DIN lištu. Součástí praktické části bude zejména schéma zapojení, návrh desky plošného spoje, rozložení a soupiska součástek, atd. Navržený převodník realizujte formou funkčního prototypu a experimentálním měřením v laboratoři nízkofrekvenční elektroniky ověřte jeho činnost, včetně EMC (vyzařování i odolnost proti rušení). Výsledky měření zpracujte formou standardního protokolu.

**DOPORUČENÁ LITERATURA:**

[1] CHATTOPADHYAY Santanu. Embedded System Design. PHI; Second edition, 2013. ISBN: 978-8120347304

[2] MANIKTALA, Sanjaya. Switching power supply design & optimization. Second edition. New York: McGraw-Hill Education, 2014. ISBN 9780071798143

**Termín zadání:** 8.2.2021

**Termín odevzdání:** 20.5.2021

**Vedoucí práce:** Ing. Michal Kubiček, Ph.D.

**prof. Ing. Tomáš Kratochvíl, Ph.D.**  
předseda rady studijního programu

**UPOZORNĚNÍ:**

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Tato práce se zabývá návrhem galvanicky odděleného převodníku spojitých analogových signálů a návrhem galvanicky odděleného převodníku digitálních signálů TTL na signály HTL. Celek je doplněn o mikroprocesor STM32, který zajišťuje propojení analogového vstupu a výstupu. Výsledkem práce je obvodová struktura jednotlivých bloků, výsledky simulací důležitých celků, kompletní podklady pro výrobu zařízení a změřené hodnoty jednotlivých celků.

## **KLÍČOVÁ SLOVA**

Zasilovač, napájecí zdroj, simulace, výpočty, A/D převodník, D/A převodník, sběrnice TTL, HTL.

## **ABSTRACT**

This work deals with the design of a galvanically isolated converter of continuous analog signals and the design of a galvanically separated converter of digital TTL signals to HTL signals. The device is complemented by a STM32 microprocessor, which ensures the connection of analog input and output. The result of the work is the circuit structure of individual units, the results of simulations of important units, complete data for the production of device and measured values of individual units.

## **KEYWORDS**

Amplifier, power supply, simulation, calculations, A/D converter, D/A converter, TTL, HTL bus.

STRÁŽNICKÝ, Martin. *Univerzální převodník spojitých analogových signálů*. Brno, 2020, 119 s. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky. Vedoucí práce: Ing. Michal Kubíček

## PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma „Univerzální převodník spojitých analogových signálů“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno .....

.....

podpis autora

## PODĚKOVÁNÍ

Rád bych poděkoval Ing. Miloslavu Machučovi a Ing. Janu Dorazilovi z firmy ELEKTRO-POHONY spol. s r.o. za ochotu, konzultace a odborné rady při řešení zadané práce a bez nichž by toto zařízení nemohlo vzniknout. Poděkování patří také vedoucímu práce Ing. Michalu Kubíčkoví, Ph.D. za připomínky týkající se formálních a praktických aspektů práce.

# Obsah

Úvod	13
<b>1 Bloková struktura</b>	<b>14</b>
1.1 Požadavky na zařízení	14
1.2 Popis blokového řešení	17
<b>2 Obvodové řešení</b>	<b>18</b>
2.1 Analogová vstupní část	18
2.1.1 Teoretické poznatky	18
2.1.2 Porovnání variant zapojení analogové vstupní části	20
2.1.3 Vybraná varianta zapojení analogové vstupní části	23
2.1.4 Vybrané obvody analogové vstupní části	24
2.1.5 Simulace	28
2.1.6 Výpočty hodnot součástek	31
2.2 Analogová výstupní část	32
2.2.1 Teoretické poznatky	32
2.2.2 Porovnání variant zapojení analogové vstupní části	33
2.2.3 Vybraná varianta zapojení analogové výstupní části	34
2.2.4 Vybrané obvody analogové výstupní části	37
2.2.5 Simulace	38
2.2.6 Výpočty hodnot součástek	40
2.3 Logická vstupní a výstupní část	41
2.3.1 Vstupní část na straně TTL	42
2.3.2 Výstupní část na straně HTL	43
2.3.3 Simulace	43
2.4 Mikroprocesorové řízení	46
2.4.1 Finální zapojení	47
2.4.2 Výpočty hodnot součástek	48
2.5 Vstupní napájecí obvody	49
2.5.1 Vstupní obvody	49
2.5.2 Zapojení vstupní napájecí části	50
2.5.3 Simulace	51
2.5.4 Výpočty hodnot součástek	53
2.6 Galvanicky oddělené DC/DC měniče	55
2.6.1 Vybraná varianta zapojení vzorového zdroje	55
2.6.2 Vybrané varianty zapojení ostatních zdrojů	56
2.6.3 Výpočty hodnot součástek	57

<b>3</b>	<b>Konstrukční část</b>	<b>59</b>
3.1	Chlazení . . . . .	59
3.2	Deska plošných spojů . . . . .	61
3.2.1	Rozmístění konektorů . . . . .	61
3.2.2	Rozmístění celků . . . . .	62
<b>4</b>	<b>Měření</b>	<b>64</b>
4.1	Měření napájecí části . . . . .	64
4.1.1	Měření vstupního DC/DC měniče . . . . .	64
4.1.2	Měření napětí v důležitých bodech zapojení . . . . .	65
4.1.3	Zhodnocení výsledků měření napájecí části . . . . .	65
4.2	Analogová část převodníku . . . . .	66
4.2.1	Vstupní analogová část . . . . .	66
4.2.2	Výstupní analogová část . . . . .	68
4.2.3	Celkové měření . . . . .	70
4.2.4	Zhodnocení naměřených výsledků analogové části . . . . .	72
4.3	Logická část převodníku . . . . .	73
4.3.1	Časové průběhy . . . . .	73
4.3.2	Zhodnocení výsledků měření logické části . . . . .	76
4.4	Elektromagnetická kompatibilita . . . . .	77
4.4.1	Odolnost proti vyzářenému elektromagnetickému poli . . . . .	77
4.4.2	Odolnost proti elektrostatickému výboji . . . . .	78
4.4.3	Odolnost proti rychlým přechodovým jevům . . . . .	79
4.4.4	Odolnost proti rušení šířenému vedením . . . . .	79
4.4.5	Odolnost proti rázovému impulzu . . . . .	80
4.4.6	Vyzářené emise . . . . .	81
	<b>Závěr</b>	<b>83</b>
	<b>Literatura</b>	<b>85</b>
	<b>Seznam symbolů, veličin a zkratk</b>	<b>90</b>
	<b>Seznam příloh</b>	<b>92</b>
<b>A</b>	<b>Schémata signálových částí zařízení</b>	<b>93</b>
A.1	Celkové schéma vstupní analogové části . . . . .	93
A.2	Celkové schéma výstupní analogové části . . . . .	94
A.3	Schéma zapojení převodníku logiky TTL na HTL . . . . .	95

<b>B</b>	<b>Schémata zapojení galvanicky oddělených DC/DC zdrojů</b>	<b>96</b>
B.1	Zdroj pro analogové vstupní obvody . . . . .	96
B.2	Zdroj pro analogové výstupní obvody . . . . .	97
B.3	Zdroj pro výstupní obvody strany HTL . . . . .	98
B.4	Zdroj pro výstupní obvody strany TTL . . . . .	99
B.5	Zdroj pro napájení mikroprocesoru . . . . .	100
<b>C</b>	<b>Schéma variant simulovaných zapojení</b>	<b>101</b>
<b>D</b>	<b>Nevyužitá varianta DC/DC měniče</b>	<b>103</b>
<b>E</b>	<b>Simulace a výpočty varianty s komparátorem</b>	<b>105</b>
<b>F</b>	<b>DPS</b>	<b>106</b>
F.1	První vrstva Bottom . . . . .	106
F.2	Druhá vrstva Bottom . . . . .	107
F.3	První vrstva Top . . . . .	108
F.4	Druhá vrstva Top . . . . .	109
F.5	Osazení DPS strana TOP . . . . .	110
F.6	Osazení DPS strana BOTTOM . . . . .	111
F.7	Nepájivá maska strana TOP . . . . .	112
F.8	Nepájivá maska strana BOTTOM . . . . .	113
<b>G</b>	<b>Fotografie</b>	<b>114</b>
<b>H</b>	<b>Soupiska součástek</b>	<b>115</b>

# Seznam obrázků

1.1	Blokové schéma zařízení . . . . .	16
2.1	Ukázka výstupu modulátoru pro vstupní sinusový signál . . . . .	19
2.2	Porovnání modulové frekvenční charakteristiky výstupního filtru typu sinc pro jednotlivé řády . . . . .	20
2.3	Bloková struktura převodníku s postupnou aproximací . . . . .	20
2.4	Výřez schématu analogové vstupní proudové části . . . . .	23
2.5	Výřez schématu analogové vstupní napěťové části . . . . .	24
2.6	Závislost útlumu na frekvenci výstupního filtru ADS112C04 . . . . .	25
2.7	Závislost potlačení signálu na frekvenci obvodu OPA 991 . . . . .	26
2.8	Závislost proudu okolních obvodů na vzdálenosti od pouzdra ADUM1250 . . . . .	27
2.9	Ukázka časového průběhu vstupního zesilovače . . . . .	29
2.10	Ukázka časového průběhu vstupního zesilovače . . . . .	29
2.11	Modulová frekvenční přenosová charakteristika vstupní části . . . . .	30
2.12	Porovnání jednotlivých variant zapojení vstupní části . . . . .	30
2.13	Blokové schéma zapojení D/A převodníku . . . . .	33
2.14	Výřez schématu analogové výstupní napěťové části . . . . .	35
2.15	Výřez schématu analogové výstupní proudové části . . . . .	36
2.16	Výřez schématu podproudové ochrany s komparátorem . . . . .	37
2.17	Simulace závislosti výstupního proudu na odporu smyčky . . . . .	39
2.18	Reakce analogové výstupní části proudové smyčky na obdélníkový signál . . . . .	40
2.19	Schéma zapojení jednoho kanálu převodníku TTL - HTL . . . . .	41
2.20	Časový průběh výstupního napětí inkrementálního snímače otáček . . . . .	42
2.21	Reakce zapojení převodníku na vstupní napětí s frekvencí $f = 200 \text{ kHz}$ . . . . .	44
2.22	Reakce zapojení převodníku na vstupní napětí s frekvencí $f = 200 \text{ kHz}$ . . . . .	45
2.23	Reakce zapojení převodníku na vstupní napětí s frekvencí $f = 200 \text{ kHz}$ . . . . .	46
2.24	Schéma zapojení mikroprocesorové části . . . . .	47
2.25	Schéma zapojení vstupního filtru . . . . .	50
2.26	Schéma zapojení vstupního DC/DC měniče . . . . .	50
2.27	Simulace činitele odrazu a přenosu pro vstupní filtr v závislosti na frekvenci . . . . .	52
2.28	Závislost účinnosti vstupního měniče na výstupním proudu pro různá vstupní napětí . . . . .	53
2.29	Simulace závislosti zvlnění výstupního napětí v závislosti na odebíraném proudu pro různá vstupní napětí . . . . .	53
2.30	Schéma zapojení galvanicky odděleného DC/DC měniče pro napájení procesoru . . . . .	57
3.1	Rozmístění konektorů na DPS . . . . .	61



3.2	Pohled na DPS . . . . .	62
3.3	Rozmístění jednotlivých celků na DPS . . . . .	63
4.1	Měřený časový průběh zvlnění stabilizovaného napětí pro napájení galvanicky oddělených DC/DC měničů . . . . .	64
4.2	Měřený časový průběh napětí při vstupním obdélníkovém signálu s frekvencí 5 Hz . . . . .	66
4.3	Měřená modulová frekvenční charakteristika . . . . .	67
4.4	Měřený časový průběh napětí v napěťovém kanálu . . . . .	67
4.5	Měřený časový průběh napětí na nastavovacím odporu proudu proudového výstupu . . . . .	68
4.6	Měřený časový průběh napětí na napěťovém výstupu . . . . .	69
4.7	Měřený časový průběh napětí na napěťovém vstupu a výstupu . . . . .	71
4.8	Měřený časový průběh napětí na napěťovém vstupu a výstupu ovlivněný šumem . . . . .	71
4.9	Měřený časový průběh napětí v kanálu B . . . . .	74
4.10	Měřený časový průběh napětí v kanálu B . . . . .	75
4.11	Měřený časový průběh napětí v kanálu B . . . . .	76
A.1	Schéma zapojení analogové vstupní části . . . . .	93
A.2	Schéma zapojení analogové výstupní části . . . . .	94
A.3	Schéma zapojení převodníku logických signálů . . . . .	95
B.1	Schéma zapojení zdroje pro analogové vstupní obvody . . . . .	96
B.2	Schéma zapojení zdroje pro analogové výstupní obvody . . . . .	97
B.3	Schéma zapojení zdroje pro vstupní obvody HTL . . . . .	98
B.4	Schéma zapojení zdroje pro výstupní obvody TTL . . . . .	99
B.5	Schéma zapojení zdroje pro napájení procesoru . . . . .	100
C.1	Schéma varianty vstupní analogové části se dvěma dolními propustmi . . . . .	101
C.2	Schéma varianty vstupní analogové části s jednou dolní propustí . . . . .	101
C.3	Schéma varianty vstupní analogové části s kaskádou dolních propustí . . . . .	102
D.1	Schéma zapojení vstupního DC/DC měniče . . . . .	103
E.1	Ukázka překlopení komparátoru pro hraniční napětí . . . . .	105
F.1	DPS - strana BOTTOM . . . . .	106
F.2	DPS - strana BOTTOM . . . . .	107
F.3	DPS - strana TOP . . . . .	108
F.4	DPS - strana TOP . . . . .	109
F.5	Osazení součástek na DPS strana TOP . . . . .	110
F.6	Osazení součástek na DPS strana BOTTOM . . . . .	111
F.7	Nepájivá maska strana TOP . . . . .	112
F.8	Nepájivá maska strana BOTTOM . . . . .	113
G.1	Fotografie DPS - Horní strana . . . . .	114

G.2 Fotografie DPS - Dolní strana . . . . .	114
---	-----

# Seznam tabulek

2.1	Porovnání parametrů uvažovaných variant zapojení vstupní části, katalogové hodnoty z [2, 15, 16] . . . . .	22
2.2	Porovnání mezních frekvencí jednotlivých variant zapojení . . . . .	28
2.3	Porovnání cen uvažovaných variant zapojení výstupní části . . . . .	37
2.4	Kombinace bitů DIP přepínačů pro analogovou část . . . . .	48
2.5	Kombinace bitů DIP přepínačů pro filtraci . . . . .	48
4.1	Seznam parametrů v důležitých bodech zapojení . . . . .	65
4.2	Rychlost přeběhu napětového výstupu . . . . .	70
4.3	Rychlost přeběhu proudového výstupu . . . . .	70
4.4	Měření vstupní a korespondující výstupní napětí celého zařízení . . . .	72
4.5	Měření zpoždění jednotlivých kanálů . . . . .	76
4.6	Odolnost; vstup/výstup krytem přístroje, převzato z [50] . . . . .	78
4.7	Odolnost; vstup/výstup krytem přístroje, převzato z [50] . . . . .	78
4.8	Odolnost; vstupy/výstupy svorkami signálů, převzato z [50] . . . . .	79
4.9	Odolnost; vstupy/výstupy DC napájením (vstupní i výstupní svorky), převzato z [50] . . . . .	79
4.10	Odolnost; vstupy/výstupy svorkami signálů, převzato z [50] . . . . .	80
4.11	Odolnost; vstupy/výstupy DC napájením (vstupní i výstupní svorky), převzato z [50] . . . . .	80
4.12	Odolnost; vstupy/výstupy svorkami signálů, převzato z [50] . . . . .	80
4.13	Odolnost; vstupy/výstupy DC napájením (vstupní i výstupní svorky), převzato z [50] . . . . .	81
D.1	Napětí špička - špička pro různá vstupní napětí . . . . .	104

# Úvod

Tato práce se zabývá návrhem galvanicky odděleného převodníku spojitých signálů. Galvanické oddělení signálů má velký význam v mnoha oblastech. Jednou z těchto oblastí je omezení rušení, které může nepříznivě ovlivňovat obvody následující za tímto převodníkem. Tento návrh je vytvořen pro průmyslové prostředí.

Při oddělování střídavých signálů lze využívat běžné prvky jako např. transformátory, optrony atd. Tyto prvky ovšem nelze samostatně použít, pokud je třeba oddělit pomalu se měnící nebo stejnosměrné signály. Zde se využívá výhod digitálního zpracování, kdy se nejprve signál navzorkuje, převede na digitální hodnotu a následně dojde k oddělení. Digitální signál se poté opět převádí na analogový. Výše zmíněný postup jsem použil i v této práci.

Převodník lze využít, kromě galvanického oddělení, také na převod výstupních analogových signálů např. čidel na jiné analogové signály, které jsou vhodné pro zařízení zapojená na výstup převodníku.

Dále je v zařízení zahrnut samostatný převodník diferenciálních signálů sběrnice TTL na sběrnici HTL, a to z důvodu větší univerzálnosti celého zařízení. Diferenciální TTL se v průmyslovém prostředí hojně využívá k připojení např. snímačů otáček pomocí enkodérů.

Důležité celky celého zařízení byly po prostudování jednotlivých možností zapojení dovedeny k výběru konkrétních součástek. Dále byly provedeny simulace jednotlivých celků k ověření jejich teoretické funkčnosti. Po tomto ověření a výběru hodnot součástek byl proveden návrh desky plošných spojů. Na závěr se práce zabývá praktickým ověřením funkčnosti zařízení a teoretickými požadavky z hlediska EMC.

Protože se jedná o výrobek, který bude následně průmyslově využíván, byla zadavatelem stanovena cena výrobku na cca 2000,-Kč bez DPH. Cenové kritérium je tedy jedním z hlavních požadavků, aby výrobek byl konkurenčně schopný.

# 1 Bloková struktura

V této kapitole bude rozebrána bloková struktura zařízení a popsány požadavky kladené na zařízení.

## 1.1 Požadavky na zařízení

Zařízení musí splňovat níže uvedené požadavky. Tyto se ale mohou různě prolínat, tzn. na úkor jedné parametrů se mohou zlepšit parametry jiné. V celém návrhu jdou proti sobě dvě hlavní větve - univerzálnost použití a cena zařízení. Aby bylo zařízení univerzální, nemůže být levné. Z důvodu zjednodušení objednávání potřebného materiálu by v zapojení mělo být použito co nejméně různých typů součástek, materiál na výrobu by měl pocházet od jednoho dodavatele. Předpokládaná doba výroby převodníku bez změny byla stanovena na 10 let, z toho důvodu byly do zapojení vybrány obvody, které nejsou ve výrobě déle než cca 5 let. Obvody starší než uvedený horizont, převáží svou cenou nebo vlastnostmi tuto skutečnost. Jedná se například o lineární stabilizátory řady 78 nebo přijímač smyčky RS-422 AM26LS33. U těchto obvodů je předpoklad, že se budou po tuto stanovenou dobu dále vyrábět.

### Požadavky na napájení

Zařízení musí zajistit oddělení analogových signálů mezi vstupem, výstupem a napájením. Napájecí napětí je přivedeno z vnějšího zdroje a bude v rozmezí 20 - 30 V. Nominální napájecí napětí je 24 V. Zařízení může být napájeno z baterií s příslušným měničem. V napájecí větvi se může přechodně vyskytovat rušení s velikostí až 50 mV<sub>pp</sub> a frekvencí v rozmezí spínání výkonových měničů tj. do 20 kHz. Dále má zařízení obsahovat napájecí zdroje 24 V a 5 V pro napájení připojených enkodérů TTL a výstupních obvodů HTL. Maximální proudový odběr celého zařízení by neměl překročit 1 A.

### Požadavky na signály

Z požadavku na univerzálnost musí zařízení zpracovat následující vstupní signály:

- Stejnoseměrné napětí v rozsahu 0 - 10 V.
- Stejnoseměrné napětí v rozsahu  $\pm 10$  V.
- Stejnoseměrný proud v rozsahu 0 - 20 mA.
- Stejnoseměrný proud v rozsahu 4 - 20 mA s funkcí hlídání přerušení smyčky.
- Šest kanálů logiky TTL v rozsahu 0 - 5 V (A, B, Z,  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{Z}$ ).

Maximální proudové zatížení napěťových vstupů je asi 2 mA. Vstupní odpor u napěťových vstupů má být asi 20 k $\Omega$ . Požadavek maximální frekvence analogového

vstupního signálu, který je zařízení schopno zpracovat, není uveden. Bude záviset jen na použitém zapojení a bude odsouhlasen zadavatelem.

Následující výstupní signály musí zařízení poskytovat:

- Stejnoseměrné napětí v rozsahu 0 - 10 V s funkcí offsetu hodnoty.
- Stejnoseměrný proud v rozsahu 0 - 20 mA.
- Stejnoseměrný proud v rozsahu 4 - 20 mA.
- Tři kanály logiky HTL v rozsahu 0 - 24 V.

Výstupní analogová část zařízení má poskytovat vždy právě jednu variantu výstupního signálu. Proudové rozsahy mají detekovat rozdíl mezi nastaveným proudem a skutečnou hodnotou proudu, který protéká proudovou smyčkou. Dále zařízení musí umožňovat konverzi analogových signálů mezi sebou. A v poslední řadě má zařízení umožňovat offset výstupu proudu nebo napětí.

### **Požadavky na přesnost**

Zařízení má mít v analogové části výslednou přesnost do 2 %. V digitální části má zařízení přenášet signály o frekvenci až 300 kHz.

### **Požadavky na napájecí zdroje**

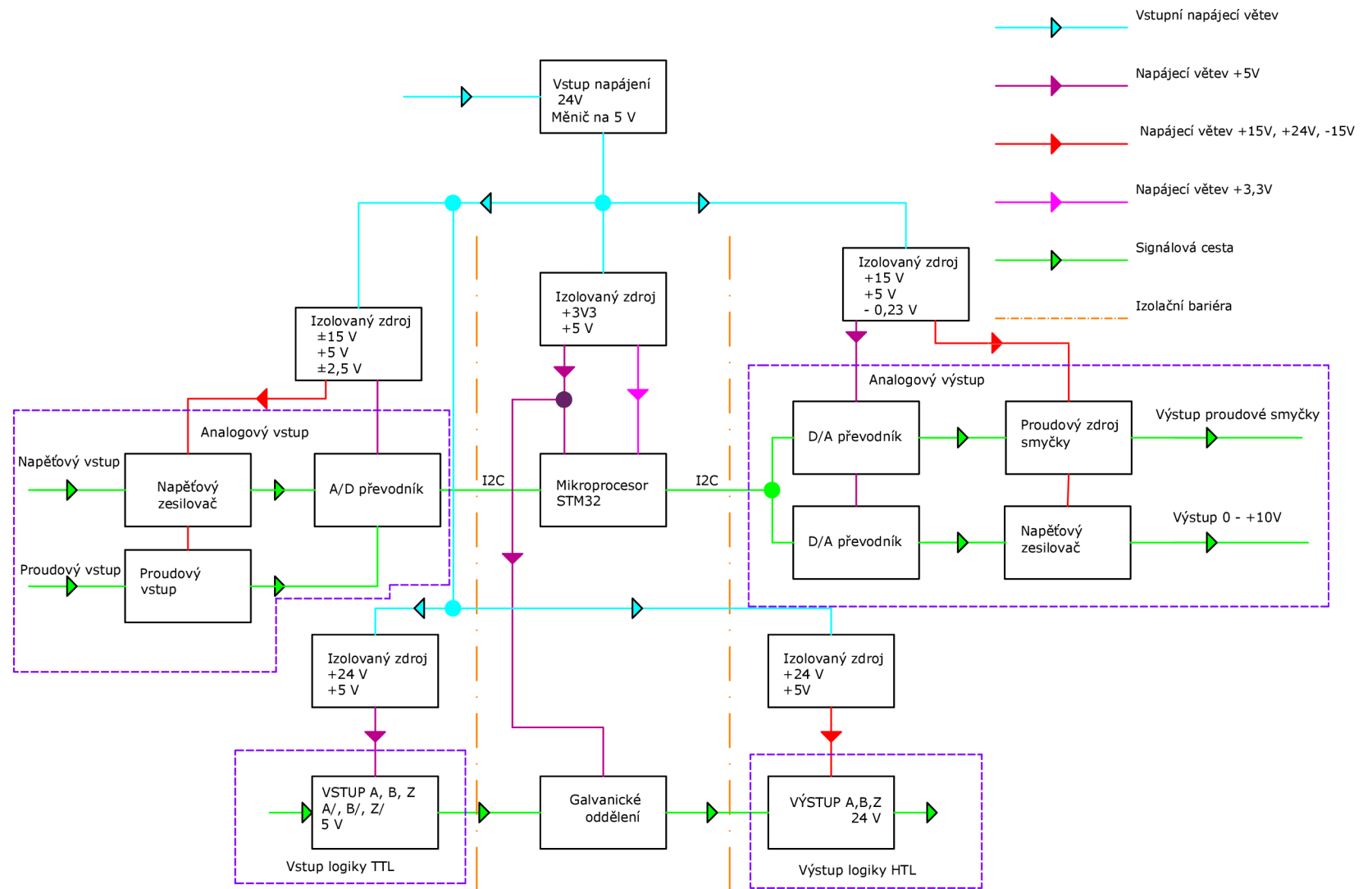
Každý celek má svůj galvanicky oddělený zdroj napájecího napětí, tím pádem jsou signály odděleny navzájem - od vstupu a výstupu. Z výstupních signálových napěťových svorek může být odebírán proud až 10 mA a proti přetížení musí být jistěny.

### **Požadavky na rozměry**

Zařízení bude namontováno na DIN liště a tudíž musí mít standardizovaný rozměr maximálně 100 x 100 mm, konektory by měly být umístěny na jedné straně zařízení. Bude se jednat o svorkovnice Wago, které zadavatel používá.

### **Řešení existující na trhu**

Zařízení s těmito funkcemi na trhu již existují, ale neposkytují takovou míru flexibility jako zde navrhované zařízení. Vždy se jedná o jednoúčelové zařízení buď na převod analogových signálů, nebo na převod digitálních. Cenová hladina odpovídá zde zmiňované ceně zařízení, jež kombinuje obojí [1]. Navíc některé analogové převodníky neoddělují vstupní část od svého napájení, ale pouze výstupní část.



Obr. 1.1: Blokové schéma zařízení

## 1.2 Popis blokového řešení

Celé zařízení se skládá z několika samostatných na sebe navazujících bloků. Bloková struktura je na obrázku 1.1.

Prvním ze signálových bloků je převodník analogového napětí na digitální signál. Tento celek kromě A/D převodníku dále obsahuje soustavu operačních zesilovačů, které mají za úkol signál přizpůsobit k dalšímu zpracování. Dále tento blok obsahuje referenční odpor, na kterém se při použití proudového vstupu generuje požadovaný úbytek napětí. Poslední funkcí je utlumení signálu na takovou hodnotu, která je vhodná pro další zpracování.

Dalším celkem je digitální blok analogové části zařízení, který obsahuje procesor a signálové oddělovače sběrnic. Použitý procesor je typu STM32 s jádrem Cortex-M0+, který je volbou mezi cenou a rychlostí zpracování signálu. Dále se zde nacházejí dva oddělovače sběrnic - jeden na vstupní straně a druhý na výstupní. Zde dochází k výše uvedenému galvanickému oddělení signálu.

Následujícím blokem je výstupní celek. Zde se nacházejí D/A převodníky, dále je zde obsažen napěťový zesilovač a proudový zdroj s funkcí hlídání výstupního proudu.

Samostatnými bloky jsou oddělovače digitálního signálu enkodérů. V těchto blocích dochází ke galvanickému oddělení sběrnice TTL a k napěťovému přizpůsobení vstupním obvodům např. PLC, které komunikují po sběrnici HTL.

Posledními bloky jsou napěťové zdroje, které zajišťují galvanické oddělení napájecího napětí. Tyto bloky mají stejnou obvodovou strukturu, liší se pouze v použitém transformátoru, zapojení následujícího usměrňovače a následujících stabilizátorů. Jelikož bude zařízení používáno v podmínkách, kde se může vyskytovat rušení od výkonových měničů, je na vstupu celého převodníku LC filtr, který má potlačit toto rušení a tlumivka se symetrickým vinutím, která dále potlačuje souhlasné složky rušení.



## 2 Obvodové řešení

V této kapitole bude probráno konkrétní zapojení a výběr obvodů na základě teoretických poznatků.

### 2.1 Analogová vstupní část

#### 2.1.1 Teoretické poznatky

##### Topologie vstupů A/D převodníku

A/D převodník může mít svůj vstup zapojen jako diferenciální, jako pseudo-diferenciální nebo s jednoduchým vstupem.

Diferenciální a pseudo-diferenciální převodníky, pokud jsou zapojeny diferenciálně, mají výhodu v dvojnásobné dynamice signálu oproti zapojení s jednoduchým vstupem. Jelikož na svém vstupu akceptují napětí v rozmezí  $0 \pm U_{ref}$ , je výsledné napětí dané rozdílem měřených hodnot a jsou schopny měřit směr proudu [3]. Při použití převodníku s jednoduchým vstupem má výstupní napětí velikost 0 až  $+U_{ref}$ .

##### Možnost zpracování záporného signálu

A/D převodníky se dělí na dvě skupiny a to podle možnosti zpracovávat buďto obě polarity signálu nebo pouze kladnou část signálu.

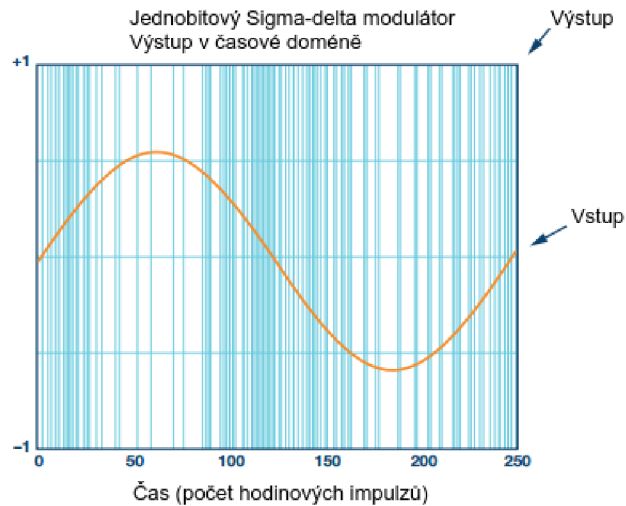
Například A/D převodník MCP3021 akceptuje pouze kladné vstupní napětí v rozmezí  $U_{ee} - 0,3V$  až  $U_{cc} + 0,3V$  [4], je tedy nutné přizpůsobit vstupní signál tak, aby byl v tomto rozsahu. Druhou možností je použití převodníku, který je schopen zpracovávat obě polarity signálu označované např. jako True Bipolar. K těmto obvodům není třeba přidávat jakékoliv obvody vyjma jednoduchých sledovačů [5], [6].

##### Architektura A/D převodníku

Architektur jak zpracovávat analogový signál na digitální je mnoho druhů. K těmto architektuám patří například převodníky Sigma-Delta, převodníky s postupnou aproximací, převodníky Pipeline atd.[7]. V této sekci jsou popsány dvě zvolené architektury A/D převodníků, a to z důvodu, že jiné architektury se v cenovém rozpětí do cca 160,-Kč téměř nevyskytují.

## Převodník založený na modulátoru Sigma-Delta

Principem funkce je komparace signálu s referenčními napětími a na základě této komparace se tvoří výsledný výstupní kód. Tento kód - počet změn - v sobě nese informaci o velikosti vstupního analogového napětí viz obrázek 2.1. Následný krok je digitální filtrace, při které se využívají různé typy a řády filtrů.

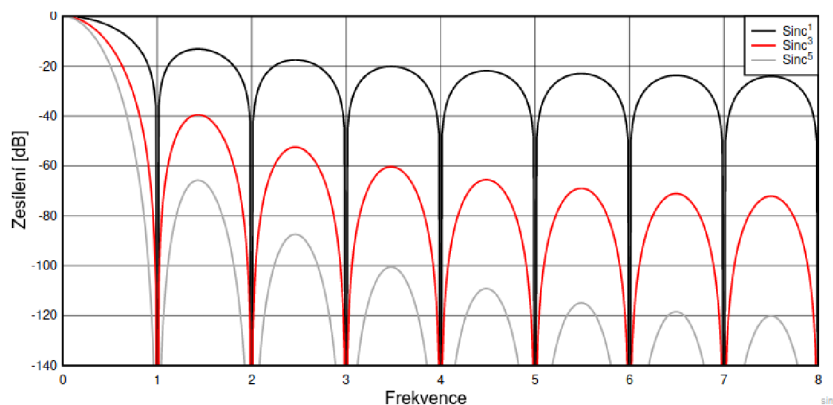


Obr. 2.1: Ukázka výstupu modulátoru pro vstupní sinusový signál, převzato z [8]

Filtry použité v A/D převodnících s menším počtem řádů se hodí při použití např. při multiplexaci senzorů. Rychleji odpovídají na změnu na svém vstupu [9].

Filtry s větším počtem řádů mají výhodu ve větším útlumu, rychlejším poklesu frekvenční charakteristiky, ale potřebují pro své naplnění větší počet vzorků [9]. Jejich odezva na jednotkový skok je méně strmá než při použití filtrů s nižším řádem.

Příklad modulových frekvenčních charakteristik pro různé řády filtru typu sinc je na obrázku 2.2.

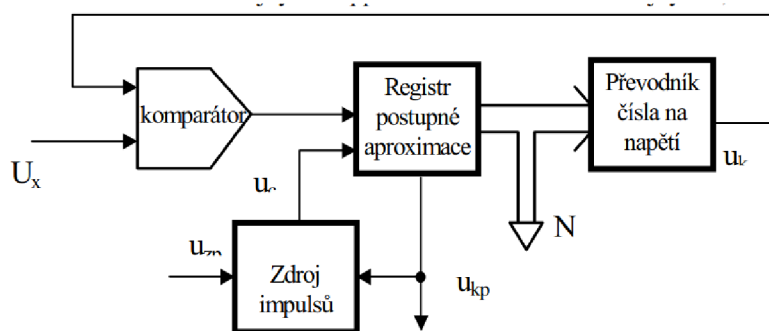


Obr. 2.2: Porovnání modulové frekvenční charakteristiky výstupního filtru typu sinc pro jednotlivé řády, převzato z [9]

### Převodník s postupnou aproximací

Převodníky na principu postupné aproximace jsou založeny na postupném určování výsledné binární kombinace. Začíná se od MSB bitu a pokračuje se k LSB. V každém kroku se nastaví nebo nuluje jeden bit a po provedení D/A převodu se tato reference porovnává se vstupním napětím, až se dojde k LSB bitu. Z principu se napětí nesmí během převodu měnit, proto na svém vstupu převodníky této architektury mají zapojený Sample & hold obvod [11], [12].

Na obrázku 2.3 je ukázána bloková struktura výše popsaného převodníku.



Obr. 2.3: Bloková struktura převodníku s postupnou aproximací, převzato z [13].

### 2.1.2 Porovnání variant zapojení analogové vstupní části

V rámci návrhu byly uvažovány následující varianty zapojení. Tyto varianty se liší celkovou koncepcí zpracovávání signálu.

První variantou, jak zapojit vstupní část, je použití A/D převodníku, který není schopen digitalizovat zápornou hodnotu signálu [6]. Tato varianta má výhodu v použití jednoduchého a levného A/D převodníku, ale kvůli výše uvedené vlastnosti se musí použít přizpůsobení signálu na úrovni zapojení, tak aby bylo možné digitalizovat i záporné hodnoty signálu. Toto přizpůsobení je možné řešit například precizním usměrňovačem nebo DC offsetem. Možné zapojení je uvedeno například ve zdroji [14].

Druhou variantou možného zapojení vstupní části je použití A/D převodníku, který dokáže zpracovávat obě polarity signálu v hodnotě, která odpovídá maximální hodnotě napětí na vstupu. Toto zapojení má výhodu v tom, že nepotřebuje ke své činnosti žádné přizpůsobovací obvody, pouze jednoduché sledovače. Jak plyne z tabulky 2.1 má toto zapojení další výhodu v použití jednoduchého napájení. Nicméně nevýhody tohoto zapojení nakonec převážily a toto zapojení nebylo použito.

Poslední variantou zapojení je použití vícevstupového bipolárního A/D převodníku. Toto zapojení představuje svými klady a zápory střední cestu mezi složitostí zapojení na straně jedné a cenou a použitými součástkami na straně druhé. Jako zapojení vybrané k dalšímu zpracování byla vybrána tato varianta.

Tab. 2.1: Porovnání parametrů uvažovaných variant zapojení vstupní části, katalogové hodnoty z [2, 15, 16]

Použitý obvod	LTC2451	ADS8689	ADS112C04
Počet bitů	16	16	16
Počet vstupů	jeden	jeden	čtyři
Koncepce vstupu	unipolární	bipolární	bipolární
Rozsah vstupního napětí (použitého v zapojení)	0 - 5 V	±10 V	±2,5 V
Mezní frekvence interního filtru	26 Hz	15 kHz	13 Hz
Rozhraní	$I^2C$	SPI	$I^2C$
Napájení	5V	5V 5V	5 V -2,5 V 2,5 V
Složitost zapojení analogových obvodů (subjektivní)	největší	minimální	střední
Počet relé [Ks]	2	3	1
Cena obvodu [Kč]	60	90	150
Odhad ceny celého zapojení [Kč]	200	270	250

První varianta je cenově výhodná, protože se používají levné součástky, ale při započítání všech kusů, se zde projeví jejich velký počet a celkově toto zapojení zdraží. Cenový rozdíl oproti třetímu zapojení není velký, za cca 50,- Kč rozdílu dokáže zapojení měřit i zápornou hodnotu napětí přímo.

Při prvním pohledu se zdá nejlepší použití druhé varianty, kdy se nemusí využívat žádné zesilovací nebo zeslabovací obvody, ale jak je patrné z tabulky, pokud se do celkových nákladů připočítá cena všech součástek, je toto zapojení nejhorší. Musí se použít více kusů relé tak, aby byl aktivní vždy jen jeden vstup a z toho plyne velká užitá plocha DPS. Toto zapojení má také špatnou vlastnost v tom, že použitý A/D převodník má ve své struktuře digitální filtr druhého řádu typu dolní propusti, nastavený na frekvenci cca 15 KHz [16], a tedy samostatně nepotlačí rušení vzniklé provozem výkonových měničů [17].

Jak se z výše uvedené tabulky dá vyčíst, tak třetí zapojení má nejvíce kladů, ale i záporů. Tyto záporné vlastnosti nejsou velkými překážkami pro použití v dále uvedeném zapojení. Výhodou je použití vícevstupového A/D převodníku. Tímto se eliminují všechny relé na napěťových vstupech. Další výhodou je fakt, že pokud

se použije vzorkovací frekvence 20 S/s, má uvedený obvod vnitřní filtr s minimem přenosu na frekvenci 50 Hz a tudíž dokáže samostatně potlačit síťovou frekvenci, která způsobuje rušení. Obvod ve své struktuře obsahuje části, které jej prodražují a nebudou využívány, což je částečnou nevýhodou. Jedná se například o teplotní čidlo a proudové zdroje.

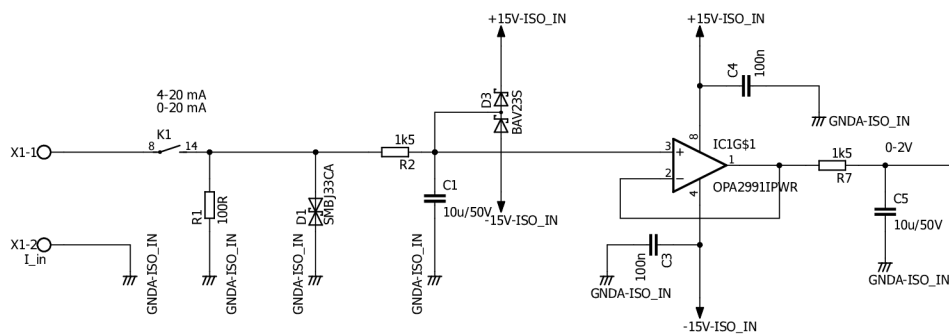
### 2.1.3 Vybraná varianta zapojení analogové vstupní části

Vstupní část je koncipována tak, aby zpracovávala kladnou i zápornou polaritu signálu. Proto zde nezávisí na nastaveném měřicím rozsahu, jakož i na směru proudu.

#### Proudový vstup

Schéma zapojení je uvedeno na obrázku 2.4. První součástí celého proudového vstupu je relé, které má za úkol odpojit předcházející obvody. Důvodem tohoto řešení je signalizace přerušení smyčky, kdy v případě, že by obsluha zapojila proudový i napěťový vstup zároveň, tak v době kdy je využíván napěťový vstup, by obvody proudové smyčky předpokládaly, že se signál smyčky zpracovává.

Proudový vstup je osazen odporem  $R_1$  o hodnotě  $R = 100 \Omega$ , na kterém vzniká požadovaný úbytek napětí  $U = 2 \text{ V}$  při proudu smyčky  $I = 20 \text{ mA}$ . Následně signál vstupuje do napěťového sledovače, který má za úkol oddělit tento odpor od vstupu A/D převodníku. Následně je signál z tohoto sledovače veden přes dolní propust s mezní frekvencí  $f_{\text{mezní}} = 10 \text{ Hz}$  na vstup AIN0 A/D převodníku. Hodnoty součástek tohoto filtru jsou vypočítány v rovnici 2.2.

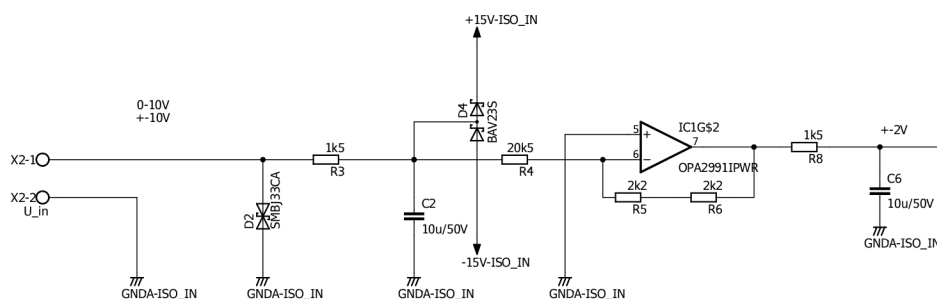


Obr. 2.4: Výřez schématu analogové vstupní proudové části

## Napěťový vstup

Schéma zapojení je uvedeno na obrázku 2.5. Napěťový vstup nemá osazeno relé, protože zde není možnost kontroly funkce připojení. Výběr tohoto vstupu je proveden pouze elektronicky výběrem jiného kanálu A/D převodníku.

Za vstupními svorkami je zapojen invertující zesilovač se zesílením  $0,2 \times$  (-14 dB). Toto zesílení bylo zvoleno z toho důvodu, aby plné vstupní napětí 10 V odpovídalo výstupnímu napětí 2 V. Protože je použita napěťová reference 2,5 V, je zde rezerva v napětí 0,5 V. Tím vzniká ve vstupním napětí rezerva 2,5 V a tedy převodník je schopen zpracovat napětí v rozsahu  $\pm 12,5$  V. Zapojení obsahuje dolní propust se stejnou mezní frekvencí, jako výše uvedený proudový vstup. Výstup z dolní propusti je připojen na kanál AIN3.



Obr. 2.5: Výřez schématu analogové vstupní napěťové části

## Následující obvody

Schéma zapojení je v příloze A.1. Převodník A/D má zapojen vstup AIN2 na nulový potenciál. Zbývající dva připojené kanály jsou k tomuto vstupu referovány pomocí vnitřního nastavení registru MUX. Výběr adresy obvodu byl proveden tak, aby adresa nekolidovala s adresami ostatních obvodů a aby byly tyto piny připojeny co nejjednodušeji na DPS. Toto je splněno, protože vedle adresovacích pinů se nachází resetovací vstup, připojený na +5 V. Adresovací piny jsou připojeny k tomuto napětí také. Výsledná adresa obvodu tedy je 100 0101b (0x45).

### 2.1.4 Vybrané obvody analogové vstupní části

#### Výběr A/D převodníku

V zapojení je použit A/D převodník typu ADS112C04. Obvod této cenové kategorie nepatří k obvodům s největším počtem vzorků za sekundu, ale na úkor počtu vzorků za sekundu má jiné podstatné vlastnosti, které jej činí vhodným k použití v zařízení.

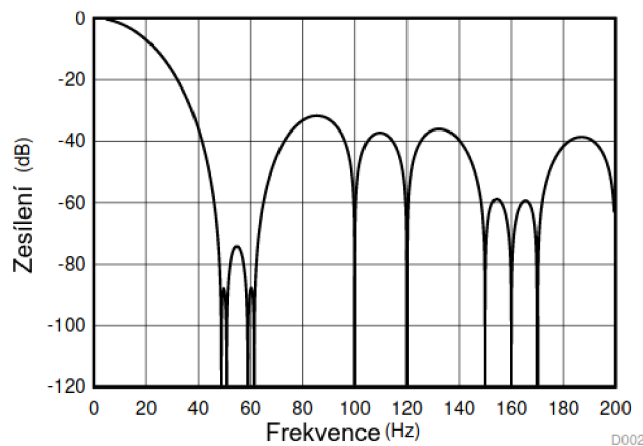
K těmto vlastnostem patří například:

- Nízký vlastní šum, který činí  $490 \text{ nV}_{RMS}$ .
- Malý vstupní proud, který má velikost  $10 \text{ nA}$ . Svou velikostí nezpůsobuje velké proudové špičky při nabíjení vzorkovacího kondenzátoru.
- Offset vstupního napětí činí typicky  $5 \text{ }\mu\text{V}$ .
- Vlastní vstup napěťové reference, která může být připojena externě a zvýší tak přesnost a svobodu výběru napětí.
- První minimum přenosu nastavené na frekvenci  $50 \text{ Hz}$  a z toho plynoucí velké potlačení rušivé sítové frekvence (z katalogu výrobce odečten útlum asi  $80 \text{ dB}$  pro frekvenci  $50 \text{ Hz}$ ).

Další vlastnosti, které spolurozhodly o výběru obvodu:

- Převodník má  $16$  bitů, z toho plynoucí velké rozlišení, kdy pokud by se kód ořezával o  $2$  poslední bity stále má převodník přesnost  $14$  bitů.
- $I^2C$  komunikační rozhraní, které umožňuje snadné galvanické oddělení.
- Funkce cyklické konverze.
- Funkce zabezpečení dat pomocí CRC. Tato možnost bude využita v případě, že bude docházet k narušení přenosu dat. Neumožňuje však opravu chybných bitů.

Na obrázku 2.6 je zobrazena část výstupní charakteristiky filtru. Výrobce udává, že k poklesu o  $3 \text{ dB}$  dochází na frekvenci  $f = 13,1 \text{ Hz}$  [15]. Tomuto je přizpůsoben výše zmíněný vstupní filtr se svou mezní frekvencí, aby se zabránilo vzniku aliasingu. Hodnoty součástí filtru jsou spočítány v rovnici 2.2.



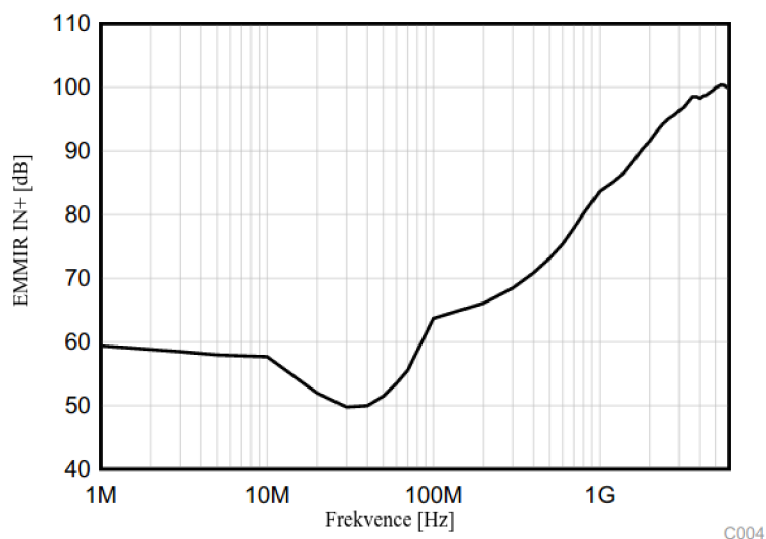
Obr. 2.6: Závislost útlumu na frekvenci výstupního filtru ADS112C04, převzato z [15]



## Výběr ostatních obvodů

Při výběru ostatních obvodů vstupní části byl důraz kladen na cenu a jednoduchost zapojení. Proto byly vybrány operační zesilovače OPA991, které budou použity v celém zařízení pro snížení nákladů.

Jejich přednostmi jsou velká rychlost přeběhu ( $21 \text{ V}/\mu\text{s}$ ), dostatečná šířka pásma (4 MHz), ochranné diody na vstupech a fakt, že tyto zesilovače jsou schopny pracovat při nesymetrickém napájení. Dále výrobce uvádí že obvod dokáže potlačit vysokofrekvenční signál v pásmu od 1 MHz lépe než 60 dB viz obrázek 2.7. Tento obvod dále integruje ochranné prvky na svých vstupech a obsahuje proudovou a tepelnou pojistku.

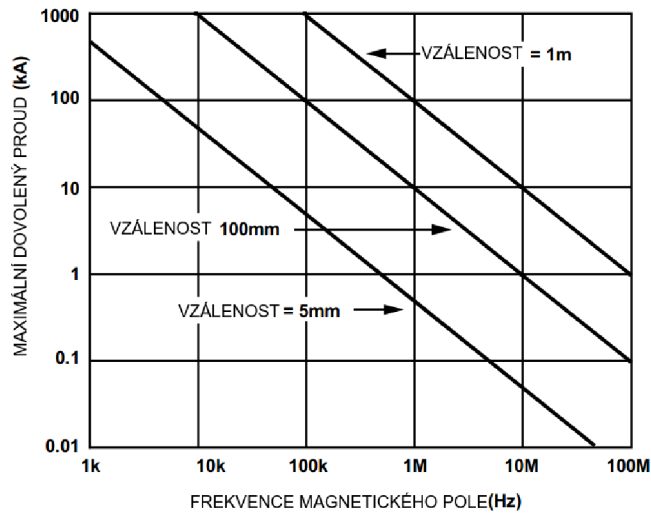


Obr. 2.7: Závislost potlačení signálu na frekvenci obvodu OPA 991, převzato z [21]

Do výběru typu relé vstupovaly následující parametry: velikosti napájecího napětí, velikost odporu cívky relé a odpor kontaktů v sepnutém stavu. Použité relé je typu HE721 na jmenovité napětí 5 V, s odporem cívky  $500 \Omega$  a s odporem kontaktů  $0,15 \Omega$ .

Na pozici oddělovačů sběrnic je vybrán obvod ISO1540. Jedná se o optický oddělovač signálu, který umožňuje obousměrný tok informací. Při výběru bylo zvažováno použití obvodu ADUM1250, který umožňuje stejné oddělení jako výše uvedený obvod, ale pracuje na principu magnetické indukce.

Tento obvod nebyl nakonec zvolen z důvodu umístění celého zařízení v podmínkách, kde se vyskytuje právě velké magnetické rušení a při uvažované vzdálenosti 100 mm od zařízení by dle [18] toto rušení mohlo mít takovou velikost, která by mohla způsobit nefunkčnost celého obvodu a tím celého zařízení, jak je ukázáno na obrázku 2.8.



Obr. 2.8: Závislost proudu okolních obvodů na vzdálenosti od pouzdra ADUM1250, převzato z [18]

### Výběr ochranných prvků

Zařízení má být umístěno v prostředí s výskytem elektromagnetického rušení, proto jsou na obou vstupech zapojeny ochranné diody. Bylo zvoleno dvoustupňové zapojení ochranných prvků. Na vstupech jsou jako první stupeň zapojeny transily SMBJ33CA. Jedná se o bipolární transily u nichž výrobce garantuje průrazné napětí maximálně 40,6 V a pracovní napětí 33 V. Tyto transily dále zvládají odolat impulzům o výkonu 600 W.

Jako druhý stupeň ochrany jsou použity diody BAV23S. Jedná se o dvě diody v jednom pouzdře. Jedna je zapojena v závěrném směru na kladnou napájecí větev a druhá na zápornou napájecí větev. Při překročení vstupního napětí o asi 0,7 V oproti napájecímu napětí, dojde k otevření jedné z diod a svedení napěťové špičky na napájecí větev. Tyto diody zde byly vybrány z důvodu jejich malé kapacity a rychlého spínacího času. Jejich funkce je odstranit ze signálu impulzy, které projdou přes první stupeň ochrany.

Poslední ochrannou bariérou vstupní části každého analogového kanálu jsou již zmíněné ochranné diody integrované v substrátu operačních zesilovačů OPA991. Výrobce specifikuje, že při použití odporů limitujících proud a transilů se lze spolehnout na tyto diody. Prvky druhého stupně ochrany lze tedy případně vynechat.

Jelikož se jedná o polovodičové součástky, prochází nimi při provozu malý svodový proud. Tento proud z hlediska této aplikace lze zanedbat, protože zařízení má mít přesnost do 2 %. Úbytky napětí na odporech ve vstupní části jsou malé a tudíž lze svodové proudy zanedbat. Navíc tyto proudy jsou tak malé, že nezatěžují předchozí obvody.

## 2.1.5 Simulace

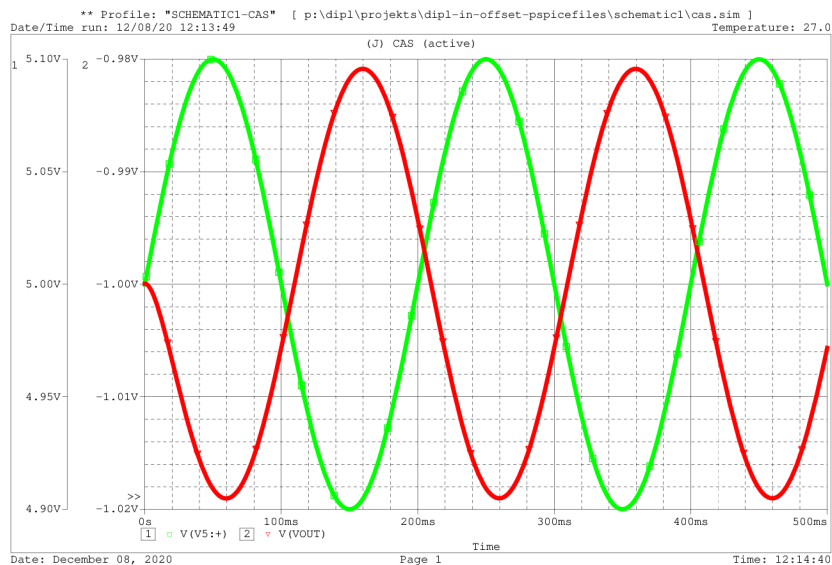
Na obrázku 2.9 je zobrazena simulace časového průběhu vstupního napětí (zelený průběh) a odpovídající výstupní napětí (červený průběh) pro vstupní analogovou část. Ze simulace je patrné, že kladná hodnota vstupního napětí je invertována do záporného rozsahu a je zmenšena ve výše uvedeném poměru 0,2. Na obrázku 2.10 je simulace provedena pro záporné napětí a frekvenci, která je vyšší než je mezní frekvence dolní propusti. Z obrázku je patrné, že dojde znovu k inverzi, tentokrát do kladného napětového rozsahu. Napětí se zmenší a průběh se vyhladí.

Z další simulace uvedené na obrázku 2.11 je patrný průběh modulové frekvenční charakteristiky porovnávaných variant zapojení. Schémata simulovaných variant zapojení jsou uvedena v přílohách C.1, C.2 a C.3. Červený průběh znázorňuje modulovou frekvenční charakteristiku zapojení s jednou dolní propustí. Zelený průběh ilustruje situaci při zapojení jedné dolní propusti před operační zesilovač a druhé za operační zesilovač. Poslední modrý průběh simuluje situaci při zapojení dolních propustí v kaskádě za operační zesilovač. Mezní kmitočty jednotlivých variant byly odečteny ze simulace a jsou v tabulce 2.2

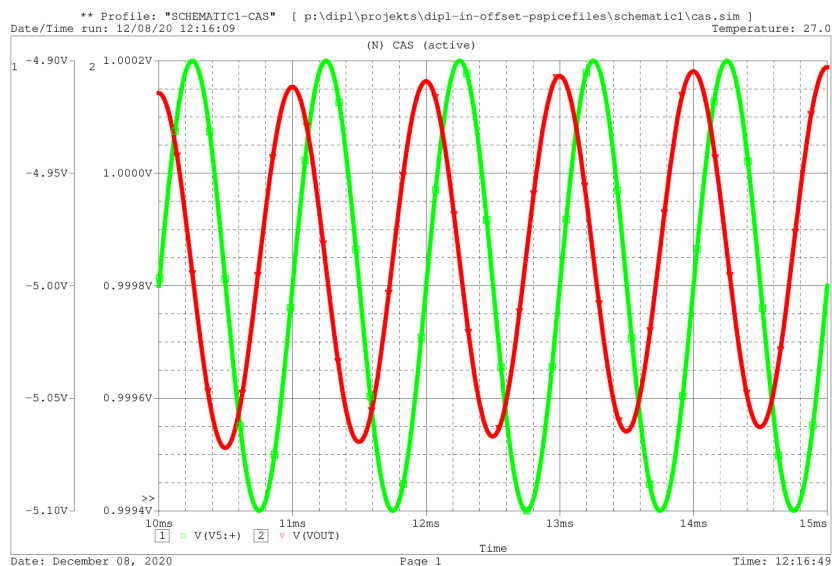
Tab. 2.2: Porovnání mezních frekvencí jednotlivých variant zapojení

Varianta zapojení	Mezní frekvence [Hz]
Jedna dolní propust	10,68
Dvě dolní propusti, každá samostatně	6,95
Dvě dolní propusti, zapojeny v kaskádě	4,19

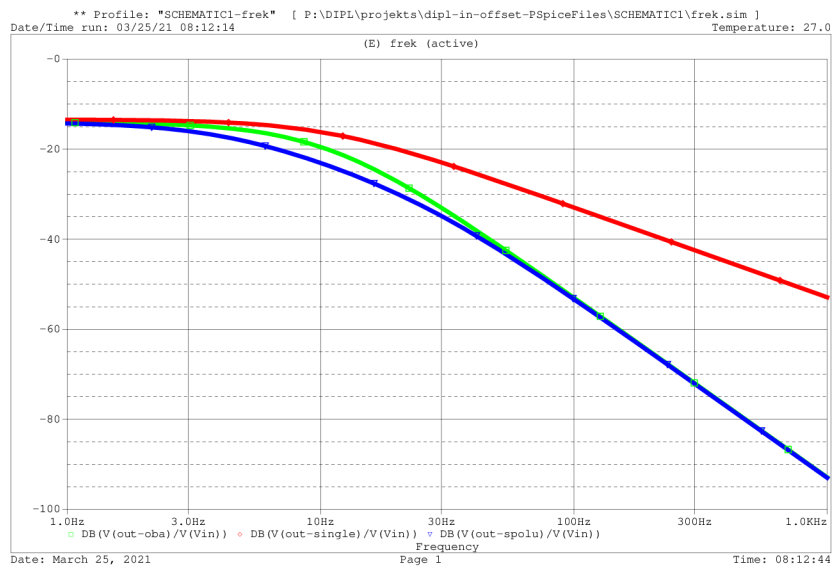
Na posledním obrázku 2.12 jsou opět porovnána výše zmíněná zapojení v časové oblasti. Je zde patrné, že červený průběh nejlépe kopíruje tvar vstupního signálu. Modrý průběh je kompromis zapojení a ze simulace plyne, že žlutý průběh - situace, kdy jsou dolní propusti v kaskádě, je z hlediska reakce na obdélníkový signál nejhorší.



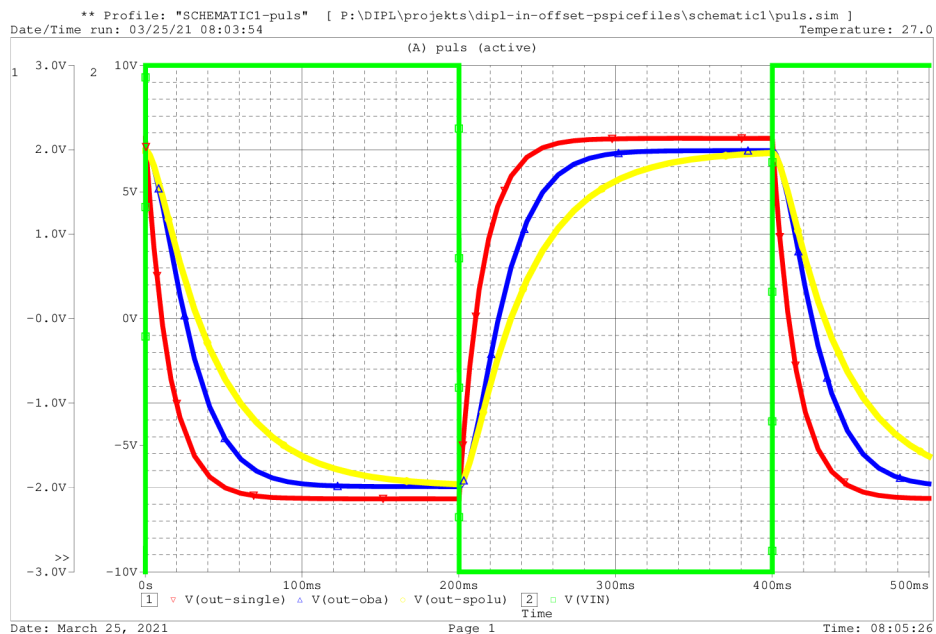
Obr. 2.9: Ukázka časového průběhu vstupního zesilovače pro stejnosměrné napětí  $U_{DC} = 5\text{ V}$ , se superponovaným rušivým napětím  $U_{pp} = 200\text{ mV}$  a frekvencí  $f = 5\text{ Hz}$



Obr. 2.10: Ukázka časového průběhu vstupního zesilovače pro stejnosměrné napětí  $U_{DC} = -5\text{ V}$ , se superponovaným rušivým napětím  $U_{pp} = 200\text{ mV}$  a frekvencí  $f = 1\text{ kHz}$



Obr. 2.11: Modulová frekvenční přenosová charakteristika vstupní části



Obr. 2.12: Porovnání reakce na bipolární obdélníkový signál jednotlivých variant zapojení vstupní části,  $t_d = t_f = 100 \mu s$ ,  $U_{max} = 10 V$ ,  $U_{min} = -10 V$ ,  $t_{on} = t_{off} = 200 ms$

## 2.1.6 Výpočty hodnot součástí

Výpočet přenosu vstupního zesilovače napěťového vstupu

$$a_u = -\frac{R_3 + R_4}{R_1} = -\frac{4,4 \cdot 10^3}{22 \cdot 10^3} = -0,2 \quad (2.1)$$

Výpočet mezní frekvence vstupního filtru

$$f_h = \frac{1}{2 \cdot \pi \cdot R_5 \cdot C_5} = \frac{1}{2 \cdot \pi \cdot 1,5 \cdot 10^3 \cdot 10 \cdot 10^{-6}} = 10,6 \text{ Hz} \quad (2.2)$$

Výpočet nejmenší vzorkovatelné hodnoty A/D převodníku

$$U_{min} = \frac{U_{ref}}{2^n - 1} = \frac{5}{2^{16} - 1} = 76,3 \text{ } \mu\text{V} \quad (2.3)$$

Výpočet integrální nelinearity A/D převodníku

INL = 6 ppm/FSR (typ.) INL = 0,4 LSB

$$INL_{absolutní} = INL \cdot U_{min} = 0,4 \cdot 76,3 \cdot 10^{-6} = 30,5 \text{ } \mu\text{V} \quad (2.4)$$

Teoretická hodnota SNR A/D převodníku [20]

Předpoklad:

- Počet bitů A/D převodníku: 16

$$SNR = 6,02 \cdot n + 1,76 = 6,02 \cdot 16 + 1,76 = 98,08 \text{ dB} \quad (2.5)$$

Hodnota THD+N A/D převodníku [20]

Předpoklady:

- Šum operačního zesilovače OPA991:  $e_{1,rms} = 0,3 \text{ } \mu\text{V}$  [21]
- A/D převodníku:  $e_{2,rms} = 490 \text{ nV}$  [15]
- $B = 100 \text{ kHz}$
- $T = 45 \text{ } ^\circ\text{C} \rightarrow 313 \text{ K}$
- $R = 1,5 \text{ k}\Omega$

$$\begin{aligned} v_{n,rms} &= \sqrt{4 \cdot k \cdot T \cdot R \cdot B} \\ &= \sqrt{4 \cdot 1,38 \cdot 10^{-23} \cdot 313 \cdot 1,5 \cdot 10^3 \cdot 100 \cdot 10^3} = 1,6 \text{ } \mu\text{V} \end{aligned} \quad (2.6)$$

$$\begin{aligned} E_{rms} &= THD + N = \sqrt{e_{1,rms}^2 + e_{2,rms}^2 + v_{n,rms}^2} \\ &= \sqrt{(0,3 \cdot 10^{-6})^2 + (490 \cdot 10^{-9})^2 + (1,6 \cdot 10^{-6})^2} = 1,7 \text{ } \mu\text{V} \end{aligned} \quad (2.7)$$

$$THD + N_{dB} = 20 \cdot \log(1,7 \cdot 10^{-6}) = -115,4 \text{ dB} \quad (2.8)$$

pozn. Jak je uvedeno ve zdroji [20], pokud je šířka pásma velká, lze převést výpočet THD+N na výpočet N, jak je uvedeno v rovnici 2.7, protože složka šumu má

větší hodnotu. Toto zjednodušení je provedeno z důvodu nspecifikování THD výrobcem [15]. Jelikož je šířka pásma vstupního signálu stejná jako  $f_s/2$ , jedná se o tento případ. Výrobce specifikuje parametr ENOB pro 40 vzorků za sekundu. Teoretická hodnota ENOB je 16 bitů.

Skutečná hodnota parametrů THD+N, a ENOB bude ovšem mnohem horší vlivem šumu okolí a šumu okolních obvodů. Vzhledem k tomu, že na výstupní straně je použit 12 bitový D/A převodník, bude docházet k mnohem většímu vzniku nepřesnosti vlivem ořezání výsledku převodu než vlivem šumu.

## 2.2 Analogová výstupní část

Analogová výstupní část je posledním blokem celého řetězce zpracovávání signálu. Jejím hlavním úkolem je převádět digitální hodnotu zpracovanou mikroprocesorem zpět na analogový signál.

### 2.2.1 Teoretické poznatky

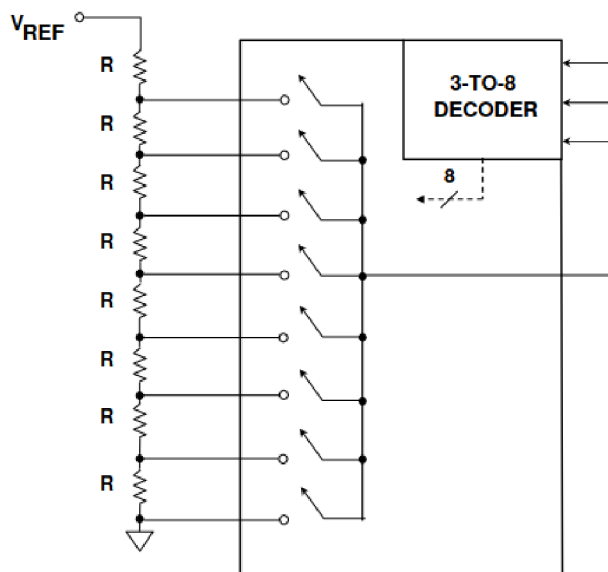
#### Architektura D/A převodníku

Na trhu existuje mnoho druhů architektur D/A převodníků. Architektury mají společné použití váhových nastavujících prvků a elektronických přepínačů, které se spínají podle vstupního slova. Výběr z možných architektur je k nalezení ve zdroji [26, 27]. Z hlediska této práce je blíže popsána struktura zapojení využívající právě rezistorový dělič stejných hodnot.

#### Převodník s rezistorovým děličem

Principiální schéma je na obrázku 2.13. V každém časovém okamžiku je sepnut právě jeden spínač a tím právě jedna odbočka na děliči. Počet rezistorů je  $2^N$ . Daní za tuto jednoduchou strukturu, je skutečnost, že výstupní impedance je závislá na nastaveném kódu. Proto tyto převodníky musí ve své struktuře obsahovat výstupní buffer, který zajistí impedanční oddělení.

Další nevýhodou je skutečnost, že dochází k použití velkého počtu rezistorů. Tyto rezistory mají velkou hodnotu, a proto jsou tyto převodníky náchylné na šum. Poslední nevýhodou je nutnost trimování jednotlivých rezistorů, a proto tyto D/A převodníky zpravidla nemají dobré hodnoty DNL a INL při srovnání s ostatními architekturami [28].



Obr. 2.13: Blokové schéma zapojení D/A převodníku, převzato z [26]

K výhodám tohoto zapojení patří, že v jednu chvíli je sepnuta pouze jedna odbočka. Při změně kódu a přepnutí odboček dochází tedy k rychlému glitchi. Další výhodou je jednoduchá architektura, jejíž výroba je levná.

## 2.2.2 Porovnání variant zapojení analogové vstupní části

V rámci návrhu bylo uvažováno několik variant zapojení. Tyto varianty se lišily složitostí zapojení, cenou a dosažitelnými parametry, přičemž zapojení výstupní napěťové části bylo uvažováno vždy stejné.

První variantou bylo použití integrovaného vysílače proudové smyčky a diskretní řešení napěťového výstupu. Toto zapojení má výhodu v relativně malém počtu součástek, kdy se celý proudový výstup redukuje do jednoho odvodu a tranzistoru. Další výhodou je skutečnost, že obvod sám ve své struktuře zajišťuje funkci hlídání proudové smyčky při přerušení. Poslední výhodou je možnost připojení externího HART modulátoru.

Nevýhodou je nutnost použití samostatného diskretně řešeného kanálu napěťového výstupu a skutečnost, že tento obvod nelze nahradit v případě jeho nedostupnosti. Další nevýhodou je použití jiné sběrnice než ve vstupní části a z toho plynoucí nutnost použití jiných galvanických oddělovačů než na vstupní straně a využití dalších pinů mikroprocesoru, což komplikuje návrh DPS.



Druhou variantou je zapojit celý výstup - jak proudový tak napěťový - z diskrétních součástek a operačních zesilovačů. Toto zapojení je vhodné hlavně z toho důvodu, že lze jednotlivé dosažitelné parametry jednotlivých celků samostatně zvolit. Například použití sběrnice  $I^2C$ , rozsah proudové pojistky, zesílení celků atd. Nevýhodou je použití velkého počtu součástek a s tím spojené komplikace při návrhu DPS. Pro návrh byla zvolena právě tato varianta.

### 2.2.3 Vybraná varianta zapojení analogové výstupní části

Finální zapojení se nachází v příloze A.2. Toto zapojení bylo zvoleno z cenových a rozměrových důvodů.

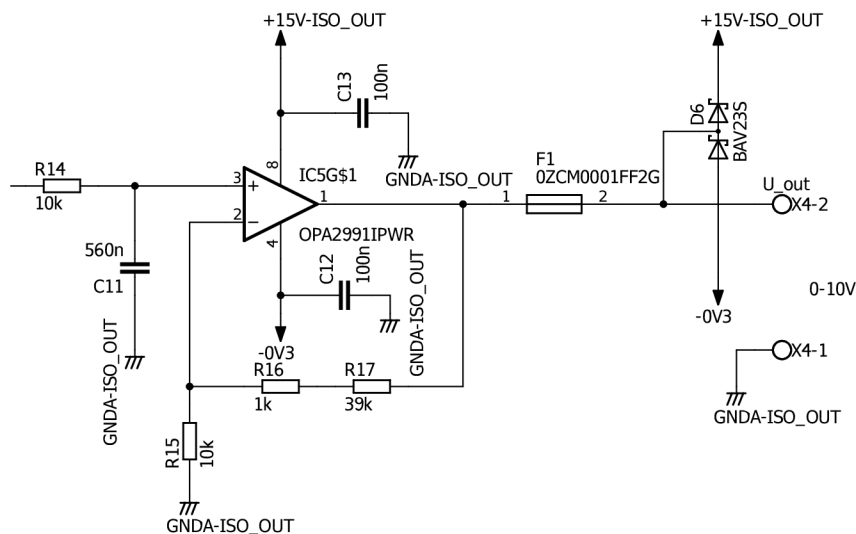
Digitální kód po galvanickém oddělení přichází do jednoho ze dvou D/A převodníků. Zapojení dvou kusů D/A převodníků bylo zvoleno z toho důvodu, že při použití jednoho jednokanálového převodníku by bylo potřeba použití dvou relé, kterými by se vybíral požadovaný výstup. Použití jednoho kusu dvoukanálového převodníku není výhodné z důvodů cenových, komunikačních nebo z důvodu použití jiného referenčního napětí.

Právě nepoužívaný D/A převodník bude mít svůj výstup připojený přes vnitřní odpor  $1\text{ k}\Omega$  na zem. Tím bude zajištěno nulové napětí nebo proud právě nepoužívaného výstupu.

#### Napěťový výstup

Výřez analogové části schématu zapojení je uveden na obrázku 2.14. Napětí generované v D/A převodníku na základě kódu, vstupuje na dolní propust prvního řádu. Mezní frekvence této propusti je spočítána v rovnici 2.9. Následuje operační zesilovač zapojený v neinvertujícím zapojení. Protože se signál utlumil ve vstupní části 5 x, je nyní třeba signál zesílit o stejnou hodnotu. Výpočet hodnot součástek je uveden v rovnici 2.13.

Napěťový výstup je jistěn vratnou PTC pojistkou s hodnotou  $30\text{ mA}$ . Tato hodnota je zvolena na základě požadavků na výstupní proud, který je možné ze zařízení odebírat, s ohledem na proudové možnosti operačního zesilovače a s ohledem na redukci maximálního proudu pojistky při zvýšených teplotách. Při teplotě  $50\text{ }^\circ\text{C}$  udává výrobce redukci proudu na  $80\%$  [29].



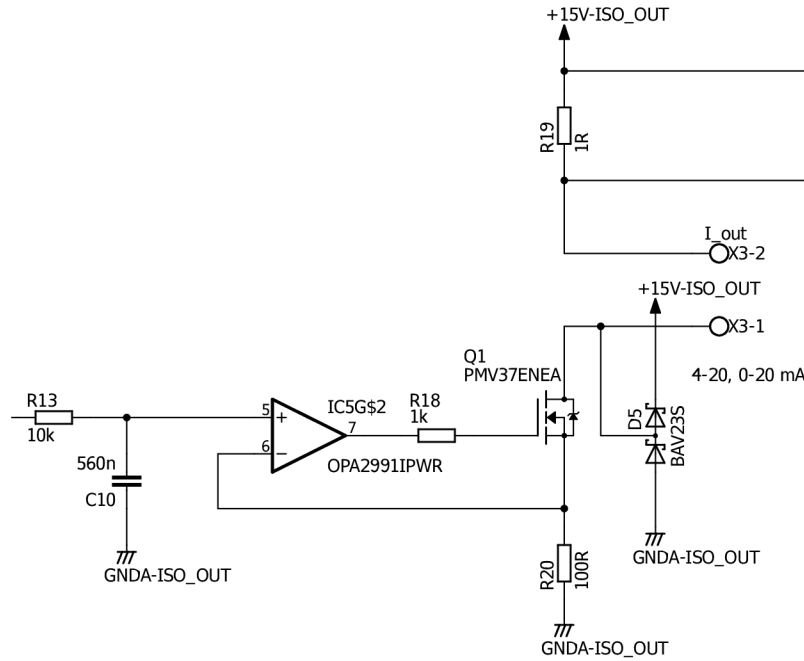
Obr. 2.14: Výřez schématu analogové výstupní napěťové části

### Proudový výstup

Výřez analogové části schématu zapojení je uveden na obrázku 2.15. Druhý D/A převodník je zapojen jako zdroj referenčního napětí pro proudový výstup. Signál prochází opět přes dolní propust na vstup operačního zesilovače. Z důvodu stejného utlumení signálu ve vstupní části, je zvolena hodnota odporu nastavujícího proud na hodnotu  $100 \Omega$ . Její výpočet je uveden v rovnici 2.10.

Výstupní tranzistor je typu PMV37ENEA. Na tomto místě plně vyhovuje dle oblasti SOAR pro trvalé sepnutí [25]. Jeho chlazení zajišťuje DPS viz kapitola 3.1. Výkonová ztráta tranzistoru je vypočítána v rovnici 3.2.

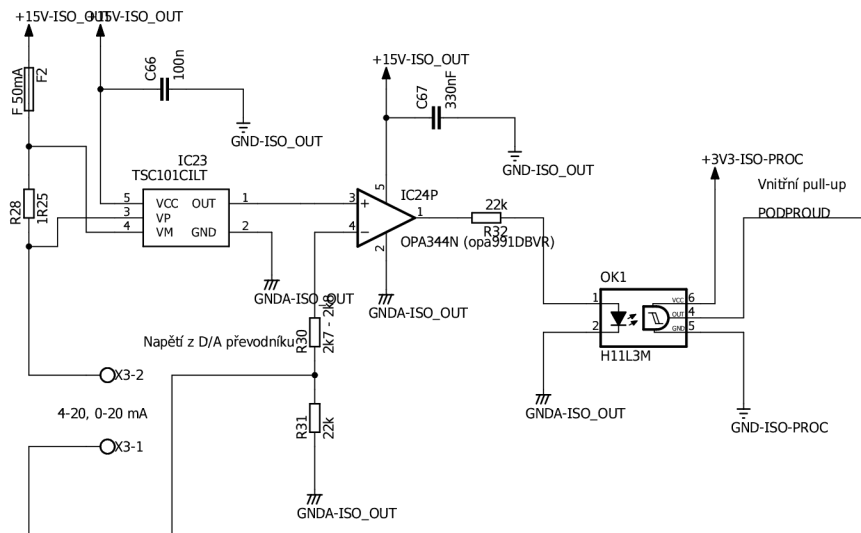
V proudovém zdroji se nachází snímací odpor o hodnotě  $1 \Omega$ , který slouží pro snímání proudu. Výpočet je uveden v rovnici 2.11.



Obr. 2.15: Výřez schématu analogové výstupní proudové části

### Elektronická pojistka proudového výstupu

Na snímací odpor jsou připojeny vstupy diferenčního zesilovače TSC101C. Tento obvod má za úkol zesílit diferenční napětí a poté jej na svém výstupu poskytuje pro A/D převodník. A/D převodník toto napětí konvertuje na digitální hodnotu. Mikroprocesor bude hodnotu napětí číst ve stanovených intervalech (1 s) a pokud se bude lišit o zadanou hodnotu (3 mA) bude rozsvícena stavová LED dioda a vypnut výstup.



Obr. 2.16: Výřez schématu podproudové ochrany s komparátorem

V rámci návrhu zapojení byla uvažována možnost zapojení pojistky s komparátorem (schema viz obrázek 2.16). Tato varianta byla zavržena z důvodu velké prostorové náročnosti a z cenových důvodů viz tabulka 2.3. Navíc v neprospěch dále hovořilo, že rozdíl proudů byl pevně dán a mohl se měnit pouze změnou součástek. V současném zapojení je toto možné změnit softwarově. Výpočet součástek je v rovnici E.2. K překlopení komparátoru dojde pokud se napětí liší o více než 0,375 V. Toto napětí odpovídá právě rozdílu proudu 3 mA.

Tab. 2.3: Porovnání cen uvažovaných variant zapojení výstupní části

Součástka	Varianta s A/D převodníkem	Cena [Kč]	Varianta s komparátorem	Cena [Kč]
Operační zesilovač	0	0	1 - OPA991	29,18
A/D převodník	1 - MCP3021	24,48	0	0
Galvanické oddělení	0	0	1 - H11L3	24,94
Pasivní součástky	0	0	3	10
<b>Celkem [Kč]</b>		<b>24,48</b>		<b>64,12</b>

## 2.2.4 Vybrané obvody analogové výstupní části

### Výběr D/A převodníku

Jako D/A převodník byl vybrán obvod DAC7571. Jedná se o 12 bitový převodník s komunikační sběrnicí  $I^2C$ .

Důvody jeho použití:

- Malé nulové napětí při nulovém kódu - 7 mV.
- Cenové hledisko - asi 60,-Kč.
- Snadné nastavení - pouze dva nastavovací bity.
- Vyrovnané chyby nuly v celém teplotním rozsahu.
- Chyby nelinearit v celém teplotním rozsahu jsou vyrovnané.
- Komunikační sběrnice  $I^2C$ . Není nutné používat více různých oddělovačů sběrnic.

Nevýhodou je rozlišení převodníku pouze 12 bitů, ale z cenových důvodů není možné použít převodník s vyšším rozlišením, protože cena například za 14 bitový převodník DAC70501 je více než dvojnásobná.

### Výběr ostatních obvodů

Vybrané operační zesilovače jsou schopny pracovat v Rail-to-Rail režimu, ale pro trvalý provoz okolo nulového výstupního napětí je lepší použití malého záporného předpětí [30]. Toto předpětí je zajištěno pomocí obvodu LM7705 viz příloha B.2. Jedná se o invertující nábojovou pumpu, která na svém výstupu poskytuje záporné napětí o hodnotě 0,23 V. Toto napětí stačí k tomu, aby operační zesilovače pracovaly lineárně i v oblasti kolem nulového výstupního napětí [30].

Jako diferenciální zesilovač byl vybrán obvod TSC101C, protože ve své struktuře obsahuje přesné odpory a napěťový sledovač. Pokud by bylo toto zapojení řešeno z diskrétních součástek, byla by použita plocha DPS větší a přesnost by byla menší.

Na místo A/D převodníku byl vybrán obvod MCP3021 z důvodu jeho ceny - jedná se o nejlevnější odvod s  $I^2C$  rozhraním.

Použité operační zesilovače jsou stejného typu jako v celém zapojení a to OPA991 na základě důvodů zmíněných v kapitole 2.1.4.

### Výběr ochranných prvků

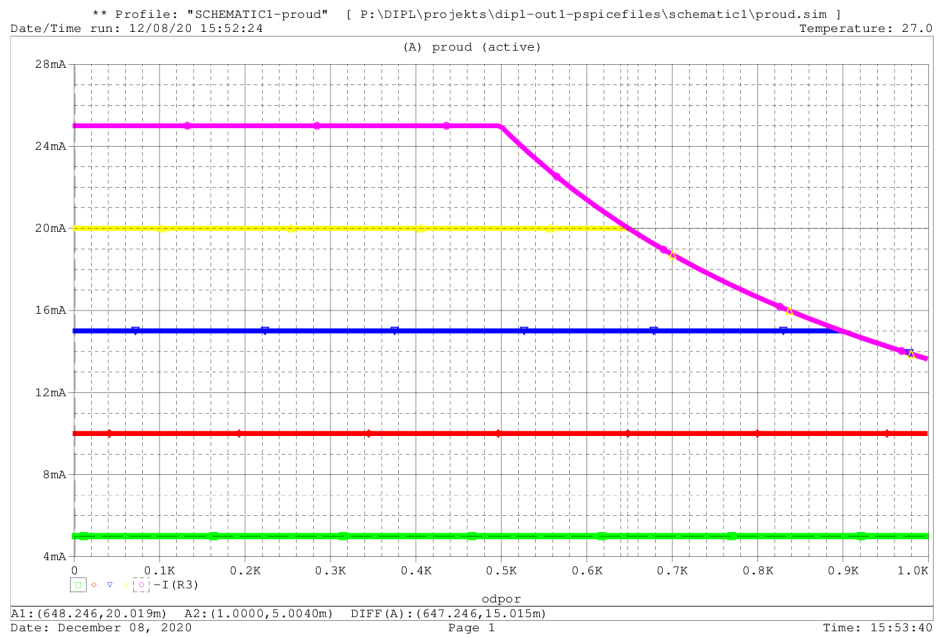
Na výstupní straně jsou použity stejné diody popsané v kapitole 2.1.4. Jelikož na výstupní straně převodníku se počítá s krátkým úsekem vedení ke vstupu PLC, došlo k vynechání transilů.

## 2.2.5 Simulace

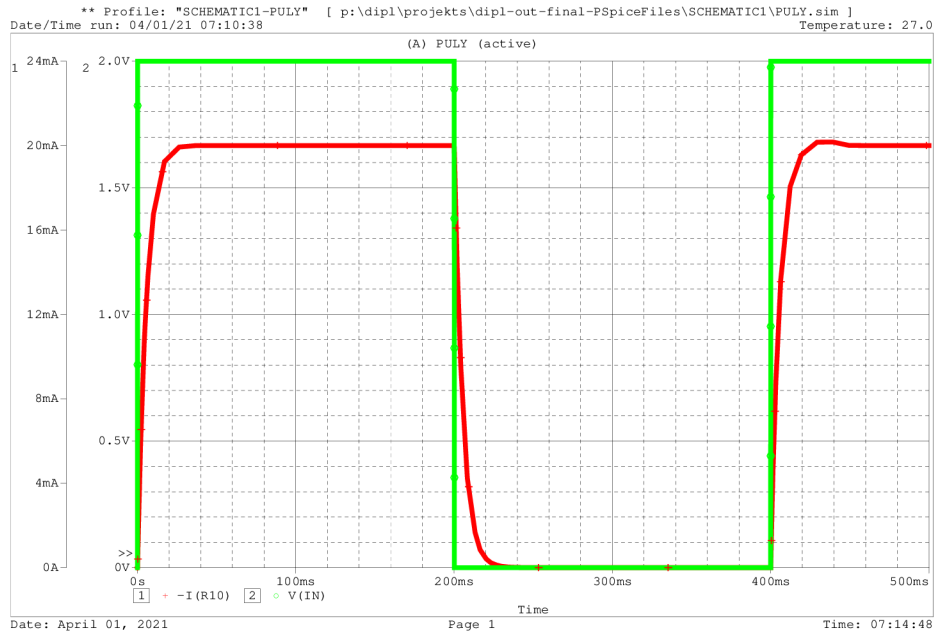
Na obrázku 2.17 je ukázka simulace výstupního proudu v závislosti na odporu proudové smyčky. Ze simulace je patrné, že proud 25 mA (růžový průběh), je zařízení

schopno dodat do odporu cca  $500 \Omega$ . Tento odpor v případě použití koncového odporu  $250 \Omega$  a použití kabelu s průřezem  $0,2 \text{ mm}^2$  odpovídá délce kabelu cca 3 km [31].

Na další simulaci uvedené na obrázku 2.18 je ukázka reakce zapojení analogové výstupní části proudové smyčky na vstupní obdélkový signál. Ze simulace je patrné, že dochází ke zkreslení hran signálu a malému překmitu velikosti cca  $0,5 \text{ mA}$ .



Obr. 2.17: Simulace závislosti výstupního proudu na odporu smyčky



Obr. 2.18: Reakce analogové výstupní části proudové smyčky na obdélníkový signál,  $t_d = t_f = 100 \mu s$ ,  $U_{max} = 2 V$ ,  $U_{min} = 0 V$ ,  $t_{on} = t_{off} = 200 ms$

Na obrázku v příloze E je ukázka ze simulace nevyužité varianty s komparátorem. K jeho překlopení docházelo při napětí 2,125 V při vstupním napětí 2,5 V. Rozdíl proudů, který tento rozdíl činí je vypočítán v rovnici E.1. Takto zvolená napětí jsou zde z důvodu použití jiného nastavovacího odporu proudu.

## 2.2.6 Výpočty hodnot součástek

Předpoklady

- $U_{cc} = 15 V$
- $U_{D/A,max} = 2 V$
- $A_u = 0,2$
- $\frac{1}{A_u} = 5$
- $A_{u,TSC101C} = 100$
- $I_{smyčky,max} = 20 mA$
- $R_{26} = 10 k\Omega$

Výpočet mezní frekvence

$$f_h = \frac{1}{2 \cdot \pi \cdot R_{14} \cdot C_{11}} = \frac{1}{2 \cdot \pi \cdot 10 \cdot 10^3 \cdot 560 \cdot 10^{-9}} = 28,4 Hz \quad (2.9)$$

## Výpočet odporu nastavujícího proud

$$R = \frac{U_{D/A,max}}{I_{smyčky,max}} = \frac{2}{20 \cdot 10^{-3}} = 100 \Omega \quad (2.10)$$

## Výpočet snímacího odporu proudové ochrany

$$R_{sense} = \frac{U_{D/A,max}/A_{u,TSC101C}}{I_{smyčky,max}} = \frac{2/100}{20 \cdot 10^{-3}} = 1 \Omega. \quad (2.11)$$

## Výpočet napětí na snímacím A/D převodníku při maximálním proudě smyčky

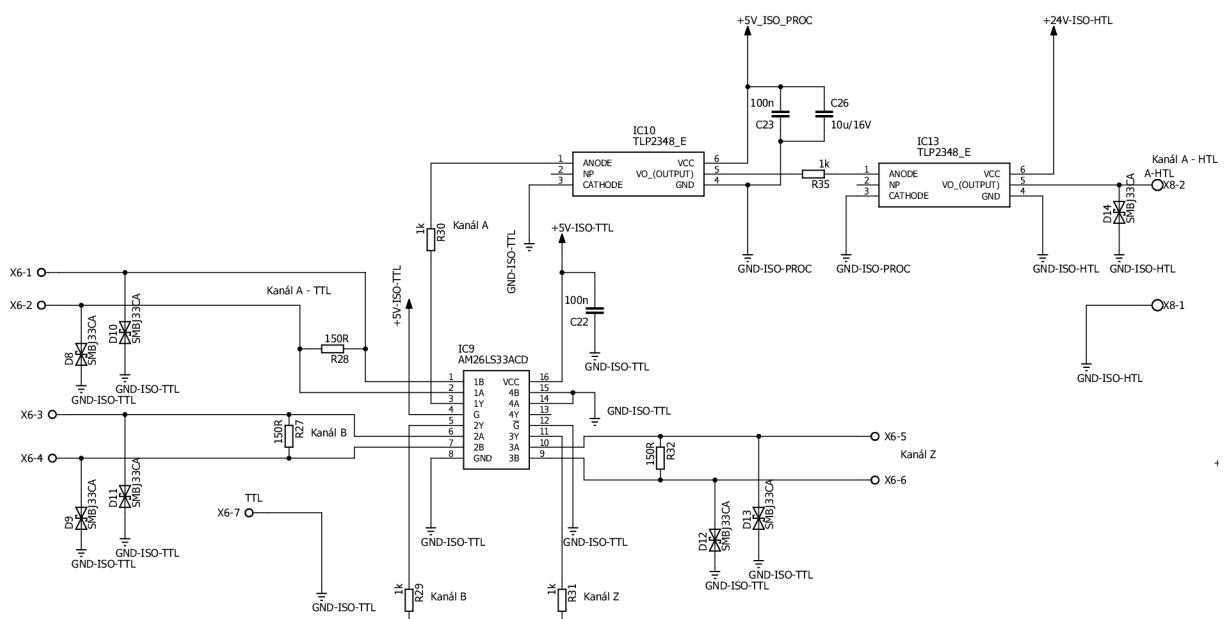
$$U_{sense} = R_{sense} \cdot I_{smyčky,max} \cdot A_{u,TSC101C} = 1 \cdot 20 \cdot 10^{-3} \cdot 100 = 2 V \quad (2.12)$$

## Výpočet odporů nastavujících zesílení napěťového zesilovače

$$R_{27} = \left(\frac{1}{A_u} - 1\right) \cdot R_{26} = (5 - 1) \cdot 10 \cdot 10^3 = 40 k\Omega \Rightarrow 39 k\Omega a 1 k\Omega \quad (2.13)$$

## 2.3 Logická vstupní a výstupní část

Celkové schéma zapojení vstupní části na straně TTL a výstupní části na straně HTL je v příloze A.3. Na obrázku 2.19 je výřez zapojení pro jeden kanál převodníku.



Obr. 2.19: Schéma zapojení jednoho kanálu převodníku TTL - HTL

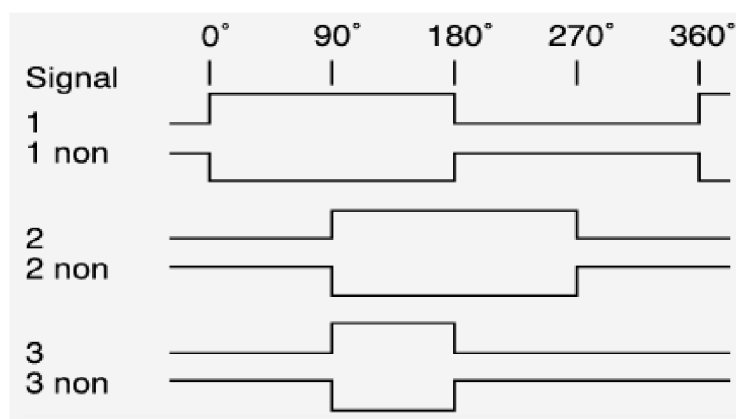
Důvod používání logiky HTL je její vysoká odolnost proti rušení, kdy se používají úrovně 0 a 24 V. Toto zajistí vyšší odolnost proti rušení než je tomu v případě logiky TTL, kdy jsou napěťové úrovně k sobě umístěny mnohem blíže - 0 a 5 V.



### 2.3.1 Vstupní část na straně TTL

Zapojení se skládá z šestikanálového oddělovače. Tyto signály se označují jako A,B,Z a používají se pro inkrementální snímače otáček. Signály A a B přenáší informaci o smyslu otáčení (jsou vůči sobě posunuty o  $90^\circ$ ) a signál Z přenáší informaci o nulové pozici [32, 33]. Protože jsou kanály totožné, bude pro jednoduchost popsán pouze kanál jeden. Zbylé tři kanály jsou invertované doplňky k těmto výše popsaným signálům.

Při návrhu vstupní části byl kladen důraz na odolnost proti rušení, na malé zatížení předchozích obvodů a na co nejstrmější hrany signálu. Vstupní signály např. kanálu A jsou v úrovni  $0 - 5\text{ V}$ . Ve stejný časový okamžik je negovaný signál v kanálu  $\bar{A}$  v úrovni  $5 - 0\text{ V}$ . Situaci ilustruje obrázek 2.20. Jedná se tedy o diferenciálně zapojený pár. Na stejném principu pracuje sběrnice RS-422.



Obr. 2.20: Časový průběh výstupního napětí inkrementálního snímače otáček, převzato z [32]

Diferenciální pár je velmi odolný proti rušení, kdy vstupní obvod přijímače dokáže potlačit souhlasné napětí, které se do kabelu dostalo rušením. Délka sběrnice RS-422 je dle normy stanovena na 1 km [34]. Oproti tomu délka sběrnice, která není zapojena diferenciálně např. RS-232, má maximální doporučenou délku jen 15 až 20 m [35].

Jako vstupní obvod sběrnice TTL byl vybrán obvod AM26LS33, a to z následujících důvodů:

- Příznivá cena.
- Rozhodovací úrovně kompatibilní s diferenciálním zapojením TTL.
- Vstupní impedance  $15\text{ k}\Omega$ .
- Maximální souhlasné napětí  $15\text{ V}$ .

- Interně zapojený Schmittův klopný obvod. Z toho plyne odolnost proti záskmitům.
- Dostatečná výstupní proudová zatížitelnost. Obvod dokáže řídit optočlen přímo.

Na vstupní straně každého kanálu se nachází zakončovací odpor s hodnotou  $150 \Omega$ . Tato hodnota je zvolena podle typu použitého kabelu, kdy vlnová impedance kabelu by se neměla od tohoto odporu lišit o více než 20 %, jak je uvedeno ve zdroji [36].

Dle uvedeného zdroje je lepší hodnotu tohoto odporu zvětšit. Tímto sice bude docházet k překmitu signálu, ale hrana signálu bude strmější a zlepší se SNR. Zapojení umožňuje převádět signály i při připojení jen přímé varianty kanálů tím, že se nevyužité vstupy invertovaných signálů ponechají nepřipojené.

Obvod dále spíná optočlen TLP2348. Důvody jeho použití jsou následující:

- Malý proud, který je nutný k provozu obvodu a diody.
- Ve svém zapojení obsahuje Schmittův klopný obvod.
- Výstup obvodu je zapojen jako Push-pull, není tedy nutné přidávat další součástky - pull-up nebo pull-down rezistory, jako v případě použití obvodu s výstupem typu otevřený kolektor.
- Výstupní proud činí 50 mA, není tedy nutné použití dalších součástek.
- Obvod zvládá spínat i při frekvenci 1 MHz.
- Široký provozní rozsah napětí, je možné ho provozovat na v zapojení použitých napětích 5 V a 24 V.

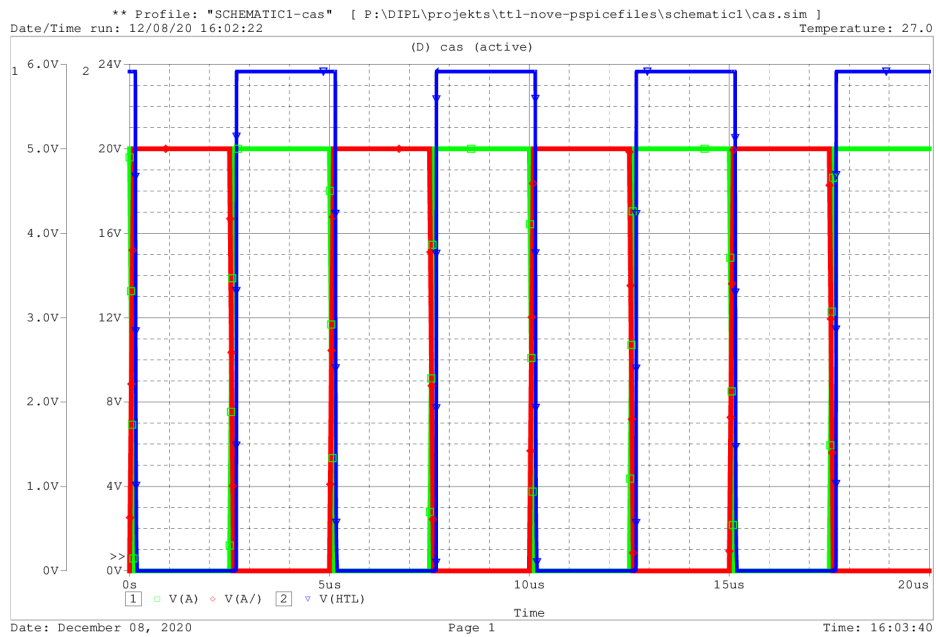
### 2.3.2 Výstupní část na straně HTL

Signál vstupuje přes odpor na vstup druhého optočlenu stejného typu. Zde je znovu galvanicky oddělen od meziobvodu, poté je již signál přítomen na výstupu převodníku. Zde má signál úroveň HTL a všechny kanály jsou referovány proti zemi HTL strany.

### 2.3.3 Simulace

Na obrázku 2.21 je simulován průběh pro nominální vstupní hodnoty logiky TTL. Na obrázku 2.22 je zobrazena simulace pro vstupní signály kanálu A a korespondující výstupní signál na straně HTL. Vstupní signál má délku sestupné a nástupné hrany 100 ns. Do signálu je přimíchán rušivý signál o frekvenci 5 MHz a amplitudě 100 mV. Ze simulace je patrné, že případné rušení ani v takovéto hodnotě (která spíše odpovídá úrovni signálu) nemá na přenos žádný vliv. Dále ze simulace plyne, že ani nižší úroveň vstupního signálu nijak neovlivňují kvalitu přenosu. Pro zajímavost je na obrázku 2.23 ukázka simulace pro velmi zkreslený, zarušený signál. Vstupní signál

má délku sestupné a vzestupné hrany 1  $\mu\text{s}$ . Do signálu je přimíchán rušivý signál o frekvenci 5 MHz a amplitudě 1 V. Ani v tomto případě není v přenosu problém.



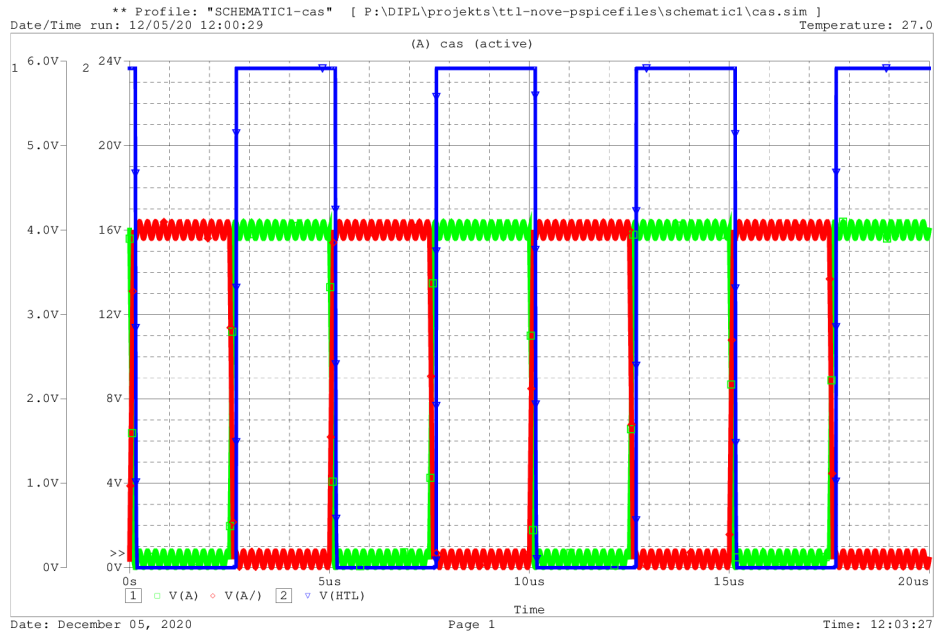
Obr. 2.21:

Zelený - časový průběh vstupního napětí s parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 5 \text{ V}$ ,  
 $f = 200 \text{ kHz}$

Červený- časový průběh vstupního napětí s parametry:  $U_{min} = 5 \text{ V}$ ,  $U_{max} = 0 \text{ V}$ ,  
 $f = 200 \text{ kHz}$

Modrý- časový průběh výstupního napětí na straně HTL

Bez vstupního rušení



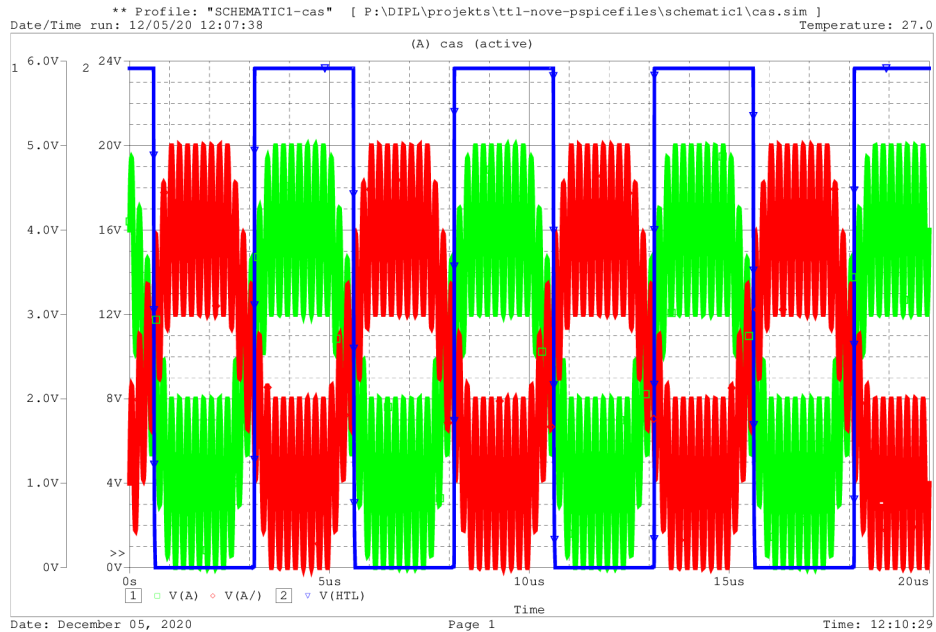
Obr. 2.22:

Zelený - časový průběh vstupního napětí s parametry:  $U_{min} = 0,1 \text{ V}$ ,  $U_{max} = 4 \text{ V}$ ,  
 $f = 200 \text{ kHz}$

Červený- časový průběh vstupního napětí s parametry:  $U_{min} = 4 \text{ V}$ ,  $U_{max} = 0,1 \text{ V}$ ,  
 $f = 200 \text{ kHz}$

Modrý- časový průběh výstupního napětí na straně HTL

Vstupní rušení o frekvenci  $f = 5 \text{ MHz}$  a napětí  $U_{pp} = 200 \text{ mV}$



Obr. 2.23:

Zelený - časový průběh vstupního napětí s parametry:  $U_{min} = 1 \text{ V}$ ,  $U_{max} = 4 \text{ V}$ ,  
 $f = 200 \text{ kHz}$

Červený- časový průběh vstupního napětí s parametry:  $U_{min} = 4 \text{ V}$ ,  $U_{max} = 1 \text{ V}$ ,  
 $f = 200 \text{ kHz}$

Modrý- časový průběh výstupního napětí na straně HTL

Vstupní rušení o frekvenci  $f = 5 \text{ MHz}$  a napětí  $U_{pp} = 2 \text{ V}$

## 2.4 Mikroprocesorové řízení

Mikroprocesor tvoří mezistupeň mezi A/D převodníkem na straně jedné a D/A převodníkem na straně druhé. Použitý mikroprocesor STM32G031K6, patří k základním procesorům rodiny s architekturou ARM, obsahuje jádro Cortex-M0+.

Jako komunikační rozhraní bude využíván jeden kanál sběrnice  $I^2C$ , ve kterém budou připojeny galvanické oddělovače a za nimi A/D nebo D/A převodníky.

Jádro mikroprocesoru bude taktováno vnitřním zdrojem hodinového signálu o frekvenci 16 MHz. Tato frekvence je zvolena z důvodu potřeby rychlého zpracování dat bez omezení ve spotřebě. Nahrání kódu a jeho ladění bude probíhat přes rozhraní SWDIO.



Tab. 2.4: Kombinace bitů DIP přepínačů pro analogovou část

Bit 0	Bit 1	Funkce pro vstup	Funkce pro výstup
0	0	Napěťový vstup $\pm 10$ V	Napěťový výstup 0 - 10 V
0	1	Napěťový vstup 0 - 10 V	Napěťový výstup 0 - 10 V
1	0	Proudový vstup 0 - 20 mA	Proudový výstup 0 - 20 mA
1	1	Proudový vstup 4 - 20 mA	Proudový výstup 4 - 20 mA

Tab. 2.5: Kombinace bitů DIP přepínačů pro filtraci

Bit 0	Bit 1	Záloha	Filtrace
0	0		Vypnuta
0	1		Průměr z 3 vzorků
1	0		Exponenciální filtrace
1	1		Nevyužito

## 2.4.2 Výpočty hodnot součástek

Předpoklady

- $U_{cc} = 5$  V
- $R_{HE721} = 500$   $\Omega$
- $I_{LED} = 20$  mA
- $U_{LED} = 2$  V
- $U_{procesor} = 3,3$  V
- $h_{fe} = 100$
- $U_{BE} = 0,7$  V
- Koeficient zvětšení  $k = 3 - 5$  [37]

**Výpočet celkového proudu kolektoru - nejhorší případ**

$$I_c = I_{LED} + \frac{U_{cc}}{R_{HE720}} = 20 \cdot 10^{-3} + \frac{5}{500} = 30 \text{ mA} \quad (2.14)$$

**Výpočet odporu nastavujícího proud do báze tranzistoru- nejhorší případ**

$$R_b = \frac{U_{procesor} - U_{be}}{(I_c/h_{fe}) \cdot k} = \frac{3,3 - 0,7}{(30 \cdot 10^{-3})/100 \cdot 3} = 2,8 \text{ k}\Omega \Rightarrow 2,2 \text{ k}\Omega \quad (2.15)$$

**Výpočet odporu emitoru proudového zdroje pro LED diody**

$$R_e = \frac{U_{procesor} - U_{BE}}{I_c} = \frac{3,3 - 0,7}{20 \cdot 10^{-3}} = 130 \Omega \Rightarrow 150 \Omega \quad (2.16)$$

## 2.5 Vstupní napájecí obvody

Vstupní napájecí obvody mají za úkol přizpůsobit velikost napájecího napětí tak, aby bylo vhodné pro následující galvanicky oddělené zdroje a dále zajišťují ochranu proti zkratu, napěťovým špičkám a obsahují filtry pro potlačení rušení.

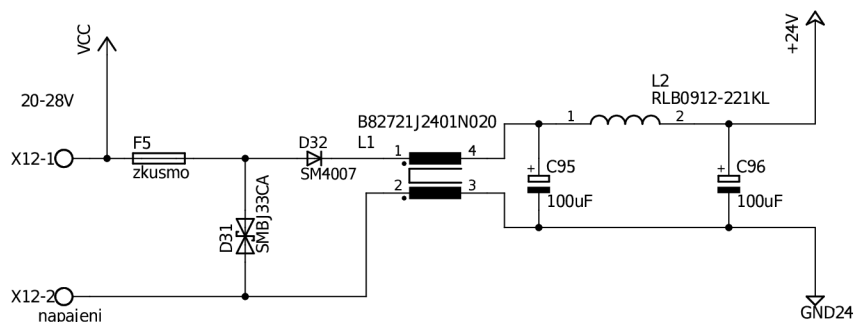
### 2.5.1 Vstupní obvody

Prvními součástkami vstupní části jsou odrušovací filtry. Výsledné schéma zapojení vstupního filtru je na obrázku 2.25. Za napájecími svorkami je pojistka, která zde má dvě funkce. Plní zde funkci nadproudové ochrany a má funkci ochrany proti přepětí, protože je za ní umístěn transil D3, který má pracovní napětí 33 V. Při tomto napětí dochází k jeho otevření a spálení pojistky, tímto se zajistí ochrana proti přepětí. Hodnota pojistky bude stanovena experimentálně na základě změření proudu, který zařízení využívá při normálním provozu. Hodnota bude poté zvětšena o 15 - 20 % tak, aby se při proudových špičkách nepřepálila. Pojistka bude rychlého typu.

Ve vstupní části se kromě výše popsaných součástek dále nachází dioda D2, která zde plní funkci ochrany proti přepólování.

Dále následuje LC filtr schéma viz obrázek 2.25. Na obrázku 2.27 je provedena simulace. Mezní frekvence byla určena kurzorem jako bod protnutí průběhu S11 a S21, kdy je energie, která prochází na výstup a energie odražená poloviční (tj. pokles charakteristiky o 3 dB oproti maximální hodnotě). Hodnota mezní frekvence je odečtena na 1,9 kHz. Odlišnost simulované hodnoty od zvolené je dána vlastnostmi Čebyševovy aproximace. Pokud by se zvolilo větší zvlnění v propustném pásmu, hodnoty by se začaly přibližovat. Takováto hodnota mezní frekvence byla zvolena z důvodu, že na této frekvenci začínají pracovat výkonové měniče motorů [17]. Nižší mezní frekvenci není vhodné použít z důvodu zvětšujících se rozměrů součástek. Hodnoty součástek tohoto filtru byly stanoveny na základě výpočtů uvedených v následující části, dle zdroje [40]. Vykreslení průběhů proběhlo na základě výpočtu ABCD matic pro jednotlivé diskrétní frekvence.

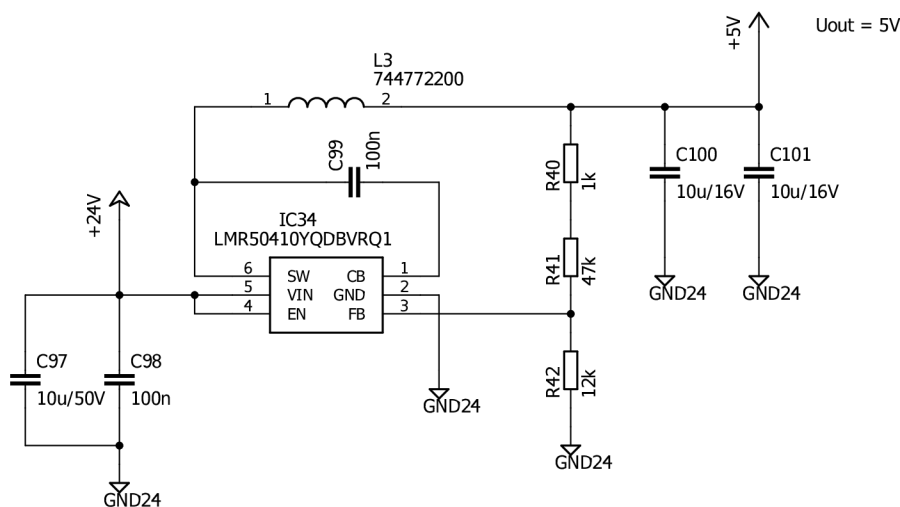




Obr. 2.25: Schéma zapojení vstupního filtru

## 2.5.2 Zapojení vstupní napájecí části

Za výše uvedeným LC filtrem následuje DC/DC měnič. Zapojení vstupního DC/DC měniče je na obrázku 2.26. Jedná se o snižující galvanicky neoddělený měnič, ve kterém byly provedeny změny hodnot a zapojení.



Obr. 2.26: Schéma zapojení vstupního DC/DC měniče

Uvedený obvod - LMR50410 byl vybrán z následujících důvodů:

- Velký rozsah vstupního napětí.
- Minimální počet externích součástek, není zde ani volnoběžná dioda, protože se jedná o synchronní zapojení měniče.
- Funkce nadproudové ochrany, funkce ochrany proti přehřátí.
- Vyšší pracovní frekvence - 700 kHz.

Obvod pracuje na pevné frekvenci 700 kHz, a k regulaci využívá změnu doby po kterou jsou výstupní tranzistory otevřeny nebo uzavřeny.

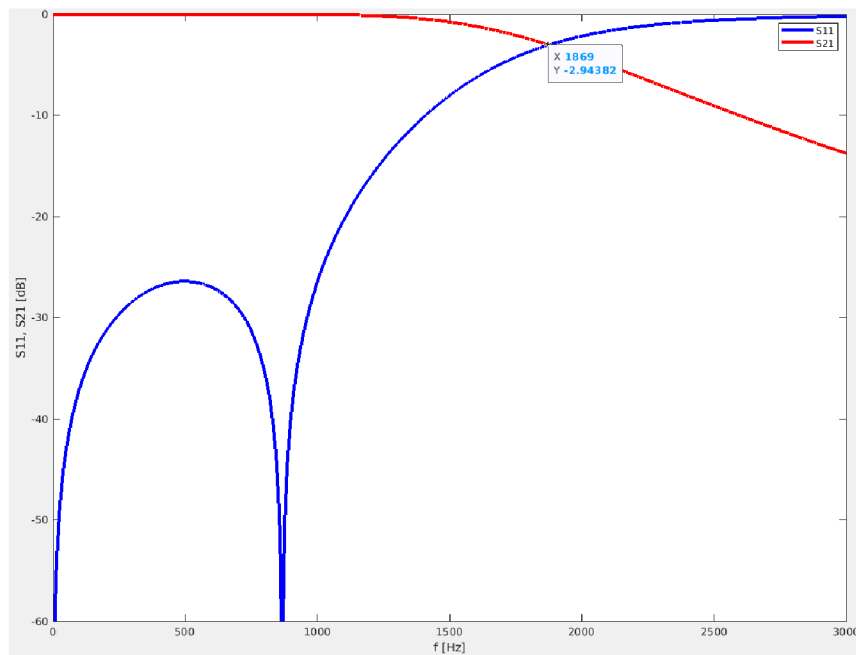
Výstupní tlumivka má hodnotu 22  $\mu\text{H}$ . Její minimální hodnota pro zvolené parametry byla vypočítána v rovnici 2.22. Tato hodnota byla zvolena, protože se jedná o nejbližší vyšší hodnotu. Vybraná cívka je stavěna na pracovní proud o hodnotě 2,85 A a saturační proud má hodnotu 3,5 A. Takto nad-dimenzovaná cívka byla zvolena z důvodu malého stejnosměrného odporu a pouzdra, které lze ručně pájet. Ve výpočtu byl uvažován poměr mezi špičkovým a maximálním odebíraným proudem. Jeho hodnota byla zvolena na  $K_{ind} = 0,3$  což je v rozmezí, které je dáno výrobcem [38]. Zvolená hodnota tedy značí, že je zde menší poměr mezi špičkovým a maximálním proudem.

Minimální hodnota výstupního kondenzátoru byla vypočítána z rovnice 2.26. Hodnota výstupního kondenzátoru byla zvýšena z důvodu zmenšení kolísání výstupního napětí, protože následující řídicí obvody galvanicky oddělených DC/DC měničů potřebují na svém vstupu dobře filtrované napětí, aby mohly pracovat bez zpětné vazby [39]. Tyto kondenzátory jsou z keramického dielektrika X7R.

V příloze D je uvedena nepoužitá varianta DC/DC měniče. Tento měnič pracuje na frekvenci 80 kHz a jak dále uvedené výpočty ukazují, hodnoty součástek jsou zhruba 10 x větší. V tabulce D.1 jsou uvedeny hodnoty zvlnění pro různé vstupní napětí dle simulace v PSPICE.

### 2.5.3 Simulace

Simulace charakteristik vstupního filtru byly provedeny v programu Matlab.

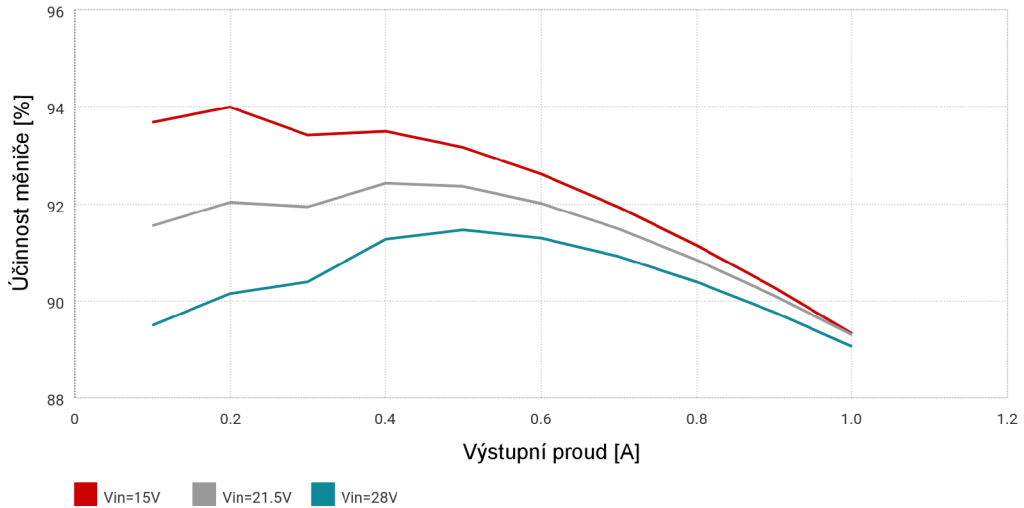


Obr. 2.27: Simulace činitele odrazu a přenosu pro vstupní filtr v závislosti na frekvenci

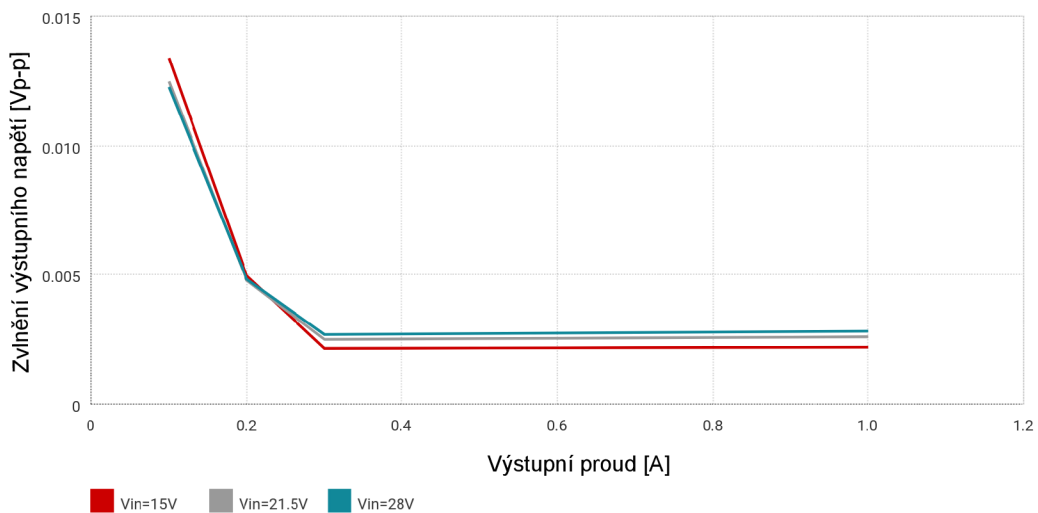
Simulace pro vstupní DC/DC měnič byly provedeny při vstupním napětí 24 V a výstupním proudu 1 A, pokud není uvedeno jinak. Simulace proběhly v online nástroji Webench.

Na obrázku 2.28 je zobrazena simulace efektivity, ze které se poté vychází při výpočtu ztrátového výkonu v kapitole 3.1.

Zvlnění napětí v závislosti na vstupním napětí, na kterém již obvod pracuje, je zobrazeno v grafu 2.29. Z hodnot vyplývá, že zvlnění je mnohem menší v oblasti vyšších proudů než zvolené zvlnění 50 mV. Toto je dáno zvětšením hodnot výstupního kondenzátoru a výstupní cívky.



Obr. 2.28: Závislost účinnosti vstupního měniče na výstupním proudu pro různá vstupní napětí



Obr. 2.29: Simulace závislosti zvlnění výstupního napětí v závislosti na odebíraném proudu pro různá vstupní napětí

## 2.5.4 Výpočty hodnot součástek

Výpočet hodnot součástek vstupního filtru [40]

Předpoklady:

- $Z_{in}, Z_{out} = Z_0 = 1 \Omega$
- $f = 1 \text{ kHz}$

- $L_{ar} = 0,01 \text{ dB}$
- $N = 3$
- $\Omega_c = 1$
- Čebyševova aproximace
- Koeficienty aproximace: 1, 0,6292, 0,9703, 0,6292

$$\gamma_0 = \frac{Z_0}{g_0} = \frac{1}{1} = 1 \quad (2.17)$$

$$\omega_0 = 2 \cdot \pi \cdot f = 2 \cdot \pi \cdot 10^3 = 6,283 \cdot 10^3 \text{ rad/s} \quad (2.18)$$

$$C_7 = \frac{\Omega_c}{\omega_0} \cdot \frac{g_1}{\gamma_0} = \frac{1}{6,283 \cdot 10^3} \cdot \frac{0,6292}{1} = 100 \text{ } \mu\text{F} \quad (2.19)$$

$$L_4 = \frac{\Omega_c}{\omega_0} \cdot g_2 \cdot \gamma_0 = \frac{1}{6,283 \cdot 10^3} \cdot 0,9703 \cdot 1 = 154 \text{ } \mu\text{H} \Rightarrow 150 \text{ } \mu\text{H} \quad (2.20)$$

$$C_8 = \frac{\Omega_c}{\omega_0} \cdot \frac{g_3}{\gamma_0} = \frac{1}{6,283 \cdot 10^3} \cdot \frac{0,6292}{1} = 100 \text{ } \mu\text{F} \quad (2.21)$$

### Výpočet hodnot součástek vstupního DC/DC měniče [38]

Předpoklady:

- $U_{in,max} = 28 \text{ V}$
- $U_{out} = 5 \text{ V}$
- $U_{ripple,pp} = 50 \text{ mV}$
- $f = 700 \text{ kHz}$
- $I_{out} = 1 \text{ A}$
- $R_1 = 12 \text{ k}\Omega$
- Výše popsaný koeficient poměru proudů  $K_{ind} = 0,3$

### Výpočet minimální velikost cívky

$$L_{min} = \frac{U_{in,max} - U_{out}}{I_{out} \cdot K_{ind}} \cdot \frac{U_{out}}{U_{in,max} \cdot f_{sw}} = \frac{28 - 5}{1 \cdot 0,3} \cdot \frac{5}{28 \cdot 700 \cdot 10^3} = 19,5 \text{ } \mu\text{H} \quad (2.22)$$

### Výpočet druhého odporu zpětné vazby

$$R_2 = \frac{U_{out} - U_{ref}}{U_{ref}} \cdot R_1 = \frac{5 - 1}{1} \cdot 12 \cdot 10^3 = 48 \text{ k}\Omega \quad (2.23)$$

pozn. Odpor bude složen ze dvou kusů o hodnotách 47 k $\Omega$  a 1 k $\Omega$ .

### Výpočet maximálního ESR výstupního kondenzátoru

$$ESR = \frac{U_{ripple,pp}}{K_{ind} \cdot I_{out}} = \frac{50 \cdot 10^{-3}}{0,3 \cdot 1} = 0,16 \text{ } \Omega \quad (2.24)$$

**Výpočet minimální hodnoty výstupního kondenzátoru  
z "napěťového" kritéria**

$$C_{min} = \frac{K_{ind} \cdot I_{out}}{8 \cdot f \cdot U_{ripple,pp}} = \frac{0,3 \cdot 1}{8 \cdot 700 \cdot 10^3 \cdot 50 \cdot 10^{-3}} = 1,07 \mu F \quad (2.25)$$

**Výpočet minimální hodnoty výstupního kondenzátoru  
z "proudového" kritéria**

$$C_{min} = 0,5 \cdot \frac{8 \cdot (I_{oh} - I_{ol})}{f \cdot U_{ripple,pp}} = 0,5 \cdot \frac{8 \cdot (1,03 - 0,97)}{700 \cdot 10^3 \cdot 50 \cdot 10^{-3}} = 6,8 \mu F \quad (2.26)$$

pozn. Z výše uvedených rovnic 2.25 a 2.26 plyne, že kondenzátor musí mít minimální hodnotu 6,8  $\mu F$ . Byly zvoleny keramické kondenzátory, každý s hodnotou 10  $\mu F$  z dielektrika X7R.

**Kontrola rezonance [47]**

$$C \gg \frac{1}{4 \cdot \pi^2 \cdot f^2 \cdot L_{skutečná}}$$

$$C \gg \frac{1}{4 \cdot \pi^2 \cdot (700 \cdot 10^3)^2 \cdot 22 \cdot 10^{-6}} \quad (2.27)$$

$$10 \cdot 10^{-6} \gg 7,4 \cdot 10^{-9} \Rightarrow \text{Splněno}$$

## 2.6 Galvanicky oddělené DC/DC měniče

Zařízení obsahuje celkem pět zdrojů galvanicky odděleného napětí. Na obrázku 2.30 je obvodové zapojení zdroje pro napájení obvodů digitální části mikroprocesoru. Zbýlá schémata zapojení jsou k nalezení v příloze B.

### 2.6.1 Vybraná varianta zapojení vzorového zdroje

Jako řídicí obvod byl vybrán typ SN6505B na základě těchto důvodů:

- Spínací proud až 1,6 A.
- Není nutné zapojení zpětné vazby, což má příznivý vliv na počet použitých součástek.
- Dostupnost transformátorů s různým převodním poměrem pro tento obvod.
- Obsahuje ochranné obvody: proti přetížení, proti podpětí, proti přehřátí.
- Široký rozsah pracovních teplot.
- Funkce soft-startu a funkce rozmítání spektra, které mají zajistit zmenšení vyzářování.
- Pracovní frekvence 420 kHz a z toho plynoucí malé rozměry transformátorů.

Volt-sekundový poměr je pro verzi B obvodu 7,6 V $\mu s$ . Pokud by se použila verze A nebyla by splněna podmínka, že transformátory musí mít tento poměr větší než uvedená hodnota (verze A má hodnotu poměru 20 V $\mu s$ ).

K tomuto řídicímu obvodu je přivedeno napětí 5 V z DC/DC měniče popsaného výše v kapitole 2.5.2. Na svém vstupu je blokován dvěma keramickými kondenzátory s hodnotami 10  $\mu\text{F}$  a 100 nF. Tyto jsou zde zapojeny z důvodu odrušení vstupního napětí a k pokrytí napěťových špiček, které vznikají při provozu obvodu.

Dále následuje transformátor s převodním poměrem 1:1,3 dle rovnice 2.28. Volt-sekundový poměr činí 11  $\text{V}\mu\text{s}$ , tato hodnota je nejmenší ze všech v zapojení použitých transformátorů.

Výstupní napětí je dvojcestně usměrněno. Použité usměrňovací diody byly zvoleny pro svůj malý úbytek napětí v propustném směru (0,41 V) a protože je výrobce specifikuje jako vhodné pro použití v usměrňovačích [42]. Typ usměrňovače byl zvolen z důvodu prostorových a cenových. Navíc v prospěch tohoto zapojení usměrňovače hovoří, že napětí se odebírá z obou konců sekundárního vinutí a tudíž je průběh usměrněného napětí stejný jako v případě použití můstkového zapojení. Výstupní usměrněné napětí je dále filtrováno keramickými kondenzátory a je přivedeno na vstup LDO stabilizátoru s pevným výstupním napětím 3,3 V. Usměrněné nestabilizované napětí je také odebíráno pro napájení cívek relé, které ovládají vstupní kontakty.

Paralelně na stabilizátor je umístěna dioda, která má zajistit ochranu obvodu. Pokud by došlo k velkému proudovému odběru na vstupní straně (například vlivem sepnutí relé, vlivem zkratu) a tím k poklesu napětí, dojde k otevření diody a tím se vyrovná napětí na vstupní a výstupní straně stabilizátoru.

Zdroje má také vyvedenou izolovanou zem ze středu sekundárního vinutí transformátoru přímo. V prospěch tohoto zapojení hovoří, že výkonová ztráta, která připadá na usměrňovač je poloviční, protože vždy je ve vodivém stavu pouze jedna dioda.

V zapojení je oddělena digitální a analogová zem vstupního a výstupního analogového celku a propojení bude řešeno odporem s nulovou hodnotou.

## 2.6.2 Vybrané varianty zapojení ostatních zdrojů

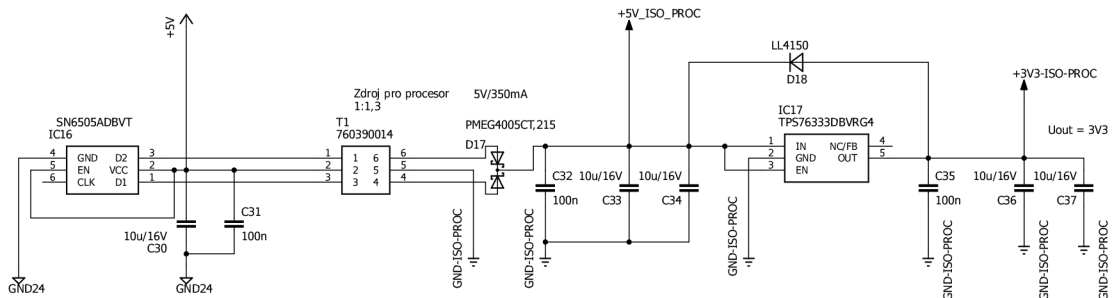
Zdroje uvedené v příloze B jsou zapojeny podle stejného principu uvedeného výše s několika výjimkami.

Jednou z výjimek je zdroj pro vstupní analogovou část, umístěný v příloze B.1, kde je použit můstkový usměrňovač, jelikož vstupní část je napájena symetrickým napětím  $\pm 15\text{ V}$  a použití dvoucestného usměrňovače by způsobilo velký pokles napětí na filtračních kondenzátorech. Dále se zde nachází reference pro získání napětí  $\pm 2,5\text{ V}$  pro napájení vstupní části A/D převodníku. Hodnoty odporů nastavující proud jsou vypočítány v rovnici 2.33.

Další výjimkou je použití nábojové pumpy v napájecím zdroji analogové výstupní části. Tato nábojová pumpa pracuje v sérii se stabilizátorem na 5 V a na svém výstupu poskytuje napětí o hodnotě -0,23 V. Důvody tohoto řešení jsou popsány v kapitole 2.2.4.

Posledními výjimkami jsou zdroje pro digitální části TTL a HTL zde je sekundární strana transformátoru zapojena sériově aby došlo k zdvojnásobení napětí a je použit můstkový usměrňovač. Důvodem pro toto řešení byl fakt, že zvolený transformátor nedokáže při vstupním napětí 5 V poskytnout více než 23,35 V (navíc před usměrněním) viz rovnice 2.31 a jiný s vyšším převodním poměrem se nevyrobí.

Pokud by se primární napětí zvýšilo na asi 5,7 V a došlo by k vynechání stabilizátoru viz rovnice 2.32, sekundární napětí by stačilo pokrýt ztráty a výstupní napětí by bylo cca 24 V, ale rezerva primárního napájecího napětí by se snížila na 0,3 V, protože maximální napájecí napětí řídicího obvodu je 6 V [43]. Tento ústupek nedokáže pokrýt svou výhodou nevýhodu ve zmenšení rezervy napětí.



Obr. 2.30: Schéma zapojení galvanicky odděleného DC/DC měniče pro napájení procesoru

### 2.6.3 Výpočty hodnot součástí

Výpočet minimálního sekundárního napětí transformátoru zdroje pro procesor a TTL

Předpoklady:

- $U_{in} = 5 \text{ V}$
- $U_{out,processor} = 3,3 \text{ V}$
- $U_{out,TTL} = 5 \text{ V}$
- $U_{drop,LDO} = 180 \text{ mV}$  při 150 mA a 25 °C [41]
- $U_f = 0,3 \text{ V}$  při 100 mA a 25 °C [42]
- $R_{DS,on} = 0,3 \text{ } \Omega$  při 1 A [43]
- $I_D = 1 \text{ A}$
- účinnost = 97 % => koeficient 1,031 [43]



- Proud napětovou referencí  $I_{LM4040} = 5 \text{ mA}$

**Výpočet převodního poměru transformátoru zdroje pro procesor [43]**

$$n_{sek,min,procesor} = 1,031 \cdot \frac{U_{f,max} + U_{drop,LDO} + U_{out,procesor}}{U_{in} - R_{DS,on} \cdot I_D} \quad (2.28)$$

$$n_{sek,min,procesor} = 1,031 \cdot \frac{0,3 + 0,18 + 3,3}{5 - 0,3 \cdot 1} = 0,829$$

pozn. Z důvodu zmenšení počtu součástek byl použit transformátor s výstupním napětím 5 V a převodním poměrem 1:1,3.

**Výpočet převodního poměru transformátoru zdroje pro TTL [43]**

$$n_{sek,min,TTL} = 1,031 \cdot \frac{U_{f,max} + U_{drop,LDO} + U_{out,TTL}}{U_{in} - R_{DS,on} \cdot I_D} \quad (2.29)$$

$$n_{sek,min,TTL} = 1,031 \cdot \frac{0,3 + 0,18 + 5}{5 - 0,3 \cdot 1} = 1,202$$

**Výpočet převodního poměru transformátoru zdroje pro analogový vstup a výstup [43]**

$$n_{sek,min,analog} = 1,031 \cdot \frac{U_{f,max} + U_{drop,LDO} + U_{out,analog}}{U_{in} - R_{DS,on} \cdot I_D} \quad (2.30)$$

$$n_{sek,min,analog} = 1,031 \cdot \frac{0,3 + 0,18 + 15}{5 - 0,3 \cdot 1} = 3,39$$

pozn. Z důvodu zmenšení počtu součástek byl použit transformátor s výstupním napětím 23,56 V a převodním poměrem 1:4,67.

**Výpočet převodního poměru transformátoru zdroje pro HTL [43]**

$$n_{sek,min,HTL} = 1,031 \cdot \frac{U_{f,max} + U_{drop,LDO} + U_{out,HTL}}{U_{in} - R_{DS,on} \cdot I_D} \quad (2.31)$$

$$n_{sek,min,HTL} = 1,031 \cdot \frac{0,3 + 0,18 + 24}{5 - 0,3 \cdot 1} = 5,36$$

**Výpočet převodního poměru transformátoru zdroje pro HTL, při snížení rezerv**

$$n_{sek,min,HTL} = 1,031 \cdot \frac{0,3 + 24}{5,7 - 0,3 \cdot 1} = 4,63 \quad (2.32)$$

**Výpočet odporů pro nastavení reference ( $R_{15,16}$ )**

$$R = \frac{U_{in} - U_{out}}{I_{out} + I_{LM4040}} = \frac{15 - 2,5}{2 \cdot 10^{-3} + 5 \cdot 10^{-3}} = 1,7 \text{ k}\Omega \Rightarrow 1,5 \text{ k}\Omega \quad (2.33)$$

## 3 Konstrukční část

V této kapitole jsou shrnuty poznatky, které souvisí s konstrukčním řešením.

### 3.1 Chlazení

Jako chladič bude v první fázi návrhu sloužit čtyřvrstvá DPS s rozměry 95 x 100 mm. Výpočet je proveden pro každý obvod zvlášť a poté jsou výsledky sečteny pro nalezení celkového ztrátového výkonu. Ztrátový výkon je vypočítán v rovnici 3.7. Na základě předchozích zkušeností má toto řešení dostačovat, i když bude vloženo do plastové krabičky. Pokud by toto nestačilo, dojde k umístění finálního výrobku do plechové krabičky, která bude teplo-vodivě spojena s DPS.

#### Výpočty

Předpoklady:

- $I_{TLV76050} = 20 \text{ mA}$
- $\text{Počet}_{TLV76050} = 5 \text{ ks}$
- $I_{TLV76015} = I_{7915} = 20 \text{ mA}$
- $\text{Počet}_{TLV76015} = 3 \text{ ks}$
- $I_{7824} = 20 \text{ mA}$
- $\text{Počet}_{7824} = 2 \text{ ks}$
- $I_{LDO} = 100 \text{ mA}$
- $\text{Počet}_{LDO} = 1 \text{ ks}$
- $I_{in} = I_{LMR50410} = 0,5 \text{ A}$
- $\eta_{LMR50410} = 93 \%$
- $\text{Počet}_{LMR50410} = 1 \text{ ks}$
- $I_{\text{smyčky}} = 20 \text{ mA}$
- $U_{\text{smyčky}} = 5 \text{ V}$
- Rozměr DPS = 95 x 100 mm.

**Ztrátový výkon vstupního DC/DC měniče [48]**

$$P_{\text{ztrátový, LMR50410}} = U_{out} \cdot I_{in} \cdot \frac{1 - \eta_{LMR50410}}{\eta_{LMR50410}} = 5 \cdot 0,5 \cdot \frac{1 - 0,93}{0,93} = 0,19 \text{ W} \quad (3.1)$$

**Ztrátový výkon výstupního tranzistoru proudové smyčky**

$$P_{\text{ztrátový, smyčky}} = (U_{cc} - U_{\text{smyčky}}) \cdot I_{\text{smyčky}} = (15 - 5) \cdot 20 \cdot 10^{-3} = 0,2 \text{ W} \quad (3.2)$$

**Ztrátový výkon stabilizátoru TLV76050**

$$P_{\text{ztrátový, 5 V}} = (U_{cc} - U_{cc,sek}) \cdot I_{7805} = (24 - 5) \cdot 20 \cdot 10^{-3} = 0,38 \text{ W} \quad (3.3)$$

### Ztrátový výkon stabilizátoru TLV76015 a 7915

$$P_{\text{ztrátový, 15 V}} = (U_{cc} - U_{cc,sek}) \cdot I_{7805} = (24 - 15) \cdot 20 \cdot 10^{-3} = 0,18 \text{ W} \quad (3.4)$$

### Ztrátový výkon stabilizátoru 7824

$$P_{\text{ztrátový, 24 V}} = (U_{cc} - U_{cc,sek}) \cdot I_{7824} = (30 - 24) \cdot 20 \cdot 10^{-3} = 0,12 \text{ W} \quad (3.5)$$

### Ztrátový výkon LDO stabilizátoru zdroje pro procesor

$$P_{\text{ztrátový, LDO}} = (U_{cc} - U_{cc,sek}) \cdot I_{7805} = (5 - 3,3) \cdot 100 \cdot 10^{-3} = 0,17 \text{ W} \quad (3.6)$$

### Celkový ztrátový výkon

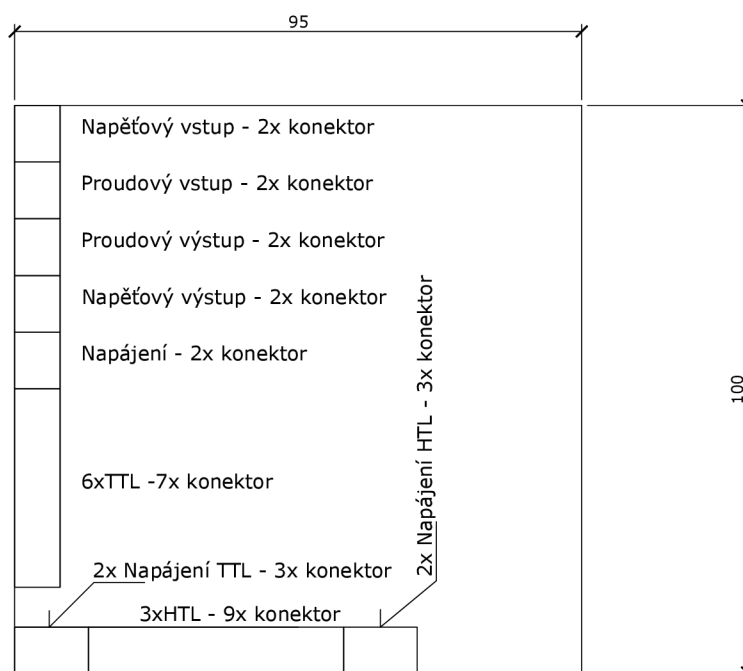
$$\begin{aligned} P_{\text{ztrátový}} &= \text{Počet}_{LMR50410} \cdot P_{\text{ztrátový, LMR50410}} + P_{\text{ztrátový, smyčky}} \\ &+ \text{Počet}_{TLV76050} \cdot P_{\text{ztrátový, 5V}} + \text{Počet}_{TLV76015} \cdot P_{\text{ztrátový, 15V}} \\ &+ \text{Počet}_{7824} \cdot P_{\text{ztrátový, 24 V}} + \text{Počet}_{LDO} \cdot P_{\text{ztrátový, LDO}} \\ P_{\text{ztrátový}} &= 1 \cdot 0,19 + 1 \cdot 0,2 + 5 \cdot 0,38 + 3 \cdot 0,18 + 2 \cdot 0,12 + 1 \cdot 0,17 = 3,24 \text{ W} \end{aligned} \quad (3.7)$$

## 3.2 Deska plošných spojů

Tato podkapitola se zabývá návrhem DPS.

### 3.2.1 Rozmístění konektorů

Na obrázku 3.1 je zobrazeno rozmístění konektorů.



Obr. 3.1: Rozmístění konektorů na DPS

Při rozmísťování konektorů byl brán ohled na umístění výrobku v DIN liště, kdy jeho zadní stěna je přimontována. Umístění konektorů na horní a dolní straně není vyloučené, je pouze méně vhodné a to z důvodu umístění nad nebo pod kabelovým roštem. Z tohoto důvodu je potřeba konektory umístit co nejvíce do přední části DPS, jinak by zde umístěné konektory nebyly komfortní z hlediska připojení. V extrémním případě by se musel umístit rošt dále od zařízení, což by zbytečně zabíralo místo v rozvaděči.

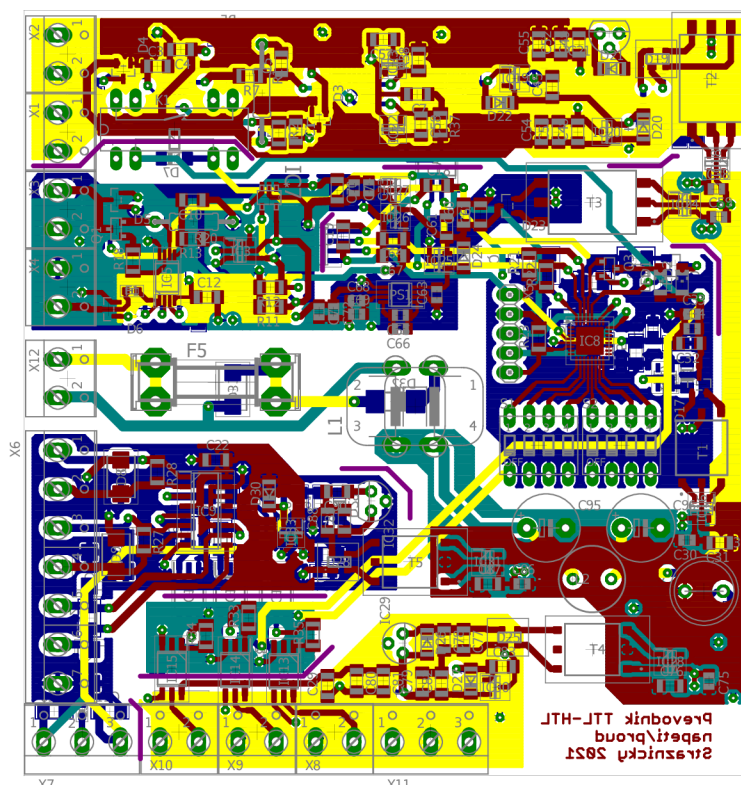
Při rozmísťování jednotlivých konektorů byl dále kladen důraz na co největší odolnost proti rušení. Konektory jsou tedy umístěny tak, aby mezi těmi ve kterých se předpokládá rušení, byly co nejdále od sebe a tak, aby rozdíly napěťové úrovně mezi sousedními konektory různých kanálů byly co nejmenší.

### 3.2.2 Rozmístění celků

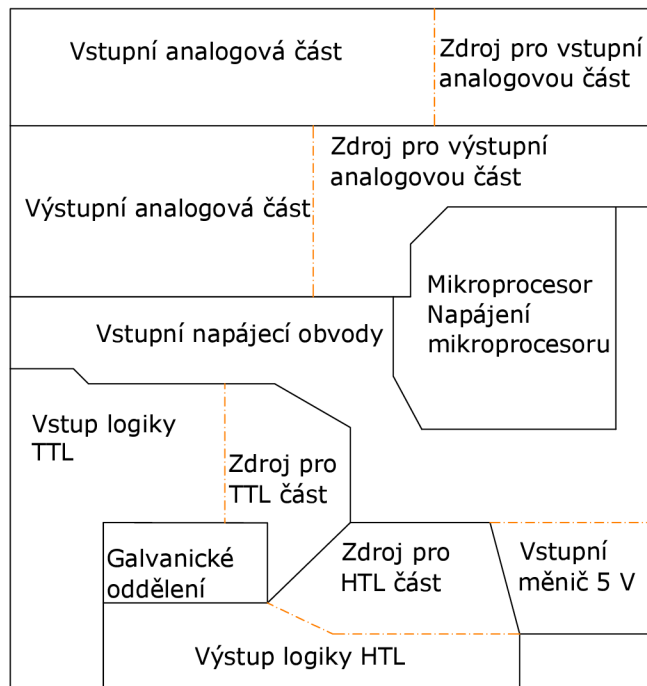
Na obrázku 3.2 je pohled na celou DPS. Byla zvolena čtyřvrstvá DPS s tloušťkou mědi 35  $\mu\text{m}$ . Prvním důvodem použití čtyřvrstvé DPS je zlepšení plochy rozlité mědi, kdy toto má přímý vliv na vznik a šíření rušení. Dalším důvodem bylo zlepšení tažení jednotlivých vodičů, kdy jejich délky jsou kratší. Posledním důvodem je zvýšení izolační mezery mezi bloky.

Jednotlivé celky popsané v kapitole 2 byly seskupeny do funkčních celků, jak jsou popsány na obrázku 3.3. V celém návrhu byla snaha o co nejkratší a co nejširší cesty. Při návrhu byly v co největší míře uplatněny součástky povrchové montáže. Na DPS se dále nachází profrézované otvory zvyšující izolační vlastnosti DPS. Izolační mezera je zvolena na 3 mm v části analogové a 4 mm v části logické. Při nalakování celého plošného spoje zajišťuje tato vzdálenost minimální izolační napětí větší než 1 kV [46].

Konstrukční podklady jsou obsaženy v příloze F. Návrh DPS byl proveden v programu Eagle 7.4.0.



Obr. 3.2: Pohled na DPS M 3:1



Obr. 3.3: Rozmístění jednotlivých celků na DPS

## 4 Měření

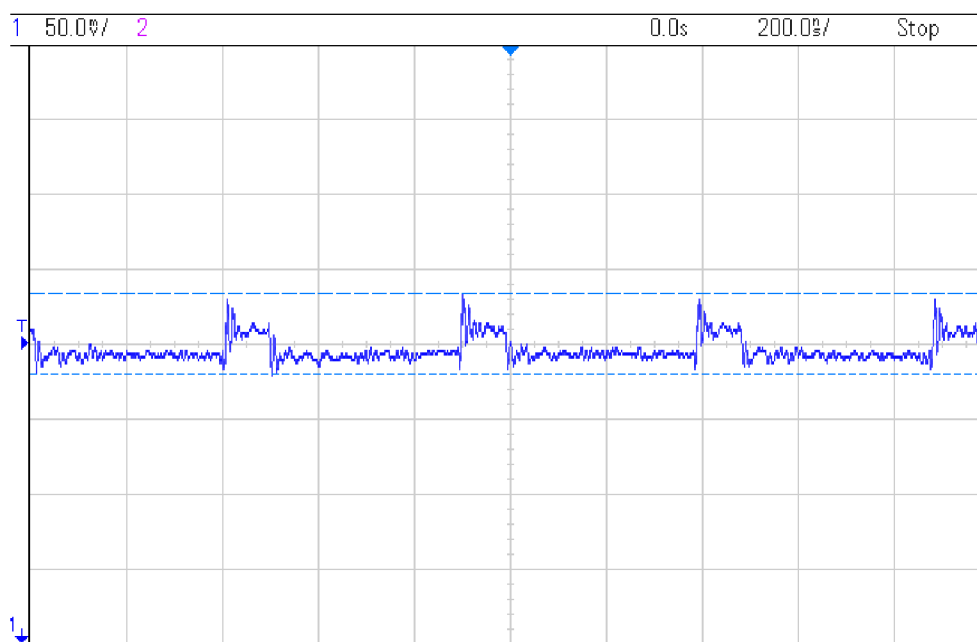
V této kapitole jsou uvedena veškerá měření navrhovaného zařízení. Použitý osciloskop je typu DSOX1102G s vestavěným generátorem. Pro napájení byl použit stabilizovaný zdroj Tesla BS525 a jako vstupní ampérmetr byl použit multimetr M1T242A. Pro měření odporů, napětí a proudů v jednotlivých částech byl použit bateriový multimetr UT70C.

### 4.1 Měření napájecí části

Při nominálním napájecím napětí 24 V má zařízení v klidovém stavu odběr asi 120 mA. Začíná pracovat od napětí asi 7 V.

#### 4.1.1 Měření vstupního DC/DC měniče

Odebíraný proud při měření byl asi 110 mA a vstupní napětí bylo 24 V. Průběh z měření je na obrázku 4.1.



Obr. 4.1: Měřený časový průběh zvlnění stabilizovaného napětí pro napájení galvanicky oddělených DC/DC měničů

## 4.1.2 Měření napětí v důležitých bodech zapojení

V této podkapitole je seznam měřených parametrů v důležitých bodech zařízení a jejich teoretické hodnoty.

Tab. 4.1: Seznam parametrů v důležitých bodech zapojení

Bod	Teoretická hodnota	Naměřená hodnota
Vstupní napětí [V]	24	24
Napětí DC/DC měniče [V]	5	4,985
Vstupní část		
Napětí TLV76015 [V]	15	15,17
Napětí 7915 [V]	-15	-14,65
Napětí TLV76005 [V]	5	5,014
Napětí LM4040 [V]	2,5	2,498
Napětí LM4040 [V]	-2,5	-2,5
Proud LM4040 [mA]	5	8,16
Výstupní část		
Napětí TLV76015 [V]	15	15,08
Napětí TLV76005 [V]	5	4,981
Napětí LM7705 [V]	-0,23	-0,231
Procesor		
Nestabilizované napětí [V]	5	6,2
Napětí LDO [V]	3,3	3,284
TTL část převodníku		
Napětí TLV76005 [V]	5	4,775
Napětí 7824 [V]	24	23,76
HTL část převodníku		
Napětí TLV76005 [V]	5	5,050
Napětí 7824 [V]	24	24,78

## 4.1.3 Zhodnocení výsledků měření napájecí části

Nejprve byl změřen odběr celého zařízení při nominálním vstupním napájecím napětí. Hodnota 120 mA je v předpokládaném rozmezí a odpovídá průměrnému odběru každého bloku asi 24 mA.

Dále byly změřeny parametry v důležitých bodech zařízení. Z měření lze vidět, že stabilizovaná napětí se liší pouze minimálně. Hodnota nestabilizovaného napětí je dána povahou zapojení a odpovídá teoretickému napětí na transformátoru. Důvodem



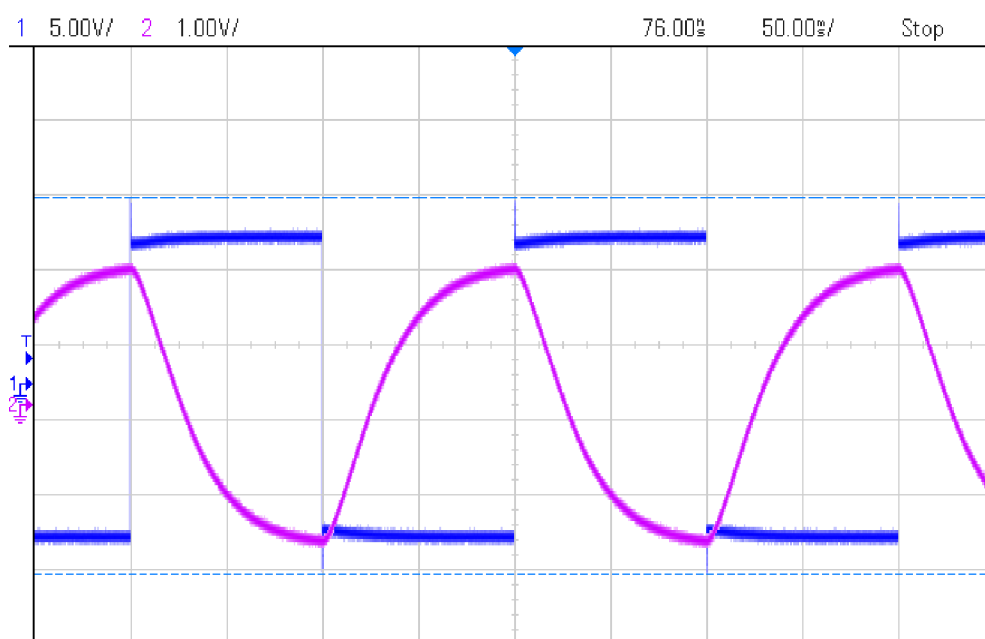
proč se liší teoretická a naměřená hodnota proudu, který teče napětovou referencí, je tolerance odporu nastavujícího tento proud a odběr analogové části A/D převodníku.

Bylo provedeno měření zvlnění vstupního stabilizovaného napětí 5 V. Z měření plyne, že zvlnění výstupního napětí je asi 50 mV. Tento výsledek je horší než očekávaný, nicméně je plně v souladu s hodnotou uvedenou v simulaci na obrázku 2.29.

## 4.2 Analogová část převodníku

### 4.2.1 Vstupní analogová část

Měření bylo provedeno pro napěťový kanál vstupního zesilovače. Druhý kanál - proudový vstup se co do parametrů neliší. Na obrázku 4.2 je změřený průběh pro vstupní napětí  $\pm 10$  V a frekvenci 5 Hz.



Obr. 4.2: Měřený časový průběh napětí při vstupním obdélníkovém signálu s frekvencí 5 Hz

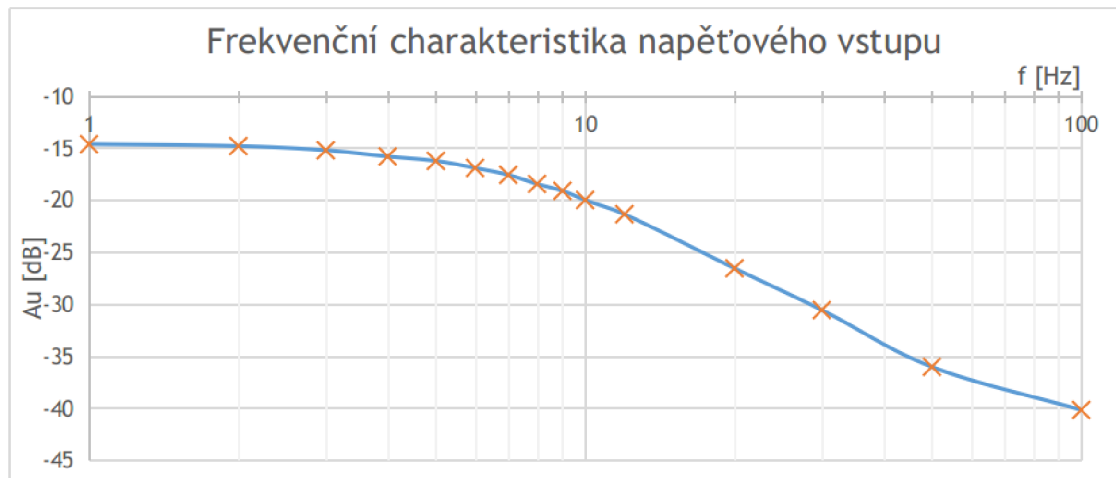
Modrý průběh - Vstupní signál

Fialový průběh - Výstupní signál analogové části

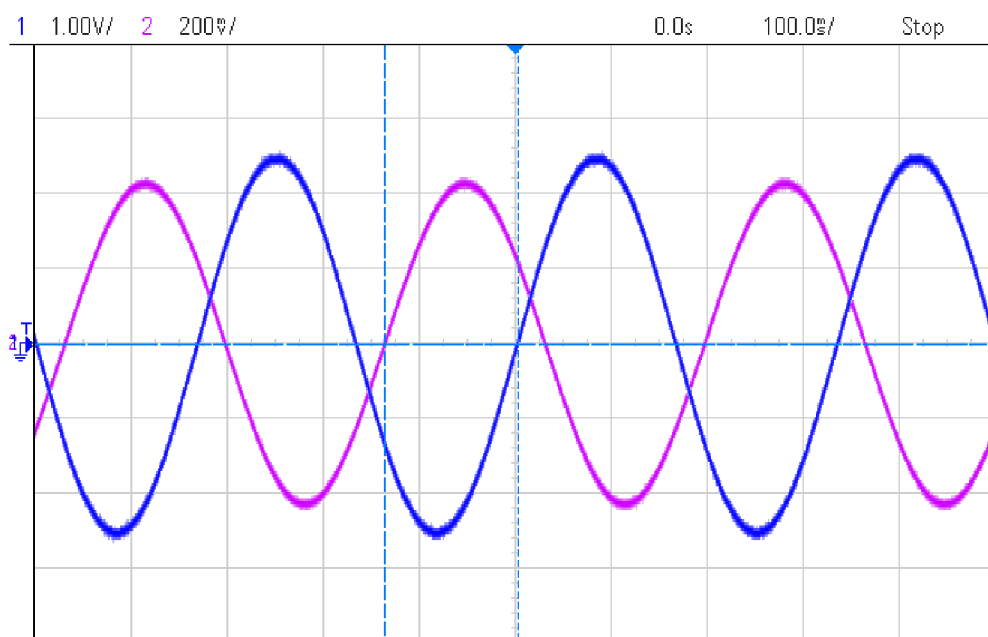
### Frekvenční charakteristika

Měření bylo provedeno pro vstupní napětí  $5 V_{pp}$  tj. pro polovinu rozsahu. Situaci v časové oblasti ilustruje obrázek 4.4. Na obrázku 4.3 je graf modulové frekvenční

charakteristiky vstupní části. Z měření je patrné, že horní mezní frekvence je asi 7 Hz, což odpovídá teoretickému předpokladu uvedenému v tabulce 2.2.



Obr. 4.3: Měřená modulová frekvenční charakteristika napěťové vstupní části



Obr. 4.4: Měřený časový průběh napětí v napěťovém kanálu

Modrý průběh - Vstupní signál

Fialový průběh - Výstupní signál analogové části

### Vstupní odpor napěťového kanálu

Měření vstupního odporu probíhalo pro vstupní napětí  $5 V_{pp}$  s frekvencí 3 Hz.

Vstupní odpor byl změřen na asi 23,5 k $\Omega$ .

### Přeslech napětového a proudového kanálu

Měření bylo opět provedeno pro vstupní napětí 5 V<sub>pp</sub> a frekvenci 3 Hz. Na výstupu proudového kanálu vstupní části bylo změřeno napětí asi 10 mV<sub>pp</sub>.

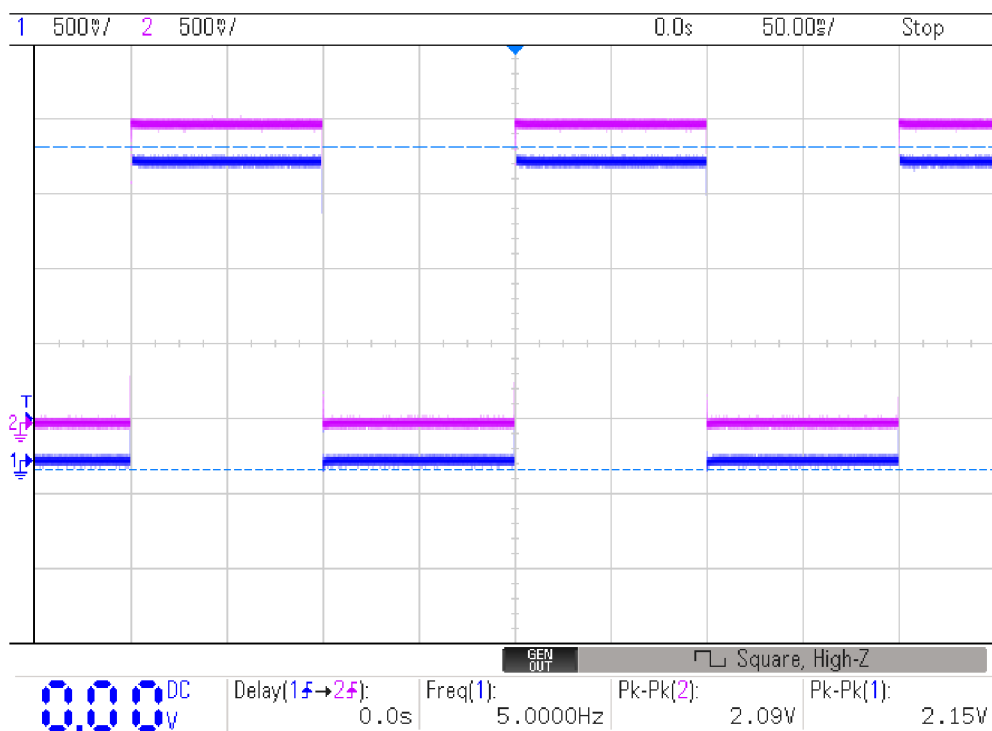
#### Výpočet přeslechu kanálů vstupní části

$$\text{Přeslech} = 20 \cdot \log\left(\frac{U_2}{U_{in}}\right) = 20 \cdot \log\left(\frac{10 \cdot 10^{-3}}{5}\right) = -54 \text{ dB} \quad (4.1)$$

## 4.2.2 Výstupní analogová část

Ve výstupní analogové části zařízení byly měřeny časové průběhy výstupů jednotlivých kanálů.

Na obrázku 4.5 je zachycen časový průběh napětí na nastavovacím odporu proudu proudového zdroje. Tento nepřímý způsob měření proudu smyčky byl použit proto, aby průběhy na osciloskopu byly referovány proti zemi. Pro simulaci odporu smyčky byl v době měření zapojen na výstup odpor o hodnotě 330  $\Omega$ .

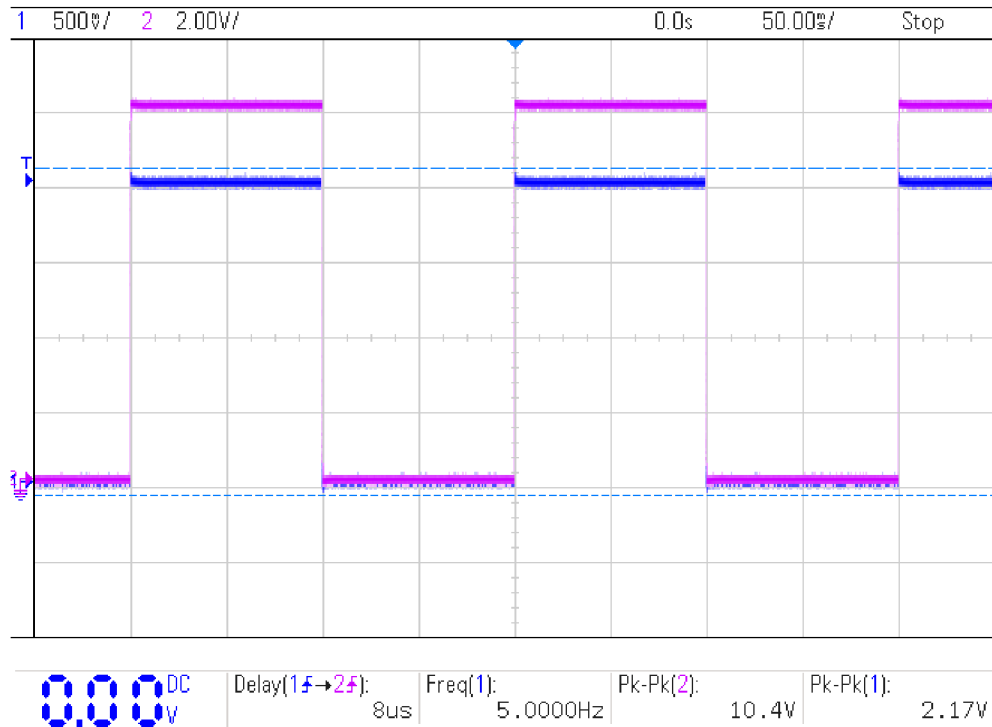


Obr. 4.5: Měřený časový průběh napětí na nastavovacím odporu proudu proudového výstupu

Modrý průběh - Vstupní signál

Fialový průběh - Výstupní signál analogové části

Na dalším obrázku 4.6 je měřený časový průběh napětí na napěťovém výstupu pro obdélníkový signál. Z naměřených hodnot je rovnicí 4.2 stanoveno zesílení na 4,79x. Jelikož zařízení má mít přesnost do 2 %, je toto oproti teoreticky požadované hodnotě 5x akceptovatelná odchylka.



Obr. 4.6: Měřený časový průběh napětí na napěťovém výstupu  
 Modrý průběh - Vstupní signál  
 Fialový průběh - Výstupní signál analogové části

### Výpočet přenosu zesilovače napěťového výstupu

$$a_u = \frac{U_2}{U_1} = \frac{10,4}{2,17} = 4,79 \quad (4.2)$$

### Výstupní odpor

Měření bylo provedeno na frekvenci 5 Hz, pro zátěž  $300 \Omega$ . Při zatíženém zesilovači bylo změřeno napětí  $U_2 = 9,88 V$  a po odpojení zátěže bylo změřeno napětí  $U_{20} = 10,28 V$ . Výsledný výstupní odpor je vypočítán v následující rovnici 4.3 a má hodnotu  $13,4 \Omega$ .

### Výpočet výstupního odporu napěťového vstupu

$$R_{\text{výst}} = R_z \cdot \frac{U_{20}}{U_2} = 330 \cdot \frac{10,28 - 9,88}{9,88} = 13,4 \Omega \quad (4.3)$$

## Rychlost přeběhu napětového výstupu

Měření bylo provedeno pro vstupní harmonické napětí  $2V_{pp}$  s frekvencí 3 Hz. Poté byl tvar signálu přepnut na obdélníkový signál se střídou 50 % a stejnou frekvencí. Měření  $\Delta U$  a  $\Delta t$  byly zjištěny hodnoty uvedené v následující tabulkách 4.2 a 4.3.

Tab. 4.2: Rychlost přeběhu napětového výstupu

	Náběžná hrana	Sestupná hrana
$\Delta U$ [V]	56	53
$\Delta t$ [ $\mu s$ ]	9,88	9,58
$SR$ [V/ $\mu s$ ]	0,18	0,18

### Výpočet rychlosti přeběhu náběžné hrany

$$SR = \frac{\Delta U}{\Delta t} = \frac{9,58}{53} = 0,18 \text{ V}/\mu s \quad (4.4)$$

## Rychlost přeběhu proudového výstupu

Měření probíhalo podle stejné metodiky jako v předešlém případě.

Tab. 4.3: Rychlost přeběhu proudového výstupu

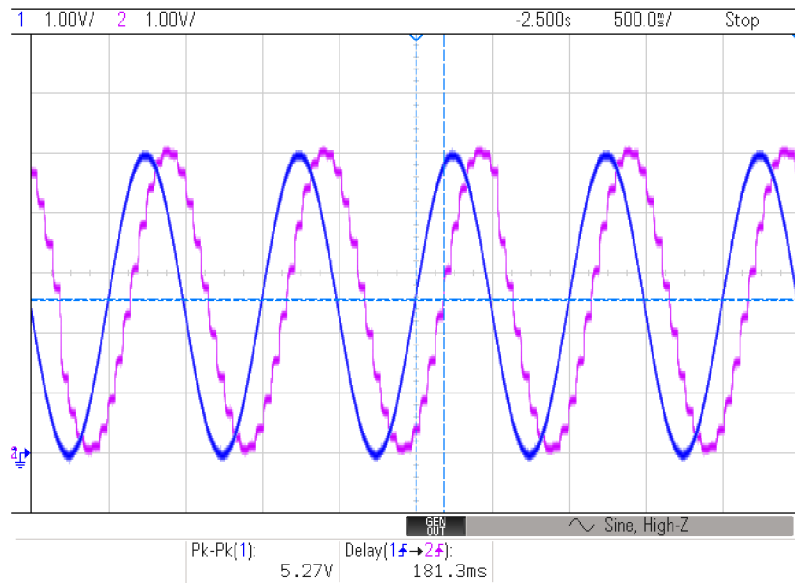
	Náběžná hrana	Sestupná hrana
$\Delta U$ [V]	52	1,8
$\Delta t$ [ $\mu s$ ]	50	1,81
$SR$ [V/ $\mu s$ ]	0,035	0,036

### Výpočet rychlosti přeběhu náběžné hrany

$$SR = \frac{\Delta U}{\Delta t} = \frac{1,8}{52} = 0,035 \text{ V}/\mu s \Rightarrow 0,35 \text{ mA}/\mu s \quad (4.5)$$

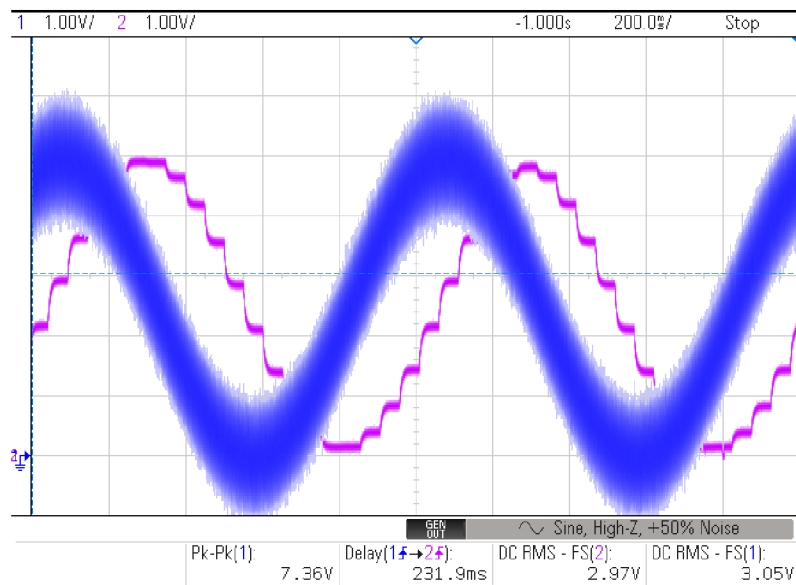
## 4.2.3 Celkové měření

Na obrázku 4.7 je ukázán časový průběh pro vstupní harmonické napětí o frekvenci 1 Hz. Toto napětí je v rozsahu 0 - 5 V.



Obr. 4.7: Měřený časový průběh napětí na napěťovém vstupu a výstupu  
 Modrý průběh - Vstupní signál  
 Fialový průběh - Výstupní signál analogové části

Na dalším obrázku 4.8 je ukázána stejná situace jako v předešlém případě pouze při zapnutí funkce průměrování. Do vstupního signálu bylo přimícháno 50 % šumu.



Obr. 4.8: Měřený časový průběh napětí na napěťovém vstupu a výstupu ovlivněný šumem  
 Modrý průběh - Vstupní signál  
 Fialový průběh - Výstupní signál analogové části

Tab. 4.4: Měřené vstupní a korespondující výstupní napětí celého zařízení

Vstupní napětí [V]	Výstupní napětí [V]	Rozdíl napětí [V]
1,971	1,982	0,011
4,975	5,099	0,124
6,875	6,965	0,09
9,94	10,07	0,13

#### 4.2.4 Zhodnocení naměřených výsledků analogové části

Vstupní odpor napěťového vstupu byl zjištěn měřením a má hodnotu asi 23 k $\Omega$ . Změřená hodnota je dostačující k tomu, aby napěťový vstup již nezatěžoval předchozí výstupní obvody např. čidel. Průmyslově vyráběné měniče mají vstupní odpor kolem 22 k $\Omega$  [17]. Tento rozdíl je zanedbatelný a je možné říci, že cíl byl splněn.

Z časového průběhu je patrné, že hrany signálu o frekvenci 5 Hz jsou již velmi zkreslené.

Měřením frekvenční charakteristiky byl ověřen navrhovaný mezní kmitočet. Měřením byl stanoven na asi 7 Hz. Teoretický mezní kmitočet určený výpočtem v rovnici 2.2 je asi 10 Hz. Simulací určený mezní kmitočet je asi 6,9 Hz. Rozdíly v tomto parametru zde opět nejsou podstatné a lze prohlásit, že cíl byl také splněn. Snížení rychlosti poklesu frekvenční charakteristiky na frekvencích vyšších než asi 50 Hz, je dáno indukovaním šumu na vodiče a DPS. Teoretický přenos celku byl požadován asi -14 dB. Měřený přenos na frekvenci 2 Hz je asi -14,8 dB.

Přeslech napěťového kanálu do proudového byl změřen na hodnotu -54 dB. Tato hodnota je dostatečná k tomu aby se jednotlivé kanály mezi sebou neovlivňovaly. Nicméně toto měření je zatíženo chybou, protože se v nevyužitém kanálu měří nejenom napětí indukované druhým kanálem, ale také napětí indukované na DPS např. z napájecích zdrojů a okolí.

Ve výstupní části zařízení byl měřen výstupní odpor napěťového výstupu. Tento odpor má hodnotu asi 13  $\Omega$ . Tato hodnota je poměrně velká, nicméně předpokládané využití výstupu je v připojení k vysokoimpedančnímu vstupu např. PLC, který má řádově větší hodnotu a tudíž je tato hodnota vyhovující. Takto velká hodnota je způsobena sériovou pojistkou PTC, kdy výrobce udává odpor v klidovém stavu asi 15  $\Omega$ .

Hodnota přenosu výstupní části je asi 13,6 dB. Od teoretické hodnoty se liší tedy o asi 0,4 dB. Tento rozdíl je nepodstatný a je dán tolerancí součástek zpětné vazby.

Z měření rychlosti přeběhu je patrná poměrně pomalá změna napětí v čase. Toto je dáno tím, že do vstupu je zapojena dolní propust, která deformuje hrany

vstupního signálu. Takováto hodnota rychlosti přeběhu ovšem není překážkou, protože výstupní signál je aktualizován maximálně 20 x za sekundu. Mezi jednotlivými vzorky je tedy čas 50 ms. Tento čas je více než dostatečný k tomu, aby se výstupní napětí akomodovalo na požadovanou hodnotu.

Z posledních dvou časových průběhů na obrázcích 4.7 a 4.8 je patrná celková funkce zařízení. Na výstupním průběhu lze pozorovat ostré přechody v čase. Toto není překážkou, protože v praxi se budou na analogových vstupech měřit ještě pomalejší průběhy než 1 Hz. Lze vidět také velké zlepšení u šumem zarušeného signálu. Toto je dáno tím, že byl použit aritmetický průměr ze tří po sobě jdoucích vzorků. Z tabulky 4.4 je patrné, že výstupní napětí kopíruje vstupní hodnoty. Rozdíly jsou v požadované toleranci 2 %.

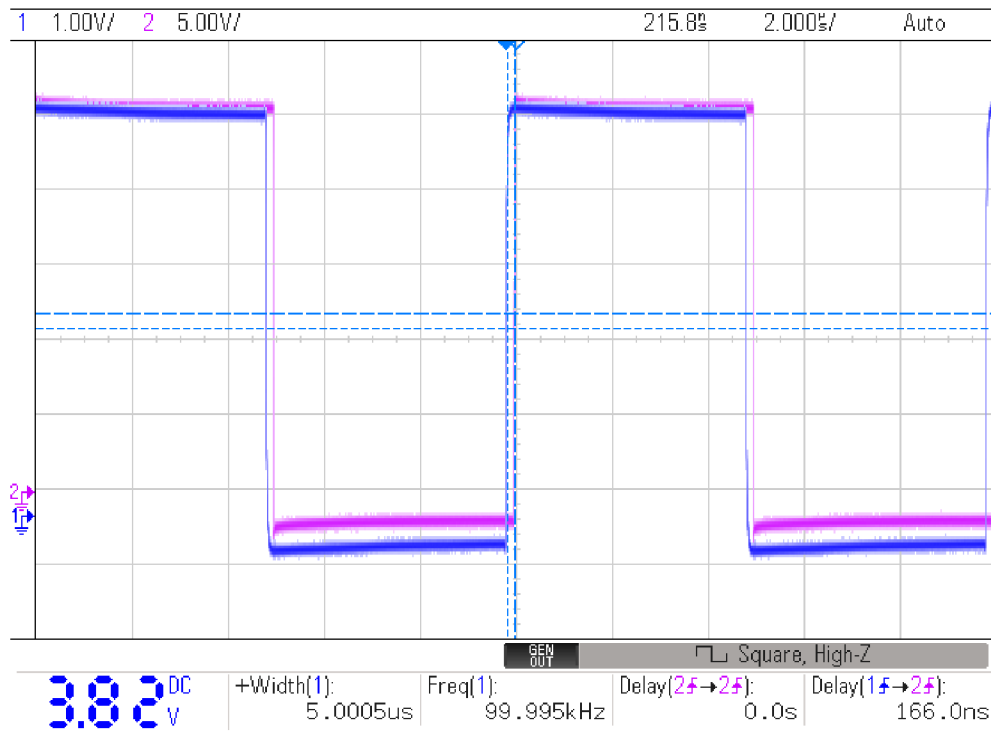
## **4.3 Logická část převodníku**

V logické části převodníku byl měřen jeden kanál - B. Ostatní kanály jsou co do funkce rovnocenné.

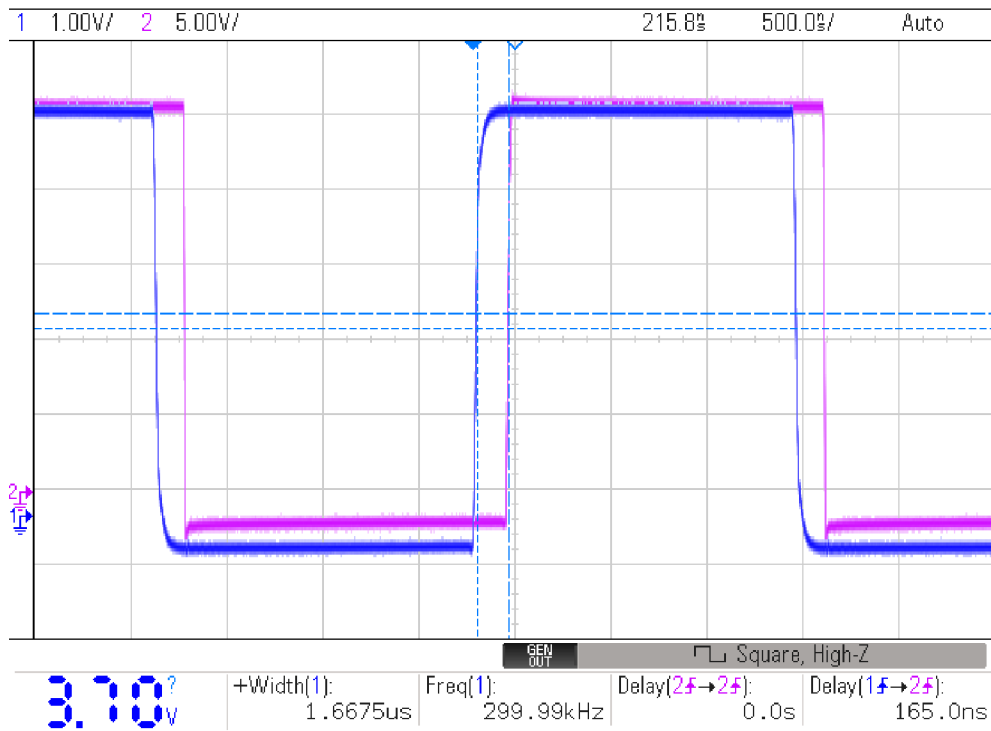
### **4.3.1 Časové průběhy**

Situaci průběhů napětí v čase ilustrují obrázky 4.9, 4.10 a 4.11. Vstupní napětí mělo vždy nominální úroveň TTL a na výstupní straně se pohybovalo napětí v rozmezí úrovní daných logikou HTL.

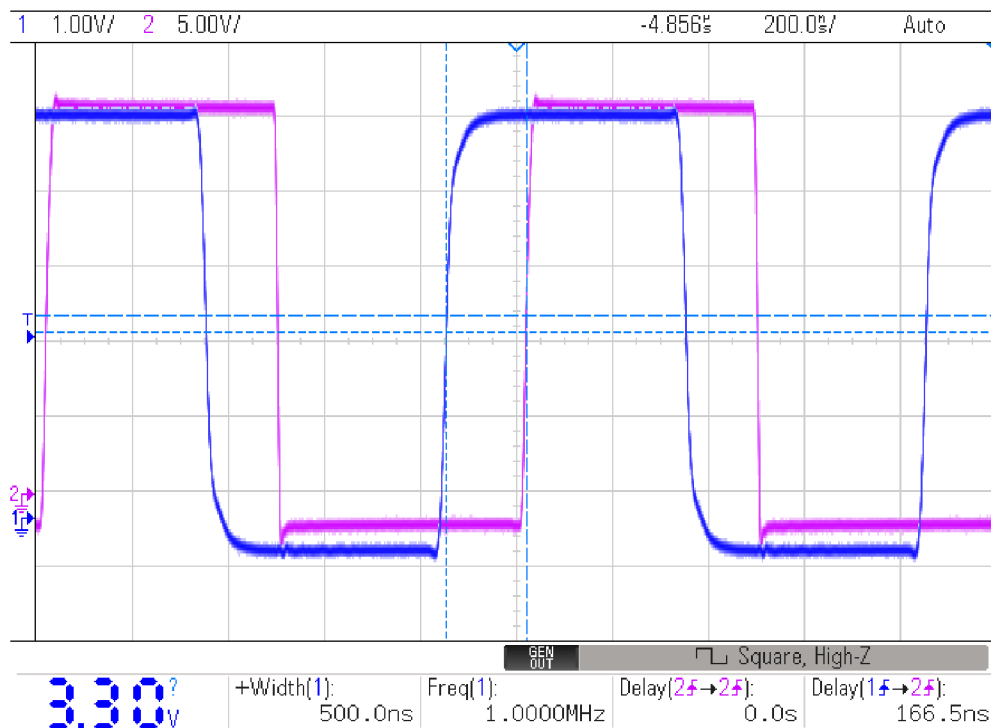




Obr. 4.9: Měřený časový průběh napětí kanálu B pro parametry: Modrý - časový průběh vstupního napětí s nominálními parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 5 \text{ V}$ ,  $f = 100 \text{ kHz}$   
 Fialový - časový průběh výstupního napětí s nominálními parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 24 \text{ V}$ ,  $f = 100 \text{ kHz}$



Obr. 4.10: Měřený časový průběh napětí kanálu B pro parametry: Modrý - časový průběh vstupního napětí s nominálními parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 5 \text{ V}$ ,  $f = 300 \text{ kHz}$   
 Fialový - časový průběh výstupního napětí s nominálními parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 24 \text{ V}$ ,  $f = 300 \text{ kHz}$



Obr. 4.11: Měřený časový průběh napětí kanálu B pro parametry: Modrý - časový průběh vstupního napětí s nominálními parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 5 \text{ V}$ ,  $f = 1 \text{ MHz}$

Fialový - časový průběh výstupního napětí s nominálními parametry:  $U_{min} = 0 \text{ V}$ ,  $U_{max} = 24 \text{ V}$ ,  $f = 1 \text{ MHz}$

Jako další bylo změřeno zpoždění výstupního signálu každého kanálu. Výsledky jsou uvedeny v následující tabulce 4.5. Frekvence, pro kterou bylo měření provedeno, byla 300 KHz. Úrovně napětí jsou stejné jako v předešlém případě.

Tab. 4.5: Měření zpoždění jednotlivých kanálů

Kanál	A	B	Z
Zpoždění [ns]	158	165	162

### 4.3.2 Zhodnocení výsledků měření logické části

Ze změřených průběhů lze pozorovat, že se vzrůstající frekvencí vstupního signálu téměř nemění zpoždění mezi vstupem a výstupem převodníku. Zpoždění zůstává konstantní a má hodnotu asi 160 ns. Při porovnání jednotlivých kanálů je patrné, že všechny mají srovnatelné zpoždění. Toto je pozitivní výsledek, jelikož se nemůže

stát, že jednotlivé kanály nebudou synchronní. Zařízení je plně funkční do požadované mezní frekvence 300 KHz. Zařízení plní funkci i dále nad požadavky a zvládá konvertovat signál i při frekvenci 1 MHz.

## **4.4 Elektromagnetická kompatibilita**

Zařízení nebylo testováno z hlediska elektromagnetické kompatibility. Důvody jsou zmíněny v závěru této práce.

Kmenová norma odolnosti zařízení je ČSN EN 61000-6-2 - odolnost pro průmyslové prostředí. Norma pro vyzařování je ČSN EN 55032 - Elektromagnetická kompatibilita multimediálních zařízení - Požadavky na emisi.

### **4.4.1 Odolnost proti vyzářenému elektromagnetickému poli**

Zařízení má splňovat normu ČSN EN 61000-4-3. Tato norma se týká odolnosti na vyzařované elektromagnetické pole. Provozem např. svářecích invertorů, zářivek, spínáním kapacitních a induktivních zátěží, vzniká elektrické rušení, které se šíří vedením. Ochrany proti účinkům elektromagnetických polí budou také redukovat účinky těchto zdrojů rušení [49].

Zkouška by měla probíhat tak, že se nejprve ověří referenční podmínky v laboratoři a ověří se činnost zařízení. Poté se provede samotná zkouška. Zde se musí specifikovat kromě jiných např. reprezentativní podmínky provozu EUT, funkční kritéria, kmitočtové kroky, typ antény atd. Nakonec proběhne vyhodnocení výsledků. Dle této normy by zařízení mělo být zařazeno do třídy 3. Tj. typické průmyslové prostředí. Funkční kritérium je A. V tabulce 4.6 jsou uvedeny konkrétní požadavky na měření v závislosti na různých kmitočtech [49].

Tab. 4.6: Odolnost; vstup/výstup krytem přístroje, převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Vysokofrekvenční elektromagnetické pole, amplitudová modulace	80 -1000 MHz 10 V/m 80 % AM (1 KHz)	A
Vysokofrekvenční elektromagnetické pole, amplitudová modulace	1,4- 2,0 GHz 3 V/m 80 % AM (1 KHz)	A
Vysokofrekvenční elektromagnetické pole, amplitudová modulace	2,0-2,7 GHz 1 V/m 80 % AM (1 KHz)	A

Při výběru zkušebních úrovní určených k použití by se měla brát v úvahu cena vynaložená na dosažení požadované odolnosti a na odstranění následků poruchy. Vyšší úroveň by měla být uvažována jen jsou-li následky poruchy velké [49].

#### 4.4.2 Odolnost proti elektrostatickému výboji

Dle výše zmíněné kmenové normy se zařízení má dále zkoušet na odolnost podle normy ČSN EN 61000-4-2. Tato zkouška se provádí pouze do míst, která jsou volně přístupná obsluze při normálním užívání. V normě jsou uvedeny podmínky zkušebního pracoviště, kdy se měření provádí nad zemní deskou, která přesahuje zařízení na všech stranách o aspoň 0,5 m. Tato deska je umístěna na stole z nevodivého materiálu vysokého 0,8 m.

Dle normy [50] je požadována zkouška na elektrostatický výboj kontaktní a vzduchový. Předpokládaný materiál krytu zařízení je z plastu, tudíž se zařízení bude zkoušet na odolnost proti výboji do krytu přístroje pouze na vzduchový výboj.

Tab. 4.7: Odolnost; vstup/výstup krytem přístroje, převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Elektrostatický výboj	Kontaktní výboj $\pm 4$ kV	B
Elektrostatický výboj	Vzduchový výboj $\pm 8$ kV	B

### 4.4.3 Odolnost proti rychlým přechodovým jevům

Dle výše zmíněné kmenové normy se zařízení má zkoušet na odolnost podle normy ČSN EN 61000-4-4. Požadavky na tvar impulzů, umístění zařízení a měřících nástrojů jsou k nalezení ve výše zmíněné normě. V kmenové normě [50] jsou uvedeny požadavky na odolnost jež má zařízení splnit při zkoušení signálových vstupů a výstupů. Ty jsou uvedeny v tabulce 4.8. Dále je v normě [50] specifikována zkouška zařízení v případě rušení po napájecím vedení. Tyto požadavky jsou shrnuty v tabulce 4.9.

Tab. 4.8: Odolnost; vstupy/výstupy svorkami signálů, převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Rychlé elektrické přechodné jevy/skupiny impulsů	$\pm 1$ kV 5/50 ns 5 KHz Kapacitní kleště	B

Tab. 4.9: Odolnost; vstupy/výstupy DC napájením (vstupní i výstupní svorky), převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Rychlé elektrické přechodné jevy/skupiny impulsů	$\pm 2$ kV 5/50 ns 5 KHz Kapacitní kleště	B

### 4.4.4 Odolnost proti rušení šířenému vedením

V kmenové normě je dále požadována zkouška na odolnost proti rušení šířenému po vodičích. V normě [53] jsou specifikovány podmínky zkoušky. V tabulkách 4.10 a 4.11 jsou specifikovány požadavky na konkrétní zařízení. Opět se jako v předchozím případě požaduje zkoušet odolnost jak napájecích, tak signálových vstupů a výstupů.

Tab. 4.10: Odolnost; vstupy/výstupy svorkami signálů, převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Vysokofrekvenční elektromagnetické rušení nesymetricky (common mode)	0,15-80 MHz 10 V 80 %AM (1 kHz)	A

Tab. 4.11: Odolnost; vstupy/výstupy DC napájením (vstupní i výstupní svorky), převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Vysokofrekvenční elektromagnetické rušení nesymetricky (common mode)	0,15-80 MHz 10 V 80 %AM (1 kHz)	A

#### 4.4.5 Odolnost proti rázovému impulzu

Dalším požadavkem kmenové normy [50] je odolnost vůči rázovému impulzu. Požadována je odolnost jak napájecích svorek, tak signálových. Požadavky normy [54] jsou zpracovány v tabulce 4.12 a 4.13

Tab. 4.12: Odolnost; vstupy/výstupy svorkami signálů, převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Rázový impuls vodič proti zemi	1,2/50 (8/20) $\mu$ s $\pm$ 1 kV	B

Tab. 4.13: Odolnost; vstupy/výstupy DC napájením (vstupní i výstupní svorky), převzato z [50]

Jev prostředí	Specifikace	Funkční kritérium
Rázový impuls vodič proti zemi	1,2/50 (8/20) $\mu$ s $\pm 0,5$ kV	B
vodič proti vodiči	$\pm 0,5$ kV	

#### 4.4.6 Vyzářené emise

Zařízení patří do skupiny tzv. zařízení informační techniky. Norma ČSN EN 55022 toto popisuje jako zařízení

- Jehož prvotní funkcí je (buď samostatně nebo v kombinaci) vstup, ukládání, zobrazování, vyhledávání, přenos, zpracování, přepojování nebo řízení datových a telekomunikačních zpráv a může být vybaveno jedním nebo více koncovými porty provozovanými typicky pro přenos informací;[55].
- Se vstupním napětím nepřesahujícím 600 V [55].

Zařízení plnící ČSN EN 55022 nyní spadají do rozsahu platnosti novější normy ČSN EN 55032, proto by mělo být zařízení testováno podle této normy.

Protože předpokládané prostředí provozu není v obytném prostředí, má zařízení splnit požadavky na zařízení třídy A, tj. tato zařízení nemusí poskytovat potřebnou úroveň ochrany u televizních a rádiových služeb v obytném prostředí [56]. V této normě jsou dále specifikovány podmínky, při kterých se má zařízení zkoušet, uspořádání pracoviště, použití správných feritů, atd.

V příloze A normy ČSN EN 55032 jsou uvedeny požadavky na meze vyzařování pro jednotlivé třídy. Pro třídu A jsou tyto informace uvedeny v tabulkách A.2 a A.3. Je zde nutno zvolit měřicí vzdálenost a použít validované stanoviště podle tabulky A.1.

Jelikož má zařízení napájecí DC port, považuje se z hlediska normy za zařízení napájené z AC napájecí sítě a musí se zkoušet s napájecím měničem [56]. Požadavky na emise šířené vedením jsou uvedeny v tabulkách A.9 a A.11 příslušné normy [56]. Opět je zde nutno zvolit vazební zařízení dle tabulky A.8. Tyto zařízení jsou poté konkrétně popsány v příloze C normy.

V příloze B normy je poté uvedeno, že reprezentativní signály při provozu EUT během měření emisí stanoví výrobce proto, že se jedná o jiné vstupně/výstupní porty nspecifikované normou.



V příloze D norma stanovuje měřicí uspořádání. Jelikož se předpokládá provozování zařízení v rozvaděčích, použije se dle tabulky D.1 regálové uspořádání měřícího pracoviště.

## Závěr

V této práci jsem se zabýval možnostmi návrhu převodníku signálů. Prvotně byly prostudovány možnosti z hlediska nabídky obvodů, ceny a proveditelnosti. U vybraných variant zapojení byly nejprve sumarizovány jejich klady a zápory. Tyto klady a zápory byly následně porovnány a zvážovány a v poslední fázi byla vybrána vždy jedna konkrétní varianta zapojení, která vyhovovala nejen vlastnostmi jednotlivých obvodů z hlediska zpracování analogových signálů, ale také například z hlediska jejich programování nebo počtu součástek.

Následně byly vytvořeny kompletní schematické podklady a simulovány důležité celky. Analogový převodník signálů byl navržen tak, aby zpracovával požadované signály s rezervou. Převodník digitálního signálu TTL zpracovává signály rovněž s rezervou. Při návrhu jsem vycházel z doporučení výrobců a z výsledků simulací důležitých celků. Všechny hodnoty součástek jsou buďto vypočítané nebo použité v typických hodnotách. Návrh dále obsahuje galvanicky oddělené napájecí zdroje. V praktické části práce jsem se věnoval návrhu DPS a byl proveden odhad nároků chlazení. U všech jednotlivých celků, jakož i celého zařízení, jsem provedl experimentální měření.

Dobrých výsledků měření bylo dosaženo pečlivým návrhem DPS, kdy byla použita čtyřvrstvá deska plošných spojů. Tímto se dosáhlo zkrácení jednotlivých cest a tím se redukoval vliv parazit. Dalším důvodem je použití mnoha filtračních kondenzátorů (celkem téměř 100 ks), které dále zlepšují filtraci napětí. Dobrou volbou se zdá návrh převodníku TTL logiky na HTL logiku, která svými vlastnostmi přesahuje potřebné parametry.

Částečně nejsem spokojen s odběrem proudu celého zařízení, zde je potenciál pro zlepšení a v další verzi zařízení by toto již mělo být upraveno. Nicméně v předpokládaném prostředí použití zařízení je větší ztrátový výkon na např. měničích, než je zde příkon celého zařízení.

Bohužel nebylo možné změřit zařízení z hlediska požadavků na EMC. Pro toto měření by bylo potřeba mít více času. Návrh DPS byl zadán do výroby v dostatečném předstihu, ale skluz byl zaviněn epidemiologickou situací. Česká firma vyrábějící desky plošných spojů byla zasažena epidemií a ve spojitosti s nedostatkem součástek na trhu a tím vynuceným výběrem náhrad součástek, vedlo toto k více jak dvouměsíční výrobě DPS.

Ve finálním výrobku bylo třeba provést několik změn. Jednou ze změn bylo nahradit přijímač TTL logiky RS-422 za AM26C32, který má nižší proudový odběr v klidu. Další změna byla u programovacích pinů procesoru kdy vlivem výměny procesoru za jiný dostupný typ došlo k posunutí pinů.

V budoucích verzích zařízení je možné převodník dále doplnit například o výstup

a vstup sběrnice RS-232 a provádět konverzi analogových hodnot na tuto sběrnici.

## Literatura

- [1] *ZPA Nová Paka - přehled cen.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.zpanp.cz/cleny-pro-galvanicke-oddeleni/>
- [2] *LTC2451.*[online]. [cit. 2020-10-17]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/2451fg.pdf>
- [3] *Overview on ADC Converter Inputs* [online]. [cit. 2020-11-11] Dostupné z: <https://www.maximintegrated.com/en/design/technical-documents/app-notes/1/1108.html>
- [4] *MCP3421.*[online]. [cit. 2020-11-11] Dostupné z: <https://ww1.microchip.com/downloads/en/DeviceDoc/22003e.pdf>
- [5] *Generating a  $\pm 10.24V$  True Bipolar Input for an 18-Bit, 1Msps SAR ADC.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.analog.com/en/technical-articles/generating-a-10-24v-true-bipolar-input-for-an-18-bit-1msps-sar-adc.html>
- [6] *SAR ADC Input Types.* [online]. [cit. 2020-10-17]. Dostupné z: <https://www.analog.com/en/technical-articles/sar-adc-input-types.html>
- [7] *Understanding Pipeline Analog to Digital Converter.*[online]. [cit. 2020-12-02] Dostupné z: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/1/1023.html>
- [8] *Fundamental Principles Behind the Sigma-Delta ADC Topology: Part 1.*[online]. [cit. 2020-11-13] Dostupné z: <https://www.analog.com/en/technical-articles/behind-the-sigma-delta-adc-topology.html>
- [9] *Digital Filter Types in Delta-Sigma ADCs.*[online]. [cit. 2020-11-13] Dostupné z: <https://www.ti.com/lit/an/sbaa230/sbaa230.pdf>
- [10] *Sigma-Delta ADCs.* [online]. [cit. 2020-10-17]. Dostupné z: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/1/1870.html>
- [11] *Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs* [online]. [cit. 2020-10-17]. Dostupné z: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/1/1080.html>

- [12] *Which ADC Architecture Is Right for Your Application?* [online]. [cit. 2020-10-17]. Dostupné z: <https://www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html>
- [13] BEJČEK, ČEJKA, REZ, GESCHIEDTOVÁ a STEIBAUER. Měření v elektrotechnice [online]. Brno [cit. 2020-12-10]. Skriptum. VUT Brno.
- [14] *ADC Driving: Pseudo-Differential Unipolar or Bipolar Inputs.*[online]. [cit. 2020-12-02] Dostupné z: <https://www.analog.com/en/technical-articles/adc-driving-pseudo-differential-unipolar-inputs.html>
- [15] *ADS112C04.*[online]. [cit. 2020-12-08]. Dostupné z: <https://www.ti.com/lit/ds/symlink/ads112c04.pdf>
- [16] *ADS8689.*[online]. [cit. 2020-12-08]. Dostupné z: <https://www.ti.com/lit/ds/symlink/ads8689.pdf>
- [17] *Yaskawa A1000 - Prospekt A1000 CZ - Elektropohony.*[online]. [cit. 2020-11-26] Dostupné z: <https://www.yaskawa.cz/ke-stazeni/category/27-frekvencni-menic-a1000?download=488:prospekt-a1000-cz>
- [18] *ADUM1250.*[online]. [cit. 2020-11-11] Dostupné z: [https://www.analog.com/media/en/technical\\_documentation/data\\_sheets/ADUM1250\\_251.pdf](https://www.analog.com/media/en/technical_documentation/data_sheets/ADUM1250_251.pdf)
- [19] *ISO1540.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.ti.com/lit/ds/symlink/iso1540.pdf>
- [20] *Amplifiers and Bits: An Introduction to Selecting Amplifiers for Data Converters.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.ti.com/lit/an/sloa035d/sloa035d.pdf>
- [21] *OPA991.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.ti.com/lit/ds/symlink/opa991>.
- [22] *Lead (Pb)-free Thick Film, Rectangular Commodity Chip Resistors.*[online]. [cit. 2020-11-26] Dostupné z: <https://cz.mouser.com/datasheet/2/427/crowce3-1762584.pdf>
- [23] *BAT54S.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.vishay.com/docs/85508/bat54.pdf>
- [24] *Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor.*[online]. [cit. 2020-11-11] Dostupné z: <https://www.analog.com/media/en/training-seminars/tutorials/MT-003.pdf>

- [25] *PMV37ENEA*. [online]. [cit. 2020-12-02] Dostupné z: <https://assets.nexperia.com/documents/data-sheet/PMV37ENEA.pdf>
- [26] *Basic DAC Architectures I: String DACs and Thermometer (Fully Decoded) DACs*. [online]. [cit. 2021-4-14] Dostupné z: <https://www.analog.com/media/en/training-seminars/tutorials/MT-014.pdf>
- [27] *Basic DAC Architectures II: Binary DACs*. [online]. [cit. 2021-4-14] Dostupné z: <https://www.analog.com/media/en/training-seminars/tutorials/MT-015.pdf>
- [28] *3.2 What is a String DAC?*. [online]. [cit. 2021-4-14] Dostupné z: <https://training.ti.com/precision-dacs-string>
- [29] *Surface Mount PTC*. [online]. [cit. 2020-04-01] Dostupné z: <https://cz.mouser.com/datasheet/2/643/ds-CP-0zcm-series-1313124.pdf>
- [30] *OPA991 - AP*. [online]. [cit. 2020-11-30] Dostupné z: <https://www.ti.com/lit/ug/tidu040b/tidu040b.pdf>
- [31] *Hodnota AWG*. [online]. [cit. 2020-12-1] Dostupné z: <https://shopdelta.eu/hodnota-awg?id=938>
- [32] *Incremental rotary encoders IRC300 - 325*. [online]. [cit. 2020-11-12] Dostupné z: <http://www.larm.cz/templates/larm/data/82/rc300-325gb.pdf>
- [33] *DBS60 Core RUGGED, VERSATILE INCREMENTAL ENCODERS FOR INDUSTRIAL APPLICATIONS*. [online]. [cit. 2020-11-12] Dostupné z: [https://cdn.sick.com/media/docs/4/84/984/product\\_information\\_dbs60\\_core\\_incremental\\_encoder\\_en](https://cdn.sick.com/media/docs/4/84/984/product_information_dbs60_core_incremental_encoder_en)
- [34] *AN-972 Inter-Operation of Interface Standards*. [online]. [cit. 2020-12-08] Dostupné z: <https://www.ti.com/lit/an/snla041a/snla041a.pdf>
- [35] *Interface Circuits for TIA/EIA232*. [online]. [cit. 2020-12-08] Dostupné z: <https://www.ti.com/lit/an/slla037a/slla037a.pdf>
- [36] *AN-903A Comparison of Differential Termination Techniques*. [online]. [cit. 2020-12-08] Dostupné z: <https://www.ti.com/lit/an/snla034b/snla034b.pdf>
- [37] *STACH, Jan. Výkonové tranzistory v nízkofrekvenčních obvodech. Praha: Státní nakladatelství technické literatury, 1979. Polovodičová technika.*
- [38] *LMR50410*. [online]. [cit. 2020-12-02] Dostupné z: <https://www.ti.com/lit/ds/symlink/lmr50410.pdf>

- [39] *Uniquely Efficient Isolated DC/DC Converter for Ultra-Low Power and Low-Power Applications*. [online]. [cit. 2020-11-24] Dostupné z: <https://www.ti.com/lit/ug/tidu813b/tidu813b.pdf>
- [40] *CAD v mikrovlnné technice*. [online]. [cit. 2020-11-14] Dostupné z: <http://www.urel.feec.vutbr.cz/raida/mcvt/>
- [41] *TPS763XX*. [online]. [cit. 2020-11-22] Dostupné z: <https://www.ti.com/lit/ds/slvs181j/slvs181j.pdf>
- [42] *MBRA340T3*. [online]. [cit. 2020-11-22] Dostupné z: <https://www.onsemi.com/pub/Collateral/MBRA340T3-D.PDF>
- [43] *SN6505*. [online]. [cit. 2020-11-24] Dostupné z: <https://www.ti.com/lit/ds/symlink/sn6505a.pdf>
- [44] *MC34063*. [online]. [cit. 2020-11-12] Dostupné z: <https://www.onsemi.com/pub/Collateral/MC34063A-D.PDF>
- [45] *Application of the MC34063 Switching Regulator*. [online]. [cit. 2020-11-12] Dostupné z: <https://www.ti.com/lit/an/slva252b/slva252b.pdf>
- [46] *ZOLAČNÍ VZDÁLENOSTI NA PLOŠNÝCH SPOJÍCH*. [online]. [cit. 2020-11-12] Dostupné z: [https://dSPACE.tul.cz/bitstream/handle/15240/49222/izol\\_DPS.pdf](https://dSPACE.tul.cz/bitstream/handle/15240/49222/izol_DPS.pdf)
- [47] *Přednášky a cvičení z předmětu BNEZ*. [cit. 2020-11-14]
- [48] *AN-2020 Thermal Design By Insight, Not Hindsight*. [online]. [cit. 2020-11-27] Dostupné z: <https://www.ti.com/lit/an/snva419c/snva419c.pdf>
- [49] ČSN EN 61000-4-3 ed. 3: Elektromagnetická kompatibilita (EMC) – Část 4-3: Zkušební a měřicí technika – Vyzařované vysokofrekvenční elektromagnetické pole – Zkouška odolnosti, Česká technická norma, Český normalizační institut. Praha 2006
- [50] ČSN EN 61000-6-2 ed. 3: Elektromagnetická kompatibilita (EMC) – Část 6-2: Kmenové normy – Odolnost pro průmyslové prostředí. Praha: Český normalizační institut, 2006.
- [51] ČSN EN 61000-4-2 ed. 2: Elektromagnetická kompatibilita (EMC) – Část 4-2: Zkušební a měřicí technika – Elektrostatický výboj – Zkouška odolnosti. Praha: Český normalizační institut, 2009.

- [52] ČSN EN 61000- 4- 4 ed.3: Elektromagnetická kompatibilita (EMC) – Část 4-4: Zkušební a měřicí technika – Rychlé elektrické přechodné jevy/skupiny impulzů – Zkouška odolnosti. Praha: Český normalizační institut, 2009.
- [53] ČSN EN 61000-4-6 ed. 4: Elektromagnetická kompatibilita (EMC) – Část 4-6: Zkušební a měřicí technika – Odolnost proti rušením šířeným vedením, indukovaným vysokofrekvenčními poli. Praha: Český normalizační institut, 2014.
- [54] ČSN EN 61000-4-5 ed. 3: Elektromagnetická kompatibilita (EMC) - Část 4-5: Zkušební a měřicí technika - Rázový impulz - Zkouška odolnosti. Praha: Český normalizační institut, 2015.
- [55] ČSN EN 55022 ed. 3: Zařízení informační techniky – Charakteristiky vysokofrekvenčního rušení – Meze a metody měření. Praha: Úřad pro technickou normalizaci, metrologii a státní zkušebnictví, 2011.
- [56] ČSN EN 55032 ed. 2: Elektromagnetická kompatibilita multimediálních zařízení – Požadavky na emisi. Praha: Úřad pro technickou normalizaci, metrologii a státní zkušebnictví, 2017.



# Seznam symbolů, veličin a zkratk

## Zkratky:

<b>I<sup>2</sup>C</b>	Inter Integrated Circuit - komunikační sběrnice
<b>FFT</b>	Fast Furier Transform - rychlá Furierova transformace
<b>SNR</b>	Signal Noise Ratio - poměr signálu k šumu
<b>SINAD</b>	Signal-to-noise and distortion ratio - poměr signálu k šumu s uvahou zkreslení
<b>ENOB</b>	Effective number of bits - efektivní počet bitů
<b>INL</b>	Integral nonlinearity - odchylka od lineární převodní charakteristiky
<b>THD+N</b>	Total harmonic distortion, noise - Zkreslení harmonického signálu s připočtem šumu
<b>A/D</b>	Analog - digital converter - analogově digitální převodník
<b>D/A</b>	Digital - analog converter - digitálně analogový převodník
<b>LDO</b>	Low-Dropout - zapojení stabilizátoru s malým ubytkem napětí
<b>THT</b>	Trough Hole Technology - klasické drátové součástky
<b>SMD</b>	Surface Mount Device - součástky určené pro povrchovou montáž
<b>DPS</b>	deska plošných spojů
<b>DC/DC</b>	DC/DC měnič
<b>GND</b>	zem
<b>GND-ISO</b>	Isolovaná zem
<b>DC</b>	Direct Current - stejnosměrný proud
<b>AC</b>	Alternating Current - střídavý proud
<b>SAR</b>	Suxcessive approximation register - převodník s postupnou aproximací

## Symboly:

$f_{vz}$  vzorkovací frekvence[Hz]

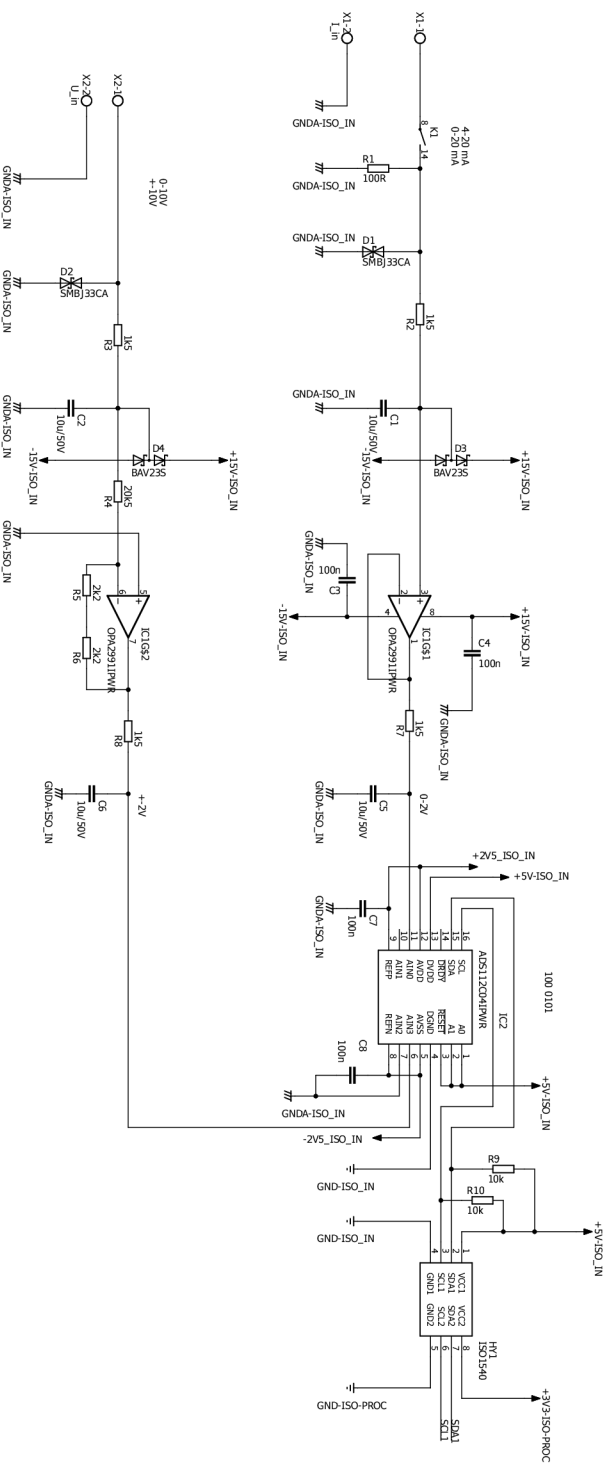
$f_h$	Horní mezní frekvence[Hz]
$A_u$	Zesílení v bezrozměrné jednotce[-]
$a_u$	Zesílení v dB[dB]
$U_{cc}$	Kladné napájecí napětí[V]
$U_{ee}$	Záporné napájecí napětí[V]
$U_f$	Napětí na diodě v propustném směru[V]
$R$	Odpor[ $\Omega$ ]

# Seznam příloh

<b>A</b>	<b>Schémata signálových částí zařízení</b>	<b>93</b>
A.1	Celkové schéma vstupní analogové části . . . . .	93
A.2	Celkové schéma výstupní analogové části . . . . .	94
A.3	Schéma zapojení převodníku logiky TTL na HTL . . . . .	95
<b>B</b>	<b>Schémata zapojení galvanicky oddělených DC/DC zdrojů</b>	<b>96</b>
B.1	Zdroj pro analogové vstupní obvody . . . . .	96
B.2	Zdroj pro analogové výstupní obvody . . . . .	97
B.3	Zdroj pro výstupní obvody strany HTL . . . . .	98
B.4	Zdroj pro výstupní obvody strany TTL . . . . .	99
B.5	Zdroj pro napájení mikroprocesoru . . . . .	100
<b>C</b>	<b>Schéma variant simulovaných zapojení</b>	<b>101</b>
<b>D</b>	<b>Nevyužitá varianta DC/DC měniče</b>	<b>103</b>
<b>E</b>	<b>Simulace a výpočty varianty s komparátorem</b>	<b>105</b>
<b>F</b>	<b>DPS</b>	<b>106</b>
F.1	První vrstva Bottom . . . . .	106
F.2	Druhá vrstva Bottom . . . . .	107
F.3	První vrstva Top . . . . .	108
F.4	Druhá vrstva Top . . . . .	109
F.5	Osazení DPS strana TOP . . . . .	110
F.6	Osazení DPS strana BOTTOM . . . . .	111
F.7	Nepájivá maska strana TOP . . . . .	112
F.8	Nepájivá maska strana BOTTOM . . . . .	113
<b>G</b>	<b>Fotografie</b>	<b>114</b>
<b>H</b>	<b>Soupiska součástek</b>	<b>115</b>

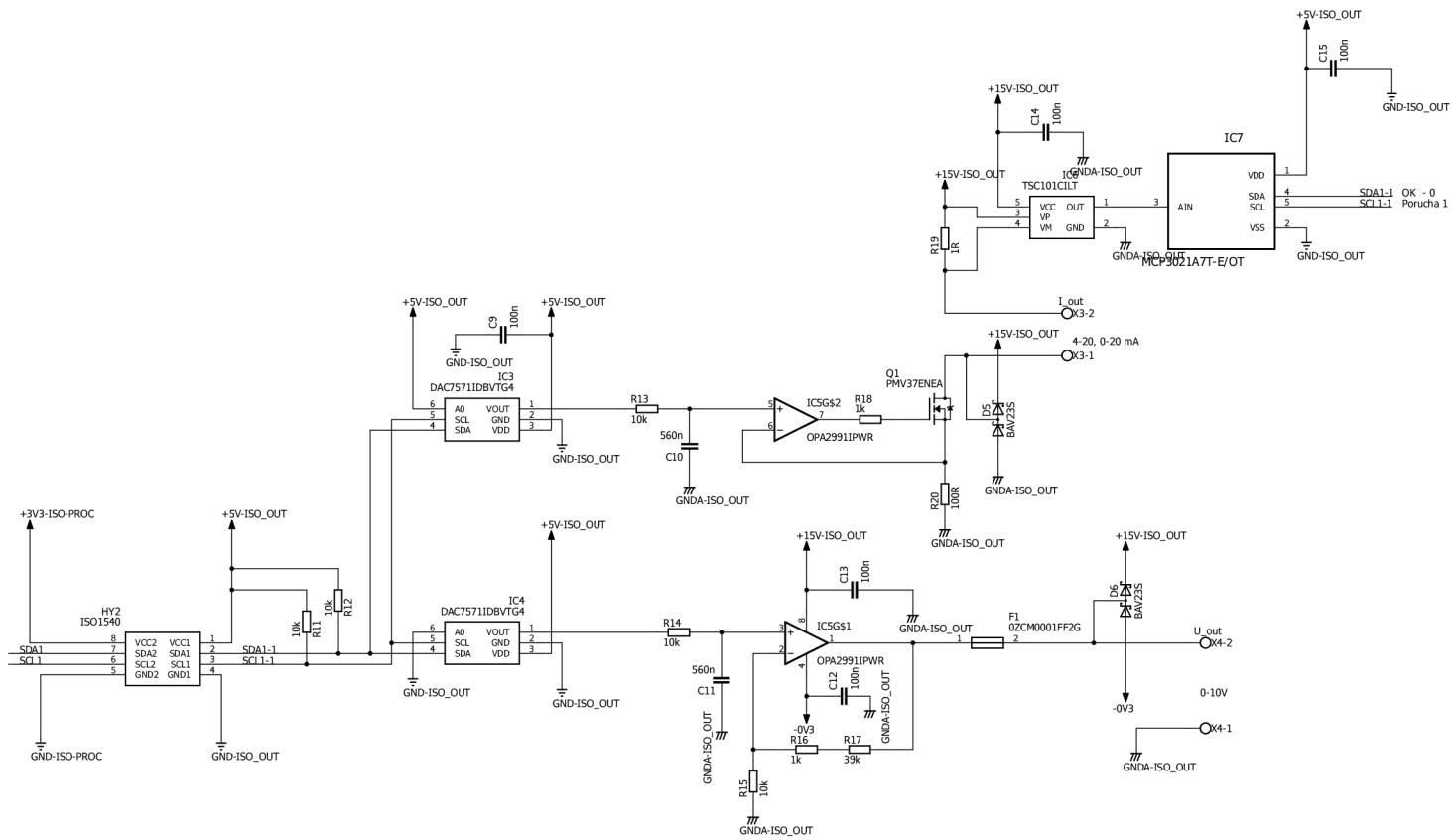
# A Schémata signálových částí zařízení

## A.1 Celkové schéma vstupní analogové části



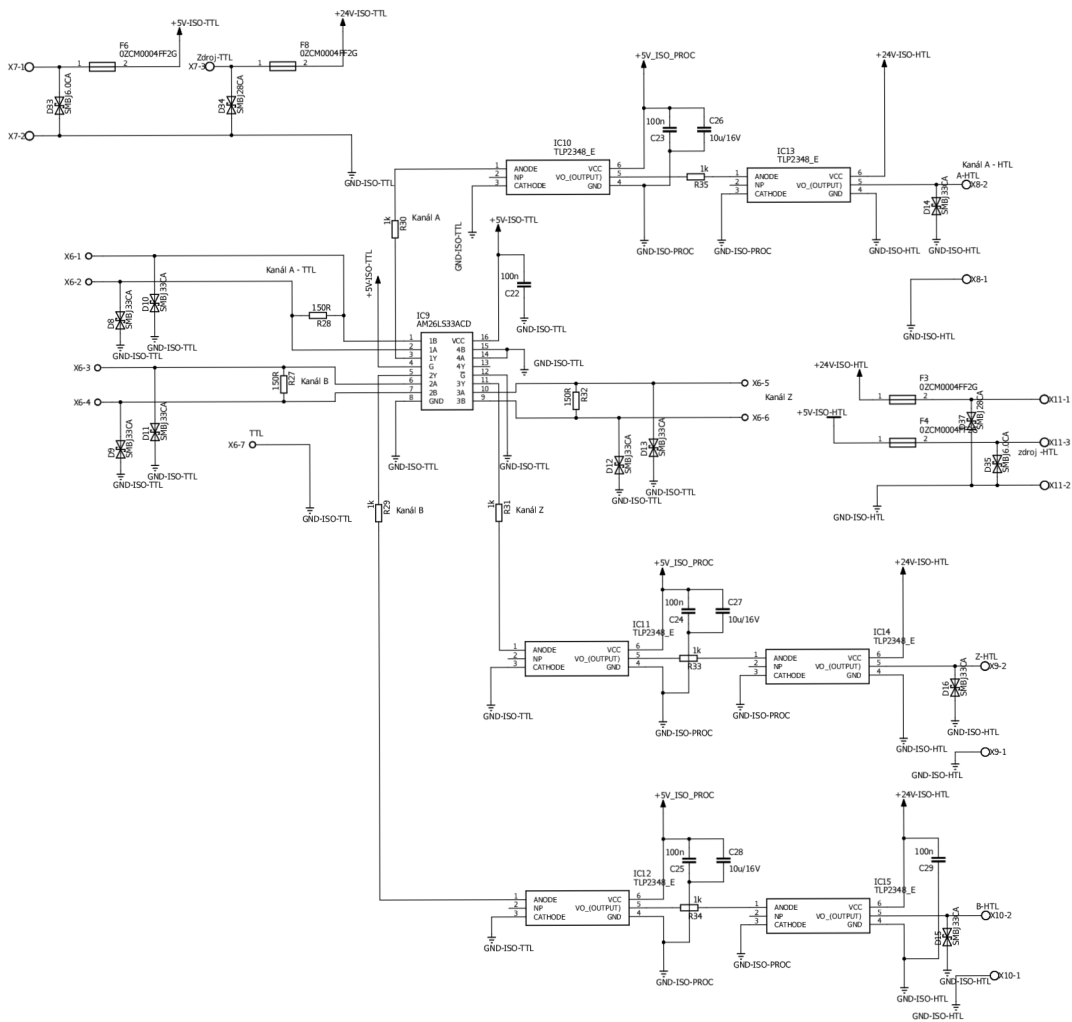
Obr. A.1: Schéma zapojení analogové vstupní části

## A.2 Celkové schéma výstupní analogové části



Obr. A.2: Schéma zapojení analogové výstupní části

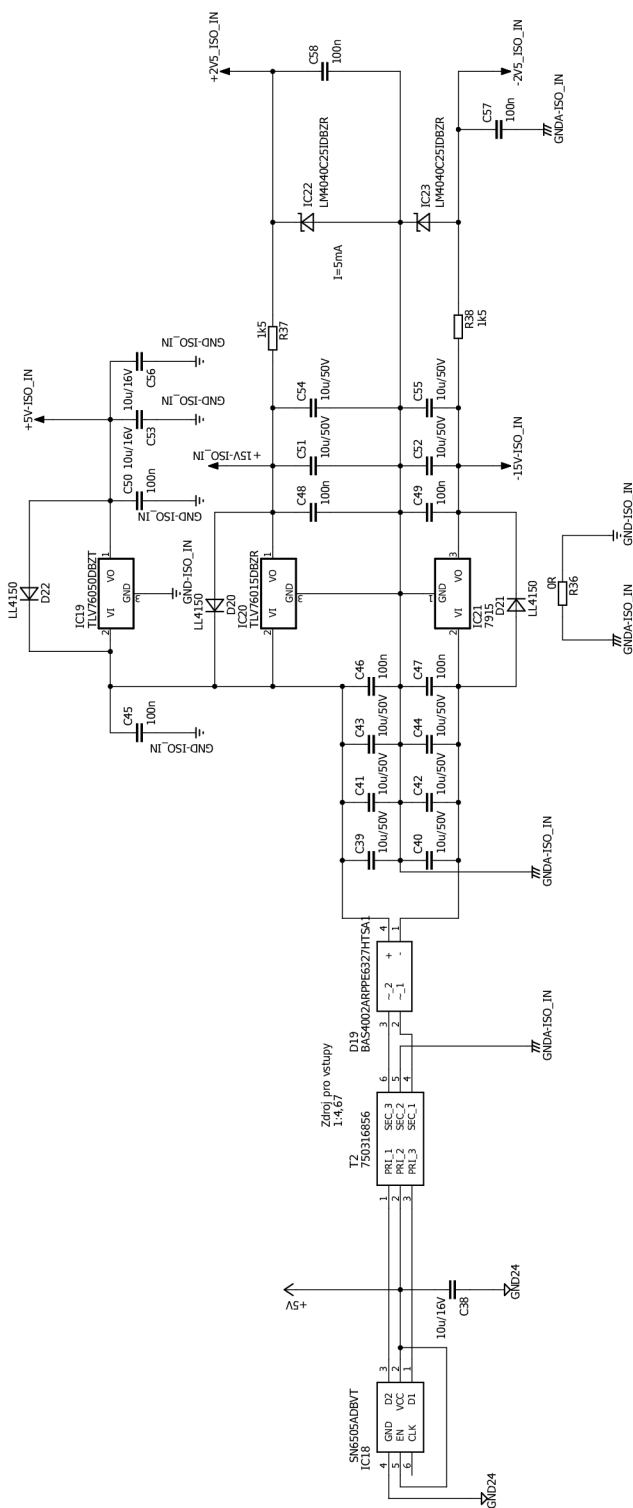
# A.3 Schéma zapojení převodníku logiky TTL na HTL



Obr. A.3: Schéma zapojení převodníku logických signálů

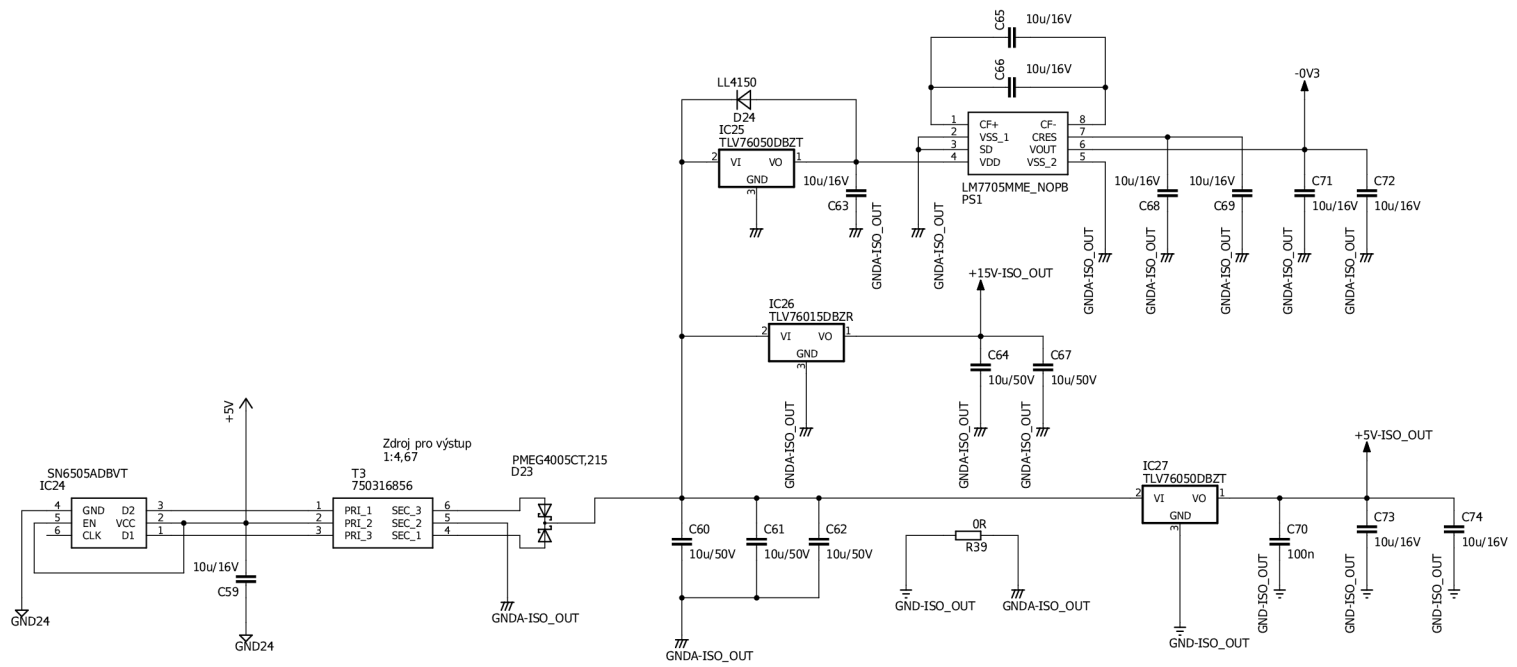
# B Schémata zapojení galvanicky oddělených DC/DC zdrojů

## B.1 Zdroj pro analogové vstupní obvody



Obr. B.1: Schéma zapojení zdroje pro analogové vstupní obvody

## B.2 Zdroj pro analogové výstupní obvody

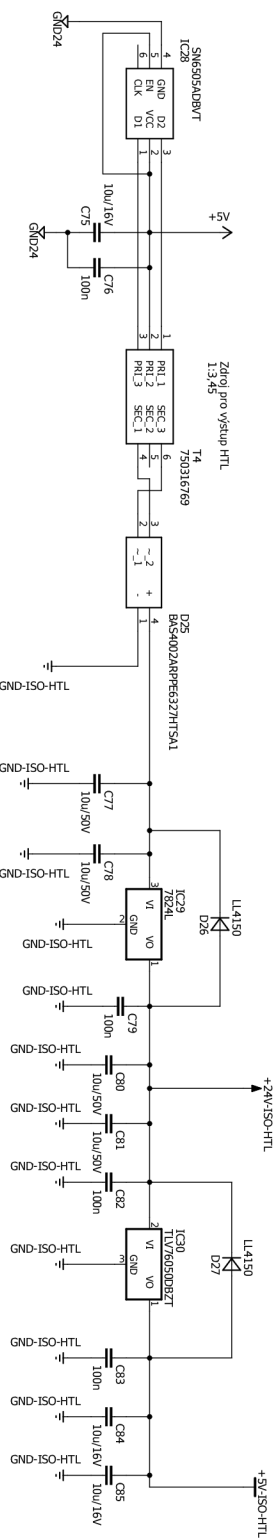


Obr. B.2: Schéma zapojení zdroje pro analogové výstupní obvody

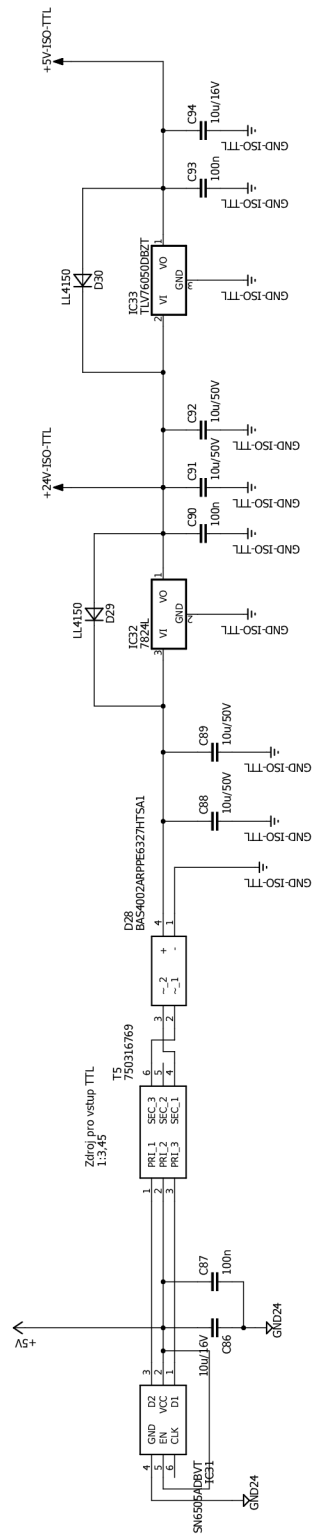


# B.3 Zdroj pro výstupní obvody HTL

Obr. B.3: Schéma zapojení zdroje pro vstupní obvody HTL



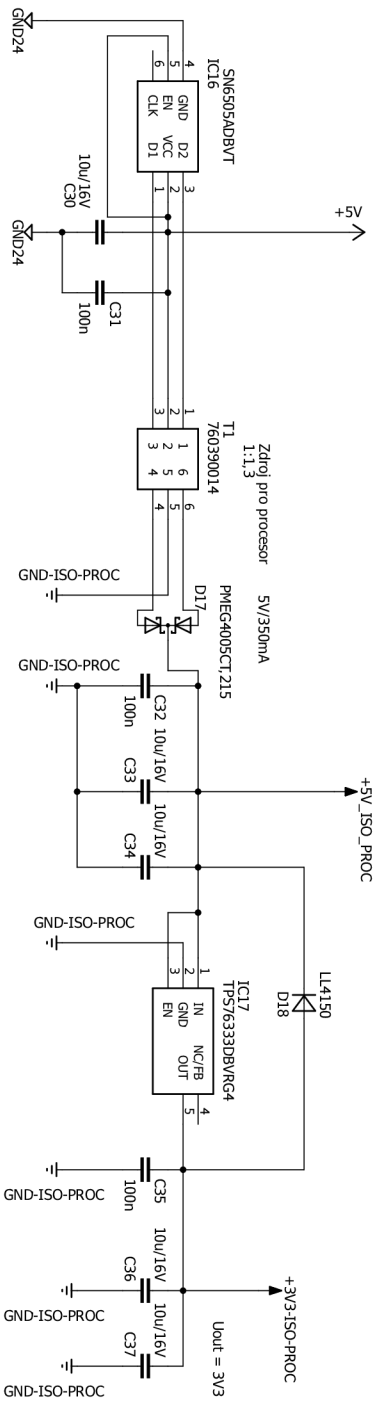
## B.4 Zdroj pro výstupní obvody strany TTL



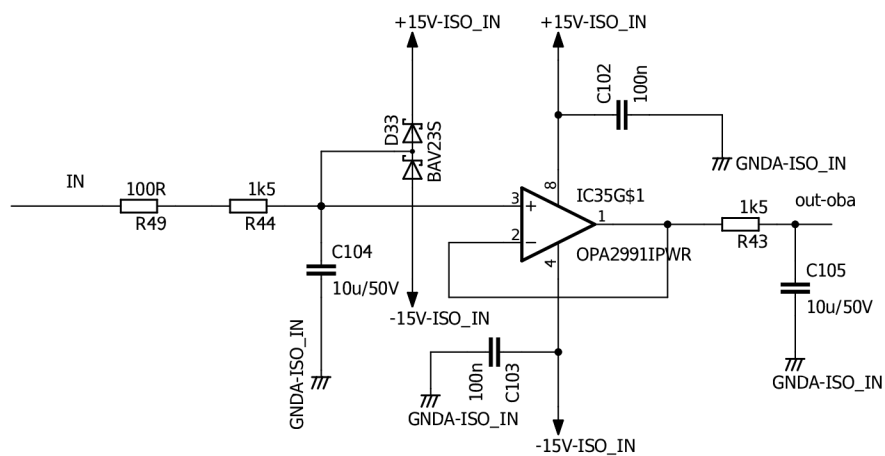
Obr. B.4: Schéma zapojení zdroje pro výstupní obvody TTL

# B.5 Zdroj pro napájení mikroprocesoru

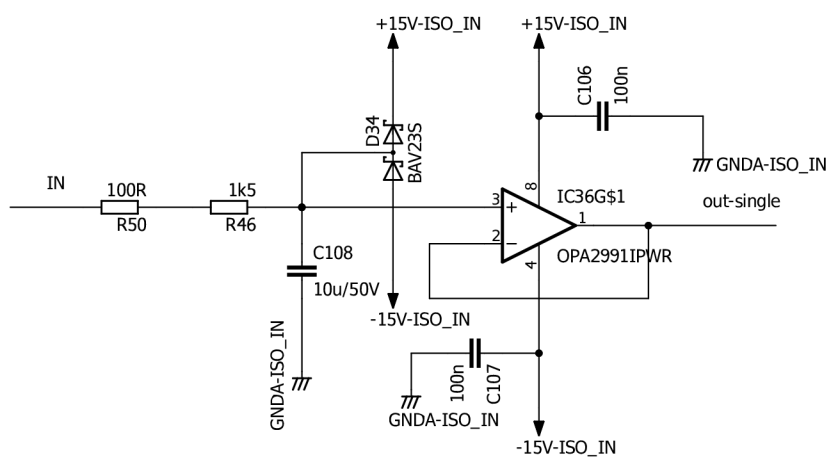
Obr. B.5: Schéma zapojení zdroje pro napájení procesoru



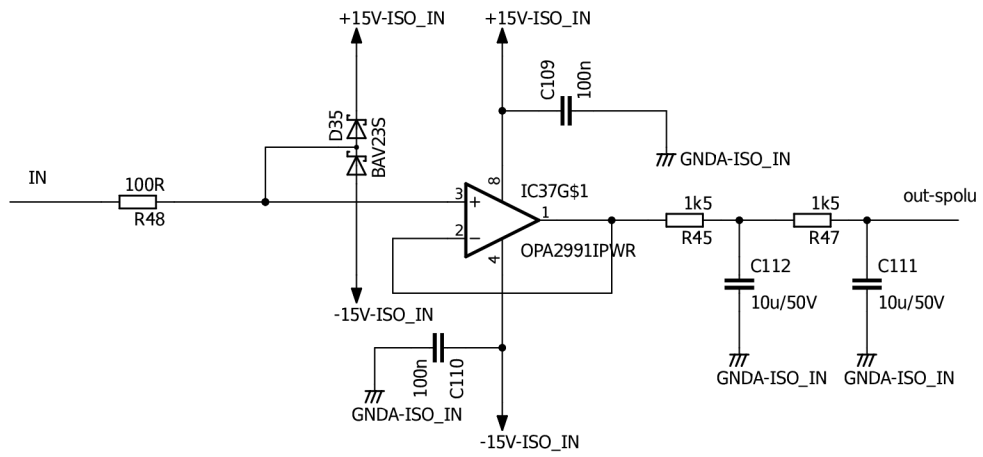
## C Schéma variant simulovaných zapojení



Obr. C.1: Schéma varianty vstupní analogové části se dvěma dolními propustmi

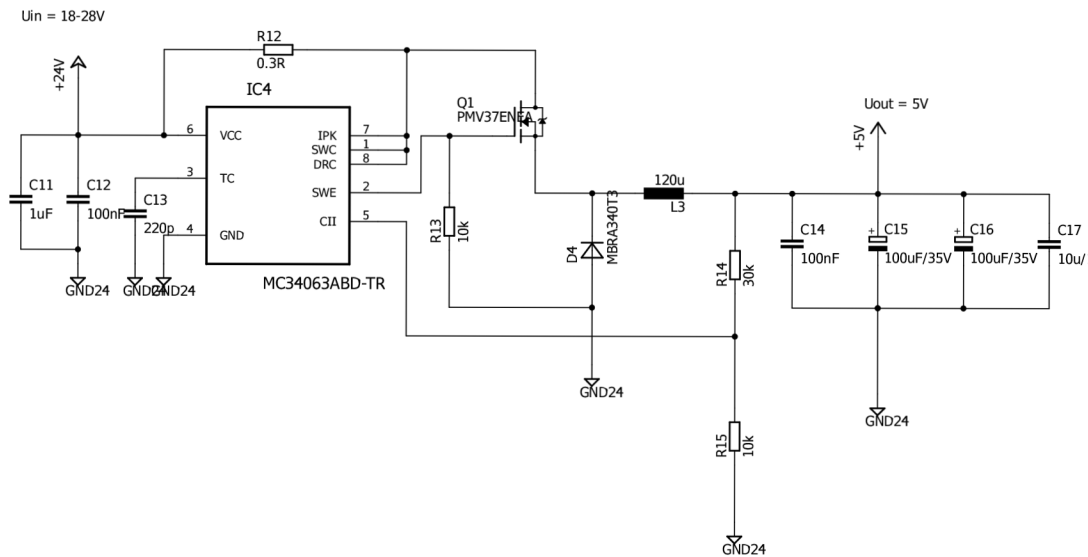


Obr. C.2: Schéma varianty vstupní analogové části s jednou dolní propustí



Obr. C.3: Schéma varianty vstupní analogové části s kaskádou dolních propustí

## D Nevyžitá varianta DC/DC měniče



Obr. D.1: Schéma zapojení vstupního DC/DC měniče

### Výpočet hodnot součástek vstupního DC/DC měniče [44] [45]

Předpoklady:

- $U_{in,min} = 18 \text{ V}$
- $U_{out} = 5 \text{ V}$
- $U_{ripple,pp} = 50 \text{ mV}$
- $f = 80 \text{ kHz}$
- $U_f = 0,7 \text{ V}$
- $U_{sat} = 1,3 \text{ V}$
- $R_1 = 10 \text{ k}\Omega$
- $R_{DS,on} = 37 \text{ m}\Omega$

$$\frac{t_{on}}{t_{off}} = -\frac{U_{out} + U_f}{U_{in(min)} - U_{sat} - U_{out}} = \frac{5 + 0,7}{18 - 1,3 - 5} = 0,487 \quad (\text{D.1})$$

$$\frac{1}{f} = \frac{1}{80 \cdot 10^3} = 12,5 \mu\text{s} \quad (\text{D.2})$$

$$t_{off} = \frac{t_{on} + t_{off}}{1 + \frac{t_{on}}{t_{off}}} = \frac{12,5 \cdot 10^{-6}}{1 + 0,487} = 8,4 \mu\text{s} \quad (\text{D.3})$$

$$t_{on} = (t_{on} + t_{off}) - t_{off} = 12,5 - 8,4 = 4,1 \mu\text{s} \quad (\text{D.4})$$

### Výpočet hodnoty časovacího kondenzátoru

$$c_t = 4 \cdot 10^{-5} \cdot t_{on} = 4 \cdot 10^{-5} \cdot 4,1 \cdot 10^{-6} = 150 \text{ pF} \quad (\text{D.5})$$

### Výpočet špičkového proudu

$$I_{pk,sw} = 2 \cdot I_{out,max} = 2 \cdot 0,5 = 1 \text{ A} \quad (\text{D.6})$$

### Výpočet ochranného odporu

$$R_{sc} = \frac{0,3}{I_{pk,sw}} = \frac{0,3}{1} = 0,3 \text{ } \Omega \quad (\text{D.7})$$

### Výpočet hodnoty minimální velikosti cívky

$$L_{min} = \frac{U_{in(min)} - U_{sat} - U_{out}}{I_{pk,sw}} \cdot t_{on,max} = \frac{18 - 1,3 - 5}{1} \cdot 8,4 \cdot 10^{-6} = 98 \text{ } \mu\text{H} \quad (\text{D.8})$$

### Výpočet hodnoty minimální velikosti kondenzátoru

$$C_o = \frac{I_{pk,sw} \cdot t_{on} + t_{toff}}{8 \cdot U_{ripple,pp}} = \frac{1 \cdot 12,5 \cdot 10^{-6}}{8 \cdot 50 \cdot 10^{-3}} = 31 \text{ } \mu\text{F} \quad (\text{D.9})$$

### Kontrola rezonance [47]

$$C \gg \frac{1}{4 \cdot \pi^2 \cdot f^2 \cdot L_{skutečná}} \\ C \gg \frac{1}{4 \cdot \pi^2 \cdot (80 \cdot 10^3)^2 \cdot 120 \cdot 10^{-6}} \\ 470 \cdot 10^{-6} \gg 32,9 \cdot 10^{-9} \Rightarrow \text{Splněno.} \quad (\text{D.10})$$

### Výpočet hodnoty odporu $R_2$ zpětné vazby

$$R_2 = \frac{U_{out} - 1,25}{1,25} \cdot R_1 = \frac{5 - 1,25}{1,25} \cdot 10 \cdot 10^3 = 30 \text{ k}\Omega \quad (\text{D.11})$$

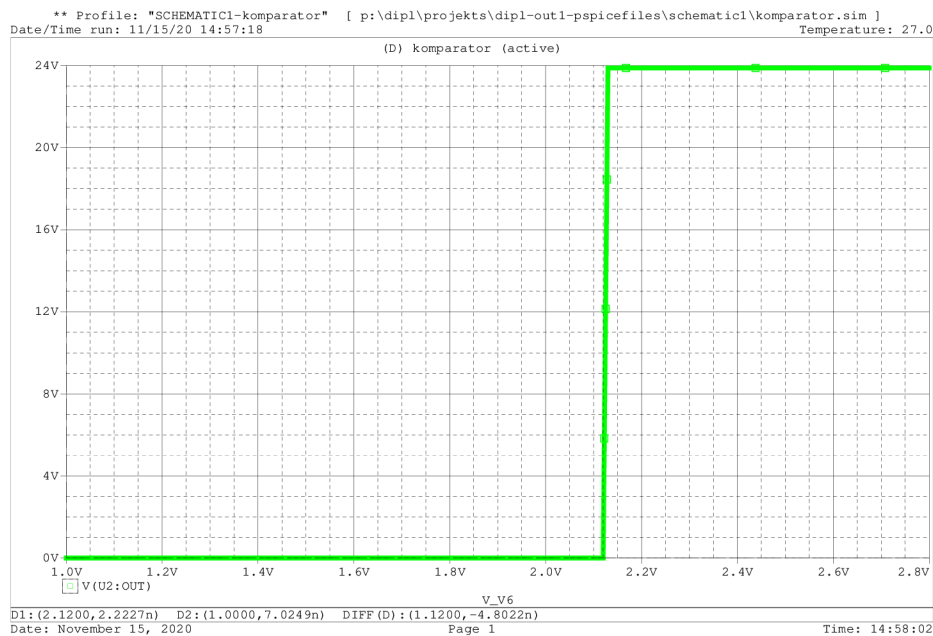
### Výpočet ztrátového výkonu výstupního tranzistoru

$$P_{ztrátový,tr} = R_{DS,on} \cdot I^2 = 37 \cdot 10^{-3} \cdot 1^2 = 0,037 \text{ W} \quad (\text{D.12})$$

Tab. D.1: Napětí špička - špička pro různá vstupní napětí

Napětí [U]	Zvlnění napětí [mV]
11	3,91
16	2,52
21	3,01
24	2,62
26	3,24

## E Simulace a výpočty varianty s komparátorem



Obr. E.1: Ukázka překlopení komparátoru pro hraniční napětí

### Výpočet rozdílového proudu nevyužité varianty komparátoru

$$I_{komp} = \frac{U_{in} - U_{komp}}{R_{sense} \cdot A_{u,TSC101C}} = \frac{2,5 - 2,125}{1,25 \cdot 100} = 3 \text{ mA} \quad (\text{E.1})$$

### Výpočet děliče napětí nevyužité varianty komparátoru

$$R_1 = \frac{U_{in} \cdot R_2 - U_{out} \cdot R_2}{U_{out}} = \frac{2,5 \cdot 22 \cdot 10^3 - 2,125 \cdot 22 \cdot 10^3}{2,125} = 3,9 \text{ k}\Omega \quad (\text{E.2})$$



# F DPS

## F.1 První vrstva Bottom



Obr. F.1: DPS - strana BOTTOM, M 1:1, nezrcadleno, skutečný rozměr 95 x 100 mm

## F.2 Druhá vrstva Bottom



Obr. F.2: DPS - strana BOTTOM, M 1:1, nezrcadleno, skutečný rozměr 95 x 100 mm

### F.3 První vrstva Top



Obr. F.3: DPS - strana TOP, M 1:1, nezrcadleno, skutečný rozměr 95 x 100 mm

## F.4 Druhá vrstva Top



Obr. F.4: DPS - strana TOP, M 1:1, nezrcadleno, skutečný rozměr 95 x 100 mm

## F.5 Osazení DPS strana TOP

Obr. F.5: Osazení součástek na DPS strana TOP

## F.6 Osazení DPS strana BOTTOM

Obr. F.6: Osazení součástek na DPS strana BOTTOM

## F.7 Nepájivá maska strana TOP

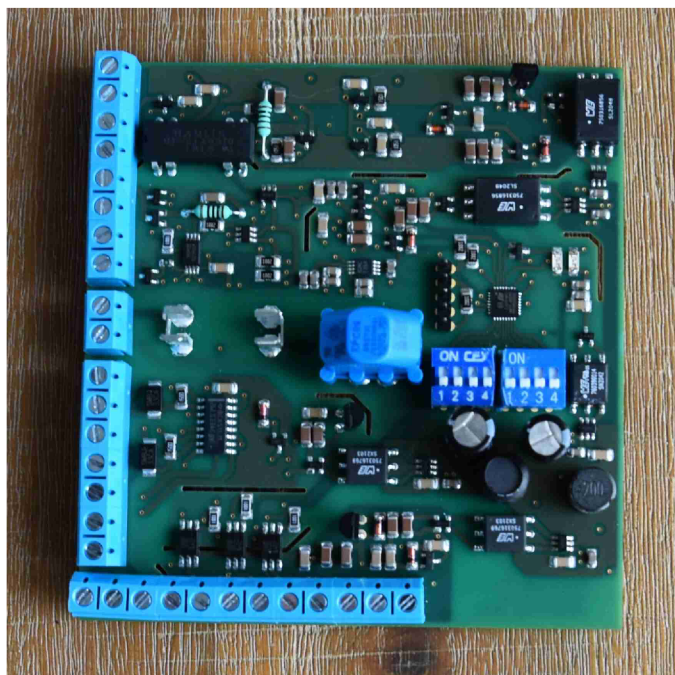
Obr. F.7: Nepájivá maska strana TOP,M 1:1, nezrcadleno, skutečný rozměr 95 x 100 mm

## F.8 Nepájivá maska strana BOTTOM

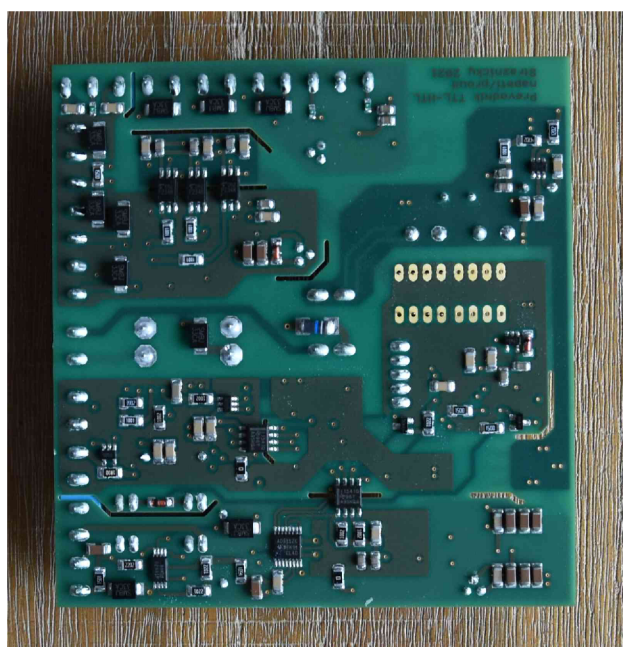
Obr. F.8: Nepájivá maska strana BOTTOM, M 1:1, nezrcadleno, skutečný rozměr 95 x 100 mm



## G Fotografie



Obr. G.1: Fotografie DPS - Horní strana



Obr. G.2: Fotografie DPS - Dolní strana

## **H Soutiska součástek**

Počet	Hodnota	Pouzdro	Označení	Označení Mouser
1	0R	M1206	R36, R39	
1	0ZCM0001FF2G	FUSC1607X85N	F1	530-0ZCM0001FF2G
3	0ZCM0004FF2G	FUSC1607X85N	F2, F3, F4	530-0ZCM0004FF2G
1	100R	0207/10	R20	603-MFR-25FBF52-100R
1	100R	0207/12	R1	603-MFR-25FBF52-100R
41	100n	C1206	C3, C4, C7, C8, C9, C12, C13, C14, C15, C16, C17, C18, C19, C20, C21, C22, C23, C24, C25, C29, C31, C32, C35, C45, C46, C47, C48, C49, C50, C57, C58, C70, C76, C79, C82, C83, C87, C90, C93, C98, C99	187-CL31B104KBCNNNC
2	100uF	E5-8,5	C95, C96	667-EEU-FR1V101B
10	10k	M1206	R9, R10, R11, R12, R13, R14, R15, R21, R22, R23	
28	10u/16V	C0805	C26, C27, C28, C30, C33, C34, C36, C37, C38, C53, C56, C59, C63, C65, C66, C68, C69, C71, C72, C73, C74, C75, C84, C85, C86, C94, C100, C101	187-CL21A106KOQNNNE

28	10u/50V	C1206	C1, C2, C5, C6, C39, C40, C41, C42, C43, C44, C51, C52, C54, C55, C60, C61, C62, C64, C67, C77, C78, C80, C81, C88, C89, C91, C92, C97	187-CL31B106KBHNNNE
1	12k	M1206	R42	
5	150R	M1206	R25, R26, R27, R28, R32	
1	1R	M1206	R19	
9	1k	M1206	R16, R18, R29, R30, R31, R33, R34, R35, R40	
6	1k5	M1206	R2, R3, R7, R8, R37, R38	
1	22k	R1206	R4	
3	2k2	M1206	R5, R6, R24	
1	39k	M1206	R17	
1	47k	M1206	R41	
2	560n	C1206	C10, C11	
1	744772200	WE-TI_809589	L3	710-744772200
2	750316769	750316769	T4, T5	710-750316769
2	750316856	750316856	T2, T3	710-750316856
1	760390014	760390015	T1	710-760390014
2	7824L	TO92	IC29, IC32	511-L78L24ACZ-AP
1	7915	TO92	IC21	863-MC79L15ACPG
1	ADS112C04IPWR	SOP65P640X120-16N	IC2	595-ADS112C04IPWR

1	AM26LS33ACD	SOIC127P600X175-16N	IC9	595-AM26LS33ACD
1	B82721J2401N020	82721J	L1	871-B82721J2401N020
3	BAS40021	BAS4002	D19, D25, D28	726-BAS4002ARPPE6
4	BAV23S	SOT91P240X120-3N	D3, D4, D5, D6	771-BAV23S-T/R
3	BC817-16LT1SMD	SOT23-BEC	Q2, Q3, Q4	771-BC817-16-T/R
2	DAC7571IIDBVTG4	SOT95P280X145-6N	IC3, IC4	595-DAC7571IIDBVTG4
1	HE721	HE721	K1	934-HE721A0510
2	ISO1541DR	SOIC127P600X175-8N	HY1, HY2	595-ISO1541QDRQ1
10	LL4150	SOD80C	D7, D18, D20, D21, D22, D24, D26, D27, D29, D30	78-LL4150-GS18
2	LM4040C25IDBZR	SOT96P240X120-3N	IC22, IC23	595-LM4040C25IDBZR
1	LM7705MM_,NOPB	SOP65P490X110-8N	PS1	926-LM7705MM/NOPB
1	LMR50410YQDBVRQ1	SOT95P280X145-6N	IC34	595-LMR50410YQDBVRQ1
1	MCP3021A7T-E/OT	SOT95P270X145-5N	IC7	579-MCP3021A7T-E/OT
2	OPA2991IPWR	SOP65P640X120-8N	IC1, IC5	595-OPA2991IPWR
2	PMEG4005CT,215	SOT95P230X110-3N	D17, D23	771-PMEG4005CT215
1	PMV37ENEA	SOT23	Q1	771-PMV37ENEAR
1	RLB0912-221KL	RLB0912-221KL	L2	652-RLB0912-221KL
1	SM4007	MELF-MLL41_DO213AB	D32	625-BYM10-800-E3/97
12	SMBJ33CA	DIONM5436X244N	D1, D2, D8, D9, D10, D11, D12, D13, D14, D15, D16, D31	652-SMBJ33CA
5	SN6505ADBVT	SOT95P280X145-6N	IC16, IC18, IC24, IC28, IC31	595-SN6505ADBVT
1	STATUS_1	CHIPLED_1206	LED1	710-156120RS75000

1	STATUS_2	CHIPLED_1206	LED2	710-156120RS75000
1	STM32G031K6U6	QFN50P500X500X60-33N	IC8	511-STM32G031K6U6
1	SWDIO	1X05	X5	538-42375-1856
6	TLP2348_E	SOIC127P700X220-6N	IC10, IC11, IC12, IC13, IC14, IC15	757-TLP2348E
5	TLV76050DBZT	SOT95P237X112-3N	IC19, IC25, IC27, IC30, IC33	595-TLV76050DBZT
2	TLV76015DBZR	SOT95P237X112-3N	IC20, IC26	595-TLV76015DBZR
1	TPS76333DBVRG4	SOT95P280X145-5N	IC17	595-TPS76333DBVRG4
1	TSC101CILT	SOT95P280X145-5N	IC6	511-TSC101CILT
2	DS01C-254-S-04BE	DIP04S	S1, S2	490-DS01C-254-S-04BE
1	TTL	W237-7P	X6	490-TB002-500-09BE
1	U_in	W237-102	X2	490-TB002-500-02BE
1	U_out	W237-102	X4	490-TB002-500-02BE
1	I_in	W237-102	X1	490-TB002-500-02BE
1	I_out	W237-102	X3	490-TB002-500-02BE
1	Zdroj-TTL	W237-103	X7	490-TB002-500-03BE
1	napajeni	W237-102	X12	490-TB002-500-02BE
1	zdroj -HTL	W237-103	X11	490-TB002-500-03BE
1	A-HTL	W237-102	X8	490-TB002-500-02BE
1	B-HTL	W237-102	X10	490-TB002-500-02BE
1	Z-HTL	W237-102	X9	490-TB002-500-02BE
1	zkusmo	SHK20Q	F5	576-52100001009