

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

DIPLOMOVÁ PRÁCE

Brno, 2024

Bc. Ondřej Pokorný



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY

A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH A REALIZACE PLATFORMY PRO ŘÍZENÍ MĚNIČE TYPU LLC SE ŠIROKÝM ROZSAHEM VSTUPNÍHO NAPÁJECÍHO NAPĚTÍ POMOCÍ OBVODU FPGA

DESIGN AND IMPLEMENTATION OF A PLATFORM FOR CONTROL LLC-TYPE INVERTER WITH A WIDE
INPUT SUPPLY VOLTAGE RANGE USING A FPGA CIRCUIT

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Ondřej Pokorný

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2024

Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

Student: Bc. Ondřej Pokorný

ID: 220898

Ročník: 2

Akademický rok: 2023/24

NÁZEV TÉMATU:

Návrh a realizace platformy pro řízení měniče typu LLC se širokým rozsahem vstupního napájecího napětí pomocí obvodu FPGA

POKYNY PRO VYPRACOVÁNÍ:

Modifikací emulačního LLC měniče navrhnete měnič se širokým vstupním rozsahem napájecího napětí. S využitím obvodu FPGA navrhnete emulační platformu pro řízení tohoto emulačního LLC měniče. Provedte teoretický rozbor problematiky řízení rezonančních měničů. Vytvořte program pro emulační platformu umožňující emulaci řízení měniče typu LLC. Provedte ověření funkčnosti emulace.

DOPORUČENÁ LITERATURA:

- [1] Yang, B. Topology Investigation for Front-End dc-dc Power Conversion for Distributed Power System, Virginia Tech Dissertation, 2003, dostupné on-line: <https://vtechworks.lib.vt.edu/handle/10919/28982>
- [2] Patel, D., Kankanala R. Digital Compensator Design for LLC Resonant Converter AN1477, Microchip Technology Inc., 2018, dostupné on-line: <http://ww1.microchip.com/downloads/en/AppNotes/AN14177,-Digital-Compensator-Design-for-LLC-Resonant-Converter-DS00001477B.pdf>
- [3] NXP Semiconductors, Wide input voltage range LLC resonant design with the TEA9026T, 2022, dostupné on-line: <https://www.nxp.com.cn/docs/en/nxp/application-notes/AN13564.pdf>

Termín zadání: 5.2.2024

Termín odevzdání: 21.5.2024

Vedoucí práce: Ing. Roman Prokop, Ph.D.

Konzultant: Ing. Pavel Látal

doc. Ing. Lukáš Fucík, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato diplomová práce se zabývá emulací řízení měniče typu LLC s širokým vstupním rozsahem napětí pomocí vytvořené emulační platformy. První část práce je zaměřena na návrh rezonančních měničů s širokým vstupním rozsahem napětí. Na základě teoretických poznatků je provedena úprava emulačního LLC měniče, která je zakončena simulací, při níž byla ověřena správnost návrhu a splnění parametru ZVS v celém rozsahu vstupního napětí. V navazující části práce je proveden rozbor problematiky řízení rezonančních měničů, přesněji potom rezonančních měničů typu LLC. Získané poznatky jsou použity pro návrh nové emulační platformy, která bude sloužit pro emulaci řízení měničů LLC s širokým vstupním rozsahem napětí. Závěrečná část se zaměřuje na vytvoření emulačního programu pro FPGA v jazyce SystemVerilog. Práce je zakončena ověřením funkčnosti emulace na fyzickém hardwaru.

Klíčová slova

LLC měnič, řízení, simulace, návrh, emulace, rozsah napětí, snímání, program, testování

Abstract

This master's thesis deals with the emulation of LLC converter control with a wide input voltage range using a created emulation platform. The first part of this work is focused on the design of resonant converters with a wide input voltage range. Based on theoretical knowledge, an adjustment of the emulation LLC converter is made. The converter modification is concluded with a simulation, where the correctness of the design and the fulfillment of the ZVS parameter in the entire input voltage range are verified. In the next part of the work, an analysis of the control issues of resonant converters, more precisely LLC type resonant converters, is carried out. The acquired knowledge is used for the design of a new emulation platform, which will serve for the emulation of LLC converter control with a wide input voltage range. The last part of the work is the creation of an emulation program for FPGA in SystemVerilog language. The work is concluded by verifying the functionality of the emulation on physical hardware.

Keywords

LLC inverter, control, simulation, design, emulation, voltage range, sensing, program, testing

Bibliografická citace

POKORNÝ, Ondřej. *Návrh a realizace platformy pro řízení měniče typu LLC se širokým rozsahem vstupního napájecího napětí pomocí obvodu FPGA*. Brno, 2024. Dostupné také z: <https://www.vut.cz/studenti/zav-prace/detail/159944>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Roman Prokop.

Prohlášení autora o původnosti díla

Jméno a příjmení studenta: *Bc. Ondřej Pokorný*

VUT ID studenta: *220898*

Typ práce: *Diplomová*

Akademický rok: *2023/24*

Téma závěrečné práce: *Návrh a realizace platformy pro řízení měniče typu LLC se širokým rozsahem vstupního napájecího napětí pomocí obvodu FPGA*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucího závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 21. května 2024

podpis autora

Poděkování

Děkuji Ing. Romanu Prokopovi, Ph.D. za pomoc při vedení semestrální práce. Děkuji také konzultantovi Ing. Pavlu Látalovi za cenné rady, věcné připomínky a vstřícnost při konzultacích v době zpracovávání této práce. Rád bych poděkoval Ing. Václavu Štihelovi za pomoc při tvorbě programu a firmě onsemi v Rožnově pod Radhoštěm za poskytnutí odborného a praktického zázemí. Mé poděkování také patří Mgr. Martině Königové za gramatickou a stylistickou úpravu mé práce.

V Brně dne: 21. května 2024

podpis autora

Obsah

| | |
|---|-----------|
| SEZNAM OBRÁZKŮ | 10 |
| ÚVOD | 13 |
| 1. EMULAČNÍ APLIKACE A EMULAČNÍ PLATFORMA | 14 |
| 1.1 EMULACE – OBECNĚ..... | 14 |
| 1.2 BLOKOVÉ SCHÉMA EMULACE | 15 |
| 1.3 KONCEPT NAVRHOVANÉ ŘÍDÍCI DESKY (EMULAČNÍ PLATFORMY) | 16 |
| 2. ÚVOD DO REZONANČNÍCH MĚNIČŮ | 18 |
| 2.1 TYPY REZONANČNÍCH MĚNIČŮ | 18 |
| 2.1.1 Sériový rezonanční měnič | 18 |
| 2.1.2 Paralelní rezonanční měnič | 20 |
| 2.1.3 Sérioparalelní rezonanční měnič | 21 |
| 2.2 REZONANČNÍ MĚNIČE LCC A LLC | 21 |
| 2.2.1 Rezonanční měnič LCC..... | 22 |
| 2.2.2 Rezonanční měnič LLC | 25 |
| 2.3 TVRDÉ A MĚKKÉ SPÍNANÍ (HARD/SOFT SWITCHING)..... | 28 |
| 2.4 FUNKCE ZVS A ZCS SPÍNANÍ U REZONANČNÍCH MĚNIČŮ..... | 29 |
| 3. ŘÍZENÍ REZONANTNÍCH MĚNIČŮ | 33 |
| 3.1 REGULÁTORY A REGULAČNÍ SMYČKA | 33 |
| 3.1.1 Regulátory s uzavřenou regulační smyčkou..... | 33 |
| 3.1.2 Typy regulátorů..... | 34 |
| 3.1.3 Regulační smyčka měniče LLC | 35 |
| 3.2 TOPOLOGIE ŘÍZENÍ MĚNIČŮ | 37 |
| 3.2.1 Řízení měniče na primární straně | 37 |
| 3.2.2 Řízení měniče na sekundární straně..... | 39 |
| 3.3 SNÍMANÍ REGULAČNÍCH VELIČIN | 41 |
| 3.3.1 Nepřímé měření na primární straně..... | 41 |
| 3.3.2 Přímé měření na sekundární straně..... | 42 |
| 3.3.3 Další možnosti snímání regulačních veličin..... | 43 |
| 3.4 ŘEŠENÍ ZPĚTNÉ VAZBY A REGULACE | 44 |
| 3.4.1 Zpětná vazba u měničů..... | 45 |
| 3.5 REGULACE VÝSTUPNÍ VELIČINY MĚNIČE | 46 |
| 3.5.1 CV (Constant Voltage) regulace | 47 |
| 3.5.2 CC (Constant Current) regulace..... | 47 |
| 3.5.3 CP (Constant Power) regulace | 48 |
| 3.6 PRAKTICKÉ PŘÍKLADY ŘEŠENÍ ZPĚTNÉ VAZBY S REGULACÍ..... | 50 |
| 3.7 KRAJNÍ STAVY MĚNIČE..... | 53 |
| 3.7.1 Provoz naprázdno (Light load)..... | 53 |
| 3.7.2 Ochrana proti přepětí (OVP - Overvoltage protection)..... | 54 |
| 3.7.3 Ochrana proti podpětí (UVP – UnderVoltage protection)..... | 55 |
| 3.7.4 Ochrana proti nadproudu (OCP - Overcurrent protection) | 56 |
| 3.7.5 Ochrana proti přehřátí (OTP - Overtemperature protection) | 57 |
| 3.7.6 Ochrana proti přetížení (OPP – overpower protection)..... | 58 |

| | | |
|-----------|---|-----------|
| 3.7.7 | <i>Přímá ochrana proti přetížení (true OPP – true overpower protection)</i> | 59 |
| 3.7.8 | <i>Shrnutí</i> | 60 |
| 4. | ŠIROKÝ ROZSAH VSTUPNÍHO NAPĚTÍ | 61 |
| 4.1 | MĚNIČE S ŠIROKÝM ROZSAHEM VSTUPNÍHO NAPĚTÍ | 61 |
| 4.2 | REZONANČNÍ MĚNIČE S ŠIROKÝM VSTUPNÍM ROZSAHEM NAPĚTÍ | 62 |
| 4.3 | VÝKONOVÁ KŘIVKA „WIDE RANGE“ LLC MĚNIČŮ | 64 |
| 5. | EMULAČNÍ MĚNIČ LLC S ŠIROKÝM ROZSAHEM VSTUPNÍHO NAPĚTÍ | 65 |
| 5.1 | ÚPRAVA EMULAČNÍHO LLC MĚNIČE | 65 |
| 5.2 | NUMERICKÝ NÁVRH LLC MĚNIČE S ŠIROKÝM ROZSAHEM VSTUPNÍHO NAPĚTÍ | 66 |
| 5.2.1 | <i>Definování dalších vstupních parametrů pro návrh</i> | 67 |
| 5.3 | SIMULACE NAVRŽENÉHO MĚNIČE | 78 |
| 5.3.1 | <i>Simulace chodu naprázdno</i> | 78 |
| 5.3.2 | <i>Simulace pro jmenovitou zátěž</i> | 79 |
| 5.3.3 | <i>Simulace při maximálním zatížení</i> | 80 |
| 5.3.4 | <i>Závěr simulací</i> | 81 |
| 5.4 | ÚPRAVA MAGNETICKÝCH A KAPACITNÍCH KOMPONENT | 82 |
| 5.4.1 | <i>Úprava transformátoru</i> | 82 |
| 5.4.2 | <i>Realizace a měření upraveného transformátoru</i> | 87 |
| 5.4.3 | <i>Výběr kapacitních a indukčních komponent</i> | 88 |
| 5.5 | REALIZACE ÚPRAV NA DESCE EMULAČNÍHO MĚNIČE | 89 |
| 5.5.1 | <i>Úprava výkonové části</i> | 89 |
| 5.5.2 | <i>Úprava řídicí a komunikační části</i> | 90 |
| 5.6 | FUNKČNÍ TEST MĚNIČE S POMOCÍ TESTOVACÍ DESKY | 92 |
| 5.6.1 | <i>Testovací deska</i> | 92 |
| 5.6.2 | <i>Měření emulačního měniče s širokým vstupním rozsahem</i> | 93 |
| 5.7 | ZÁVĚR ÚPRAV A FUNKČNÍHO TESTU | 98 |
| 6. | NÁVRH A REALIZACE EMULAČNÍ PLATFORMY | 99 |
| 6.1 | NÁVRH POMOCNÉ REGULAČNÍ DESKY S KOMPARÁTOREM | 99 |
| 6.1.1 | <i>Úprava měření primárního proudu</i> | 99 |
| 6.1.2 | <i>Zapojení AD převodníku</i> | 101 |
| 6.1.3 | <i>Úprava snímání zpětné vazby</i> | 102 |
| 6.1.4 | <i>Izolace výstupní části</i> | 105 |
| 6.1.5 | <i>Napájení pomocné desky</i> | 106 |
| 6.1.6 | <i>Návrh desky plošného spoje</i> | 106 |
| 6.2 | NÁVRH HLAVNÍ ŘÍDICÍ DESKY S FPGA | 110 |
| 6.2.1 | <i>Výběr obvodu FPGA</i> | 110 |
| 6.2.2 | <i>Propojení digitálních signálů</i> | 111 |
| 6.2.3 | <i>Propojení analogových signálů</i> | 112 |
| 6.2.4 | <i>Napájení emulační platformy</i> | 113 |
| 6.2.5 | <i>Realizace desky emulační platformy</i> | 114 |
| 6.3 | NÁVRH LADÍČÍ DESKY („DEBUG BOARD“) | 115 |
| 6.3.1 | <i>Koncept ladíčí desky</i> | 115 |
| 6.3.2 | <i>Realizace ladíčí desky</i> | 116 |
| 6.4 | ZÁVĚR NÁVRHU EMULAČNÍ PLATFORMY | 117 |

| | | |
|-----------|---|------------|
| 7. | REALIZACE PROGRAMU PRO EMULACI ŘÍZENÍ..... | 118 |
| 7.1 | BLOKOVÉ SCHÉMA PROPOJENÍ EMULACE | 118 |
| 7.2 | BLOKOVÉ ZNÁZORNĚNÍ PROGRAMU | 120 |
| 7.3 | POPIS PROGRAMŮ A PODPROGRAMŮ..... | 121 |
| 7.3.1 | <i>IP blok fázového závěsu.....</i> | <i>121</i> |
| 7.3.2 | <i>Podprogram vratného čítače (TIMER_U_D)</i> | <i>121</i> |
| 7.3.3 | <i>Podprogram čítače „deadtime“ (TIMER_DT)</i> | <i>122</i> |
| 7.3.4 | <i>Podprogram generátor PFM (GEN_PFM).....</i> | <i>123</i> |
| 7.3.5 | <i>Převodník binárního čísla na dekadické (BIN2DEC)</i> | <i>125</i> |
| 7.3.6 | <i>Multiplexor pro segmentový displej (SEG_DEC_X).....</i> | <i>126</i> |
| 7.3.7 | <i>Modul sběrnice SPI pro ladící desku (DEBUG_SPI)</i> | <i>126</i> |
| 7.3.8 | <i>Zpracování dat z ladící desky (DEBUG_DATA).....</i> | <i>129</i> |
| 7.3.9 | <i>Hlavní program (MAIN)</i> | <i>131</i> |
| 8. | TESTOVÁNÍ EMULAČNÍ PLATFORMY..... | 133 |
| 8.1.1 | <i>Nastavení ladící desky.....</i> | <i>133</i> |
| 8.1.2 | <i>Testování funkčnosti „ON_time“ komparátoru</i> | <i>135</i> |
| 8.1.3 | <i>Testování celého měniče</i> | <i>136</i> |
| 8.1.4 | <i>Ověření splnění podmínek ZVS.....</i> | <i>136</i> |
| 8.1.5 | <i>Závěr testování měniče a emulační platformy.....</i> | <i>138</i> |
| 9. | ZÁVĚR..... | 139 |
| | SEZNAM SYMBOLŮ A ZKRATEK | 148 |
| | SEZNAM PŘÍLOH..... | 150 |

SEZNAM OBRÁZKŮ

| | | |
|------|---|----|
| 1.1 | Blokové schéma zapojení emulační platformy z [1]..... | 15 |
| 1.2 | Blokové schéma zapojení nové emulační platformy..... | 16 |
| 1.3 | Blokové schéma zapojení ladící desky | 17 |
| 2.1 | Schéma sériového rezonančního měniče [1] upraveno v [3] | 18 |
| 2.2 | Typické průběhy napětí a proudu v SRC [1]..... | 19 |
| 2.3 | Frekvenční charakteristiky v SRC [1]..... | 19 |
| 2.4 | Schéma paralelního rezonančního měniče [1] upraveno v [3] | 20 |
| 2.5 | Typické průběhy napětí a proudu v PRC [1]..... | 20 |
| 2.6 | Frekvenční charakteristiky v PRC [1]..... | 21 |
| 2.7 | Schéma zapojení LCC měniče bez vyhlazení [1] upraveno v [3]..... | 22 |
| 2.8 | Schéma zapojení LCC měniče s vyhlazením [1] upraveno v [3] | 22 |
| 2.9 | Typické napěťové průběhy v LCC měniči vytvořeno v [7]..... | 23 |
| 2.10 | Typické frekvenční charakteristiky LCC měniče [8] | 24 |
| 2.11 | Schéma rezonančního obvodu LCC měniče [1] upraveno | 24 |
| 2.12 | Schéma rezonančního obvodu LLC měniče [1] upraveno | 25 |
| 2.13 | Typické frekvenční charakteristiky LLC měniče [9]..... | 26 |
| 2.14 | Typické zapojení LLC měniče [1] upraveno..... | 26 |
| 2.15 | Časové průběhy napětí a proudu v LLC měniči při $f_s > f_0$ [1] | 27 |
| 2.16 | Průběh tvrdého spínání tranzistoru MOSFET [10] upraveno | 28 |
| 2.17 | Průběh měkkého spínání tranzistoru MOSFET [10] upraveno..... | 29 |
| 2.18 | Schéma zapojení LLC rezonančního měniče [1] upraveno | 30 |
| 2.19 | Typické průběhy U, I a P v měniči LLC [13] upraveno..... | 30 |
| 2.20 | Typické průběhy proudů a napětí v měniči LLC [13] upraveno | 32 |
| 3.1 | Blokové schéma uzavřené regulační smyčky [14] | 33 |
| 3.2 | Časové odezvy jednotlivých regulátorů [15]..... | 34 |
| 3.3 | Blokové schéma regulační smyčky LLC [16]..... | 35 |
| 3.4 | Zapojení řadiče pro half-bridge [17] upraveno..... | 36 |
| 3.5 | Princip řízení LLC měniče z primární strany [19]..... | 37 |
| 3.6 | Princip řešení pohotovostního režimu LLC měniče [19] | 38 |
| 3.7 | Princip řízení LLC měniče ze sekundární strany..... | 40 |
| 3.8 | Princip řízení ze sekundární strany s impulzním transformátorem [23]..... | 40 |
| 3.9 | Princip řízení ze sekundární strany s pomocným obvodem [21]..... | 41 |
| 3.10 | Snímání výstupního napětí AUX vinutím transformátoru [18]..... | 42 |
| 3.11 | Princip snímání napětí na sekundární straně s proudovou regulací [21] | 43 |
| 3.12 | Další možnosti měření veličin v obvodu [18][21]..... | 43 |
| 3.13 | Princip převodu signálu z primární strany na sekundární [21]..... | 44 |
| 3.14 | Zapojení zpětných vazeb v regulačních systémech [24] upraveno..... | 45 |
| 3.15 | Princip vyhodnocení zpětné vazby [26] upraveno | 46 |
| 3.16 | VA charakteristiky režimů měniče..... | 46 |
| 3.17 | LLC měnič s napěťovou regulací [28] | 47 |
| 3.18 | LLC měnič s proudovou regulací na sekundární straně | 48 |
| 3.19 | LLC měnič s proudovou regulací na primární straně | 48 |
| 3.20 | LLC měnič s výkonovou regulací na primární straně | 49 |
| 3.21 | Vnitřní zapojení obvodu TL431 [31] | 50 |
| 3.22 | Zapojení obvodu TL431 jako regulátor napětí [31]..... | 50 |
| 3.23 | Zapojení napěťového regulátoru TL431 s proudovým výstupem [32] | 51 |

| | | |
|------|---|-----|
| 3.24 | Zapojení regulátoru pro CV regulaci s TL431 [32] | 52 |
| 3.25 | Katalogové zapojení obvodu NCP4371 [33] | 52 |
| 3.26 | Časové průběhy PFM a PWM pro dávkový režim [34] | 53 |
| 3.27 | Časový průběh napětí s OVP příznakem | 54 |
| 3.28 | Integrovaná OVP ochrana v řídicím obvodu [35] upraveno | 55 |
| 3.29 | Časový průběh napětí s UVP příznakem | 55 |
| 3.30 | Realizace UVP v zapojení | 56 |
| 3.31 | Časový průběh proudu s OCP příznakem | 56 |
| 3.32 | Princip realizace OCP s převodem ze sekundární strany | 57 |
| 3.33 | Realizace OTP ochrany s NTC termistorem | 57 |
| 3.34 | Typické výkonové křivky | 58 |
| 3.35 | Charakteristika „ <i>true OPP</i> “ regulace | 59 |
| 3.36 | Princip realizace „ <i>true OPP</i> “ u měniče LLC [36] | 60 |
| 4.1 | Schématické rozložení impedací v LLC měniči | 62 |
| 4.2 | Frekvenční charakteristiky LLC měniče | 63 |
| 4.3 | Výkonové křivky pro jednotlivé typy měniče LLC | 64 |
| 5.1 | Zapojení LLC měniče v topologii half-bridge | 66 |
| 5.2 | Schéma zapojení pro frekvenční simulaci 1 | 72 |
| 5.3 | Zisk měniče při změně rezonanční kapacity | 72 |
| 5.4 | Schéma zapojení pro frekvenční simulaci 2 | 73 |
| 5.5 | Frekvenční charakteristiky navrhovaného měniče | 74 |
| 5.6 | Schéma pro simulaci navrženého LLC měniče | 78 |
| 5.7 | Průběhy napětí, proudu a výkonu v LLC měniči naprázdno | 79 |
| 5.8 | Průběhy napětí, proudu a výkonu v LLC měniči jmenovité | 80 |
| 5.9 | Průběhy napětí, proudu a výkonu v LLC měniči plně zatížení | 81 |
| 5.10 | Obrázky jádra a kostříčky transformátoru [50] | 82 |
| 5.11 | Rozložení vinutí a skladba vinutí transformátoru | 85 |
| 5.12 | Praktická realizace transformátoru | 87 |
| 5.13 | Úpravy na desce emulačního měniče 1 | 89 |
| 5.14 | Úpravy na desce emulačního měniče 2 | 91 |
| 5.15 | Schéma zapojení testovací desky | 92 |
| 5.16 | Osazená testovací deska | 92 |
| 5.17 | Časové průběhy obvodových veličin s „ <i>clamp</i> “ diodami | 93 |
| 5.18 | Časové průběhy obvodových veličin bez „ <i>clamp</i> “ diod | 94 |
| 5.19 | Časové průběhy obvodových veličin $U_{IN} = 94 \text{ V}$ ($P_{OUT} = 75 \text{ W}$) | 95 |
| 5.20 | Časové průběhy obvodových veličin $U_{IN} = 374 \text{ V}$ ($P_{OUT} = 75 \text{ W}$) | 96 |
| 5.21 | Časové průběhy obvodových veličin $U_{IN} = 300 \text{ V}$ ($P_{OUT} = 0 \text{ W}$) | 97 |
| 5.22 | Časové průběhy obvodových veličin $U_{IN} = 300 \text{ V}$ ($P_{OUT} = 0 \text{ W}$) | 97 |
| 6.1 | Původní realizace měření primárního proudu | 99 |
| 6.2 | Úprava signálu z kapacitního děliče | 100 |
| 6.3 | Zapojení AD převodníku | 101 |
| 6.4 | Zapojení reference pro AD převodník | 102 |
| 6.5 | Původní realizace zpětné vazby | 103 |
| 6.6 | Zapojení „ <i>ON_time</i> “ komparátoru na preregulační desce | 103 |
| 6.7 | Převodník proudu na napětí | 104 |
| 6.8 | Izolace komunikačních signálů | 105 |
| 6.9 | Napájecí obvody pomocné desky | 106 |
| 6.10 | Umístění rezervních LVDS konektorů | 107 |

| | |
|---|-----|
| 6.11 Realizace pomocné desky na DPS | 108 |
| 6.12 Rozmístění součástek na pomocné desce..... | 108 |
| 6.13 Měření pomocné desky termokamerou..... | 109 |
| 6.14 FPGA modul digilent Cmod S7 [68] | 110 |
| 6.15 Zapojení řadičů LVDS..... | 111 |
| 6.16 Propojení emulační desky a FPGA modulu | 112 |
| 6.17 Realizace operačního zesilovače pro převod signálů..... | 113 |
| 6.18 Napětové reference | 113 |
| 6.19 Realizace napájení emulační platformy | 114 |
| 6.20 Realizace desky emulační platformy | 114 |
| 6.21 Koncept ladící desky..... | 115 |
| 6.22 Realizace ladící desky..... | 116 |
| 6.23 Zapojení emulační aplikace řízení „wide-range“ LLC měniče | 117 |
| 7.1 Blokové schéma propojení emulace | 119 |
| 7.2 Blokové znázornění programu | 120 |
| 7.3 Blokové schéma TIMER_U_D..... | 122 |
| 7.4 Blokové schéma TIMER_DT | 122 |
| 7.5 Blokové schéma stavového automatu GEN_PFM..... | 124 |
| 7.6 Blokové schéma propojení modulů GEN_PFM | 124 |
| 7.7 Blokové schéma BIN2DEC převodníku | 125 |
| 7.8 Blokové schéma multiplexoru SEG_DEC_X | 126 |
| 7.9 Blokové schéma sběrnice SPI ladící desky DEBUG_SPI..... | 128 |
| 7.10 Blokové schéma DEBUG_DATA 1 | 129 |
| 7.11 Blokové schéma DEBUG_DATA 2 | 130 |
| 7.12 Blokové schéma stavového automatu MAIN | 132 |
| 7.13 Blokové schéma propojení modulů MAIN..... | 132 |
| 8.1 Přiřazení LED a spínačů na ladící desce | 134 |
| 8.2 Časové průběhy obvodových veličin „ON_time“ komparátoru..... | 135 |
| 8.3 Časové průběhy obvodových veličin $U_{IN} = 94\text{ V}$ | 136 |
| 8.4 Časové průběhy obvodových veličin $U_{IN} = 94\text{ V}$, detail ZVS | 137 |
| 8.5 Měřící pracoviště | 138 |
| 8.6 Detail funkce ladící desky..... | 138 |

ÚVOD

V rámci celosvětové standardizace je snahou vytvářet spínané zdroje, které budou fungovat na všech hladinách síťového napětí napříč celým světem. Tyto zdroje se označují jako zdroje s širokým vstupním rozsahem (neboli „*wide-range*“). Tato práce je zaměřena na návrh rezonančního měniče pracujícího na širokém rozsahu vstupního napětí, konkrétně se jedná o měnič typu LLC.

Cílem této práce je vytvořit emulační platformu, která bude emulovat řízení právě rezonančního měniče s širokým vstupním rozsahem napětí. Celý systém se potom nazývá emulační aplikace.

Pro měniče typu LLC představuje široký rozsah vstupního napětí určitou komplikaci při konstrukci, a to z pohledu nastavení pracovních kmitočtů a celkového zesílení měniče.

Stěžejním bodem této práce je numerický návrh LLC měniče s nalezením optimální konfigurace rezonančních komponent pro tento měnič a nastavení pracovních kmitočtů. Na základě nalezených parametrů je vytvořen nový transformátor, který je nedílnou součástí návrhu. Nalezená konfigurace rezonančních komponent je ověřena simulací.

Nalezená konfigurace je formou úpravy aplikovaná na emulační měnič vytvořený v rámci mé bakalářské práce, který obsahuje měnič LLC standardního typu. Správnost provedení úprav a funkčnost měniče je otestována pomocí testovací desky přímo na hardwaru emulačního měniče.

Před začátkem návrhu emulační platformy je probrána základní problematika rezonančních měničů z pohledů řízení. Aby bylo možné sestavit celý funkční řídicí systém pomocí FPGA, je potřeba se také seznámit se základními principy řízení, mezi které patří: regulační smyčka, snímání a vyhodnocení zpětné vazby, řešení krajních stavů a ochrany měniče.

Dále je v práci navržena nová emulační platforma řízená programovatelným hradlovým polem (FPGA), zajišťující ovládání měniče a komunikaci s periferiemi. Aby bylo možné v čase emulace měnit nebo zobrazovat stavy vnitřních proměnných a signálů je navržena ladící deska („*debug board*“), která je připojená k emulační platformě. Mimo hlavní emulační platformu a ladící desku je vytvořená také pomocná deska, která řeší několik problému, které vznikly již při návrhu emulačního měniče.

Po dokončení návrhu emulační platformy a všech ostatních komponent je v práci uveden návrh emulačního programu pro obvod FPGA, který má za úkol emulovat řídicí obvod měniče LLC s širokým vstupním rozsahem napětí. Program je napsán v jazyce SystemVerilog.

Na závěr je provedeno testování celé emulační platformy včetně ladící desky, kdy je ověřeno, zdali byl celý návrh proveden správně.

1. EMULAČNÍ APLIKACE A EMULAČNÍ PLATFORMA

Tato práce navazuje na bakalářskou práci [1], která řešila tvorbu emulačního LLC měniče, respektive emulační aplikaci tak, aby byla pokud možno univerzální a bylo možné ji použít při emulaci nových navrhovaných IO. Tento měnič měl být dále připojen k emulační platformě, kterou disponuje firma onsemi. Vzhledem k velkému vytížení této hlavní emulační platformy bylo rozhodnuto, že v této práci bude vytvořena nová jednodušší a menší verze emulační platformy. Na této platformě se v budoucnu budou testovat méně náročné aplikace.

1.1 Emulace – obecně

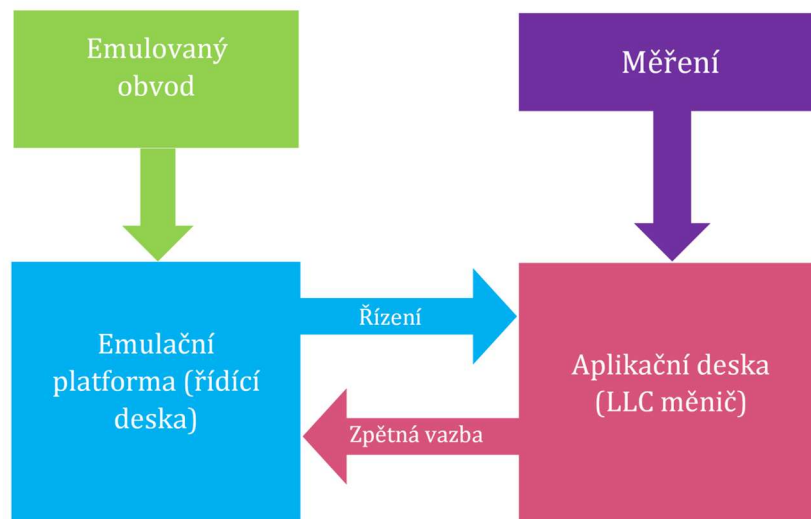
Emulace je jedním z ověřovacích postupů při návrhu integrovaných obvodů. Jedná se o proces nahrazující nebo doplňující simulaci. Pro simulaci je nutné mít u každé komponenty vytvořený přesný model, čím přesnější je model, tím přesnější je i výsledek. U emulace odpadá nutnost tvorby modelů, protože se využívá fyzických součástek. Naopak se musí vytvořit hardware, který nahrazuje vyvíjený nebo testovaný obvod. Výsledky z emulací jsou přesnější než u simulace, protože počítají i s parazitními vlivy, se kterými některé modely nemusí disponovat nebo by jejich zakomponování do modelu mohlo být velmi náročné.

Druhým aspektem pro nasazení emulace v praxi je celkový čas a počet lidí, který je potřebný k realizaci. U simulace je nutné projít několika ověřovacími kroky u modelů, aby bylo jisté, že jsou modely správné a mít výkonné počítače pro výpočet složitých a rozsáhlých zapojení. U emulace se všechno značně zjednodušuje, emulační platforma je univerzální, a tedy jedinou věcí, která brání k realizaci, je konstrukce DPS (desky plošného spoje) s danou aplikací pro navrhovaný obvod. Výroba desky a její osazení je časově daleko méně náročné a není k tomu potřeba vysoký počet osob.

Na závěr je dobré podotknout, že aplikační desky mohou být při testech poškozeny nebo dokonce zničeny. I přes tuto skutečnost je emulace stále ekonomicky výhodnější a poskytuje reálnější výsledky než simulace.

1.2 Blokové schéma emulace

Celá emulace se skládá z několika částí, které jsou zobrazeny na obrázku 1.1. Základem je emulační platforma, která nahrazuje funkci navrhovaného integrovaného obvodu nebo jeho části, popřípadě určitých funkcí. Platforma zároveň generuje řídicí signály pro řízení dané emulační aplikace na základě zpětné vazby. Nejčastěji bývá postavena na obvodech typu FPGA („*field programming gate array*“), které umožňují spolehlivé řízení aplikace. Navrhovaný obvod se potom do FPGA zapíše v podobě kódu napsaného v jazyce pro popis hardwaru, příkladem může být SystemVerilog nebo VHDL. Emulace také umožňuje přímé měření veličin na aplikační desce na jednotlivých komponentech nebo je možné data zpracovávat emulační platformou a následně je ukládat nebo zpracovávat například v PC.

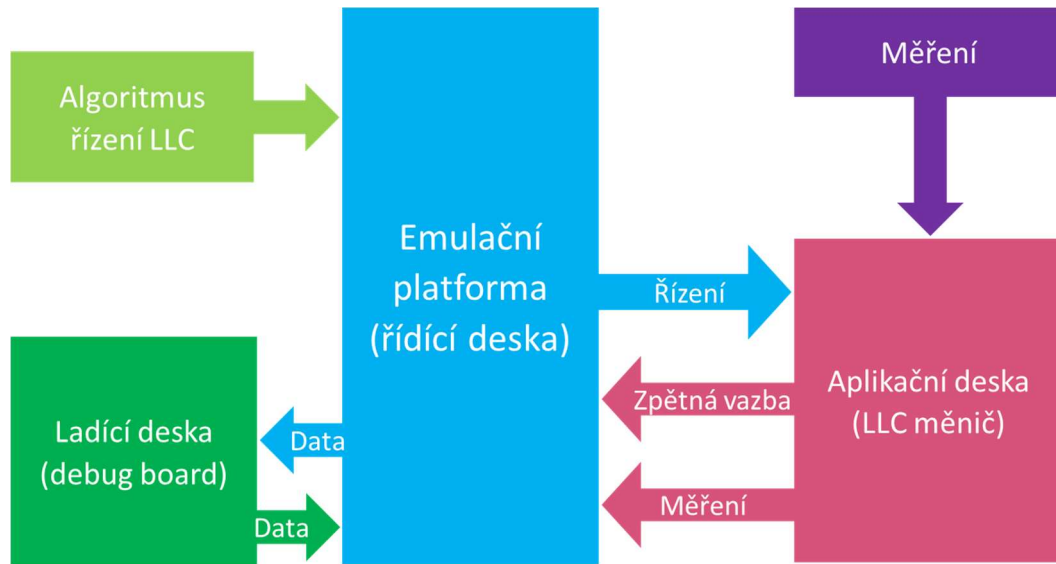


Obrázek 1.1 Blokové schéma zapojení emulační platformy z [1]

Emulace nahrazuje celý navrhovaný obvod, je tedy teoreticky možné měnit jakýkoliv parametr řízení a ovlivňovat tím chod aplikace. Tím lze emulovat různé poruchové a jiné stavy, které by mohly nastat i při normálním provozu. Emulační platforma může mít také možnost ladění a díky tomu lze měnit parametry i za běhu, a tím doladit měřené parametry do požadovaných hodnot.

1.3 Koncept navrhované řídicí desky (emulační platformy)

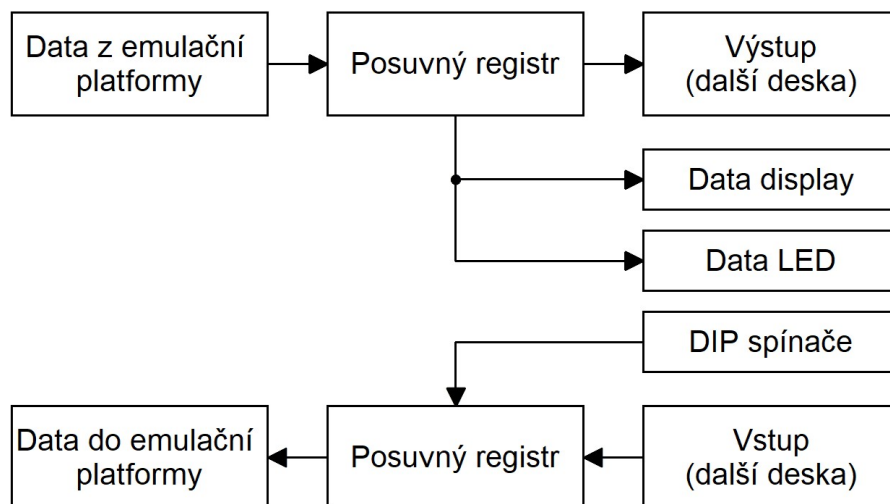
V této práci se bude realizovat řídicí deska (emulační platforma). Tato platforma bude následně řídit navržený emulační LLC měnič s širokým rozsahem vstupního napětí. Navrhovaná platforma bude mít oproti původnímu konceptu několik úprav a změn, viz blokové schéma 1.2.



Obrázek 1.2 Blokové schéma zapojení nové emulační platformy

Navrhovaná emulační platforma bude disponovat hlavní řídicí deskou, která bude osazena programovatelným hradlovým polem (FPGA). Primárním účelem bude zajistit napájení FPGA a pomocných obvodů, mezi které patří operační zesilovače, AD převodníky, LVDS řadiče, napěťové reference apod.

K emulační platformě bude připojena ladící deska neboli „*debug board*“. Tato deska bude obsahovat posuvné registry, na které budou připojeny přepínače typu DIP. Ty budou tvořit vstupní data pro nastavení vnitřních proměnných, například délku „*dead time*“ nebo k nastavení velikosti referenčního napětí. Jelikož je tato deska univerzální, je její využití čistě v rukou programátora. Pro zobrazení výstupních stavů budou na desce umístěny led diody a 7segmentové displeje pro zobrazení čísel, popřípadě znaků. Segmentové displeje nebudou mít žádný kodér, je tedy nutné kodér vytvořit v programu, aby bylo jejich použití univerzální. Blokové schéma ladící desky je na obrázku 1.3.



Obrázek 1.3 Blokové schéma zapojení ladící desky

Emulačním měnič se spolu s ladící deskou připojí k nové emulační platformě. Do řídicího obvodu se nahraje řídicí software odpovídající požadavkům emulace a tím bude platforma připravena k ověření konceptu nebo k fyzickému měření parametrů za chodu.

2. ÚVOD DO REZONANČNÍCH MĚNIČŮ

Rezonanční měniče jsou v dnešní době velmi diskutovaným tématem na poli přeměny elektrické energie. Tyto měniče jsou známy již od 80. let minulého století [1], ale teprve dnes dostávají své místo v reálných aplikacích a prosakují na pole komerční elektroniky. Klasické „*pulse wide modulation*“, dále jen PWM, měniče, které se hojně využívaly pro spínané zdroje, jsou postupně vytlačovány měniči rezonančními. Rezonanční měniče ve své podstatě překonaly strop celkové účinnosti PWM měničů a díky tomu se dostaly do popředí.

2.1 Typy rezonančních měničů

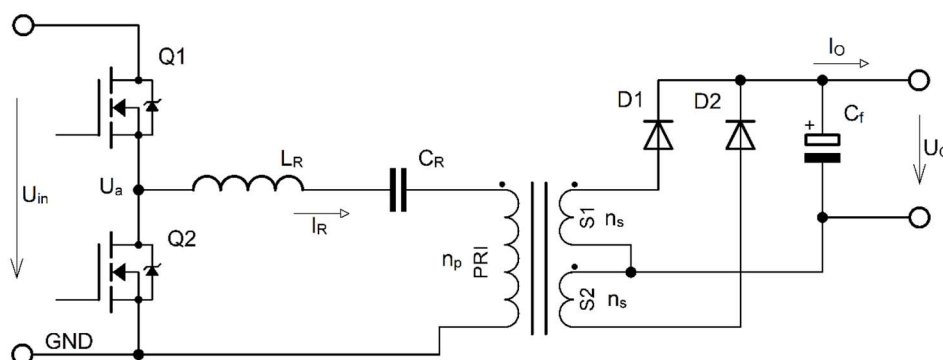
Rezonanční měniče využívají pro svůj chod rezonanci. Základem každého rezonančního měniče jsou akumulací prvky a rezonanční obvod, který je nejčastěji složen z cívky a kondenzátorů. Podle konfigurace těchto prvků můžeme měniče rozdělit do několika typů:

1. Sériový měnič
2. Paralelní měnič
3. Sérioparalelní měnič

Jak již bylo popsáno dříve v bakalářské práci, jsou sériové a paralelní měniče nevhodné pro použití ve spínaných zdrojích. [1]

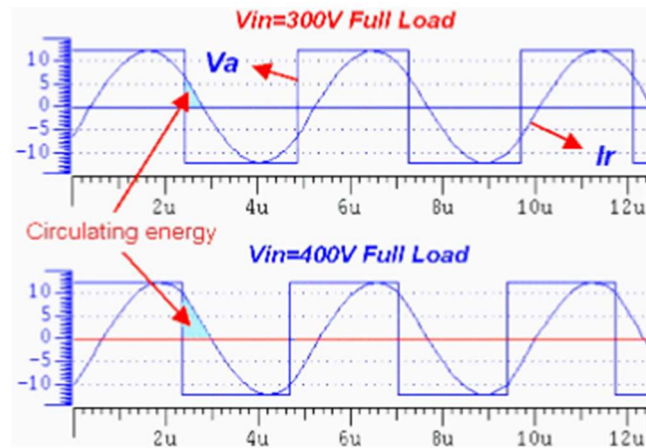
2.1.1 Sériový rezonanční měnič

Na obrázku 2.1 je zobrazeno základní zapojení sériového rezonančního měniče.

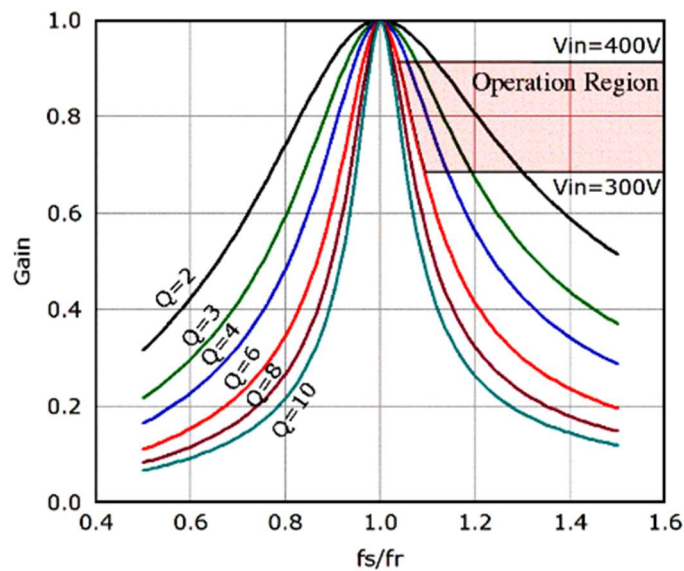


Obrázek 2.1 Schéma sériového rezonančního měniče [1] upraveno v [3]

U sériového rezonančního měniče (SRC – „series resonant converter“) nastává problém s regulací výkonu při malé zátěži neboli „light load“ módu. I když jsou u tohoto měniče splněny podmínky ZVS („zero voltage switching“), viz kapitola 2.4, dochází při jeho provozu k cirkulaci neužitečné jalové energie uvnitř rezonančního obvodu. Tato skutečnost vede ke zvýšení vodivostních a spínacích ztrát a tím snižuje účinnost měniče. Na obrázku 2.2 jsou typické časové průběhy včetně vyznačení jalové energie v obvodu a na obrázku 2.3 je zobrazena frekvenční charakteristika SRC měniče.



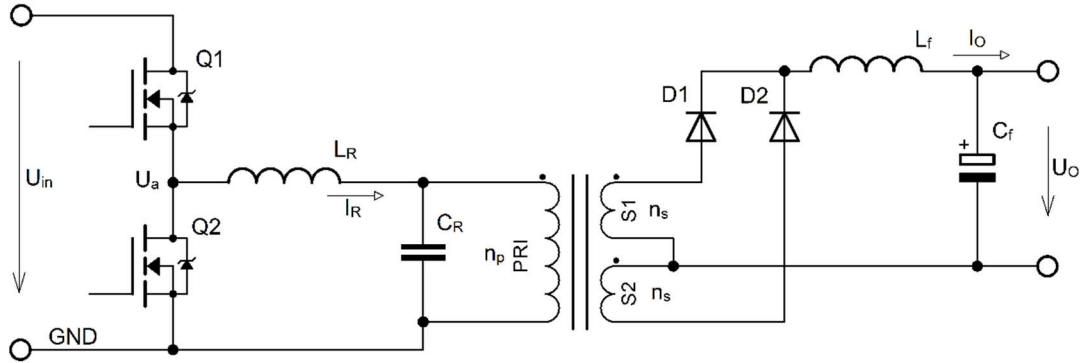
Obrázek 2.2 Typické průběhy napětí a proudu v SRC [1]



Obrázek 2.3 Frekvenční charakteristiky v SRC [1]

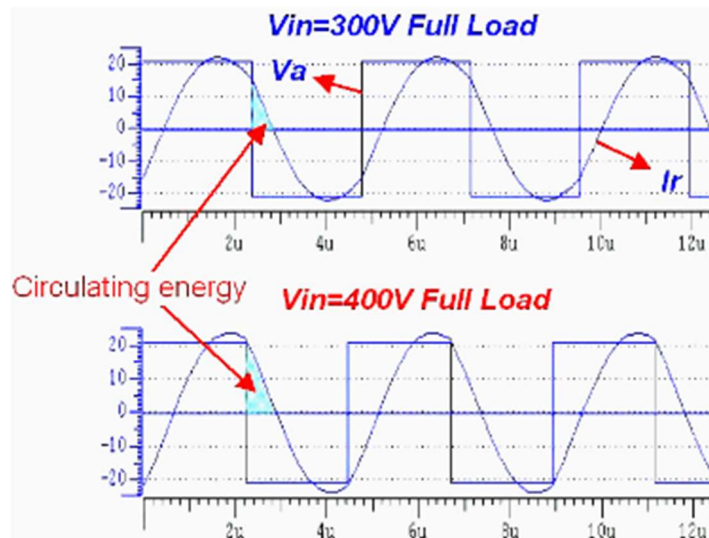
2.1.2 Paralelní rezonanční měnič

Na obrázku 2.4 je zobrazeno základní zapojení paralelního rezonančního měniče (PRC – „parallel resonant converter“).

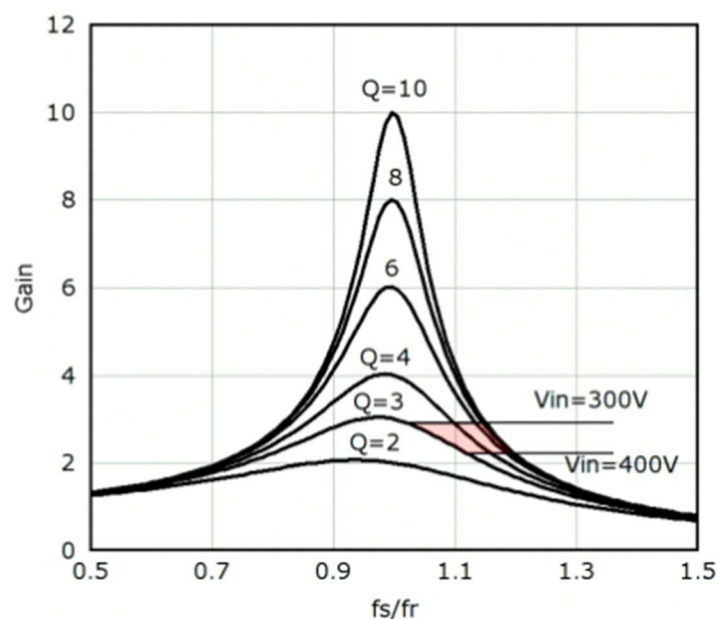


Obrázek 2.4 Schéma paralelního rezonančního měniče [1] upraveno v [3]

Paralelní měniče umí na rozdíl od sériového pracovat i do malé nebo nulové zátěže v režimu ZVS s relativně plynulou frekvenční regulací. Nastává zde ale stejný problém s velikostí cirkulační energie v rezonančním obvodu jako v případě měniče sériového. Tato energie je několikanásobně větší než u měniče sériového a je závislá hlavně na obvodových parametrech, jako jsou kapacita a indukčnost. Na obrázku 2.5 jsou zobrazeny typické časové průběhy včetně vyznačení jalové energie v obvodu a na obrázku 2.6 je zobrazena frekvenční charakteristika PRC měniče.



Obrázek 2.5 Typické průběhy napětí a proudu v PRC [1]



Obrázek 2.6 Frekvenční charakteristiky v PRC [1]

Velikost spínacích a vodivostních ztrát vede ke snížení účinnosti těchto měničů. Komplikovaná regulace a řízení vede spolu s dalšími důvody uvedenými v bakalářské práci [1] k malému nasazení sériových a paralelních měničů v praxi.

2.1.3 Sérioparalelní rezonanční měnič

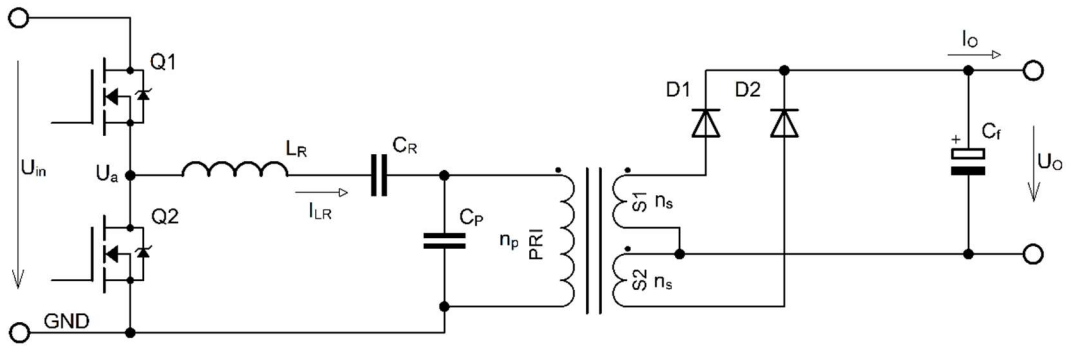
Pokud budou zkombinovány výhody výše uvedených měničů, získáme měnič sérioparalelní, tento typ měniče má dvě topologie. První je měnič typu LCC, druhou měnič typu LLC. Každá z těchto topologií je použitelná pro návrh rezonančního měniče, který bude pracovat v režimu ZVS a bude mít vysokou účinnost, viz následující kapitola.

2.2 Rezananční měniče LCC a LLC

Z výše uvedených měničů, sériového a paralelního, lze vhodnou kombinací rezonančních komponent dosáhnout dvou topologií, a to měniče typu LCC a typu LLC. Oba tyto měniče jsou použitelné v praxi. Větší nasazení má ovšem měnič typu LLC z důvodu později uvedených výhod. Poslední dobou se však čím dál častěji objevují i zapojení a aplikace s měniči typu LCC. V následujících dvou kapitolách budou tyto typy měničů rozebrány podrobněji.

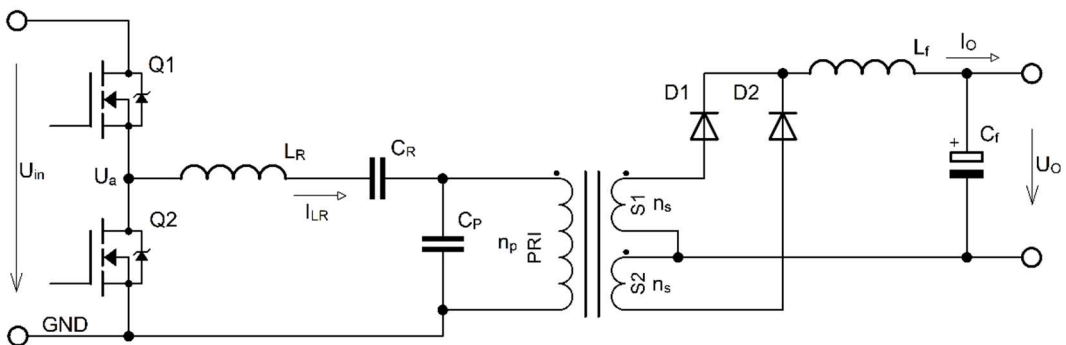
2.2.1 Rezonanční měnič LCC

Tento měnič vychází z měniče sérioparalelního, bývá tedy v literatuře označován jako SPRC z anglického „*serio-parallel resonant convertor*“. Základem tohoto typu měniče je rezonanční obvod složený ze dvou kapacit, v našem případě C_R a C_P a jedné tlumivky (cívky) L_R . Schéma měniče typu LCC je zobrazeno na obrázku 2.7. Tento měnič má dvě možné topologie. Ty se liší v použití kompenzační tlumivky označené jako L_F na sekundární straně. Pokud je tlumivka použita, jedná se o měnič s tzv. induktivním vyhlazením 2.8. Tlumivka zde kompenzuje impedanci rezonančního obvodu, protože ten je k výstupu připojen paralelně vzhledem ke kapacitě C_P . Je tedy nutné kompenzovat tuto kapacitu.



Obrázek 2.7 Schéma zapojení LCC měniče bez vyhlazení [1] upraveno v [3]

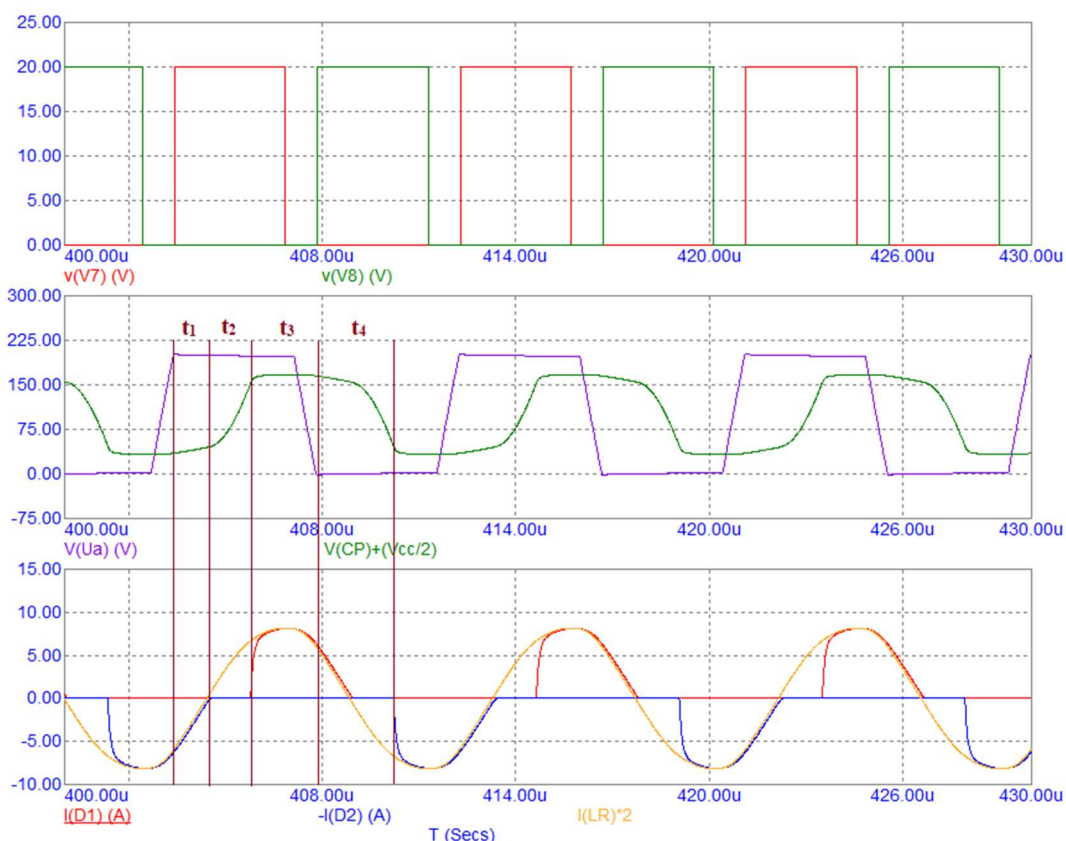
Pokud tlumivka není použita jedná se o měnič s tzv. kapacitním vyhlazením [1]. Absence tlumivky se potom projeví na kondenzátoru C_P , a to na průběhu výstupního napětí. Transformátor je v obou případech zapojení ideální.



Obrázek 2.8 Schéma zapojení LCC měniče s vyhlazením [1] upraveno v [3]

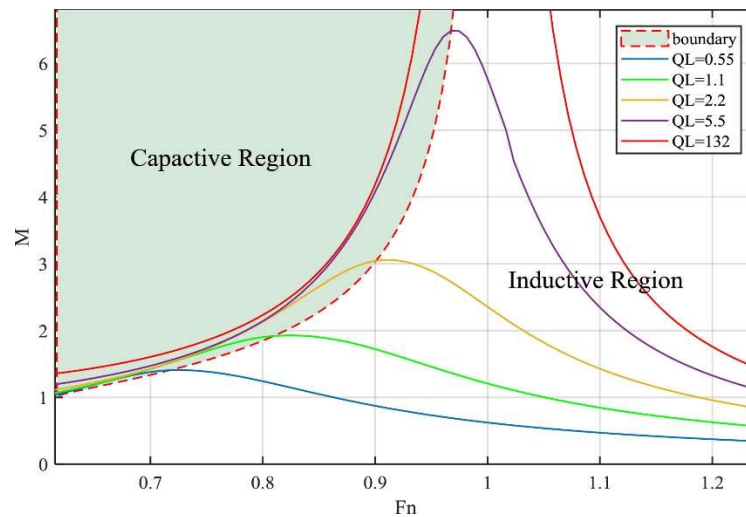
Základní funkci LCC měniče lze popsat následovně: Cyklus začíná, když jsou tranzistor $Q1$ otevřený a dioda $D1$ je pomyslně připojena ke zdroji napětí tvořeného C_P . Na sekundární straně se tedy objeví napětí C_P podělené převodovým poměrem transformátoru. Toto se děje v časovém intervalu t_1 . Na konci intervalu t_1 je proud I_{LR} a proud I_{D1} roven nule a dochází k uzavření diody. V intervalu t_2 dochází vlivem rezonance ke změně polaritě napětí na paralelní kapacitě C_P , tedy ke komutaci, a dioda $D1$ přechází do blokovacího stavu. Na konci intervalu t_2 dochází k otevření diody $D2$, a tím začíná interval t_3 . Během intervalu t_3 dochází k vypnutí tranzistoru $Q1$ a ve stejném okamžiku začíná vybíjet kapacita $Q2$ mezi D a S do zdroje. Na konci intervalu t_3 je kapacita mezi D a S vybitá a proud vede substrátová dioda $Q2$. V tomto okamžiku spíná tranzistor $Q2$ v režimu ZVS. Nyní nastává interval t_4 , což je ve své podstatě interval t_1 akorát s opačnou polaritou. [4][5][6]

Na obrázku 2.9 jsou zobrazeny typické napěťové průběhy v LCC měniči s kapacitním vyhlazením výstupního napětí. Na prvním grafu jsou průběhy spínacích tranzistorů $Q1$ ($V7$), $Q2$ ($V8$). Na druhém grafu jsou průběhy v uzlu U_a a napětí na paralelní kapacitě C_P , které je posunuto o polovinu napájecího napětí. Na posledním grafu jsou zobrazeny průběhy výstupního proudu diodou $D1$ a $D2$ a proud rezonanční cívku I_{LR} .



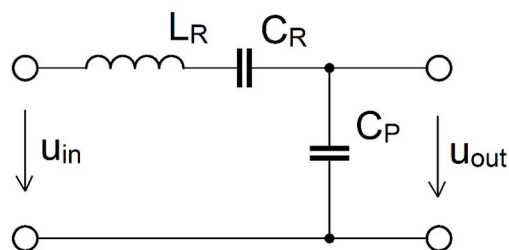
Obrázek 2.9 Typické napěťové průběhy v LCC měniči vytvořeno v [7]

Typické frekvenční charakteristiky jsou zobrazeny na obrázku 2.10. Měnič za normálního stavu pracuje v oblasti pod rezonančním kmitočtem, a to z důvodu splnění podmínek ZVS. Pro splnění ZVS se měnič musí nacházet na pravé straně od rezonančního kmitočtu, tedy v tzv. indukční oblasti frekvenčních charakteristik. Ladění rezonančních kmitočtů potažmo tvaru frekvenčních charakteristik probíhá změnou poměru velikosti kapacity C_S a C_P .



Obrázek 2.10 Typické frekvenční charakteristiky LCC měniče [8]

Na frekvenčních charakteristikách se vyskytují dva rezonanční kmitočty. Na levé straně se nachází spodní rezonanční kmitočet, který je dán sériovou kombinací L_R a C_R . Horní rezonanční kmitočet je potom dán indukčností L_R a sériovou kombinací obou kapacit C_R a C_P , viz schéma rezonančního obvodu 2.11.



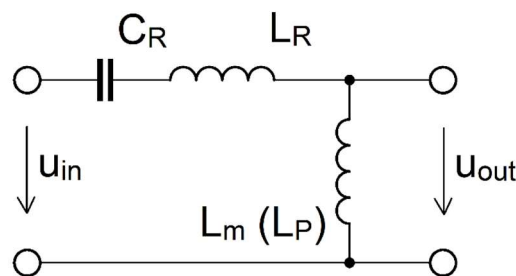
Obrázek 2.11 Schéma rezonančního obvodu LCC měniče [1] upraveno

Princip řízení tohoto měniče probíhá pomocí PFM („Pulse Frequency Modulation“), jedná se tedy o změnu kmitočtu a tím i změnu impedance rezonančního obvodu. To má za následek změnu činitele jakosti Q , a tím i změnu výstupního napětí, resp. proudu.

U měniče typu LCC je relativně problematické sestavení rezonančního obvodu, jelikož se zde musí počítat ještě s parazitní indukčností a odporem transformátoru, který již není ideální. Na základě tohoto problému bylo v minulosti hledáno jiné řešení rezonančního obvodu, a tím byl objeven měnič typu LLC.

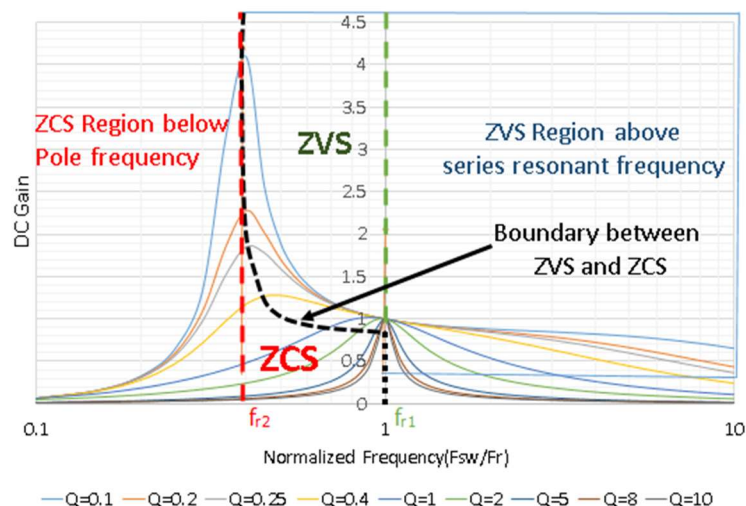
2.2.2 Rezonanční měnič LLC

Měnič typu LLC je druhým typem rezonančního měniče. Je jedním ze stěžejních bodů této práce, stejně tak, jako tomu bylo i v práci bakalářské [1]. Jak již bylo zmíněno dříve, jedná se o měnič sérioparalelní. Jeho rezonanční obvod je tvořen rezonanční kapacitou C_R , rezonanční tlumivkou L_R a paralelní nebo též magnetizační tlumivkou L_P (L_m) (obrázek 2.12). Jak vyplývá z názvu, bude mít indukčnost (L_m) spojitost s transformátorem. V praxi se tato indukčnost využívá jako primární indukčnost transformátoru a tím zaniká nutnost řešit kompenzaci, jako tomu je u měniče LCC. Díky tomu se měnič LLC stává konstrukčně jednodušším. [1]



Obrázek 2.12 Schéma rezonančního obvodu LLC měniče [1] upraveno

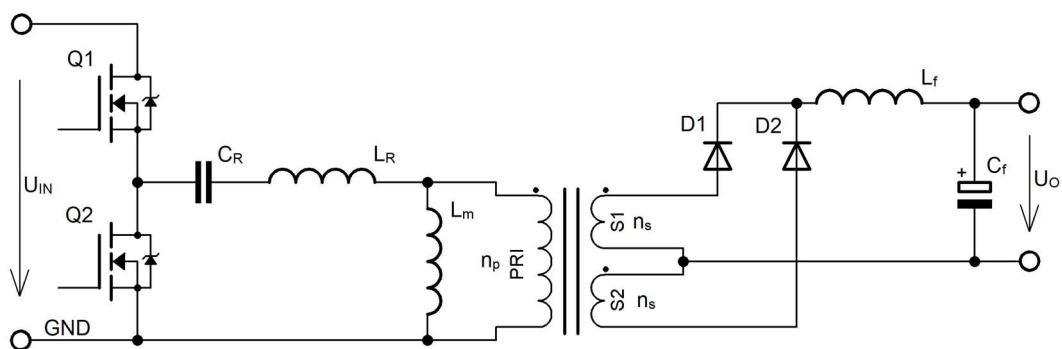
Tento rezonanční obvod má podobné frekvenční charakteristiky jako rezonanční obvod měniče LCC, přesněji vertikálně obrácené – obrázek 2.13. Na těchto charakteristikách se opět vyskytují dva rezonanční kmitočty. Prvky C_R a L_R vytvářejí horní rezonanční kmitočet, při kterém má měnič přenos jedna a impedance rezonančního obvodu je rovna impedanci zátěže. Kapacita C_R a součet indukčností L_R a L_m tvoří spodní rezonanční kmitočet. Jak je vidět na obrázku 2.13, má měnič při dolním rezonančním kmitočtu přenos větší než jedna. Tento stav nastává, pokud dojde k přetížení měniče nebo ke snížení vstupního napětí, viz kapitola 4 - měniče s vysokým vstupním rozsahem.



Obrázek 2.13 Typické frekvenční charakteristiky LLC měniče [9]

Na obrázku 2.13 si lze povšimnout podobnosti s charakteristikami jednotlivých rezonančních měničů paralelního a sériového. Rezonanční kmitočet f_{r2} víceméně odpovídá paralelnímu měniči a kmitočet f_{r1} sériovému měniči. Jak je patrné z této skutečnosti, bude měnič LLC přepínat mezi sériovým a paralelním měničem.

Schéma zapojení LLC měniče je na obrázku 2.14. Pro zjednodušení je u tohoto měniče opět využitý ideální transformátor, i když je v tomto zapojení možné použít i transformátor reálný. Na sekundární straně je umístěna filtrační tlumivka L_f , ta zde již ale neplní funkci impedančního přizpůsobení, ale pouze vyhlazuje průběh výstupních napětí, resp. proudu.

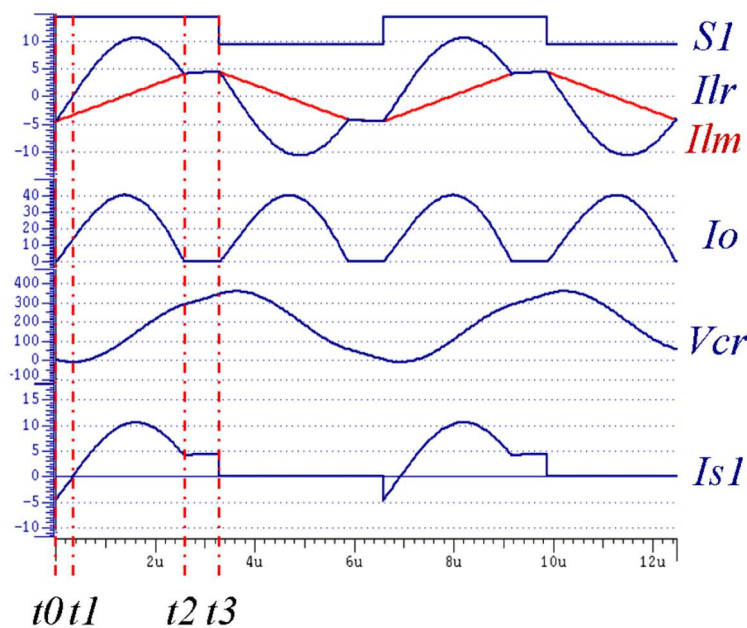


Obrázek 2.14 Typické zapojení LLC měniče [1] upraveno

Provoz měniče je podrobně rozebrán v bakalářské práci [1]. Pro jednoduché vysvětlení lze funkci rozdělit na tři časové intervaly podobně jako u měniče LCC (viz obrázek 2.15). První interval je vymezený t_0 a t_1 . V tomto intervalu se na rezonanci podílí prvky C_R a L_R , indukčnost L_m je připojena jako pasivní zátěž pro výstup. Na začátku je tranzistor $Q2$ rozepnutý, proud I_{LR} je záporný a teče přes substrátovou diodu $Q1$. V čase t_0 je na $Q1$ napětí substrátové diody a tranzistor se spíná v režimu ZVS. Proud I_{LR} tekoucí přes rezonanční tlumivku L_R a přes substrátovou diodu $Q1$ vynutí tok proudu přes diodu DI na sekundární straně, a tím začne narůstat proud I_O na sekundární straně. Jelikož transformátor sleduje napětí na výstupu, začne se indukčnost L_m magnetovat s konstantním napětím. [1]

V druhém intervalu vymezeném od t_1 do t_2 se na rezonanci stále podílí prvky C_R a L_R . Interval začíná v čase t_1 , kdy proud I_{LR} přejde ze záporné hodnoty do kladné a teče přes sepnutý tranzistor $Q1$. Dioda DI zůstává otevřená a výstupní napětí na transformátoru je rovno napětí na výstupu, tedy U_o . V rezonanci jsou stále C_R a L_R , tlumivka L_m se pouze lineárně magnetuje s výstupním napětím (viz obrázek 2.15). Interval končí v čase t_2 , kdy proud I_{Lm} je stejný jako proud L_R . [1]

Třetí interval začíná v čase t_2 , kdy je I_{Lm} stejný jako proud L_R a proud I_O je nulový a diody na výstupu jsou v nepropustném stavu z důvodu, že na sekundární straně je vyšší napětí než na straně primární. Sekundární strana je tedy pomyslně odpojena od strany primární. Nyní se na rezonanci začnou podílet C_R , L_R a L_m měnič teď pracuje jako měnič sériový. Interval končí v čase t_3 , kdy se zavírá tranzistor $Q1$, přes který teče pouze magnetizační proud I_{Lm} . Následně se celý proces opakuje pro tranzistor $Q2$, tedy zápornou půlvlnu. [1]



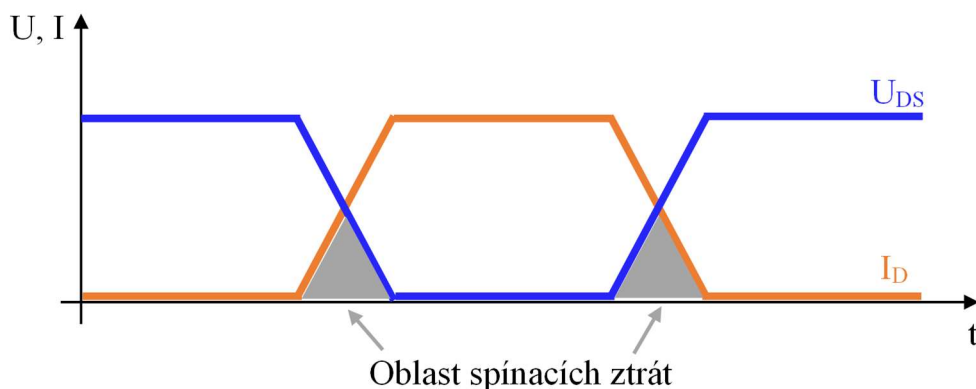
Obrázek 2.15 Časové průběhy napětí a proudu v LLC měniči při $f_s > f_0$ [1]

Změnou magnetizační indukčnosti lze řídit vypínací proud I_{Lm} , protože vypínací proud je tvořen proudem magnetizačním. Magnetizační proud je několikanásobně menší než proud dodávaný do zátěže, díky tomu jsou eliminovány vypínací ztráty a můžeme tedy hovořit o částečném režimu ZCS při vypínání tranzistorů. Diody na sekundární straně respektují pravidla ZCS pro spínání i rozpínání díky tomu, že dojde k poklesu proudu I_o .

2.3 Tvrdé a měkké spínání (Hard/soft switching)

Spínání polovodičových součástek, zejména v DC-DC (stejnoseměrných) měničích obecně, lze rozdělit do dvou skupin podle charakteru spínání, a to tvrdé spínání, anglicky „Hard-switching“, a měkké spínání, anglicky „Soft-switching“.

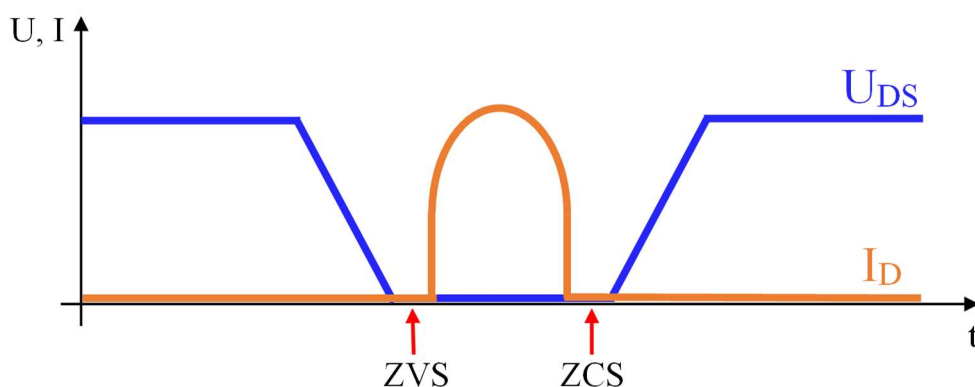
V případě tvrdého spínání je konstrukce jednoduchá, tranzistor se spíná bez ohledu na obvodové podmínky. Například pro MOS-FET tranzistory probíhá sepnutí při nenulovém potenciálu napětí mezi D (drain) a S (source) tranzistoru. Na obrázku 2.16 je zobrazen průběh spínání tranzistoru s vyznačenými výkonovými ztrátami na tranzistoru. Tyto ztráty obecně vedou k tepelnému namáhání součástky. Vysoká teplota následně ovlivňuje maximální spínací kmitočet, energetickou hustotu a účinnost celého systému. [10][11][12]



Obrázek 2.16 Průběh tvrdého spínání tranzistoru MOSFET [10] upraveno

Pro měkké spínání se využívají dva základní stavy, ve kterých se může polovodič nacházet, z nich jsou pak odvozeny jednotlivé režimy spínání daného prvku. První stav je, když na polovodiči je nulové nebo minimální napětí, ale teče jím nenulový proud – označuje se jako ZVS, z anglického „Zero Voltage Switchng“. Druhý stav je potom opakem, kdy polovodičem neteče proud, ale je na něm nenulový rozdíl potenciálu, tento režim se pak označuje jako ZCS, z anglického „Zero Current Switching“.

Aby bylo možné dosáhnout těchto spínacích režimů, je nutné zajistit v obvodu „rezonanci“, tedy změnu směru toku energie, která dokáže vyvolat potřebnou změnu směru napětí nebo proudu tak, aby byly splněny podmínky v ideálním případě pro oba režimy. Pro srovnání je na obrázku 2.17 zobrazen průběh spínání tranzistorů MOS-FET v režimu měkkého spínání. [10][11][12]



Obrázek 2.17 Průběh měkkého spínání tranzistoru MOSFET [10] upraveno

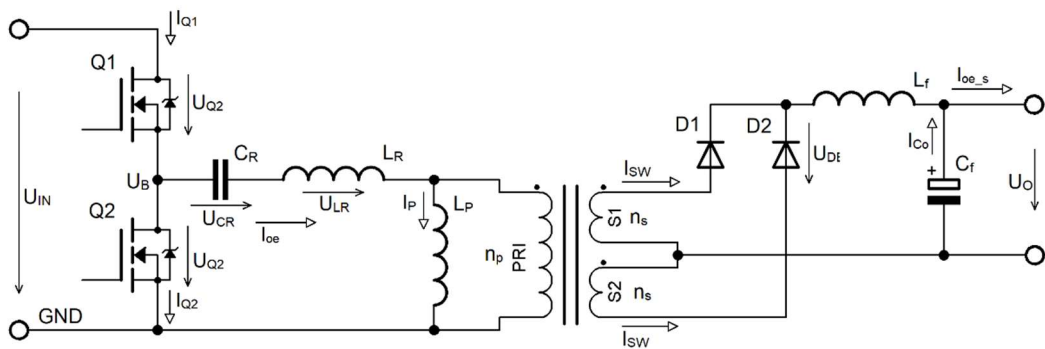
Rozdíl mezi těmito režimy je značný, a to hlavně z pohledu spínacích ztrát a celkového namáhání polovodiče. V praxi se využívají oba způsoby spínání, rozhodujícím prvkem je konstrukční náročnost. Výhodami měkkého spínání je eliminace EMI rušení, minimalizace spínacích ztrát, snížení teploty a degradace polovodičových součástek.

2.4 Funkce ZVS a ZCS spínání u rezonančních měničů

U rezonančních měničů se nejčastěji ke spínání využívají tranzistory typu MOS-FET. Tyto tranzistory se nejlépe spínají v režimu ZVS a vypínají v režimu ZCS tak, jak bylo uvedeno v předchozí kapitole.

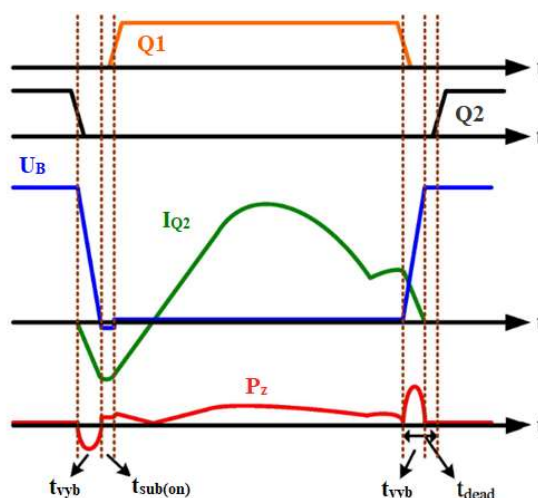
Kombinace MOS-FET tranzistorů a rezonančního měniče umožňují vytvořit ideální podmínky pro „rezonanci“ při spínání. Klíčovou podmínkou pro tuto „rezonanci“ je komutace. Komutace je fyzikální jev popisující nějakou změnu, v případě polovodičů se jedná o změnu stavu ze zapnutého do stavu vypnutého a naopak, např. u cívky se jedná o děj, při němž se otáčí napětí na cívce. U rezonančních měničů se využívá změna polarity napětí na rezonančních cívkách v rezonančním obvodu.

Pro lepší pochopení problematiky je zde uveden příklad v podobě LLC měniče na obrázku 2.18 (podrobnější popis měniče LLC je uveden v kapitole 2.2.1).



Obrázek 2.18 Schéma zapojení LLC rezonančního měniče [1] upraveno

Na obrázku 2.19 jsou zobrazeny typické průběhy jedné spínací púlperiody doplněné o okamžitý ztrátový výkon. Počáteční podmínkou bude sepnutý tranzistor $Q1$, dále jen $Q1$. Při vypínání $Q1$ jim teče pouze magnetizační proud I_P , který je několikanásobně menší než proud maximální, můžeme tedy říci, že se jedná částečně o režim ZCS. Proud I_P je magnetizační proud nutný pro udržení rezonance v LLC měniči. Tento proud se zároveň paralelně předává substrátové diodě tranzistoru $Q2$ a vybíjí kapacitu označenou ve schématu jako C_{DSQ2} v časovém oknu označeném jako t_{vyb} . Vzhledem k orientaci tranzistoru je tento proud záporný. Při vybíjení této kapacity se také snižuje napětí v uzlu U_B , a to až do záporné hodnoty, která odpovídá propustnému napětí substrátové diody (ang. „body diode“). V tomto okamžiku je na $Q2$ napětí substrátové diody a celý proud I_P teče touto diodou. Tento úsek je vyznačen jako $t_{sub(on)}$. Teprve nyní přichází impuls k sepnutí tranzistoru $Q2$, jedná se tedy o spínání v režimu ZVS. Proud I_{Q2} začíná stoupat a napětí U_B se ustálí na nulové hodnotě. V tomto okamžiku se v obvodu uplatňují ztráty vodivosti, v případě tranzistoru se jedná o ztráty na R_{DSon} , které jsou přímo úměrné velikosti protékajícího proudu. [13]



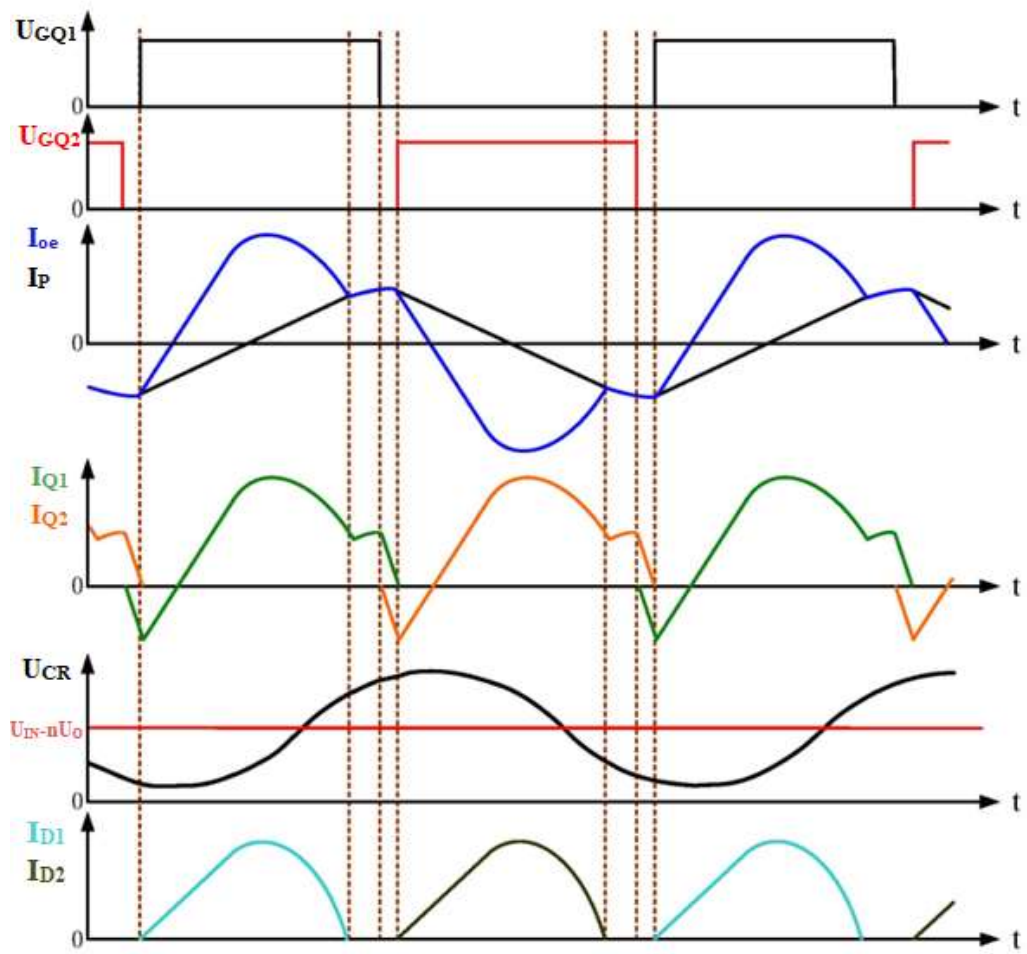
Obrázek 2.19 Typické průběhy U , I a P v měniči LLC [13] upraveno

Cyklus končí, když proud I_p dosáhne hodnoty proudu I_{Q2} , následně se opakuje stejný proces jako pro spodní tranzistor. Dojde k vypnutí tranzistoru, následně k vybití kapacity C_{DSQ1} a když veškerý magnetizační proud převezme substrátová dioda $Q1$, dojde k sepnutí $Q1$. Čas potřebný k vybití kapacity a předání proudu substrátové diodě se označuje jako t_{dead} , z anglického „*deadtime*“ neboli mrtvý čas, což znamená, že ani jeden z tranzistorů není sepnutý. [13] [1]

Režim ZCS je u LLC měničů primárně využívám na sekundární straně u usměrňovacích diod, popřípadě u aktivního usměrňovače. Na obrázku 2.20 jsou zobrazeny typické průběhy napětí a proudů v celém LLC měniči s referencí na schéma z obrázku 2.18.

Zde si je možné povšimnout průběhu proudů na diodách $D1$ a $D2$, kdy předávání proudů mezi jednou a druhou diodou probíhá při nulovém proudu, tedy za podmínek ZCS (výstupní napětí je nenulové, proud diodou je nulový). Dioda má dostatečný čas pro zotavení a uvedení se do blokovacího stavu. V případě aktivního usměrňovače jde tento čas použít pro přepnutí tranzistorů v usměrňovači také v režimu ZCS. Na sekundární straně jsou tedy díky ZCS eliminovány spínací ztráty na usměrňovači. [13] [1]

Závěrem lze tedy říci, že režimy spínání ZCS a ZVS umožňují redukovat velikost spínacích ztrát v DC-DC měničích, a tím zvyšují celkovou účinnost těchto měničů.



Obrázek 2.20 Typické průběhy proudů a napětí v měniči LLC [13] upraveno

3. ŘÍZENÍ REZONANTNÍCH MĚNIČŮ

Tato kapitola je věnována problematice řízení rezonančních měničů, přesněji potom měničů typu LLC. Aby bylo možné navrhnout celé emulační řízení, je třeba pochopit několik základních stavebních bloků regulačního systému, jako například realizaci zpětné vazby, řízení výstupní veličiny CC (ang. „*Constant current*“) a CV (ang. „*Constant voltage*“) nebo regulaci na CP (ang. „*Constant Power*“). V neposlední řadě potom reakci a řešení situací při následujících událostech: malém zatížení neboli „*light load*“, přetížení proudové „*Over current*“, nebo přetížení celkové „*Over power*“ a přepětí „*Over Voltage*“.

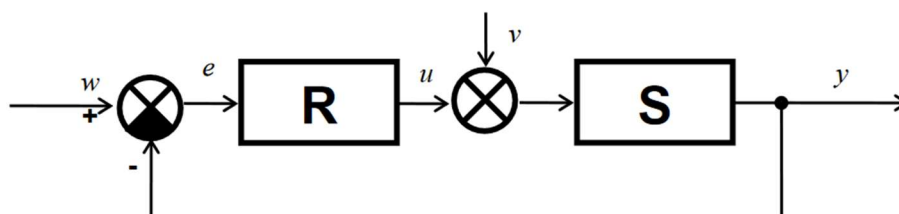
3.1 Regulátory a regulační smyčka

U systému se rozlišují dva typy regulační smyčky, otevřená a uzavřená. Otevřená regulační smyčka nemá možnost se ustálit na požadované hodnotě, protože postrádá tzv. zpětnou vazbu, jinak řečeno vstup systému nemá žádnou informaci o výstupní veličině. Systémy vybavené zpětnou vazbou mají uzavřenou regulační smyčku a je tedy možné, aby se samovolně ustálily na požadované hodnotě.

3.1.1 Regulátory s uzavřenou regulační smyčkou

Uzavřená regulační smyčka, viz obrázek 3.1, se skládá z regulátoru (R) a regulovaného systému (S). Systémem se rozumí zařízení nebo komponent, u kterého je hlídána nějaká veličina, například napětí nebo proud (y). Regulátor potom zajišťuje, aby hlídaná veličina byla v definovaných mezích.

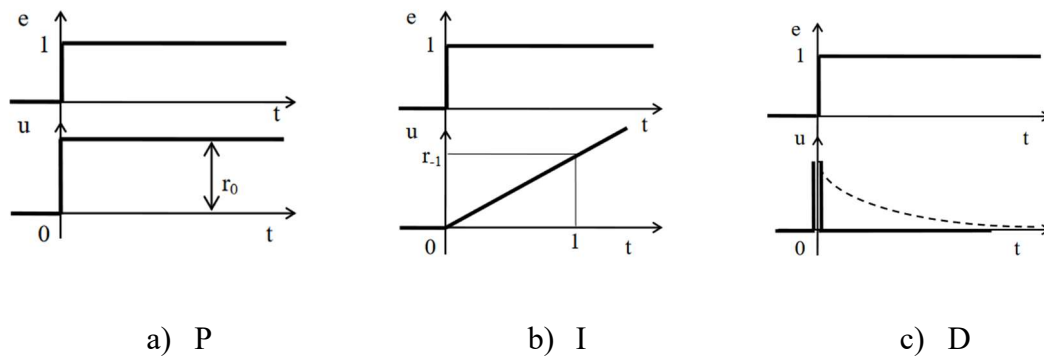
Hlídaná veličina má v systému dvě složky, první je změřená hodnota nebo též hodnota aktuální (y) a druhá je hodnota požadovaná (w). Rozdíl těchto dvou hodnot vytváří regulační odchylku (e), ta je potom vstupem do regulátoru. Ten na tuto odchylku pak reguluje tzv. akční veličinou (u) tak, aby regulační odchylka byla v ideálním případě nulová, tedy požadovaná hodnota (w) se rovnala hodnotě změřené (y). Do systému může také vstupovat tzv. poruchová veličina (v), ta symbolizuje závady, rušení atd. a přičítá se k akční veličině (u). [14]



Obrázek 3.1 Blokové schéma uzavřené regulační smyčky [14]

3.1.2 Typy regulátorů

Podle reakce regulátoru na regulační odchylku dělíme regulátory na tři základní typy. První je proporcionální regulátor označovaný jako „P“. Druhý je integrační regulátor označovaný „I“ a poslední je derivační regulátor „D“. Systém potom využívá jeden z těchto regulátorů, nebo jejich kombinace (nejčastěji PI, PD, PID) podle toho, která je nejvhodnější pro danou aplikaci. Jednotlivé regulátory se liší v jejich časové odezvě na regulační odchylku. Na obrázku 3.2 jsou zobrazeny průběhy reakce jednotlivých regulátorů (u) na jednotkový skok na vstupu (e). [15]



Obrázek 3.2 Časové odezvy jednotlivých regulátorů [15]

Průběhům z obrázku potom odpovídají také rovnice pro jednotlivé regulátory:

Proporcionální regulátor je charakterizován rovnicí [15]

$$u(t) = r_0 \cdot e(t), \quad (3.1)$$

kde r_0 je úroveň jednotkového skoku a $e(t)$ je změna regulační odchylky v čase.

Integrační regulátor je charakterizován rovnicí [15]

$$u(t) = r_{-1} \cdot \int e(t) dt, \quad (3.2)$$

kde r_{-1} je úroveň napětí v čase $t = 1$ a $e(t)$ je změna regulační odchylky v čase.

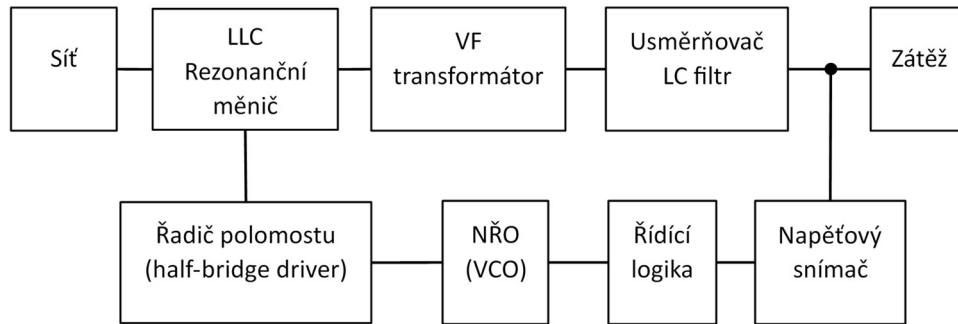
Derivační regulátor je charakterizován rovnicí [15]

$$u(t) = r_1 \cdot \frac{de(t)}{dt}, \quad (3.3)$$

kde r_1 je úroveň jednotkového impulzu a $e(t)$ je změna regulační odchylky v čase.

3.1.3 Regulační smyčka měniče LLC

Na obrázku 3.3 je znázorněná regulační smyčka LLC měniče. Smyčka se skládá z několika samostatných funkčních bloků. Tyto bloky jsou potom v reálné aplikaci rozděleny na systémovou část a regulační část. Dle tohoto rozdělení se také mění umístění těchto komponent. Funkce jednotlivých bloků je rozebrána níže.



Obrázek 3.3 Blokové schéma regulační smyčky LLC [16]

Zdroj:

Tento blok představuje napájecí část měniče. Tato část zahrnuje komponenty jako usměrňovač síťového napětí, filtrační kondenzátor (ang. „*bulk*“) nebo korektor účinníku neboli PFC z anglického „*power factor corection*“. PFC lze ještě rozdělit na aktivní a pasivní, viz [42]. Výstupem zdroje je zfiltrované stejnosměrné napětí pro další část.

LLC Konvertor:

Tento blok nahrazuje LLC rezonanční obvod spolu se spínacími prvky, tedy tranzistory MOS-FET. Tento blok tvoří první část regulovaného systému, jelikož se podílí na distribuci energie z primární do sekundární části spolu s dalším blokem, který tvoří transformátor.

Usměrňovač a filtr:

Tento blok se nachází na sekundární straně LLC měniče a reprezentuje usměrnění výstupního napětí a jeho následné vyhlazení pomocí kapacity. Usměrnění zde probíhá dvěma způsoby, první je aktivní usměrňovač – ten tvoří tranzistory, které nahrazují diody, a řídicí obvod, který tyto tranzistory spíná ideálně v komutaci při splněných podmínkách ZCS. Díky tomu lze redukovat další ztráty tentokrát na sekundární straně způsobené dynamickým odporem otevřené diody. Jako filtr se zde využívá kapacity nebo LC filtru tak, aby byla zaručena stabilita výstupního napětí pro zátěž.

Snímač:

Tato komponenta se podílí na snímání napětí nebo proudu na sekundární straně. Z pohledu regulační smyčky se jedná o snímanou veličinu, která bude následně porovnávaná s požadovanou hodnotou. Nejčastěji se jedná o zapojení s napěťovou referencí, kterému předchází filtr typu dolní propust, aby se omezilo rušení snímané veličiny.

Řídící logika:

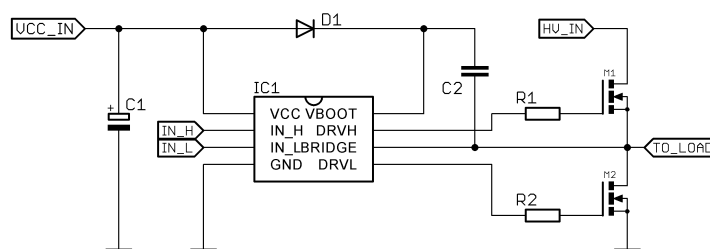
Zajišťuje vyhodnocení měřených signálů a jejich zpracování. Tato část může být realizována pomocí mikropočítače (MCU) pomocí logických hradel na čipu, kde se nedá nic nastavovat, nebo pomocí FPGA, kde je možná pozdější úprava řídicího programu.

VCO (voltage controll oscilator)

Jinak řečeno jedná se o napětím řízený oscilátor, který se stará o generování impulzů pro spínací tranzistory. Pro LLC měniče má nejčastěji střihu 50 % a má přesně definovaný maximální a minimální spínací kmitočet. Je také možné tento generátor zabudovat do řídicí logiky v případě použití FPGA nebo MCU.

Řadič (half-bridge driver)

Jedná se o řadič, který zajišťuje správné spínání a vypínání obou tranzistorů v topologii. Kdy spínání spodního tranzistoru je jednoduché, protože *S* (source) je připojený na *GND* neboli zem. V případě horního tranzistoru je proces spínání složitější, protože *S* je připojený do uzlu, který má potenciál $\frac{1}{2}$ napájecího napětí. Je proto nutné pro sepnutí vytvořit na *G* napětí o cca 5–10 V vyšší, než je napětí na *S*. Zjednodušené zapojení je zobrazeno na obrázku 3.4.



Obrázek 3.4 Zapojení řadiče pro half-bridge [17] upraveno

K vytvoření požadovaného napětí se využívá nábojová pumpa. Ta funguje tak, že při sepnutí spodního tranzistoru se přes diodu nabije kapacita připojená mezi svorky *HB* a *HS* na hodnotu napájecího napětí zdroje *VCC*. Po vypnutí spodního tranzistoru zůstane kapacita nabitá. Díky tomu, že je připojena do uzlu *HS*, na který je připojen i *G* horního tranzistoru, stačí pro sepnutí interně připojit *HO* na *HB*.

Na G horního tranzistoru se objeví napětí V_{CC} po dobu, než se kapacita vybije. Z tohoto plyne podmínka, že velikost kapacity musí být dostatečně velká, aby dokázala udržet tranzistor sepnutý po celou dobu jeho spínací periody. [17]

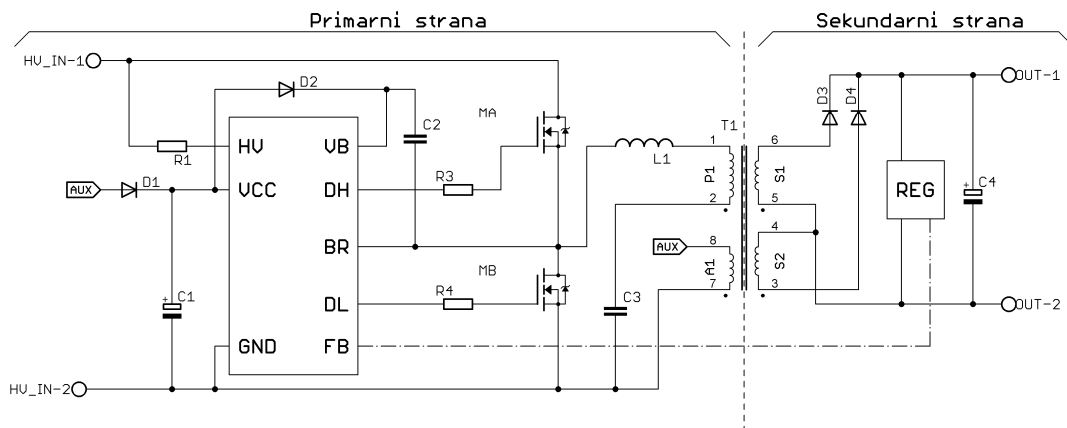
3.2 Topologie řízení měničů

Jednotlivé řídicí bloky, které byly uvedeny v předchozí kapitole lze v reálné konstrukci různě rozmístit. Z principu mohou být umístěny buď na primární nebo na sekundární stranu měniče. Umístění jednotlivých bloků se potom promítá do samotné konstrukce a přináší s sebou určitá pravidla. Volba topologie se potom odvíjí od zamýšlené aplikace a přináší s sebou určité výhody a nevýhody, kterými se bude zabývat tato kapitola. Z pohledu návrhu řídicího systému je důležité si na začátku zvolit, kde se bude nacházet daný blok, umístění totiž značně ovlivňuje postup návrhu a složitost konstrukce daného měniče. [18]

3.2.1 Řízení měniče na primární straně

Řízení na primární straně se využívá zejména pro měniče malého nebo středního výkonu. Tyto měniče zpravidla neobsahují velké množství součástek. Je tomu tak proto, že pro tyto měniče norma ani předpisy neukládají použití korektorů účinníku (PFC). Jedinou povinnou součástí jsou filtry elektromagnetické interference EMI („*Electromagnetic interference*“), ty ovšem nejsou rozměrné a nevyžadují aktivní řízení. Zpravidla se jedná o kombinaci L–C filtrů, které potlačují pronikání vysokofrekvenčního rušení do sítě.

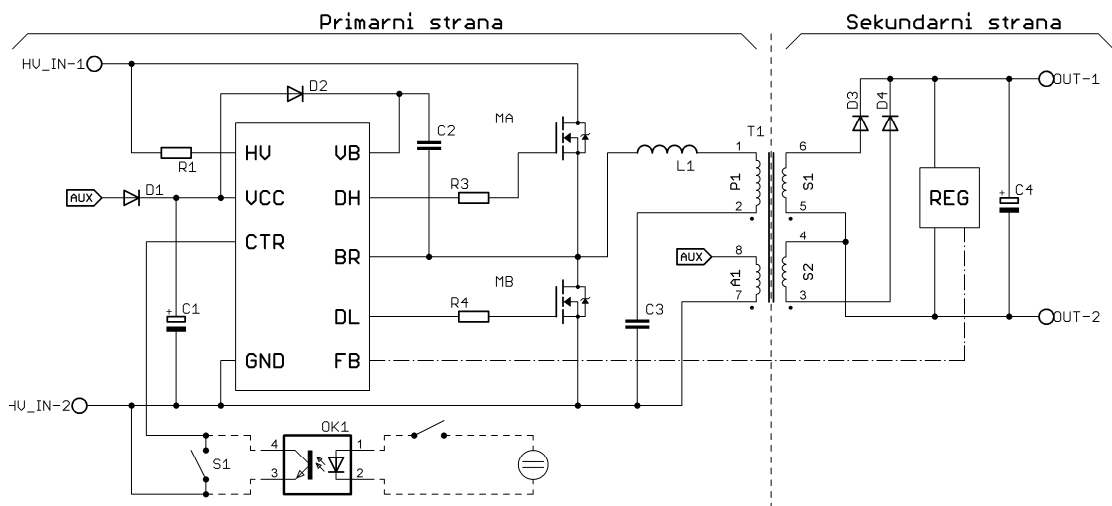
Primární strana je definována jako vstupní strana měniče, tedy od napájecích svorek po primární vinutí transformátoru. V této části se nachází spínací tranzistory, usměrňovač případně PFC (u vyšších výkonů), rezonanční a filtrační kapacity a další komponenty. Tato strana většinou pracuje s vysokým napětím, od toho se odvíjí nutnost řešit napěťové dimenzování všech komponent na této straně. Pokud je na primární stranu umístěn řídicí obvod celého měniče, přináší to s sebou několik výhod, ale i nevýhod, viz obrázek 3.5.



Obrázek 3.5 Princip řízení LLC měniče z primární strany [19]

První a hlavní výhodou této konfigurace je startování obvodu při tzv. „cold start“, což je pojem, který se používá pro start měniče v době, kdy je zapojen do sítě. V tomto stavu jsou všechny kapacity vybité, obvod tedy nemá žádné napájení a je potřeba dodat obvodu nějakou energii pro jeho naběhnutí. Pro tento účel se využívá vysokonapěťový vstup (*HV*) integrovaného obvodu, viz obrázek 3.5. Výkonová ztráta obvodu totiž nedovoluje připojit vysoké napětí přímo na obvod, je před ním předřazen sériový odpor (*R1*) v řádech jednotek $M\Omega$, v praxi se většinou používají tři SMD rezistory v sérii. Tento odpor následně také slouží jako ochrana při „surge testech“ [20]. Je ovšem nutné podotknout, že tento vstup slouží pouze pro nastartování obvodu, není určen pro jeho napájení po celou dobu provozu. Obvod je po startu napájen z pomocného vinutí transformátoru (*AI*) neboli AUX vinutí. Napětí z tohoto vinutí je jednocestně usměrněno a vyfiltrováno kapacitou *C1*. Vstup (*HV*) je potom interně odpojen a tím se zajistí, že již dále nebude využíván, na jeho vstup je ovšem stále vysoké napětí. [19]

Další výhodou této topologie je nízká spotřeba v případě, že je měnič uveden do vypnutého stavu (ne odpojen ze sítě). Tomuto stavu se říká pohotovostní režim (ang. „stand-by“), kdy se zařízení chová jako vypnuté, ale není, a pouze čeká na podnět z vnějšku, kdy se na tento podnět uvede do aktivního stavu. Tímto režimem jsou například vybaveny výkonné zdroje v serverech nebo v počítačích. Pokud je řídicí obvod na primární straně, je možné měnič vypnout úplně a tím snížit spotřebu pouze na vlastní odběr obvodu, což je v řádech jednotek mW. Praktické řešení je uvedeno na obrázku 3.6. [19]



Obrázek 3.6 Princip řešení pohotovostního režimu LLC měniče [19]

Nevýhody této topologie jsou zřejmé. První velká nevýhoda je přítomnost vysokého napětí na primární straně, a to víceméně na všech komponentách. Řídící obvod je sice napájen z nízkého napětí, ale toto napětí je vztahováno k zemi. Na ostatních komponentech, které jsou připojeny k obvodu, se ale může vyskytovat napětí vyšší, než je napětí napájecího obvodu, viz obrázek 3.6. Použité komponenty v takovém zapojení potom musí být dimenzovány na dostatečné napětí, a to pokud možno ještě s rezervou. S tímto faktem je třeba počítat jak při návrhu, tak při realizaci, aby nedošlo k poškození obvodu nebo jiných komponent. [21][18]

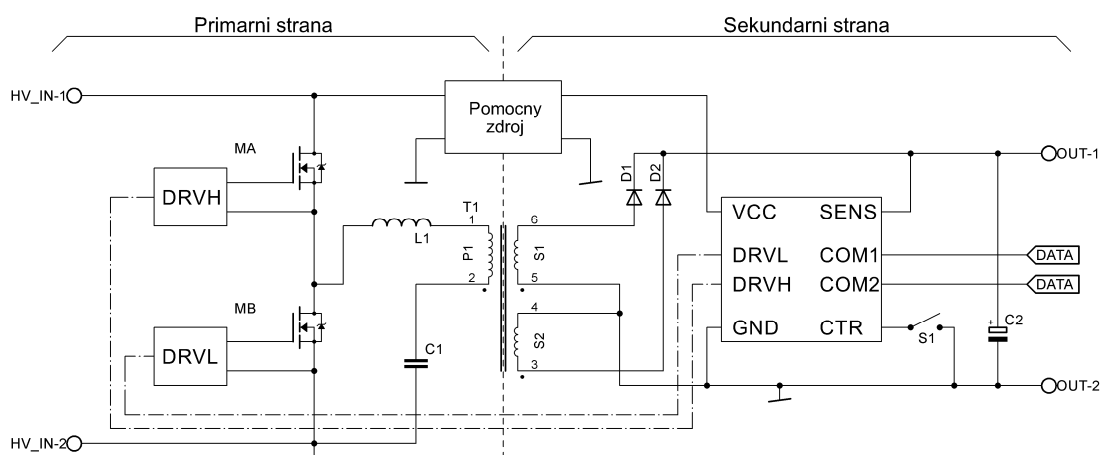
Druhá nevýhoda je vztažena ke spolehlivosti celého zařízení. Umístění řídicího obvodu na primární stranu s sebou nese zvýšenou pravděpodobnost poškození řídicího obvodu a tím i celého měniče. Jelikož se ale jedná nízkonákladové řešení, je toto řešení hojně využíváno v praxi.

3.2.2 Řízení měniče na sekundární straně

Na sekundární straně se z pohledu zapojení nachází určitý typ usměrňovače, filtrační kondenzátory a tlumivky. Ve většině případů se zde nenachází vysoké napětí, a tudíž není nutné řešit napěťové dimenzování součástek a jejich izolaci. Co je ale potřeba řešit, je proudové dimenzování, jelikož se zde mohou objevit proudy v řádu desítek i stovek ampér a k tomu musí být konstrukce přizpůsobena. [18][21]

Použití této topologie se využívá zejména pro měniče s vyšším výkonem a je výhodné zejména pro aplikace, které využívají nějaký typ komunikace s napájecím zdrojem. Například záložní zdroje UPS („*Uninterruptible Power Supply*“), moderní PC zdroje a nabíječky nebo zdroje s proměnným výstupním napětím. Další výhodnou je galvanicky neoddělená zpětná vazba. Díky řízení na sekundární straně je také možné spojovat více zdrojů do jednoho výstupu paralelně. [21]

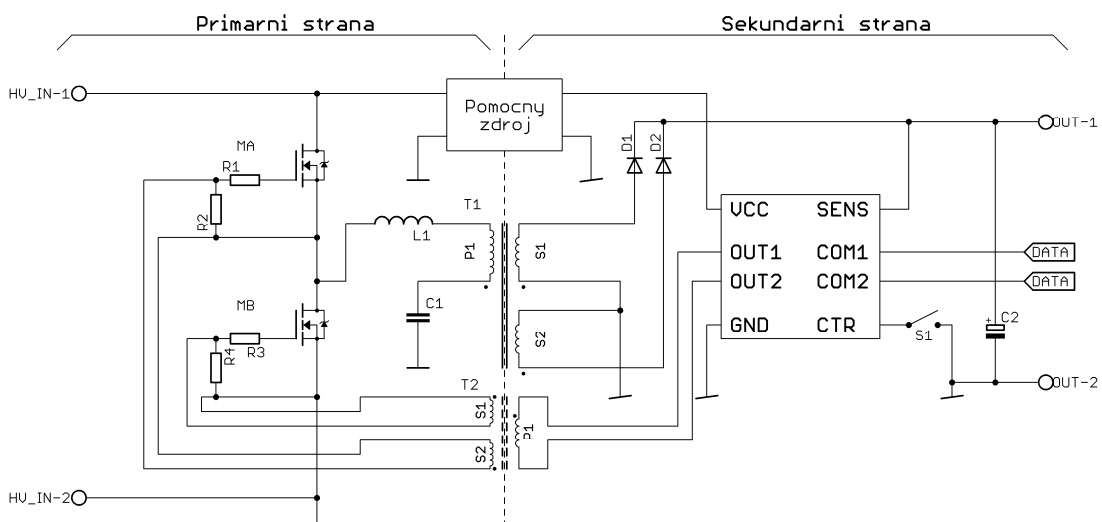
Pro malé a střední měniče se tato topologie nevyplatí, a to hned ze dvou důvodů. Prvním je složitost konstrukce, která vyžaduje další napájecí zdroj nebo pomocný obvod na primární straně. Druhým je realizace ovládacích impulsů pro spínací tranzistory. Příklad zapojení LLC měniče s řídicím obvodem na sekundární straně je zobrazen na obrázku 3.7.



Obrázek 3.7 Princip řízení LLC měniče ze sekundární strany

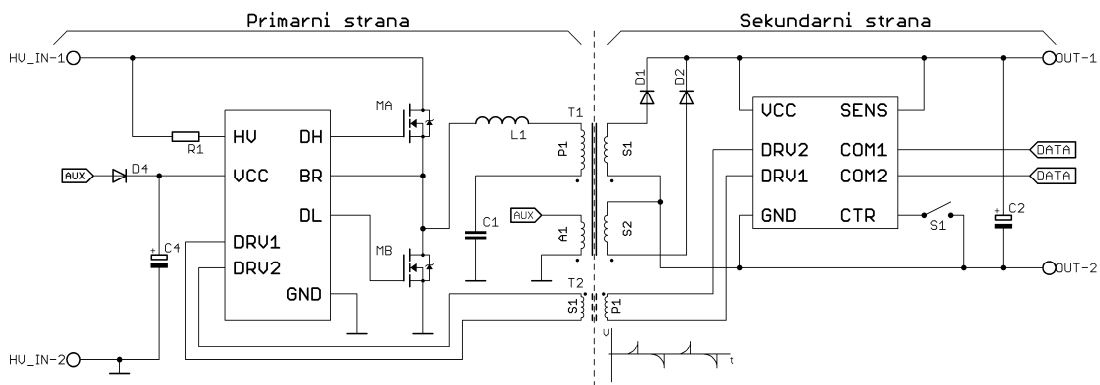
Zásadní komplikace tohoto zapojení je to, jakým způsobem bude napájen řídicí obvod při připojení měniče do sítě. V tomto okamžiku je na sekundární straně nulové napětí. Je tedy zapotřebí dostat nějakým způsobem napětí na sekundární stranu, aby se obvod nastartoval. Problém lze vyřešit dvěma způsoby.

První způsob je přidat do zapojení druhý malý měnič, který poběží nepřetržitě a tím napájí řídicí obvod. Tento způsob je častý u PC zdrojů, které zároveň tento malý zdroj využívají jako „stand-by“ a napájí s ním další obvody v PC. Výhodou této konfigurace je, že na primární straně nemusí být žádná aktivní součástka (mimo kontrolér malého zdroje). Ovládání tranzistorů je nejčastěji řešeno pomocí impulzního transformátoru. Princip realizace je zobrazen na obrázku 3.8. [22][23]



Obrázek 3.8 Princip řízení ze sekundární strany s impulzním transformátorem [23]

Druhý způsob je použit na primární straně aktivní prvek pro spínání tranzistorů, který umí po zapnutí sítě aktivovat tranzistory po omezenou dobu, zároveň ale dostatečnou pro aktivaci řídicího obvodu na sekundární straně, který následně převezme řízení a obvod na primární straně potom jen reaguje na impulzy, které přichází ze strany sekundární. Princip realizace je zobrazen na obrázku 3.9. Toto zapojení je využíváno pro zdroje středního výkonu, protože tento měnič nejde ze své podstaty vypnout. Tento měnič tedy pracuje stále, proto i při režimu „stand-by“ bude mít větší spotřebu než předchozí topologie. Výhoda je ovšem v ceně, jelikož tento měnič nepotřebuje druhý zdroj pro svůj provoz. [21]



Obrázek 3.9 Princip řízení ze sekundární strany s pomocným obvodem [21]

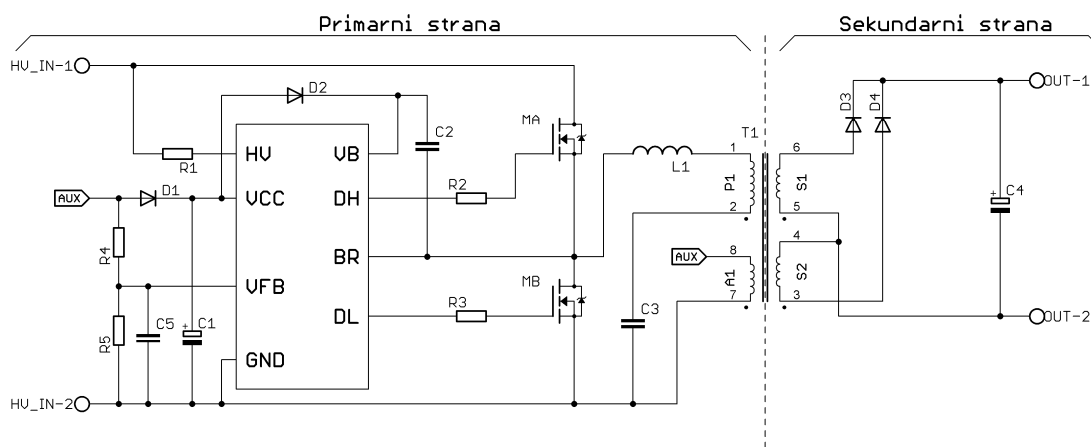
3.3 Snímání regulačních veličin

U obou výše zmiňovaných topologií je potřeba vyřešit ještě jeden problém, a tím je regulace, přesněji řečeno uzavření regulační smyčky. Jak již bylo zmíněno v kapitole 3.1, je nutné snímat výstupní veličinu a následně pomocí ní regulovat veličinu vstupní. Z tohoto pohledu má každá topologie určité výhody a nevýhody.

3.3.1 Nepřímé měření na primární straně

U topologie s primárním řízením je nevýhodou, že všechny ovládací signály z vnějšku, a také zpětná vazba, musí být galvanicky odděleny. Galvanické oddělení je zde také z důvodu bezpečnosti, a to proto, aby se na neživé a nízkonapěťové části zařízení nedostalo síťové napětí, které by mohlo způsobit ublížení na zdraví. Mimo jiné také chrání zařízení generující ovládací signály před poškozením. Realizace galvanického oddělení může být provedena více způsoby.

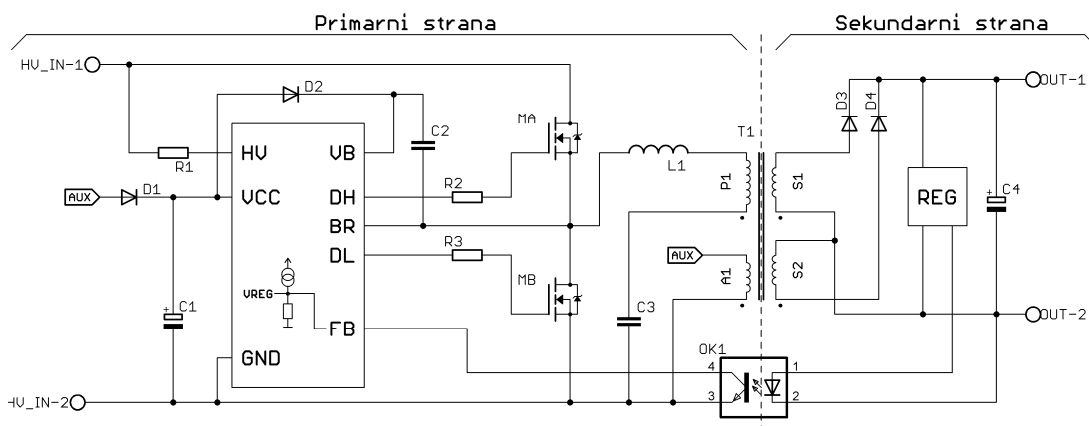
První ze způsobů snímání je nepřímé měření regulační veličiny. K tomu se využívá pomocné vinutí transformátoru neboli AUX vinutí, které se zapojí přes napěťový dělič do měřícího vstupu integrovaného obvodu (*VFB*). Obvod potom sleduje amplitudu napětí a přes převodový poměr a odporový dělič vyhodnocuje velikost napětí na výstupu. Tato metoda nepatří mezi nejpřesnější metody a lze ji využít u zdrojů, kde není požadavkem přesná hodnota výstupní veličiny. Měření je zatíženo chybou, která je způsobena zejména vlastním odběrem a také přesností poměru vinutí v transformátoru a jejich vzájemné vazbě, viz obrázek 3.10. Typicky se toto zapojení používá u zdrojů k LED páskům apod. [18]



Obrázek 3.10 Snímání výstupního napětí AUX vinutím transformátoru [18]

3.3.2 Přímé měření na sekundární straně

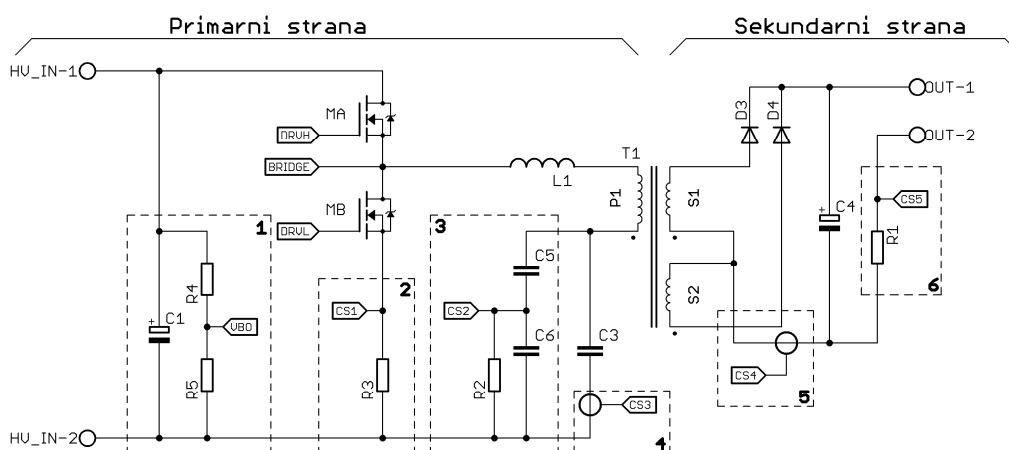
Tento způsob se využívá častěji. Regulační veličina je měřena na sekundární straně. Zde se potom nachází také regulační obvod, jehož výstup je následně pomocí jednoho nebo více optočlenů přenesen na primární stranu. Přenos může být jak lineární, tak dvoustavový, zaleží na použitém řídicím obvodu a regulátoru. Přesnost regulace je v tomto případě značně lepší než při nepřímém měření. Příklad zapojení je uveden na obrázku 3.11. [21] [18]



Obrázek 3.11 Princip snímání napětí na sekundární straně s proudovou regulací [21]

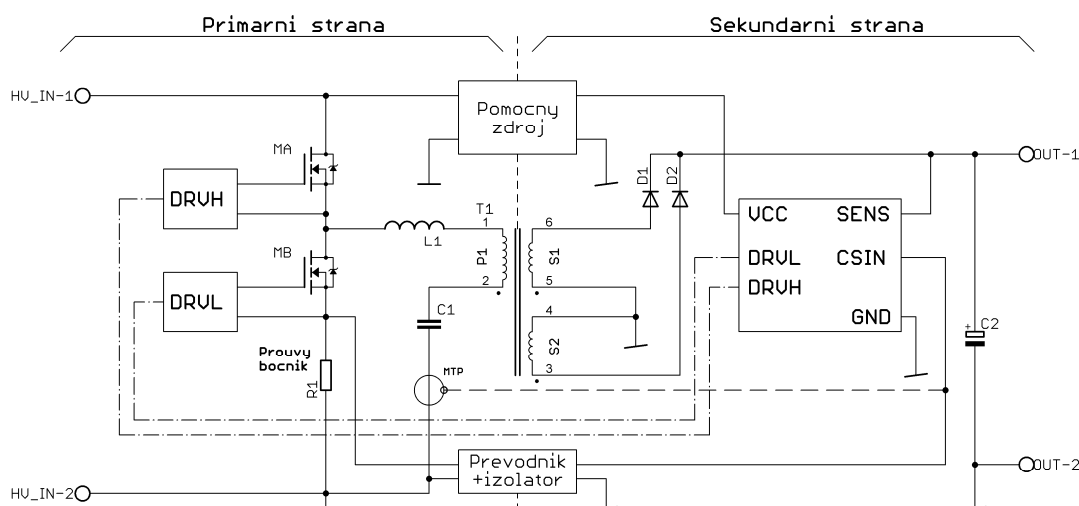
3.3.3 Další možnosti snímání regulačních veličin

Může také nastat situace, kdy bude potřeba měřit více vstupních veličin, například pro regulátor výkonu. Podobný regulátor se využívá právě u měničů typu LLC, kdy se výkon používá jako regulační veličina například pro aplikaci ochrany před přetížením („*true OPP*“). Umístěním řídicího obvodu (regulátoru) na primární stranu lze měřit další veličiny, jako jsou například proudy tekoucí primárním vinutím (4), proudy tekoucí spínacími tranzistory (2), napájecí napětí měniče (1) atd. Měření proudů může být přímé pomocí bočníku (2,6), pomocí měřicích transformátorů (5,4), nebo kapacitního děliče (3) v případě měničů LLC. Měření napětí bývá realizováno přímo obvodem nebo přes napěťový dělič. Změřené veličiny mohou být použity i pro ochranu měniče a v případě zkratu nebo přetížení je včas vypnut. Na obrázku 3.12 je zobrazen princip měření dalších regulačních veličin. [18][21]



Obrázek 3.12 Další možnosti měření veličin v obvodu [18][21]

U topologie se sekundárním řízením není nutné přenášet regulační veličinu (zpětnou vazbu) na primární stranu. Na primární stranu se přenáší pouze signály pro ovládání tranzistorů, a to způsoby popsány v předchozí kapitole. Díky tomu je zaručena asi nejvyšší přesnost výstupní veličiny. Podstatnou nevýhodou je, že pokud by bylo potřeba získat nějakou veličinu z primární strany, byl by její přenos stejně nebo více komplikovaný jako v případě regulační veličiny u měničů s řízením na primární straně. Například pro přímé měření napětí na primární straně by bylo nutné vytvořit převodník napětí – proud, a tím budít například optočlen. Pro měření proudu by bylo řešení podobné. Existuje ale i měření nepřímé, například pomocí proudového transformátoru. Všechny tyto metody budou ovšem zatíženy určitou chybou. Na obrázku 3.13 je zobrazeno zapojení s regulačním obvodem na sekundární straně s realizací měření proudů a napětí na straně primární. [21]



Obrázek 3.13 Princip převodu signálu z primární strany na sekundární [21]

3.4 Řešení zpětné vazby a regulace

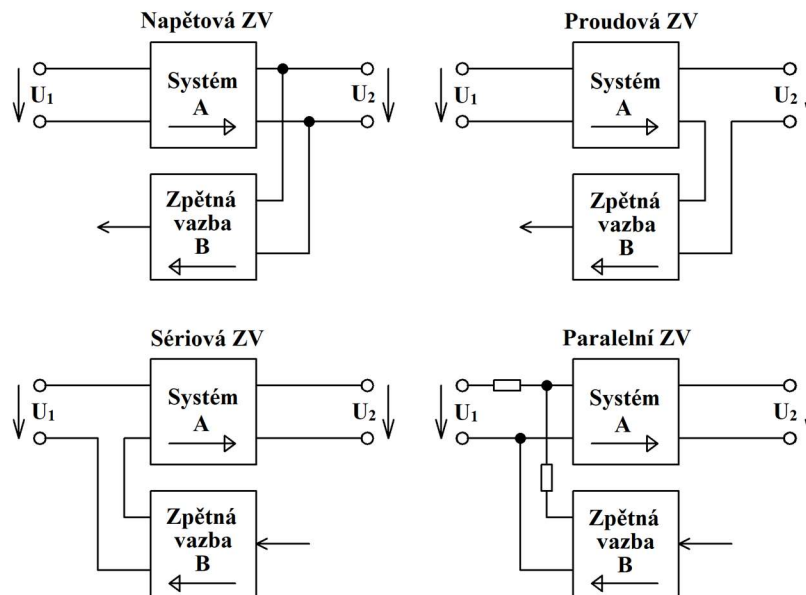
Zpětná vazba (zkratka ZV) neboli anglicky „feedback (FB)“ je signál, který se přivádí z výstupní strany systému na vstupní. Podle polarity lze rozdělit zpětnou vazbu na kladnou a zápornou.

Kladná zpětná vazba zvyšuje velikost regulační odchylky a tím zrychluje reakci systému, na druhou stranu také zvyšuje nestabilitu systému.

Záporná zpětná vazba potom regulační odchylku zmenšuje a díky tomu také snižuje nestabilitu systému.

Z hlediska topologie propojení se systémem lze rozdělit zpětnou vazbu na proudovou a napěťovou podle orientace vstupní části. Kdy proudová ZV je odolnější proti rušení, ale potřebuje větší množství energie pro svůj provoz, napěťová je energeticky úspornější, za to je ale náchylná k rušení a je méně stabilní.

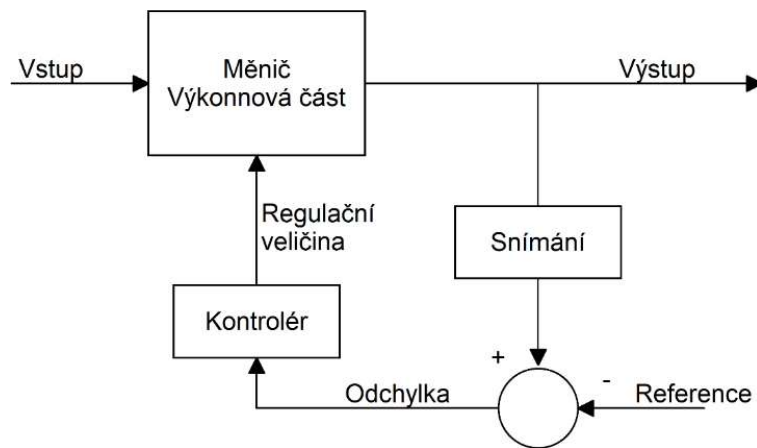
Z pohledu výstupní části pak na sériovou a paralelní podle připojení ke vstupní části systému. Kdy paralelní ZV je z pohledu zapojení bezpečnější než ZV sériová, protože při rozpojení sériové zpětné vazby dojde ke ztrátě regulační veličiny a tím k nestabilitě systému. Na obrázku 3.14 jsou zobrazeny základní zapojení zpětné vazby (B) k systému (A). [24][25]



Obrázek 3.14 Zapojení zpětných vazeb v regulačních systémech [24] upraveno

3.4.1 Zpětná vazba u měničů

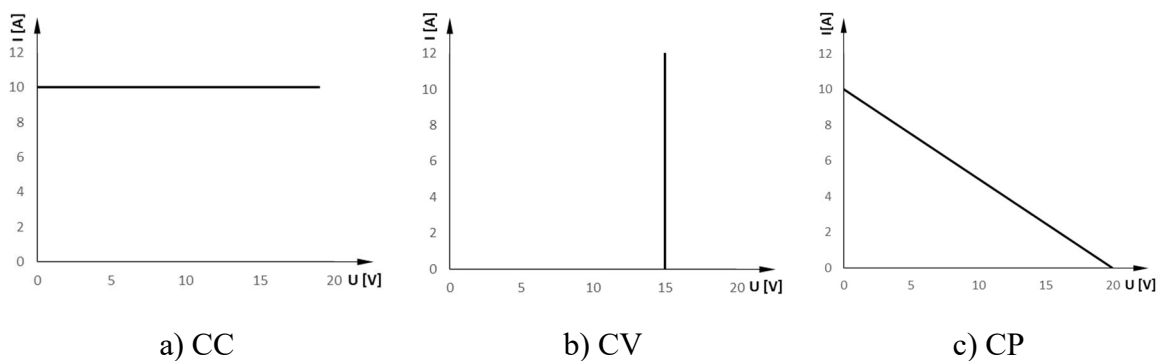
U měničů je zpětná vazba označení pro signál, který je veden ze sekundární části měniče do části primární. Jedná se nejčastěji o napěťovou paralelní zpětnou vazbu. Signál nese informaci o stavu výstupní veličiny, například o výstupním napětí. Nejčastějším typem zpracování signálu zpětné vazby je porovnání tohoto signálu s referenční hodnotou. Referenční hodnotu u měničů nejčastěji tvoří reference, a to proudová, napěťová, výkonová nebo teplotní. Rozdíl referenční hodnoty a signálu zpětné vazby se označuje jako regulační veličina. Tato veličina je potom přivedena do regulátoru a ten na ni zareaguje (reakce regulátoru jsou uvedeny v kapitole 3.1.2) a vytvoří na základě toho akční veličinu. Akční veličina je potom signál, který říká řídicímu obvodu, aby změnil například střihu, nebo frekvenci spínání. Změna by se potom měla projevit v ideálním případě vyrovnáním rozdílu mezi signálem zpětné vazby a referenční hodnotou, tomuto stavu pak říkáme stabilní stav. Na obrázku 3.15 je zobrazeno zapojení systému se zpětnou vazbou, který se využívá u měničů typu LLC. [26][27]



Obrázek 3.15 Princip vyhodnocení zpětné vazby [26] upraveno

3.5 Regulace výstupní veličiny měniče

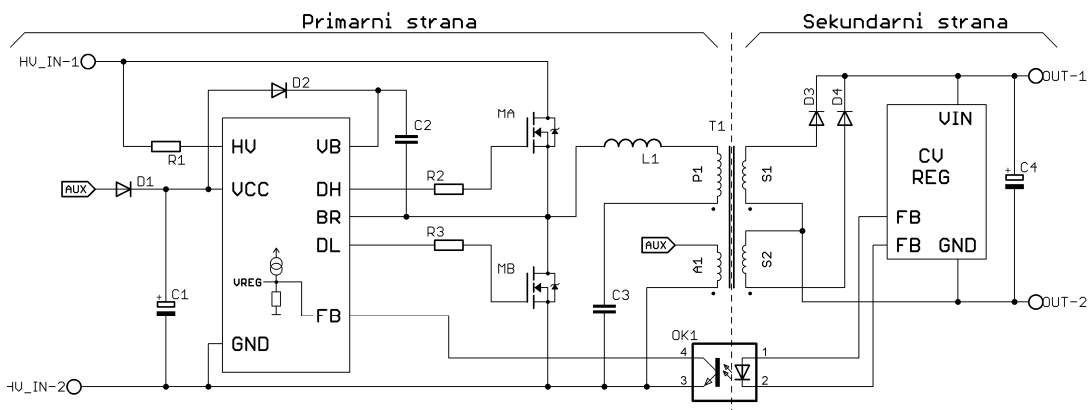
Jak již bylo zmíněno, zpětná vazba poskytuje informaci o stavu výstupní veličiny většinou ze sekundární strany měniče, neboli jeho výstup. Každý měnič může pracovat v několika režimech, ty se dají rozdělit na: měnič s proudovým výstupem, anglicky označované jako CC („*Constat current*“), měnič s napětovým výstupem, označované jako CV („*Constant voltage*“). Samostatnou skupinou je potom měnič pracující v režimu CP („*Constant Power*“), neboli s konstantním výkonem. Na obrázku 3.16 jsou zobrazeny ideální VA výstupní charakteristiky pro jednotlivé režimy měniče.



Obrázek 3.16 VA charakteristiky režimů měniče

3.5.1 CV (Constant Voltage) regulace

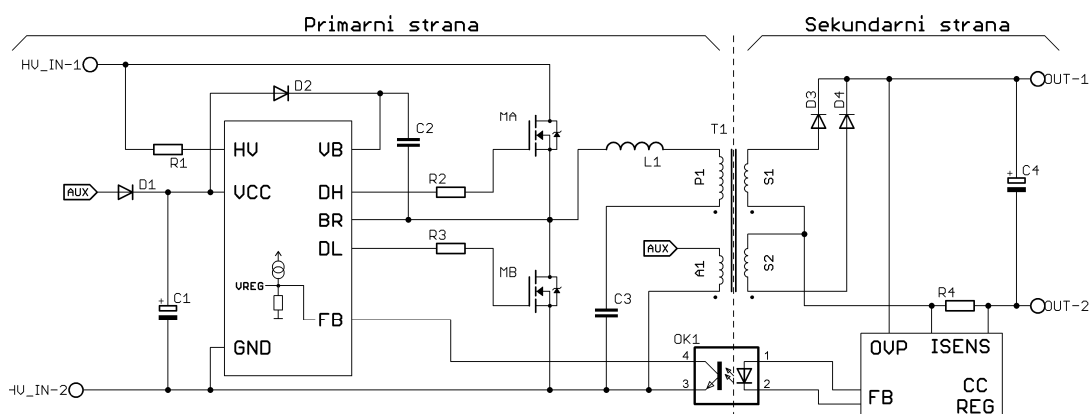
Velká část spotřební elektroniky, která se v dnešní době vyrábí, je chystaná na napájení nejčastěji 5 V nebo 12 V, jedná se tedy o režim konstantního napětí. Právě z tohoto důvodu je většina LLC měničů navrhována tak, aby pracovala v režimu konstantního napětí, tedy CV. Tento režim je z pohledu konstrukce velmi jednoduchý. Na obrázku 3.17 je zobrazen měnič LLC s napěťovým regulátorem napětí. Snímání napětí je v tomto případě přímé, tedy regulátor je připojen přímo k výstupu měniče. Existuje ale také měření nepřímé, které využívá pomocného vinutí transformátoru (viz obrázek 3.10 nebo viz kapitola 3.3.1). [28]



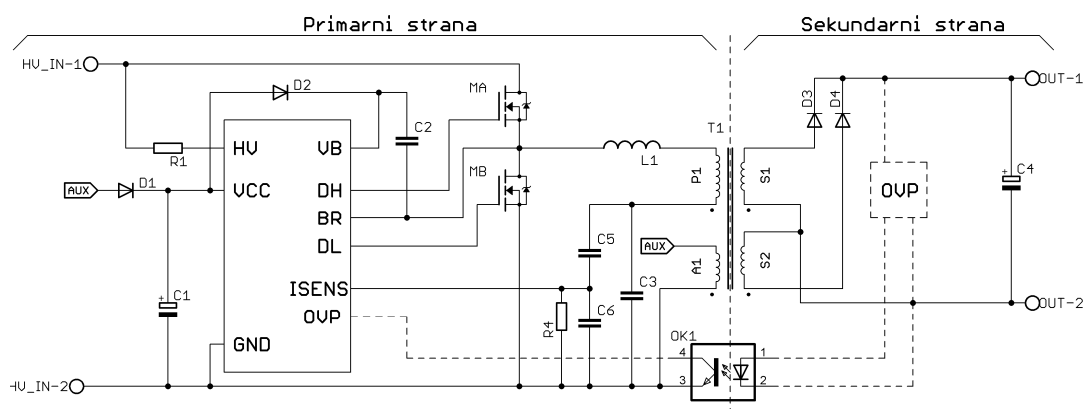
Obrázek 3.17 LLC měnič s napěťovou regulací [28]

3.5.2 CC (Constant Current) regulace

V praxi ale existují aplikace, které potřebují zdroj konstantního proudu, nikoliv napětí. Typicky se jedná o LED aplikace nebo o nabíječky baterií, kdy je podstatné limitovat (regulovat) proud bez ohledu na velikost napětí. Měniče tohoto typu jsou řešeny obdobně jako je tomu u měničů CV. Je zde však několik změn v konstrukci měniče. Na obrázku 3.18 je zobrazen LLC měnič s přímou proudovou regulací na sekundární straně. Na obrázku 3.19 je zapojení s nepřímou proudovou sondou, která se využívá u LLC měničů s řízením na primární straně a nevyžaduje žádný sekundární obvod. Měniče CC mají jednu velkou nevýhodu, a to že při odpojení zátěže se může jejich napětí naprázdno vyšplhat až k nebezpečným hodnotám a zničit tím měnič. Proto je vhodné u měničů s proudovou regulací zakomponovat do konstrukce také napěťový omezovač, který bude limitovat maximální velikost výstupního napětí při odpojení zátěže. [29]



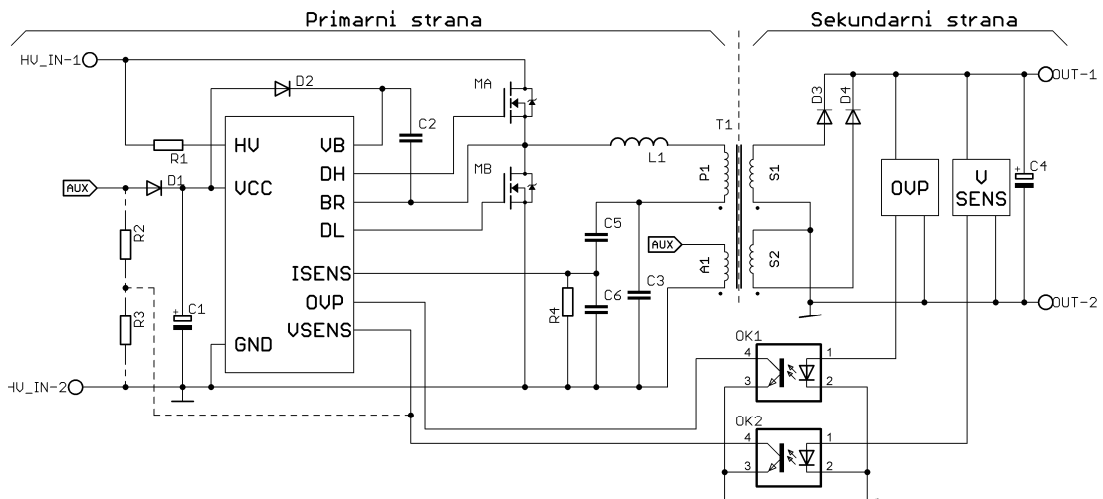
Obrázek 3.18 LLC měnič s proudovou regulací na sekundární straně



Obrázek 3.19 LLC měnič s proudovou regulací na primární straně

3.5.3 CP (Constant Power) regulace

Kombinací předchozích dvou režimů CC a CV dostaneme řízení CP, tedy režim konstantního výkonu. V tomto případě se jedná o měnič, který má regulovatelné výstupní veličiny, jako jsou napětí a proud, anebo se jedná o měnič, který za proměnných vstupních podmínek dodává do zátěže stále stejný výkon. Typicky se tento režim využívá u MPPT („*maximum power point tracking*“) [30] měniče, který se využívá u fotovoltaických elektráren. Na obrázku 3.20 je zobrazen příklad realizace měření výkonu u měniče LLC. [29]

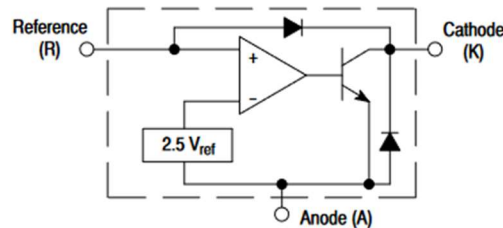


Obrázek 3.20 LLC měnič s výkonovou regulací na primární straně

U měničů typu LLC je režim CP velmi důležitý, důvodem je zachování rezonance v měniči, kdy by při vysokém přetížení došlo k přechodu měniče LLC z režimu ZVS do režimu ZCS, tím by se rapidně zvýšily ztráty na spínacích prvcích. Tyto ztráty by přehřály spínací tranzistory a ty by se následně zkratovaly a došlo by k poruše celého měniče. Je proto nutné u měničů LLC hlídat dodávaný výkon a v případě dlouhodobého přetížení ihned tento výkon omezit. Nejčastějším omezením je přechod měniče z CV režimu do CC režimu, kdy na výstupu rapidně klesne napětí a tím se zachová hodnota maximálního výkonu CP. Stejný systém ochrany bude využit i u metody „*true OPP*“ která přímo vychází z omezení výkonu, viz kapitola 3.7.7.

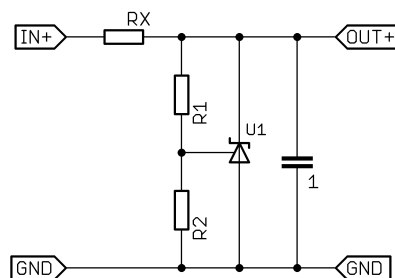
3.6 Praktické příklady řešení zpětné vazby s regulací

Jedním z legendárních obvodů používaných ve spínaných zdrojích je obvod TL431 a jeho ekvivalenty. Jedná se o poměrně jednoduchý obvod programovatelné napěťové reference. Tento obvod se u měničů usadil jako regulátor v mnoha variacích a je používán hlavně pro zdroje s konstantním napětím neboli CV. Na obrázku 3.21 je zobrazeno vnitřní zapojení tohoto obvodu.



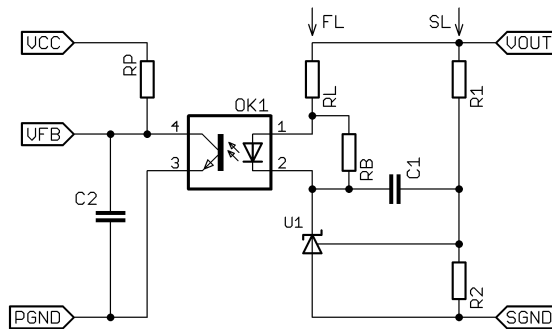
Obrázek 3.21 Vnitřní zapojení obvodu TL431 [31]

Vnitřní zapojení se skládá z reference 2,5 V nebo v některých případech 1,25 V, operačního zesilovače a výkonového tranzistoru. Celý obvod má pouze 3 piny: katodu, anodu a referenci (externí). Princip funkce je velmi jednoduchý, mezi katodu a napájení se připojí rezistor, anoda se připojí na napájecí zem a na referenci se připojí signál. Pokud je na referenci napětí menší nebo rovno 2,5 V (1,25V) je výstupní tranzistor zavřený. Když se napětí na referenci zvýší, dojde k otevření tranzistoru a mezi *K* a *A* začne procházet proud. Tranzistor a sériový odpor v katodě tvoří dělič, pomocí kterého se dá regulovat napětí mezi katodou a anodou. Viz obrázek 3.22, kde je TL431 zapojen jako regulátor napětí. [31]



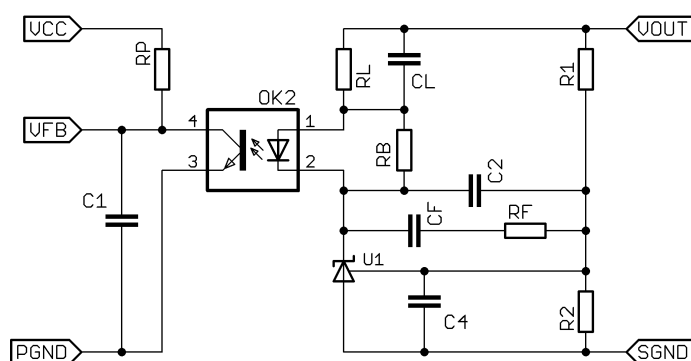
Obrázek 3.22 Zapojení obvodu TL431 jako regulátor napětí [31]

Adaptace toho obvodu z obrázku 3.22 na regulátor pro LLC měniče je poměrně jednoduchá, k obvodu se přidá ještě optočlen a několik odporů, které nastavují pracovní bod regulátoru. Jednoduchý napěťový regulátor s proudovým výstupem a galvanickým oddělením je zobrazen na obrázku 3.23. [32]



Obrázek 3.23 Zapojení napěťového regulátoru TL431 s proudovým výstupem [32]

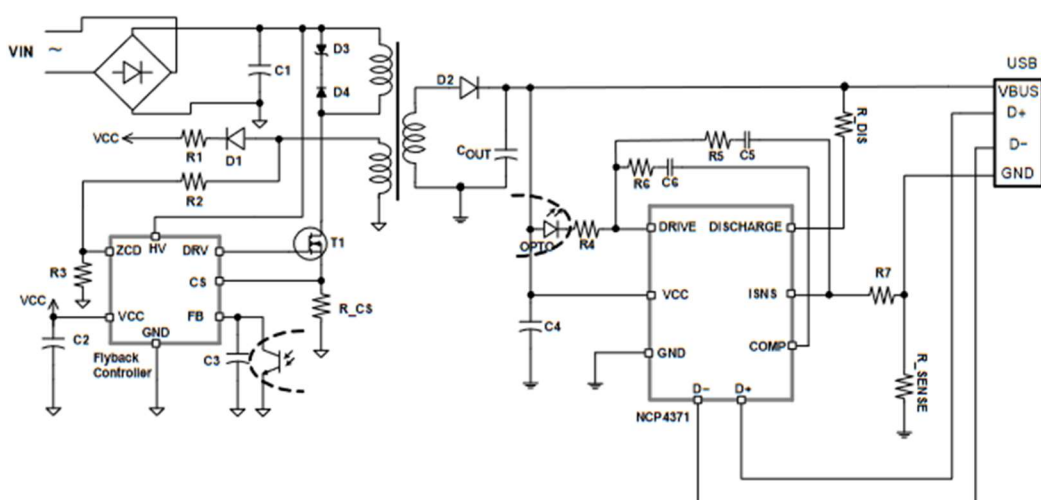
Zapojení je rozděleno na primární a sekundární část. Na primární straně se nachází tranzistor optočlenu se sériovým odporem, ti společně tvoří dělič napětí. Výstup tohoto děliče je stabilizován kapacitou $C2$, která spolu s odporem R_P tvoří dolní propust. Tento napěťový stabilizovaný výstup je zapojen do řídicího obvodu na pin zpětné vazby (VFB nebo FB). Na sekundární straně se nachází obvod TL431, do jehož katody je kromě odporu zapojena i LED dioda optočlenu. Dioda je přemostěna odporem R_B , ten je v zapojení z důvodu napájení samotného regulátoru. Protože při podmínce, kdy výstupní napětí $<$ požadované napětí, je tranzistor v regulátoru zavřený a napětí mezi K a A je téměř stejné jako napájecí, LED tedy neteče žádný proud a tím by došlo k vypnutí regulátoru. Snímání napětí probíhá přes dvě větve, pomalou a rychlou. Pomalá větev je tvořena děličem napětí $R1$ a $R2$, rychlá větev potom odporem R_L a kapacitou $C1$. Odpor R_L slouží také pro stejnosměrné nastavení pracovního bodu TL431 spolu s odporem $R2$. Při změně napětí V_{OUT} dojde ke změně napětí na referenčním vstupu TL431, tím se vnitřní tranzistor začne zavírat a proud diodou optočlenu začne klesat, na to reaguje primární strana navýšením výkonu. Napětí V_{OUT} se tedy začne zvyšovat a proud procházející diodou začne růst, v tu chvíli primární strana začíná výkon omezovat. Celý tento proces se děje ve smyčce s danou frekvencí neboli odezvou regulátoru na změnu napětí. Na obrázku 3.24 je zobrazeno zapojení LLC měniče s regulátorem TL431 a napěťovým výstupem, které bylo použito pro regulaci napětí v bakalářské práci [1] [32].



Obrázek 3.24 Zapojení regulátoru pro CV regulaci s TL431 [32]

Obvod TL431 se dá využít v mnoha dalších konfiguracích, mezi které patří například zapojení pro ochranu před přepětím (OVP – „*over voltage protection*“) nebo nadproudem (OCP – „*over current protectio*“), viz kapitola 3.7 krajní stavy měniče.

Jiným řešením regulace kromě tohoto jednoduchého řešení jsou komplexní regulátory, které umožňují rozsáhle nastavení. Takovéto integrované regulátory jsou výhodné do zapojení, kde je potřeba například měnit velikost výstupního napětí, například u chytrých nabíječek nebo zdrojů. Zde bývá regulátor vybaven nějakým komunikačním rozhraním, přes které může přijímat data a na základě toho upravovat regulaci napětí, popřípadě proudu. Jako příklad takového regulátoru je na obrázku 3.25 zobrazeno zapojení obvodu NCP4371, který je určený právě pro chytrou nabíječku mobilních telefonů. [33]



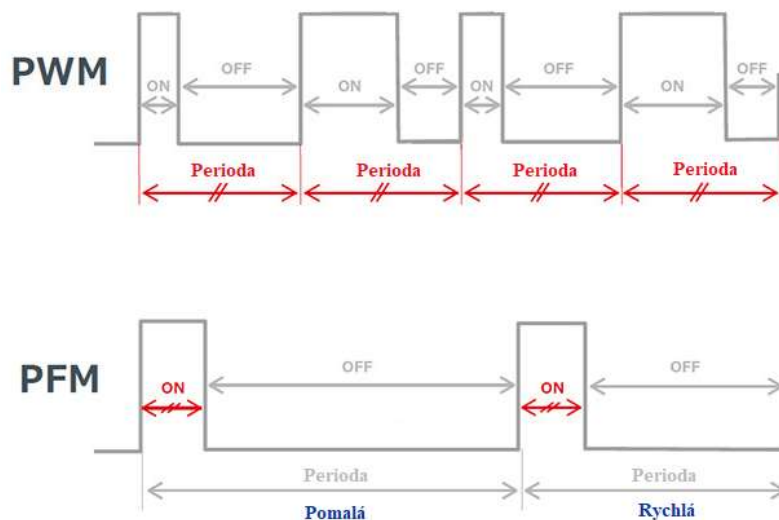
Obrázek 3.25 Katalogové zapojení obvodu NCP4371 [33]

3.7 Krajiní stavy měniče

Pokud dojde během provozu měniče k nějaké neočekávané události, případně zkratování výstupních svorek nebo odpojení velké zátěže, případně kolísání napětí v síti atp., dojde většinou k jednomu z níže uvedených krajních stavů. Tyto stavy se zabývají provozem měniče za jiných než normálních podmínek. Každý typ měniče by měl mít všechny tyto stavy ošetřené, protože v situaci, kdy se měnič dostane do krajního stavu, který není ošetřený, je zde velká pravděpodobnost poruchy měniče.

3.7.1 Provoz naprázdno (Light load)

Jedná se o jeden z nejčastějších krajních stavů prakticky u všech měničů. Ačkoliv se může zdát, že provoz bez zátěže, tedy naprázdno, není problematický, je tomu přesně naopak. Většina měničů je navržena na spojité řízení, tedy tak, že pracují kontinuálně. Každý měnič má také definované podmínky, za kterých může pracovat. Například DC/DC měniče typu „fly-back“ mají minimální střihu, rezonanční měniče LLC maximální frekvenci. Při návrhu měniče je tedy nutné zvolit, zdali bude pracovat kontinuálně po celou dobu, nebo bude pracovat v tzv. dávkovém režimu (ang. „burst-mode“). Pokud bude měnič pracovat kontinuálně, je nutné mu zajistit stálou minimální zátěž, například zatěžovacím rezistorem na výstupu. U dávkového režimu je to o něco jednodušší, stačí vybrat vhodný kontrolér. Dávkový režim má zpravidla dva režimy, PWM („pulse wide modulation“) a PFM („Pulse Frequency Modulation“). Na obrázku 3.26 jsou uvedeny časové průběhy obou těchto režimů. [34]



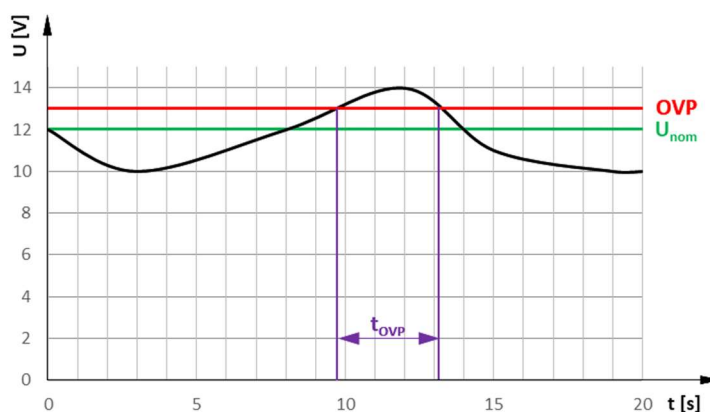
Obrázek 3.26 Časové průběhy PFM a PWM pro dávkový režim [34]

PWM režim využívá změnu střídy mezi stavem ON – OFF, kdy měnič ve stavu ON dodává do zátěže výkon a v čase OFF je měnič vypnutý. Pozor, je potřeba mít na paměti, že perioda dávkového režimu („burst-mode“) je konstantní, ale není stejná jako spínací perioda měniče.

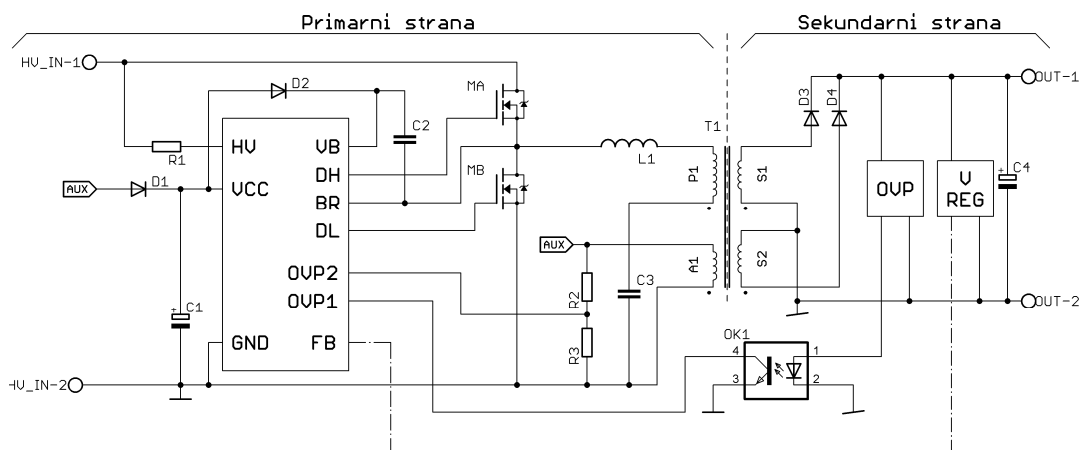
Tento režim se nejčastěji využívá pro výkonové zdroje. PFM režim využívá změnu periody mezi stavem ON – OFF, čas ON je v tomto případě konstantní a mění se jen interval OFF. Tento režim je vhodný pro méně výkonné zdroje, protože nedokáže tak rychle reagovat na změnu zátěže jako režim PWM.

3.7.2 Ochrana proti přepětí (OVP - Overvoltage protection)

Tato ochrana chrání systém před vysokým napětím, nejčastěji na výstupu daného měniče. Ochrana může fungovat dvěma způsoby, prvním je odpojení zařízení od měniče do doby, než se napětí vrátí na nominální hodnotu, a druhým je předání této informace řídicímu obvodu, který na ni potom reaguje několika způsoby: vypnutím, odpojením, restartem, nebo vynucenou regulací. Použití se liší od typu měniče a od typu použité zátěže. Na obrázku 3.27 je zobrazen časový průběh výstupního napětí s okamžikem aktivace OVP. Příklad realizace OVP integrované v řídicím obvodu je potom zobrazen na obrázku 3.28. [35]



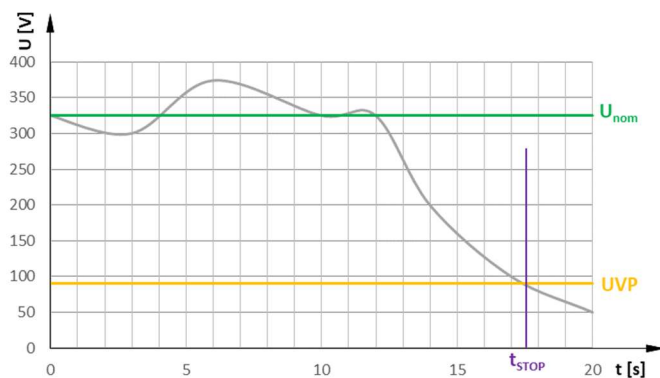
Obrázek 3.27 Časový průběh napětí s OVP příznakem



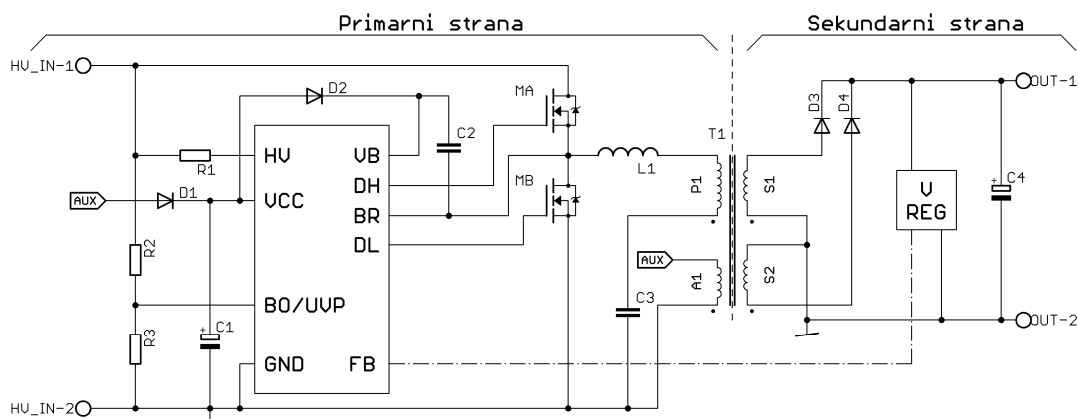
Obrázek 3.28 Integrovaná OVP ochrana v řídicím obvodu [35] upraveno

3.7.3 Ochrana proti podpětí (UVP – UnderVoltage protection)

Jedná se o ochranu, která je opakem ochrany OVP, hlídá tedy podpětí, může se také označovat jako BO – z anglického „BrownOut“. Podpětí jako takové se dá měřit jak na primární, tak i sekundární straně. Na sekundární straně se UVP aplikuje jen v případě, vyžaduje-li si to připojené zařízení, například zdroje pro PC. Na primární straně se ale měření zavádí z jiného důvodu, a tím je dostatečně velké vstupní síťové napětí pro provoz měniče. Může totiž dojít k situaci, kdy bude v síti napětí nižší, než je bezpečné pro provoz měniče, a za této podmínky se měnič nesmí spustit. UVP ochrana bývá realizována pomocí BO pinu na integrovaném obvodu. Pro detekci napětí se využívá dělič napětí a ten je připojen na pin BO, viz obrázek 3.30. Tento pin má nastavené určité prahové napětí, při jehož dosažení dojde ke spuštění měniče, nejčastěji se jedná o 1 V. Časový průběh napětí na „bulk“ kapacitě s UVP příznakem je zobrazen na obrázku 3.29.



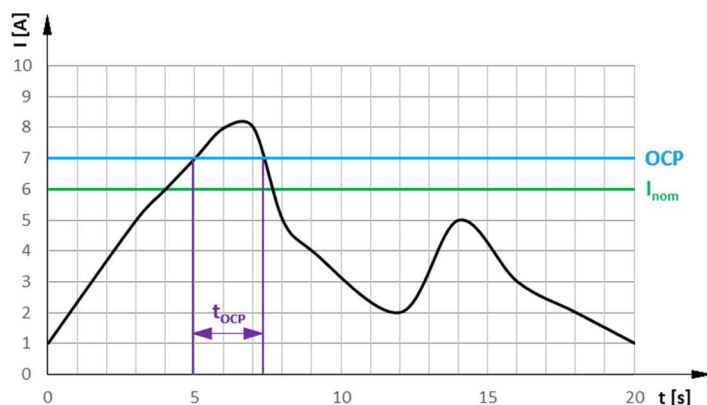
Obrázek 3.29 Časový průběh napětí s UVP příznakem



Obrázek 3.30 Realizace UVP v zapojení

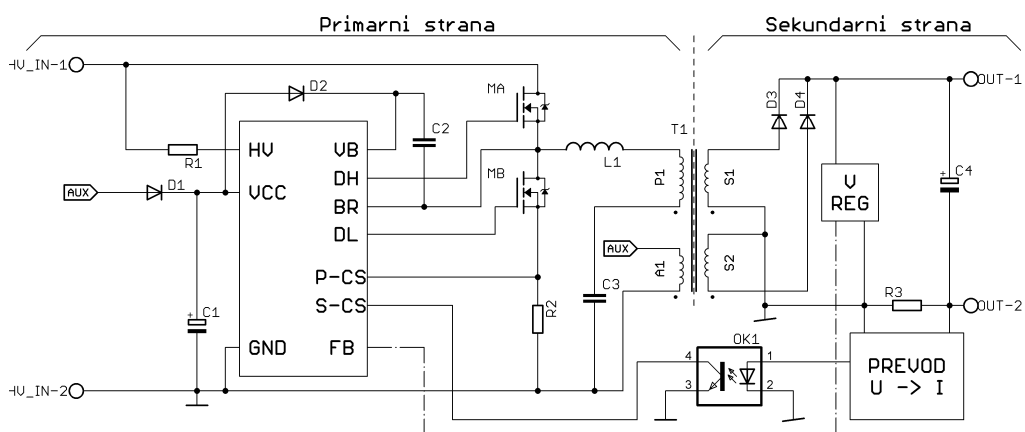
3.7.4 Ochrana proti nadproudu (OCP - Overcurrent protection)

Tento typ ochrany je relativně častý u většiny měničů. Ochrana hlídá velikost proudu tekoucího do zátěže. V případě přetížení nebo zkratu by měla tato ochrana včas vypnout nebo omezit velikost napětí, respektive proudu měničem a tím zamezit možnému poškození. Důvodem, proč je tato ochrana důležitá, jsou omezené spínací proudy primárních tranzistorů. V případě jejich dlouhodobého přetížení dojde k jejich průrazu a tím destrukci měniče. Obdobně je tomu i u usměrňovacích diod nebo aktivního usměrňovače. Na obrázku 3.31 je zobrazen časový průběh výstupního proudu měniče s filtrační tlumivkou na výstupu.



Obrázek 3.31 Časový průběh proudu s OCP příznakem

Měřit proud pro vyhodnocení OCP můžeme zpravidla dvěma způsoby, přímým a nepřímým měřením. Přímé měření je možno realizovat pomocí bočníků, nepřímě potom pomocí proudových transformátorů nebo přes kapacitní děliče u měničů rezonančních. Na obrázku 3.32 je uvedený příklad přímého snímání proudu pro tranzistory na primární straně. Ostatní způsoby měření již byly zmíněny v kapitole 3.3.

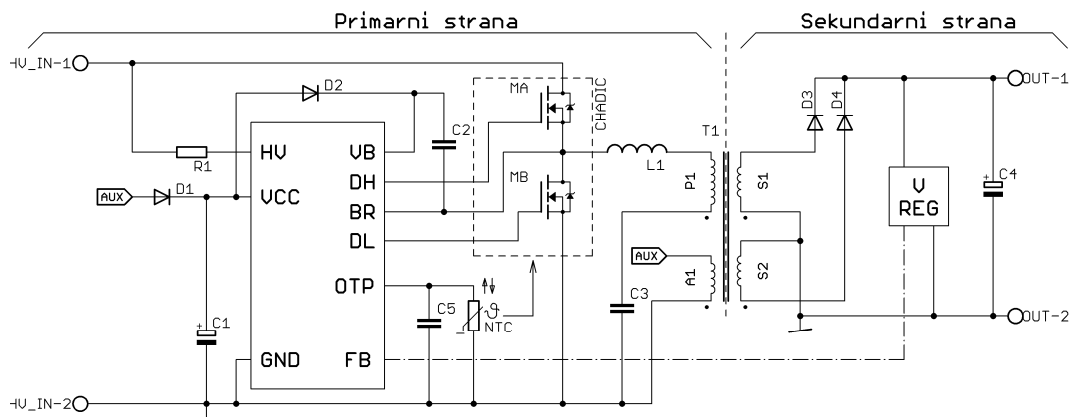


Obrázek 3.32 Princip realizace OCP s převodem ze sekundární strany

3.7.5 Ochrana proti přehřátí (OTP - Overtemperature protection)

K této ochraně můžeme přistupovat dvěma způsoby. První způsob je ochrana samotného měniče před přehřátím, které by mohlo způsobit zkrat vlivem porušení izolace některé z komponent nebo tepelnému průrazu u tranzistorů nebo usměrňovače. Druhý přístup je potom z pohledu použití daného měniče, pokud se například jedná o nabíječku, není přípustné, aby měla při provozu vysokou teplotu, mohlo by dojít ke zranění obsluhy, na funkci by to ovšem nemělo vliv. Typ ochrany se tedy volí hlavně podle toho, kde bude měnič provozován a za jakých podmínek.

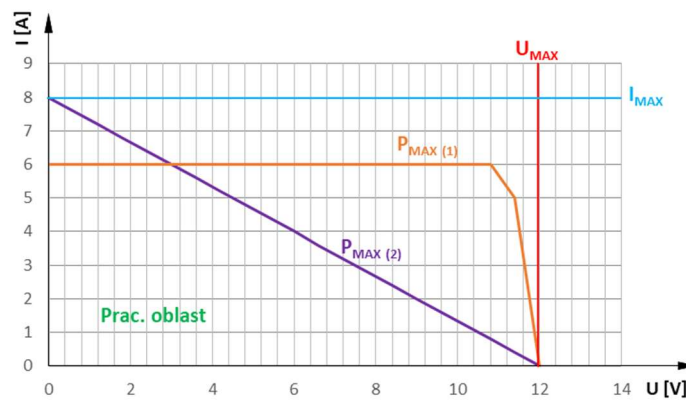
K aktivaci této ochrany dochází většinou vlivem okolních vlivů, jako jsou například vystavení měniče zvýšené okolní teplotě, nevhodné umístění například do rozvaděče, nadměrná tepelná izolace kolem měniče atp. Realizace této ochrany je potom realizována nejčastěji termistorem typu NTC nebo termočlánkem. Lze ale také použít snímací diodu nebo tranzistor. Řídící obvody měničů mají pro jeden, nebo více teplotních snímačů připravené vstupy, do kterých se daný snímač připojí. Ve většině případů se ale využívají integrované ochrany proti přehřátí přímo v řídicím obvodu. Na obrázku 3.33 je zobrazeno zapojení kontrolérů s OTP ochranou pomocí externího NTC termistoru.



Obrázek 3.33 Realizace OTP ochrany s NTC termistorem

3.7.6 Ochrana proti přetížení (OPP – overpower protection)

Tato ochrana je složitějšího charakteru. Pro realizaci této ochrany je potřeba mít k dispozici měření dvou veličin, nejčastěji napětí a proudu. Součinem těchto dvou hodnot získáme reálný/přímý výkon (též označovaný jako ang. „*true power*“). Jak již může být zřejmé, realizace této ochrany analogovou cestou nebude jednoduchá, a proto se pro ni využívá digitální zpracování. Toto zpracování zpravidla provádí MCU („*micro control unit*“), DSP („*digital signal processor*“) nebo ASIC („*Application Specific Integrated Circuit*“). Ten zajišťuje správné vyhodnocení signálů, které jsou nejčastěji získány analogově-digitálním převodem vstupních veličin. Každý měnič je potom charakterizován tzv. výkonovou křivkou, viz obrázek 3.34.



Obrázek 3.34 Typické výkonové křivky

Tato křivka popisuje maximální možný výkon měniče pro dané vstupní veličiny, tedy napětí a proud. Nejčastěji potom tato křivka charakterizuje primární veličiny, tedy vstupní napětí ze sítě a primární proud. Křivka P_{MAX} pomyslně rozděluje operační oblast měniče na bezpečnou a nebezpečnou. V nebezpečné oblasti měnič nemusí nutně zahořet nebo se poškodit, nesmí v této oblasti však zůstat dlouho. Od toho se potom odvíjí reakce řídicího obvodu, který musí nějakým způsobem dostat pracovní bod měniče do oblasti pod křivkou P_{MAX} . Nejčastější reakce obvodu je jeho vypnutí, které přetrvává až do chvíle odeznění přetížení. Jinou metodou je potom regulace snížení střídy nebo frekvence.

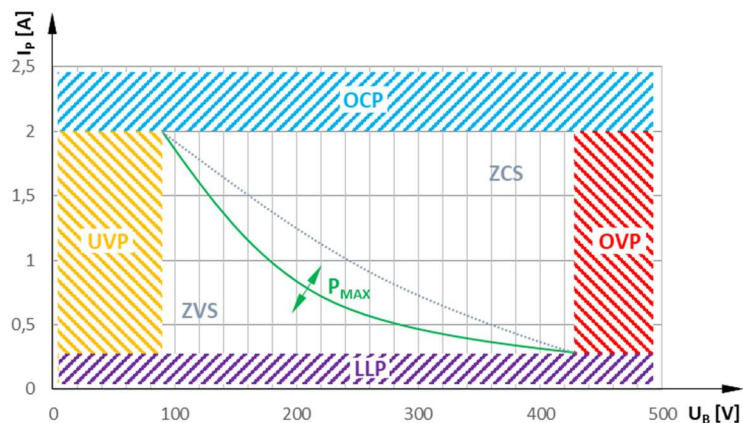
Aby bylo možné regulovat měnič na tuto křivku P_{MAX} , je nutné znát její průběh. Pro klasické měniče DC/DC je možné tuto křivku analyticky vypočítat a následně na ni navrhnout regulátor potažmo řídicí obvod. Tento fakt se ale ukázal neplatný pro rezonanční měniče, konkrétněji tedy měniče LLC, u kterých tuto křivku nelze analogicky určit. Proto není možné vytvořit univerzální obvod, který by tuto regulaci zajišťoval.

3.7.7 Přímá ochrana proti přetížení (true OPP – true overpower protection)

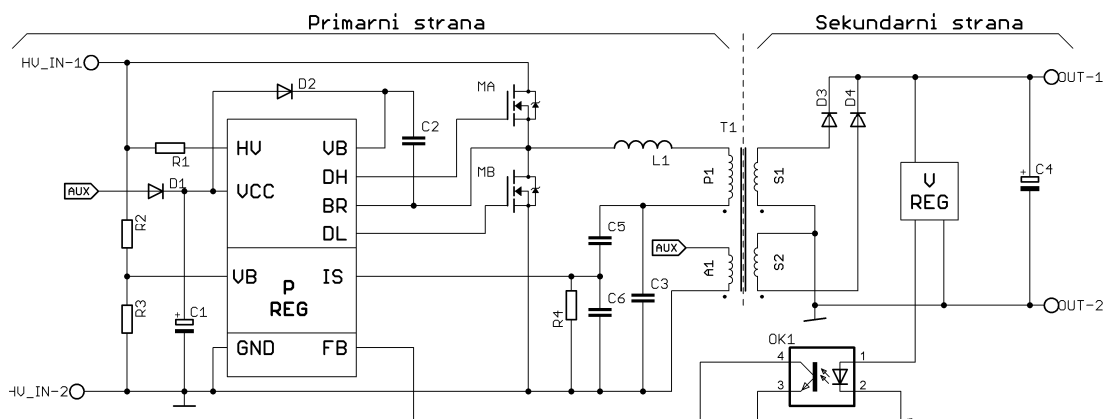
Jedním z inovativních řešení je systém označený jako „*true OPP*“ neboli „*true overpower protection*“, přeloženo jako přímá ochrana před přetížením. Tento systém využívá měření a vyhodnocení výkonu v „reálném čase“, přesněji v jedné spínací periodě.

Součástí „*true OPP*“ systému je regulátor, který pracuje nezávisle na hlavním regulátoru. Jedná o autonomní systém, který v každé periodě kontroluje aktuální výkon měniče a porovnává ho s maximální hodnotou. Dojde-li k překročení hodnoty maximálního výkonu, převezme tento systém (přesněji regulátor) vedoucí pozici řízení a vynutí snížení výkonu, aniž by přitom měnič přestal pracovat nebo se poškodil. Výhodou této ochrany je, že její reakce je prakticky okamžitá (jedna spínací perioda) a díky tomu je také velmi účinná. Tento systém je vyvíjen specificky pro LLC měniče s širokým vstupním rozsahem, jelikož je problematické u těchto měničů rozpoznat výkonové přetížení, viz kapitola 4.3.

Na obrázku 3.35 je vstupní charakteristika LLC měniče s širokým rozsahem vstupního napětí s vymezenou pracovní oblastí. Ve vyšrafovaných oblastech na obrázku by se neměl nacházet pracovní bod LLC měniče. Na obrázku 3.36 je potom zobrazeno zapojení LLC měniče s typem ochrany „*true OPP*“. [36]



Obrázek 3.35 Charakteristika „*true OPP*“ regulace



Obrázek 3.36 Princip realizace „true OPP“ u měniče LLC [36]

3.7.8 Shrnutí

Pro různé měniče jsou navrženy různé typy ochran, které jsou většinou kombinací výše uvedených ochran. V nových moderních obvodech jsou tyto ochrany (krajní stavy) implementovány automaticky a bývají jedním z požadavků na daný obvod. Řídící obvody potom chrání měnič a napájené zařízení před poškozením. Některé metody ochrany se stále vyvíjejí, příkladem může být ochrana „True OPP“ pro měniče LLC s širokým rozsahem vstupního napětí.

4. ŠIROKÝ ROZSAH VSTUPNÍHO NAPĚTÍ

Každý vyráběný adaptér (spínaný zdroj) má na svém štítku uveden rozsah vstupního napětí. Tento rozsah vyplývá z konstrukce měniče, který je použitý u tohoto zdroje. V praxi se využívá několik typů měničů, kdy každý typ má určité výhody a nevýhody. Jedná se například o „*fly-back*“ měniče, „*buck*“ měniče, rezonanční měniče (LLC a LCC), „*full-bridge*“ měniče atd. Co ale mají všechny tyto měniče společné je, že jsou konstruovány na určité vstupní napětí. Problém potom nastává z hlediska ekologie výroby a univerzality použití. Pokud nějaký výrobce nabízí produkt ve formě adaptéru (spínaného zdroje) je předpokladem, že pro něj bude výhodné konstruovat jeden typ zdroje, který bude použitelný kdekoliv. Takový adaptér potom obsahuje buď měnič s širokým vstupním rozsahem (ang. „*wide range*“) nebo normální zdroj a PFC korektor. V obou případech si musí zdroj (jako celek) umět poradit jak s rozdílným síťovým napětím (115 V–230 V), tak také s měnicí se frekvencí (50 Hz – 60 Hz).

4.1 Měniče s širokým rozsahem vstupního napětí

Tento typ měničů je specifický pro svou konstrukci, protože musí umět pracovat od velmi nízkých úrovní vstupního napětí, kdy nejnižší přípustná hodnota síťového napětí je stanovena na $U_{INmin} = 65 \text{ V (AC)}$ [37] a maximální hodnota pro síťové napětí je potom $U_{INmax} = 265 \text{ V (AC)}$. Měniče potom pracují s usměrněnou a vyfiltrovanou hodnotou tohoto síťového napětí. Nejčastěji se využívá dvoucestné usměrnění pomocí usměrňovacího můstku, hodnoty výstupního napětí U_{Bmin} a U_{Bmax} jsou potom dány

$$U_{Bmin} = U_{INmin} \cdot \sqrt{2} = 65 \cdot \sqrt{2} \approx 92 \text{ V}, \quad (4.1)$$

$$U_{Bmax} = U_{INmax} \cdot \sqrt{2} = 265 \cdot \sqrt{2} \approx 375 \text{ V}. \quad (4.2)$$

Jak je možné si povšimnout, je značný rozdíl mezi minimální a maximální hodnotou napětí. Navržený měnič s širokým vstupním rozsahem potom musí dodat potřebný výkon (proud) do zátěže, a to jak při minimálním, tak i maximálním vstupním napětí. Vstupní napětí není u většiny měničů klíčovým problémem (s výjimkou LLC měničů), klíčový je proud. S klesajícím napětím totiž roste velikost proudu a tím i ztráty na spínacích prvcích. Pro příklad lze uvést měnič s malým výstupním výkonem 100 W, kdy se proud vypočte jako

$$I_{MAX} = \frac{P}{U_{Bmin}} = \frac{100}{92} = 1,08 \text{ A}, \quad (4.3)$$

$$I_{MIN} = \frac{P}{U_{Bmax}} = \frac{100}{375} = 0,267 \text{ A}, \quad (4.4)$$

kde P je výkon, U_{Bmin} a U_{Bmax} jsou napětí po usměrnění a filtraci.

Z tohoto je patrné, že proud při minimálním napětí je 4x větší než při hodnotě maximální. Pokud by měnič pracoval za standardních podmínek (pro EU), tedy při napětí $U_{IN} = 230 \text{ V}$, potom by proud byl cca 3x menší. Při konstrukci měniče s širokým vstupním rozsahem je tedy dobré proudové dimenzování provádět pro minimální hodnotu vstupního napětí a napěťové dimenzování součástek potom provádět pro maximální hodnotu vstupního napětí.

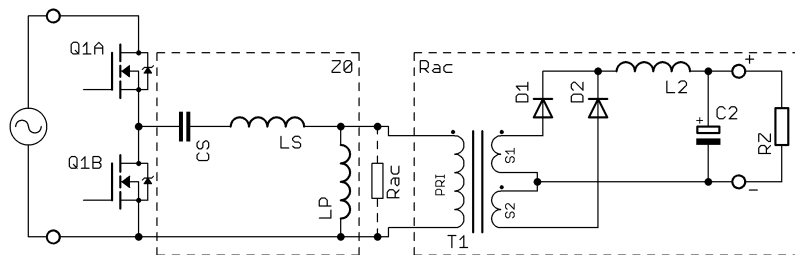
Z hlediska účinnosti je takový měnič relativně nevhodný, protože při standardních podmínkách (provoz na standardní hladině napětí např. 115 V, 230 V, ...) má měnič dobrou účinnost i parametry, ale při okrajových jeho účinnost rapidně klesá. Z tohoto důvodu bylo použití měničů s širokým vstupním rozsahem bez použití korektorů účinníku (PFC) omezeno na zdroje s výkonem do 65 W (viz standard M-CRPS [37]), jako jsou například nabíječky, spotřební elektronika atd. Pro zdroje s vyšším výkonem je vyžadováno použití korektorů účinníku (PFC), které nejen že zvyšují účinnost měničů, ale také eliminují rušení do sítě.

4.2 Rezonanční měniče s širokým vstupním rozsahem napětí

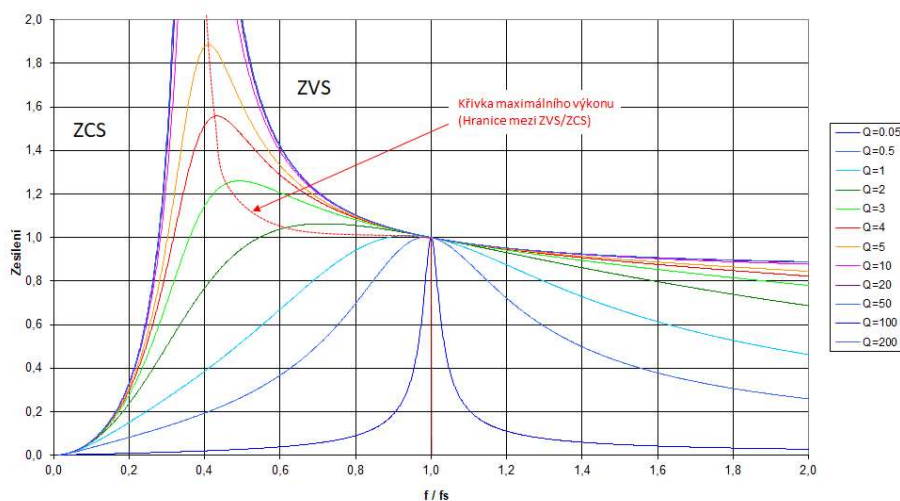
Rezonanční měniče jsou samostatnou kapitolou s ohledem na velikost vstupního napětí. Rezonanční měnič pro příklad LLC umí totiž pracovat na relativně velkém rozsahu napájecího napětí. Tuto skutečnost dokládá frekvenční charakteristika na obrázku 4.2. Jednotlivé křivky činitele jakosti (Q) charakterizují poměr mezi připojenou zátěží a impedancí rezonančního obvodu podle vztahu [1]

$$Q = \frac{n^2 \cdot R_{ac}}{Z_0}, \quad (4.5)$$

kde R_{ac} je ekvivalentní odpor zátěže, n je převodový poměr transformátoru a Z_0 je impedance rezonančního obvodu, viz obrázek 4.1.



Obrázek 4.1 Schématické rozložení impedancí v LLC měniči



Obrázek 4.2 Frekvenční charakteristiky LLC měniče

Potenciál kompenzovat rozptyl vstupního napětí je potom dán potencionální křivkou maximálního výkonu, je tedy omezen velikostí zátěže. Měnič dokáže kompenzovat velikost vstupního napětí vlevo od křivky maximálního výkonu. Tedy pokud dojde ke snížení velikosti vstupního napětí od jmenovité hodnoty napětí, měnič se posune na charakteristice směrem doprava, tím se zvýší zesílení rezonančního obvodu a tím se změna zkompenzuje. Platí, že čím je výstupní zátěž vyšší (menší Q), tím se schopnost kompenzovat snižuje. Měnič by totiž mohl překročit křivku maximálního výkonu a tím se dostat do režimu ZCS, což je nebezpečné. Je proto nutné zajistit, aby měnič pracoval vždy v oblasti ZVS. [38]

Samotná kompenzace v měniči potom probíhá zejména na rezonančních kapacitách. Jelikož měniče pro svou správnou funkci potřebuje, aby napětí na rezonanční kapacitě odpovídalo jmenovité hodnotě napětí. (Pro toto napětí je navržen převodový poměr transformátoru, a tedy i velikost výstupního napětí.) Aby tohoto napětí dosáhl sníží měnič svou frekvenci a tím se dostane do zisku, kdy napětí na rezonanční kapacitě bude vzrůstat, a to i nad velikost napětí vstupního $U_{IN} < U_{CR}$. Zde je dobré zmínit, že měnič nesmí obsahovat „clamp“ diody paralelně s rezonanční kapacitou, jelikož tyto diody omezují velikost napětí na kapacitě maximálně na velikost napětí vstupního $U_{CR} \leq U_{IN}$. Měnič takto dokáže změnou velikosti zesílení kompenzovat velikost vstupního napětí až do limitu daného jeho frekvenční charakteristikou.

Kompenzace má také negativní vliv na ztráty v měniči, jeho účinnost a výkon. Posunem pracovního bodu směrem doleva od rezonančního kmitočtu (f/f_s) dojde k rozlazení rezonančního obvodu, tím dojde ke zvýšení pracovního proudu. Tento proud následně zvýší magnetizaci transformátoru a tím dojde k vyššímu ohřevu vinutí, zároveň se také zvyšují vodivostní ztráty na spínacích tranzistorech a na sekundárním usměrňovači.

Tyto ztráty nejen že zvyšují pracovní teplotu měniče, ale také rapidně snižují účinnost. Je-li žádoucí, aby měl měnič co nejvyšší účinnost, je potřeba použít v ideálním případě stabilní vstupní napětí. To lze například použitím aktivního PFC konvertoru. [38]

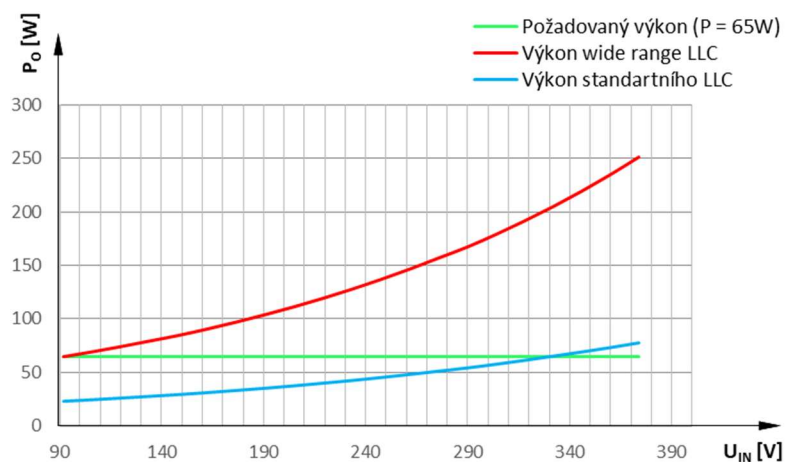
4.3 Výkonová křivka „wide range“ LLC měničů

Měniče LLC s širokým vstupním rozsahem mají jednu zásadní nevýhodu, respektive problém. Ten vychází ze schopnosti těchto měničů kompenzovat velikost vstupního napětí. Aby byl měnič schopný přenášet požadovaný výkon, musí při provozu na nejnižším dovoleném napětí dosáhnout takového zisku, aby napětí na rezonanční kapacitě dosáhlo stejné hodnoty jako při provozu na napětí jmenovitém.

Pokud tedy měnič pracuje na minimálním napětí, dodává výkon odpovídající specifikaci měniče. Problém ale nastává, pokud měnič pracuje na vyšším napětí, protože schopnost měniče kompenzovat velikost napětí se nyní přesune do výkonové oblasti, viz obrázek 4.3. Měnič tedy dokáže dodat vyšší výkon, než na který je konstruovaný. Tento nadlimitní výkon je potom dán poměrem mezi napětím jmenovitým a vstupním.

Pro příklad: je-li „wide range“ měnič s výkonem 65 W připojen na napětí 180 V, kdy jeho jmenovité napětí je 325 V, dokáže takový měnič „dodat“ výkon až cca 120 W. Platí, že čím bude vyšší napětí, tím bude vyšší i „maximální“ výkon. Teoretické maximum je potom podíl mezi maximálním a minimálním napětím měniče, a to může dosahovat až pětinasobku! V praxi to potom znamená, že z měniče konstruovaného na výkon 65 W bude odebíraný výkon 325 W, a to komponenty tohoto měniče nevydrží.

Je vhodné podotknout, že toto přetížení je z pohledu měření jen velmi těžko analogově zjištělné, jelikož měnič nevykazuje žádné anomálie z pohledu řízení. Je proto nutné tento problém řešit aktivní formou (digitálně). Jednou z možností je již dříve zmíněná ochrana typu „true OPP“, která dokáže tento výkon vypočítat a omezit jej na přípustnou mez tak, aby nedošlo k poškození součástek. Jiným řešením je potom měření výstupního výkonu na sekundární straně a následná regulace velikosti výstupního napětí.



Obrázek 4.3 Výkonové křivky pro jednotlivé typy měniče LLC

5. EMULAČNÍ MĚNIČ LLC S ŠIROKÝM ROZSAHEM VSTUPNÍHO NAPĚTÍ

V bakalářské práci [1] byl navržen LLC měnič v topologii polovičního můstku (ang. *half-bridge*), viz obrázek 5.1. Tento měnič byl navržen pro obecnou aplikaci a měl definované následující parametry:

- Vstupní napětí $U_{IN} = 100 \text{ V DC}$
- Výstupní napětí $U_O = 12 \text{ V DC}$
- Jmenovitý výstupní výkon $P_O = 100 \text{ W}$
- Spínací kmitočet při jmenovitém výkonu $f_s = 50\text{--}100 \text{ kHz}$

Mezi další požadavky patřilo zajistit komunikaci pomocí linek LVDS mezi emulační deskou a aplikačním měničem, zprostředkovat měření primárního a sekundárního proudu a zajistit aktivní ochranu proti přepětí (OVP) a proti zkratu spínacích tranzistorů („*cross protection*“). Všechny tyto části byly zrealizovány v rámci bakalářské práce a byly připraveny k připojení k emulační platformě.

Koncept emulačního měniče byl navržen pro aplikace zaměřené na optimalizaci řízení z pohledu kontrolérů pro LLC měniče vyvíjené ve firmě onsemi. V rámci nových vyvíjených systémů pro řízení LLC měničů byl vznesen požadavek, aby byl tento měnič upraven na měnič s širokým vstupním rozsahem. Záměr této úpravy je budoucí testování nové metody ochrany proti přetížení („*True OPP*“), která se využívá u měničů LLC pracujících na širokém rozsahu vstupního napětí. Z tohoto důvodu bude zapotřebí provést určité úpravy na emulačním měniči, a to jak z pohledu silové části, tak z pohledu části komunikační.

5.1 Úprava emulačního LLC měniče

Každý měnič je podle svých vlastností zařazen do určité kategorie napájecích zdrojů [46]. V rámci mezinárodních standardů jsou pro tyto kategorie definované provozní podmínky. Například každé kategorii náleží určitý rozsah účinností, výkonu, přesnosti výstupního napětí atd. Například u měničů určených pro servery je třeba zaručit napájení i při krátkodobém výpadku sítě nebo umožnit dodávat výkon i při přetížení v řádu několika procent. Většina podmínek se ale týká měničů s velkým výkonem nebo měničů, které jsou pro specializované aplikace například v medicíně.

Měnič s širokým vstupním rozsahem, neboli „*wide range*“, bez korekce účinníku (bez PFC) spadá do kategorie měničů s nízkým výkonem, který se v dnešní době používá pro napájení malých zařízení a spotřební elektroniky. Pro tento typ měniče jsou definovány určité parametry vycházející ze standardu M-CRPS [37]. Navrhovaný měnič bude tedy přebírat některé parametry z standardu a ostatní parametry jsou zvoleny vzhledem k aplikaci.

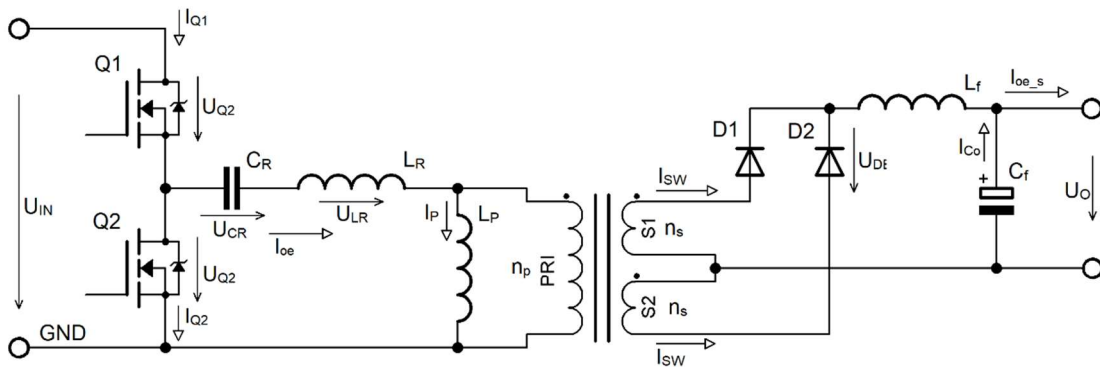
Parametry měniče:

- | | |
|-----------------------------|--|
| • Jmenovitý výstupní výkon | $P_O = 65 \text{ W}$ |
| • Rozsah vstupního napětí | $U_{AC} = 65 \text{ V} - 265 \text{ V AC}$ |
| • Výstupní napětí | $U_O = 12 \text{ V DC}$ |
| • Dovolené přetížení měniče | $P_{Omax(\%)} = 115 \%$ |
| • Zvlnění výstupního napětí | $\Delta U_{O(\%)} = \pm 5 \%$ |

Tyto parametry ale nejsou závazné a pro účely této práce nemusí být všechny splněny, jde pouze o zařazení měniče do určité kategorie z pohledu výkonu. Hlavním účelem této práce bude ověření inovativní metody „*true OPP*“ pro regulaci výkonu měniče. Tento koncept ochrany samozřejmě může být použitý i pro jiné kategorie měničů.

5.2 Numerický návrh LLC měniče s širokým rozsahem vstupního napětí

V této části práce budou přepočítány parametry dosavadního emulačního měniče LLC na nové parametry splňující výše uvedené parametry měniče s širokým vstupním rozsahem. Jednotlivé kroky návrhu se opírají o dříve zpracovaný numerický návrh uvedený v bakalářské práci [1]. Schéma upravovaného rezonančního měniče LLC je zobrazeno na obrázku 5.1.



Obrázek 5.1 Zapojení LLC měniče v topologii half-bridge

5.2.1 Definování dalších vstupních parametrů pro návrh

U tohoto návrhu vycházejí základní vstupní parametry ze standardu. Další níže definované parametry upřesňující návrh mohou být variabilní a jsou voleny na základně přání zákazníka nebo dané aplikace. Pro tuto aplikaci jsou zvoleny následující parametry:

- Spínací kmitočet při jmenovitém výkonu $f_s = 50\text{--}100 \text{ kHz}$
- Minimální hodnota výstupního napětí $U_{O_min} = 11,4 \text{ V DC}$ vztah (5.5)
- Maximální hodnota výstupního napětí $U_{O_max} = 12,6 \text{ V DC}$ vztah (5.4)
- Nominální hodnota vstupního napětí $U_{in} = 325 \text{ V DC}$ vztah (5.1)
- Minimální hodnota vstupního napětí $U_{in_min} = 92 \text{ V DC}$ vztah (5.3)
- Maximální hodnota vstupního napětí $U_{in_max} = 374 \text{ V DC}$ vztah (5.2)
- Účinnost $\eta > 90 \%$

Nominální hodnota vstupního napětí byla zvolena $U_N = 230 \text{ V}$ střídavého napětí (AC). Tato hodnota odpovídá standardní hodnotě napětí v síti v rámci střední Evropy, tedy místa, kde by mohl být potencionální měnič provozován. Stejnou hodnotu tohoto napětí U_{in} lze získat ze vztahu pro maximální hodnotu amplitudy sinusového signálu

$$U_{in} = U_N \cdot \sqrt{2} = 230 \cdot \sqrt{2} = 325 \text{ V.} \quad (5.1)$$

Mezní hodnoty vstupního napětí U_{in_min} a U_{in_max} potom vycházejí z parametrů daných normou, tedy z rozsahu $U_{AC} = 65 \text{--}265 \text{ V}$. Pro maximální hodnotu vstupního napětí platí vztah

$$U_{in_max} = U_{AC(\max)} \cdot \sqrt{2} = 265 \cdot \sqrt{2} = 374 \text{ V.} \quad (5.2)$$

Pro minimální hodnotu vstupního napětí platí vztah

$$U_{in_min} = U_{AC(\min)} \cdot \sqrt{2} = 65 \cdot \sqrt{2} = 92 \text{ V.} \quad (5.3)$$

Výpočet maximální hodnoty výstupního napětí platí vztah

$$U_{O_max} = U_O \cdot \left(1 + \frac{+\Delta U_{O(\%)}}{100}\right) = 12 \cdot \left(1 + \frac{+5}{100}\right) = 12,6 \text{ V,} \quad (5.4)$$

pro výpočet minimální hodnoty výstupního napětí pak platí vztah

$$U_{O_min} = U_O \cdot \left(1 + \frac{-\Delta U_{O(\%)}}{100}\right) = 12 \cdot \left(1 + \frac{-5}{100}\right) = 11,4 \text{ V,} \quad (5.5)$$

kde hodnoty vycházejí z dovoleného zvlnění $\Delta U_{O(\%)} = \pm 5 \%$ a jmenovité hodnoty vstupního napětí U_O .

Krok 1: Výpočet převodového poměru

Hodnota výstupního napětí je dána převodovým poměrem n transformátoru. Tento převodový poměr platí v okamžiku, kdy měnič pracuje v oblasti rezonančního kmitočtu f_r . Je-li měnič v rezonanci, dosahuje přenos rezonančního obvodu $M_g = 1$. Pro tuto aplikaci je jmenovité vstupní napětí $U_{in} = 325$ V a jmenovité výstupní napětí $U_O = 12$ V. Převodový poměr transformátoru je potom je podle vztahu

$$n = M_g \cdot \frac{U_{in}}{2 \cdot U_O} = 1 \cdot \frac{325}{2 \cdot 12} = 13,54 (-). \quad (5.6)$$

Reálné číslo je nutné ho zaokrouhlit nahoru na celé číslo, protože počet závitů musí být celé číslo tedy $n = 14$.

Krok 2: Výpočet stejnosměrného zesílení

LLC měnič musí být schopen dodávat do zátěže jmenovitý výkon, jelikož ale může docházet ke změně velikosti vstupního napětí, je nutné zajistit potřebné stejnosměrné zesílení. Mohou nastat dva krajní případy. První nastává, pokud je výstupní napětí na minimální hodnotě U_{O_min} a vstupní napětí má maximální hodnotu U_{in_max} , potom se musí celkový zisk snížit. Pro tuto minimální hodnotu zisku M_{g_min} platí vztah

$$M_{g_min} = \frac{n \cdot (U_{O_min} + U_f)}{U_{in_max}} = \frac{14 \cdot (11,4 + 1)}{\frac{374}{2}} \doteq 0,93 (-), \quad (5.7)$$

kde hodnota úbytku napětí na diodě v propustném směru je odhadována na $U_f = 1$ V, $U_{in_max} = 374$ V a $U_{O_min} = 11,4$ V.

Druhým krajní případ nastává v okamžiku, kdy hodnota výstupního napětí je na maximální hodnotě U_{O_max} a vstupní napětí má hodnotu minimální U_{in_min} . Potom měnič musí svůj zisk zvýšit. Pro tento krajní stav se do výpočtu projeví také ztráty dané účinností, jelikož i tyto ztráty musí měnič kompenzovat. Tyto ztráty se vyjadřují pomocí napětí U_{loss} a jsou dány vztahem

$$U_{loss} = \frac{\frac{P_O}{\eta} \cdot (100 - \eta)}{I_O} = \frac{\frac{100}{90} \cdot (100 - 90)}{5,42} \doteq 1,33 \text{ V}, \quad (5.8)$$

kde zadaná účinnost je $\eta > 90$ %, jmenovitá hodnota výstupního výkonu $P_O = 65$ W a proudu $I_O = 5,42$ A při jmenovité hodnotě výstupního napětí $U_O = 12$ V, který je dán vztahem

$$I_O = \frac{P_O}{U_O} = \frac{65}{12} = 5,42 \text{ A}. \quad (5.9)$$

Pro maximální hodnotu zisku M_{g_max} potom platí vztah

$$M_{g_max} = \frac{n \cdot (U_{O_max} + U_f + U_{loss})}{\frac{U_{in_min}}{2}} = \frac{14 \cdot (12,6 + 1 + 1,33)}{\frac{92}{2}} \doteq 4,54 (-), \quad (5.10)$$

kde $n = 14$, $U_{O_max} = 12,6$ V, $U_f = 1$ V, $U_{loss} = 1,33$ V, $U_{in_min} = 92$ V.

Tato hodnota zesílení pro $M_{g_max} = 4,54$ (-) je pro jmenovitou hodnotu výkonu $P_O = 65$ W, je ovšem nutné, aby měnič pracoval korektně i při dovoleném přetížení $P_{Omax(\%)} = 115$ %. Toto přetížení zvedne úroveň požadovaného zisku na hodnotu danou vztahem

$$M_{g_peak} = M_{g_max} \cdot \frac{P_{Omax(\%)}}{100} = 4,54 \cdot \frac{115}{100} \doteq 5,23 (-). \quad (5.11)$$

Tato hodnota $M_{g_peak} = 5,23$ (-) je poměrně vysoká hodnota zesílení, ale měnič si s ní poradí díky paralelní rezonanci.

Krok 3: Výpočet ekvivalentního rezistoru zátěže

Tento rezistor označovaný jako R_{ac} reprezentuje odpor připojené zátěže na sekundární straně přepočítaný na stranu primární skrz převodový poměr transformátoru. Tento odpor má dvě hodnoty, jedna hodnota je počítána pro normální zatížení, tedy pro P_O , a druhá hodnota odpovídá výkonu s dovoleným přetížením $P_{Omax(\%)}$. Odpor pro $P_O = 65$ W je dán vztahem

$$R_{ac} = \frac{8 \cdot n^2}{\pi^2} \cdot \frac{U_O^2}{P_O} = \frac{8 \cdot 14^2}{\pi^2} \cdot \frac{12^2}{65} \doteq 352 \Omega, \quad (5.12)$$

kde $n = 14$ je převodový poměr transformátoru, $U_O = 12$ V je jmenovité výstupní napětí a $P_O = 65$ W je jmenovitý výkon měniče.

Hodnota odporu při dovolené přetížení $P_{Omax(\%)} = 115$ % je potom dána vztahem

$$R_{ac} = \frac{8 \cdot n^2}{\pi^2} \cdot \frac{U_O^2}{P_O \cdot \frac{P_{Omax}}{100}} = \frac{8 \cdot 14^2}{\pi^2} \cdot \frac{12^2}{65 \cdot \frac{115}{100}} \doteq 306 \Omega, \quad (5.13)$$

kde $U_O = 12$ V, $P_O = 65$ W, $n = 14$ a hodnota dovoleného přetížení v procentech je $P_{Omax(\%)} = 115$ %.

Krok 4: Výpočet energií v rezonančního obvodu

Návrh tohoto měniče není standardní, protože jak již bylo zmíněno, LLC měniče nejsou primárně určeny k provozu na širokém rozsahu vstupního napětí. Z tohoto důvodu se bude muset část výpočtů provést jiným způsobem.

Měníč LLC musí pracovat za všech okolností v režimu ZVS. Princip režimu ZVS spočívá v tom, že se za pomoci magnetizačního proudu I_p vybije kapacita mezi D a S spínacích tranzistorů C_{eq} , kapacita usměrňovacích diod a další parazitní kapacity v obvodu. Proto je pro dodržení ZVS nejkritičtější stav naprázdno. Nejhorší možný stav naprázdno nastává při maximální hodnotě vstupního napětí U_{in_max} a prakticky nulové zátěži na výstupu $P_O = 0$ W. Aby v tomto stavu bylo zajištěno, že dojde k vybití kapacity C_{eq} a všech dalších parazitních kapacit musí tlumivky (L_R a L_P) dodat i při proudu I_{p_min} dostatečnou energii. Energie uložená v tlumivkách je závislá na její velikosti, spínacím kmitočtu a minimálním proudu rezonančním obvodem I_{p_min} .

Pro výpočet energie, která je uložena ve spínacích tranzistorech C_{eq} , využijeme vzorec

$$\begin{aligned} W_C &= \frac{1}{2} \cdot (2 \cdot C_{eq}) \cdot U_{in_max}^2 = \\ &= \frac{1}{2} \cdot (2 \cdot 95 \cdot 10^{-12}) \cdot 374^2 \doteq 14 \mu J, \end{aligned} \quad (5.14)$$

kde $U_{in_max} = 374$ V a C_{eq} je rovná kapacitě C_{DS} mezi D a S tranzistorů MOSFET, v tomto návrhu bude použit tranzistor FCP11N60 fy. onsemi [47], který má definovanou kapacitu dle katalogového listu $C_{oss} = C_{DS} = C_{eq} = 95$ pF.

Energie uložená v indukčnostech (L_P a L_R), která je potřebná pro správný chod v režimu ZVS při nejhorších podmínkách, by měla být alespoň 2x větší než kapacitní energie W_C , dále je dobré započítat výrobní rozptyl přibližně 10 %. Velikost magnetizační energie W_L je potom dána vztahem

$$W_L > (2 \cdot W_C) \cdot 1,1 = (2 \cdot 14 \cdot 10^{-6}) \cdot 1,1 \rightarrow 31 \mu J, \quad (5.15)$$

kde $W_C = 14 \mu J$ je energie uložená v C_{eq} spínacích tranzistorech.

Nyní za pomoci této indukční energie určíme celkovou velikost indukčnosti rezonančního obvodu vyjádřenou z těchto vztahů: Minimálního magnetizačního proudu I_{p_min} daného vztahem

$$I_{p_min} = 0,901 \cdot \frac{n \cdot U_o}{2 \cdot \pi \cdot f_{s_lim} \cdot L_C} [A], \quad (5.16)$$

kde U_O hodnota výstupního napětí, n je převodový poměr transformátoru, f_{s_lim} je limitní maximální spínací kmitočet daný oscilátorem a L_C je celková indukčnost magnetizační a rezonanční paralelní tlumivky.

A velikosti indukční energie W_L dané vztahem

$$W_L = \frac{1}{2} \cdot L_C \cdot (I_{p_min} \cdot \sqrt{2})^2 [J], \quad (5.17)$$

kde L_C je velikost celkové indukčnosti a I_{p_min} je minimální hodnota magnetizačního proudu.

Krok 5: Výpočet L_R , L_P a určení hodnoty C_R

Velikost indukčnosti L_C potom bude dána vyjádřením z výše uvedených rovnic jako

$$L_C = \frac{1}{2} \cdot \frac{1}{W_L} \cdot \left(\frac{0,901 \cdot n \cdot U_O}{2 \cdot \pi \cdot f_{s_lim}} \cdot \sqrt{2} \right)^2 [H], \quad (5.18)$$

kde U_O hodnota výstupního napětí, n je převodový poměr transformátoru, f_{s_lim} je limitní maximální spínací kmitočet daný oscilátorem a W_L je velikosti požadované induktivní energie.

Po dosazení získáme velikost L_C rovnou

$$\begin{aligned} L_C &= \frac{1}{2} \cdot \frac{1}{W_L} \cdot \left(\frac{0,901 \cdot n \cdot U_O}{2 \cdot \pi \cdot f_{s_lim}} \cdot \sqrt{2} \right)^2 = \\ &= \frac{1}{2} \cdot \frac{1}{31 \cdot 10^{-6}} \cdot \left(\frac{0,901 \cdot 14 \cdot 12}{2 \cdot \pi \cdot 250000} \cdot \sqrt{2} \right)^2 \doteq 300 \mu H, \end{aligned} \quad (5.19)$$

kde $U_O = 12$ V, $n = 14$, $W_L = 31 \mu\text{J}$ a $f_{s_lim} = 250$ kHz, což je maximální uvážená hodnota kmitočtu, který dokáže generovat řídicí obvod.

Poměr indukčností m vyjadřuje podíl mezi sériovou indukčností L_R a paralelní indukčností L_P dle vztahu

$$m = \frac{L_P}{L_R} [-]. \quad (5.20)$$

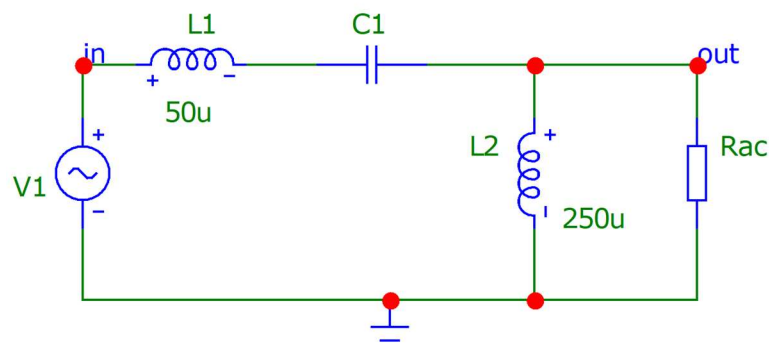
Jelikož je velikost indukčnosti L_C složená z dílčích indukčností L_R a L_P , přepočtením na základě zvoleného poměru m lze získat jejich vzájemnou velikost dle vztahů

$$L_P = L_C \cdot \frac{m}{1+m} = 300 \cdot 10^{-6} \cdot \frac{5}{1+5} = 250 \mu H \text{ a} \quad (5.21)$$

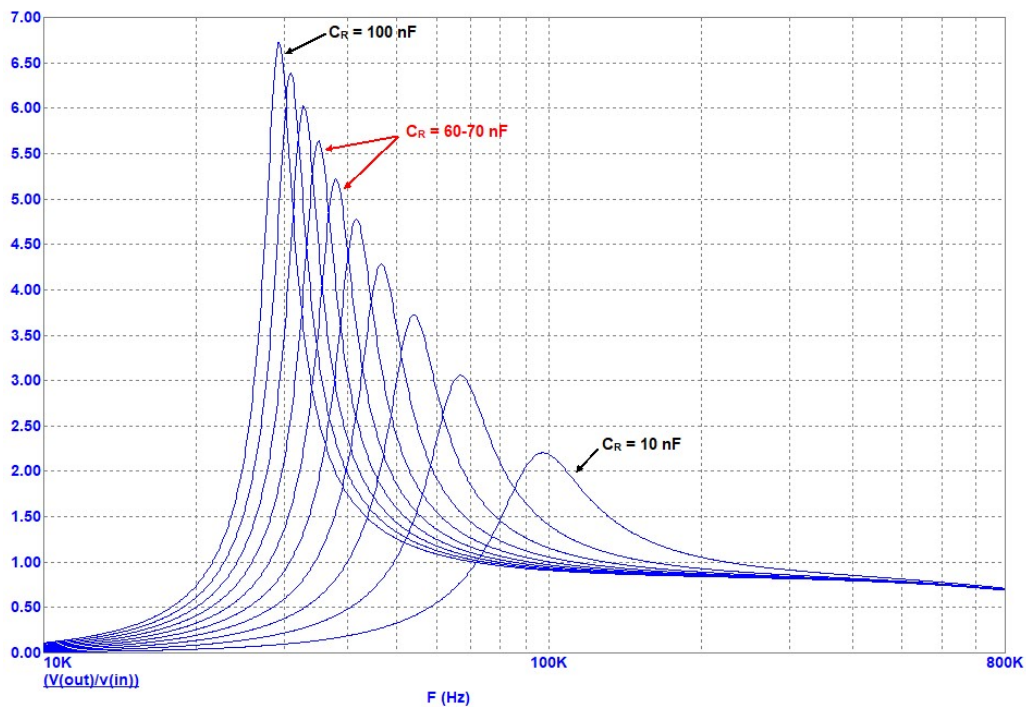
$$L_R = \frac{L_P}{m} = \frac{250 \cdot 10^{-6}}{5} = 50 \mu H, \quad (5.22)$$

kde $L_C = 300 \mu\text{H}$ a $m = 5$.

Pro určení poslední rezonanční komponenty, a to rezonanční kapacity C_R , využijeme simulace, například AC analýzu v programu Micro-Cap [7]. Na obrázku 5.2 je zapojení rezonančního obvodu pro simulaci, kde známé hodnoty jsou $L_R = 50 \mu\text{H}$ (L1), $L_P = 50 \mu\text{H}$ (L2) a $R_{ac} = 306 \Omega$. Proměnou je kapacita C_R (C1), krokováním této kapacity jsou získány křivky zesílení rezonančního obvodu dané činitelem jakosti Q_e . Z těchto křivek 5.3 byla vybrána velikost kapacity C_R v rozmezí 60 – 70 nF, kdy má rezonanční obvod dostatečné zesílení $M_g > M_{g_peak} = 5,23$ a kmitočet pro tuto kapacitu je ještě bezpečně nad slyšitelným spektrem ($f > 22$ kHz).



Obrázek 5.2 Schéma zapojení pro frekvenční simulaci 1



Obrázek 5.3 Zisk měniče při změně rezonanční kapacity

Standardní polypropylénové kondenzátory se nevyrábějí ve všech hodnotách, je nutné kapacitu zvolit tak, aby odpovídala nejlépe řadě E6. Rezonanční kapacita je tvořena dvěma kondenzátory, velikost tedy musí být dělitelná dvěma. Vybraná hodnota $C_R = 66 \text{ nF}$ po rozdělení na dva kondenzátory 33 nF .

Krok 6: Výpočet a určení frekvencí f_0 , f_{s_min} , f_{s_max} a výpočet parametru Q_e

Hodnota činitele jakosti rezonančního obvodu se označuje Q_e a je závislá na rezonančních prvcích L_R , C_R a ekvivalentním odporu R_{AC} dle vztahu

$$Q_e = \frac{\sqrt{\frac{L_R}{C_R}}}{R_{ac}} = \frac{\sqrt{\frac{50 \cdot 10^{-6}}{66 \cdot 10^{-9}}}}{306} = 0,09 (-), \quad (5.23)$$

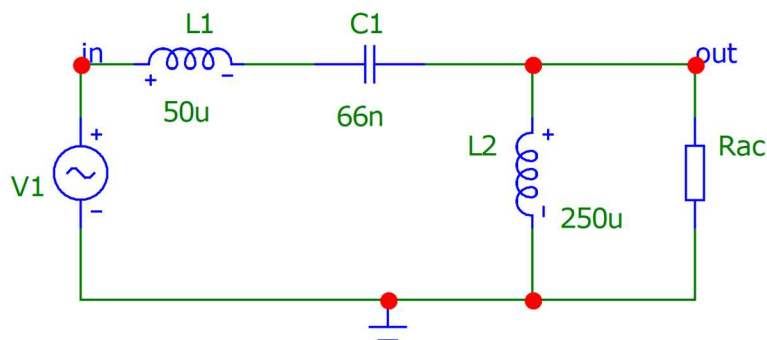
kde $L_R = 50 \mu\text{H}$ je indukčnost rezonanční tlumivky, $C_R = 66 \text{ nF}$ je velikost rezonanční kapacity a $R_{ac} = 306 \Omega$ je ekvivalentní odpor zátěže přepočtený na primární stranu s dovoleným přetížením.

Z parametrů rezonančního obvodu lze také určit jmenovitý spínací kmitočet daný vztahem

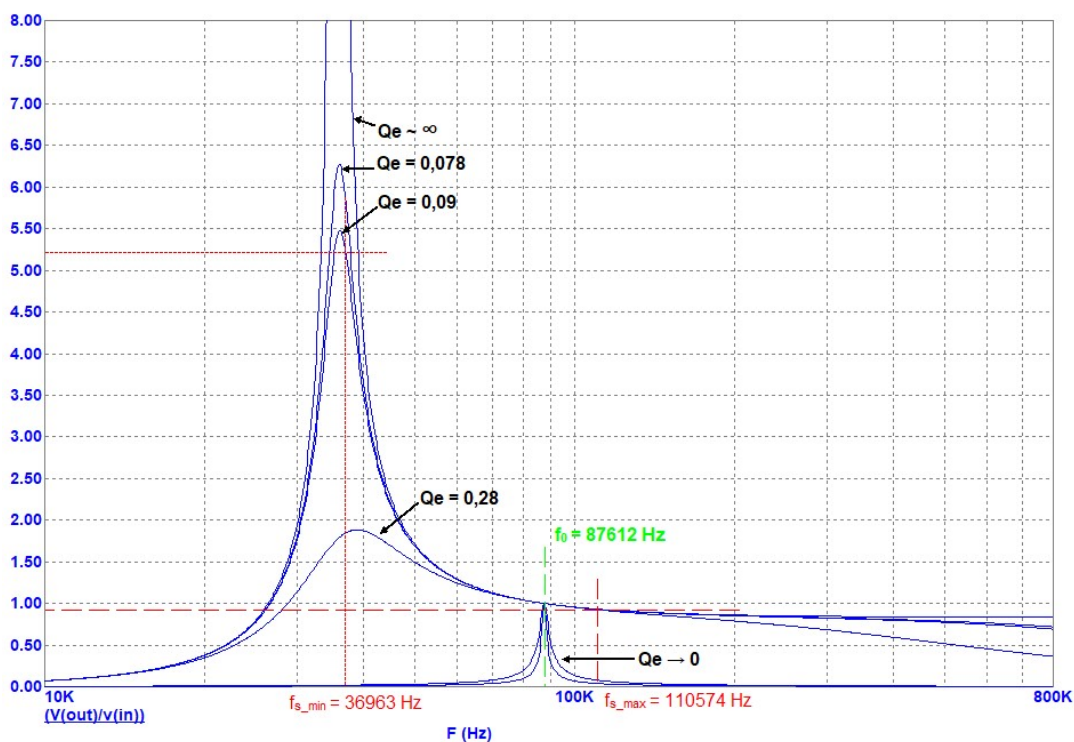
$$f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{C_R \cdot L_R}} = \frac{1}{2 \cdot \pi \cdot \sqrt{66 \cdot 10^{-9} \cdot 50 \cdot 10^{-6}}} \doteq 87612 \text{ Hz}, \quad (5.24)$$

kde $C_R = 66 \text{ nF}$ a $L_R = 50 \mu\text{H}$.

Pro určení f_{s_min} a f_{s_max} se využije simulace a následné grafické odečtení hodnot. Schéma simulovaného rezonančního obvodu je zobrazeno na obrázku 5.4. Jedná se o stejné schéma jako je na obrázku 5.5, akorát s tím rozdílem, že se nyní krokuje parametr R_{ac} . Výsledek AC analýzy z programu Micro-Cap [7] je vidět na obrázku 5.5.



Obrázek 5.4 Schéma zapojení pro frekvenční simulaci 2



Obrázek 5.5 Frekvenční charakteristiky navrhovaného měniče

Z grafu 5.5 byly odečteny hodnoty:

$$f_{s_min} = 36963 \text{ Hz, pro } M_{g_max} = 5,23; R_{ac} = 306 \Omega \sim Q_e = 0,09$$

$$f_{s_max} = 110574 \text{ Hz, pro } M_{g_min} = 0,93; R_{ac} = 306 \Omega \sim Q_e = 0,09$$

$$f_0 = 87612 \text{ Hz, při } M_g = 1,00.$$

Krok 7: Výpočet proudových poměrů v měniči

Efektivní hodnota proudu tekoucího primárním vinutím při dovoleném přetížení $P_{Omax(\%)} = 115 \%$, je dána vztahem

$$I_{oe} = \frac{\pi}{2 \cdot \sqrt{2}} \cdot \frac{I_O \cdot \left(\frac{P_{Omax(\%)}}{100} \right)}{n} = \frac{\pi}{2 \cdot \sqrt{2}} \cdot \frac{5,42 \cdot \left(\frac{115}{100} \right)}{14} \doteq 0,49 \text{ A}, \quad (5.25)$$

kde $U_O = 12 \text{ V}$, $n=14$ a $I_O = 5,42 \text{ A}$.

Proud paralelní (magnetizační) cívkou při maximálním zatížení je dán vztahem

$$I_P = 0,901 \cdot \frac{n \cdot U_O}{2 \cdot \pi \cdot f_{s_min} \cdot L_P} = 0,901 \cdot \frac{14 \cdot 12}{2 \cdot \pi \cdot 36963 \cdot 250 \cdot 10^{-6}} = 2,61 \text{ A}, \quad (5.26)$$

kde $f_{s_min} = 36963 \text{ Hz}$, $L_P = 250 \mu\text{H}$, $U_O = 12 \text{ V}$, $n = 14$.

Proud celým rezonančním obvodem I_R při $f_{s_min} = 36963$ Hz je dán vztahem

$$I_R = \sqrt{I_{oe}^2 + I_P^2} = \sqrt{0,49^2 + 2,61^2} = 2,65 \text{ A}, \quad (5.27)$$

kde $I_P = 2,61$ A, $I_{oe} = 0,49$ A.

Na sekundární straně poteče efektivní proud I_{oe_s} , který je dán vztahem

$$I_{oe_s} = n \cdot I_{oe} = 14 \cdot 0,49 = 6,92 \text{ A}, \quad (5.28)$$

kde $n = 14$ a $I_{oe} = 0,49$ A.

Hodnota proudu na sekundární straně tekoucího jedním vinutím I_{SW} je dána vztahem

$$I_{SW} = \frac{I_{MAX}}{2} = \frac{I_{oe_s} \cdot \sqrt{2}}{2} = \frac{6,92 \cdot \sqrt{2}}{2} = 4,89 \text{ A}, \quad (5.29)$$

kde $I_{oe_s} = 6,92$ A.

Střední hodnota v čase jedné půlvlny I_{SAV} je dána vztahem

$$I_{SAV} = \frac{I_{MAX}}{\pi} = \frac{I_{oe_s} \cdot \sqrt{2}}{\pi} = \frac{6,92 \cdot \sqrt{2}}{\pi} = 3,11 \text{ A}, \quad (5.30)$$

kde $I_{oe_s} = 6,92$ A.

Krok 8: Proudové a napěťové dimenzování součástek

Velikost napětí na rezonanční tlumivce je dána vztahem

$$\begin{aligned} U_{LR} &= 2 \cdot \pi \cdot f_{s_min} \cdot L_R \cdot I_R = \\ &= 2 \cdot \pi \cdot 36963 \cdot 50 \cdot 10^{-6} \cdot 2,65 = 30,81 \text{ V}, \end{aligned} \quad (5.31)$$

kde $f_{s_min} = 36963$ Hz, $I_R = 2,65$ A, $L_R = 50$ μ H.

Velikost napětí na rezonanční kapacitě je dána vztahem

$$U_{CR} = \frac{I_R}{2 \cdot \pi \cdot f_{s_min} \cdot C_R} = \frac{2,65}{2 \cdot \pi \cdot 36963 \cdot 66 \cdot 10^{-9}} \doteq 218 \text{ V}, \quad (5.32)$$

kde $f_{s_min} = 36963$ Hz, $I_R = 2,65$ A, $C_R = 66$ nF.

Efektivní hodnota napětí na rezonanční kapacitě dle vztahu

$$U_{CR_RMS} = \sqrt{\left(\frac{U_{in_max}}{2}\right)^2 + U_{CR}^2} = \sqrt{\left(\frac{374}{2}\right)^2 + 218^2} \doteq 287 \text{ V}, \quad (5.33)$$

kde $U_{CR} = 218$ V, $U_{in_max} = 374$ V.

Maximální hodnotu napětí na kapacitě dle vztahu

$$U_{CR_PEAK} = \frac{U_{in_max}}{2} + \sqrt{2} \cdot U_{CR} = \frac{374}{2} + \sqrt{2} \cdot 218 = 495 \text{ V}, \quad (5.34)$$

kde $U_{CR} = 218 \text{ V}$, $U_{in_max} = 374 \text{ V}$.

Maximální velikost napětí, které se může objevit na kapacitě při provozu měniče, je U_{CR_PEAK} . Pro spolehlivý provoz je nutné dimenzovat kondenzátory na napětí alespoň o 50 % větší, než je hodnota U_{CR_PEAK} , v tomto případě na napětí cca 1000 V. Dále při volbě kapacity je nutné zohlednit AC a DC napětí na této kapacitě.

Na tranzistorech může být podle vztahu

$$U_{Q1_PEAK} = U_{Q2_PEAK} = U_{in_max} = 374 \text{ V} \quad (5.35)$$

napětí rovné maximální hodnotě napájecího napětí a proud, který bude maximálně spínán, odpovídá proudu rezonančního obvodu dle vztahu

$$I_{Q1_RMS} = I_{Q2_RMS} = I_R = 2,65 \text{ A}. \quad (5.36)$$

Velikost blokovacího napětí u diod na sekundární straně je dáno vztahem

$$U_{DB} = \frac{U_{in_max}}{n} \cdot 2 = \frac{374}{14} \cdot 2 = 27 \text{ V}, \quad (5.37)$$

kde $U_{in_max} = 374 \text{ V}$ a $n=14$.

Sekundární usměrňovací diody by měly být dimenzovány na minimální hodnotu blokovacího napětí U_{DB} , ale v praxi je vhodné zvolit hodnotu alespoň dvakrát větší. Proud diodami v propustném směru odpovídají proudu $I_{SAV} = 3,11 \text{ A}$. Maximální proud tekoucí je $I_{SW} = 4,89 \text{ A}$. Dimenzování diod se stanoví dle proudu I_{SW} , ale je vhodné vytvořit rezervu, tedy diody dimenzovat na proud alespoň 2x I_{SW} .

Proud tekoucí z výstupní kapacity I_{Co} je dán vztahem

$$I_{Co} = \sqrt{\frac{\pi^2}{8} - 1} \cdot I_O = \sqrt{\frac{\pi^2}{8} - 1} \cdot 5,42 = 2,62 \text{ A}, \quad (5.38)$$

kde proud $I_O = 5,42 \text{ A}$.

Výpočet maximálního sériového odporu (ESR) výstupní kapacity dle vztahu

$$ESR_{max} = \frac{U_{O_max} - U_{O_min}}{\left(\frac{\pi}{4} I_O\right)^2} = \frac{12,6 - 11,4}{\left(\frac{\pi}{4} \cdot 5,42\right)^2} = 0,141 \Omega = 141 \text{ m}\Omega, \quad (5.39)$$

kde $U_{O_max} = 12,6 \text{ V}$, $U_{O_min} = 11,4 \text{ V}$ a $I_O = 5,42 \text{ A}$.

Krok 9: Ověření platnosti podmínek ZVS

Jelikož tento návrh vycházel z podmínek pro splnění ZVS na celém rozsahu vstupního napětí včetně krajních podmínek, jsou podmínky tykající se energií W_L a W_C splněny stejně jako podmínky ZVS. Pro úplnost návrhu zde chybí pouze výpočet minimálního času pro vybití kapacity ve spínacích tranzistorech C_{DS} . Pro normální pracovní podmínky je čas dán vztahem

$$t_{dead} \geq 16 \cdot C_{eq} \cdot f_{s_max} \cdot L_P$$
$$t_{dead} \geq 16 \cdot 95 \cdot 10^{-12} \cdot 110574 \cdot 250 \cdot 10^{-6} \text{ s} \quad (5.40)$$

$$t_{dead} \geq 42 \text{ ns},$$

kde $C_{eq} = 95 \text{ pF}$, $f_{s_max} = 110574$ a $L_P = 250 \text{ }\mu\text{H}$.

Čas t_{dead} pro limitní hodnotu kmitočtu $f_{s_lim} = 250 \text{ kHz}$ je potom

$$t_{dead} \geq 16 \cdot C_{eq} \cdot f_{s_max} \cdot L_P$$
$$t_{dead} \geq 16 \cdot 95 \cdot 10^{-12} \cdot 250000 \cdot 250 \cdot 10^{-6} \text{ s} \quad (5.41)$$

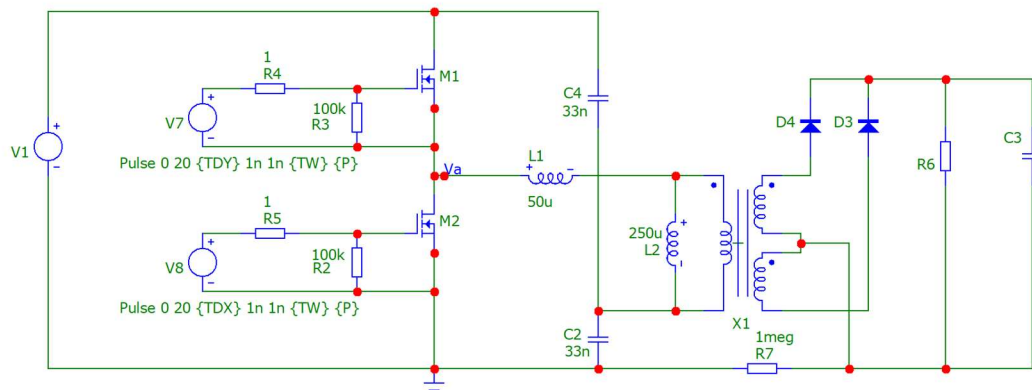
$$t_{dead} \geq 95 \text{ ns},$$

Nastavení času mezi vypnutím jednoho tranzistoru a sepnutím tranzistoru druhého musí tedy být pro standardní podmínky alespoň 42ns, pro okrajové podmínky potom větší než 95ns.

5.3 Simulace navrženého měniče

Před praktickou úpravou měniče je vhodné provést simulaci, při které se ověří základní parametry měniče, mezi které patří podmínky ZVS a průběhy proudů. Je ovšem jisté, že vzhledem k charakteru měniče budou výsledné simulované průběhy částečně zkresleny, jelikož simulátor počítá ve většině případů s ideálními komponentami (například transformátor) a většina součástek disponuje parazitními vlastnostmi, které by se do simulace jen těžko vkládaly.

Simulace byla provedena v programu Micro-Cap [7], kde bylo vytvořeno schéma parametrově odpovídající měniči typu LLC realizovaného na emulační platformě, viz obrázek 5.6. Ve schématu nahrazují zdroje $V7$ a $V8$ budiče tranzistorů (často označované jako DRVH a DRVL), zdroj $V1$ reprezentuje zdroj síťového napětí. Rezistor R_6 na sekundární straně představuje ideální jmenovitou zátěž měniče. Transformátor $X1$ má převodový poměr 14:1:1 a jedná se o ideální transformátor.

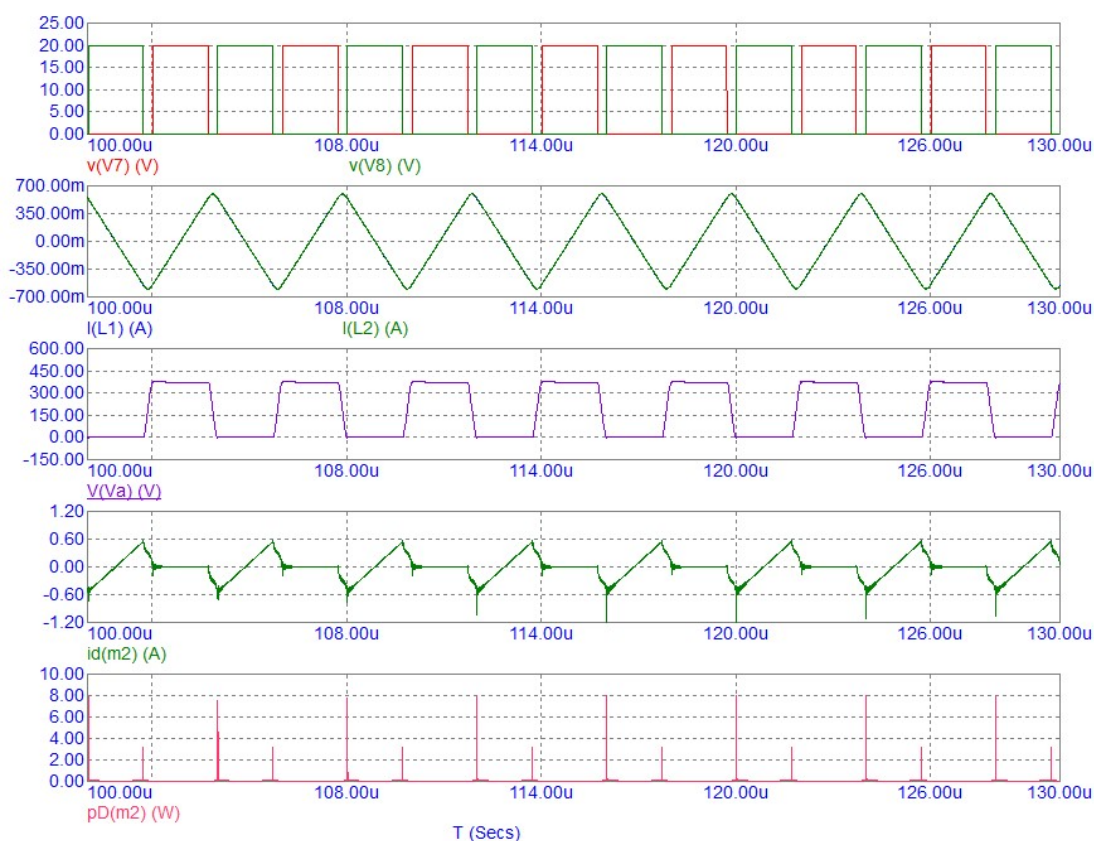


Obrázek 5.6 Schéma pro simulaci navrženého LLC měniče

5.3.1 Simulace chodu naprázdno

Na obrázku 5.7 jsou zobrazeny průběhy napětí proudů a ztrátového výkonu měniče při chodu naprázdno. Chodem naprázdno se rozumí maximální možné napětí $U_{in_max} = 374$ V a na výstup není připojena žádná zátěž, měnič v tomto okamžiku pracuje na limitním kmitočtu $f_{s_lim} = 250$ kHz. Pro účely simulace byl na výstup připojen odpor $R_6 = 100$ k Ω .

Z průběhu výkonové ztráty tranzistoru $M2$ – ($pD(m2)$) na obrázku 5.7 vyplývá, že měnič pracuje v režimu ZVS, jelikož výkonová ztráta na tranzistoru je prakticky „nulová“. Výkonové špičky na průběhu jsou způsobeny nejen ztrátami mezi D a S , ale taky ztrátami vybíjení kapacity mezi G a S , protože simulátor neumí separovat jednotlivé výkonové interní ztráty. V tomto režimu provozu také platí, že proudy procházející rezonanční tlumivkou ($L1$) a magnetizační tlumivkou ($L2$) jsou si rovny a mají trojúhelníkový průběh.



Obrázek 5.7 Průběhy napětí, proudu a výkonu v LLC měniči naprázdno

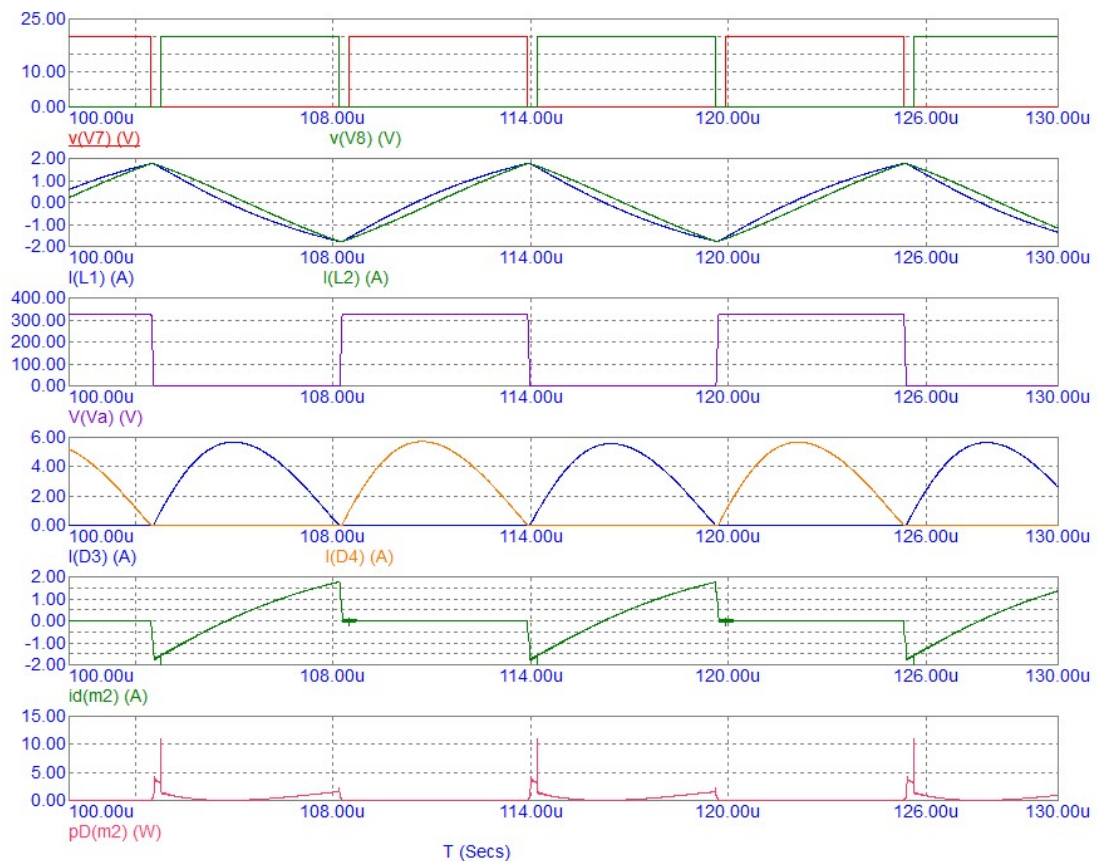
5.3.2 Simulace pro jmenovitou zátěž

Jmenovitou zátěží, se rozumí provoz při vstupním napětí $U_{in} = 325 \text{ V}$ a výstupním výkonu 65 W , který odpovídá zatěžovacímu rezistoru $R_6 = 2,4 \Omega$. Měnič při těchto podmínkách pracuje na rezonančním kmitočtu $f_0 = 87612 \text{ Hz}$, jak dokládají průběhy z obrázku 5.8.

Na druhém průběhu je možné si všimnout, že proud procházející rezonanční tlumivkou ($L1$) je mírně větší než proud procházející magnetizační tlumivkou ($L2$). Tento jev je typický pro měnič LLC v rezonanci.

Průběhy proudu $D3$ a $D4$ reprezentují proudy sekundárními usměrňovacími diodami, k jejich komutaci dochází v režimu ZCS při podmínce $I(L1) = I(L2)$.

Výkonová ztráta na tranzistoru $M2$ – ($pD(m2)$) i v tomto případě ukazuje, že měnič pracuje v režimu spínání ZVS, výkonová ztráta je velmi nízká, a to i přesto, že velikost spínaného proudu měniče přesahuje $1,5 \text{ A}$. Na tomto průběhu jsou již viditelné také ztráty vodivosti, způsobené nenulovým odporem kanálu tranzistoru MOSFET.



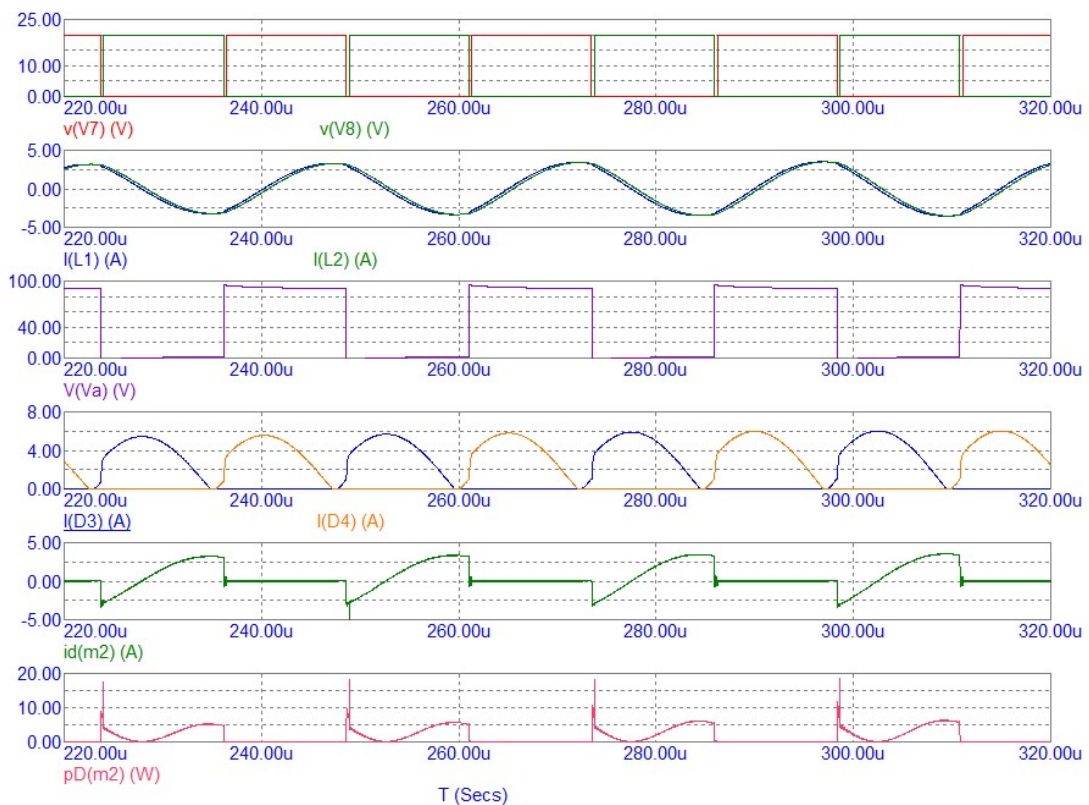
Obrázek 5.8 Průběhy napětí, proudu a výkonu v LLC měniči jmenovité

5.3.3 Simulace při maximálním zatížení

Maximálním zatížením se pro LLC měnič rozumí činnost při maximálním zesílení rezonančního obvodu. Tento LLC měnič má vzhledem k požadavku na široký vstupní rozsah nastavené maximální zesílení $M_{g_peak} = 5,23$ (-). Měnič při tomto zesílení pracuje v silné paralelní rezonanci, díky které dosahuje vysokých hodnot zisku. Charakteristickým rysem této paralelní rezonance je zaoblení průběhu proudu magnetizační tlumivkou $I(L2)$, viz obrázek 5.9.

Časové průběhy napětí, proudů a ztrátového výkonu pro toto maximální zesílení jsou zobrazeny na obrázku 5.9. Z těchto průběhů lze opět určit, že měnič pracuje v režimu ZVS, jak dokládá průběh výkonové ztráty $pD(m2)$. Hodnoty ztrátového výkonu jsou ovšem vyšší, a to z důvodu zvýšení proudu I_P na cca 2,5 A, a tím i vodivostních ztrát na tranzistorech.

U průběhů proudů $D3$ a $D4$ je viditelné drobné zkreslení. Toto zkreslení vychází z času komutace proudu mezi diodami. Tento čas je ale vlivem působení silné paralelní rezonance fázově posunut. Komutace i v tomto případě probíhá v režimu ZCS, což je žádoucí.



Obrázek 5.9 Průběhy napětí, proudu a výkonu v LLC měniči plné zatížení

5.3.4 Závěr simulací

Na základě výše provedených simulací lze říci, že měnič je navržen správně a dokáže splnit parametry, které na něj byly z pohledu standardu uloženy (rozsah vstupního napětí). Na závěr je nutné zmínit, že simulované průběhy a parametry jsou pouze teoretické a v reálné aplikaci se s největší pravděpodobností budou lišit.

5.4 Úprava magnetických a kapacitních komponent

Navržený transformátor pro emulační LLC měnič byl navržen pro napájení z konstantního napětí. [1] Nyní bude měnič napájen z širokého rozsahu napětí, a proto musí být změněny velikosti rezonančních komponent (C_R a L_R) a upraven i transformátor, protože došlo ke změně převodového poměru. Z tohoto důvodu je nutné znovu přepočítat počty závitů, změnit průřez vodičů a v neposlední řadě upravit velikost vzduchové mezery. Rezonanční komponenty je třeba vybrat z vhodných komerčně nabízených produktů. Vybrané a upravené komponenty je potom potřeba vyměnit na desce emulačního měniče.

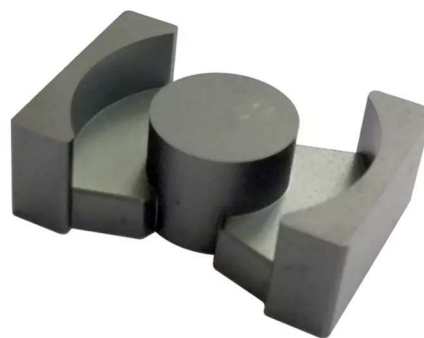
5.4.1 Úprava transformátoru

Úprava transformátoru se v základu opírá o postup uvedený v bakalářské práci [1], rovnice a vzorce uvedené zde jsou z této práce převzaty.

Pro původní transformátor bylo vybráno jádro od společnosti TDK s označením PQ 32/20, u tohoto upraveného transformátoru bylo použito jádro s vyšším sloupkem, ale se stejnou základnou s označením PQ32/30 [48]. Kostřička tohoto jádra má více prostoru pro návin než PQ32/20, což je vhodné vzhledem k počtu závitů. Má také vhodný tvar pro ruční návin, viz obrázek 5.10 a). Jádro tohoto transformátoru je vyrobeno z materiálu zvaného SIFERIT N49 [49]. Tvar jádra je zobrazen na obrázku 5.10 b). Výhodou tvaru tohoto jádra je relativně jednoduché nastavení rozptylové indukčnosti L_P pomocí velikosti vzduchové mezery, která u tohoto jádra může být realizována podepřením krajních sloupků jádra diamagnetickým materiálem (např. plastem).



a) Kostřička



b) Feritové jádro

Obrázek 5.10 Obrázky jádra a kostřičky transformátoru [50]

Katalogové parametry jádra (mechanické) [48] jsou:

- Efektivní průřez jádra $A_e = 153,8 \text{ mm}^2$
- Minimální průřez jádra $A_{min} = 127,5 \text{ mm}^2$
- Efektivní objem jádra $V_e = 10440 \text{ mm}^3$
- Efektivní délka magnetické siločáry $L_e = 67,80 \text{ mm}$

Katalogové parametry materiálu SIFERIT N49 [49] pro jádro PQ32/30 jsou:

- Magnetizační faktor $A_L = 3450 (+30/-20 \%) \text{ nH}$
- Efektivní permeabilita $\mu_e = 1210$
- Relativní ztráty v jádře $P_V = <3,65 \text{ W (50 mT, 500kHz, 100 }^\circ\text{C)}$
- Maximální Indukce $B_{max} = 490 \text{ mT (25 }^\circ\text{C)}$

Numerický výpočet počtu závitů

Za pomocí katalogových hodnot jádra a materiálu lze pomocí následujících kroků vypočítat potřebné parametry pro celý transformátor, část parametrů bude převzata z kapitoly 5.2.

Určení minimálního počtu závitů vychází z maximálního sycení jádra B_{max} , z principu musí být zajištěno, aby nedošlo k přesycení jádra – to by rapidně zvýšilo ztráty v transformátoru. Z tohoto důvodu je doporučeno volit pracovní sycení ΔB přibližně ve dvou třetinách hodnoty $B_{max} = 490 \text{ mT}$ dané výrobcem, dle vztahu

$$\Delta B \sim \frac{2}{3} \cdot B_{max} = \frac{2}{3} \cdot 490 \cdot 10^{-3} \doteq 320 \text{ mT}. \quad (5.42)$$

Výpočet minimálního počtu závitů primárního vinutí je dán vztahem

$$n_{p_min} \geq \frac{n \cdot (U_O + U_f)}{2 \cdot f_{s_min} \cdot \Delta B \cdot A_e}$$

$$n_{p_min} \geq \frac{14 \cdot (12 + 1)}{2 \cdot 36963 \cdot 0,320 \cdot 153,8 \cdot 10^{-6}} \quad (5.43)$$

$$n_{p_min} \geq 50z,$$

kde se hodnota sycení $\Delta B = 320 \text{ mT}$, minimální spínací kmitočet $f_{s_min} = 36963 \text{ Hz}$, efektivní průřez použitého jádra $A_e = 153,8 \text{ mm}^2$, velikost výstupního napětí $U_O = 12 \text{ V}$ a úbytek napětí na diodách v propustném směru $U_f = 1 \text{ V}$.

Z minimálního počtu závitů lze přes převodový poměr transformátoru určit počet závitů na sekundární straně dle vzorce

$$n_s = \frac{n_p}{n} = \frac{50}{14} = 4z, \quad (5.44)$$

kde n_p ($n_{p_min} = 50z$) je počet závitů na primární straně a $n = 14$ je převodový poměr. Protože jsou dvě sekundární vinutí, bude vinutí n_s realizováno celkem dvakrát. Počet

primárních závitů může být libovolně vyšší n_{p_min} , proto lze teoreticky využít tyto kombinace počtu závitů mezi: (primární: sekundární: sekundární)

- 50:4:4
- 70:5:5

Při volbě kombinace je třeba brát ohled na velikost indukčnosti, která vznikne při tvorbě transformátoru, tato indukčnost je dána vzorcem

$$L = A_L \cdot n^2 = 3450 \cdot 10^{-9} \cdot 50^2 = 8625 \mu\text{H}, \quad (5.45)$$

kde $A_L = 3450 \text{ nH}$ a $n = 50$.

Vzhledem k velikosti výsledné indukčnosti s plným jádrem (bez vzduchové mezery), která přesahuje požadovanou hodnotu několikanásobně, by nebylo vhodné používat vyšší počet závitů primárního vinutí. Poměr tedy zůstane na minimální hodnotě (50:4:4). Nastavení požadované indukčnosti se provede pomocí vzduchové mezery při konstrukci transformátoru.

Určení průřezů vodičů

Nyní je nutné provést proudové a profilové dimenzování vodičů transformátoru pro primární a sekundární stranu. Proudové potřebné k určení průřezů vinutí byly vypočteny dříve 5.2. Pomocí tabulek maximálního proudového zatížení Cu vodičů [51] lze potom určit požadované průřezy vodičů:

- proud primárním vinutím $I_R = 2,65 \text{ A}$, to odpovídá průřezu vodiče $S_p \sim 0,162 \text{ mm}^2$
- proud sekundárním vinutím $I_{oe_s} = 6,92 \text{ A}$, to odpovídá průřezu $S_s \sim 0,327 \text{ mm}^2$.

Volba průměru drátu

Před samotnou volbou průměrů drátů, kterými bude transformátor vinutý, je třeba ověřit vliv „skin-efektů“ pro pracovní frekvence transformátoru. Tento efekt se projevuje u vyšších kmitočtů a jedná se o hloubku pronikání proudu do vodiče. U vyšších kmitočtů teče proud více po povrchu vodiče než v celém jeho průřezu. Výpočet hloubky vniku proudu je dán vztahem

$$l_d = \sqrt{\frac{\rho}{\pi \cdot \mu_0 \cdot \mu_r \cdot f}} = \sqrt{\frac{1,68 \cdot 10^{-8}}{\pi \cdot 4 \cdot \pi \cdot 10^{-7} \cdot 0,999994 \cdot 87612}} = 220 \mu\text{m}, \quad (5.46)$$

kde rezistivita mědi $\rho = 1,68 \times 10^{-8} \text{ } \Omega/\text{m}$ [52], permeabilita vakua $\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$ [53], permeabilita mědi $\mu_r = 0,999994$ [53] a frekvence $f_0 = 87612 \text{ Hz}$ (jmenovitá frekvence měniče). Použitelný průměr vodiče je potom dán dvojnásobkem této hloubky vniku ($2 \times l_d$) tedy $440 \mu\text{m}$.

Dle vypočtených a uvedených parametrů budou jednotlivá vinutí vypadat následovně:

- Primární vinutí bude tvořeno 4 x lakovaným vodičem průměru $d = 0,35 \text{ mm}$ spojených paralelně, celkový průřez potom bude:

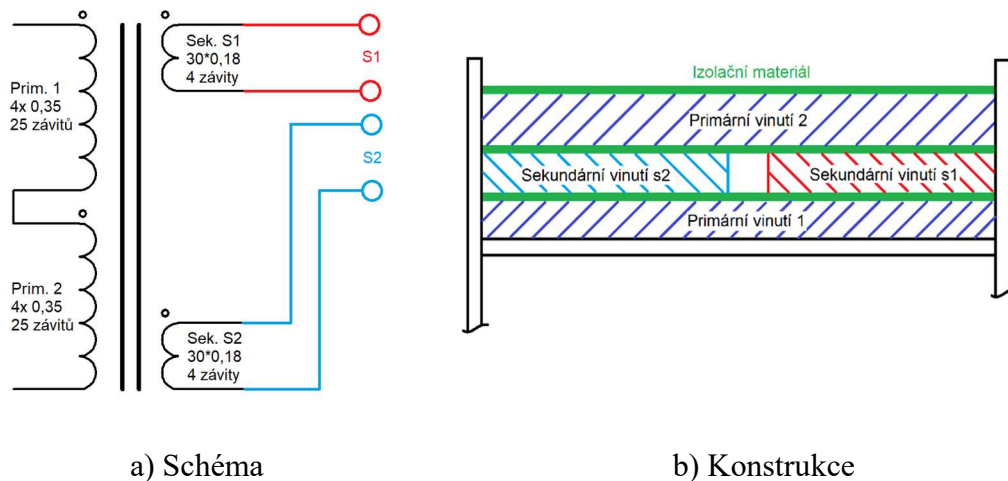
$$S_p = 4 \cdot \pi \cdot \left(\frac{d}{2}\right)^2 = 4 \cdot \pi \cdot \left(\frac{0,35 \cdot 10^{-3}}{2}\right)^2 = 0,385 \text{ mm}^2. \quad (5.47)$$

- Sekundární vinutí bude tvořeno tzv. „*litz wire*“ [54]. Jedná se o slaněný vodič, který obsahuje několik malých samostatně izolovaných vodičů, které následně tvoří celý průřez vodiče. Použitý slaněný vodič je tvořen **30 vodiči o průměru $d = 0.18 \text{ mm}$** . Budou zapojeny dva vodiče paralelně. Jejich celkový průřez potom bude:

$$S_s = 2 \cdot 30 \cdot \pi \cdot \left(\frac{d}{2}\right)^2 = 2 \cdot 30 \cdot \pi \cdot \left(\frac{0,1 \cdot 10^{-3}}{2}\right)^2 = 0,763 \text{ mm}^2. \quad (5.48)$$

Rozvržení vinutí na kostřičce

Takto navržené vinutí je nyní potřeba umístit na kostřičku transformátoru. Rozložení vinutí na kostřičce má velký význam, protože vzájemná poloha primárního a sekundárního vinutí ovlivňuje vzájemnou vazbu, a tedy i přenos energie. Rozložení vinutí má dva nákresy, první je zobrazen na obrázku 5.11 a) a zobrazuje vzájemné zapojení vinutí v transformátoru. Druhý nákres zobrazuje kladecí plán vinutí přesněji, tedy kde bude jaká část umístěna na kostřičce, obrázek 5.11 b).



Obrázek 5.11 Rozložení vinutí a skladba vinutí transformátoru

Výpočet ztrát v transformátoru

Na závěr návrhu transformátoru je vhodné provést výpočet ztrát, které vznikají ve vinutích a v magnetiku. Mezi ztráty ve vinutí se řadí ztráty vodivostní, které jsou způsobené nenulovým odporem vodičů. V magnetiku potom vznikají ztráty hysterezní a ztráty vířivými proudy. Všechny tyto ztráty se projevují do výsledné účinnosti měniče a také měnič zahřívají.

Ztráty v magnetiku jsou dány vztahem

$$P_M = P_V \cdot V_e = 390 \cdot 10^3 \cdot 10440 \cdot 10^{-9} = 4,07 \text{ W}, \quad (5.49)$$

kde efektivní objem jádra transformátoru je $V_e = 10440 \text{ mm}^3$, objemové ztráty jsou $P_V = 200 \text{ kW/m}^3$ (při $\Delta B = 390 \text{ mT}$ a teplotě $T = 80 \text{ °C}$ [49]).

Odpory jednotlivých vinutí jsou dány vzorci

$$R_{cu_prim} = \rho \cdot \frac{n_p \cdot L_e}{x \cdot \pi \cdot \left(\frac{d}{2}\right)^2} = 1,68 \cdot 10^{-8} \cdot \frac{50 \cdot 67,80 \cdot 10^{-3}}{4 \cdot \pi \cdot \left(\frac{0,35 \cdot 10^{-3}}{2}\right)^2} = 148 \text{ m}\Omega, \quad (5.50)$$

$$R_{cu_sek} = \rho \cdot \frac{n_s \cdot L_e}{x \cdot \pi \cdot \left(\frac{d}{2}\right)^2} = 1,68 \cdot 10^{-8} \cdot \frac{4 \cdot 67,80 \cdot 10^{-3}}{(30 \cdot 2) \cdot \pi \cdot \left(\frac{0,18 \cdot 10^{-3}}{2}\right)^2} = 5,97 \text{ m}\Omega, \quad (5.51)$$

kde x je počet vodičů, n_p/n_s je počet závitů primárního/sekundárního vinutí, $L_e = 48,4 \text{ mm}$ je střední délka závitu, respektive efektivní délka magnetické siločáry, d je průměr vodiče a $\rho = 1,68 \times 10^{-8} \text{ }\Omega/\text{m}$ je rezistivita materiálu vodiče (měď).

Ztráty ve vinutích jsou dány vzorci

$$P_{cu_prim} = R_{cu_prim} \cdot I_R^2 = 148 \cdot 10^{-3} \cdot 2,65^2 = 1,04 \text{ W}, \quad (5.52)$$

$$P_{cu_sek} = R_{cu_sek} \cdot I_{oe_s}^2 = 2,98 \cdot 10^{-3} \cdot 6,92^2 = 0,285 \text{ W}, \quad (5.53)$$

kde $I_R = 2,65 \text{ A}$, $I_{oe_s} = 6,92 \text{ A}$, $R_{cu_prim} = 148 \text{ m}\Omega$ a $R_{cu_sek} = 5,97 \text{ m}\Omega$.

Celkové ztráty v transformátoru P_C jsou potom dány vztahem

$$P_C = P_{cu_prim} + 2P_{cu_sek} + P_M = 1,04 + 2 \cdot 0,285 + 4,07 = 5,68 \text{ W}. \quad (5.54)$$

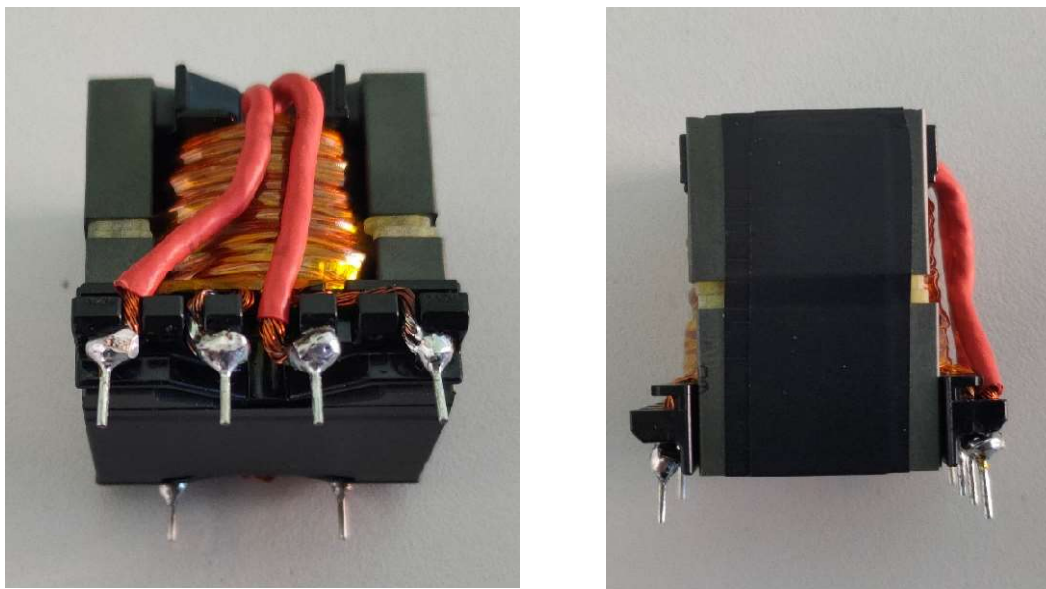
Ztráty ve vinutích by měly být menší než ztráty v magnetiku, což je v tomto případě splněno:

$$P_{cu_prim} + 2 \cdot P_{cu_sek} \leq P_M \quad (5.55)$$

$$1,61 \text{ W} \leq 4,07 \text{ W} \rightarrow \text{splněno.}$$

5.4.2 Realizace a měření upraveného transformátoru

Praktická realizace transformátoru je zobrazena na obrázku 5.12. Transformátor byl navinut podle plánku z obrázku 5.11. Pro izolaci mezi vinutími bylo využito kaptonové pásky ve 3 vrstvách, kdy byl kladen důraz na to, aby se mezi sebou nedotýkaly konce vinutí, zejména pak primární a sekundární.



Obrázek 5.12 Praktická realizace transformátoru

Sekundární vinutí bylo vzhledem k počtu závitů (4z) vyvedeno z horní strany kostřičky, a to z důvodu, že nebylo technicky možné provést návin 4 závitů nahoru a dolů tak, aby byla efektivně obsazena plocha válce kostřičky. Konce vinutí tedy byly vedeny vně jádra k pájecím nožičkám, viz obrázek 5.12.

Navinutý transformátor byl změřen pomocí RLC metru. Kde se pomocí plastových podložek provedlo nastavení vzduchové mezery tak, aby rozptylová indukčnost transformátoru byla co nejbližší hodnotě stanovené výpočtem. Výsledné změřené hodnoty jsou uvedeny v tabulce 5.1.

Tabulka 5.1 Změřené hodnoty vinutí transformátoru

| Primární vinutí | | Sekundární vinutí 1 | | Sekundární vinutí 2 | |
|--|------------------------|---------------------|-----------------------|---------------------|-----------------------|
| L | 211,6 μH | L | 1,36 μH | L | 1,43 μH |
| R _{DC} | 151,8 $\text{m}\Omega$ | R _{DC} | 5,72 $\text{m}\Omega$ | R _{DC} | 5,78 $\text{m}\Omega$ |
| Měřeno při $f=100$ kHz na AGILENT E4980A | | | | | |

Změřené hodnoty v tabulce 5.1 se mohou lišit od hodnot vypočtených, protože do výpočtů nebyly zahrnuty všechny parazitní vlivy. Velikost indukčnosti je potom v rámci uvažované tolerance ± 20 %.

5.4.3 Výběr kapacitních a indukčních komponent

Dalším důležitým krokem před samotnou praktickou úpravou měniče je výběr dalších rezonančních komponent. Těmi jsou kapacity a rezonanční tlumivka. Jak již bylo zmíněno dříve u rezonančních kapacit, je nutné brát ohled na velikost napětí, na které jsou kondenzátory dimenzovány. U tlumivky je třeba brát ohled na velikost saturačního proudu, kdy dojde k přesycení jádra. Na základě těchto poznatků a vypočtených hodnot byly vybrány následující součástky:

- Rezonanční kapacita s nízkou impedancí určená pro vysokofrekvenční střídavou zátěž tvořená 2x 33 nF (1 kV) [55].
- Pro kompenzaci velikosti tolerance rezonanční kapacity 2x 1 nF (1 kV) [56].
- Filtrační kondenzátory vstupní části 1x 100nF (630 V) [57] a 1x 10nF (630 V) [56].
- Kapacity pro rezonanční dělič 2x 240 pF (1 kV) [58] a 1x 10nF (630 V) [56].
- Rezonanční tlumivka – stíněná výkonová tlumivka 47 μ H ($I_{SAT} = 5,4$ A) [59].

Výše uvedené kapacity mají dielektrikum z polypropylénu (PP), protože tento materiál je vhodný pro výkonové vysokofrekvenční aplikace typicky právě jako rezonanční kapacity v měničích.

Tlumivka byla vybrána s ohledem na velikost rezonančního proudu $I_P = 2,65$ A dle vztahu (5.27) tak, aby nedošlo při provozu k přesycení jádra a tím k zániku rezonance. Navíc se podařilo vyhledat tlumivku se stíněným jádrem, a tudíž nebude produkovat rušení do dalších obvodů při provozu měniče.

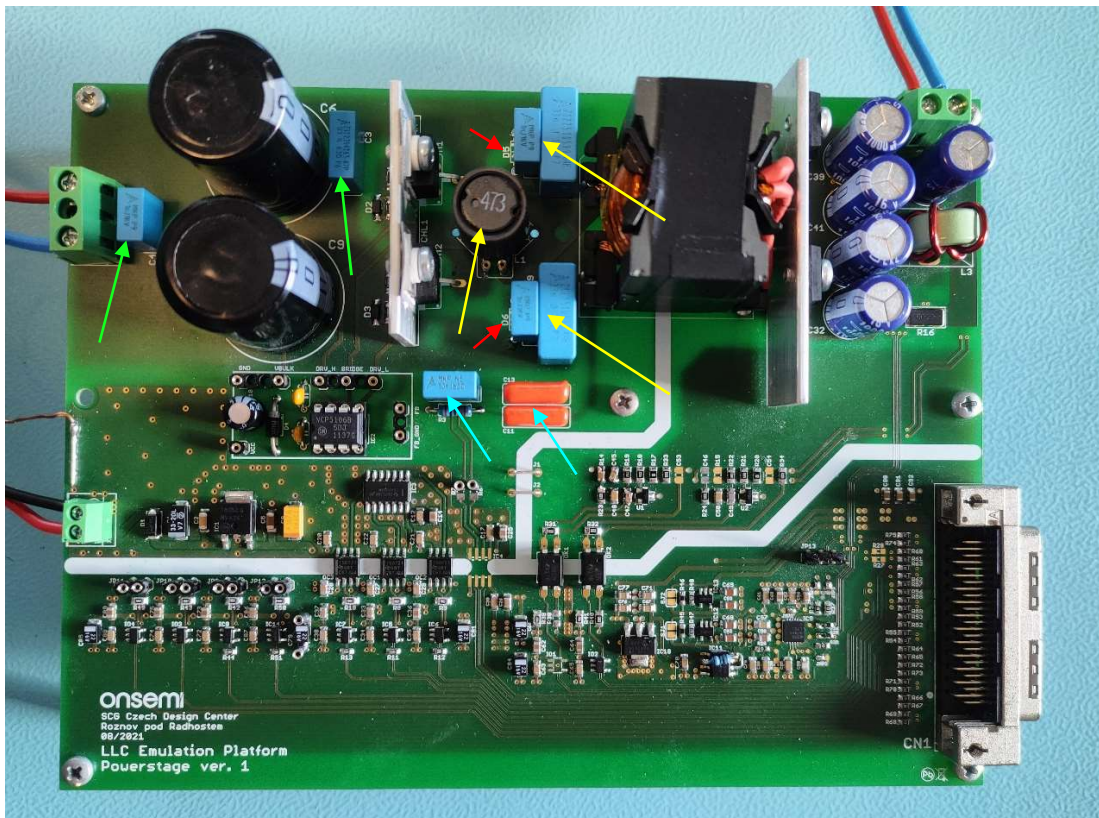
5.5 Realizace úprav na desce emulačního měniče

V předchozích kapitolách byly popsány úpravy rezonančního obvodu tak, aby fungoval na širokém rozsahu napájecího napětí neboli „*wide range*“. Tyto úpravy je nyní nutné provést prakticky na desce emulačního měniče. Úpravy lze rozdělit dle výše popsaných změn na: úpravy rezonančního obvodu, úpravy napájecího obvodu a úpravy na komunikační a datové části. Kromě úprav velikosti komponent bylo nutné také přidat několik komponent, které byly v původní verzi neosazeny a také přidat nová propojení.

5.5.1 Úprava výkonové části

Mezi první modifikaci patřila výměna filtračních kondenzátorů ve vstupní části měniče, kdy původní kondenzátory byly na napětí 200 V, nyní ale měnič bude pracovat s napětím kolem 400 V, byla tedy nutná jejich výměna, hodnoty kapacity zůstaly stejné, viz obrázek 5.13 zelené šipky. Velké filtrační kondenzátory „*bulk*“ nemusely být měněny, jelikož jsou na napětí 450 V. Obdobně tomu je i u spínacích tranzistorů, které jsou dimenzovány na napětí 650 V.

Další modifikace spočívala ve výměně komponent rezonančního obvodu, dle kapitoly 5.4.3, viz obrázek 5.13 žluté šipky. Kdy u rezonančních kapacity byly použito paralelního spojení dvou kapacit pro zpřesnění velikosti kapacity.



Obrázek 5.13 Úpravy na desce emulačního měniče 1

Aby mohl měnič fungovat na plném rozsahu napájecího napětí, bylo nutné odstranit „zkratovací diody“. V literatuře se tyto diody označují jako „clamp diode“, červené šipky na obrázku 5.13. Jejich funkce spočívá v omezení velikosti napětí na rezonanční kapacitě na hodnotu nejvýše napájecího napětí. U standardních LLC měničů se toto využívá z bezpečnostního hlediska, jelikož napětí na rezonanční kapacitě může být i několikanásobně vyšší, než je napětí napájecí, a pokud by rezonanční kapacity nebyly dostatečně napětově dimenzovány, došlo by k jejich průrazu, a tím ke zničení měniče. U „wide range“ měničů se ale s touto skutečností počítá, a proto jsou rezonanční kapacity navrženy na více než dvojnásobek maximální velikosti napájecího napětí, tedy na 1000 V.

Poslední úpravou je úprava kapacitního děliče, který slouží pro nepřímé měření rezonančního proudu. Jelikož signál z toto děliče bude připojen k AD převodníku s referenčním napětím $U_{REF} = 5 \text{ V}$, je nutné zajistit, aby hodnota měřeného napětí byla maximálně polovina pro jednu půlvlnu. Potřebný převodový poměr zjistíme dle vztahu

$$\frac{U_{CS}}{U_{AD}} = \frac{200}{2,5} = 80 \rightarrow \frac{C_2}{C_1+C_2} = \frac{10 \cdot 10^{-9}}{120 \cdot 10^{-12}} \doteq 83 [-], \quad (5.56)$$

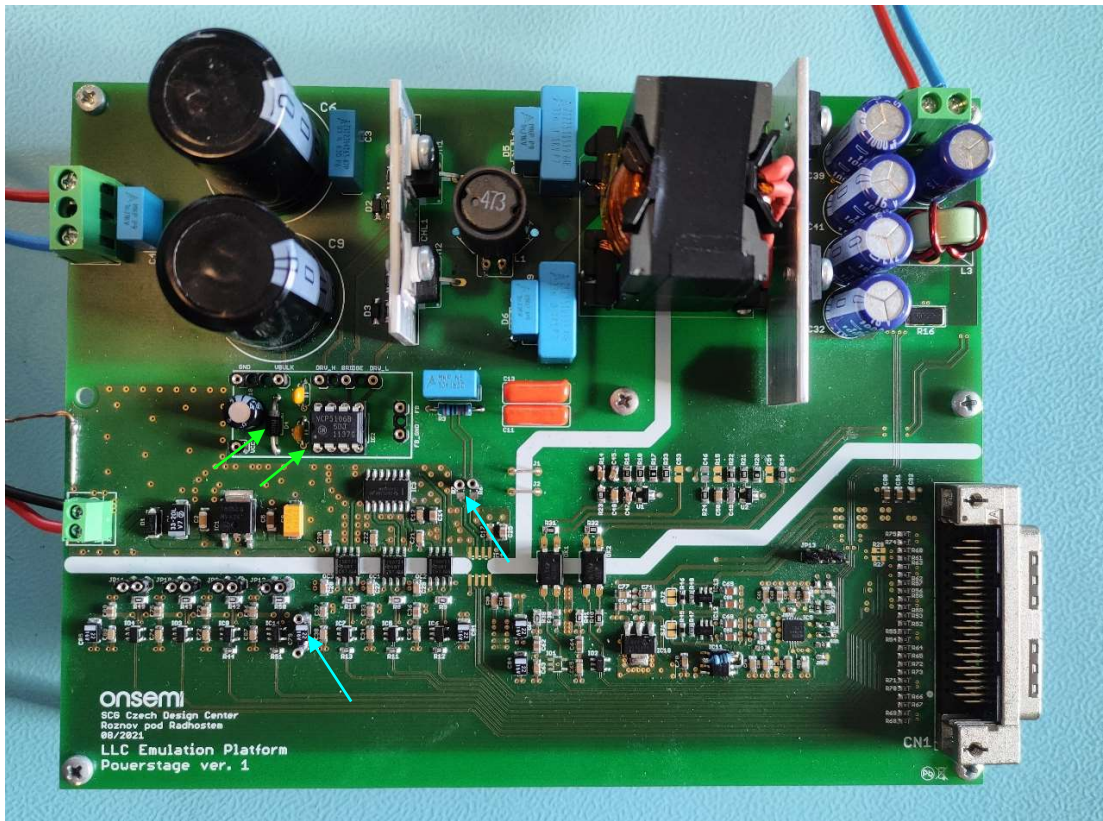
kde $U_{CS} = 200 \text{ V}$ je polovina maximální hodnoty napájecího napětí s rezervou, $U_{AD} = 2,5 \text{ V}$ je poloviční hodnota referenčního napětí $U_{REF} = 5 \text{ V}$, $C_1 = 120 \text{ pF}$ je kapacita horní poloviny děliče a $C_2 = 10 \text{ nF}$ je dolní polovina děliče.

Na obrázku 5.13 je tento dělič označen modrými šipkami, kdy horní kapacita je tvořena dvěma kondenzátory 240pF na napětí 1200 V zapojenými sériově a dolní část kapacity tvoří kondenzátor 10 nF na 630 V. Dielektrika těchto kondenzátorů jsou z PP (polypropylénu) z důvodu nízkých ztrát na vysokých kmitočtech a nízkému ESR.

5.5.2 Úprava řídicí a komunikační části

Jelikož bude měnič řízen pomocí emulační platformy, bylo nutné provést přípravu tohoto měniče pro připojení jednak emulační platformy, a také pro připojení pomocné preregulační desky, viz kapitola 6.1.

Pro připojení pomocné preregulační desky bylo zapotřebí na desku umístit další pinové konektory, se kterými nebylo v původním návrhu počítáno. Jedná se o konektory označené modrými šipkami na obrázku 5.14, kdy horní piny zabezpečují připojení signálu z napětového kapacitního děliče na pomocnou desku. Konektory byly připájeny místo odporů vedoucích do izolačního operačního zesilovače. Signál nese informaci o proudu rezonančního obvodu. Spodní přidané piny jsou pro napájení optočlenů, které jsou na oddělené straně pomocné desky, a zajišťují pomocné signály pro AD převodník a komparátor.



Obrázek 5.14 Úpravy na desce emulačního měniče 2

Následující úpravy byly provedeny až po otestování funkčnosti měniče pomocí testovací desky. Jedná se zejména o řadič (driver) pro tranzistory a diodu pro tento řadič, viz obrázek 5.14 zelené šipky. Do řadiče jsou přivedeny řídicí signály s FPGA pro horní a dolní spínací tranzistor. Řadič zajišťuje v tomto případě dvě základní funkce, první je spínání horního tranzistoru, který není připojen přímo na napájecí zem ale do uzlu. Druhá je potom ochrana proti „*cross conduction*“, neboli ochrana proti tomu, aby se oba tranzistory sepnuly ve stejný okamžik, aby k tomu nedošlo je potřeba dodržet tzv. „*dead time*“, viz kapitola 3.1.3.

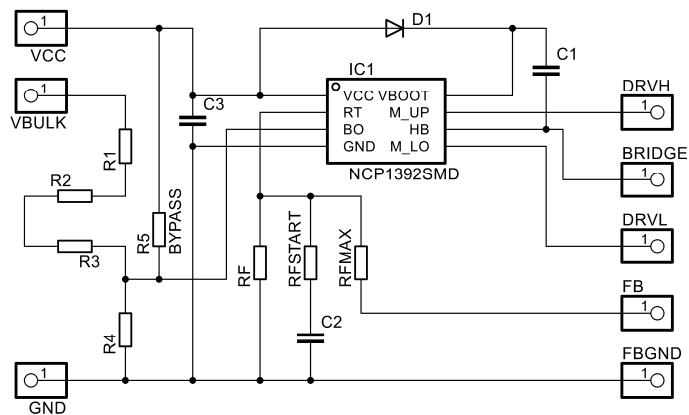
Použitý řadič má označení NCP5106B [60] a má implementovaný „*dead time*“ 100ns. Skutečnou velikost „*dead time*“ potom určuje program v FPGA.

5.6 Funkční test měniče s pomocí testovací desky

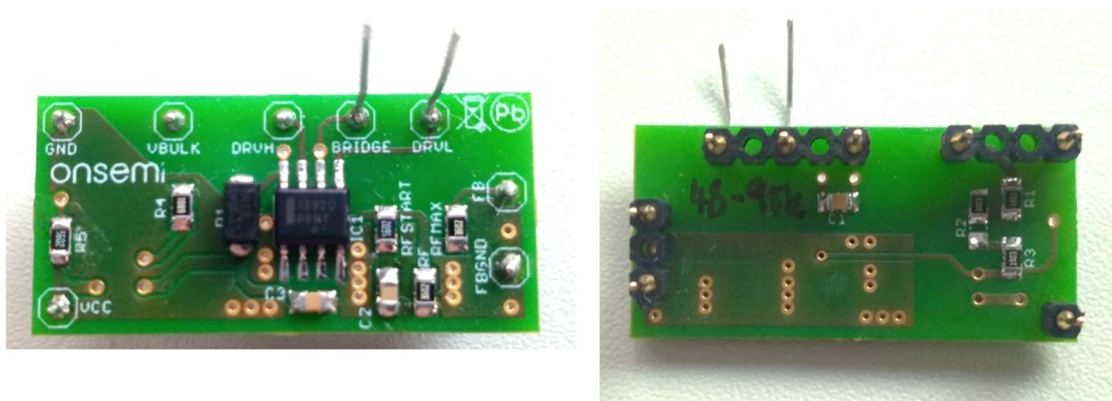
V bakalářské práci [1] byla pro účely prvotního testování správného návrhu měniče navržena testovací deska obsahující základní řídicí obvod pro LLC měnič. Tato jednoduchá testovací deska obsahuje proudem řízený oscilátor v podobě obvodu NCP1392 [61].

5.6.1 Testovací deska

Zapojení testovací desky s tímto obvodem pro účely testování je zobrazeno na obrázku 5.15. Rozsah kmitočtů oscilátoru byl nastaven dle simulací 5.2.1 Krok 5 na rozsah 36 – 120kHz. Nastavení tohoto rozsahu se provede pomocí rezistorů R_F , R_{FMAX} . Schéma zapojení testovací desky je na obrázku 5.16. Sestavená deska je potom připojena na piny umístěné v blízkosti spínání tranzistorů a měnič je připravený na test.



Obrázek 5.15 Schéma zapojení testovací desky

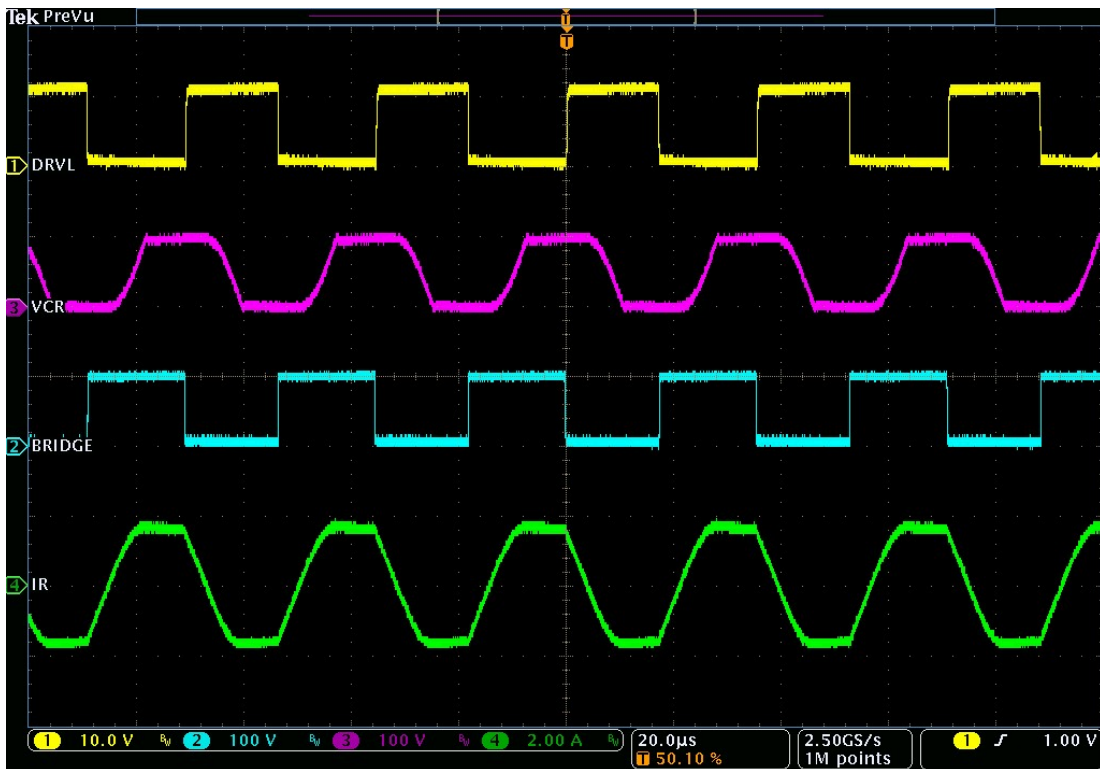


Obrázek 5.16 Osazená testovací deska

5.6.2 Měření emulačního měniče s širokým vstupním rozsahem

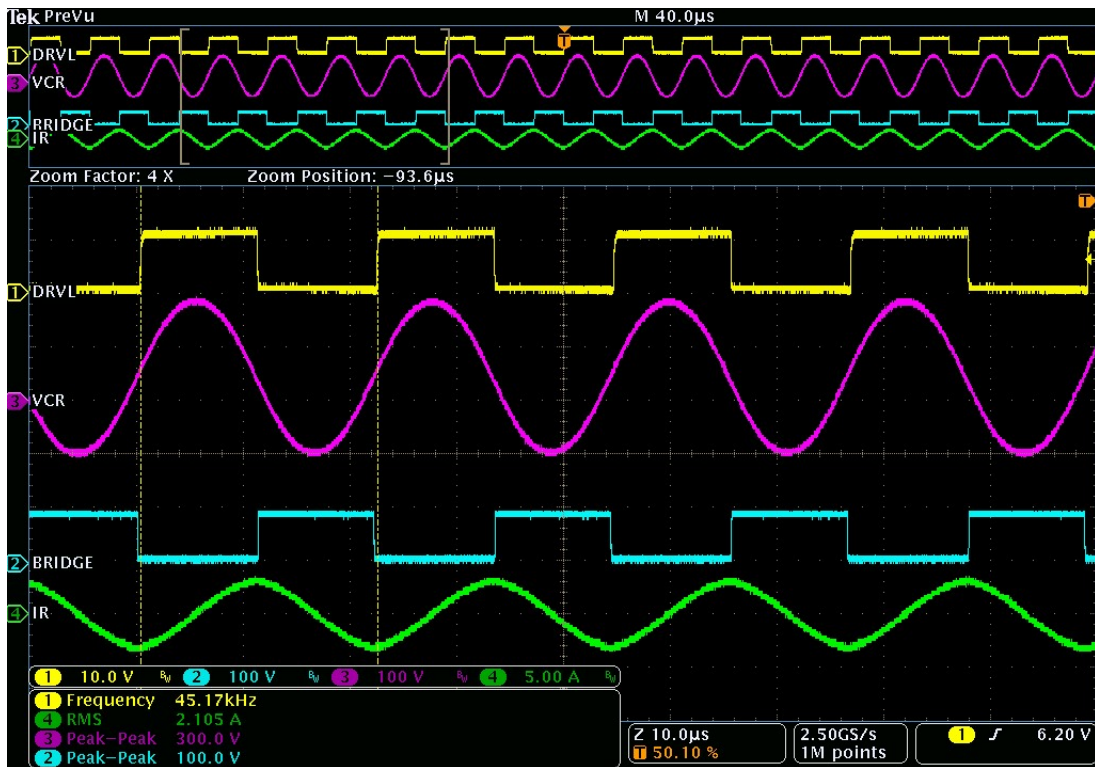
Testovací měření mělo za úkol zjistit, zdali je návrh tohoto měniče správný a měnič skutečně dokáže pracovat na celém rozsahu napájecího napětí, jak bylo simulováno. Měření probíhalo v laboratoři firmy onsemi a byly změřeny základní časové průběhy v LLC měniči.

Na obrázku 5.17 jsou vidět průběhy pro „wide range“ měnič při vstupním napětí 100 V, kdy nebyly odpojeny „clamp“ diody. Jejich funkce v obvodu je nejlépe viditelná na průběhu napětí na rezonanční kapacitě (fialový průběh), kdy napětí na této kapacitě je saturováno na hodnotě cca 100 V, tedy velikosti napájecího napětí. Saturace je potom také na proudu rezonančním obvodem (zelený průběh). Toto omezení má za následek to, že měnič není schopen dodat do výstupu požadovaný výkon (pro toto měření nebyl výstup ani zatížen).



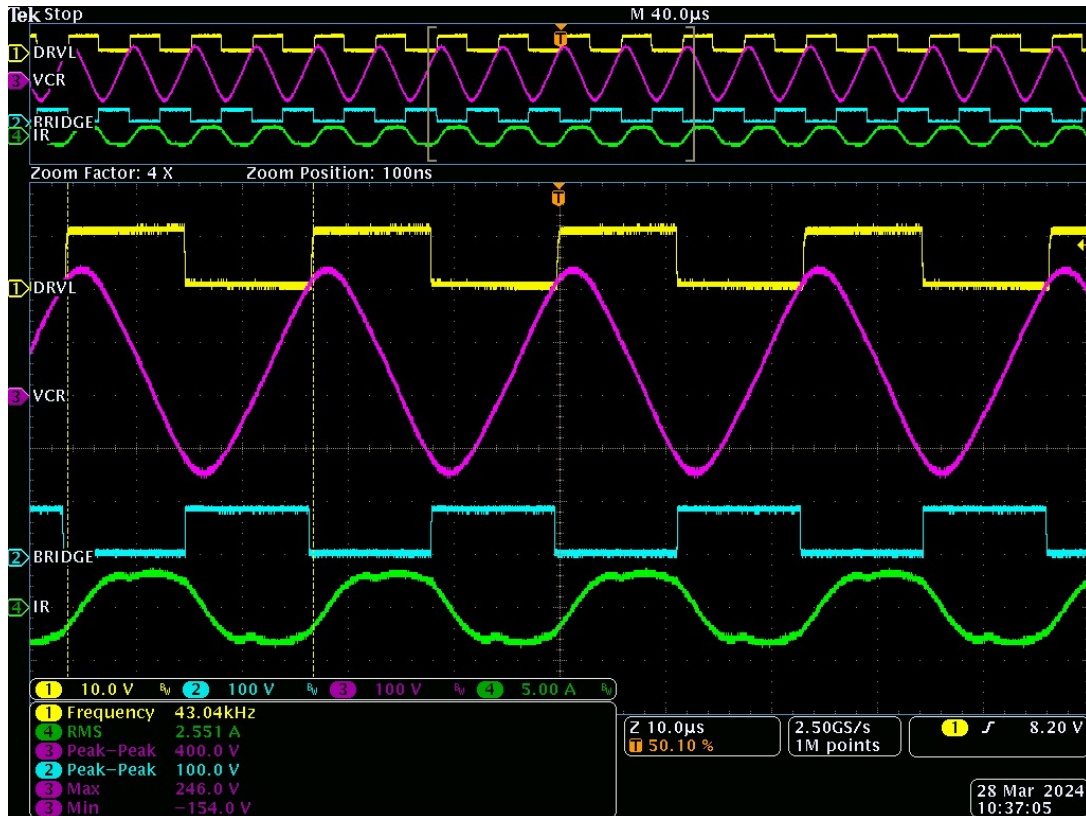
Obrázek 5.17 Časové průběhy obvodových veličin s „clamp“ diodami

Na následujícím obrázku 5.18 je měnič již bez „clamp“ diod a napětí na vstupu bylo nastaveno na minimální požadované napětí tedy 94 V (výstup nezatížen). Nyní je již viditelné, že měnič pracuje v rezonanci, napětí na rezonanční kapacitě a proud rezonančním obvodem má nezkraslený harmonický průběh. Pokud se zaměříme na průběh napětí na rezonanční kapacitě, je možné si všimnout, že jeho velikost je více než 3x větší než hodnota vstupního napětí (94 V). Toto je klíčová vlastnost LLC měniče pro to, aby mohl kompenzovat velikost vstupního napětí.



Obrázek 5.18 Časové průběhy obvodových veličin bez „clamp“ diod

Na obrázku 5.19 jsou zobrazeny průběhy v LLC měniči při maximální zátěži, tedy 75 W a minimálním vstupním napětím 94 V, neboli při nejhorších provozních podmínkách. Na průběhu napětí na rezonanční kapacitě je potom opět viditelný nárůst napětí – nyní více než čtyřnásobek vstupního napětí. Zároveň je dobré si všimnout, že napětí není symetrické proti nule, ale má offset, který je přibližně 100 V, viz tabulka měření na obrázku 5.19. Tato asymetrie napětí se potom projeví také na rezonančním proudu, a to konkrétně na jeho fázovém posunu proti dolnímu spínacímu tranzistoru (žlutý průběh) a napětí v uzlu (modrý průběh). Proud je tedy rezonanční, ale neodpovídá známé teorii. Jsou také dodrženy podmínky ZVS, jejich splnění lze ověřit velmi jednoduše, a to porovnáním průběhu spínání dolního tranzistoru a průběhu napětí v uzlu mezi tranzistory. Pokud napětí v uzlu dosahuje nuly v době, kdy se objeví náběžná hrana spínání tranzistoru, je podmínka ZVS splněna.



Obrázek 5.19 Časové průběhy obvodových veličin $U_{IN} = 94 \text{ V}$ ($P_{OUT} = 75 \text{ W}$)

Na obrázku 5.20 jsou zobrazeny průběhy opět pro maximální zatížení, ale nyní pro vstupní napětí maximální tedy 374 V. Při tomto měření byly použity děliče napětí na osciloskopické sondy z důvodu velmi vysokého měřeného napětí, tyto děliče vytvářejí na sondách určité zkreslení, ale pro toto měření to není kritické. Převod mezi skutečnou hodnotou a hodnotou změřenou je:

$$U_{OUT} = 11 \cdot U_{IN} [V], \quad (5.57)$$

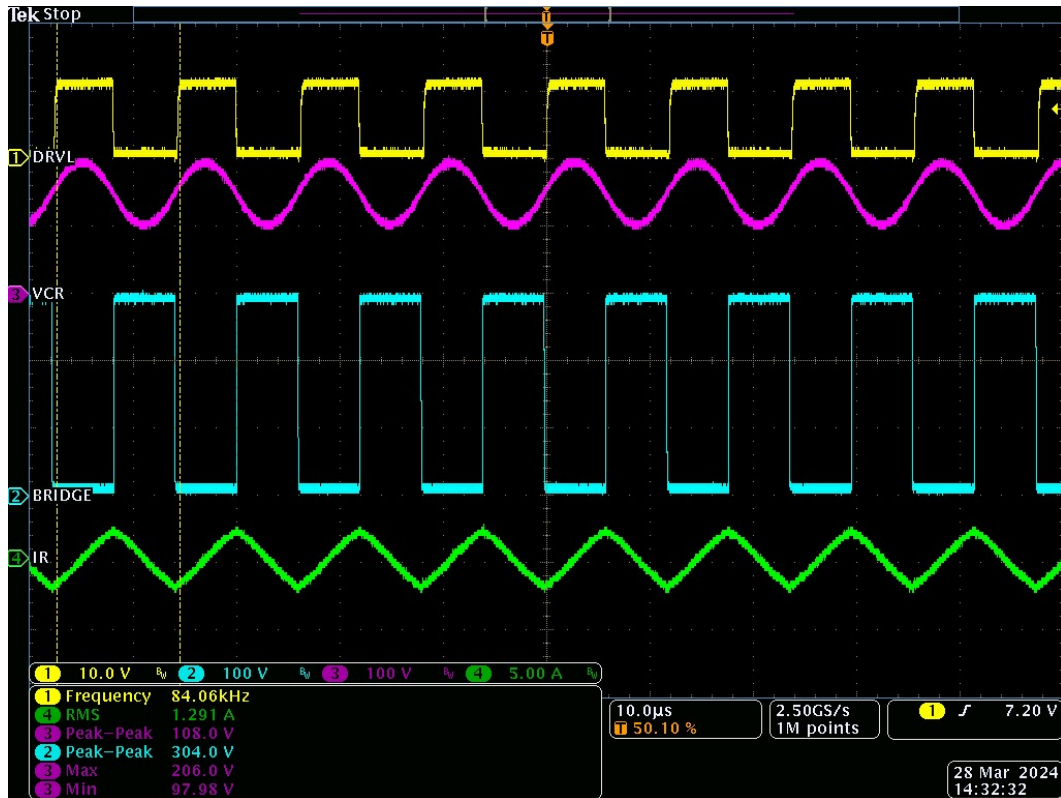
kde 11 vyjadřuje převodový poměr děliče napětí na sondě, U_{IN} je napětí změřené osciloskopem a U_{OUT} je původní hodnota napětí.

V tomto případě je vidět značná změna v obvodových veličinách, konkrétně na tvaru proudu rezonančním obvodem (zelený průběh), ten je v tomto případě pilovitý, protože v při vysokém vstupním napětí a vysoké frekvenci je rezonanční proud tvořen převážně proudem magnetizačním, a ten má v LLC měniči pilovitý průběh. Napětí na rezonanční kapacitě se také změnilo, nyní jeho velikost dosahuje pouze cca 220 V a průběh má velkou stejnosměrnou složku a malé zvlnění cca 80 V. Měnič nyní pracuje vpravo od sériové rezonance, což dokládá i velikost frekvence. Podmínky ZVS jsou zde také dodrženy, i když to není na obrázku 5.20 příliš dobře vidět. Pokud by byly porušeny, projevilo by se to zkreslením proudu I_R (zelený), kde by byly vidět značné překmitky v okamžiku sepnutí tranzistoru (žlutá). (Zkreslení průběhu *BRIDGE* a *VCR* je z důvodu děliče na sondách).

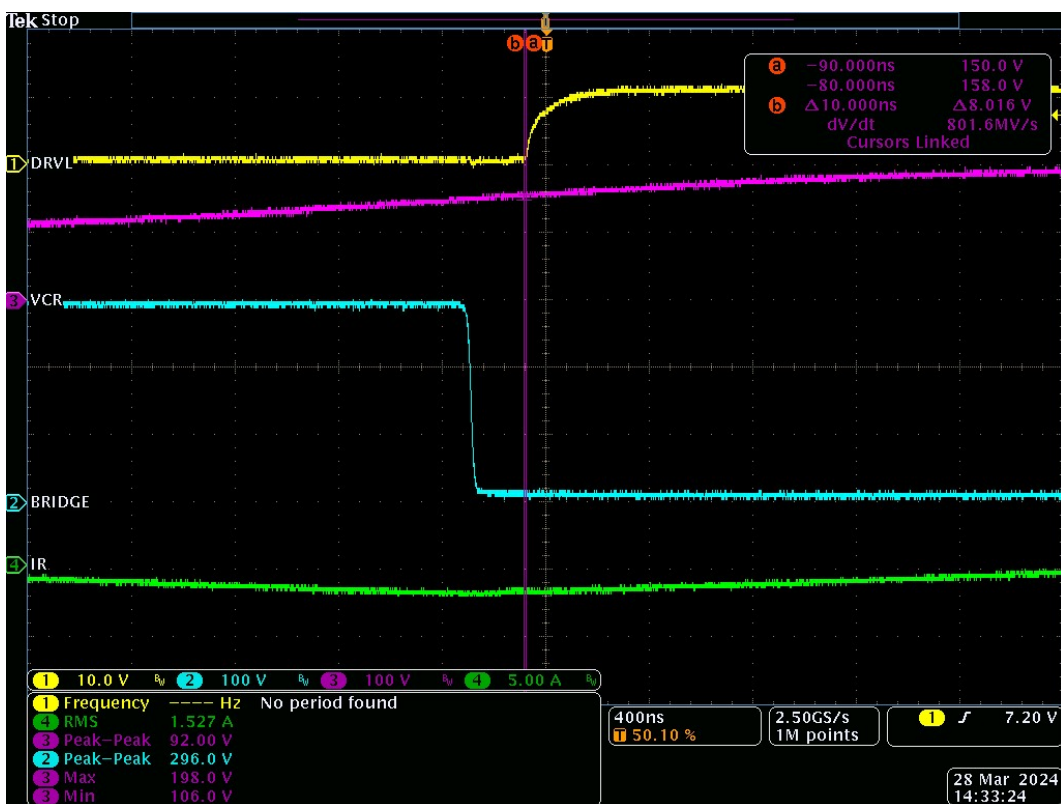


Obrázek 5.20 Časové průběhy obvodových veličin $U_{IN} = 374 \text{ V}$ ($P_{OUT} = 75 \text{ W}$)

Pro úplnost funkčního testu jsou na obrázku 5.21 a 5.22 zobrazeny časové průběhy pro stav bez zatížení (2 W) při vstupním napětí 300 V a je zde detail splnění podmínek ZVS. Je možné si všimnout, že při těchto provozních podmínkách se kmitočet měniče pohybuje právě kolem pravého (sériového) rezonančního kmitočtu, jelikož jak bylo zmíněno v části numerického návrhu, je měnič konstruován pro jmenovité napětí 325 V, neboli usměrněné napětí sítě 230 V AC. Provoz měniče naprázdno při napětí minimálním tedy 94 V DC nebo 65 V AC je zobrazen na předešlém obrázku 5.18.



Obrázek 5.21 Časové průběhy obvodových veličin $U_{IN} = 300\text{ V}$ ($P_{OUT} = 0\text{ W}$)



Obrázek 5.22 Časové průběhy obvodových veličin $U_{IN} = 300\text{ V}$ ($P_{OUT} = 0\text{ W}$)

Na závěr jsou v tabulce 5.2 uvedeny změřené hodnoty pro maximální zatížení měniče, tedy 75 W, tedy včetně dovoleného přetížení. Mezi základní měřené parametry patří příkon, výkon, velikost vstupního a výstupního napětí a velikost výstupního proudu. V tabulce je také uvedena účinnost měniče, ale pouze jen výkonové části, protože řídicí část měniče není napájena ze stejného zdroje jako výkonová část, viz [1]. Účinnost měniče se potom vypočítá dle vztahu

$$\eta = \frac{P_{OUT}}{P_{IN}} \cdot 100 = [\%], \quad (5.58)$$

kde P_{OUT} je výstupní výkon měniče, P_{IN} je příkon měniče.

Tabulka 5.2 Změřené hodnoty při testování pro plné zatížení

| Vstupní napětí [V] | Příkon [W] | Výstupní napětí [V] | Výstupní proud [A] | Výkon [W] | Účinnost [%] |
|--|------------|---------------------|--------------------|-----------|--------------|
| 94,12 | 94,7 | 11,715 | 6,401 | 74,99 | 79,19 |
| 150,21 | 93,8 | 11,717 | 6,403 | 75,02 | 79,98 |
| 200,25 | 93,8 | 11,718 | 6,403 | 75,02 | 79,98 |
| 250,32 | 93,7 | 11,719 | 6,403 | 75,03 | 80,07 |
| 300,13 | 93,6 | 11,719 | 6,403 | 75,04 | 80,17 |
| 374,30 | 94,5 | 11,721 | 6,404 | 75,06 | 79,43 |
| Měřeno na: Agilent 6813B AC POWER SOURCE/ ANALYZER KEITHLEY 2380-500-30 DC electronic load | | | | | |

5.7 Závěr úprav a funkčního testu

Závěrem této kapitoly lze konstatovat, že se úspěšně podařilo navrhnout LLC měnič s širokým rozsahem vstupního napětí. Z pohledu praktické části byl úspěšně upraven emulační LLC měnič z bakalářské práce, byly vyměněny komponenty rezonančního obvodu, doplněny chybějící části komunikačního a řídicího rozhraní, a také byl navinut nový transformátor. Celý „wide range“ LLC měnič byl následně otestován na celém rozsahu napájecího napětí a bylo fyzicky ověřeno, že splňuje všechny požadavky, které byly stanoveny. Změřená účinnost výkonové části měniče se pohybovala kolem 80 %.

6. NÁVRH A REALIZACE EMULAČNÍ PLATFORMY

Tato kapitola je věnována návrhu celé emulační platformy, která se v tomto případě skládá pomocné regulační desky, ladící desky a hlavní řídicí desky. Emulovat se bude řízení pro navržený LLC měnič s širokým vstupním rozsahem. Řídicím prvkem emulace bude obvod FPGA, který bude umístěn na hlavní řídicí desce (emulační platformě).

LLC měnič je realizován na emulační desce, kde je umístěná výkonová část a patřičná měření potřebná pro emulaci. V předchozím návrhu desky emulačního měniče byl ale špatně navržen obvod zpětné vazby („*feedback*“). Původní obvod nedokázal zpracovávat signál lineárně, ale pouze dvoustavově, bude proto nutné vytvořit nový systém pro snímání zpětné vazby pro emulační platformu.

Pro ladění programu a jeho funkcí bude navržena ladící deska „*debug board*“ obsahující spínače, světelnou signalizaci LED a displeje.

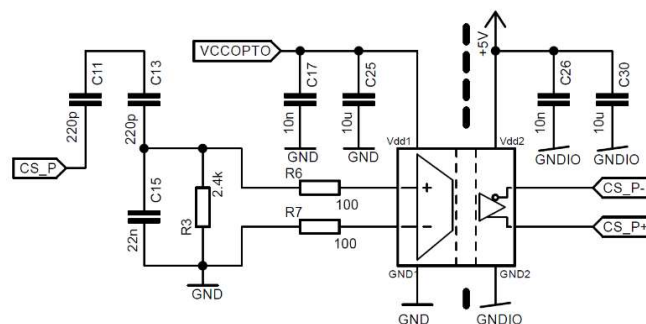
Jelikož má být měnič a celá platforma v budoucnu využita pro ověřování nové metody ochrany proti přetížení „*TrueOPP*“, bude součástí návrhu také příprava pro budoucí testování této nové metody.

6.1 Návrh pomocné regulační desky s komparátorem

Návrh této pomocné desky řeší problém z původního návrhu emulačního měniče – špatně realizované zapojení zpětné vazby. Mimo zpětnou vazbu řeší tato deska také hardwarovou přípravu pro ověřování metody „*trueOPP*“. V následujících částech jsou rozebrány jednotlivé bloky a jejich zapojení, celkové schéma je v příloze A.

6.1.1 Úprava měření primárního proudu

Pro ověřování metody „*trueOPP*“ je nutné snímat velikost primárního proudu, což se v rámci emulačního měniče děje pomocí kapacitního děliče. V původním návrhu byl tento dělič připojen na izolační operační zesilovač viz obrázek 6.1. Výstup tohoto zesilovače následně vedl do komunikační části měniče a odtud byl signál veden diferenciálně až k propojovacímu konektoru (s emulační platformou).



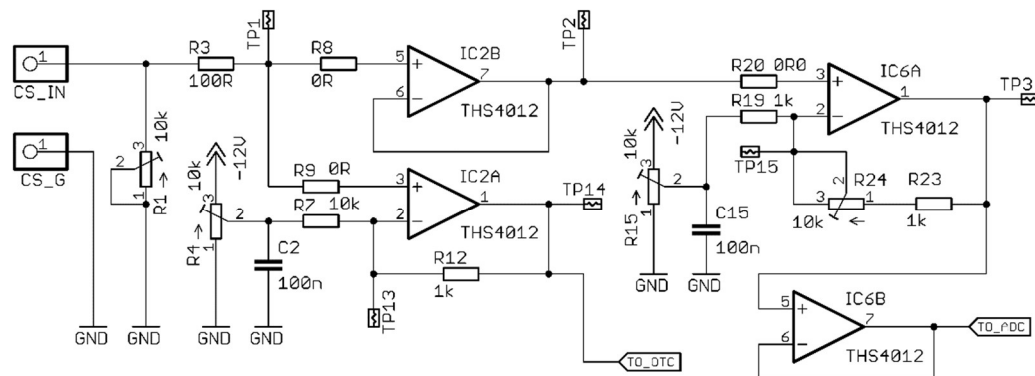
Obrázek 6.1 Původní realizace měření primárního proudu

Při prvotním testování tohoto zesilovače bylo zjištěno, že je pro účely ověřování metody „*trueOPP*“ nevhodný, a to ze dvou důvodů, je příliš pomalý a vedení k AD převodníku (na emulační desce) je rušeno chodem měniče a dalších částí.

Vhodným řešením této situace bylo umístění AD převodníku přímo na primární stranu měniče a následně posílat pouze digitální informaci pomocí LVDS spojení na emulační platformu. Bylo tedy navrženo zapojení s AD převodníkem, které se dá připojit ke stávajícímu emulačnímu měniči bez destruktivních úprav.

Úprava signálu z kapacitního děliče

Na obrázku 6.2 je zobrazeno zapojení snímání napětí z kapacitního děliče. Na svorky *CS_IN* a *CS_G* je přiveden signál z kapacity. Tento vstupní signál je následně veden na dva rychlé operační zesilovače (OZ) THS4012 [62], ty rozdělují signál do dvou samostatných cest, kdy „horní“ cesta (*IC2B*) vede signál do AD převodníku a „spodní“ cesta (*IC2A*) vede signál do „*ON_time*“ komparátoru pro synchronizaci, viz kapitola 6.1.3. Nastavení zatížení kapacitního děliče se provede pomocí trimru *R1*, protože operační zesilovače mají velký vstupní odpor, což by mohlo způsobit rušení signálu.



Obrázek 6.2 Úprava signálu z kapacitního děliče

Signálová cesta pro AD převodník, který bude v budoucnu sloužit pro „*trueOPP*“, je prvně vedena přes napěťový sledovač a následně do druhého OZ (*IC6A*), který má na starost nastavení stejnosměrné hodnoty („*bias*“) a zesílení. Nastavení pracovního bodu („*bias*“) musí být provedeno tak, aby na výstupu byla stejnosměrná složka rovna nule, v opačném případě by AD převodník převáděl posunutý signál a výstupní hodnota by tedy nerepresentovala správné napětí.

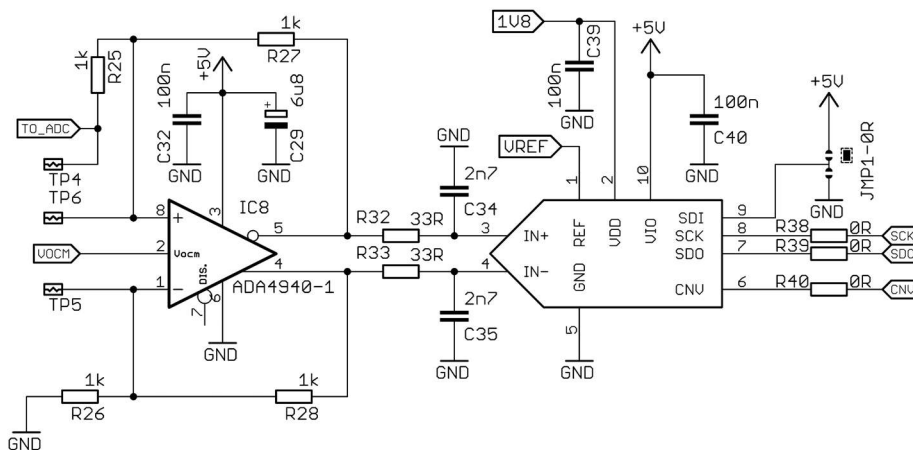
Nastavení stejnosměrné hodnoty se provádí trimrem *R15* připojeným mezi zápornou napájecí větev a záporný vstup OZ, zesílení se potom nastavuje trimrem *R24*. Výstup vedoucí k AD převodníku (*TO_ADC*) je ještě jednou veden přes napěťový sledovač, aby diferenciální zesilovač zapojený před AD převodníkem neovlivňoval nastavení OZ.

Signálová cesta pro „*ON_time*“ komparátoru je potom vedena opět přes OZ (*IC2A*) s nastavením pracovního bodu, zde se ovšem pracovní bod nastavuje jinak. Nastavení tohoto bodu závisí na klidové hodnotě napětí převodníku U-I (viz obrázek 6.7), kdy je nutné zajistit takový stejnosměrný posun signálu z kapacitního děliče, aby užitečný signál (sinusový) „protínal“ na komparátoru stejnosměrnou hodnotu z převodníku U-I a tím došlo ke komparaci a generování pulzu „*ON_time*“.

6.1.2 Zapojení AD převodníku

Na obrázku 6.7 je zobrazeno zapojení AD převodníku AD4001 [63], což je 16bitový převodník s postupnou aproximací (SAR) a má rychlost převodu 1MSPS. Převodník byl zvolen dle požadavků metody „*trueOPP*“, kdy důležitým parametrem je jednoduché a ověřené zapojení a rychlost převodu.

Před tímto převodníkem je předřazený diferenciální operační zesilovač ADA4940 [64], který zajišťuje převod vstupního signálu (*TO_ADC*) vztaženého proti zemi na signál diferenciální vztažený k polovině referenčního napětí (*VOCM*). Referenční napětí (*VREF*) je tvořeno napětíovou referencí LM431, viz obrázek 6.4.

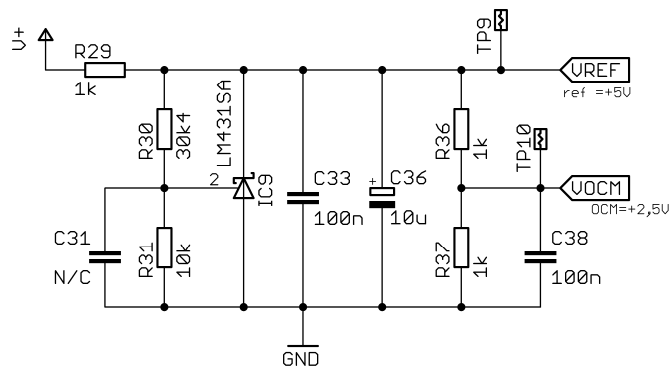


Obrázek 6.3 Zapojení AD převodníku

Převodník je ovládaný pomocí řídicího pinu *CNV*, kdy tento pin umožňuje okamžité spuštění převodu. Po aktivaci tohoto provede převodník převod analogové hodnoty na digitální a následně provede synchronní odeslání dat pomocí pinu *SDO*, pro synchronizaci slouží signál *SCK* (hodiny), který je generován z emulační platformy. Komunikační protokol má rámec SPI („*Serial Peripheral Interface*“).

Reference pro AD převodník

Referenční napětí pro AD převodník zajišťuje reference LM431 [65]. Schéma zapojení je zobrazeno na obrázku 6.4. Jedná se o klasickou programovatelnou referenci s referenčním napětím 2,5 V. Požadované výstupní napětí (5 V) je nastaveno pomocí odporového děliče ($R30$ a $R31$). Protože převodník pro svoji funkci vyžaduje symetrický vstupní signál vztažený k polovině referenčního napětí, je z výstupu reference vyvedené ještě pomocné referenční napětí $VOCM$, jehož hodnota je přesně polovina $VREF$. Polovina napětí $VREF$ je vytvořena pomocí přesného děliče napětí a filtračního kondenzátoru $C38$. Napětí $VOCM$ je následně vedeno k operačnímu zesilovači předřazeného před AD převodník.

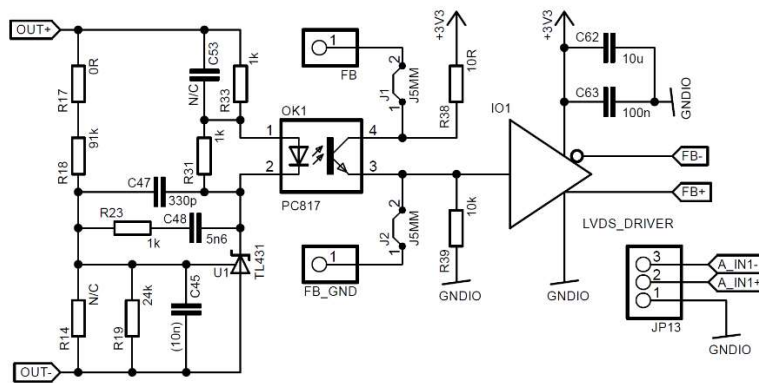


Obrázek 6.4 Zapojení reference pro AD převodník

6.1.3 Úprava snímání zpětné vazby

Obvod snímání zpětné vazby byl původně zapojen tak, jak je zobrazeno na obrázku 6.5. Zapojení bylo nevhodně navrženo pro dvoustavovou regulaci, což při použití lineárního regulátoru TL431 není možné.

Výstup optočlenu zpětné vazby je vyveden pro účely testování na primární stranu (piny FB a FB_GND) do místa pro osazení testovací desky. Jedinou nedestruktivní cestou pro realizaci nového systému zpětné vazby bylo využití tohoto analogového propojení. Jako vhodný systém se ukázal s „ ON_time “ komparátorem, který se používá v komerčně vyráběných kontrolérech pro LLC měniče.



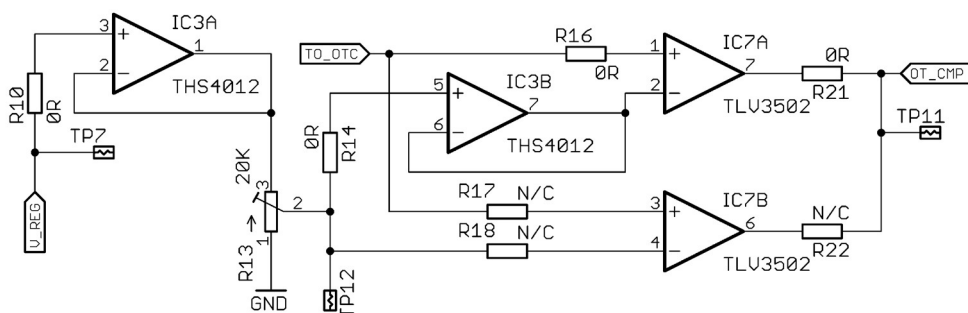
Obrázek 6.5 Původní realizace zpětné vazby

Systém řízení s „ON_time“ komparátorem

Systém se skládá ze dvou částí. První částí je samotný analogový komparátor a druhou vratný čítač. Komparátor je v případě integrované podoby přímo na čipu v blízkosti čítače, v tomto případě je ale umístěný na desce plošného spoje v primární části měniče. Na vstup komparátoru je připojen signál z napěťového regulátoru a signál z kapacitního děliče reprezentující proud rezonančním obvodem. Čítač je potom umístěn v řídicím obvodu, v tomto případě v obvodu FPGA emulujícím řízení.

Výhodou použití „ON_time“ komparátoru je potom synchronizace řídicích impulsů pro tranzistory měniče s obvodovými veličinami (proud rezonančním obvodem). Na rozdíl od řízení oscilátorem, potom nemůže samovolně dojít k tzv. zhašení neboli k brždění rezonančního obvodu tak, aby rezonance zanikla a měnič se dostal mimo pracovní oblast.

Na obrázku 6.6 Zapojení „ON_time“ komparátoru na preregulační desce 6.6 je zobrazeno zapojení „ON_time“ komparátoru pro emulační měnič, kde jsou pro komparaci použity dva rychlé komparátory v jednom pouzdře s označením TVL3502 [66]. Výstupy těchto komparátorů jsou vedeny přes optické oddělení do emulační platformy.



Obrázek 6.6 Zapojení „ON_time“ komparátoru na preregulační desce

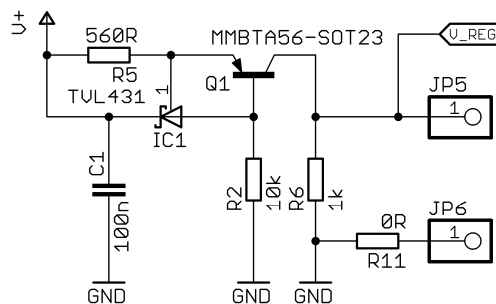
Jak již bylo zmíněno, vstupní signály jsou dva, kdy první je signál z napěťového regulátoru označený jako V_REG a druhý signál je přiváděn z kapacitního děliče TO_OTC . Signál V_REG je před přivedením na komparátor upraven přes napěťový sledovač, a to proto aby nebyl zatěžován předchozí obvod (převodník U-I) odporovým trimrem. Signál z kapacitního děliče je potom vedený přímo do komparátoru.

V zapojení byly použity rychlé operační zesilovače THS4012 [62]. Samotné komparátory jsou potom na desce zapojeny tak, aby bylo možné pomocí konfigurace rezistorů provést zapojení buď s napěťovým sledovačem na signálu z trimru nebo bez něj.

Úprava zpětnovazebního signálu

Jak již bylo zmíněno v předchozím odstavci, potřebuje systém s „ ON_time “ komparátorem napěťový vstup, který reprezentuje zpětnou vazbu ze sekundární strany. Původní zapojení zpětné vazby (obrázek 6.5) má ovšem proudový výstup, jelikož je zpětná vazba vedena přes optočlen, který má na svém výstupu bipolární tranzistor. Je proto nutné tento proudový signál nesoucí informaci o výstupním napětí převést na signál napěťový, aby mohl být zpracován „ ON_time “ komparátorem.

K tomuto účelu slouží zapojení na obrázku 6.7, kde je realizovaný převodník proudu na napětí s referencí TVL431. Vstupem do tohoto obvodu je tranzistor optočlenu připojený na konektory $JP5$ a $JP6$, výstup je potom veden k napěťovému sledovači na obrázku 6.6 na vývod V_REG .



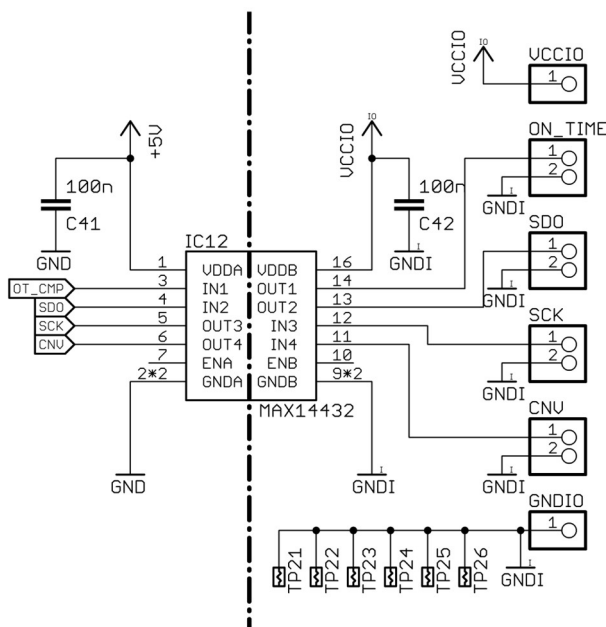
Obrázek 6.7 Převodník proudu na napětí

Funkce obvodu je potom velmi jednoduchá, reference TVL431 [67] vytváří referenční proud spolu s tranzistorem $Q1$, jeho velikost je nastavena pomocí $R5$ a $R2$. Pokud na vstupní svorky připojíme tranzistor, velikost napětí V_REG bude nepřímo úměrná velikosti proudu, který protéká tranzistorem. Rezistor $R6$ potom tvoří umělou zátěž pro případ, kdy je tranzistor plně zavřený (zapnutí měniče), otevřený tranzistor potom přebírá téměř veškerý proud. Chybu, která může být tímto rezistorem způsobena je možné kompenzovat na trimru před „ ON_time “ komparátorem.

6.1.4 Izolace výstupní části

Všechny signály přicházející ze sekundární strany vyžadují galvanické oddělení, a to hned ze dvou důvodů. Prvním důvodem je oddělení vysokonapěťové části od části nízkonapěťové a komunikační a druhým důvodem je bezpečnost. Při provozu měniče může být na některých komponentách i několik stovek voltů a mohlo by dojít k úrazu obsluhy při operacích na sekundární řídicí části vlivem kapacitních a jiných proudů.

Pomocná deska byla oddělena pomocí čtyřnásobného digitálního oddělovače MAX14432, předností tohoto oddělovače je, že v jednom pouzdře jsou oddělovače jak vstupní, tak výstupní v konfiguraci 2+2. Přes tyto oddělovače byly připojeny signály „*ON_time*“ komparátoru (*OT_CMP*) a signály AD převodníku (*CNV*, *SCK*, *SDO*) viz obrázek 6.8. Izolovaná strana je potom připojena k LVDS řadičům umístěných v komunikační části měniče.

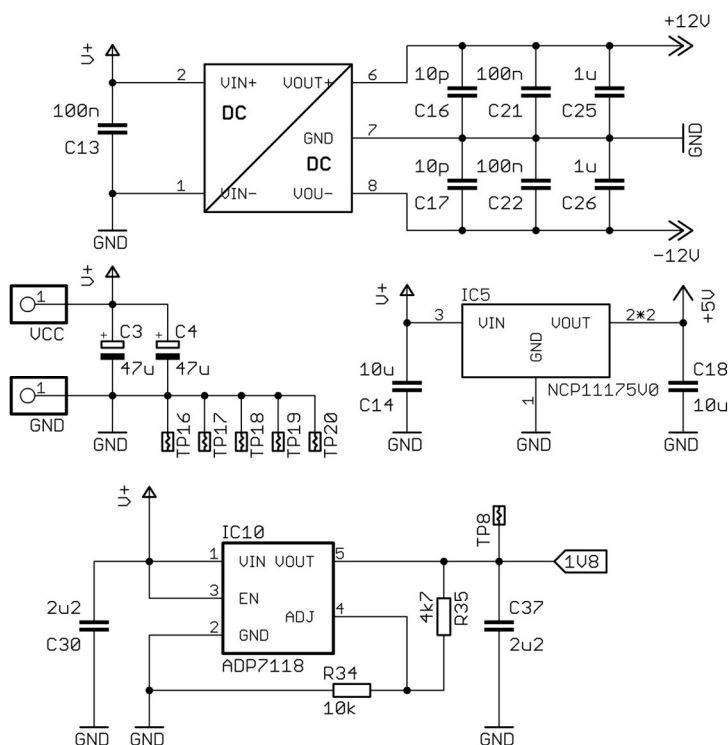


Obrázek 6.8 Izolace komunikačních signálů

6.1.5 Napájení pomocné desky

Jelikož má být pomocná deska připojena ke stávající desce emulačního měniče bylo potřeba vymyslet způsob napájení této desky, pokud možno tak, aby nemuselo být připojováno další pomocné napájení (emulační měnič již pomocné napájení má). Pokud by pomocná deska obsahovala pouze obvody využívající nesymetrické napájení, nebyla by realizace problém.

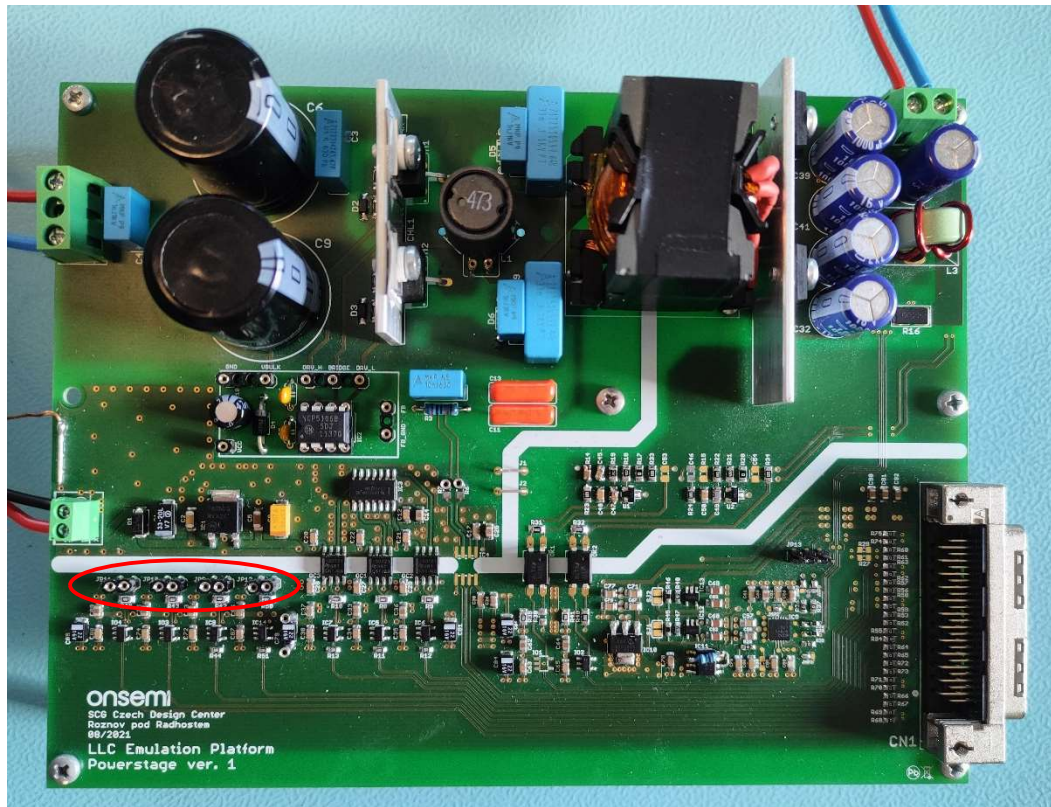
Deska ovšem vyžaduje symetrické napájení pro rychlé operační zesilovače. Aby nebylo potřeba přidávat další napájení, byl k vytvoření symetrického napájení použit symetrický izolovaný DC/DC měnič tak, jak je zobrazeno na obrázku 6.9. Ostatní napájecí hladiny byly provedeny pomocí stabilizátorů napětí.



Obrázek 6.9 Napájecí obvody pomocné desky

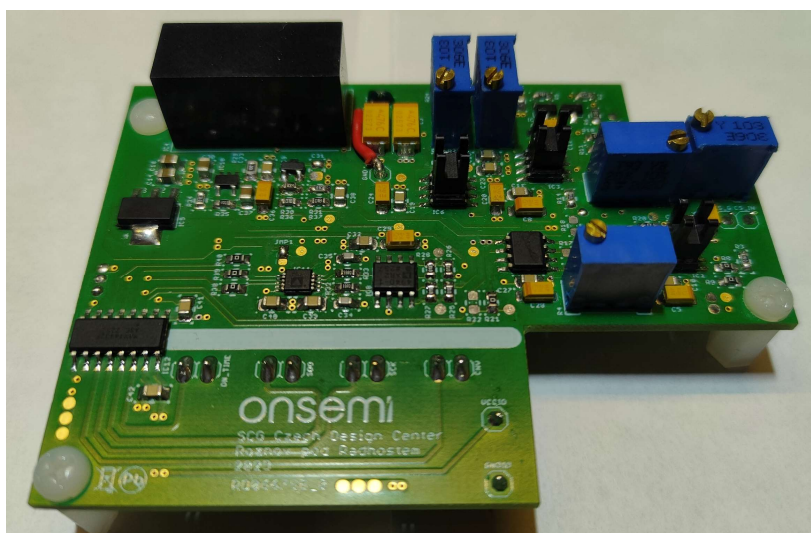
6.1.6 Návrh desky plošného spoje

Při prvotním návrhu byl emulační měnič vybaven několika LVDS spojeními navíc (dva vstupní a dva výstupní), nabízela se tedy varianta využít tato spojení k účelu komunikace pomocné desky a emulační platformy. Nebude tedy nutné výrazně zasahovat do konstrukce měniče. Na obrázku 6.10 jsou zobrazeny zmiňované rezervní LVDS konektory.



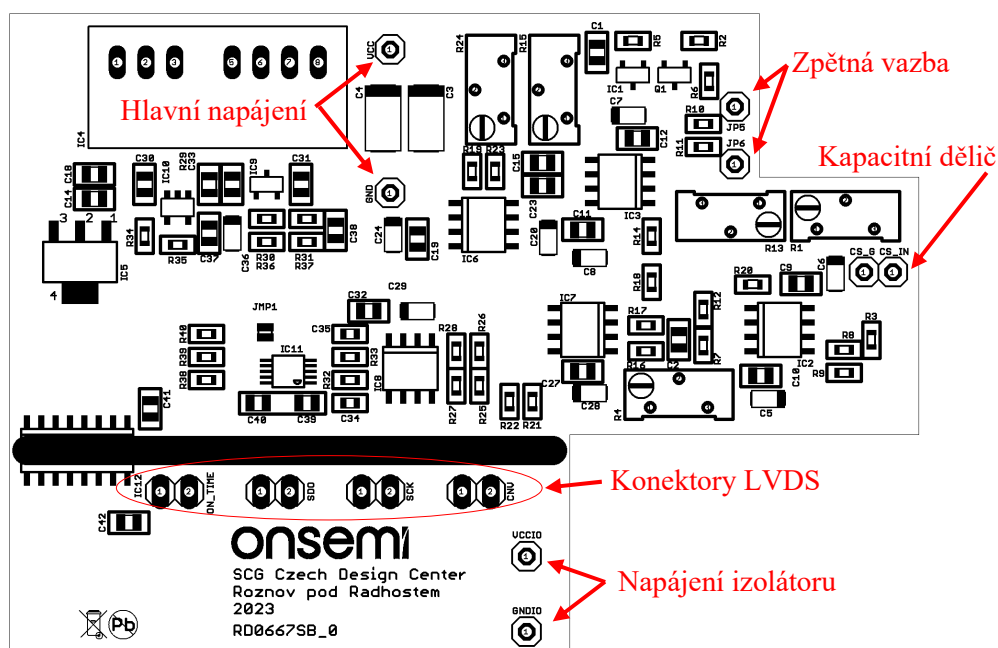
Obrázek 6.10 Umístění rezervních LVDS konektorů

Aby ale bylo možné využít tyto konektory, bude nutné přizpůsobit návrh desky tak, aby byly propojeny všechny části – optočlen ze sekundární strany, kapacitní dělič na straně primární, konektory na straně komunikační a napájení. I přesto že prostor na desce emulačního měniče je značně omezen, povedlo se navrhnout desku plošného spoje s takovými rozměry, aby ji bylo možné připojit k emulačnímu měniči. Navržená deska je zobrazena na obrázku 6.11. Výrobní podklady jsou potom v příloze A.



Obrázek 6.11 Realizace pomocné desky na DPS

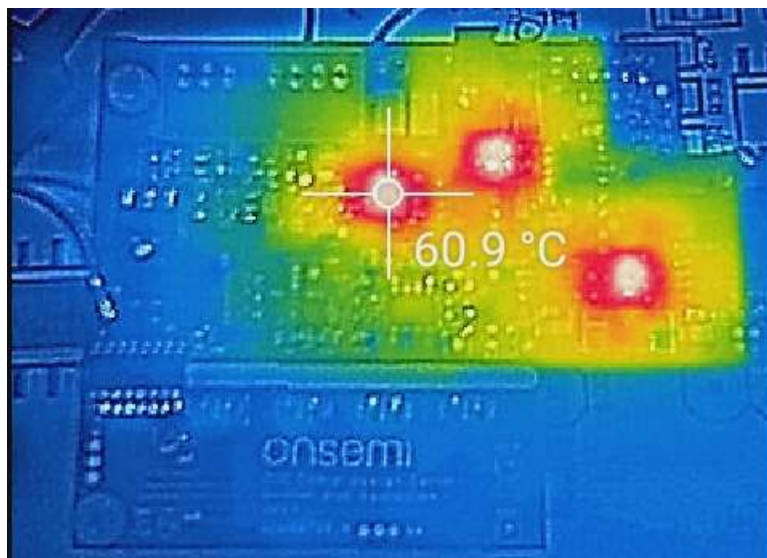
Konektivita mezi deskami byla realizována pomocí stávajících a přidaných pinových konektorů (viz obrázek 5.14 a kapitola úprava měniče). Na obrázku 6.12 je uvedeno rozmístění jednotlivých součástek a je rozepsáno, který konektor připojuje kterou část.



Obrázek 6.12 Rozmístění součástek na pomocné desce

Při návrhu desky byla vlivem špatného popisu zaměněna polarita napájecích konektorů pomocné desky. Bylo tedy nutné provést opravu této chyby. Aby se nemusela vyrábět nová deska, byla provedena výměna napájecích konektorů za pomoci drátové propojky pro kladný pól, záporný pól byl díky vylité zemnicí ploše připojen přímo u konektoru. Chyba tedy nijak neovlivnila provoz pomocné desky. Provedení této opravy je viditelné na obrázku 6.11 – červená šipka.

Na obrázku 6.11 je možné si povšimnout, že některé obvody (THS4012) jsou osazeny malými chladiči. Toto řešení vzniklo jako reakce na měření teploty desky (obrázek 6.13), kdy bylo naměřeno, že tyto velmi rychlé operační zesilovače se zahřívají vlivem velkého klidového proudu – nejedná se o vadu, ale vlastnost obvodu danou jeho katalogovým listem. Výrobce doporučuje umístit pod pouzdro prokovy pro odvod tepla do plošného spoje, což z důvodu husté integrace nebylo možné, proto byla zvolena tato alternativní možnost.



Obrázek 6.13 Měření pomocné desky termokamerou

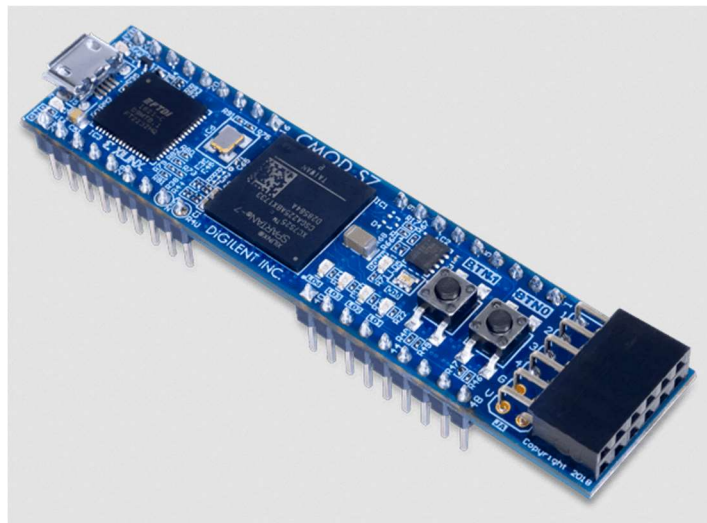
6.2 Návrh hlavní řídicí desky s FPGA

Tato deska je též označovaná jako emulační platforma. Jejím hlavním úkolem je emulovat řízení daného systému, v našem případě měniče LLC. Jelikož má emulace nahrazovat fyzický řídicí obvod, používají se pro emulaci obvodu FPGA.

Obvod FPGA je programovatelné hradlové pole, což v praxi přináší určitou podobnost s fyzickým obvodem, jehož vnitřní zapojení je také realizováno pomocí hradel. Jediným rozdílem mezi obvodem a emulací je, že obvod se po výrobě již nedá příliš modifikovat a měnit jeho zapojení. Emulace toto ovšem umožňuje, a proto je možné získat relevantní informace o chování budoucího obvodu ve specifických konfiguracích vnitřního zapojení ještě před jeho samotnou výrobou. V následujících částech jsou popsány jednotlivé obvody realizované na emulační platformě, celé schéma zapojení a výrobní podklady jsou v příloze B.

6.2.1 Výběr obvodu FPGA

Pro tuto navrhovanou emulační platformu bylo využito FPGA od firmy Xilinx Spartan 7 integrované do modulu s označením Cmod S7 od firmy DIGILENT [68]. Viz obrázek 6.14.



Obrázek 6.14 FPGA modul digilent Cmod S7 [68]

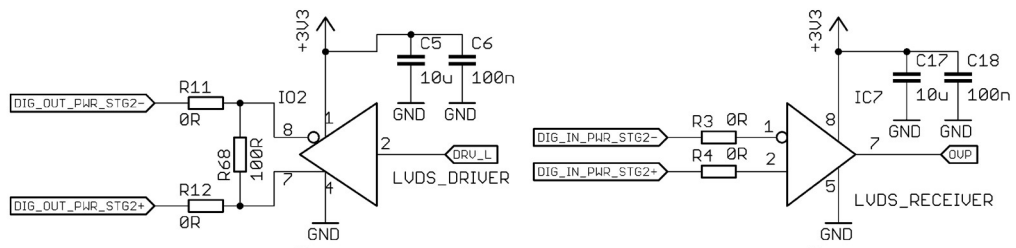
Důvodů pro použití této integrované podoby je hned několik. Mezi ty hlavní patří velmi složitý design desky plošného spoje při použití BGA pouzder [69], ve kterých jsou FPGA většinou realizována. Většinou je nutné vytvořit vícevrstvou desku plošného spoje která je značně dražší než například deska dvouvrstvá. Dále je zde výběr a propojení paměti flash [70], která musí být kompatibilní s FPGA. V neposlední řadě potom řešení programátoru pro FPGA a paměť flash, který se musí buď celý navrhnout nebo musí být

zakoupen jako celek. V poslední řadě je potom třeba vyřešit napájení jádra, paměti a komunikaci s okolím (USB, konektory atd.).

Použití této integrované podoby na jedné desce spolu s malým počtem integrovaných periférií (diody LED, tlačítka) je pro účel této jednodušší verze emulační platformy naprosto vyhovující. Deska je programovatelná a laditelná přes USB port. Jednotlivé porty jsou vyvedeny na konektorové lišty, a navíc jsou chráněny sériovým předřadným odporem, takže je obtížnější je poškodit nebo zkratovat.

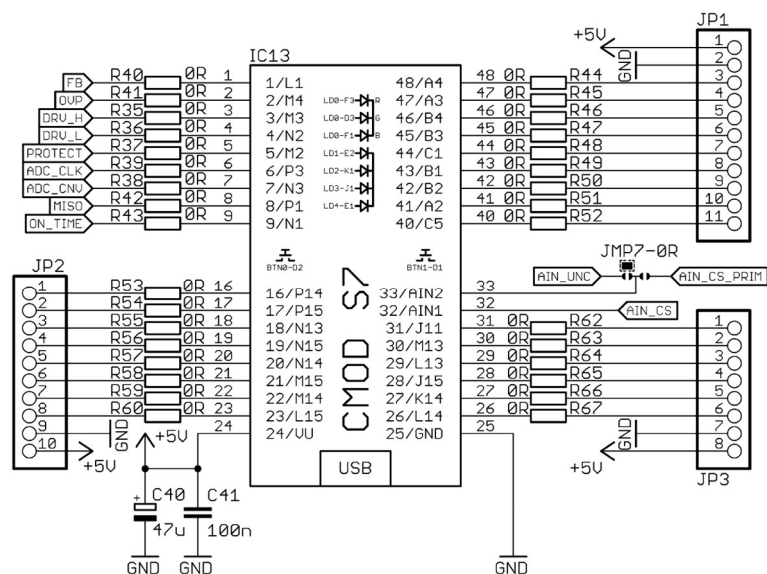
6.2.2 Propojení digitálních signálů

Jak již bylo zmíněno dříve, emulační měnič využívá pro digitální propojení vysokorychlostní propojení pomocí LVDS řadičů. Aby mohl být měnič propojený s emulační platformou, je nutné umístit na všechny digitální signály LVDS řadiče tak, aby přicházející diferenciální signály byly převedeny na signály jedné polarity. Na obrázku 6.15 je zobrazeno připojení vstupního a výstupního řadiče LVDS na emulační desce.



Obrázek 6.15 Zapojení řadičů LVDS

Jednotlivé upravené signály jsou následně vedeny na konektorové lišty vedoucí přímo na modul s FPGA obvodem. Připojení jednotlivých signálů na piny modulu FPGA je zobrazeno na obrázku 6.16. Na obrázku jsou také vyznačeny příslušné porty FPGA pro daný pin pro rychlejší orientaci při tvorbě kódu.



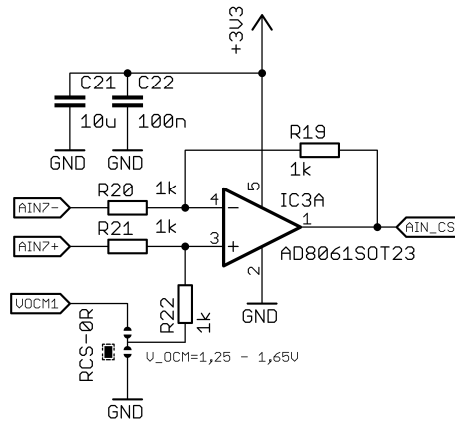
Obrázek 6.16 Propojení emulační desky a FPGA modulu

6.2.3 Propojení analogových signálů

Na emulačním měničích byla realizována také analogová propojení. První propojení se týkalo měření primárního proudu přes kapacitní dělič – to ale bylo zrušeno. Druhé analogové spojení měří proud na sekundární straně pomocí bočníku. Poslední měření je pouze rezervní a je vyvedeno na pinový konektor.

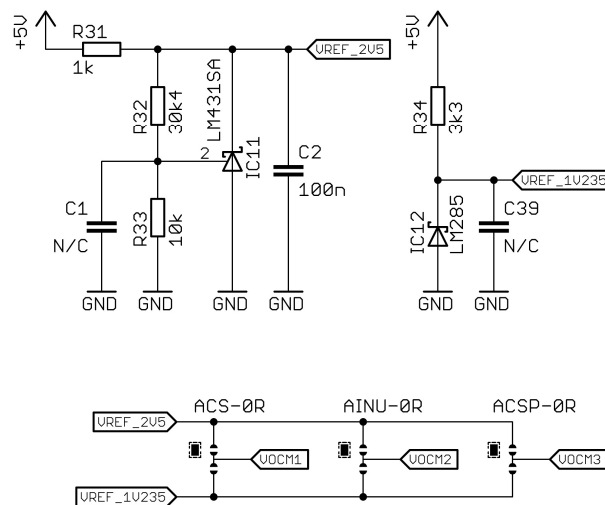
Vybrané FPGA má v sobě integrovaný 12bitový AD převodník. Akceptované vstupní diferenciální napětí interního AD je 0-1 V, modul ale upravuje tento diferenciální vstup pomocí přesných děličů na jednu polaritu s rozsahem 0-3,3 V. Tyto upravené vstupy převodníku jsou vyvedeny na pinové konektory modulu. Modul je vybaven celkem dvěma analogovými vstupy, které jsou interně přepínány multiplexorem. Analogové vstupy do modulu jsou zobrazeny na obrázku 6.16 a jsou označeny (*AIN1* a *AIN2*)

Přímé připojení emulačního měniče k AD převodníkům tedy není možné, signál musí být nejprve převeden na signál jedné polarity a teprve potom přiveden na vstup modulu. Převod signálu je na emulační desce zprostředkován pomocí operačních zesilovačů. Realizace těchto OZ je zobrazena na obrázku 6.17.



Obrázek 6.17 Realizace operačního zesilovače pro převod signálů

Jelikož jsou na emulačním měniči signály vztaženy proti různým referenčním hodnotám, byly na desce emulační platformy vytvořeny ekvivalentní reference, obrázek 6.18. Ke každému operačnímu zesilovači jsou potom přivedeny tato referenční napětí. U zesilovače je umístěn pájecí můstek, jehož propojením lze připojit dané referenční napětí. Každý zesilovač potom jde připojit také na zem (GND) pro případ, že by byl zpracováván signál pouze jedné polarity.

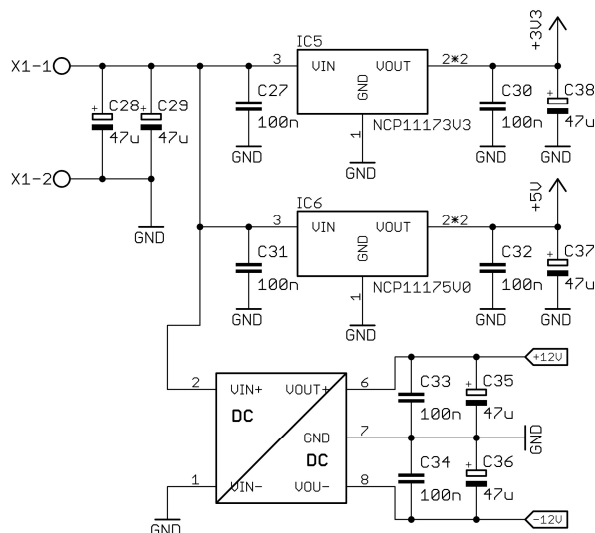


Obrázek 6.18 Napěťové reference

6.2.4 Napájení emulační platformy

O napájení emulační platformy se stará několik lineálních regulátorů, které vytvářejí celkem 2 napěťové hladiny: 5 V pro napájení modulu s PFGA a dalších periférií a 3,3 V pro napájení řadičů LVDS.

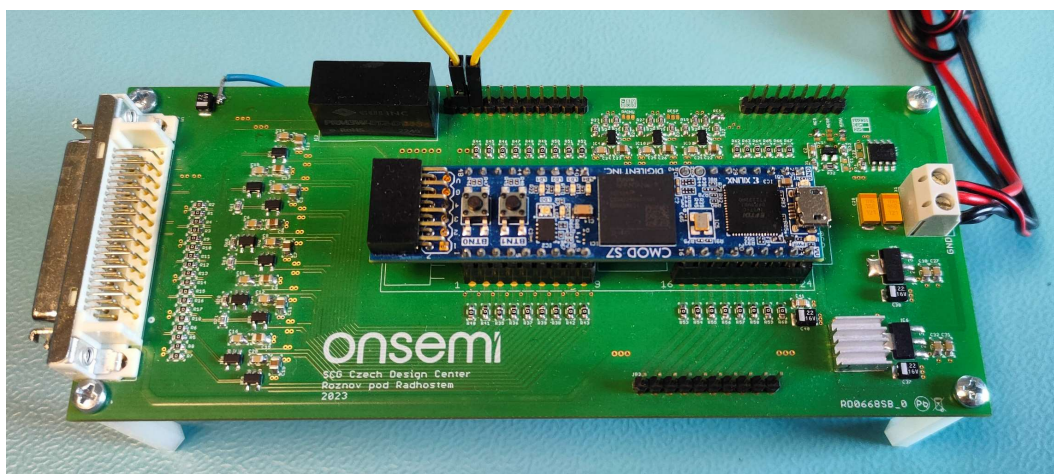
Pro napájení operačních zesilovačů bylo potřeba vytvořit symetrické napájení, to bylo vytvořeno stejně jako v případě pomocné desky pomocí galvanického DC/DC měniče s asymetrickým vstupem a symetrickým výstupem. Realizace zapojení je zobrazena na obrázku 6.19.



Obrázek 6.19 Realizace napájení emulační platformy

6.2.5 Realizace desky emulační platformy

Návrh desky emulační platformy musel splnit pouze jednu podmínku, a to umístění konektoru LVDS na levou stranu desky tak, aby ji bylo možné připojit k emulačnímu měnič. Mimo hlavní LVDS konektor bylo také nutné z modulu vytáhnout další piny na emulační platformu tak, aby k ní mohly být připojeny další periferie, například ladící deska. Realizace desky emulační platformy je zobrazena na obrázku 6.20. Osazovací plán a další podklady jsou uvedeny v příloze B.



Obrázek 6.20 Realizace desky emulační platformy

6.3 Návrh ladící desky („debug board“)

Jak již bylo zmíněno na začátku této práce, může emulace řízení vyžadovat změnu některých parametrů za běhu. Může být také požadováno zobrazení nastavovaných hodnot nebo vnitřních stavů.

K tomuto účelu lze využít několik způsobů. První lze realizovat z programovacího prostředí FPGA v režimu „debug“, zde je ale problém, že celý systém musí být neustále připojen k PC.

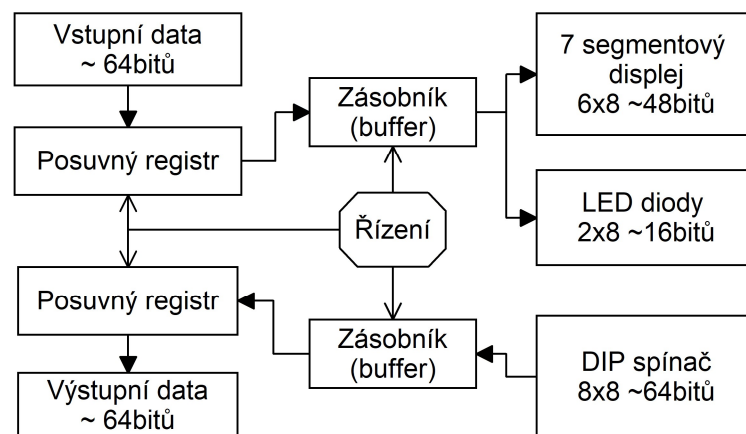
Jiným řešením je potom realizace pomocného rozhraní, například přes USB nebo WiFi, které má svůj vlastní program a ten ovládá a čte vnitřní stavy a proměnné. V tomto případě je ale potřeba vytvořit hned dva programy, jeden pro PC a druhý pro FPGA.

Nejjednodušší variantou je konstrukce ladící desky, která je připojená přímo k FPGA a je jím zároveň i řízena. Vytváří se tedy pouze jeden program, a to pro FPGA, řízení je jednoduché a rychlé.

6.3.1 Koncept ladící desky

Koncept ladící desky byl postaven na využití funkce posuvných registrů. Hlavní výhodou tohoto konceptu je možnost libovolného rozšíření při zachování stejného hardwaru. Ladící deska je potom realizována s maximální univerzálností pro zobrazení a ovládání.

Na obrázku 6.21 je zobrazeno blokové schéma zapojení ladící desky. Podrobné schéma zapojení a další podklady jsou v příloze C.

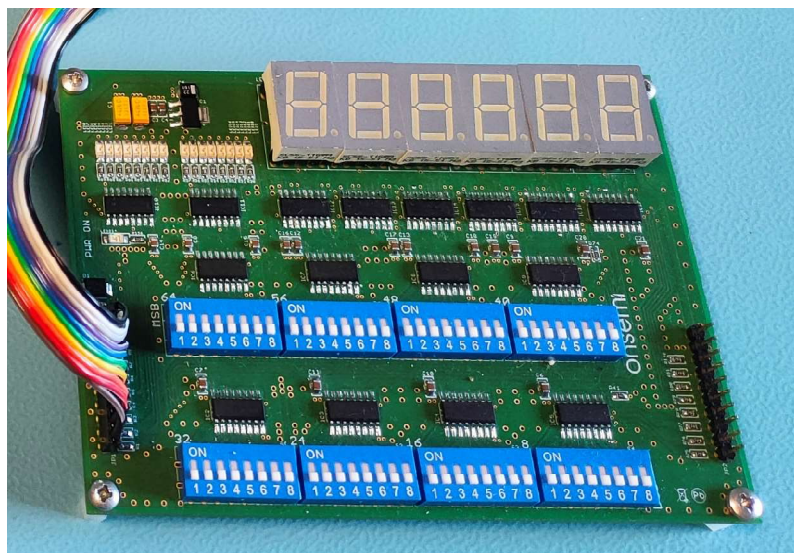


Obrázek 6.21 Koncept ladící desky

Ladící deska byla realizována jako 64bitová pro vstupní a výstupní data. Vstupní data (do ladící desky) jsou synchronně vysílána z FPGA do posuvných registrů řazených sériově za sebou. Následně jsou zobrazeny buď na displeji, nebo na jednotlivých diodách LED. Výstupní data (z ladící desky) jsou také vyčítána synchronně, a to z nastavených spínačů DIP. Použité posuvné registry pro spínače jsou MC74HC589 [71] a pro diody LED, včetně displeje MC74HC595 [72].

6.3.2 Realizace ladící desky

Ladící deska byla realizována s ohledem na její koncept tak, aby se v případě potřeby daly desky zapojovat za sebe, tedy do série. Díky využití sériové komunikace je možné zapojit potřebné množství desek za sebe a vytvořit tak kompaktní ladící rozhraní. Na obrázku 6.22 je zobrazena realizovaná ladící deska.

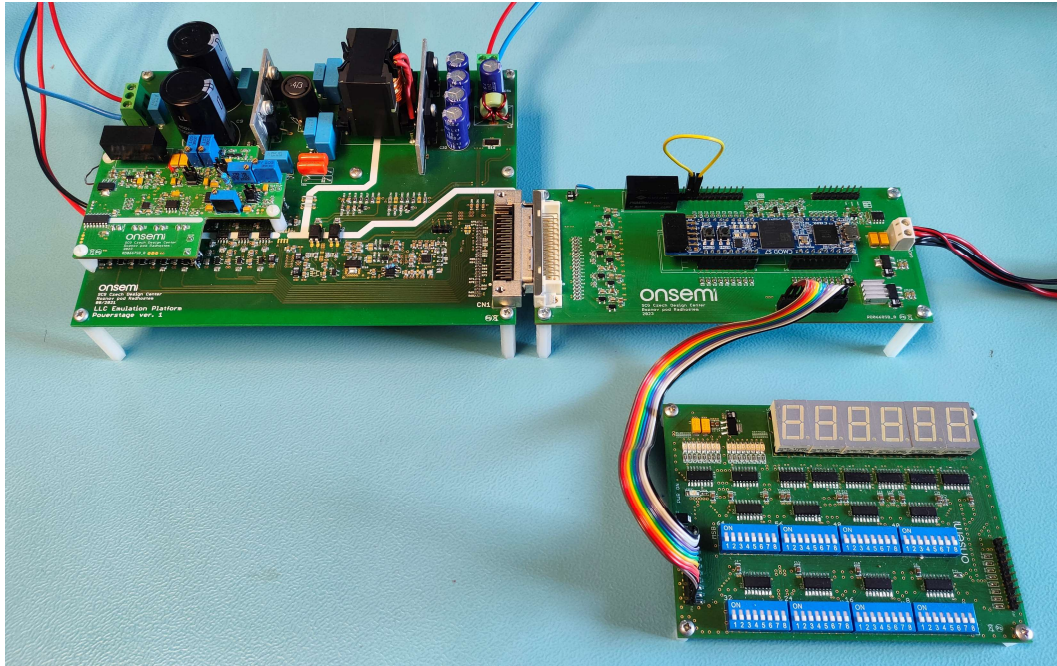


Obrázek 6.22 Realizace ladící desky

Jednotlivé 7segmentové displeje byly na desku připojeny pomocí patice, není tedy žádný problém nahradit tyto displeje diodami LED nebo jinými součástkami. Komunikační konektor byl upraven tak, aby přesně pasoval na konektor umístěný na emulační platformě.

6.4 Závěr návrhu emulační platformy

V této kapitole byl popsán návrh celé emulační platformy a jejich nezbytných komponent. Kromě pár chyb, které se vyskytnuly při návrhu, byl návrh úspěšný. Na obrázku 6.23 je zobrazena celá emulační aplikace sloužící pro emulaci řízení měniče LLC s širokým vstupním rozsahem a přípravou pro ověřování metody „TrueOPP“.



Obrázek 6.23 Zapojení emulační aplikace řízení „wide-range“ LLC měniče

7. REALIZACE PROGRAMU PRO EMULACI ŘÍZENÍ

Tato část práce je věnována tvorbě emulačního programu pro obvod FPGA. Funkcí emulačního programu je řídit připojené periferie k FPGA, v našem případě k emulační platformě. Emulované řízení bude ovládat rezonanční LLC měnič s širokým vstupním rozsahem napětí. Program bude také obsluhovat navrženou ladící desku, která bude sloužit pro nastavení některých parametrů řízení měniče.

Emulační program bude napsán v prostředí Vivado Design Suite od firmy AMD [73] v jazyce SystemVerilog [74], což je standardizovaný jazyk pro popis hardwaru stejně jako například jazyk VHDL [75]. SystemVerilog jazyk je oproti jazyku VHDL částečně objektově orientovaný a podporuje práci s vlastními datovými typy. Je tedy pro začátečníka snadněji uchopitelný a výsledný program je i přehlednější. Navíc je použití tohoto jazyka jedním z požadavků firmy onsemi, a to z důvodu pozdějšího využití při ověřování metody „*TrueOPP*“.

V následujících částech této kapitoly budou rozebrány jednotlivé programové bloky, které spolu tvoří emulační řízení. Jednotlivé dílčí programy a podprogramy budou reprezentovány pomocí blokových diagramů, které budou vyjadřovat jejich funkci a propojení s ostatními částmi kódu. Celý program, včetně všech částí, je umístěn v příloze D.

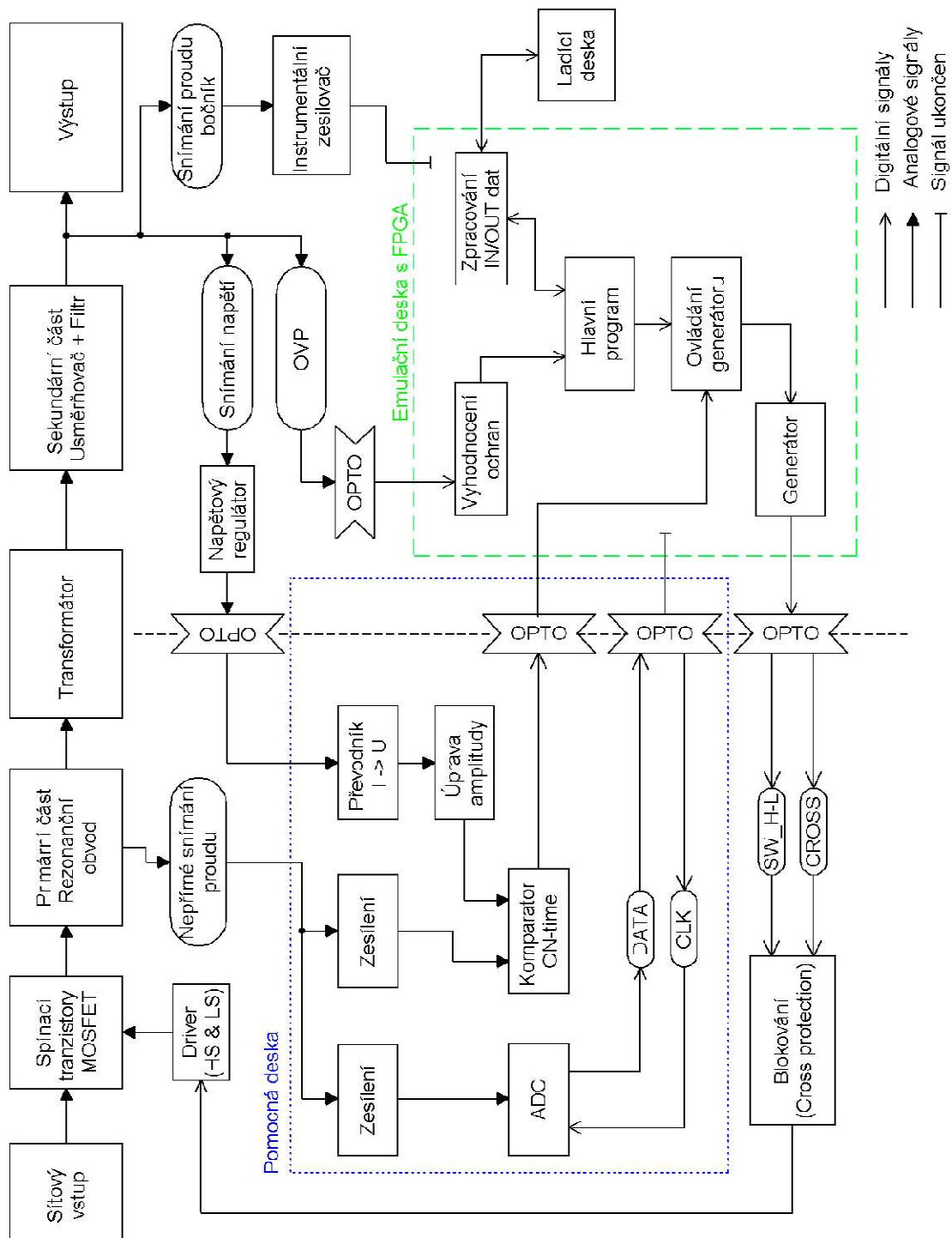
7.1 Blokové schéma propojení emulace

Před samotnou realizací programu je vhodné seznámit se s tím, jak bude vlastně samotná emulace propojena, které části spolu komunikují a jaké signály používají. Jelikož je celé propojení poměrně komplexní, je pro lepší představu na obrázku 7.1 zobrazeno blokové propojení emulace. Na obrázku jsou zobrazeny jednotlivé datové a komunikační signály, které vedou mezi emulační platformou, pomocnou deskou, emulačním LLC měničem.

Obrázek je rozdělen celkem na tři logické části, kdy modře orámována část je pomocná deska, která byla navržena v kapitole 6.1 a obsahuje „*ON_time*“ komparátor a AD převodník, který ale v této práci nebude využit, jedná se tedy o přípravu.

V zeleném orámování se nachází komponenty z emulační platformy (řídící desky). Komponenty reprezentují jednotlivé části řídicího programu, který bude nahrán do FPGA.

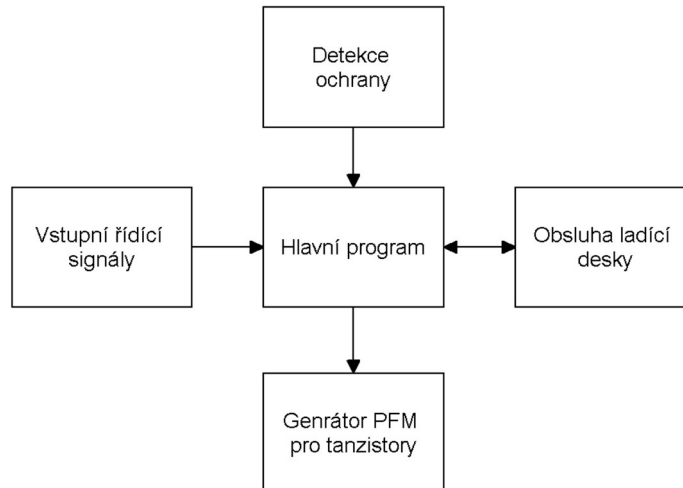
Ostatní bloky (vyjma bloku s označením „*Ladící deska*“) jsou komponenty, které obsahuje emulační měnič. Z emulačního měniče nebude pro účely této práce využito snímání sekundárního proudu pomocí bočníku, avšak hardwarově bylo vše připraveno, v případě potřeby tedy stačí pouze napsat část kódu, který bude toto měření zabezpečovat.



Obrázek 7.1 Blokové schéma propojení emulace

7.2 Blokové znázornění programu

Hlavní kostra programu se opírá o blokové schéma zobrazené na obrázku 7.2, kdy hlavní řídicí blok provádí obsluhu jednotlivých podprogramů, které následně obstarávají periferní zařízení. Schéma na obrázku 7.2 ovšem neodpovídá skutečné realizaci programu, pouze dává informaci o tom, jak jsou v programu řešena jednotlivá propojení.



Obrázek 7.2 Blokové znázornění programu

Blok označený jako „*Vstupní řídicí signály*“ zahrnuje všechny signály, které vstupují do obvodu FPGA z emulačního měniče nebo jiných částí emulační platformy, které jsou dále zpracovávány v jednotlivých podprogramech.

Blok „*detekce ochrany*“ je komplexnější a jeho části jsou také rozmístěny v podprogramech. Úkolem každé dílčí části je kontrola správného chodu měniče ve vymezených podmínkách. Při porušení provozní podmínky reaguje tento blok zastavením programu a tím chrání měnič a další komponenty před poškozením.

Blok „*Generátor PFM pro tranzistory*“ je hlavní a pravděpodobně nejdůležitější blok v celém programu. Tento blok se stará o generování řídicích signálů pro spínací tranzistory. Mimo jiné řeší také časové zpoždění „*deadtime*“ a omezení maximální a minimální frekvence. Blok je plně řízen z hlavního programu.

Blok „*Obsluha ladící desky*“ je poslední blok v programu, tento blok pracuje samostatně a stará se o výměnu dat mezi hlavním programem a ladící deskou. V tomto bloku je také přiřazen význam jednotlivých LED, DIP spínačů a také to, jaká proměnná se bude zobrazovat na displeji.

7.3 Popis programů a podprogramů

V této části je postupně rozebrán celý kód pro řízení emulace. Vzhledem ke komplexnosti programu jsou jeho části rozděleny do několika podprogramů (modulů), které jsou následně mezi sebou propojeny. Funkce jednotlivých podprogramů je reprezentována pomocí blokových diagramů. Pro případnou jednodušší orientaci v kódu odpovídají proměnné v digramech a označení signálu skutečným programovým proměnným.

Jednotlivé podprogramy jsou napsány formou stavových automatů (SA), které jsou synchronizovány na hlavní hodinový signál „CLK“, tím je zajištěno synchronní řízení jednotlivých částí a zároveň jsou eliminovány možné hazardní stavy. Celý zdrojový kód je v příloze D.

7.3.1 IP blok fázového závěsu

Modul s FPGA obsahuje krystalový oscilátor s kmitočtem 12 MHz. Tento kmitočet je ale pro zpracování velkého množství dat pomocí FPGA nevyhovující. Programovací prostředí Vivado umožňuje použít tzv. fázových závěsu (anglicky PLL), které umožňují n -krát vynásobit vstupní kmitočet a vytvořit tak kmitočet vyšší, na který se následně připojí vnitřní obvody FPGA. Pro účely tohoto programu byl fázový závěs nastaven tak, aby hlavní hodinový signál měl kmitočet 200MHz.

Protože se jedná o IP blok („*intellectual property*“) neboli duševní vlastnictví společnosti, není známá přesná struktura tohoto bloku.

7.3.2 Podprogram vratného čítače (TIMER_U_D)

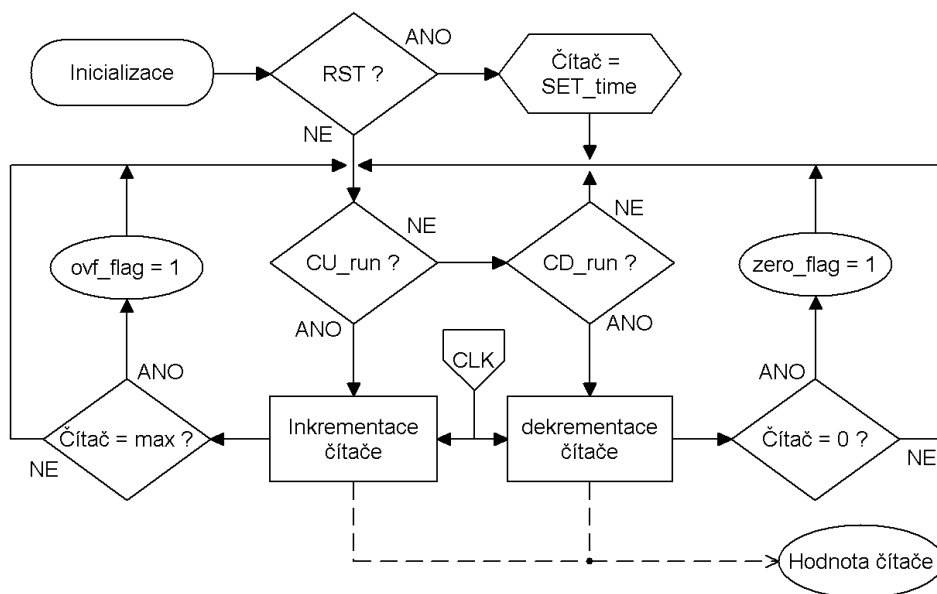
Na obrázku 7.3 je zobrazeno blokové schéma vratného čítače. Jedná se o jednoduchou strukturu synchronního čítače s možností čítat nahoru (inkrementovat) nebo dolů (dekrementovat). Tento čítač je podřízený modulu GEN_PFM.

V prvním kroku čítač ověřuje, zdali je dostupný příznak „RST“, ten představuje synchronní reset čítače a nastavení hodnoty čítacího registru na hodnotu „SET_time“, která odpovídá startovací hodnotě periody pro spodní tranzistor.

Čítač následně čeká na některý z příznaků pro čítání: „CU_run“ pro čítání směrem nahoru anebo „CD_run“ pro čítání směrem dolů. Tyto příznaky jsou generovány také z nadřazeného modulu GEN_PFM.

Při dekrementaci čítače je nastaven příznak „zero_flag“ v době, kdy čítač dosáhne hodnoty 0. V opačném případě, když čítač inkrementuje svou hodnotu, je při dosažení maximální hodnoty nastaven příznak „ovf_flag“.

Při obou typech čítání je vždy aktuální hodnota čítacího registru vyvedena ven z modulu do proměnné „COUNT“.

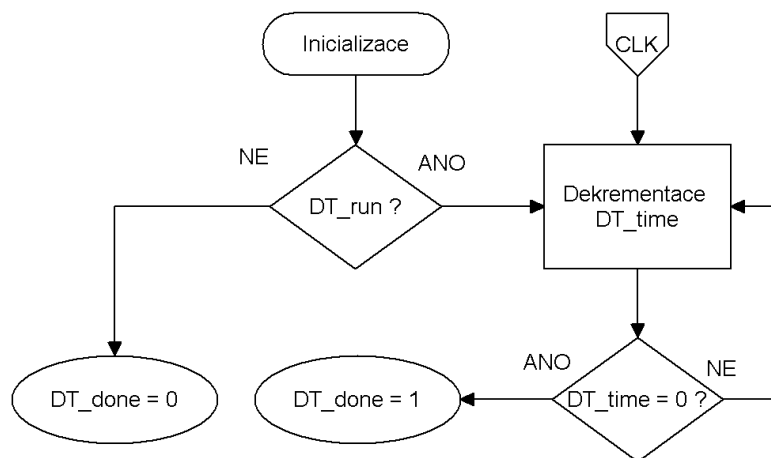


Obrázek 7.3 Blokové schéma TIMER_U_D

7.3.3 Podprogram čítače „deadtime“ (TIMER_DT)

Na obrázku 7.4 je zobrazeno blokové schéma čítače „deadtime“. Jedná se o velmi jednoduché zapojení synchronního čítače obdobné jako je využito u vratného čítače „TIMER_U_D“.

Čítač je řízen z nadřazeného modulu GEN_PFM. Při příchodu příznaku „DT_run“ začíná čítač dekrementovat nastavenou hodnotu čítacího registru až do nuly. Při dosažení nuly nastavuje čítač příznak „DT_done“, který říká nadřazenému modulu, že uplynul stanovený čas. Nadřazený modul následně deaktivuje příznak „DT_run“ a tím dojde k automatickému resetu čítače a do registru se nastaví nová hodnota „DT_time“ pro následující cyklus.



Obrázek 7.4 Blokové schéma TIMER_DT

7.3.4 Podprogram generátor PFM (GEN_PFM)

Na obrázku 7.5 je zobrazen stavový automat generátoru pulzní frekvenční modulace (PFM). Tento program se stará o generování spínacích impulsů pro spínací tranzistory.

SA na začátku čeká ve stavu „*OFF_STATE*“ na příchod signál „*START*“ z hlavního programu „*MAIN*“. Po příchodu tohoto signálu přechází stavový automat do stavu „*START_SEQ*“, v tomto stavu se do čítače „*TIMER_U_D*“ nastaví čas pro první periodu spínání – sepnutí pouze spodního tranzistoru. Následuje skok do stavu „*M_LOWER_DT*“, ve kterém odpočítává čítač „*TIMER_DT*“ nastavenou hodnotu „*deadtime*“, zároveň je spouštěn také hlavní vratný čítat „*TIMER_U_D*“, který v tomto stavu čítá směrem dolů.

Když čítač „*deadtime*“ vygeneruje příznak „*DT_DONE*“, dochází k přechodu do stavu „*M_LOWER_CNT*“, ve kterém čítá pouze hlavní čítač a zároveň je vygenerován impuls pro sepnutí tranzistoru. SA setrvává v tomto stavu až do příznaku z hlavního čítače „*ZERO_FLAG*“, který říká, že čítač dosáhl nulové hodnoty.

V tomto okamžiku je potřeba ověřit, jestli hlavní program (MAIN) nedal požadavek na zastavení „*STOP*“. Pokud ano, dojde k zastavení, SA přejde do stavu „*OFF_STATE*“. Pokud ne, SA pokračuje v generování dalšího impulsu.

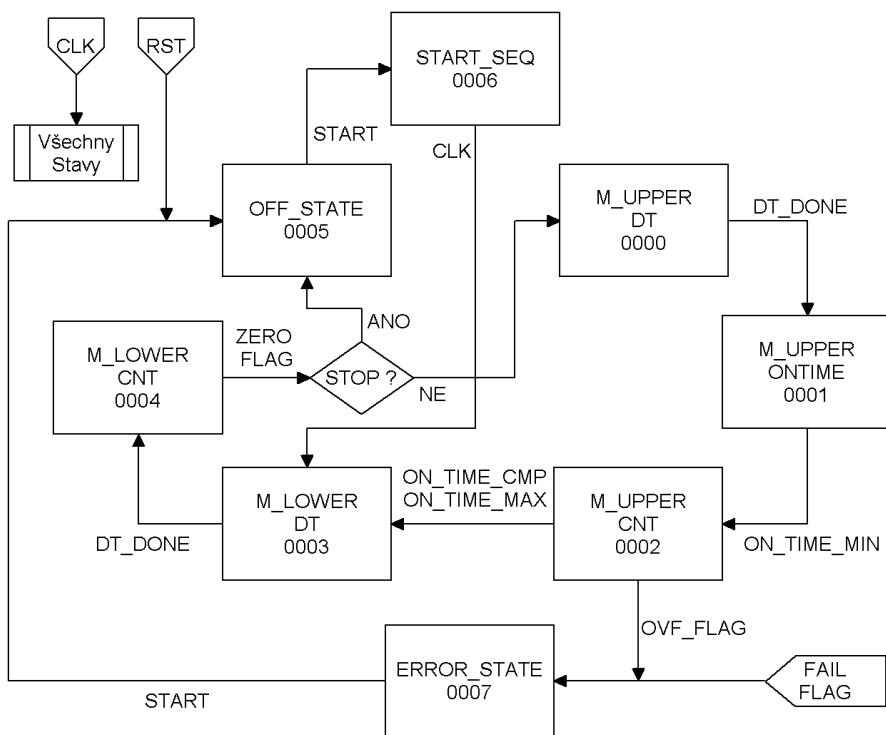
Další impuls již nyní začíná spínáním horního tranzistoru, ve stavu „*M_UPPER_DT*“ dochází k zahájení čítání hlavního čítače směrem nahoru a k odpočtu „*deadtime*“. Jakmile čítač „*TIMER_DT*“ vygeneruje příznak „*DT_DONE*“, dochází k sepnutí horního tranzistoru a hlavní čítač pokračuje v inkrementaci. V následujícím stavu čeká SA na uplynutí minimálního času (maximální frekvence). Po uplynutí tohoto času přechází SA do stavu „*M_UPPER_CNT*“ a hlavní čítat pokračuje v inkrementaci.

V tomto stavu čeká SA na příchod jednoho ze dvou příznaků, první je příznak s „*ON_time*“ komparátoru z pomocné desky a druhý je dosažení maximálního času – minimální frekvence přípustné pro LLC měnič.

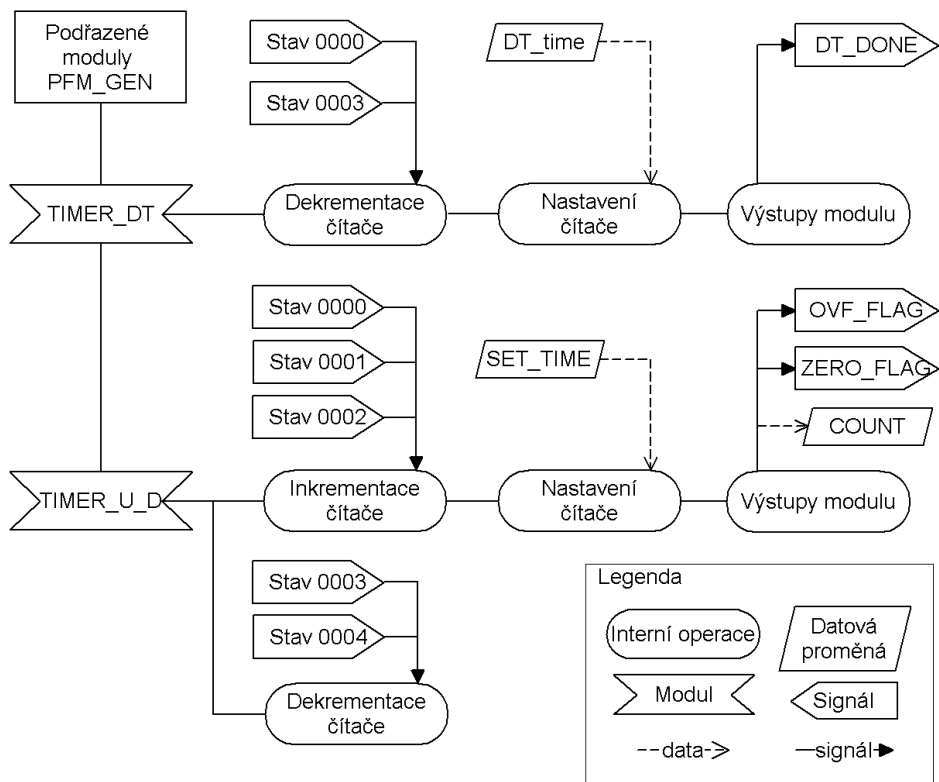
Pokud by z nějakého důvodu ani jeden z těchto signálů nepřišel, přichází poslední příznak a tím je „*OVF_FLAG*“. Ten říká, že bylo dosaženo maximální možné hodnoty čítače, tedy k přetečení, a systém přechází do chybového stavu „*ERROR_STATE*“, vše je zastaveno, tranzistory jsou vypnuty a pomocí signálu „*FAIL_FLAG*“ je předána informace o této skutečnosti nadřazenému hlavnímu programu „*MAIN*“.

V případě že dojde k externímu resetu (hardwarově), přechází stavový automat do stavu „*OFF_STATE*“ a čeká na příchod signálu „*START*“ z hlavního programu „*MAIN*“.

Na obrázku 7.6 je zobrazeno blokové schéma připojených modulů k modulu GEN_PFM a jejich vzájemné propojení. Fáborky s označenými stavy reprezentují stavy SA z obrázku 7.5.



Obrázek 7.5 Blokové schéma stavového automatu GEN_PFM



Obrázek 7.6 Blokové schéma propojení modulů GEN_PFM

7.3.5 Převodník binárního čísla na dekadické (BIN2DEC)

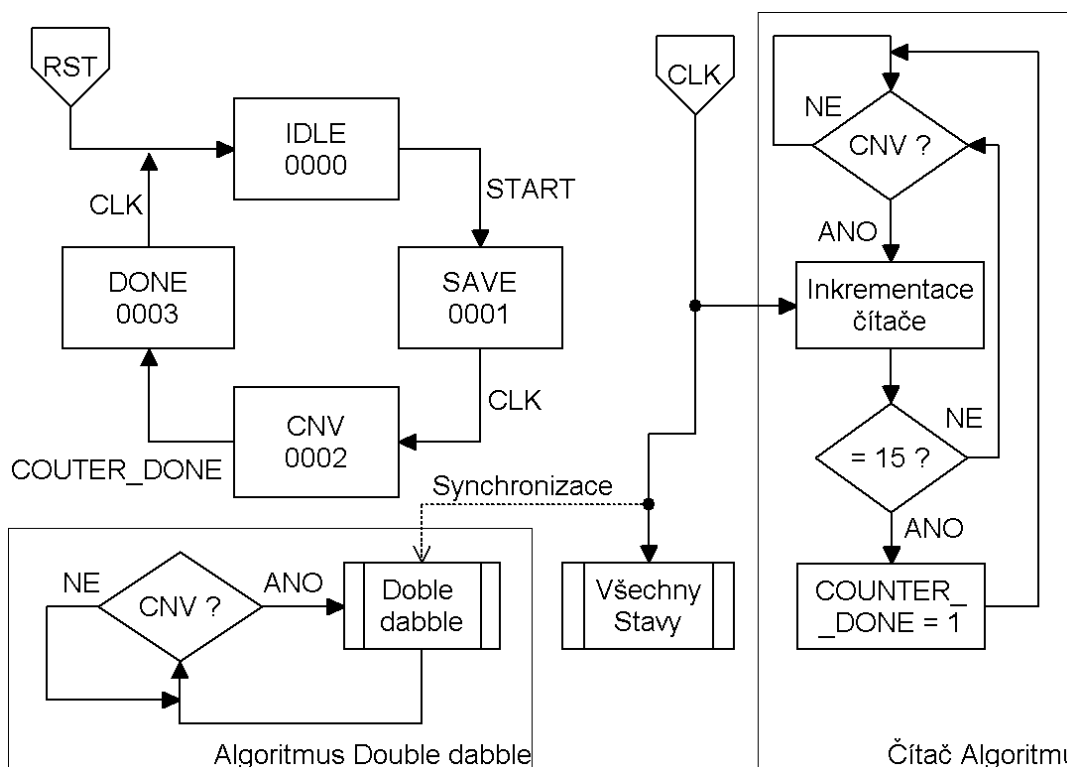
Na obrázku 7.7 je zobrazeno blokové schéma převodníku binárního čísla na číslo dekadické. Tento blok je podřízený modulu SEG_DEC_X, který má na starost výběr dekadického čísla k zobrazení. Spouštění převodu je ale řízeno z bloku DEBUG_DATA.

Algoritmus převodu je aktivován signálem „*START*“, kdy dojde k uložení aktuálních vstupních dat do pracovního zásobníku („*bufferu*“), který zajistí, že se data po dobu převodu nebudou měnit.

Ve stavu „*CNV*“ dojde ke spuštění algoritmu převodu a pomocí synchronního čítače je cyklus omezen na počet kroků 15. Tento počet je dán algoritmem Double Dabble [76], který pracuje na základě bitového posunu binárního čísla doleva a přičítání čísla 3 v případě, že se na některé z dekadických pozic objeví číslo větší než 4. Výstupem tohoto algoritmu je BCD kód rozdělený po jednotlivých číslicích tedy – ... stovky, desítky, jednotky. Jelikož se jedná o BCD kód jsou pro každou číslici potřeba pouze 4bity. Data z tohoto modulu jsou následně zobrazena na displeji, ten má celkem 6 segmentů. Algoritmus tedy vyžaduje pro převod 16 opakování.

Pokud čítač dosáhne požadované hodnoty, dojde k zastavení převodu a stavový automat přejde do stavu „*DONE*“. V tomto stavu je na výstup z modulu nastaveno dekadické číslo určené pro další zpracování.

Po uplynutí jednoho hodinového cyklu přechází SA do stavu „*IDLE*“ a čeká na další spouštěcí impuls.



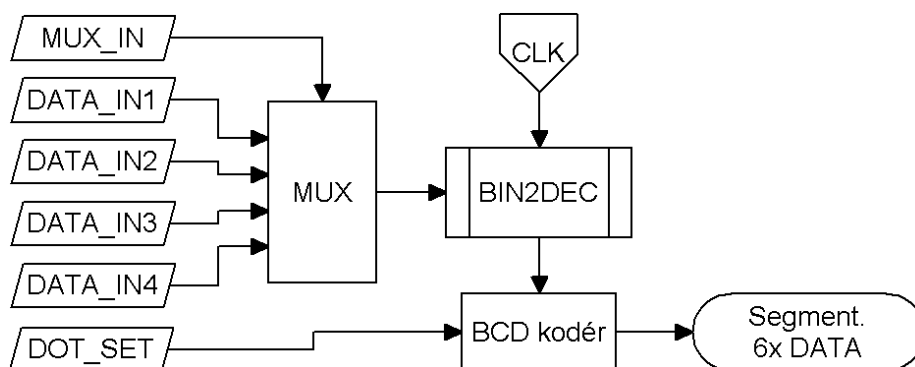
Obrázek 7.7 Blokové schéma BIN2DEC převodníku

7.3.6 Multiplexor pro segmentový displej (SEG_DEC_X)

Na obrázku 7.8 je zobrazeno blokové schéma multiplexoru pro výběr dat zobrazovaných na sedmi segmentovém displeji ladící desky. Vstupem do tohoto modulu jsou libovolná data z celého programu „*DATA_INx*“, která mají být zobrazena na displeji, a proměnná „*MUX_IN*“, která provádí výběr dat. Výběr dat může být dynamicky měněn za chodu programu.

Vybraná data jsou odeslána do převodníku BIN2DEC, který převede binární čísla na čísla dekadicky zapsaná v BCD kódu. Takto připravená data jsou přes BCD kodér sedmi segmentového displeje připravena do proměnné, která je následně odeslána do nadřazeného modulu *DEBUG_DATA*.

Proměnná „*DOT_SET*“ slouží pro nastavení desetinné čárky na určitém segmentu displeje a je využita v případě, že je zobrazováno číslo reprezentující desetinnou hodnotu.



Obrázek 7.8 Blokové schéma multiplexoru *SEG_DEC_X*

7.3.7 Modul sběrnice SPI pro ladící desku (DEBUG_SPI)

Na obrázku 7.9 je zobrazeno blokové schéma pseudo-sběrnice SPI („*Serial Peripheral Interface*“). Jedná se o sériovou sběrnici pro odesílání a příjem dat z ladící desky. Sběrnice je rozdělena do dvou samostatných částí – čtení a zápis, kdy každá část může pracovat nezávisle na sobě. Jedinou společnou věcí je časová předdělička, která zpomaluje rychlost základního hodinového signálu *CLK* a vytváří pomalejší signál, který je akceptovatelný pro přenos dat mezi ladící deskou a FPGA.

Přijímací stavový automat je po přivedení signálu „*RST*“ ve stavu „*READ_SPI_IDLE*“ a čeká na příchod signálu „*LOAD*“. Po příchodu tohoto signálu přechází SA do stavu „*READ_SPI_START*“, ve kterém dojde k vyslání signálu pro uložení stavů vstupů do zásobníku před posuvným registrem.

Po uplynutí doby dané „*MAIN_TIME_CLK*“ dojde ke změně stavu na „*READ_SPI_LOAD*“. V tomto stavu se hodnota ze zásobníku vloží do posuvného registru.

Následuje prodleva dvou period „*MAIN_TIME_CLK*“ a SA přechází do stavu čtení čtení dat, která jsou s taktem „*MAIN_TIME_CLK*“ vyčítána z posuvných registrů. Čtení vstupních dat probíhá fázově posunutým hodinovým signálem „*READ_TIME_CLK*“, který je posunut o 50 % oproti „*MAIN_TIME_CLK*“.

Po přečtení všech dat přechází SA do stavu „*READ_SPI_IDLE*“ a čeká na další spuštění.

Obdobně jako přijímací část pracuje také část odesílací. Ta setrvává po příchodu „*RST*“ signálu ve stavu „*WRITE_SPI_IDLE*“ a čeká na spouštěcí signál „*ENABLE*“. Po příchodu tohoto signálu přejde SA do stavu „*WRITE_SPI_START*“, zároveň dojde k aktivaci signálu pro mazání dat uložených na výstupech posuvných registrů.

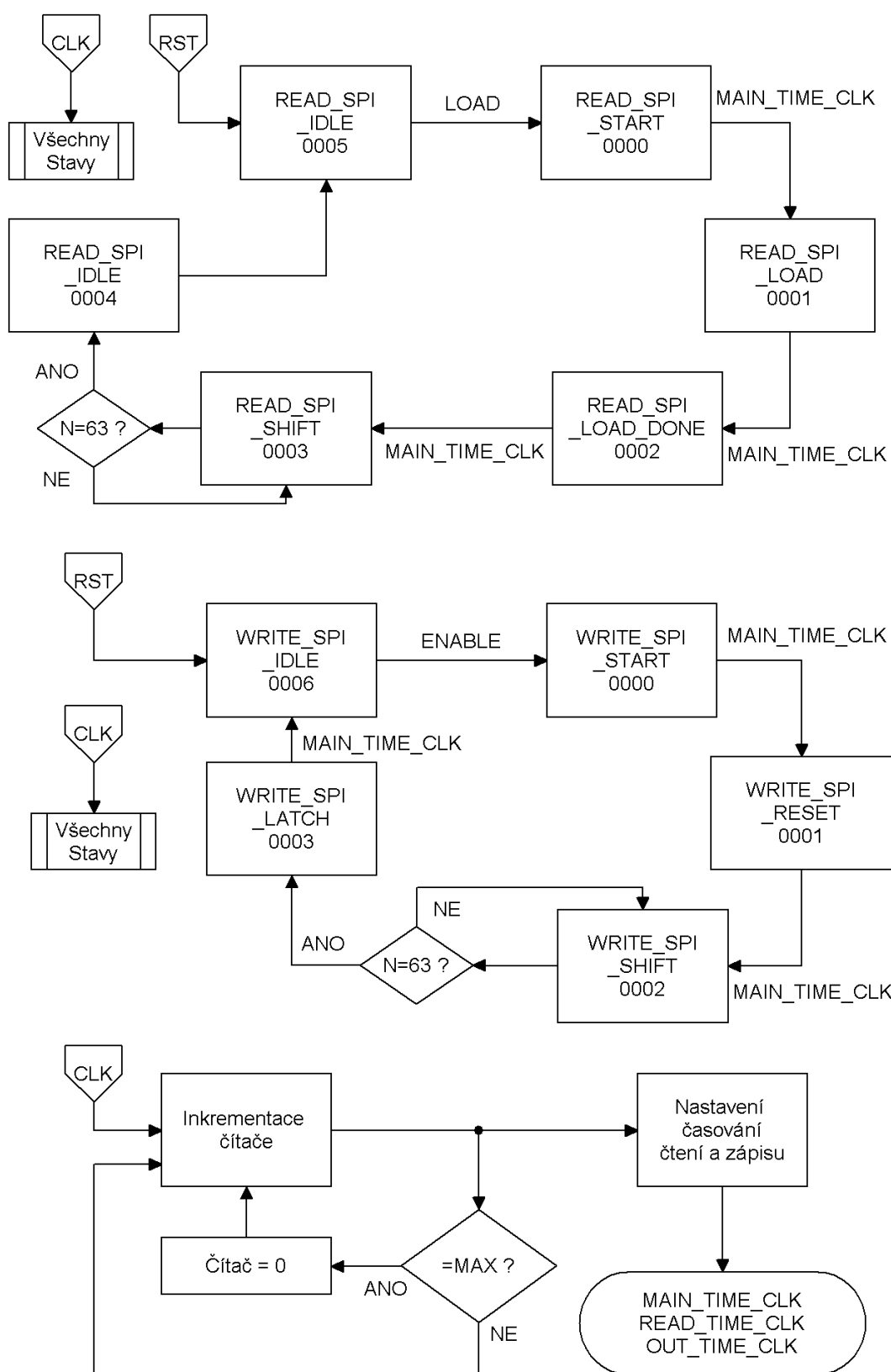
Po uplynutí doby „*MAIN_TIME_CLK*“ přejde SA do stavu „*WRITE_SPI_RESET*“, která pouze ukončí mazání registrů a SA čeká na „*MAIN_TIME_CLK*“ signál.

Následující stav SA je samotné posouvání dat do posuvných registrů, kdy hodnota na datový port je nastavena na náběžnou hranu fázově posunutého hodinového signálu „*OUT_TIME_CLK*“ a zapsaná do registru na náběžnou hranu hodinového signálu „*MAIN_TIME_CLK*“.

Po ukončení zápisu všech dat přejde SA do stavu „*WRITE_SPI_LATCH*“, kdy dojde k aktivaci signálu, který přepíše data z posuvných registrů na výstup obvodu, tedy na připojené led. Následně po příchodu dalšího „*MAIN_TIME_CLK*“ přechází SA do stavu „*WRITE_SPI_IDLE*“.

Poslední část modulu *DEBUG_SPI* je dělička hodinového signálu, která generuje pomocné hodinové signály „*MAIN_TIME_CLK*“, „*OUT_TIME_CLK*“ a „*READ_TIME_CLK*“. Ty následně slouží pro čtení a zápis hodnot ladící desky.

Předdělička obsahuje čítací registr, který čítá od nuly až do své maximální hodnoty dané bitovou velikostí. Jednotlivé generované signály mají nastavenou specifickou hodnotu čítače, při které dochází k jejich změně, je tak možné generovat pomocný hodinový signál, který je synchronní s hlavním hodinovým signálem. V našem případě jsou oba signály „*OUT_TIME_CLK*“ a „*READ_TIME_CLK*“ nastaveny tak, aby měly 50% fázový posuv oproti signálu „*MAIN_TIME_CLK*“.



Obrázek 7.9 Blokové schéma sběrnice SPI ladící desky DEBUG_SPI

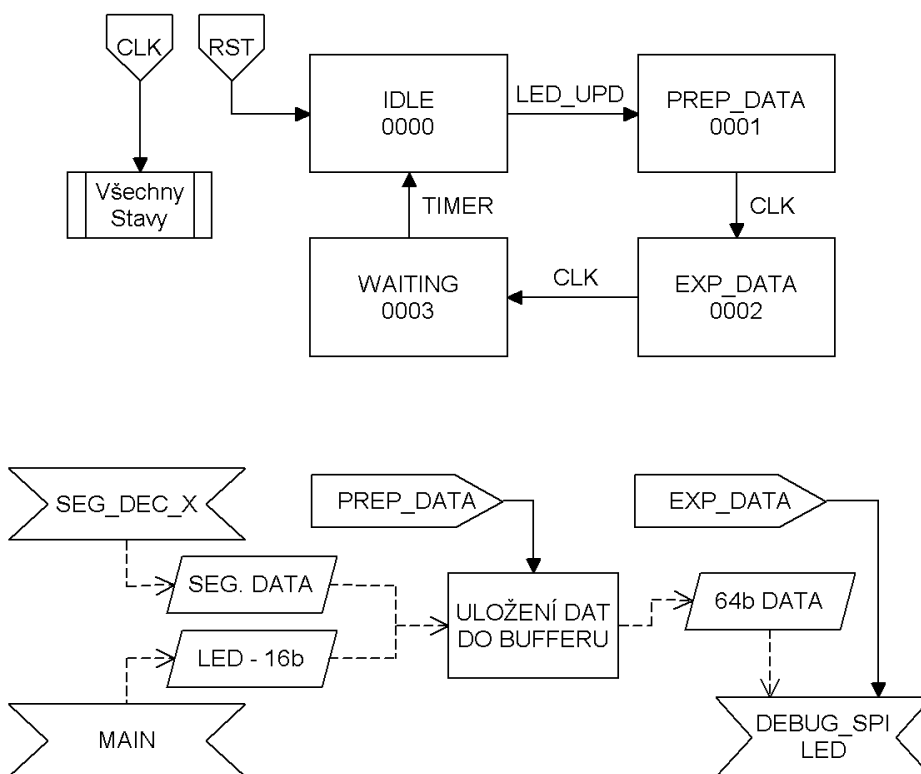
7.3.8 Zpracování dat z ladící desky (DEBUG_DATA)

Na obrázku 7.10 je zobrazeno blokové schéma stavového automatu, který zpracovává data, která budou odeslána do ladící desky. V horní části obrázku je zobrazen stavový automat zajišťující správnou posloupnou přípravu dat před jejich odesláním. Ve spodní části obrázku je potom zobrazen tok dat z jednotlivých podřazených i nadřazených modulů.

Po skončení signálu „RST“ zůstává SA ve stavu „IDLE“ a čeká na signál z hlavního programu „LED_UPD“. Po příchodu tohoto signálu přechází SA do stavu „PREP_DATA“, kde dojde k uložení dat do zásobníku („bufferu“). Jedná se o data z podřazeného modulu SEG_DEC_X, který obsahuje data pro segmentový displej a data z nadřazeného hlavního programu MAIN.

Po uplynutí doby jednoho hodinového cyklu CLK přechází SA do stavu „EXP_DATA“, kdy jsou data ze zásobníku „odeslána“ do podřazeného modulu DEBUG_SPI. V tomto modulu jsou data odeslána do ladící desky. SA následně přechází do stavu „WAITING“.

V tomto stavu se nyní čeká na uplynutí cca 200ms pro další obnovu dat, doba 200ms byla zvolena tak, aby se hodnoty na displeji měnily plynule, ale ne příliš rychle, protože by pak nebylo možné v případě dynamických proměnných přečíst hodnotu z displeje. Obdobně by tomu bylo i v případě LED diod.



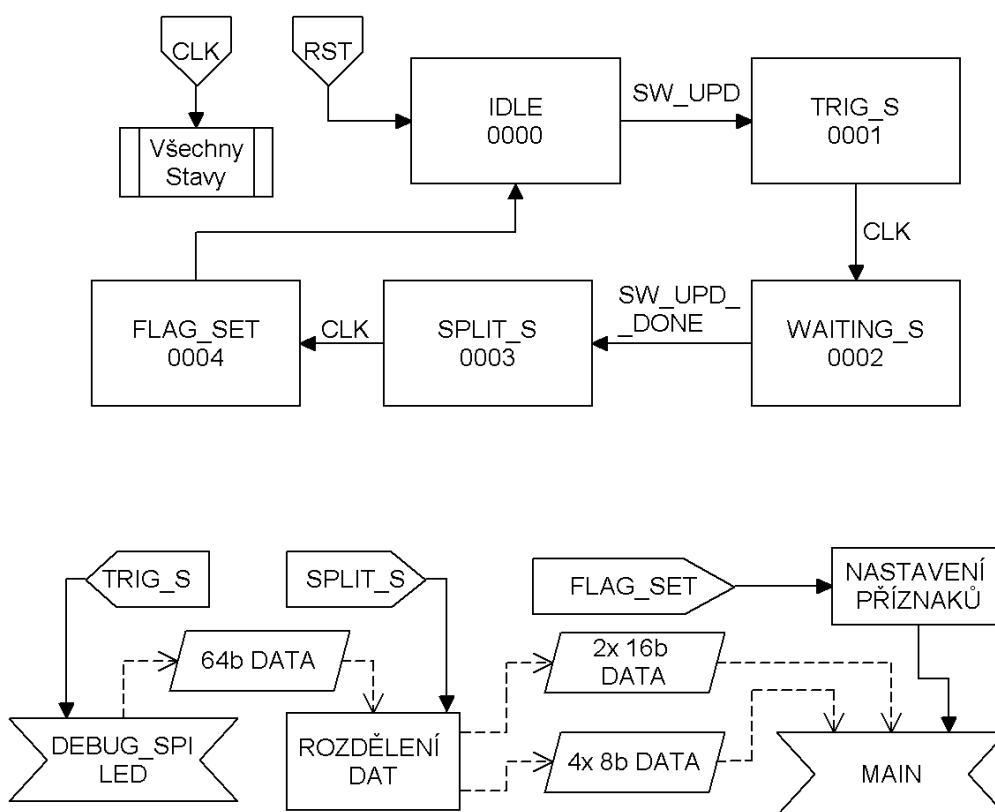
Obrázek 7.10 Blokové schéma DEBUG_DATA 1

Druhou polovinu tohoto modulu tvoří stavový automat pro příjem dat z ladící desky. Jeho blokové schéma a označení následné separace přijatých dat je zobrazeno na obrázku 7.11.

Stejně jako v předchozím případě se po signálu „RST“ nastaví SA do stavu „IDLE“, ve kterém čeká na signál SW_UPD. Po příchodu tohoto signálu se SA přesune do stavu „TRIG_S“, čímž spustí v podprogramu DEBUG_SPI vyčítání hodnot z ladící desky. S následujícím hodinovým signálem „CLK“ se přesune do stavu „WAITING_S“, kde čeká na signál z DEBUG_SPI „SW_UPD_DONE“, který říká, že jsou připravena data přijata z ladící desky. S tímto signálem přechází SA do stavu „SPLIT_S“.

V tomto stavu se přijatá data rozdělí dle potřeby na proměnné s určitou bitovou délkou nesoucí nějakou informaci. V tomto případě byla data rozdělena na dvakrát 16b a čtyři krát 8b. Data jsou potom „vrácena“ zpět hlavnímu programu pro další zpracování.

Dokončení operace čtení dat z ladící desky je za pomoci příznaku, který se provede v posledním stavu SA „FLAG_SET“.



Obrázek 7.11 Blokové schéma DEBUG_DATA 2

7.3.9 Hlavní program (MAIN)

Hlavní část programu je zobrazen na obrázku 7.12. Jedná se o stavový automat, který se spouští po resetu obvodu FPGA. Po spuštění se po uplynutí jednoho hodinového cyklu „CLK“ SA překlápí do stavu 0001.

Tento stav byl označen „*START_DEBUG*“ a dochází zde k vygenerování impulsu pro spuštění komunikace s ladící deskou, viz obrázek 7.13. V následujícím stavu přechází SA do čekací smyčky, kdy čeká na příchod řídicího „*SW_DONE*“, ten nese informaci o tom, že proběhla výměna dat mezi ladící deskou a FPGA.

SA tedy přechází do stavu 0003 „*INIT_VALUE*“, kdy jsou do vnitřních registrů načteny počáteční hodnoty pro řízení LLC měniče. Mezi tyto hodnoty patří: maximální a minimální čas periody, délka „*deadtime*“, frekvence pro startování měniče atd. Ve stejném stavu se ověří, zdali jsou data přijatá z ladící desky stejná jako data počáteční. Pokud ne, provede se jejich aktualizace v registrech (stav 0004).

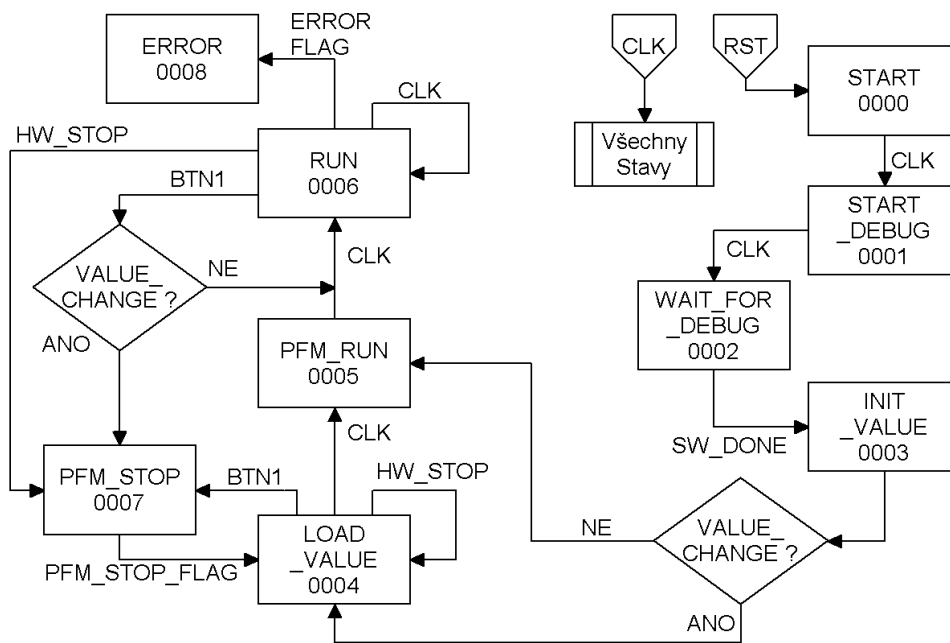
Po načtení hodnot přechází SA do stavu „*PFM_RUN*“, ve kterém vysílá spouštěcí signál pro modul PFM generátoru, zároveň dochází k odblokování tranzistorů. Následuje přechod do stavu „*RUN*“, v tomto stavu SA setrvává až do chvíle, dokud nepřijdou následující signály.

Signál „*BTNI*“ který reprezentuje stisknutí tlačítka aktualizace (tlačítko umístěné přímo na modulu FPGA). Pokud došlo ke změně hodnot, dojde k softwarovému zastavení PFM generátoru stavem „*PFM_STOP*“. Následuje opětovné spuštění a přesun do stavu „*RUN*“.

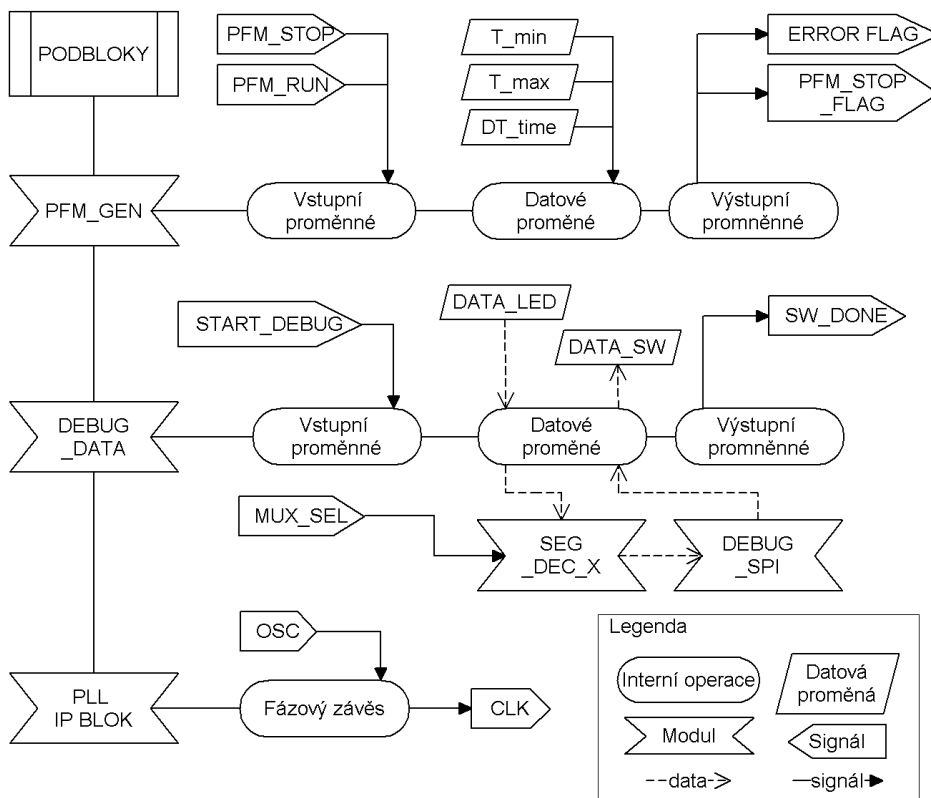
Pokud přijde signál „*ERROR*“, dochází k okamžitému zastavení PFM generátoru, zastavení komunikace s ladící deskou a ukončení SA na stavu 0008. V tomto stavu SA setrvává až do hardwarového resetu „*RST*“, který je v našem případě připojen na druhé dedikované tlačítko modulu FPGA s označením „*BTN0*“.

Na obrázku 7.13 je zobrazeno propojení hlavního programu s jednotlivými dalšími moduly, kdy je podle tvaru konce šipky rozlišeno, zdali se jedná o datovou nebo signálovou proměnou. Podrobnější propojení je potom uvedeno ve zdrojovém kódu v příloze D.

Tato část programu je zároveň poslední částí programu, který bude realizovaný v rámci této práce. V následující kapitole bude provedeno testování emulační platformy, kdy bude ověřena funkčnost programu a také řízení.



Obrázek 7.12 Blokové schéma stavového automatu MAIN



Obrázek 7.13 Blokové schéma propojení modulů MAIN

8. TESTOVÁNÍ EMULAČNÍ PLATFORMY

Poslední kapitolou této práce je finální testování emulační platformy. Toto testování má ověřit funkčnost programu, nastavení systému a také schopnost emulace správně řídit emulační měnič LLC. V následujících částech této kapitoly jsou popsány jednotlivé kroky nezbytné pro testování.

8.1.1 Nastavení ladící desky

Ladící deska umožňuje uživateli měnit určitou část programu za běhu nebo si zobrazit stav některé z vnitřních proměnných nebo signálu. Je ale třeba brát ohled na to, že data zobrazována na ladící desce jsou zpožděná, a to záměrně, aby na displeji nebo diodách LED bylo něco vidět. Hodnota spínačů zpožděná není, pokud nebereme v úvahu čas potřebný pro odeslání dat do PFGA.

Při testování emulačního programu pro „*wide range*“ LLC měnič byly sledovány následující signály a hodnoty:

- A. „*PFM_fail_flag*“ – signál indikující selhání PFM generátoru.
- B. „*PFM_ON_TIME_MAX_flag*“ – indikuje saturaci PFM generátoru na minimální frekvenci.
- C. „*PFM_SKIP_flag*“ – signál indikující saturaci programu na maximální frekvenci, dá se využít jako spouštěč pro přerušované řízení.
- D. „*ERROR_flag*“ – indikuje zastavení hlavní programové smyčky vlivem selhání některé komponenty (generátor PFM, ochrana proti přepětí atd.)
- E. „*FSM_run*“ – indikuje stav, kdy je hlavní stavový automat ve stavu „*RUN*“, program tedy v tuto chvíli běží korektně.
- F. „*HW_STOP*“ indikuje hardwarové zastavení generátoru PFM, signál pochází z pinu FPGA, který je vyveden na pinové lišty.

Výše zmíněné sledované signály jsou za běhu programu zobrazovány na jednotlivých diodách LED ladící desky. Kromě těchto signálů jsou sledovány také proměnné:

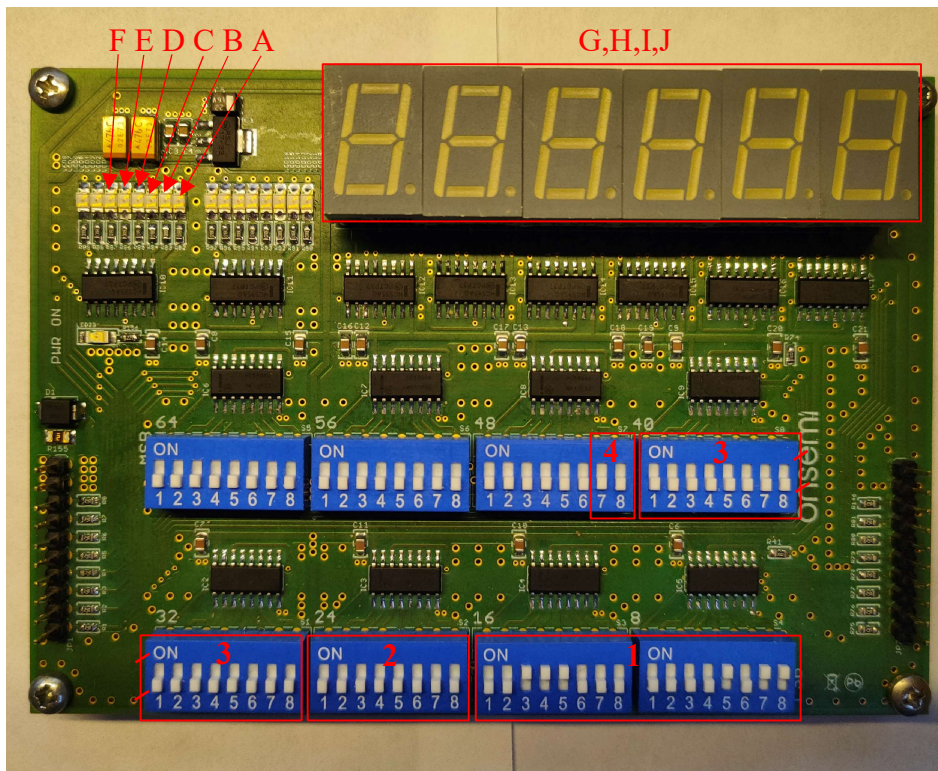
- G. „*PFM_DELTA_time*“ – je poslední hodnota času, které dosáhl čítač při předchozí čítací periodě času „*ON_time*“.
- H. „*START_VALUE*“ – je nastavená hodnota času pro první periodu PFM signálu.
- I. „*DEAD_TIME_TRIM*“ – je aktuální nastavená hodnota na DIP spínačích ladící desky určující „*deadtime*“ spínacích tranzistorů.
- J. „*ON_TIME_MAX_TRIM*“ – je aktuální nastavená hodnota na DIP spínačích určující maximální délku čítání PFM generátoru, respektive minimální frekvenci spínání tranzistorů.

Tyto jednotlivé proměnné jsou přivedeny na vstup multiplexoru pro ladící desku, jejich zobrazení je selektováno pomocí nastavení DIP spínačů na ladící desce.

Mimo jiné jsou také z ladící desky pomocí DIP spínačů nastavovány některé proměnné v programu. Jedná se o tyto proměnné:

1. „*ON_TIME_MAX_TRIM*“ – je to 16bitové číslo, které je nastavováno celkem na dvou sadách DIP spínačů a slouží pro nastavení maximální časové periody, respektive minimální frekvence spínání tranzistorů v měniči.
2. „*DEAD_TIME_TRIM*“ – 8bitové číslo sloužící pro nastavení délky trvání času „*deadtime*“ pro tranzistory
3. „*ON_TIME_START_TRIM*“ – jedná se o 16bitové číslo nastavující počáteční periodu spínání, aktuální platná hodnota je potom uložena v proměnné „*START_VALUE*“.
4. „*SW_I_DATA*“ – z této univerzální 8bitové proměnné byly odseparovány první dva bity, které byly použity pro změnu zobrazení proměnných na displeji, byly tedy použity pro výběr dat na zobrazovacím multiplexoru.

Uvedené signály a proměnné budou složité pro lepší pochopení a odladění programu při jeho testování. Na obrázku 8.1 je zobrazeno rozmístění jednotlivých signálů zobrazovaných na LED diodách. Dále jsou na obrázku označeny sady DIP spínačů pro odpovídající nastavovanou proměnnou. Písmena a číslice na obrázku odpovídají jednotlivým signálům a proměnným uvedených dříve. Pro účely budoucího testování metody „*TrueOPP*“ může být přiřazení libovolně změněno.

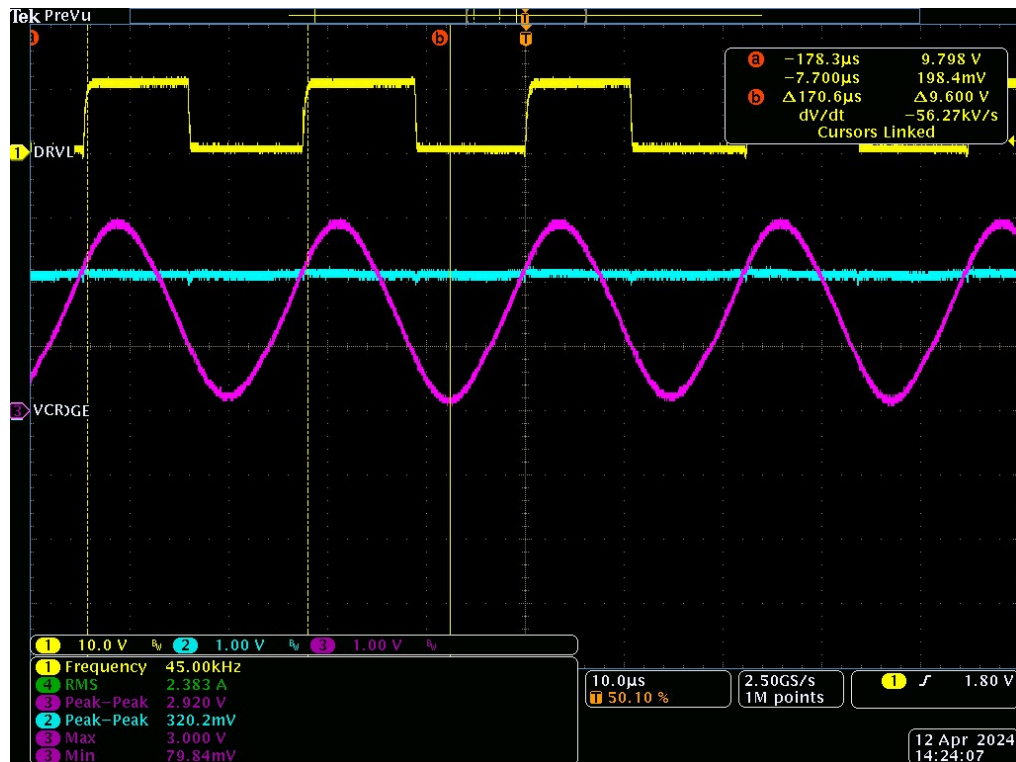


Obrázek 8.1 Přiřazení LED a spínačů na ladící desce

8.1.2 Testování funkčnosti „ON_time“ komparátoru

Jelikož je „ON_time“ komparátor klíčovou komponentou v systému řízení měniče, bylo vhodné provést před samotným spuštěním měniče ověření jeho funkčnosti a zároveň také ověřit programový blok PFM generátoru.

Na obrázku 8.2 jsou zobrazeny průběhy z osciloskopu zobrazující vzájemnou vazbu mezi signálem ze zpětné vazby (modrá), signálem z kapacitního děliče (fialová) a periodou spínání tranzistoru (žlutá). První dva signály byly simulovány pomocí generátoru a napětového zdroje, poslední signál je potom výstup pro řízení spodního tranzistoru měřený přímo na vývodu „GATE“ tranzistoru.



Obrázek 8.2 Časové průběhy obvodových veličin „ON_time“ komparátoru

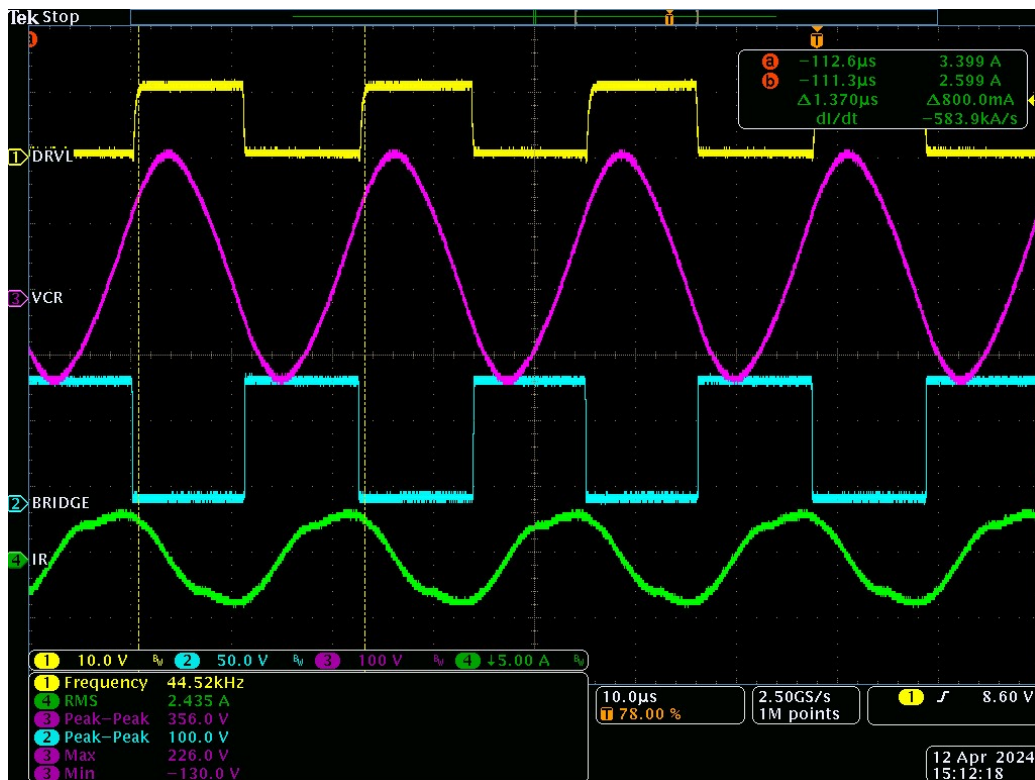
Jak již bylo zmíněno, dříve vedou signály zpětné vazby a kapacitního děliče do „ON_time“ komparátoru. Jeho výstup je následně veden do emulační platformy, kde je zpracován v programu. Náběžná hrana signálu z „ON_time“ komparátoru zastaví čítač PFM čítající nahoru (sepnutý je horní tranzistor) a přepne čítač do režimu dekrementace (sepnutý je spodní tranzistor). Tento děj je viditelný i na obrázku 8.2, kdy po střetnutí signálu z děliče (fialová) se signálem zpětné vazby (modrá) dochází, s malým zpožděním („*deadtime*“), k sepnutí dolního tranzistoru (žlutá). Délka periody signálu je potom závislá na velikosti amplitudy signálu z kapacitního děliče nebo na změně hodnoty zpětné vazby.

Z obrázku 8.2 lze usoudit, že program pro generování signálu PFM a „ON_time“ komparátor pracují správně.

8.1.3 Testování celého měniče

Po úspěšném ověření správné činnosti „*ON_time*“ komparátoru se lze přesunout k testování celého měniče. Test řízení měniče byl proveden pro různá napětí v celém rozsahu, pro ukázkou bylo vybráno měření při vstupním napětí 94 V, které je z pohledu splnění všech kritérií kladných na měnič nejzásadnější.

Na obrázku 8.3 jsou zobrazeny časové průběhy spínání dolního tranzistoru (žlutá), napětí na rezonanční kapacitě (fialová), napětí v uzlu mezi tranzistory (modrá) a proud rezonančním obvodem (zelená).



Obrázek 8.3 Časové průběhy obvodových veličin $U_{IN} = 94 \text{ V}$

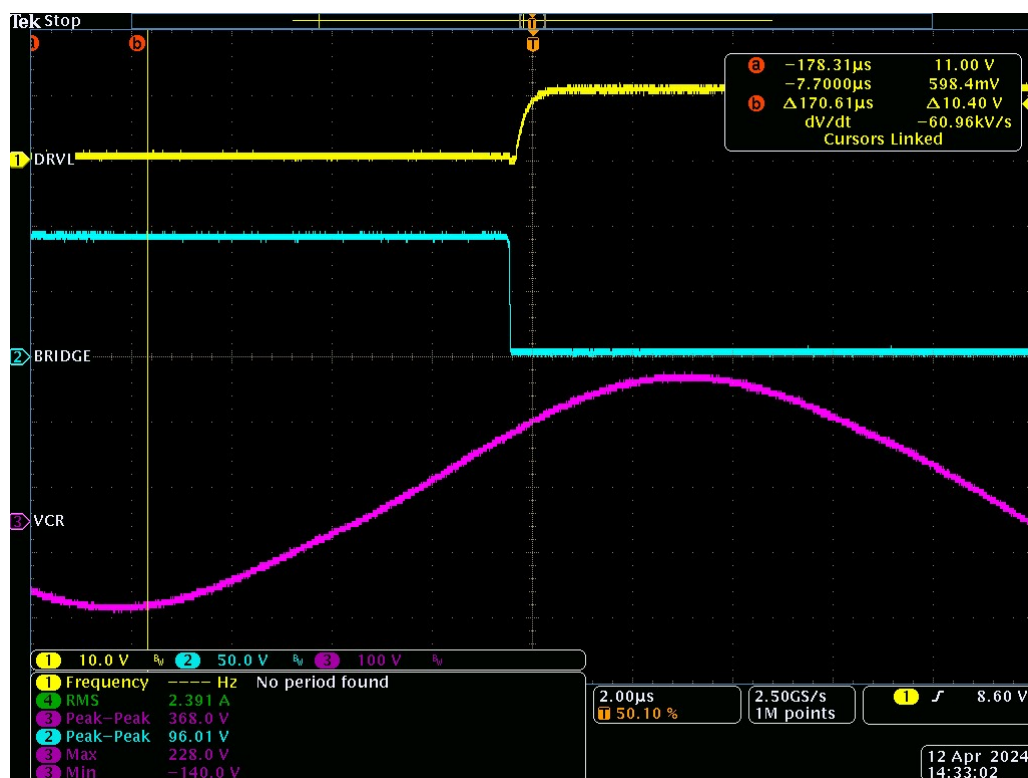
Z obrázku 8.3 je patrné, že měnič pracuje v rezonanci, průběh rezonančního napětí je harmonický, a protože měnič pracuje na maximálním zesílení, je asymetrický proti nule. Rezonanční proud je také harmonický, pouze je fázově posunutý z důvodu asymetrického průběhu napětí na rezonanční kapacitě proti nule.

Dle změřených dat lze usoudit, že měnič pracuje správně a emulace řízení měniče také pracuje korektně.

8.1.4 Ověření splnění podmínek ZVS

Posledním měřením je ověření podmínek ZVS, tedy spínání při nulovém napětí na spínacích tranzistorech. Toto měření je důležité pro správné nastavení hodnoty „*deadtime*“ dostatečné na to, aby proud protékající obvodem zajistil vybití kapacity mezi D s S spínacích tranzistorů.

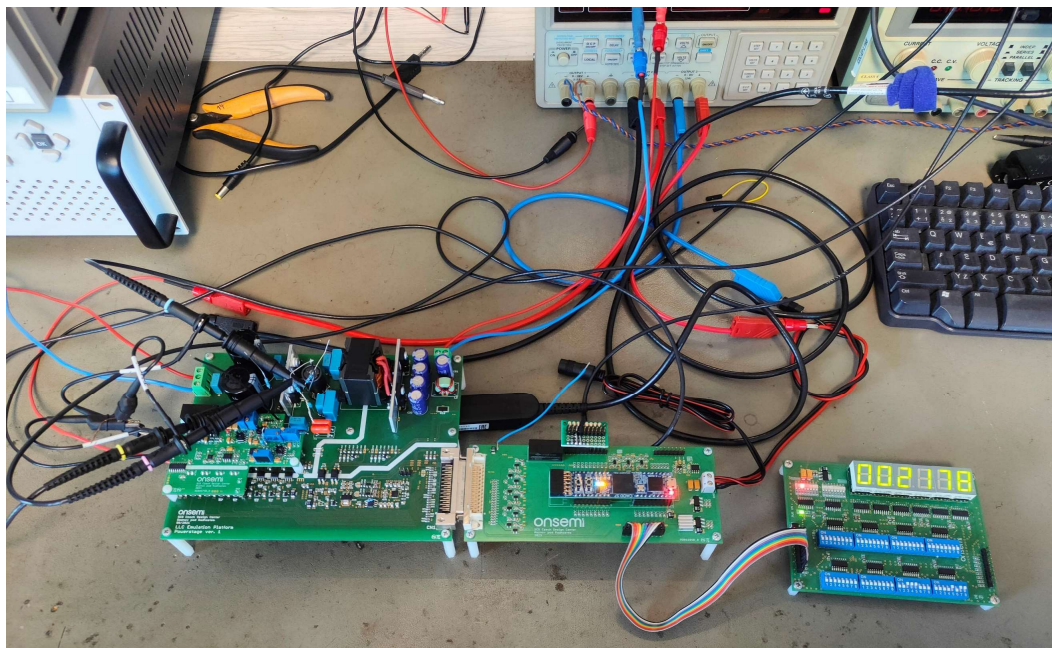
Na obrázku 8.4 jsou zobrazeny detailní časové průběhy spínání dolního tranzistoru (žlutá), napětí v uzlu mezi tranzistory (modrá) a napětí na rezonanční kapacitě (fialová). Tyto průběhy dokládají splnění podmínek ZVS. ZVS jsou splněny tehdy, pokud při sepnutí dolního tranzistoru (žlutá) je napětí v uzlu mezi tranzistory (modrá) na potenciálu země (GND), to je v tomto případě splněno.



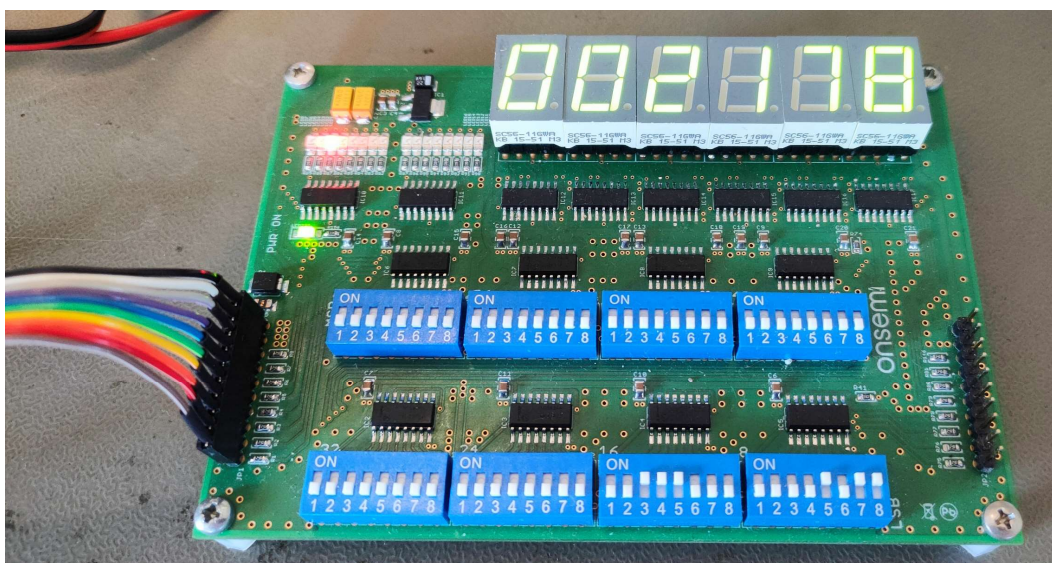
Obrázek 8.4 Časové průběhy obvodových veličin $U_{IN} = 94 \text{ V}$, detail ZVS

8.1.5 Závěr testování měniče a emulační platformy

Dle výše provedených měření lze usoudit, že realizovaná emulační platforma a emulační LLC měniče je plně funkční. Toto testování ale nezahrnovalo všechny periferie jako AD převodník na pomocné desce nebo AD převodník v FPGA na emulační desce, jelikož nebyly pro tuto práci klíčové. Na závěr je na obrázku 8.5 zobrazeno měřicí pracoviště, kde bylo provedeno měření emulační platformy a na obrázku 8.6 je zobrazen detail funkce ladící desky (zobrazovaná hodnota je hodnota čítače „*PFM_DELTA_time*“).



Obrázek 8.5 Měřicí pracoviště



Obrázek 8.6 Detail funkce ladící desky

9. ZÁVĚR

Začátek této práce je věnován problematice emulace. V předcházející bakalářské práci byl navržen standardní emulační měnič a ten měl být původně připojen k emulační platformě, kterou disponuje firma onsemi. Z interních důvodů firmy ale bylo rozhodnuto, že tento emulační měnič bude upraven na měnič s širokým rozsahem vstupního napětí („*wide range*“) a bude pro něj navržena nová menší emulační platforma. V budoucnu bude tato platforma s měničem sloužit pro účely ověřování nové metody ochrany proti přetížení „*TrueOPP*“.

Před začátkem návrhu celé emulační platformy bylo nutné pochopit systém, jakým jsou emulační měniče řízeny a regulovány. Byla proto probrána problematika systémů s uzavřenou regulační smyčkou, jejich funkce a zpracovávání řídicích veličin, včetně metod řešení zpětné vazby. Samotné řízení měniče má potom více možností realizace, kdy každá realizace s sebou přináší určité výhody a nevýhody, které byly objasněny.

Nedílnou součástí regulačních systému jsou také režimy regulace, mezi ty základní patří CC, CV a CP. Každý z těchto systému potřebuje pro svůj správný provoz snímat jednu či více veličin. Snímání je pro každý režim specifické a vyžaduje specifické řešení, které byly probrány a vysvětleny.

V následující kapitole byla probrána problematika rozdílné velikosti vstupního napětí a důvody proč se využívají měniče s širokým vstupním rozsahem napětí. V návaznosti na to byly probrány rezonanční měniče (LLC) s širokým vstupním rozsahem napětí („*wide range*“) a jejich problematika z pohledu řízení.

Další kapitola je věnována numerickému návrhu měniče pracujícího na širokém rozsahu vstupního napětí. Stěžejní bod návrhu spočívá v nalezení optimální velikosti rezonančních komponent a správném nastavení frekvenčního pásma regulace tak, aby byla pokryta celá oblast rozsahu vstupního napětí. Ověření správného nastavení bylo provedeno pomocí simulace, kde byly ověřeny také podmínky ZVS, které jsou důležité pro správný chod měniče.

Výsledný návrh byl následně aplikován na dříve navržený emulační LLC měnič a tím došlo k úpravě tohoto emulačního měniče na měnič s širokým vstupním rozsahem napětí. Nedílnou součástí úpravy bylo také navinout nový transformátor, navržený dle parametrů z numerické části.

Upravený emulační měnič byl následně otestován pomocí testovací desky a bylo úspěšně ověřeno, že dokáže pracovat na celém zadaném rozsahu vstupního napětí.

Další část práce byla věnována návrhu emulační platformy. První částí byl návrh pomocné desky umístěné na emulačním měnič. Tato deska řeší problém z původního návrhu emulačního měniče, kde byl špatně zapojen obvod zpětné vazby. Pomocná deska také zahrnuje přípravu pro budoucí testování metody ochrany „*TrueOPP*“ v podobě AD převodníku.

Druhou navrhovanou částí je hlavní řídicí deska, též označovaná jako emulační platforma. U této desky bylo navrženo zapojení včetně pomocných obvodů. Pro řízení byl použit modul s FPGA, který splňuje všechny požadované náležitosti na tuto emulační platformu.

Pro zefektivnění práce s emulační platformou při měřeních byla navržena ladící deska, která bude připojena k emulační platformě. Tato ladící deska je vybavena spínači, které jsou vhodné pro úpravu parametrů za běhu řídicího softwaru, displejem a diodami LED pro zobrazení vnitřních stavů a proměnných.

V předposlední části práce proběhnul návrh řídicího programu v jazyce SystemVerilog. Samotný kód byl rozdělen do několika modulů, kdy každý modul zabezpečuje určitou funkci, například generování signálu PFM, nebo komunikaci s ladící deskou. Hotový program byl systemizován a implementován a nahrán do FPGA na emulační desce.

V závěrečné části této práce byl proveden test emulace řízení měniče LLC s širokým vstupním rozsahem. První krok testování byl proveden bez připojení měniče na napětí. Účelem toto testu bylo ověření správného generování PFM signálu, správného nastavení „*ON_time*“ komparátoru a komunikaci programu s hardwarem emulačního měniče. Tento test dopadnul úspěšně, bylo tedy možné přejít s ostrému testování.

Při ostrém testu měniče byl již emulační měnič připojen na napájení napětí a bylo provedeno měření časových průběhů obvodových veličin měniče, proběhlo také ověření splnění podmínek ZVS. Mimo hlavní měření byla také otestována funkčnost ladící desky pro nastavení parametrů emulace za běhu programu.

Testování emulační platformy dopadlo úspěšně a je možné říci, že emulační platforma je plně funkční a připravena pro další budoucí využití ve firmě onsemi.

Literatura

- [1] POKORNÝ, Ondřej. *Návrh a realizace aplikace LLC měniče pro ověřování konceptů návrhů integrovaných LLC kontrolérů pomocí emulace*. Online, Bakalářská práce, vedoucí Roman Prokop. Brno: Vysoké učení technické v Brně. Fakulta elektrotechniky a komunikačních technologií. Ústav mikroelektroniky, 2022. Dostupné z: <http://hdl.handle.net/11012/205831>. [cit. 2024-04-05].
- [2] YANG, Bo. *Topology Investigation for Front-End dc-dc Power Conversion for Distributed Power System* [online]. Virginia, 2003 [cit. 2023-11-22]. Dostupné z: <https://vtechworks.lib.vt.edu/handle/10919/28982>. Dissertation. Virginia Polytechnic Institute and State University.
- [3] CadSoft. EAGLE 6.5.0 [software]. 2013 [cit. 2023-11-23]. Dostupné z: <https://www.autodesk.com/products/eagle/overview>
- [4] BHAT, A.K.S. Analysis and design of a series-parallel resonant converter with capacitive output filter. Online. *IEEE Transactions on Industry Applications*. 1991, roč. 27, č. 3, s. 523-530. ISSN 00939994. Dostupné z: <https://doi.org/10.1109/28.81837>. [cit. 2023-12-23].
- [5] ADAM JOHN, Gilbert. *Analysis, design and control of LCC resonant power converters*. PhD thesis. Sheffield: University of Sheffield, 2007. Dostupné také z: <https://theses.whiterose.ac.uk/15028/>.
- [6] NIELSEN, Runo. LLC and LCC resonance converters: Properties Analysis Control. Online. In: . S. 21. Dostupné z: http://www.runonielsen.dk/LLC_LCC.pdf. [cit. 2023-12-23].
- [7] Spectrum Software. *Micro-cap 12.2.0.5* [software]. 17. Června 2021 [cit. 2023-11-23]. Dostupné z: <http://www.spectrum-soft.com/index.shtml>
- [8] ZONGQIU, Gao; ZHANG, Jian; GUO, Fei; YU, Zhou; RUI, Guan et al. Analysis and optimal design of LCC resonant converter for anode power supply in ECRH, Fusion Engineering and Design. Online. S. 168. Dostupné z: <https://www.sciencedirect.com/science/article/abs/pii/S0920379621004713>. [cit. 2023-12-23].
- [9] *DC Gain Characteristics of Half Bridge LLC Resonant Converter* [online]. 2017 [cit. 2021-11-23]. Dostupné z: https://www.researchgate.net/figure/DC-Gain-Characteristics-of-Half-Bridge-LLC-Resonant-Converter_fig2_319876065
- [10] KEEPING, Steven. *A Review of Zero-Voltage Switching and its Importance to Voltage Regulation*. Online. 2014-08-05. Dostupné z: <https://www.digikey.co.th/th/articles/a-review-of-zero-voltage-switching-and-its-importance-to-voltage-regulation>. [cit. 2023-12-23].
- [11] *Impulzní zdroje a měniče III. - Ochrana tranzistorů a MOSFETů*. Online. Dostupné z: <https://danyk.cz/mosfety.html>. [cit. 2023-12-23].

- [12] ABDEL-RAHMAN, Dr. Sam. *EEL6246 Power Electronics II: Chapter 6-Soft-Switching dc-dc Converters Outlines*. Online. In: . Dostupné z: <http://fpec.ucf.edu/wp-content/uploads/2020/11/Lecture-1-Ch-6-Intro.pdf>. [cit. 2023-12-23].
- [13] C. -H. Yang, T. -J. Liang, K. -H. Chen, J. -S. Li and J. -S. Lee, "Loss analysis of half-bridge LLC resonant converter," *2013 1st International Future Energy Electronics Conference (IFEEC)*, Tainan, Taiwan, 2013, pp. 155-160, doi: 10.1109/IFEEC.2013.6687496.
- [14] GARZINOVÁ, Romana; JANČÍKOVÁ, Zora a ZIMNÝ, Ondřej. Regulační obvody. Online. In: *ZÁKLADY AUTOMATIZACE TECHNOLOGICKÝCH PROCESŮ V TEORII*. Vysoká škola báňská – Technická univerzita Ostrava, 2013, s. 11. ISBN 978-80-248-3044-5. Dostupné z: https://projekty.fs.vsb.cz/463/edubase/VY_01_035/Z%C3%A1klady%20automatizace%20technologick%C3%BDch%20proces%C5%AF%20v%20teorii/02%20Text%20pro%20e-learning/Z%C3%A1klady%20automatizace%20technologick%C3%BDch%20proces%C5%AF%20v%20teorii%20%2008.pdf. [cit. 2023-12-24].
- [15] GARZINOVÁ, Romana; JANČÍKOVÁ, Zora a ZIMNÝ, Ondřej. Regulátory. Online. In: *ZÁKLADY AUTOMATIZACE TECHNOLOGICKÝCH PROCESŮ V TEORII*. Vysoká škola báňská – Technická univerzita Ostrava, 2013, s. 14. ISBN 978-80-248-3044-5. Dostupné z: https://projekty.fs.vsb.cz/463/edubase/VY_01_035/Z%C3%A1klady%20automatizace%20technologick%C3%BDch%20proces%C5%AF%20v%20teorii/02%20Text%20pro%20e-learning/Z%C3%A1klady%20automatizace%20technologick%C3%BDch%20proces%C5%AF%20v%20teorii%20%2006.pdf. [cit. 2023-12-24].
- [16] NANDIHALLI, Rudranna. Analysis Of Soft Switching Characteristics Of LLC Resonant Converter for DC-DC Application. Online. In: . S. 5. ISSN 2349-5162. Dostupné z: <https://www.jetir.org/papers/JETIRCJ06019.pdf>. [cit. 2023-12-24].
- [17] NCP1392D: High-Voltage Half-Bridge Driver with Inbuilt Oscillator. Online. In: . S. 23. Dostupné z: <https://www.onsemi.com/pdf/datasheet/ncp1392-d.pdf>. [cit. 2023-12-24].
- [18] MPS. *Primary-Side vs. Secondary-Side Regulation*. Online. 2021. Dostupné z: <https://www.monolithicpower.com/en/primary-side-vs-secondary-side-regulation>. [cit. 2023-12-24].
- [19] FAN7621: PFM Controller for Half-Bridge Resonant Converters. Online. In: . S. 17. Dostupné z: <https://www.onsemi.com/download/data-sheet/pdf/fan7621-d.pdf>. [cit. 2023-12-24].
- [20] XP POWER. *What is surge testing and why is it important?* Online. Dostupné z: <https://www.xppower.com/resources/blog/surge-testing-an-overview>. [cit. 2023-12-24].

- [21] EDN. *Isolated power conversion: making the case for secondary-side control*. Online. 2001. Dostupné z: <https://www.edn.com/isolated-power-conversion-making-the-case-for-secondary-side-control/>. [cit. 2023-12-24].
- [22] *Designing an LLC Resonant: Half-Bridge Power Converter*. Online. In: Texas Instruments. 2010. Dostupné z: <https://www.ti.com/seclit/ml/slup263/slup263.pdf>. [cit. 2021-11-26].
- [23] POWER ELECTRONIC TIPS. *Gate drive transformer specifications and applications*. Online. 2021. Dostupné z: <https://www.powerelectronicstips.com/gate-drive-transformer-specifications-and-applications-faq/>. [cit. 2023-12-24].
- [24] Elektronika II. kapitola Zpětná vazba a její praktické aplikace. Online. S. 7. Dostupné z: https://vyuka.hradebni.cz/file.php/46/Zpetna_vazba.pdf. [cit. 2023-12-24].
- [25] Zpětná vazba. Online. In: *Elektrotechnika*. S. 5. Dostupné z: <https://eluc.ikap.cz/verejne/lekce/670>. [cit. 2023-12-24].
- [26] Feedback in Switch Mode Power Converters. Online. In: . S. 22. Dostupné z: <http://www.runonielsen.dk/Feedback.pdf>. [cit. 2023-12-24].
- [27] K.ROBERGE, James. *Electronic Feedback Systems*. Online. In: . 1986. Lexington, Massachusetts, s. 233. Dostupné z: https://ocw.mit.edu/ans7870/RES/RES.6-010/MITRES_6-010S13_lecandsols.pdf. [cit. 2023-12-24].
- [28] HUANG, Hong. *Feedback Loop Design of an LLC Resonant Power Converter*. Online. In: . S. 9. Dostupné z: https://www.ti.com/lit/an/slua582a/slua582a.pdf?ts=1700299318191&ref_url=https%253A%252F%252Fwww.google.com%252F. [cit. 2023-12-24].
- [29] Introduction to Feedback: LECTURE 11. Online. In: . S. 22. Dostupné z: <https://www.engr.colostate.edu/ECE562/98lectures/111.pdf>. [cit. 2023-12-24].
- [30] LEVNÉ BATERKY. *Co je to solární regulátor nabíjení (MPPT)?* Online. 2022. Dostupné z: <https://www.levne-baterky.cz/Co-je-to-solarni-regulator-nabijeni-MPPT-b83993.htm>. [cit. 2023-12-24].
- [31] Programmable Precision References: TL431A, B Series, NCV431A, B Series, SCV431A. Online. In: . S. 22. Dostupné z: <https://www.onsemi.com/pdf/datasheet/tl431-d.pdf>. [cit. 2023-12-24].
- [32] The TL431 in the Control of Switching Power Supplies: TND381-D. Online. In: . S. 63. Dostupné z: <https://www.onsemi.com/pub/Collateral/TND381-D.PDF>. [cit. 2023-12-24].
- [33] NCP4371: Qualcomm Quick Charge 3.0 HVDCP Controller. Online. In: . S. 16. Dostupné z: <https://www.onsemi.com/pdf/datasheet/ncp4371-d.pdf>. [cit. 2023-12-24].
- [34] ROHM SEMICONDUCTOR. *Light load mode*. Online. 2020. Dostupné z: <https://www.rohm.com/electronics-basics/ac-dc/light-load-mode>. [cit. 2023-12-24].

- [35] Current Mode Resonant Controller, with Integrated High-Voltage Drivers, High Performance: NCP1399 Series. Online. In: . S. 46. Dostupné z: <https://www.onsemi.com/pdf/datasheet/ncp1399-d.pdf>. [cit. 2023-12-24].
- [36] Drda, V. Stuler, R. Over power protection for power converters, Patent No.: US10,122,259 B2, United States Patent, 2018, dostupné on-line: <https://image-ppubs.uspto.gov/dirsearch-public/print/downloadPdf/10122259>
- [37] Modular Hardware System- Common Redundant Power Supply (M-CRPS) Base Specification. Online. In: *Datacenter – Modular Hardware Systems (DC-MHS) Rev 1.0 Family*. 2022, s. 320. Dostupné z: <https://www.opencompute.org/documents/m-crps-r1-v1p0-rc4-pdf>. [cit. 2023-12-24].
- [38] SOBRAYEN, Lingeshwaren; KARIMI, Charif; DEHEM, Patrick; PHULPIN, Tanguy a SADARNAC, Daniel. Elimination of Circulating Current in Wide Range LLC Resonant Converter with a Hybrid Bridge and Simultaneous PWM and PFM Control. Online. In: *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, 2021, s. 327-334. ISBN 978-1-7281-8949-9. Dostupné z: <https://doi.org/10.1109/APEC42165.2021.9487389>. [cit. 2023-12-25].
- [39] Kompenzace elektrického jalového výkonu. Online. S. 3. Dostupné z: <http://www.odbornecasopisy.cz/elektro/casopis/tema/kompenzace-elektrickeho-jaloveho-vykonu--11073>. [cit. 2023-12-25].
- [40] Test Method for Calculating the Energy Efficiency of Single-Voltage External Ac-Dc Power Supplies. Online. 2004, s. 12. Dostupné z: https://www.energystar.gov/ia/partners/prod_development/downloads/power_supplies/External_Power_SupplyTest_Method.pdf. [cit. 2023-12-25].
- [41] Power Factor Correction (PFC) Circuit Basics. Online. *Texas Instruments Power Supply Design Seminar*. 2020, roč. 2020, č. 2, s. 23. Dostupné z: <https://www.ti.com/seclit/ml/slup390/slup390.pdf>. [cit. 2023-12-25].
- [42] Power Factor Correction (PFC) Handbook. Online. 2014, s. 130. Dostupné z: <https://www.onsemi.com/pub/Collateral/HBD853-D.pdf>. [cit. 2023-12-25].
- [43] *Power Supply Design Basics: Passive PFC Design*. Online. 2013. Dostupné z: <https://www.nuvation.com/resources/article/power-supply-design-basics-passive-pfc-design>. [cit. 2023-12-25].
- [44] Power Factor Correction (PFC) Circuits. Online. In: . S. 20. Dostupné z: https://toshiba.semicon-storage.com/info/application_note_en_20191106_AKX00080.pdf?did=68570. [cit. 2023-12-25].
- [45] DIMITROV, Borislav a CRUDEN, Andrew. Modelling, analysis and verification of a resonant LLC converter as a power supply for the electromagnetic driving mechanism of an electromagnetic contactor. Online. S. 4. Dostupné z: <https://eprints.soton.ac.uk/397776/1/PID4288427.pdf>. [cit. 2023-12-25].

- [46] *EFFICIENCY STANDARDS for External Power Supplies*. Online. 2019. Dostupné z: <https://www.cui.com/efficiency-standards>. [cit. 2023-12-25].
- [47] *Datový list: FCP11N60* [online]. Březen 2014 [cit. 2023-11-28]. Dostupné z: <https://www.onsemi.com/pdf/datasheet/fcpf11n60t-d.pdf>
- [48] *Ferrites and accessories: PQ 32/30* [online]. Květen 2017 [cit. 2023-11-28]. Dostupné z: https://www.tdk-electronics.tdk.com/inf/80/db/fer/pq_32_30.pdf
- [49] *Ferrites and accessories: SIFERRIT material N49* [online]. Květen 2017 [cit. 2023-11-28]. Dostupné z: <https://www.tdk-electronics.tdk.com/download/528856/cf394eea3fae828c345f46dc297b76ab/pdf-n49.pdf>
- [50] *Pq3220 Ferrite Core and Bobbin* [online]. [cit. 2023-11-28]. Dostupné z: <https://www.elelz.com/Pq3220-Ferrite-Core-and-Bobbin-pd74178077.html>
- [51] *Wire Gauge and Current Limits Including Skin Depth and Strength* [online]. Orem, Utah 84058 USA: PowerStream Technology, 2021 [cit. 2023-11-28]. Dostupné z: https://www.powerstream.com/Wire_Size.htm
- [52] *Resistivity and Temperature Coefficient at 20 C* [online]. [cit. 2023-11-28]. Dostupné z: <http://hyperphysics.phy-astr.gsu.edu/hbase/Tables/rstiv.html>
- [53] *Engineering ToolBox: Permeability* [online]. 2016 [cit. 2023-11-28]. Dostupné z: https://www.engineeringtoolbox.com/permeability-d_1923.html
- [54] *Elektrisola: Vysokofrekvenční lanka*. <https://www.ermeg.cz/> [online]. [cit. 2023-11-28]. Dostupné z: <https://www.ermeg.cz/download/brands-documents/elektrisola/Elektrisola-Vysokofrekvencni-lanka-CZ.pdf>
- [55] *Double Sided Metallized Polypropylene Film Capacitor MMKP*. Online. Dostupné z: https://www.tdk-electronics.tdk.com/inf/20/20/ds/MMKP_B32641B_B32643B.pdf. [cit. 2024-04-22].
- [56] *Metallized Polypropylene Film Capacitors (MKP)*. Online. Dostupné z: https://product.tdk.com/system/files/dam/doc/product/capacitor/film/mkp_mfp/data_sheet/20/20/db/fc_2009/mkp_b32620_621.pdf. [cit. 2024-04-22].
- [57] *Metallized Polypropylene Film Capacitors (MKP)*. Online. Dostupné z: https://product.tdk.com/system/files/dam/doc/product/capacitor/film/mkp_mfp/data_sheet/20/20/db/fc_2009/mkp_b3267_p.pdf. [cit. 2024-04-22].
- [58] *AC and Pulse Metallized Polypropylene Film Capacitors KP/MKP Radial Lacquered Type*. Online. Dostupné z: <https://www.vishay.com/docs/28127/kpmkp375.pdf>. [cit. 2024-04-22].
- [59] *Shielded Power Inductors – RFS1317*. Online. Dostupné z: <https://cz.mouser.com/datasheet/2/597/rfs1317-774541.pdf>. [cit. 2024-04-22].
- [60] *NCP5106A, NCP5106B. High Voltage, High and Low Side Driver*. Online. Dostupné z: <https://www.onsemi.com/pdf/datasheet/ncp5106-d.pdf>. [cit. 2024-04-22].

- [61] NCP1392B, NCP1392D: High-Voltage Half-Bridge Driver with Inbuilt Oscillator. Online. In: . S. 23. Dostupné z: <https://www.onsemi.com/pdf/datasheet/ncp1392-d.pdf>. [cit. 2024-04-13].
- [62] THS4012. *290-MHz LOW-DISTORTION HIGH-SPEED AMPLIFIERS*. Online. Ti.com. 2010. Dostupné z: <https://www.ti.com/lit/ds/symlink/ths4012.pdf?ts=1714747886953>. [cit. 2024-05-03].
- [63] AD4001: 16-Bit, 2 MSPS/1 MSPS, Precision, Differential SAR ADCs. Online. In: . S. 39. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/ad4001-4005.pdf>. [cit. 2024-05-03].
- [64] ADA4940: Ultralow Power, Low Distortion, Fully Differential ADC Drivers. Online. In: . S. 30. Dostupné z: https://www.analog.com/media/en/technical-documentation/data-sheets/ada4940-1_4940-2.pdf. [cit. 2024-05-03].
- [65] LM431A, LM431B, LM431C: Programmable Shunt Regulator. Online. In: . S. 9. Dostupné z: <https://www.onsemi.com/pdf/datasheet/lm431a-d.pdf>. [cit. 2024-05-03].
- [66] *TLV350x 4.5-ns, Rail-to-Rail, High-Speed Comparator in Microsize Packages*. Online. Dostupné z: https://www.ti.com/lit/ds/symlink/tlv3502.pdf?ts=1714739707546&ref_url=https%253A%252F%252Fwww.google.com%252F. [cit. 2024-05-03].
- [67] *Low Voltage Precision Adjustable Shunt Regulator TLV431, NCV431, SCV431*. Online. 2021. Dostupné z: <https://www.onsemi.com/pdf/datasheet/tlv431a-d.pdf>. [cit. 2024-05-03].
- [68] *Cmod S7: Breadboardable Spartan-7 FPGA Module*. Online. Digilent. Dostupné z: <https://digilent.com/shop/cmod-s7-breadboardable-spartan-7-fpga-module/>. [cit. 2024-05-03].
- [69] *Everything You Need to Know about BGA Technology in PCB Assembly*. Online. Dostupné z: <https://jlcpcb.com/blog/152-everything-you-need-to-know-about-bga-technology-in-pcb-assembly>. [cit. 2024-05-03].
- [70] *Paměti flash – pohled na bity a bajty*. Online. Dostupné z: <https://www.dps-az.cz/clanky/id:49957/pameti-flash-pohled-na-bity-a-bajty>. [cit. 2024-05-03].
- [71] *MC74HC589A - 8-Bit Serial or Parallel-Input/Serial-Output Shift Register with 3-State Output*. Online. 2024. Dostupné z: <https://www.onsemi.com/pdf/datasheet/mc74hc589a-d.pdf>. [cit. 2024-05-03].
- [72] *MC74HC595A - 8-Bit Serial-Input/Serial or Parallel-Output Shift Register with Latched 3-State Outputs*. Online. 2024. Dostupné z: <https://www.onsemi.com/pdf/datasheet/mc74hc595a-d.pdf>. [cit. 2024-05-03].
- [73] *Vivado ML – Standard or Enterprise Editions*. Online. 2023. Dostupné z: <https://www.xilinx.com/products/design-tools/vivado.html>. [cit. 2024-05-03].
- [74] *SystemVerilog Tutorial*. Online. Dostupné z: <https://www.chipverify.com/tutorials/systemverilog>. [cit. 2024-05-04].

- [75] *What Is VHDL? Getting Started with Hardware Description Language for Digital Circuit Design*. Online. Dostupné z: <https://www.allaboutcircuits.com/technical-articles/hardware-description-language-getting-started-vhdl-digital-circuit-design/>. [cit. 2024-05-04].
- [76] *Why the Double-Dabble Algorithm Works*. Online. Dostupné z: <https://olduino.wordpress.com/wp-content/uploads/2015/03/why-does-double-dabble-work.pdf>. [cit. 2024-05-04].

SEZNAM SYMBOLŮ A ZKRATEK

Zkratky:

| | |
|------|---|
| FEKT | Fakulta elektrotechniky a komunikačních technologií |
| VUT | Vysoké učení technické v Brně |
| FPGA | Field Programming Gate Array (programovatelné hradlové pole) |
| LVDS | Low Voltage differential signaling (nízkonapěťový diferenciální přenos informace) |
| MCU | Micro Control Unit (Mikroprocesor) |
| ASIC | Application Specific Integrated Circuit |
| AD | Analog to Digital signal (analogový na digitální signál) |
| SRC | Series resonant convertor (sériový rezonanční měnič) |
| PRC | Parallel resonant convertor (paralelní rezonanční měnič) |
| SPRC | Serio-parallel resonant convertor (sérioparalelní rezonanční měnič) |
| AFE | Analog front end (emulační platforma s obvody) |
| ZVS | Zero voltage switching (spínání s nulovým napětím) |
| ZCS | Zero current switching (spínání s nulovým proudem) |
| ESR | ekvivalentní sériový odpor kondenzátoru |
| EMI | elektromagnetická interference |
| SA | Stavový automat |
| PFM | Pulse-frequency modulation (pulzní frekvenční modulace) |
| DIP | Dual In-Line Package (pouzdro součástky) |
| D | Drain (vývod tranzistoru MOSFET) |
| S | Source (vývod tranzistoru MOSFET) |
| G | Gate (vývod tranzistoru MOSFET) |
| K | Katoda (vývod polovodičové diody) |
| A | Anoda (vývod polovodičové diody) |

Symboly:

| | | |
|----------|------------------------|----------------------|
| U | napětí | (V) |
| I | proud | (A) |
| R | odpor | (Ω) |
| X | reaktance | (Ω) |
| f | frekvence | (Hz) |
| C | kapacita | (F) |
| P | výkon | (W) |
| L | indukčnost | (H) |
| Q | činitel jakosti | (-) |
| t | čas | (s) |
| η | účinnost | (%) |
| n | převodový poměr | (-) |
| M | stejnoseměrné zesílení | (-) |
| m | poměr indukčností | (-) |
| ρ | rezistivita | (Ω/m) |
| μ | permeabilita | (N.A ⁻²) |
| ω | úhlový kmitočet | (rad/s) |
| W | energie | (J) |
| Φ | magnetický tok | (Wb) |
| V | objem | (m ³) |
| A | průřez jádra | (m ²) |
| B | magnetická indukce | (T) |
| A_L | magnetizační faktor | (H) |
| $L(l)$ | délka | (m) |
| s | plocha | (m ²) |
| d | průměr | (m) |

SEZNAM PŘÍLOH

Všechny přílohy kromě programu jsou přiloženy na konci této práce. Všechny přílohy jsou přiloženy také elektronicky v komprimovaném souboru Prilohy.zip. Součástí příloh jsou následující položky:

- A.** Výrobní podklady pomocné desky
 - A1** - Schéma – schema_pomocna_deska.pdf
 - A2** - Osazovací plán – osaz_pomocna_deska.pdf
 - A3** - Desky plošného spoje – vyroba_pomocna_deska.pdf
- B.** Výrobní podklady emulační platformy
 - B1** - Schéma – schema_emulacni_platforma.pdf
 - B2** - Osazovací plán – osaz_emulacni_platfoma.pdf
 - B3** - Desky plošného spoje – vyroba_emulacni_platforma.pdf
- C.** Výrobní podklady ladící desky
 - C1** - Schéma – schema_ladici_deska.pdf
 - C2** - Osazovací plán – osaz_ladici_deska.pdf
 - C3** - Desky plošného spoje – vyroba_ladici_deska.pdf
- D.** Program (pouze v digitální podobě)
 - D1** - IP blok PLL – clk_wiz_0.xci
 - D2** - Vratný čítač – TIMER_U_D.sv
 - D3** - Čítač „*deadtime*“ – TIMER_DT.sv
 - D4** - Generátor PFM – GEN_PFM.sv
 - D5** - Převodník – BIN2DEC.sv
 - D6** - Multiplexor displeje – SEG_DEC_X.sv
 - D7** - Komunikační modul SPI – DEBUG_SPI.sv
 - D8** - Zpracování dat ladící desky – DEBUG_DATA.sv
 - D9** - Hlavní program – MAIN.sv