

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ
FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

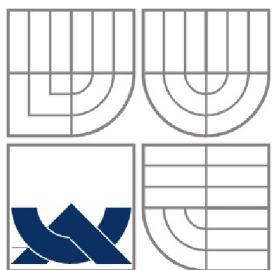
SDR PŘIJÍMAČ PRO PÁSMO DO 40 MHZ

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

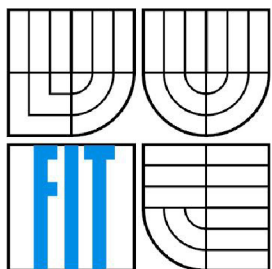
AUTOR PRÁCE
AUTHOR

FILIP VORBA

BRNO 2015



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

SDR PŘIJÍMAČ PRO PÁSMO DO 40 MHZ

SDR RECEIVER FOR 40 MHZ

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

FILIP VORBA

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. ZDĚNEK VAŠÍČEK, Ph.D.

BRNO 2015

Abstrakt

Tato práce se zabývá popisem konceptů SDR (Software Defined Radio) a zejména návrhem a realizací tohoto typu přijímače pro pásmo do 40 MHz.

Abstract

This project is about designing new SDR (Software Defined) radio receiver for band to 40 MHz.

Klíčová slova

softwarově definované rádio (SDR), rádiový přijímač, I/Q demodulátor, LVDS oscilátor

Keywords

software defined radio (SDR), radio receiver, I/Q demodulator, LVDS oscillator

Citace

Filip VORBA: SDR přijímač pro pásmo do 40 MHz, bakalářská práce, Brno, FIT VUT v Brně, 2015

SDR přijímač pro pásmo do 40 MHz

Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně pod vedením pana Ing. Zdeňka Vašíčka, PhD.

Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

.....
Filip Vorba
19.5.2015

Poděkování

Tímto děkuji mému vedoucímu bakalářské práce, p. Ing. Zdeňkovi Vašíčkovi, PhD za ochotu a cenné rady, které mi v souvislosti s prací poskytl, stejně jako za zapůjčení vybavení potřebného pro realizaci.

© Filip Vorba, 2015

Tato práce vznikla jako školní dílo na Vysokém učení technickém v Brně, Fakultě informačních technologií. Práce je chráněna autorským zákonem a její užití bez udělení oprávnění autorem je nezákonné, s výjimkou zákonem definovaných případů.

Obsah

Obsah.....	1
1 Úvod.....	2
2 Teorie.....	3
2.1 Analogové přijímače.....	3
2.2 Digitální přijímače.....	4
2.3 Výběr vhodné architektury.....	5
3 Hardwarová část.....	7
3.1 Blokové schéma.....	7
3.2 Vstupní filtr.....	8
3.3 Předzesilovač.....	9
3.4 I/Q demodulátor.....	11
3.5 Oscilátor.....	13
3.6 Zesilovač/filtr.....	15
3.7 Pomocné obvody.....	17
3.7.1 Převodník úrovní.....	17
3.7.2 Invertor napětí.....	19
3.8 MCU.....	20
4 Softwarová část.....	22
5 Realizace.....	24
5.1 Návrh desky plošných spojů.....	24
5.2 Osazení a oživení desky.....	25
5.3 Test funkčnosti.....	25
6 Závěr.....	27
Literatura.....	29
Seznam příloh.....	30

1 Úvod

Softwarové zpracování rádiových signálů patří mezi moderní a oblíbené technologie. Oproti klasickým analogovým přijímačům má několik výhod, díky kterým se dnes tento druh přijímačů rychle rozšiřuje. Mezi nejvýznamnější patří variabilita – jelikož je veškeré zpracování rádiových signálů prováděno počítačem, je možné měnit vlastnosti přijímače pouhou změnou řídicího software. Lze tak měnit např. typ přijímané modulace a dekódovat nejrozličnější komunikační protokoly. Díky dnešnímu výkonu počítačů je možné zpracovávat velké úseky frekvenčního pásma (v řádu MHz) v reálném čase. Toho se využívá v různých přehledových přijímačích a analyzátoch rádiového provozu. Uživatel není omezený na poslech jedné frekvence/stanice, ale vidí vizualizaci provozu v celém frekvenčním pásmu a může se okamžitě zaměřit na frekvenci, na které je zrovna provoz. Mezi další výhody patří i jednodušší hardware přijímače a výborný poměr cena/výkon.

SDR (Software Defined Radio) je v praxi využíváno např. v základových stanicích mobilních operátorů, USB tunelech, službou WebSDR[1] a samozřejmě i ve velkém množství rádiových přijímačů od amatérských konstrukcí po profesionální.

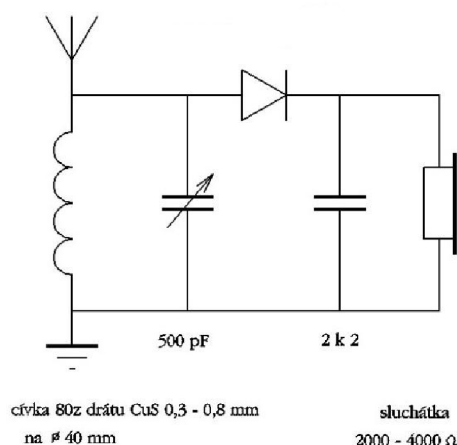
V této práci se zaměřuji na představení konceptů a variant SDR a zejména na popis realizace přijímače dle vlastního návrhu.

2 Teorie

2.1 Analogové přijímače

Nejstarším typem přijímače je tzv. krystalka. Pomocí ní lze přijímat amplitudově modulované signály a to bez jakéhokoli elektrického zdroje. Potřebnou energii si „bere“ přímo z vysílače. Jedná se o velmi jednoduchý obvod jenž sestává z paralelního LC obvodu, diody a laditelného kondenzátoru. K němu je připojena anténa a vysokoohmová sluchátka.

Naladěný LC obvod představuje odpor pro rezonanční frekvenci, ostatní frekvence jsou uzemněny. Poté detekční dioda demoduluje signál a kondenzátor odstraňuje nosnou frekvenci. Nevýhod je mnoho – např. malá selektivita (nelze potlačit všechny frekvence kromě žádané), nízká citlivost, nepřesné přeladování, malá hlasitost a nutnost použít dlouhou anténu, na které se objeví dostatečně vysoké napětí.

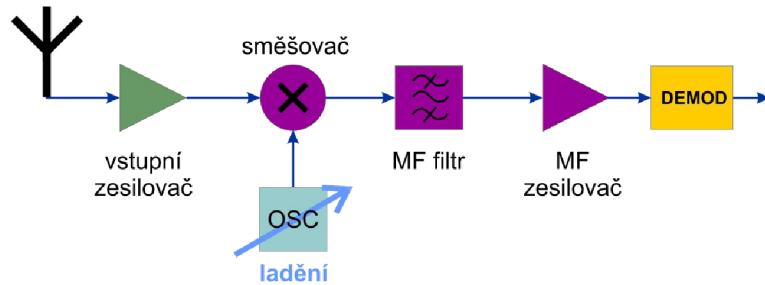


Obr. 2.1 - Krystalka

Dalším vývojovým stupněm byl přímozesilující přijímač. Mezi laděný obvod a demodulátor byl přidán zesilovač. To vyřešilo problém s nízkou citlivostí a přidáním dalšího nízkofrekvenčního zesilovače umožnilo přijímaný signál různě zesílit a reprodukovat. Přetrvávaly ovšem problémy s nízkou selektivitou. Existuje množství různých modifikací přímozesilujících přijímačů.

Skutečný skok směrem nahoru v kvalitě přišel s vynálezem tzv. superhetu. Mezi jejich vlastnosti patří vysoká citlivost nezávislá na přijímaném signálu a dobrá selektivita v celém rozsahu. Využívají součástek zvaných směšovače, které dokáží snížit frekvenci přijímaného signálu a přitom zachovat jeho původní modulaci. Vzniká tak mezifrekvenční kmitočet, který je neměnný. Ten je tím pádem pro následující obvody mnohem snadněji zpracovatelný. Největším problémem tohoto konceptu jsou zrcadlové kmitočty, které vznikají v důsledku činnosti směšovače. Jedná se o situaci, kdy jsou na stejnou mezifrekvenci převedeny dva rozdílné vstupní signály s frekvencí vzdálenou od sebe právě o dvojnásobek mezifrekvence. Takže ke každé naladěné stanici s libovolnou frekvencí f_p existuje zrcadlová frekvence $f_z = f_p + 2f_{mf}$. Pokud na obou frekvencích někdo vysílá, uslyšíme obě dvě zároveň.

Jednou z možností jak problém řešit, je zvyšovat mezifrekvenci – tím se zvětší vzdálenost, kterou mezi sebou zrcadlové frekvence mají a je pak možné jednu z nich odfiltrvat. Druhou možností je využít několikanásobné směšování, což ale vede k vysoké složitosti obvodu.



Obr. 2.2 - Superhet - blokové schéma

2.2 Digitální přijímače

Základem každého digitálního přijímače je A/D převodník, který vzorkovací frekvenci f_z vzorkuje vstupní analogový signál a vrací jeho reprezentaci jako diskrétní číselné hodnoty. Pro správnou pozdější rekonstrukci navzorkovaného signálu je důležité dodržet Shannonův teorém. Dle tohoto teorému se ve vzorkovaném signálu nesmí vyskytnout žádná frekvence vyšší než je $\frac{1}{2} f_z$. Pokud by se tak stalo, dojde k jevu známému jako aliasing a tedy k nenapravitelným ztrátám původní informace ze signálu.

Tzv. ideální SDR přijímač vychází z jednoduchého konceptu, který je známý již dlouho. Je ho však možné realizovat až nyní společně s nástupem moderních součástek. Hardware takovéhoho přijímače sestává pouze ze vstupního filtru, zesilovače a A/D převodníku. Vstupní filtr, obvykle typu dolní propust, potlačuje vysoké frekvence v signálu z antény tak, aby byl splněn Shannonův teorém. Následně je signál vzorkován A/D převodníkem. Další zpracování signálu už probíhá čistě digitálně. Signál je poslán do digitálního obvodu, nejčastěji FPGA, ale existují i specializované integrované čipy. Zde proběhne případná konverze na bázi Fourierovy transformace a filtrace číslicovými filtry umožní zpracovat z původního spektra jen požadované frekvence.

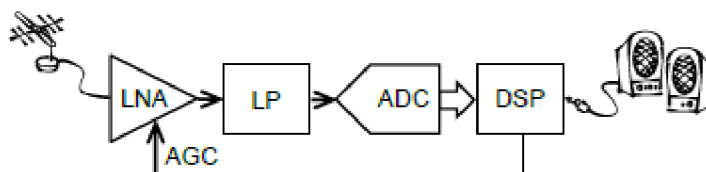
Tento koncept je dnes vhodný jen pro zpracování nižších frekvencí (řádově desítky MHz). Čím vyšší vzorkovací frekvence A/D převodníku je použita, tím vyšší jsou nároky na digitální části, které signál dále zpracovávají. Např. převodník o rychlosti 100 MSPS ($100 \cdot 10^6$ vzorků za sekundu) s bitovou šířkou vzorku 14b generuje cca 1 335Mb/s čistých dat, což nemusí být konečná hodnota, pokud jsou data následně přenášena pomocí nějakého protokolu. Takto vysoké datové toky kladou vysoké nároky jak na kapacitu přenosových tras mezi A/D převodníkem a následujícím obvodem, tak i na výpočetní výkon zpracovávajícího obvodu.

Z principu fungování také vyplývá, že obvykle není možné přijímat frekvence vyšší než $\frac{1}{2} f_z$. Existují ovšem speciální techniky pásmového vzorkování, které toto za jistou cenu umožňují.[2]

Výhodou je maximální jednoduchost obvodu a vynikající vlastnosti – nevznikají zde dalším analogovým zpracováním žádné zrcadlové kmitočty, šum, ani jiná degradace vstupního signálu. Co se dostane na anténu, je navzorkováno a zpracováno.

To je ovšem vykoupeno vysokou cenou rychlých A/D převodníků a velmi vysokými nároky na výkon zpracovávajících obvodů. Navíc je nemožné (a bylo by i neefektivní) takto zpracovávat vysoké frekvence v řádu GHz, protože takto rychlé A/D převodníky zatím ani neexistují.

Tento koncept se využívá například tam, kde je potřeba přijímat široký rozsah frekvencí zároveň - různé přehledové přijímače.



Obr. 2.3 - Blokové schéma ideálního přijímače [2]

Na obrázku 2.3. je blokové schéma ideálního přijímače. AGC znamená Automatic Gain Control a slouží pro automatické řízení zisku (zesílení) zesilovače LNA podle právě přijímaného signálu. Tato část není pro SDR přijímač nutná, ale vylepšuje jeho vlastnosti.

Aby se snížily nároky na digitální obvody, je nutné použít jejich kombinaci s analogovými. Další SDR koncept tedy využívá směšovač známý z superheterodynu. Jeho použitím se drasticky snižují nároky na A/D převodník i digitální obvody.

U tohoto konceptu existuje několik variant. Stejně jako u analogu, je možné směšovat buď na mezifrekvenci – pak jde o obdobu superheterodynu nebo přímo do základního pásma – tzv. homodyn. Oba dva koncepty mají své výhody i nevýhody. Heterodyn má dobré vlastnosti, ale vyskytují s v něm zrcadlové kmitočty. Pro jejich odstranění je sice možné použít vícenásobné směšování, to ale zvyšuje nároky na analogové obvody. Navíc mezifrekvence představuje menší komplikaci – později se jí bude třeba zbavit ať už analogově nebo spíše digitálně. V případě homodynu žádná mezifrekvence není a není tedy ani problém se zrcadlovými kmitočty. I tak má ale své nedostatky, patří sem velká citlivost na kvalitu oscilátoru a citlivost na šum $1/f$.

U obou variant platí, že původně vysoká frekvence je převedena na mnohem nižší a proto stačí pro vzorkování pomalejší A/D převodník. S tím související nižší datový tok klade nižší požadavky na DSP obvody.

2.3 Výběr vhodné architektury

Po prozkoumání různých konstrukcí SDR přijímačů pro pásma v řádech desítek MHz jsem zjistil, že v současnosti se objevují dva hlavní směry.

Pro ty, kdo požadují kvalitu bez kompromisů je dostupné množství SDR přijímačů založených na přímé A/D konverzi. Rychlosti jejich převodníků se dnes obvykle pohybují do cca 200 MSPS, často se 14-ti nebo dokonce 16-ti bitovými vzorky. Je nemožné, aby takové množství dat zpracovával klasický počítač, zpracování proto probíhá přímo v přijímači. Zajišťuje je ho speciální obvod, většinou FPGA, ale i existují i specializované obvody jako např. AFEDR18201 od firmy Texas Instruments. Zde jsou hardwarově implementovány algoritmy, které provedou

digitální filtraci, transformaci signálu a vyseknou ze vstupu požadované frekvenční pásmo. Jeho maximální šířka je závislá na technologii, kterou jsou data následně přenášena do PC. Mnoho přijímačů využívá rozhraní USB 2.0. Jeho teoretická rychlost je sice 480 Mb/s, ale prakticky jí nelze dosáhnout. Jako nejlepší volba se jeví Ethernet (až 1 Gb/s), což už stačí pro přenos relativně širokého pásma. Existují i přijímače s FireWire (IEEE1394), jsou ale výjimkou. Součástí bývá i balík proprietárního software. Ceny těchto přijímačů se pohybují velice vysoko, zpravidla nad 500\$. Zástupcem této kategorie je např. **WR-G31DDC 'EXCALIBUR'** obsahující 16-ti bitový, 100MSPS A/D převodník. Jeho cena se pohybuje nad 900\$.



Obr. 2.4. - přijímač WR-G31DDC

Tento koncept jsem se při své práci rozhodl nevyužít a to jak z důvodu vysoké ceny jeho součástek, tak náročnosti provedení. Zejména by bylo náročné v FPGA zpracovávat vysoký datový tok a implementovat všechny potřebné algoritmy ve VHDL. Protože se jedná většinou o komerční zařízení, nebývá dostupná podrobná dokumentace ani kód firmwaru.

Druhým nejčastěji zastoupeným typem přijímačů jsou ty, které využívají směšovačů v kombinaci s laditelnými oscilátory. Nejrozšířenější jsou homodyny s kvadraturními demodulátory pro získání I/Q složek signálu. Tyto signály jsou následně navzorkovány a poslány ke zpracování. Zde se přijímače zásadně rozlišují na kvalitnější, které obsahují vlastní A/D převodníky a levnější, které zesílený signál po směšování posílají do zvukové karty pc. Ta se postará o vlastní digitalizaci signálu. Možnost využití zvukové karty je velké zjednodušení, protože přijímač už dále nemusí implementovat A/D převodník ani žádné digitální přenosové rozhraní. Téměř každý SDR software navíc jako svůj vstup podporuje zvukovou kartu, odpadá tedy nutnost integrace se softwarem. Zásadních omezení je však několik. Šířka přenášeného pásma je striktně určena vzorkovací frekvencí zvukové karty. Ta navíc musí mít dvoukanalový - stereo vstup pro vzorkování I/Q složky, což není vždy standard. Při využití klasické karty se vzorkovací frekvencí 96 kHz je tak možné v reálném čase pozorovat spektrum široké **96 kHz** (díky využití I a Q složky). Dokumentace ke zvukové kartě většinou není dostupná, a tak není možné se dozvědět na jaké skutečné frekvenci zvuková karta vzorkuje. Mnoho těchto konstrukcí totiž neobsahuje dostatečný anti-aliasingový filtr. Využívají skutečnosti, že A/D převodník zvukové karty je typu sigma-delta. To znamená, že je skutečná vzorkovací frekvence mnohem vyšší než nominální (oněch 96 kHz). V pozadí je skryta digitální konverze na nižší frekvenci. Jak přesně filtrovat vstupní signál, aby nemohlo dojít k anti-aliasingu tak zůstává spíše na odhadu konstruktéra a volbě kvalitní zvukové karty.

Protože za hlavní praktickou výhodu SDR přijímačů považuji právě vysokou šířku pásma, rozhodl jsem se realizovat přijímač, který nebude závislý na parametrech zvukové karty. Navíc takových konstrukcí již existuje větší množství a tak by byl přínos této práce snížen.

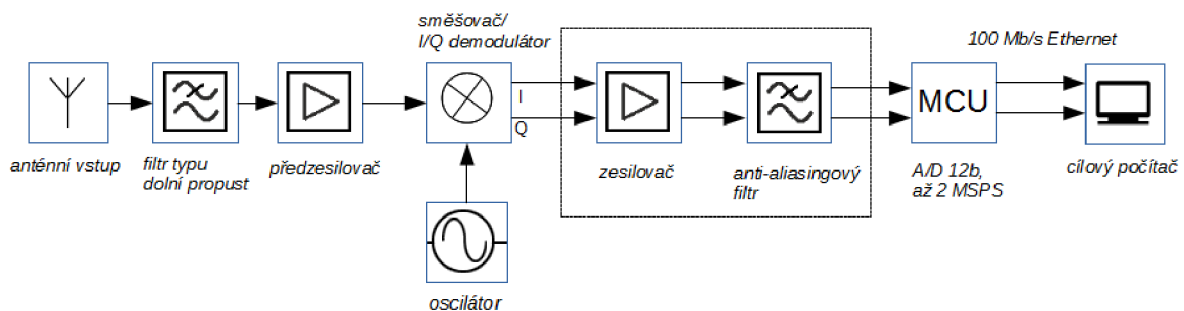
Jedinou možností jak toto splnit a nepoužít náročnou přímou konverzi je využít kombinaci analogových a digitálních obvodů – směšovače. V mém průzkumu jsem nenašel žádný jiný přijímač

tohoto druhu, který by splňoval požadavky na rozsah přijímaných frekvencí, šířku přijímaného pásma a byla pro něj dostupná detailní dokumentace. Proto jsem přijímač založil na vzorovém zapojení I/Q demodulátoru AD8333, který dokáže pracovat v požadovaném pásmu – 0 až 50 MHz. Snažil jsem se o co největší využití integrovaných obvodů.

Z důvodu zjednodušení jsem vybral koncept homodynu, tzn. směšování do základního pásma. Po směšování tedy nevzniká žádná mezifrekvence, ale přímo základní signál, který není potřeba po filtraci a vzorkování speciálně upravovat.

3 Hardwarová část

3.1 Blokové schéma



Obr. 3.1 - Blokové schéma navrhovaného přijímače

Na obrázku 3.1 je zjednodušené blokové schéma navrženého přijímače. Přijímač se skládá ze dvou desek. Desky přijímače a desky mikroprocesoru. Deska přijímače byla vytvořena jako nový plošný spoj. Deska mikroprocesoru je vývojová deska Connected LaunchPad [3]. Obě desky jsou zakončeny pin headery a propojeny pomocí vodičů.

Signál z antény je přiveden na vstup dolní propusti. Zde jsou potlačeny všechny vysoké frekvence mimo přijímané pásmo. Protože je signál z antény pro směšování příliš slabý, je zesílen nízkošumovým předzesilovačem a pokračuje do I/Q demodulátoru. Zde je smíchán s oscilačním signálem a jeho ekvivalentem s fází posunutou o 90° . Vzniká složka I a Q. Oscilátor je softwarově přeladitelný v rozsahu potřebném pro zajištění příjmu všech frekvencí přes sběrnici I2C. Tyto dva signály jsou zesíleny a filtrovány další dolní propustí, kterou tvoří operační zesilovače v zapojení Sallen-Key.

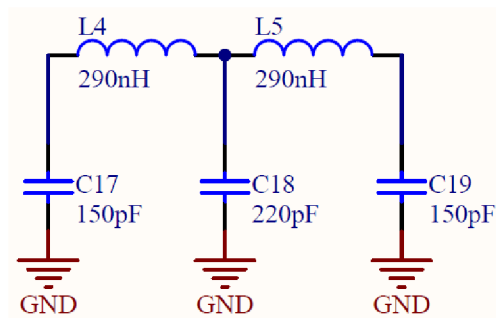
K jejich výstupu je připojen dvoukanálový A/D převodník, kde jsou složky I a Q současně vzorkovány. Nejedná se o samostatný obvod, ale modul MCU, jehož součástí je i ethernetový radič. Jakmile jsou data navzorkována, jsou odeslána prostřednictvím Ethernetu na cílový počítač, kde běží SDR software. Ten zajistí veškeré další operace jako mezifrekvenční filtrování, demodulaci a vizualizaci/přehrání signálu. Mikroprocesor také ovládá frekvenci oscilátoru a nastavuje ji dle příkazu uživatele. Součástí přijímače je i rozhraní pro ovládání uživatelem. MCU dokáže přijímat přes síť příkazy, kterými lze přijímač přeladovat a měnit vzorkovací frekvenci A/D převodníku.

3.2 Vstupní filtr

Vstupní filtr typu dolní propust je, jak je patrné z názvu, zařazen hned za anténní BNC konektor. Jeho účelem je co nejvíce potlačit frekvence vyšší než 50 MHz. Tato hodnota totiž představuje nejvyšší frekvenci, kterou umí zpracovávat I/Q demodulátor. Je tedy vhodné na této frekvenci dosáhnout co nejvyššího útlumu.

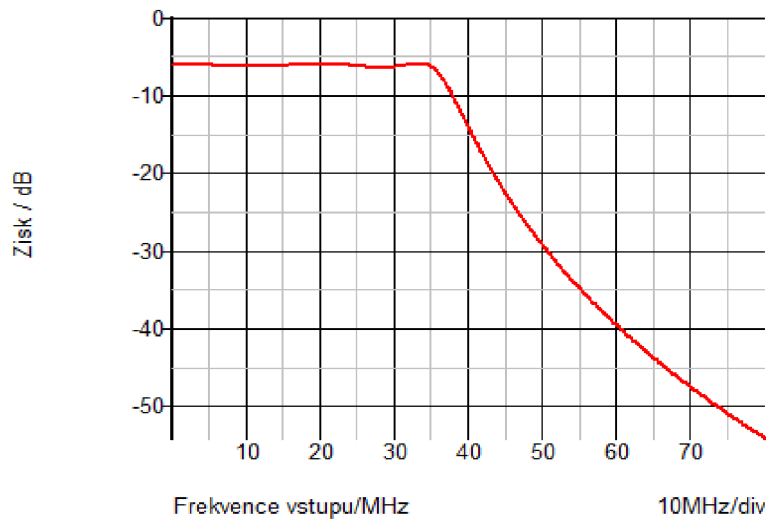
Zvolil jsem pasivní filtr 5. stupně Chebyschevovy aproximace se zvlněním v propustném pásmu 0,4 dB, vstupní/výstupní impedance 50 ohm. Pasivní filtr proto, že je jednodušší a levnější než aktivní. Filtry vyšších stupňů než pátého mají sice strmější křivku přechodu do nepropustného pásma, ale už vyžadují větší množství cívek a jsou citlivější na přesné dodržení vypočtených hodnot součástek.

Jako mezní kmitočet, kde úroveň výstupního signálu oproti vstupnímu poklesne o 3dB (f_{-3dB}) bylo zvoleno 35 MHz. Hodnoty součástek byly vypočteny s využitím webového kalkulátoru [4] a správná funkce byla ověřena ve SPICE simulátoru ADISim.



Obr. 3.2 - Vstupní filtr

Na obrázku 3.2 je zobrazeno konečné schéma filtru po zaokrouhlení vypočtených hodnot součástek a v případě kondenzátorů i výběru dostupných hodnot.

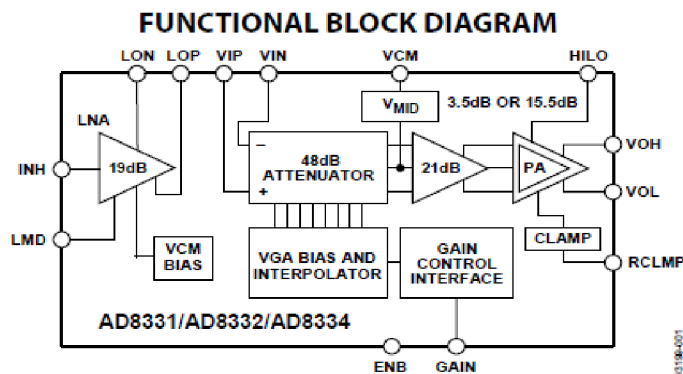


Obr. 3.3 - AC simulace vstupního filtru

Obrázek 3.3 představuje útlumovou charakteristiku vstupního filtru. Křivka v propustném pásmu je díky použití Chebyshevovy aproximace mírně zvlněná, ale od 35 MHz se útlum zvyšuje rychleji než při použití jiných aproximací. Na frekvenci 50 MHz tento filtr dosahuje teoreticky útlumu cca 24dB. V grafu je sice vidět hodnota cca 30dB, ale je třeba odečíst konstantní útlum v propustném pásmu, který je cca 6dB.

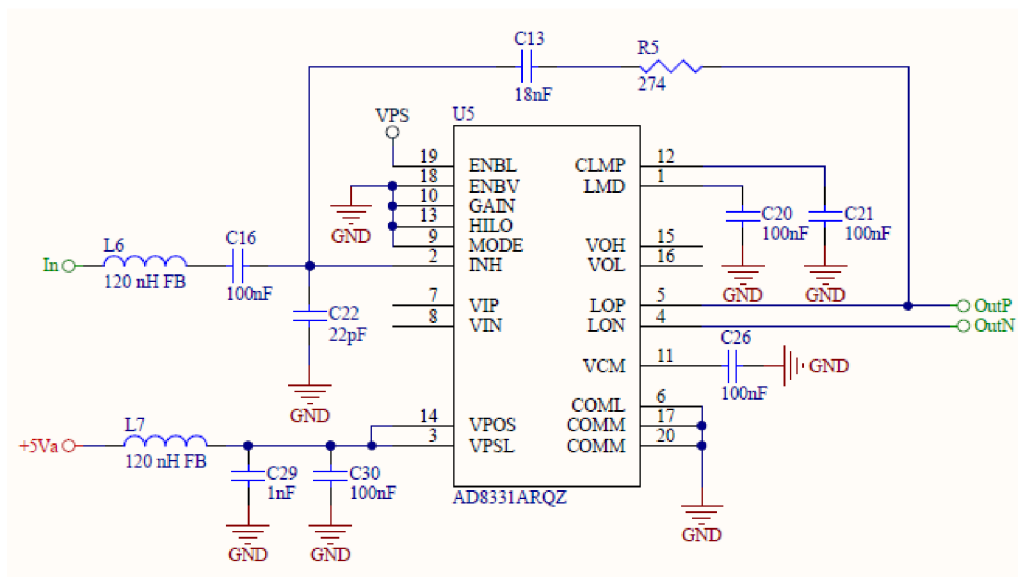
3.3 Předzesilovač

Signál, vystupující z filtru je příliš slabý, aby mohl být připojen přímo k I/Q demodulátoru. Navíc ho je třeba převést do diferenciální podoby. Jak už jsem zmínil, je přijímač založený na vzorovém zapojení I/Q demodulátoru AD8333 [Příloha 3]. Jako předzesilovač je zde použit obvod AD8332, jehož výstup je přímo propojitelný s I/Q demodulátorem. Protože ale vzorové zapojení používá 2 kanály, které zde nejsou potřeba, vybral jsem integrovaný obvod AD8331, který je jednokanálovou verzí zesilovače AD8332.



Obr. 3.4 - AD8331 - blokový diagram

Obvod se skládá ze dvou hlavních částí – nízkošumového 19dB předzesilovače (LNA) a zesilovače s říditelným ziskem (VGA) schopného zesilovat signál v rozmezí -4,5dB až 43,5dB nebo 7,5dB až 55dB dle vybraného módu (HILO). LNA má klasický vstup (INH) a diferenciální výstup (LON, LOP), VGA již používá diferenciální vstup (VIP, VIN) i výstup (VOH, VOL). V přijímači je stejně jako ve vzoru využit jen LNA. VGA část využita není proto, že výstup z I/Q demodulátoru není diferenciální (viz část I/Q demodulátor) a bylo by tak nutné signál na diferenciální opět převést a po zesílení složitě upravovat pro použití s A/D převodníkem. Navíc by bylo vhodné implementovat automatické řízení zisku pro které je obvod připravený, což by ale vedlo k dalšímu zvýšení složitosti.



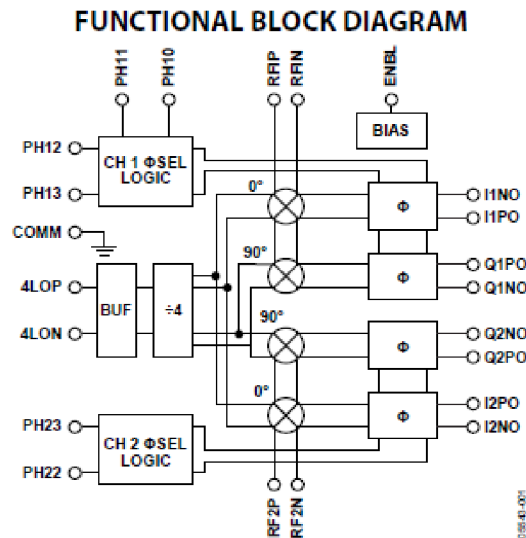
Obr. 3.5 - Zapojení AD8331

Zapojení vychází z doporučení výrobce. Signál do zesilovače vstupuje přes feritovou kuličku L6 a kondenzátor C16, který tvoří kapacitní vazbu. Obvod podporuje nastavení vstupní impedance změnou hodnot součástek C22 a R5. Je možné nastavit libovolnou hodnotu v rozmezí 50 Ω až 6 k Ω , v tomto případě je nastavena na 50 Ω . Vzorec pro výpočet je možné najít v datasheetu [5].

Kondenzátor C13 tvoří kapacitní vazbu, jeho hodnota je zvolena dle doporučení. Součástky L7, C29 a C30 slouží pro filtraci a odrušení napájení, které obvod požaduje na úrovni 5 V. Ostatní kondenzátory – C20, C21, C26 uzemňují nevyužité části obvodu.

3.4 I/Q demodulátor

I/Q demodulátor je klíčovou částí přijímače. Pro požadované pásmo jsem ve formě integrovaného čipu našel pouze jeden model – AD8333.



Obr. 3.6 - AD8333 - blokový diagram

Jde o dvoukanalový I/Q demodulátor schopný pracovat v pásmu 0 – 50 MHz. Pomocí logických vstupů (PHxx) je možné nastavit různý fázový posun mezi výstupními signály.

Vstupy jsou diferenciální (RFIP, RFIN, RFIP2, RFIN2) a výstupy (Ixxx, Qxxx) jsou poskytovány ve formě proudu. Tato funkce usnadňuje možné sčítání výstupních kanálů při použití tohoto čipu v oblasti výroby radarů nebo medicínských přístrojů (ultrazvuk, atd.). Pro použití v přijímačích může být proud konvertován na napětí využitím transimpedančních zesilovačů.

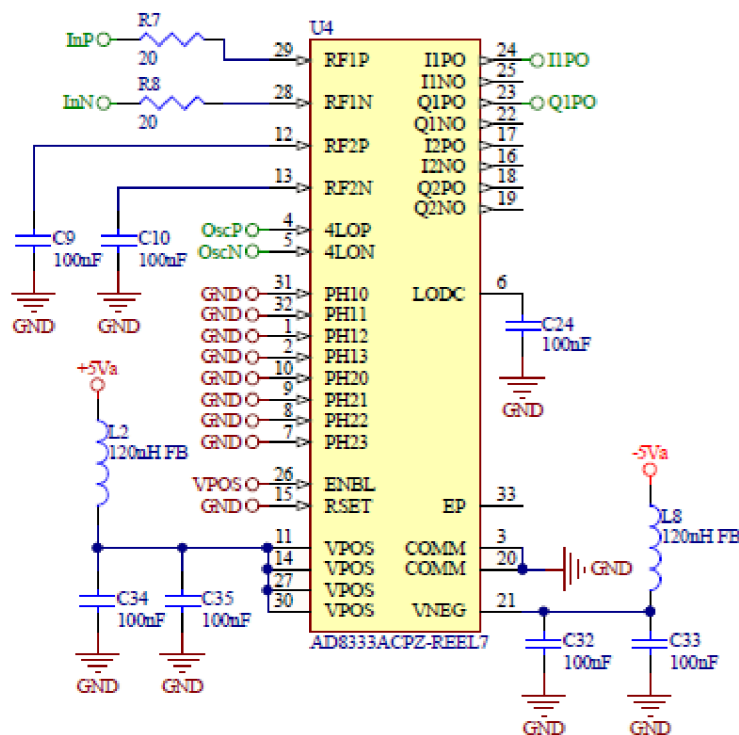
Tím nejdůležitějším jsou ale 4 analogové směřovače, realizované dvojité vyváženými Gilbertovými buňkami (double balanced Gilbert cell). Jeden z dvojice směřovačů pracuje s hodinovým signálem oscilátoru vyděleným konstantou 4 (4LOP, 4LON) a druhý s totožným signálem, ale fázově posunutým o 90°. Vznikají tak složky I a Q. Situaci popisují rovnice:

$$I(t) = s(t) * \sin(\omega t)$$

$$Q(t) = s(t) * \cos(\omega t)$$

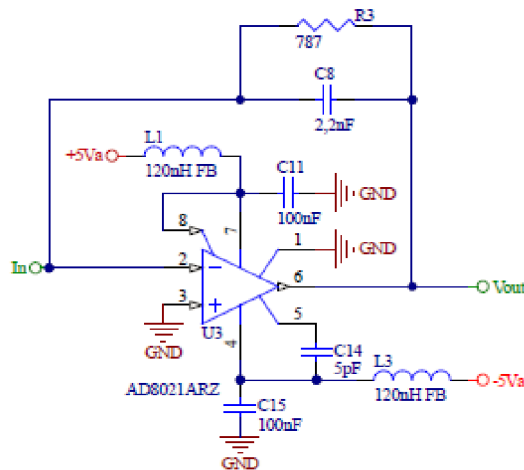
kde $s(t)$ je vstupní signál a ω je úhlová frekvence oscilátoru po vydělení 4-mi. Rozložení na dva ortogonální signály I a Q umožní následně snadné zpracování signálu. [5] Navíc tak bude zajištěna kompatibilita se zpracovávajícím software, který tento formát běžně používá.

Na směřovači vznikají různé směšovací produkty obsahující minimálně původní signál (f_{in}), signál oscilátoru (f_{clk}), součtovou složku ($f_{clk} + f_{in}$) a rozdílovou složku ($f_{clk} - f_{in}$). Pro následující zpracování je velmi důležitá rozdílová složka z toho důvodu, že se jedná o původní signál, ale mnohem nižší frekvence, což umožňuje jeho přímé navzorkování v A/D převodníku. Ostatní složky jsou odfiltrovány dalšími obvody.



Obr. 3.7 - AD8333 - zapojení

Na vstup AD8333, na piny RF1P a RF1N je přes rezistory o hodnotě 20Ω přiveden výstup ze zesilovače AD8331. Druhý vstupní kanál, piny RF2P, RF2N jsou přes 100 nF kondenzátory uzemněny. Logické vstupy pro nastavení fázového posunu mezi kanály jsou připojeny k zemi pro nulový posun, jelikož druhý kanál není využit. Na piny 4LOP a 4LON je připojen oscilátor Si598 s diferenciálním LVDS výstupem. Výstupy IIPO a Q1PO jsou zapojeny na vstup transimpedančních zesilovačů, které převádí střídavý proud na napětí. Ostatní nejsou využity. Pro svou činnost vyžaduje obvod symetrické napájení, $+5 \text{ V}$ a -5 V . Toto napětí je před vstupem do obvodu odrušeno filtračními kondenzátory C32, C33, C34, C35 a feritovými kuličkami L2 a L8.



Obr. 3.8. - AD8021 – transimpedanční zesilovač

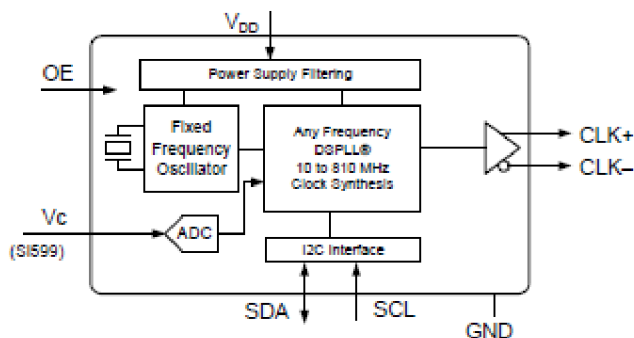
Pro převod střídavého napětí na proud, slouží dvojice operačních zesilovačů AD8021 zapojených jako transimpedanční zesilovač. Na obrázku 3.8 je zobrazen jeden z nich.

Na invertující vstup operačního zesilovače je přiveden proudový signál z AD8333. Napájení je opět vyžadováno symetrické, kondenzátory C11, C15 a feritové kuličky L1, L3 slouží pro jeho odrušení. Na výstupu se objevuje již napěťový signál, se kterým se dále pracuje. Pro svou činnost vyžaduje tento operační zesilovač symetrické napájení.

3.5 Oscilátor

Oscilátor je další klíčová položka. Požadavky, na něj kladené, jsou celkem vysoké – musí být velice stabilní, mít co nejmenší fázový šum a být nejlépe digitálně přeladitelný v širokém rozsahu frekvencí. Z dostupných zařízení na trhu těmto požadavkům vyhovuje pouze několik modelů od výrobce Silicon Labs. Všechny lze ovládat zasláním příkazu přes sběrnici I2C. Jedná se o často používaný Si570, Si598 a Si514. Liší hlavně různou úrovní fázového šumu (phase jitter) a maximální dosažitelnou frekvencí. Pro přijímač byl zvolen model Si598, ale vyhověly by i ostatní. Vyznačuje se fázovým šumem 0,5 ps RMS, což pro účely přijímače plně dostačuje. Obvod se dodává v široké škále konfigurací, viz. datasheet[6]. Liší se ve výstupním formátu hodinového signálu, citlivosti na změny teploty, rozsahu frekvencí v rámci kterých je schopen se přeladovat, počáteční frekvenci a adrese na I2C sběrnici. Všechny tyto údaje musely být specifikovány před objednáním obvodu.

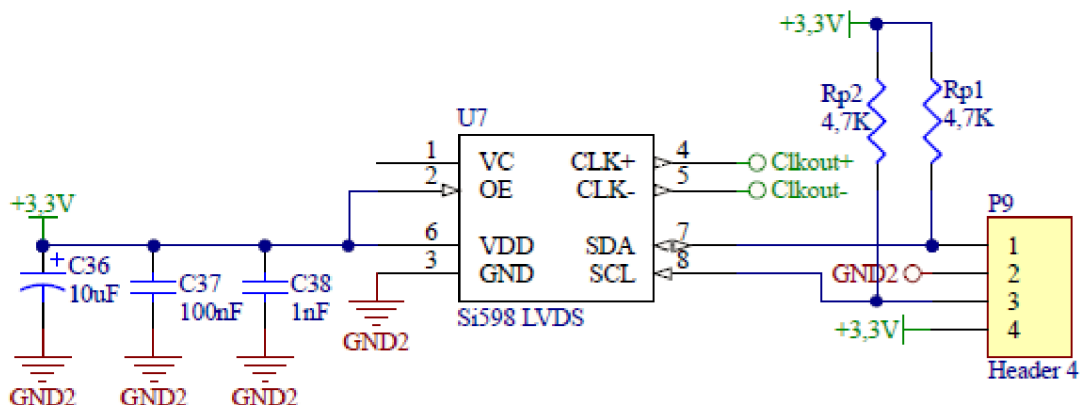
Výstupní formát jsem zvolil LVDS – je to možnost použít ve vzorovém zapojení AD8333, který má diferenciální vstupy pro oscilátor. Bylo by možné využít i CMOS, ale není to výrobcem doporučeno. Svědčí proti tomu kromě nižší kvality oscilačního signálu i nemožnost dosáhnout na vyšší frekvenci než 160 MHz – což s ostatními formáty není problém. Frekvenční rozsah jsem zvolil 10 – 280 MHz, který nejvíce odpovídá požadavkům. Tímto je tedy také specifikován maximální rozsah středního kmitočtu, ve kterém bude možné přijímač přeladovat. Kvůli dělení čtyřmi v demodulátoru to tedy je 2,5 – 50 MHz. Shora je interval omezen parametry AD8333 (max 200 MHz). Startovací frekvence je 10 MHz a I2C adresa 55hex. Další parametry nejsou příliš podstatné.



Obr. 3.9 - Si598 blokové schéma

Na obrázku 3.9 je blokové schéma obvodu. Jeho komunikační rozhraní není příliš složité, piny SDA (Synchronous Data) a SCL (Synchronous Clock) připojují obvod ke sběrnici I2C. Zbývá LVDS výstup (CLK+, CLK-), pin pro připojení k zemi (GND) a napájení V_{dd} .

Uvnitř se nachází krystal, který má předem neznámou frekvenci. Tuto hodnotu lze (a je třeba) pro pozdější změny programování oscilátoru vypočítat. Součástí je i smyčka fázového závěsu PLL, která řídí oscilátor (DCO). Jeho frekvence se pohybuje v rozmezí 4,85 – 5,87 GHz a je pak vydělena dvěma programovatelnými děličkami.



Obr. 3.10 - Si598 - zapojení

Zapojení je jednoduché. Piny SDA a SCL jsou vyvedeny do pin headeru, odkud budou propojeny přímo s MCU, který na sběrnici I2C vystupuje v roli master. Hodinový signál CLK+, CLK- je propojen s piny 4LOP, 4LON obvodu AD8333. Před vstupem AD8333 je paralelně připojen rezistor R10 [Příloha 1], na kterém vzniká výsledné napětí. Provozní napětí je 3,3V. Pin Vc není u Si598 přítomen. Rezistory Rp1, Rp2 jsou tzv. pull-up, jsou vyžadovány specifikací I2C sběrnice a slouží pro udržení správné logické hodnoty na sběrnici po odpojení některých zařízení.

3.6 Zesilovač/filtr

Po transformaci signálu v AD8021, přichází anti-aliasingový filtr. Protože nebylo úplně zřejmé, jak silný signál bude, rozhodl jsem se použít aktivní filtr, který zároveň poslouží jako zesilovač se ziskem 25dB. Filtr je typu dolní propust, byl vytvořen na základě návrhu ve webové aplikaci Filter Wizard od Analog Devices [[odkaz](#)].

Aby byl dodržen Shannonův teorém, je třeba aby byly odfiltrovány všechny frekvence vyšší než $\frac{1}{2}$ vzorkovací frekvence. Při využití maximální rychlosti A/D převodníku 2 MSPS, je touto hranicí 1 MHz. Je tedy nutné, aby amplituda všech signálů vyšší frekvence byla potlačena pod rozlišovací schopnost A/D převodníku. Potřebnou hodnotu útlumu lze spočítat takto:

$$V_{min} = \frac{V_{max}}{2^n}$$

$$SNR = 20 * \log\left(\frac{V_{max}}{V_{min}}\right)$$

Kde V_{max} je hodnota napětí, při které A/D převodník vrací nejvyšší hodnotu, n je rozlišení převodníku v bitech, V_{min} je minimální rozpoznatelná hodnota napětí a SNR udává odstup signál/šum v dB.

Po dosazení dostaneme přibližně

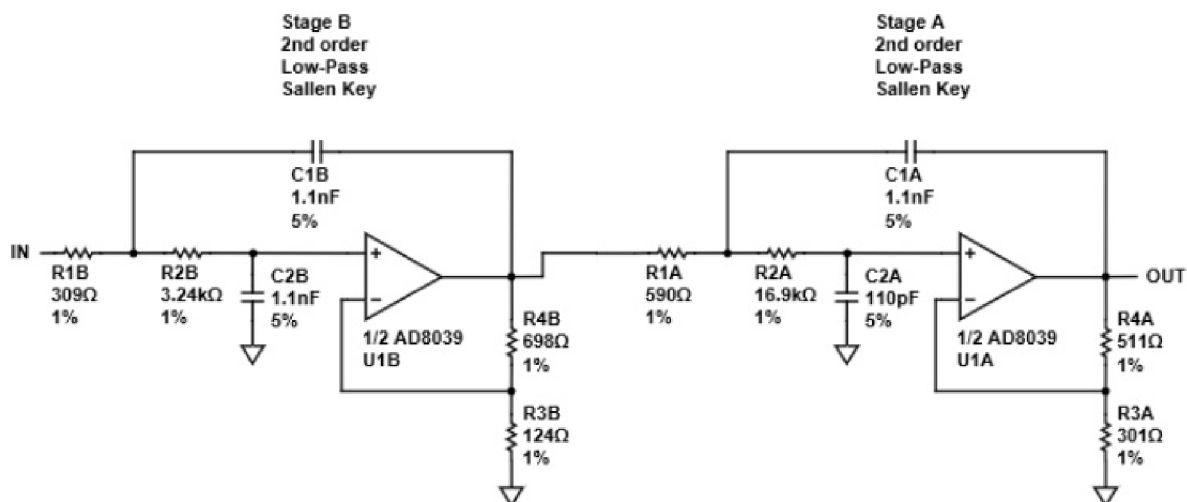
$$20 * \log\left(\frac{3,3}{0,0008}\right) = 72 \text{ dB}$$

V datasheetu [7] tuto hodnotu skutečně najdeme, nicméně jen při použití diferenciálního vstupu. Jinak platí hodnota 65 dB pravděpodobně z důvodu horší kvality signálu při standardním přenosu.

Hlavním požadavkem na filtr je co nejvyšší strmost útlumové křivky. To je u každého filtru klíčové. Není problém dosáhnout vysoké hodnoty útlumu i s levným a jednoduchým filtrem, ale za cenu snížení šířky propustného pásma. Takový filtr tlumí i mnohem nižší frekvence než požadované. Čím menší je mezera mezi propustným pásmem (útlum max. 3 dB) a nepropustným pásmem (dosaženo požadovaného útlumu), tím je útlumová křivka strmější a filtr kvalitnější.

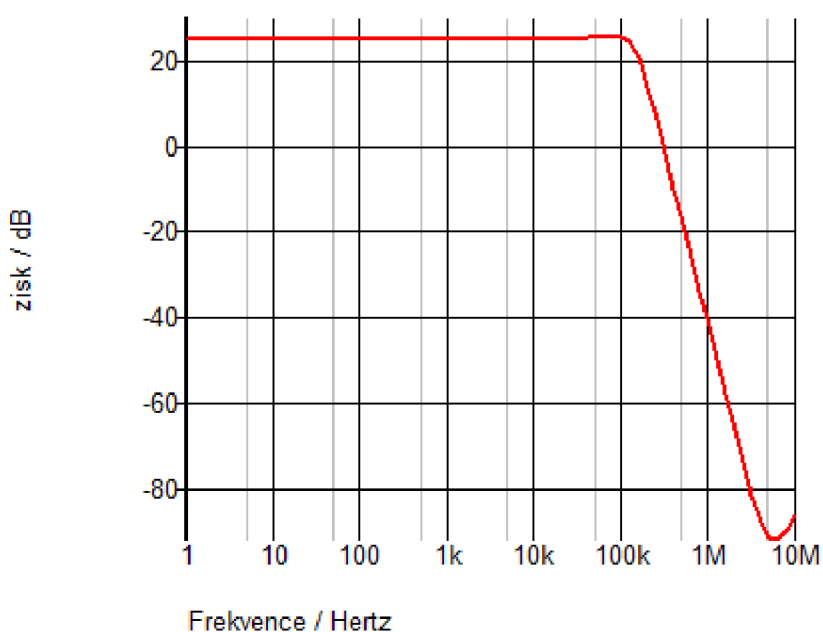
Výsledný filtr je pak vždy kompromisem, který zachovává co nejširší propustné pásmo při rozumné složitosti filtru. S každým zvýšením řádu filtru o 2, přibývá jeden operační zesilovač a externí součástky. Tím roste cena, plocha i spotřeba.

Požadavkům na útlum 65 dB při frekvenci 1 MHz vyhověl filtr 4. stupně s $f_{-3\text{dB}}$ 150 kHz. Filtr je zároveň zesilovačem se ziskem 25 dB, takže v propustném pásmu je vstupní signál zesílen o 25 dB a v nepropustném zeslaben minimálně o 40 dB.



Obr. 3.11 - Butterworth filtr / 25 dB zesilovač

Na obrázku 3.11 je filtr je tvořený jedním obvodem AD8039. Ten obsahuje dvojici nezávislých operačních zesilovačů. Protože potřebujeme filtrovat 2 signály – I a Q, je potřeba použít tyto filtry dva, celkem tedy čtyři operační zesilovače. Filtr využívá topologii Sallen-Key. Kompletní konečné zapojení je na celkovém schématu[Příloha 2].



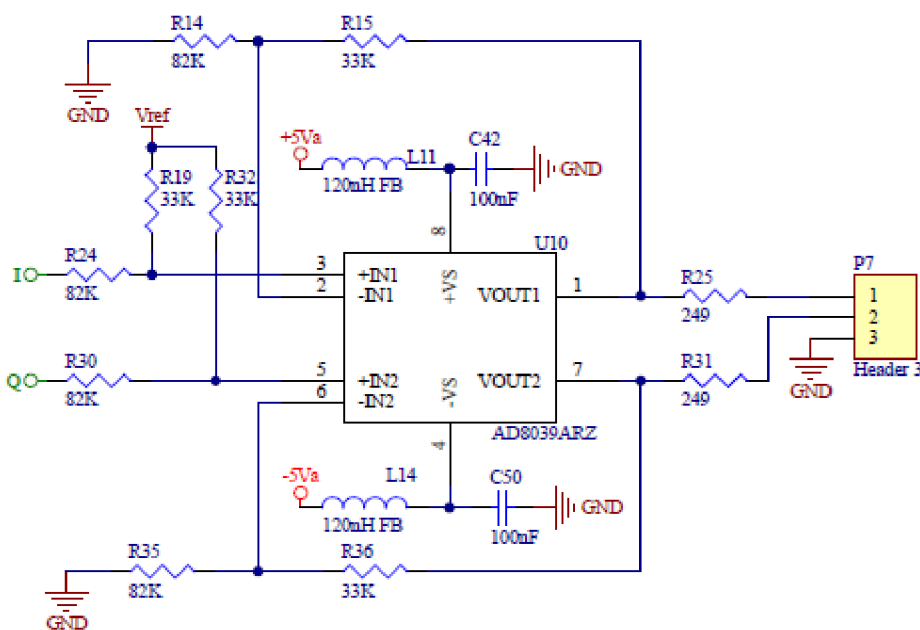
Obr. 3.12 - Charakteristika filtru

Správná funkce filtru byla ověřena opět v programu ADISim. Protože se jedná o Butterworthovu aproximaci, není křivka v propustném pásmu na rozdíl od vstupního filtru zvlněná. Chebyshevova aproximace by přinesla strmější křivku, ale zvlněné propustné pásmo.

3.7 Pomocné obvody

3.7.1 Převodník úrovní

Dosavadní signál se v přijímači vyskytoval vždy ve střídavé podobě, měnila se polarita jeho napětí, případně směr proudu. Po zesílení signálu v hlavním zesilovači, se dle simulace může napětí pohybovat maximálně v rozmezí přibližně v rozsahu -4,2 V až 4,2 V, tedy 8,4 V_{pp} (peak-to-peak). Tato hodnota závisí na typu použitých operačních zesilovačů a napájecím napětí. Protože A/D převodník umožňuje vzorkovat svůj vstup pouze v rozsahu 0 – 3,3 V, je posledním krokem před přívodem signálu na převodník převod napětí do tohoto rozsahu.



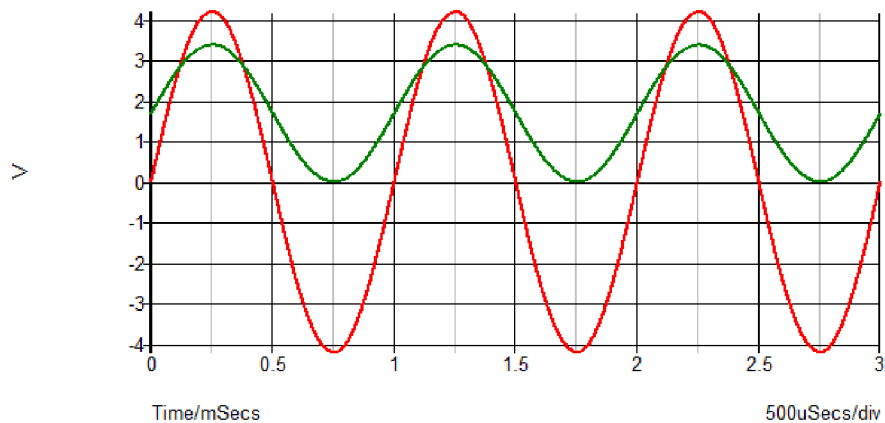
Obr. 3.13 - Převodník úrovní

Obvod na obrázku 3.13 má tuto funkci. Pro převod jednoho signálu je třeba 1 operační zesilovač, proto jsou opět použity 2 v jednom pouzdru – AD8039. Napájení je symetrické, odrušení napájení zajišťují stejné součástky jako u ostatních obvodů – feritové kuličky L11, L14, kondenzátory C42, C50.

Konvertor realizuje následující výraz:

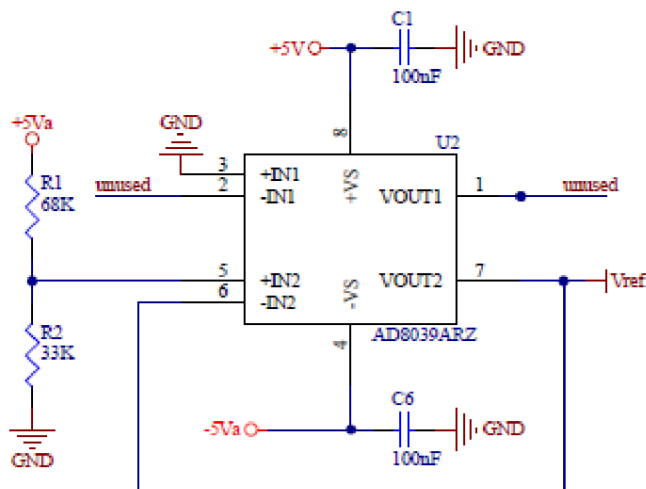
$$y = g \cdot x + 1,65$$

g je konstanta, kterou vstup násobíme, x je vstupní signál. Potřebujeme, aby měl nový signál $V_{pp} \max. 3,3V$ Proto potřebujeme původní signál vynásobit hodnotou cca $\frac{33}{82}$ a přičíst 1,65.



Obr. 3.14 – Převodník úrovní - funkce

Konvertor pro svou činnost vyžaduje stabilní napětí V_{ref} 1,65 V. Toto napětí jsem původně zamýšlel vytvořit pomocí odporového děliče. Simulace však ukázala, že takové napětí nebude stabilní. Např. v případě poklesu vstupního napětí na 0 V, bude procházet odpory R19, R32 proud, který zatíží odporový dělič a změní tak napětí, které vytváří. Proto jsem použil další operační zesilovač v zapojení sledovač napětí.



Obr. 3.15 - Sledovač napětí

V tomto zapojení představuje operační zesilovač velmi vysokou impedanci na vstupu (u ideálního by byla nekonečná) a zároveň malou na výstupu. Díky tomu neovlivní odporový dělič, který tak může být před ním bez obav zařazen. Napětí, které je přivedeno na neinvertující vstup se objeví na výstupu. Druhý operační zesilovač v pouzdře je nevyužit. Pro dělič napětí platí:

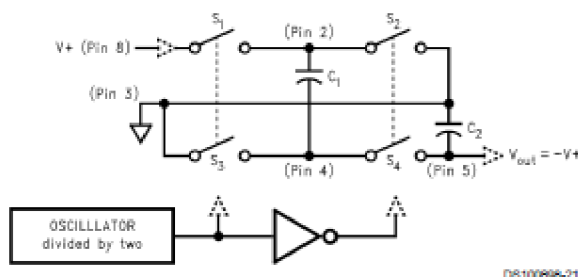
$$V_{ref} = \frac{V_a \cdot R_2}{R_1 + R_2} = \frac{5 \cdot 33}{33 + 68} = 1,63 \text{ V}$$

Tato hodnota je ovšem jen přibližná – hodnoty rezistorů mají toleranci 1% a ani napájecí napětí nebude přesných 5 V.

3.7.2 Invertor napětí

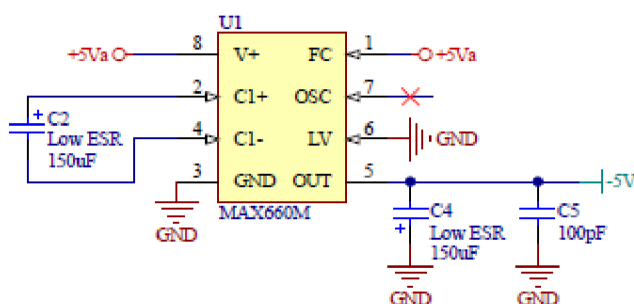
Pro provoz operačních zesilovačů a I/Q demodulátoru je nezbytné symetrické napájení, tedy -5V a 5V. Invertované napájení není na desku přiváděno a proto je nutné ho vyrobit. Pro tyto účely existuje elegantní řešení - nábojová pumpa, obvod MAX660 od firmy Texas Instruments.

Umí invertovat napětí v rozsahu 1,5 – 5,5V a poskytnout výstupní proud až 100 mA. Kromě toho ho lze použít i jako zdvojovač napětí. Pro svou činnost vyžaduje pouze dva kusy 150 μ F kondenzátorů s nízkým ESR. Mezi doporučenými typy jsou např. tantalové kondenzátory řady TPS od firmy AVX s ESR okolo 100 m Ω .



Obr. 3.16 - MAX660 - blokové schéma

Hlavní částí obvodu jsou 4 spínače – S1, S2, S3, S4 a oscilátor. Spínače spínají na základě oscilačního signálu vždy ve dvojici. V první fázi sepnou S1 a S3, nabíjí se kondenzátor C1. Ve druhé fázi sepnou S2, S4, předchozí dva jsou rozpojeny. Jak je vidět ze zapojení, C2 získá napětí s opačnou polaritou.



Obr. 3.17 - MAX660 - zapojení

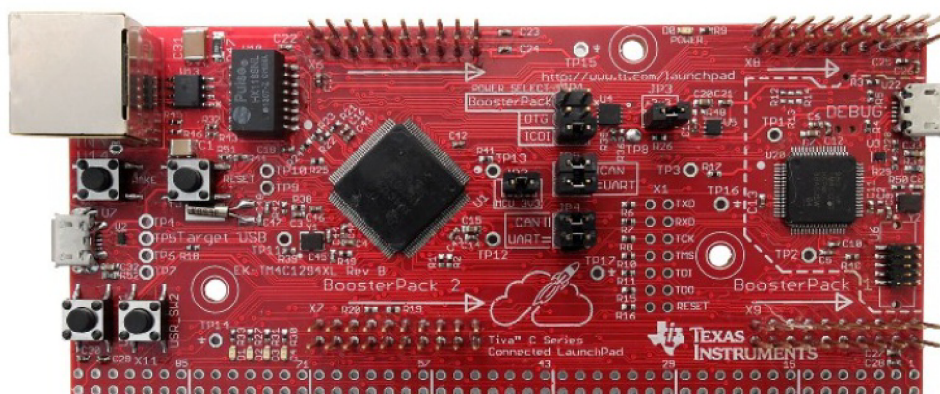
Na obrázku 3.17 je zapojení obvodu MAX660 v konfiguraci pro inverzi napětí. Zapojení opět vychází z datasheetu. Pin FC řídí frekvenci oscilátoru. Pokud je připojen k napájení, je frekvence 80 kHz, jinak 10 kHz. LV je třeba připojit ke GND v případě, že bude obvod pracovat s napětím nižším než 3,5 V, jinak je možné ho nechat nezapojený. Vstup OSC slouží pro připojení externího oscilátoru, který zde ale není využit.

3.8 MCU

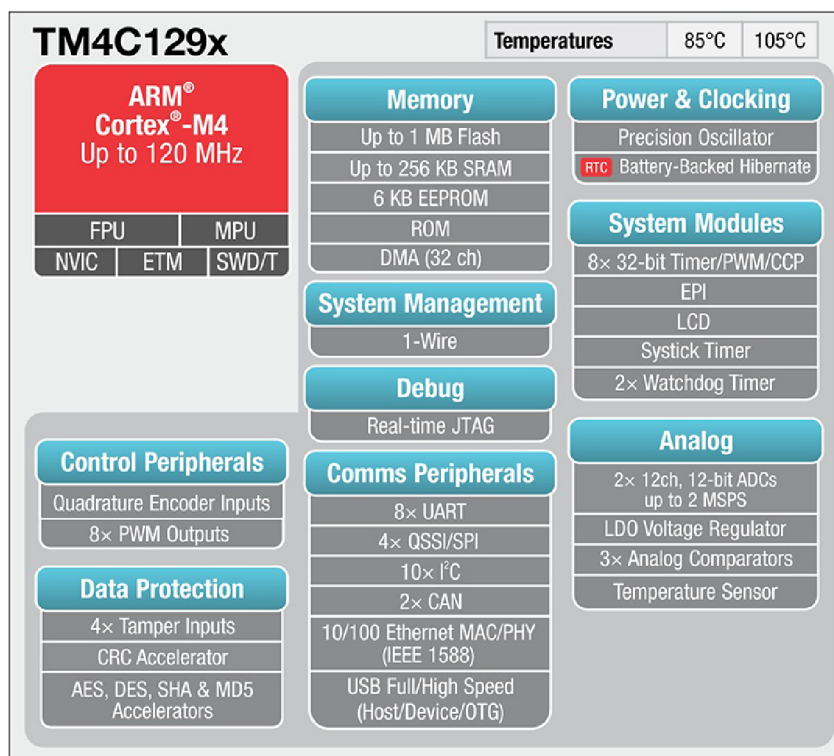
Mikrokontrolér slouží k ovládání celého přijímače. Vzorkuje signál upravený předchozími obvody a vzorky odesílá prostřednictvím rozhraní Ethernet do cílového počítače. Běží na něm server, který přijímá příkazy uživatele. Umožňuje měnit frekvenci oscilátoru Si598 zasláním příkazu přes I2C sběrnici i vzorkovací frekvenci A/D převodníku.

Po delším hledání jsem zvolil mikrokontrolér založený na architektuře ARM od firmy Texas Instruments Tiva TM4C1294. Klíčovými moduly je rychlý 12b, 2 MSPS A/D převodník a kompletně integrovaný ethernetový řadič včetně fyzické vrstvy. Není tak potřeba řešit další integrovaný obvod.

Pro tuto platformu je k dispozici i vývojový kit Tiva™ C Series TM4C1294 Connected LaunchPad Evaluation Board. Na desce je osazen MCU i se stabilizátory, krystaly a dalšími potřebnými součástkami. Kit je navržen pro rychlý začátek programování. Velice užitečný je vestavěný debugger, který je zabudovaný přímo v kitu. Stačí desku propojit USB kabelem s počítačem a programování i debugování probíhá v režii profesionálního software CodeComposer. Ten je navíc pro použití s vývojovými kity k dispozici zcela bezplatně. Kit dále obsahuje ethernet port, LED diody a tlačítka. Vše samozřejmě připojené k MCU a plně programovatelné. Externí zařízení je možné připojit na některý ze čtyř pinheaderů, kam jsou vyvedeny všechny programovatelné piny MCU.



Obr. 3.18 - Tiva LaunchPad Kit



Obr. 3.19 - MCU TM4C129 - blokové schéma

Na 3.19 je přehled součástí mikrokontroléru. Srdcem procesoru je 32b CPU ARM Cortex-M4 schopné běžet na frekvenci až 120 MHz. K dispozici je 256 kB rychlé SRAM paměti, 1 MB Flash paměti i ROM paměť. Součástí je množství nejrůznějších modulů. Následuje popis těch, které jsou v přijímači využité.

A/D převodník tvoří 2 identické moduly s rozlišením 12b. Každý dokáže generovat max. 2 MSPS vzorků. Jedná se o převodník typu SAR (Successive Approximation). Na rozdíl od převodníků delta-sigma u tohoto typu neprobíhá žádné automatické digitální filtrování nebo frekvenční konverze. Vstupů může být až 20, jsou mezi moduly navzájem sdíleny.

Přijímač využije také DMA (Direct Memory Access) modul. Jde o rychlý a efektivní způsob přenosu dat bez intervence procesoru, který se tak po dobu přenosu může věnovat jiným činnostem. Při vyšších rychlostech, jako u této aplikace, je jeho použití nezbytné. Mohou být přenášena 8, 16 nebo 32 bitová data v režimu paměť – paměť, periférie – paměť nebo paměť – periférie. Maximální množství dat přenesených během jednoho přenosu je 1024 položek – každá na vybraném počtu bitů. Je možné využít maximálně 32 kanálů, které jsou přiřaditelné různým perifériím.

Dalším využitým modulem je Ethernet. Je schopný odesílat data maximální rychlostí 100 Mb/s, což je potřebné. Při maximální vzorkovací frekvenci je čistý datový tok při zanedbání režie síťových protokolů minimálně

$$p \cdot n \cdot s \cdot 10^6 = 2 \cdot 16 \cdot 2 \cdot 10^6 = 61,04 \text{ Mb/s}$$

p je počet současně vzorkujících modulů – protože máme složku I a Q, jsou to dva.

n je počet bitů jednoho vzorku. Samotný vzorek má sice jen 12b, ale procesor s ním pracuje jako s 16b. Je to dáno používanými datovými typy, které žádný 12-ti bitový neobsahují a šířkou registrů.

Bylo by samozřejmě možné použít tři 16-ti bitové hodnoty (48b) pro reprezentaci čtyř 12-ti bitových hodnot, jenže tato komprese by stála množstvím výkonu CPU, musel by totiž všechny hodnoty opět načítat a ukládat do paměti, takže by se ztratila výhoda použití DMA řadiče. s je vzorkovací rychlost A/D převodníku v MSPS

Pro komunikaci s perifériemi na I2C sběrnici slouží I2C moduly. Je jich k dispozici 10, využit je jeden.

I2C je jednoduchá sériová sběrnice sloužící pro připojení až 128 nízkorychlostních periférií k mikrokontroléru. K činnosti jí stačí pouze 2 vodiče. SCL, který přenáší synchronizační signál a SDA po kterém se přenáší samotná data. Každý vodič musí být připojen jedním pull-up rezistorem ke kladnému napětí, což zajistí vysokou úroveň v klidovém stavu. Sběrnice není duplexní, v jeden okamžik vysílá pouze jedno zařízení. Zařízení na sběrnici vystupují v roli master nebo slave. V roli master vystupuje mikrokontrolér TM4C1294, v roli slave oscilátor Si598. Každé má svou v rámci sběrnice unikátní adresu. Master řídí komunikaci a generuje SCL. V jeden okamžik může být na sběrnici přítomno pouze 1 zařízení v roli master, ostatní musí být v režimu slave. Existuje i speciální multi-master mód.

Přenosových rychlostí je několik a musí být podporovány oběma stranami. TM4C1294 zvládá rychlosti standard (100 kbps), fast mode (400 kbps), fast mode plus (1 Mbps) a high-speed mode (3,33 Mbps). U Si598 je nejrychlejší fast mode. Jelikož přenášených dat bude minimum, stačí použít standard mód.

Další využití moduly už spadají spíše do kapitoly Software, proto jsou popsány tam, stejně jako detailnější popis programování výše uvedených modulů.

4 Softwarová část

Softwarovou část představuje řídicí firmware mikrokontroléru. Pro jeho vytváření jsem použil integrované vývojové prostředí přímo od výrobce – Code Composer Studio 6.1.0. Pro použití s vývojovým kitem není vyžadováno zakoupení licence.

Pro programování procesoru existují dva různé přístupy. Je možné programovat na nízké úrovni, manipulováním s bity v jednotlivých registrech. Tato možnost je nejefektivnější a přináší nejvyšší výkon, je ale třeba znát účel potřebných registrů a význam konkrétních bitů. To je časově velmi náročné. Navíc takový kód není přenosný mezi různými modely MCU. Existuje ale i druhá možnost. Tou je využití programového rozhraní (API), které výrobce předchystal. Jedná se o knihovnu mnoha funkcí v jazyce C, které pokrývají naprostou většinu funkčnosti mikrokontroléru. Lze tak bez znalosti registrů používat všechny moduly mikrokontroléru. Cenou za tento komfort je o něco menší výkon a větší velikost kódu. To je však pro účely přijímače zanedbatelné.

Knihovna je opravdu rozsáhlá a obsahuje i množství velmi užitečných příkladů. Většina funkcí je už dokonce zkompileována a uložena v ROM paměti. Vytvořené programy tedy pak zabírají ve FLASH paměti méně místa.

Pro práci s ethernetem je k dispozici knihovna lwip (lightweight TCP/IP stack), která je upravená pro použití na této vývojové desce. Ta implementuje kompletní síťovou komunikaci včetně protokolů IP, TCP, UDP, ARP, DHCP a dalších. Lze ji použít v prostředí s operačním systémem,

stejně tak tam, kde není nasazen, což je tento případ. Pro programování poskytuje až celkem 3 API. Dvě vysokoúrovňové – netconn API a socket API. Nízkoúrovňovým je „callback“/“raw“ API, to je jediné dostupné v aplikacích bez operačního systému. Knihovna využívá modul SysTick pro pravidelnou kontrolu akcí, kterou mohou nastat. V souboru lwiopts.h je možné určit, které protokoly bude knihovna podporovat, ostatní lze vypnout.

Jelikož požadujeme rychlé přenosy dat s co nejnižší latencí a ztráta několika paketů není kritická, je jasnou volbou využití protokolu UDP.

Princip programu je jednoduchý. Nejprve proběhne inicializace všech využívaných periférií.

Na A/D převodníku je aktivován první sekvencer. Každý A/D modul obsahuje 4 sekvencery. Liší se délkou fronty. Délky front jsou 8, 4, 2 a 1 vzorků. Velikost fronty značí, kolik vzorků dokáže převodník automaticky sejmout bez požadavku na činnost procesoru. Sekvencery jsou plně programovatelné, pro každý vzorek v jedné sekvenci je možné nastavit několik parametrů. Např. z jakého pinu má být vzorek odebrán, zda a kdy má být generováno přerušení nebo zahájen DMA přenos...

Nejvýhodnější je využít sekvencer s nejdelší frontou a nastavit zahájení DMA přenosu při jejím zaplnění z poloviny. Sekvence může být spuštěna více způsoby. Jako nejvýhodnější se jeví spuštění uplynutím čítače. Tím by mělo být zajištěno spuštění obou ADC modulů ve stejný okamžik. Jeho hodnota je nastavena na 480 cyklů, při taktovací frekvenci mikrokontroléru 120 MHz. Jedna sekvence osmi vzorků zabere totiž právě tolik, po jejím uplynutí musí být ihned spuštěna další bez prodlevy.

$$480 = \frac{T_{fs} * 8}{T_{CLK}} = \frac{\frac{1}{2 * 10^6} * 8}{\frac{1}{120 * 10^6}}$$

Jakmile je fronta z poloviny naplněna daty, je zaslán požadavek na přenos dat do DMA řadiče. DMA je využito v tzv. „ping-pong“ módu pro zajištění kontinuálního toku dat. V tomto módu se data z periferie střídavě přenáší do dvou stejně velkých bufferů. Jakmile je buffer A zaplněn, je generováno přerušení a poté je v obslužné rutině zpracován. Během jeho obsluhy je průběžně naplňován buffer B.

V každém přerušení je nastaven příznak, že jsou k dispozici data k odeslání. Hlavní smyčka programu periodicky kontroluje jejich stav. Jakmile detekuje nová data, zavolá funkci knihovny lwip, která se postará o všechny další operace.

Součástí mikrokontroléru je i jednoduchý server, který přijímá krátké textové příkazy. Prozatím je implementován pouze příkaz START a STOP, kterým lze zapínat a vypínat časovač, který ovládá A/D převodníky. Další důležitými příkazy jsou: SET CLK pro změnu frekvence oscilátoru, SET SAMPLE pro změnu vzorkovací rychlosti a GET CLK pro získání aktuální frekvence oscilátoru.

Ovládání oscilátoru Si598 probíhá přes I2C sběrnici. MCU je v roli master, Si598 v roli slave. Oscilátor obsahuje 3 programovatelné registry – RFREQ, HSDIV a N1. Způsob přeladění oscilátoru se liší podle velikosti požadované změny. Pokud leží nová frekvence v rozsahu -3500 – 3500 ppm (parts per million) od aktuální frekvence, stačí změnit pouze hodnotu v registru RFREQ. V opačném případě je třeba vypočítat nové hodnoty všech tří registrů a změna nebude provedena ihned, ale s jistou prodlevou. Konkrétní návod na výpočet je uveden v katalogovém listu. [6]

5 Realizace

5.1 Návrh desky plošných spojů

Pro návrh desky plošných spojů byl použit software Altium Designer 13.3. Jedná se o špičkový profesionální program, který usnadňuje celou řadu úkolů z oblasti návrhu hardware a software.

Nejdříve bylo potřeba vytvořit schéma desky a pomocí SPICE simulátoru ověřit, zda je obvod funkční. Pro simulace byl použit program ADISim PE. Jeho velkou výhodou je obsah velkého množství obvodů od firmy Analog Devices v knihovně modelů. Nebylo možné ověřit všechny obvody, protože složité obvody jako AD8333 nebyly součástí a dodatečně nahrát se mi je nepodařilo. Byla ale ověřena správná funkce vstupního filtru, transimpedančních zesilovačů, anti-aliasingového filtru a převodníku napěťových úrovní. Návrh probíhal postupně, vždy po jednotlivých funkčních blocích popsanych v kapitole Hardware.

Jakmile bylo schéma dokončeno, započal návrh samotné desky plošných spojů. Desku jsem zvolil čtyřvrstvou, stejně jako ve vzorovém zapojení I/Q demodulátoru, na kterém je přijímač založen. Spodní a vrchní vrstva jsou signálové, dvě vnitřní slouží pro rozvod napájení a země. Hlavní výhody jsou dvě. Snadnější návrh, protože kdekoli na desce je skrze průchodku (via) dostupná jak, země, tak napájení. Celkový design tak je mnohem čistší a napájecí cesty k obvodům kratší. Druhou výhodou jsou mnohem lepší vlastnosti z hlediska vysokofrekvenčních signálů, např. vyšší odolnost vůči šumu.

Po ověření dostupnosti všech součástek byly prvkům ve schématu nastaveny příslušná pouzdra součástek (footprinty). Ne všechny byly dostupné ve standardních knihovnách Designeru. Výrobci v těchto případech poskytovali model ve formě .bzl souboru. Jde o univerzální formát, nezávislý na použitém návrhovém software. Nelze ho ale do software importovat přímo – k jeho převedení do proprietárního formátu slouží program UltraLibrarian. Jak jsem ale až po exportu součástek ze schématu na PCB desku zjistil, převod se nezdařil. Možná to bylo způsobeno starší verzí UltraLibrarian software, ale bohužel novější už bez zaplacení licence odmítala fungovat. Nicméně vytvoření nových footprintů proběhlo bez větších problémů, k dispozici byl intuitivní průvodce, který hlídal dodržení správných rozměrů.

Naprostá většina součástek byla zvolena v provedení SMD z důvodu lepších vlastností (nižší parazitní kapacity a indukčnosti dlouhých přívodních vodičů) nebo protože v klasickém provedení ani neexistují.

Poté následoval export modelů součástek do .PcbDoc souboru. V PCB editoru byly součástky rozmístěny na desku. Snažil jsem se o rozmístění, kde na sebe součástky navazují a přitom se snaží maximálně využít dostupnou plochu a snížit tak rozměry desky. Jakmile byly součástky rozmístěny, bylo třeba je propojit. Toto jsem nejprve zkusil nechat udělat software automaticky pomocí funkce Autorouter, ale výsledky nebyly uspokojivé. Nakonec jsem součástky spojil ručně. Šířku spojů jsem volil vyšší u napájecích cest (obvykle 0,4 mm), zatímco u ostatních v rozmezí 0,2 – 0,35 mm. Největším problémem bylo routování okolo obvodu AD8333, který je malý a navíc má velký počet vývodů (pouzdro LFCSP). Zde bylo nutné použít nejmenší šířku tras. Pomohlo i routování pod čipem, kde se nachází chladič. Ten dle katalogového listu není v obvodu vnitřně připojen, je tak možné ho nezapojit.

Při návrhu jsem se řídil doporučeními v [8]. Je zde řečeno, že jednou ze základních technik návrhu PCB s operačními zesilovači je oddělení zemí pro analogovou a digitální část. Na této desce

se vyskytují obě, digitální část tvoří oscilátor Si598 a několik jeho filtračních kondenzátorů. Zároveň je v této části v napájecí vrstvě nižší napětí – 3,3 V. Mezi dalšími opatřeními byla snaha o krátké signálové trasy a nezalamování rohů vodivých tras pod úhlem 90°.

Součástí desky je i několik plošek označených jako TPx. Ty slouží pro usnadnění měření desky. TP1 je umístěn za vstupním filtrem, TP2, TP3 na výstupu z transimpedančního zesilovače, TP4 na vstupu anti-aliasingového filtru, TP6 na výstup anti-aliasingového filtru před konvertor a TP7 k referenčnímu napětí – výstupu U2.

Po vyřešení problémů s nedodržením některých přednastavených požadavků na design, byly výsledné obrazy všech vrstev exportovány do GERBER souborů a odeslány k výrobě firmě Pragoboard. GERBER soubory jsou přiloženy na CD.

5.2 Osazení a oživení desky

Osazení desky bylo provedeno ve školní laboratoři s využitím vybavení pro práci s smd součástkami. Nejprve byla nanášena pájecí pasta a osazeny pasivní smd součástky – kondenzátory, rezistory a feritové kuličky. Pájení bylo provedeno v peci. Zbylé součástky – integrované obvody byly připájeny ručně. Největší problém představovalo osazení AD8333, které bylo velmi náročné na přesnost. Ani pájení nebylo snadné kvůli velmi krátkým vývodům. Druhé nejtěžší bylo osazení oscilátoru Si598, pro který jsem vytvořil poněkud malé pájecí plošky. Naštěstí se ale oboje podařilo.

Nakonec byly osazeny největší součástky. Cívky jsou samonosné, vyrobené z lakovaného Cu drátu o průměru 0,7 mm navinuté na průměru cca 1 cm, **požadovaný počet závitů byl zjištěn přibližně v X**. Vyskytl se problém s příliš malými otvory pro některé součástky, vyřešil se zmenšením jejich přívodů pomocí ruční vrtáčky a brusného kamínku.

Kvůli lepší možnosti desku vyzkoušet a proměřit nejprve nebyly osazeny součástky C12, C27, R6, R12 které tvoří kapacitní vazbu mezi transimpedančním zesilovačem a anti-aliasingovým filtrem.

5.3 Test funkčnosti

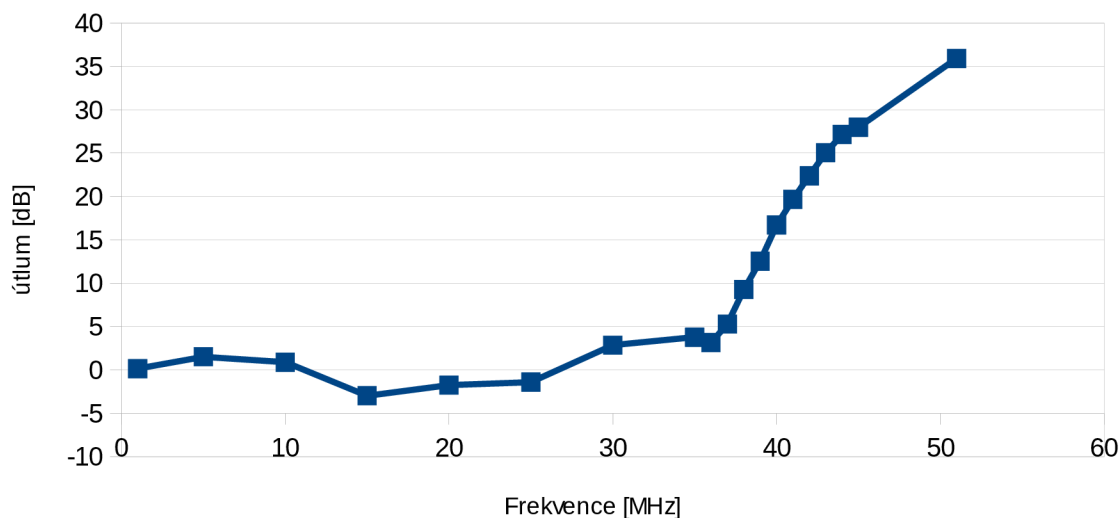
Po osazení desky jsem začal testovat její funkčnost. Prvním krokem bylo její připojení k laboratornímu zdroji napětí – 5 V a 3,3 V. Ampérmetr ukázal odběr proudu na 5 V větvi cca 150 mA, na 3,3 V cca 80 mA. Tyto hodnoty byly v podstatě v souladu s očekáváním a ukázaly, že nikde nedošlo ke zkratu.

Jako další jsem změřil multimetrem referenční napětí na TP7, které mělo být cca 1,65 V. Multimetr mi ovšem ukázal napětí přes 1,76 V, což by už mohlo představovat problém. Naštěstí pozdější měření osciloskopem potvrdilo relativně přesnou hodnotu 1,65 V.

Další měření už probíhalo za použití osciloskopu a vysokofrekvenčního generátoru. Nejdříve jsem ověřil, že anti-aliasingový filtr zesiluje. Poté jsem ověřoval funkčnost vstupního filtru.

Na generátoru jsem nastavil amplitudu na 500 mV_{pp} a postupně zvyšoval jeho frekvenci. Na TP1 jsem měřil amplitudu signálu, který filtrem prošel.

Charakteristika vstupního filtru



Obr. 5.1 - Charakteristika vstupního filtru

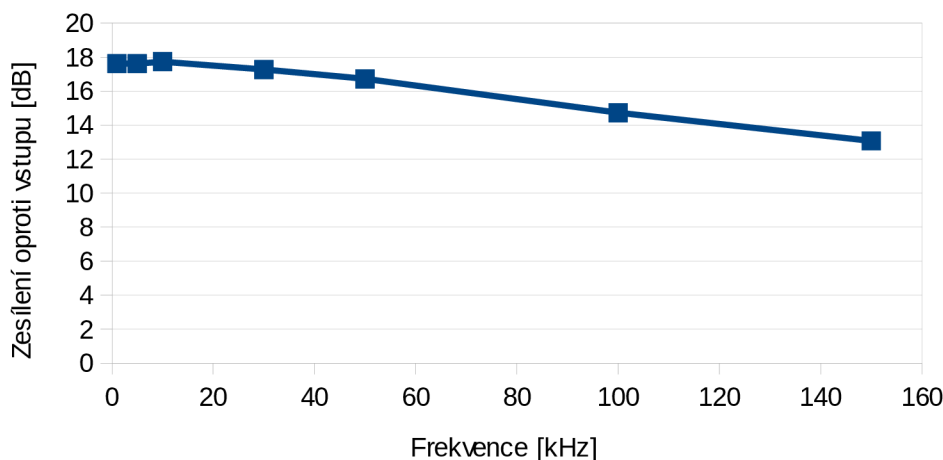
Výsledky měření shrnuje obrázek 5.1. Je vidět, že útlum v propustném pásmu se ze začátku pohybuje kolem 0 dB. Pak se ovšem několik hodnot dostává do záporných – což by znamenalo, že filtr zesiluje. To určitě nemůže. Jedná se buď o chybu měření na osciloskopu nebo generátor generuje napětí o jiné než nastavené amplitudě. Okolo hodnoty 35 MHz začíná přechod do nepropustného pásma. Poslední hodnota, měřená na frekvenci 51 MHz je již velice slabá – cca 8 mV_{pp}. Tento graf tak podle očekávání úplně nepotvrzuje teoretický graf z ADISim, kde byl v propustném pásmu nasimulován útlum 6 dB. Možná se jednalo o chybu v nastavení simulace. Důležité však je, že filtr odpovídá návrhu ve frekvenci, kde začíná přechod do nepropustného pásma a dosahuje dostatečného útlumu na 50 MHz.

Dalším krokem byla zkouška I/Q demodulátoru + LNA. Na BNC konektor jsem přivedl signál o frekvenci 2,55 MHz a amplitudě 200 mV_{pp}. Na výstupu z transimpedančního zesilovače se objevil signál o frekvenci 50 kHz. To dokazuje správnou funkci jak I/Q demodulátoru, tak oscilátoru. Frekvence oscilátoru byla vydělena čtyřmi a smíchána se vstupem, vznikla tak rozdílová složka

$$2,55 \text{ MHz} - 2,5 \text{ MHz} = 0,05 \text{ MHz}$$

Neznámou v průběhu návrhu bylo, jak bude I a Q signál oproti vstupu zesílen/zeslaben. V tomto případě na výstupu byl signál s amplitudou 1,37 V_{pp}, což dává zesílení přibližně 16,7 dB. Při dalších měřeních na jiných frekvencích bylo zesílení velice podobné. Od cca 150 kHz začíná zesílení rapidně klesat, na 200 kHz už nebyl signál příliš měřitelný. Tzn. že jako frekvenční filtr slouží i transimpedanční zesilovač a filtrovací schopnosti následující filtru nebudou plně využity. Nicméně ten stále poslouží jako zesilovač o 25dB.

zesílení I/Q signálu



Obr. 5.2 - Zesílení I/Q signálu

Po těchto testech jsem osadil zbývající kondenzátory a rezistory na výstupu transimpedančního zesilovače a zkompletoval tak přijímač. Následovalo finální ověření funkce při kterém jsem vyzkoušel funkci celého obvodu. Test dopadl úspěšně – po přivedení signálů o amplitudě 20 mV_{pp} různých frekvencí, se na výstupu objevil zesílený signál, který nepřekročil rozsah 0 – 3,3V. Po zvýšení vstupní amplitudy na 100 mV_{pp} bylo vidět, že tento rozsah signál nikdy nepřekročí – na výstupu se objevila osekáná sinusoida, v minimech a maximech omezená cca hodnotami 0,1 V a 3,2 V.

6 Závěr

Výsledný přijímač se skládá ze dvou samostatných desek – desky přijímače, která byla navržena v průběhu této práce a vývojového kitu Tiva™ C Series TM4C1294 Connected LaunchPad.

Deska přijímače byla osazena, oživena a otestována. Tímto bylo zadání práce splněno. Navíc bylo zprovozněno i částečné propojení obou desek a nejdůležitější funkce v MCU - A/D převodníku i s odesíláním dat přes Ethernet.

Povedlo se navrhnout nový SDR přijímač založených na součástkách, které pravděpodobně v této kombinaci zatím použity nebyly. Jeho parametry jsou lepší než u většiny jednoduchých konstrukcí, protože oproti nim dokáže zpracovávat větší šířku pásma a není závislý na kvalitě zvukové karty. Aktuální šířka zpracovávaného pásma je 300 kHz, ale v případě změny hodnot několika rezistorů anti-aliasingového filtru ho lze zvýšit. To vše při zachování rozumné složitosti (jednoduchosti).

V zadání byl i požadavek na zachování kompatibility s některým ze zvolených frameworků. Tento požadavek byl splněn použitím signálů I a Q, které umí zpracovat téměř všechny demodulační programy. Bohužel ale neposkytují žádné standardizované rozhraní pro napojení nových modelů přijímačů.

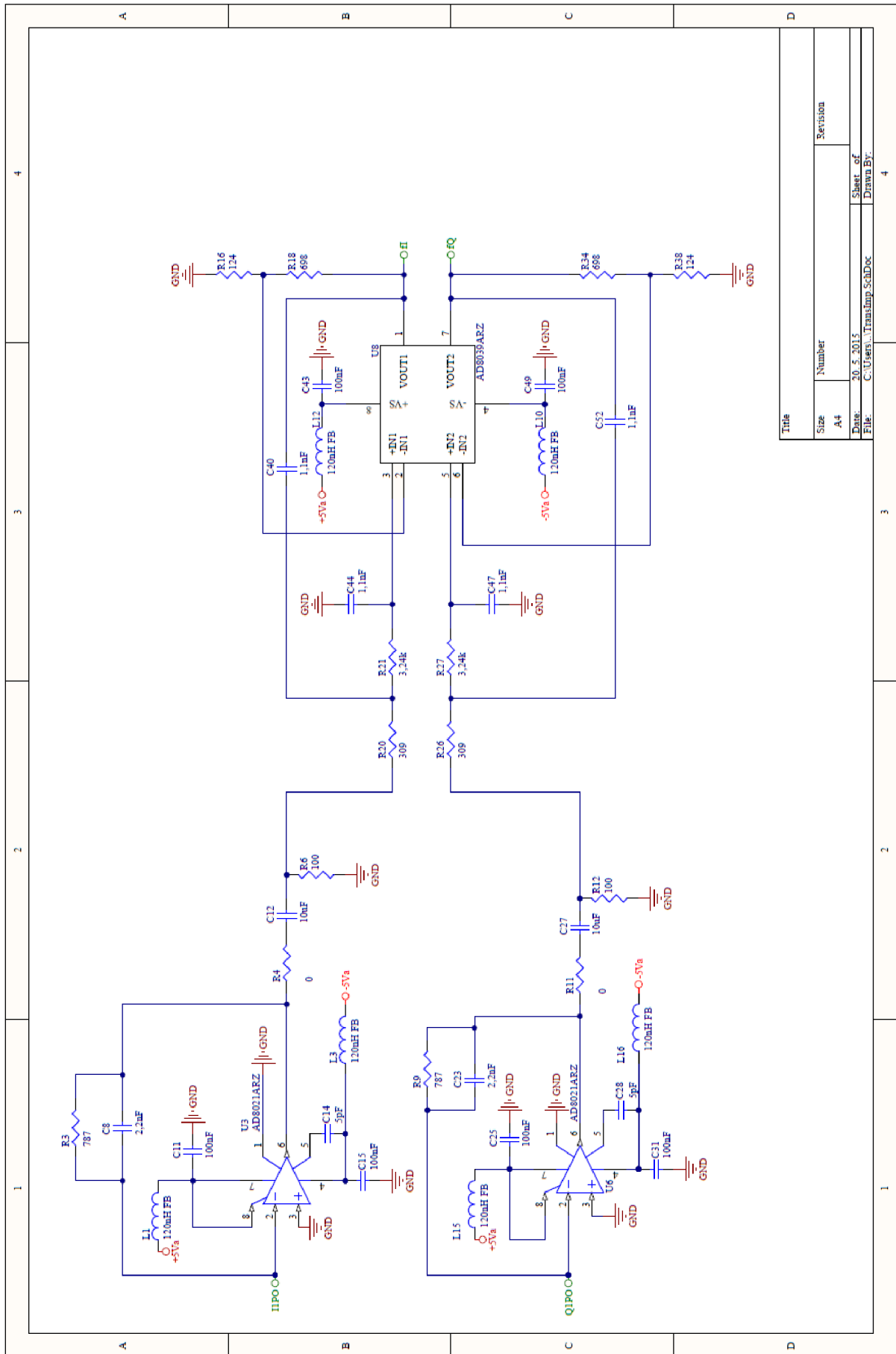
Co se týká dalšího pokračování projektu, je možných mnoho variant. První bude integrace s některým z demodulačních programů. Bohužel často nemívají zdokumentované rozhraní. V současné verzi jsou sice data doručena do počítače, ale nejsou dále zpracovávána. Při případné další výrobě bych se zaměřil na odstranění některých menších chyb, kterých jsem se dopustil při návrhu desky, pokusil bych se také o zmenšení šumu a výhledově i nahrazení obvodu AD8333, který je pro účely přijímače možná zbytečně složitý (stačí 1 kanál místo 2) a drahý.

Literatura

- [1] <http://websdr.org/>
- [2] ZÁPLATA, F.; KASAL, M. Architektury a základní vzorkovací techniky SDR, ElektroRevue, roč. 2012, č. 43, ISSN: 1213-1359.
- [3] Texas Instruments: Tiva ARM datasheet, <http://www.ti.com/tool/ek-tm4c1294xl>
- [4] <http://www.calculatoredge.com/electronics/ch%20pi%20low%20pass.htm>
- [5] MÍŠEK, P., Softwarově Definované Rádio v provozních souvislostech, http://www.crk.cz/FILES/SDR_V_PROVOZNICH_SOUVISLOSTECH.PDF
- [6] Silicon Labs: Si598 datasheet, <https://www.silabs.com/Support%20Documents/TechnicalDocs/si598-99.pdf>
- [7] Texas Instruments, <http://www.ti.com/lit/gpn/tm4c1294ncpdt>
- [8] Texas Instruments, Circuit Board Layout Techniques, <http://www.ti.com/lit/ml/sloa089/sloa089.pdf>
- [9] Analog Devices: AD8333 datasheet
- [10] Analog Devices: AD8331 datasheet
- [11] Analog Devices: AD8039 datasheet
- [12] Texas Instruments: TM4C1394 Connected LaunchPad datasheet
- [13] Texas Instruments: MAX660 datasheet
- [14] Texas Instruments: TivaWare™ Peripheral Driver Library
- [15] Microchip Technology, AN699 - Anti-Aliasing, Analog Filters for Data Acquisition Systems
- [16] POSLUŠNÝ, M. Realizace mikrovlnného digitálního přijímače se softwarovým zpracováním, Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2010. 49 s., 4 s. příloh. Bakalářská práce.
- [17] MALINA, V. Poznáváme elektroniku V.

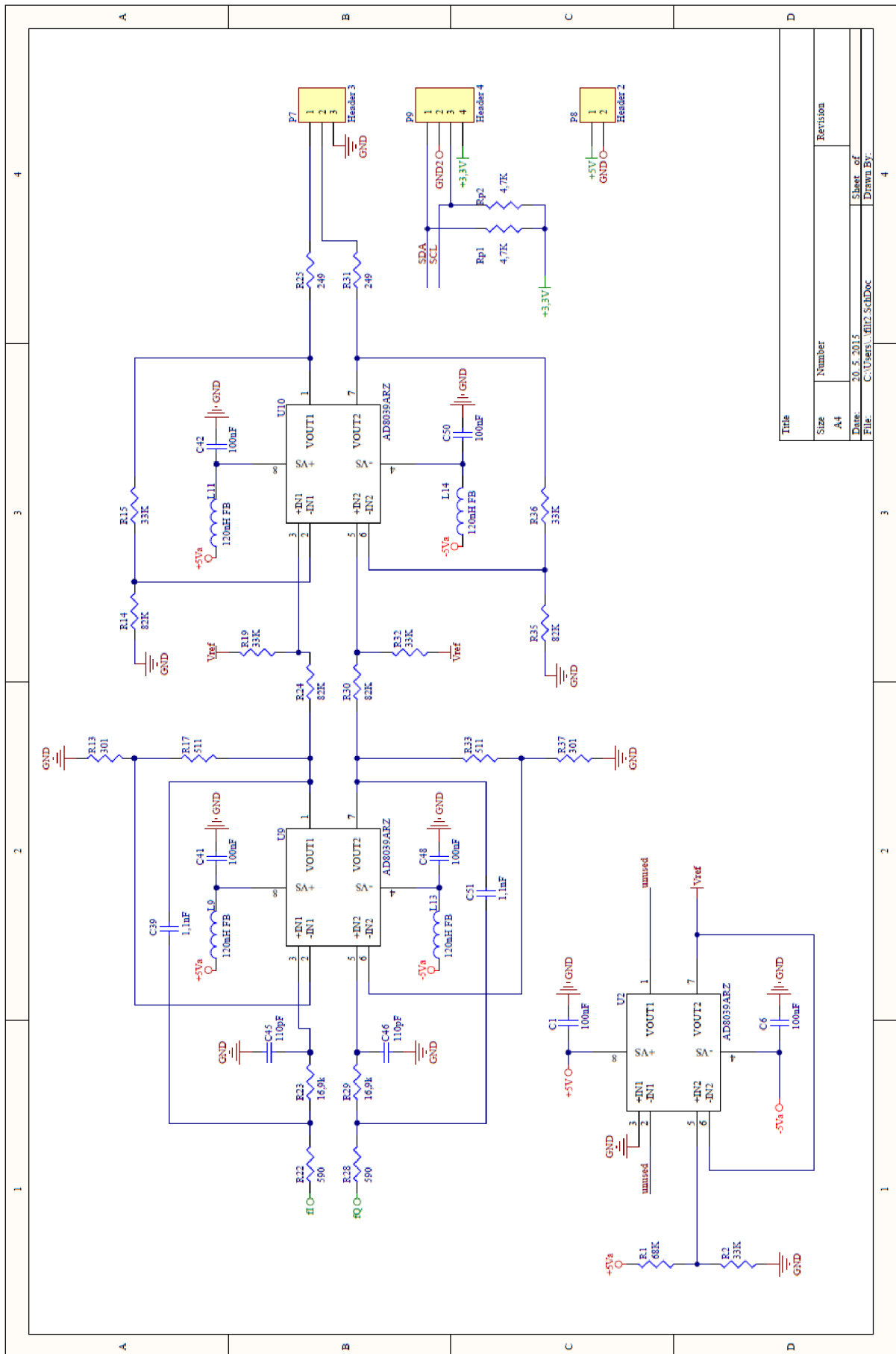
Seznam příloh

P1 - Schéma přijímače, část A	31
P2 - Schéma přijímače, část B	32
P3 - Schéma přijímače, část C	33
P4 - Vzorové zapojení AD8333	34



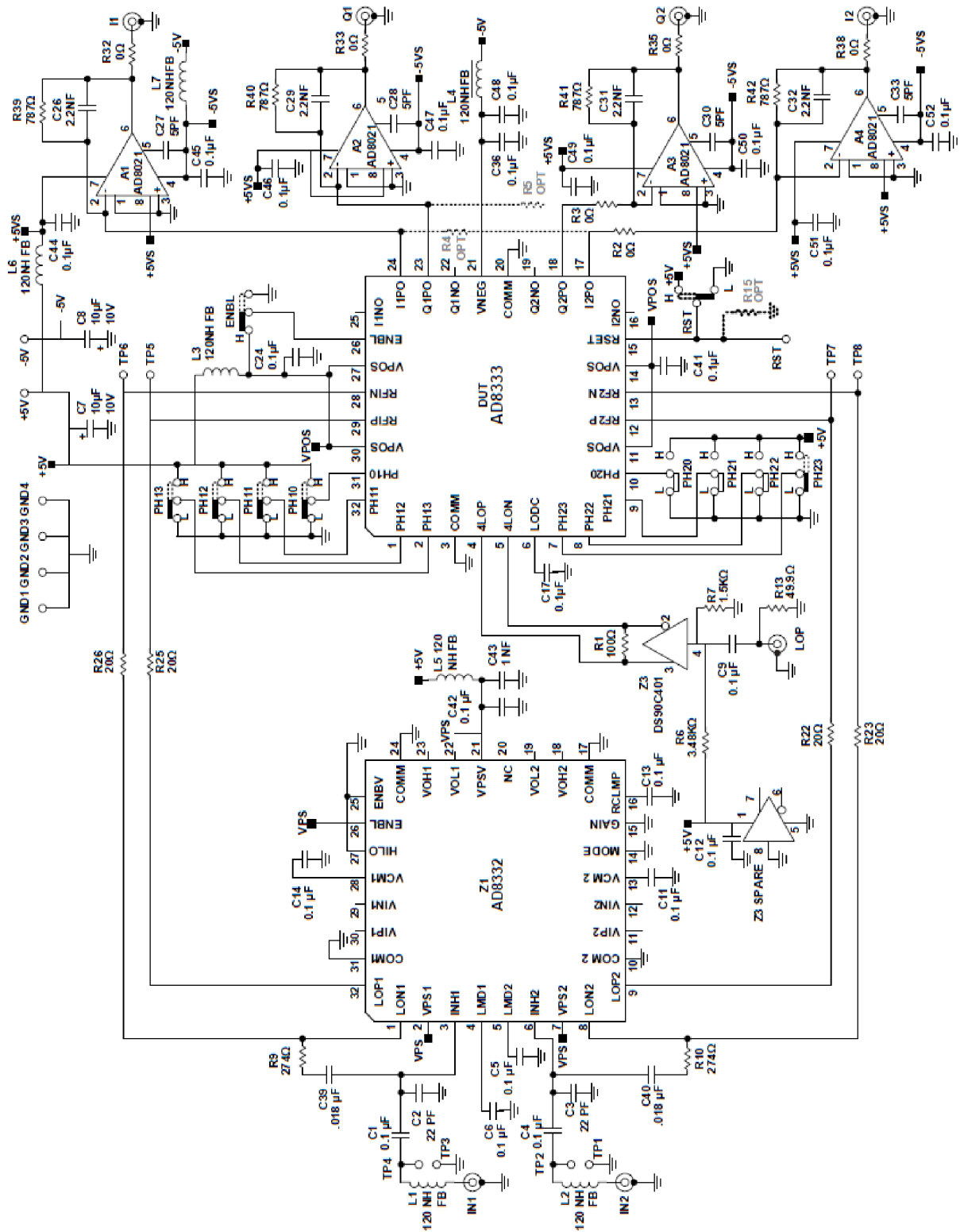
Title	
Size	Number
A4	
Date:	20.5.2015
File:	C:\Users\... \Transimp_SchDoc
Revision	
Sheet of	
Drawn By:	

Priloha P2 - Schéma prijímače, časť B



Title		Revision	
Size	Number		
A4			
Date	Sheet of		Drawn By:
File	C:\Users\filiz.SchDoc		

Priloha P3 - Schéma přijímače, část C



Příloha P4 - AD8333 - doporučené zapojení