



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH A OPTIMALIZACE SPÍNANÉHO KOMPARÁTORU V 250 NM CMOS TECHNOLOGII

DESIGN AND PARAMETERS OPTIMIZATION OF LATCHED COMPARATOR IN 250 NM CMOS PROCESS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Jan Matěj

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2017



Diplomová práce

magisterský navazující studijní obor **Mikroelektronika**
Ústav mikroelektroniky

Student: Bc. Jan Matěj

ID: 154802

Ročník: 2

Akademický rok: 2016/17

NÁZEV TÉMATU:

Návrh a optimalizace spínaného komparátoru v 250 nm CMOS technologii

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte spínaný komparátor v 250 nm CMOS technologii pro napájecí napětí 5V. Návrh optimalizujte s ohledem na přesnost, rychlost a proudovou spotřebu navrženého zapojení. Dále v návrhu zohledněte požadavek na minimalizaci spínacího rušení z výstupu komparátoru na jeho vstupní signály. Navržené zapojení realizujte ve více variantách pro pokrytí vstupního souhlasného napětí v celém rozsahu daném napájecím napětím. Výsledný návrh ověřte v příslušném návrhovém prostředí.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 6.2.2017

Termín odevzdání: 25.5.2017

Vedoucí práce: Ing. Roman Prokop, Ph.D.

Konzultant: Ing. Jan Chromčák, ON Semiconductor

doc. Ing. Lukáš Fucík, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato diplomová práce se zabývá metodou návrhu a možnostmi optimalizace parametrů dynamických komparátorů. Srovnává dynamické komparátory s klasickými kontinuálními a rozebírá princip funkce těchto obvodů. Analyzuje tři nejrozšířenější typy dynamických komparátorů z hlediska nesymetrie, rychlosti a spínacího rušení. Předkládá praktický návrh dynamického komparátoru s ohledem především na přesnost komparátoru.

Klíčová slova

Komparátor, dynamický komparátor, analýza nesymetrie a přenosového zpoždění, spínací rušení, Lewis – Gray, Sense amplifier, Double tail.

Abstract

This diploma thesis deals with design methods and optimization techniques of dynamic latched comparators. It compares latched and continuous comparators and describes their principle. Then it analyses three popular latched comparator structures with respect to offset, speed and kickback noise. It shows practical comparator design focused on offset precision.

Keywords

Comparator, Latched comparator, offset and propagation delay analysis, kickback noise, Lewis – Gray, Sense Amplifier, Double Tail.

MATĚJ, J. *Návrh a optimalizace spínaného komparátoru v 250 nm CMOS technologii*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2017. 60 s. Vedoucí diplomové práce Ing. Roman Prokop, Ph.D..

Experimentální část této diplomové práce byla realizována na výzkumné infrastruktuře
vybudované v rámci projektu CZ.1.05/2.1.00/03.0072

Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

Prohlášení

Prohlašuji, že svou diplomovou práci na téma „**Návrh a optimalizace spínaného komparátoru v 250 nm CMOS technologii**“ jsem vypracoval samostatně pod vedením Ing. Romana Prokopa, Ph.D. a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 24. 5. 2017

.....
podpis autora

Poděkování

Děkuji vedoucímu práce Ing. Romanu Prokopovi, Ph.D. za odborné vedení a rady při řešení této práce. Děkuji také vedoucímu za společnost ON Semiconductor Ing. Janu Chromčákovi za pomoc a ochotu při konzultacích.

V Brně dne 24. 5. 2017

.....
podpis autora

Obsah

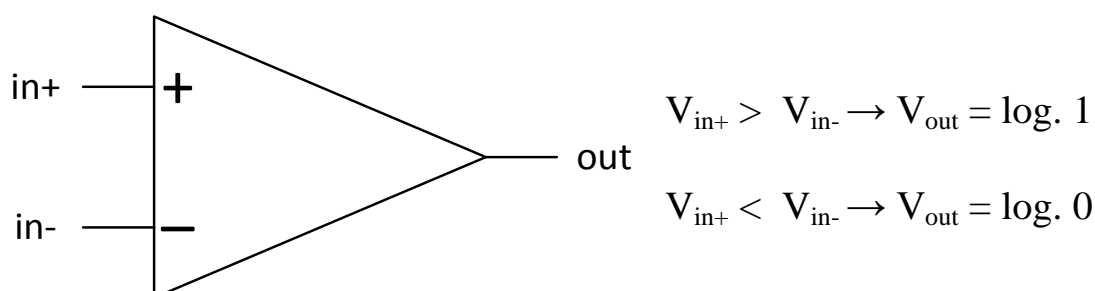
Úvod	8
1 Základní vlastnosti komparátorů	9
2 Topologie komparátorů	10
2.1 Komparátor s otevřenou smyčkou	11
2.2 Komparátor s kladnou zpětnou vazbou.....	11
2.3 Plně dynamický komparátor	12
2.3.1 Komparátor typu Lewis – Gray	13
2.3.2 Komparátor typu Sense amplifier (SA)	17
2.3.3 Komparátor typu Double tail	19
3 Analýza parametrů dynamických komparátorů.....	20
3.1 Napěťová nesymetrie	20
3.1.1 Trimování.....	23
3.1.2 Automatické nulování	23
3.1.3 Choppování	25
3.2 Přenosové zpoždění	26
3.3 Spínací rušení	30
4 Porovnání dynamických komparátorů	33
5 Návrh dynamického komparátoru	36
5.1 Předzesilovač s diodovou zátěží	36
5.1.1 Omezení spínacího rušení	39
5.2 Operační transkonduktanční předzesilovač	40
5.2.1 Potlačení vstupní napěťové nesymetrie	41
5.3 Předzesilovač se složenou kaskádou.....	43
5.4 Finální návrh komparátoru.....	44
6 Topologie.....	46
7 Závěr.....	52
Bibliografie	55
Seznam obrázků.....	57
Seznam tabulek	59
Příloha 1 Schéma navrženého komparátoru	60

Úvod

V moderních integrovaných obvodech se velmi často vyskytuje konfigurace, kdy je zapotřebí sledovat určitý signál pomocí komparátoru a tuto informaci následně zpracovat digitálně. Typickým příkladem jsou analogově číslicové převodníky, kde je komparátor integrálním prvkem všech typů těchto obvodů. Pro porovnání dvou signálů můžeme použít komparátory pracující spojitě v čase, popřípadě dynamické neboli spínané komparátory. Klasické komparátory jsou výhodné zejména u aplikací, u nichž je zapotřebí reagovat na změnu sledované veličiny okamžitě. Použití analogových v čase kontinuálních komparátorů však skýtá také řadu nevýhod. Jednou z největších je trvalá spotřeba. Především u flash AD převodníků, kde je zapotřebí velké množství komparátorů, se jedná o velkou potíž. Klasické komparátory se mohou dále rozkmitat, jestliže je vstupní rozdílové napětí velmi malé a obvod není vybaven hysterezí, což někdy nemusí být možné. Dalším problémem je sledování více událostí, jelikož přepínání vstupní reference může snadno způsobit rozkmitání obvodu. V mnoha případech je zapotřebí, aby byly komparátory synchronizované se systémovými hodinami, aby se zamezilo situaci, kdy komparátor bude překlápět ve stejné době, kdy u hodinového signálu nastává aktivní hrana hodin. Ve většině případů je možné klasické komparátory nahradit těmi dynamickými. Statická spotřeba je velmi malá, jelikož proud protéká pouze v krátkém čase na počátku vyhodnocovacího stavu obvodu. Obvod je již ze své podstaty synchronní. Změnit referenční napětí pak lze snadno v resetovacím režimu. Rozkmitání obvodu nenastává. Jakmile se obvod dostává do jednoho ze stavů na výstupu, malá změna na vstupu tento stav neovlivní. Návrh dynamického komparátoru je však složitější než návrh klasického, jelikož se jeho parametry, například režimy tranzistorů, mění v čase. Tato práce se tak zabývá analýzou a metodami návrhu pro tento typ obvodu, přičemž se zaměřuje především na přesnost návrhu. Za použití těchto informací poté předkládá praktický návrh dynamického komparátoru s nízkou spotřebou, vysokou přesností, dostatečnou rychlostí a malým spínacím rušením.

1 Základní vlastnosti komparátorů

Integrované obvody se nejčastěji dělí na obvody číslicové (digitální), které využívají diskretních úrovní signálů, a obvody lineární analogové, jejichž výstupy jsou lineárně závislé na vstupech. Existují však také elektronické obvody, které stojí na pomezí mezi analogovými a digitálními obvody. Jsou to nelineární analogové obvody, do nichž spadají napět'ové komparátory. [1] Princip komparátoru je velice jednoduchý a je znázorněn na obrázku 1. Jestliže vstupní rozdílové napětí $V_{in+} - V_{in-} > 0$, na výstupu dostáváme kladné napětí, které reprezentuje log. 1. Pro opačný případ $V_{in+} - V_{in-} < 0$ se na výstupu objeví menší napětí, než v předchozím případě, tedy log. 0.



Obrázek 1: Princip komparátoru. [2]

Platí tak, že zatímco na vstupu komparátoru se nachází analogový signál, na jeho výstupu je již signál digitální. Proto je zapotřebí, aby měl komparátor co nejlepší jak statické, tak dynamické vlastnosti.

Statickými vlastnostmi jsou:

- zisk,
- vstupní napět'ová nesymetrie (offset),
- proudová spotřeba,
- vstupní stejnosměrný napět'ový rozsah,
- výstupní stejnosměrný napět'ový rozsah. [2]

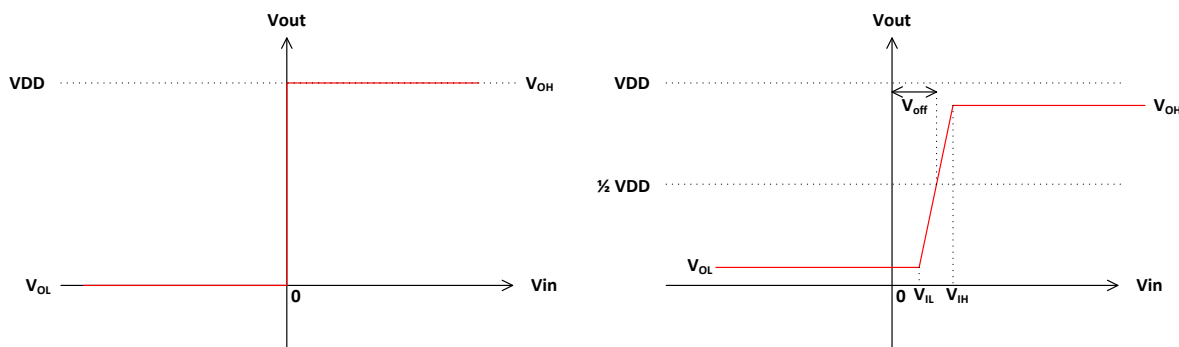
Dynamickými vlastnostmi jsou:

- spínací rušení,
- přenosové zpoždění. [3]

Důležitým parametrem je také plocha na čipu, kterou obvod zabírá.

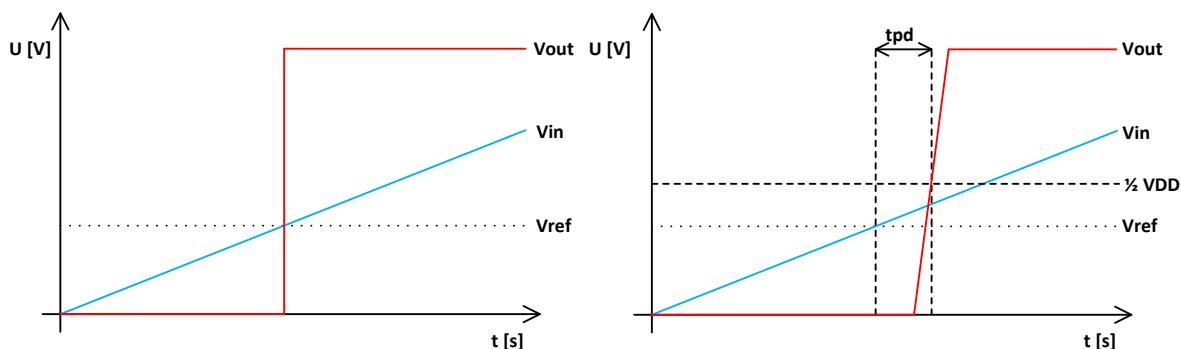
Na obrázku 2 můžeme vidět rozdíl mezi ideálním a reálným komparátorem pro stejnosměrné vlastnosti. U ideálního komparátoru předpokládáme nulovou napět'ovou nesymetrii, nekonečný zisk a vstupní i výstupní napět'ový rozsah sahající od zemnicí po napájecí linku obvodu. U reálného komparátoru se pak lze těmito hodnotám pouze přiblížit. Reálná charakteristika

znázorňuje vstupní napěťovou nesymetrii V_{off} , minimální rozdíl vstupního napětí $V_{IH}-V_{IL}$, pro plný rozsah napětí na výstupu, který odpovídá zisku, a rozsah výstupního napětí $V_{OH}-V_{OL}$.



Obrázek 2: Srovnání ideálního a reálného komparátoru z hlediska stejnosměrných parametrů. [4]

Na obrázku 3 je pak porovnání ideálního a skutečného komparátoru z hlediska zpoždění. Zatímco ideální komparátor má nulové zpoždění, výstup tedy změní svůj stav okamžitě, kdy signál V_{in} překročí hodnotu napětí na vstupu V_{ref} , u reálného komparátoru je zde určité zpoždění, než se změna na vstupech promítne na výstupu. Délka tohoto zpoždění je závislá na strmosti signálu V_{in} , zisku komparátoru a také na zpoždění, které vzniká z důvodu nabíjení nebo vybíjení vnitřních a parazitních kapacit. [4]



Obrázek 3: Srovnání ideálního a reálného komparátoru z hlediska přenosového zpoždění. [4]

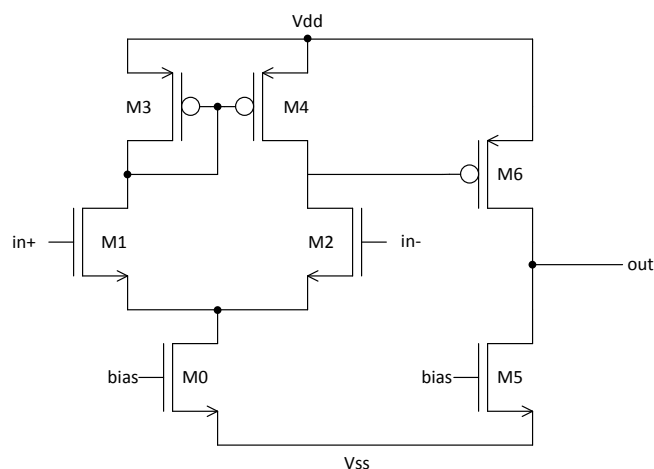
2 Topologie komparátorů

Z hlediska struktury komparátorů můžeme dělit jednotlivé typy na tři základní kategorie:

- Komparátory s otevřenou smyčkou,
- Komparátory s kladnou zpětnou vazbou,
- Dynamické komparátory. [1], [2]

2.1 Komparátor s otevřenou smyčkou

Nejjednodušším typem napěťového komparátoru je topologie založená na nekompenzovaném operačním zesilovači s neuzavřenou zpětnou vazbou. Struktura je na obrázku 4. Výhodou tohoto typu komparátoru je skutečnost, že jde o systém časově spojitý. Zpětný šum se zde proto objevuje pouze ve chvíli, kdy dochází k překlopení z jednoho stavu do druhého a je řádově menší než v případě dynamických komparátorů. [2] Vzhledem k tomu, že zde nezáleží na linearitě, a naopak požadujeme co největší šířku pásma, není v obvodu zahrnuta kmitočtová kompenzace. Nevýhodou je fakt, že pro dosažení dostatečného zisku je zapotřebí zvyšovat proud tekoucí větvemi obvodu. Na výstup zapojení na obrázku 4 se často přidává obvod pro tvarování hran. Například Schmittův klopný obvod nebo invertor. [4]

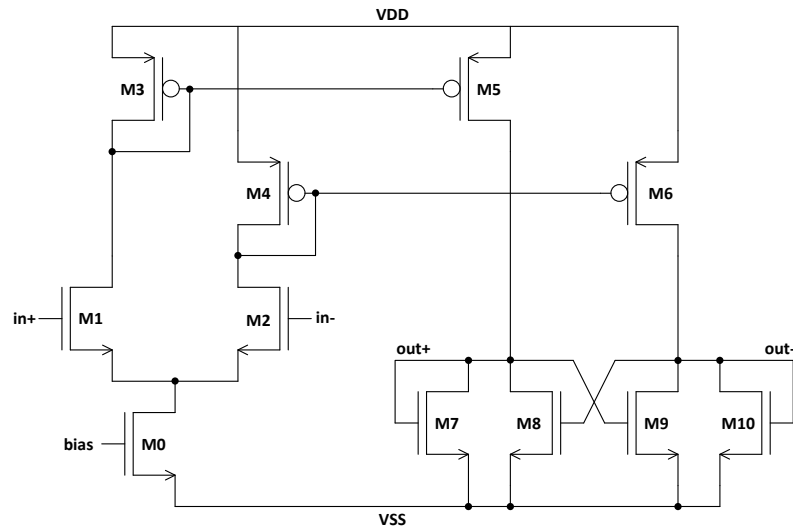


Obrázek 4: Komparátor s otevřenou smyčkou. [2]

2.2 Komparátor s kladnou zpětnou vazbou

Pro zvýšení zisku bez nutnosti zvyšovat proudovou spotřebu můžeme do obvodu zavést kladnou zpětnou vazbu. [1] Komparátor využívající takového zapojení je na obrázku 5.

Pro analýzu obvodu předpokládejme, že poměry $\frac{W}{L}$ tranzistorů M7 – M10 jsou stejné. Řekněme, že napětí na vstupu in+ bude větší než na vstupu in-. Poté je proud tekoucí tranzistorem M5 větší než M6. Potom jsou tranzistory M7 a M9 sepnuté, zatímco M8 a M10 jsou rozpojené. Jestliže se začne proud tranzistorem M5 snižovat, a naopak proud M6 zvyšovat, dochází k překlopení v momentě, kdy se napětí na M10 přiblíží k prahovému napětí V_{TH} . Tranzistor M8 začíná odebírat více proudu na úkor M7. Na hradle tranzistoru M9 se napětí snižuje, což opět zvyšuje proud tekoucí do M10. Dochází tak k překlopení do druhého stavu, kdy se zvyšuje napětí na výstupu out- a klesá na out+.

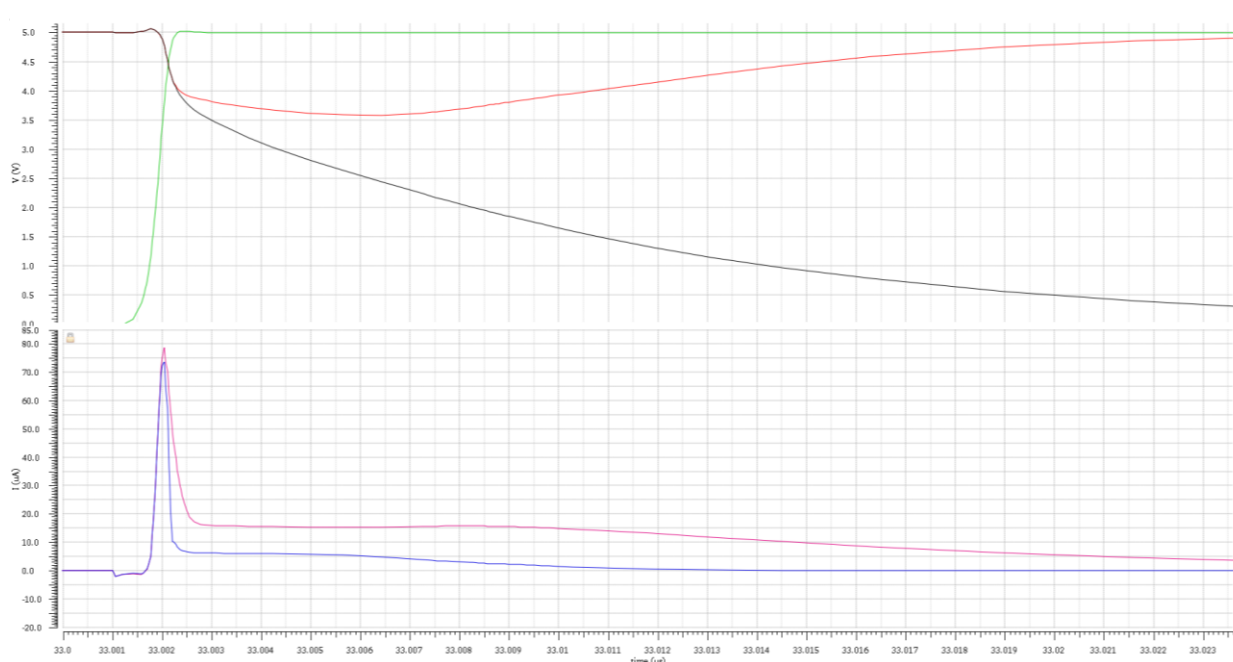


Obrázek 5: Komparátor s kladnou zpětnou vazbou. [1]

Toto zapojení má velkou výhodu ve značném zisku, který je dán kladnou zpětnou vazbou. Dále je zde možné snadno realizovat hysterezi nestejným poměrem $\frac{W}{L}$ dvojic tranzistorů tvořících kladnou zpětnou vazbu. Největší nevýhoda spočívá v nutnosti použití předzesilovače pro dostatečný rozdíl proudů tranzistorů M5 a M6 a výstupního bloku pro úpravu výstupních signálů na úroveň napájecích linek. [1]

2.3 Plně dynamický komparátor

Na rozdíl od předcházejících zapojení, která pracují v kontinuálním režimu, jsou dynamické komparátory spínány s hodinovým signálem. [5] Zatímco klasické komparátory vyhodnocují rozdílové napětí neustále, dynamické komparátory porovnávají vstupní napětí pouze ve chvíli přechodu z resetovacího stavu do stavu vyhodnocovacího. Tento stav můžeme vidět na obrázku 6. Hodinový signál označený zeleně přechází z log. 0 do stavu log. 1. Tím obvod přechází z resetovacího do vyhodnocovacího stavu. Na výstupních elektrodách začíná klesat napětí, nejdříve souhlasně. Jakmile vstupními tranzistory začínají téci rozdílné proudy označené modrou a fialovou barvou, začíná se napětí na výstupu out+ zvyšovat, zatímco napětí na out- klesá. Jakmile rozdíl výstupních napětí dosáhne poloviny velikosti napětí napájecího, považujeme porovnání za dokončené.



Obrázek 6: Průběh signálů pro zapojení LG v čase změny stavu z resetovacího do vyhodnocovacího.

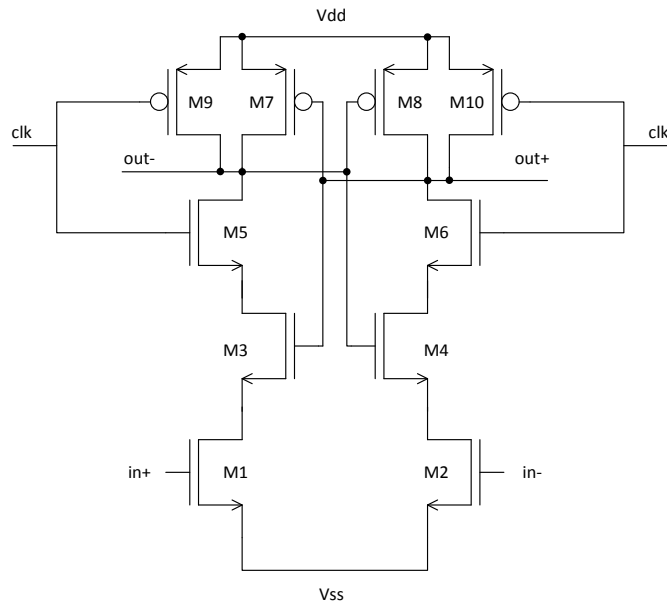
Dynamické komparátory mají několik výhod. Především nulovou statickou spotřebu, velký zisk, malé zpoždění a lze je snadno synchronizovat s hodinami obvodu, ve kterém se komparátor nachází. Nevýhodou pak je spínací rušení, které se přenáší do vstupů obvodu a také problematičtější návrh z důvodů měnících se parametrů v čase při konstantním vstupním rozdílovém napětí. [4] Nejčastěji používanými typy jsou:

- Lewis – Gray,
- Sense amplifier,
- Double – tail. [6], [7], [8]

2.3.1 Komparátor typu Lewis – Gray

Jedním z nejrozšířenějších typů komparátorů je zapojení podle Lewise a Graye. Můžeme ho vidět na obrázku 7.

Nejdůležitější částí jsou dva křížově zapojené invertory tvořené z NMOS tranzistorů M3 a M4 a PMOS tranzistorů M7 a M8. Díky tomuto zapojení má obvod nulovou statickou spotřebu, jelikož při rozdílném vstupním napětí je vždy jeden PMOS tranzistor sepnutý a NMOS ve stejné větvi vypnutý, poněvadž sdílejí stejné napětí na hradle. [6]



Obrázek 7: Komparátor typu Lewis – Gray [6]

Obvod se jako všechny plně dynamické komparátory může nacházet v jednom ze dvou stavů, resetovacím a vyhodnocovacím. Tyto stavy jsou pravidelně přepínány pomocí hodinového signálu clk, který je přiveden na hradla tranzistorů M5, M6, M9 a M10. Pokud je hodinový signál ve stavu logické nuly, je horní a spodní část obvodu od sebe rozpojena vypnutými tranzistory M5 a M6. Je tomu tak proto, aby v resetovacím stavu neprotékal obvodem žádný klidový proud. Tranzistory M9 a M10 jsou naopak sepnuté, takže na výstupy obvodu je přivedeno napájecí napětí. Kapacity hradel tranzistorů M3, M4, M7 a M8 jsou tak nabity na toto napětí. Poté je obvod pomocí změny stavu hodinového signálu z log. 0 na log. 1 uveden do vyhodnocovacího stavu. Předpokládejme, že na vstupy in+ a in- je přivedeno stejné napětí a všechny tranzistorové páry jsou přísně symetrické. V takovém případě po ustavení stejnosměrného pracovního bodu obvodem začíná protékat proud. Jelikož jsou tranzistory M3 a M4 dosud plně sepnuté, dostává se napětí U_{DSM1} skrze tranzistory M3 a M5 na hradla tranzistorů M4 a M8. Stejná situace nastává v případě tranzistorů M2, M4, M6, M3 a M7. Kapacity hradel tranzistorů tvořících invertory jsou vybiteny a obvodem protéká klidový proud. Tento případ ve skutečnosti nikdy nenastane, jelikož vstupní napětí ani parametry tranzistorů nebudou nikdy přesně stejné. Tato úvaha však bude důležitá pro další analýzu obvodu.

Řekněme, že nyní přiložíme na vstup in+ větší napětí než na in-. Tranzistorem M1 tak protéká větší proud, který napěťově stahuje hradlo tranzistoru M4 a M8. Tranzistor M8 se proto více otevírá, protéká jím větší proud, roste napětí na hradlech tranzistoru M3 a M7. Pomocí kladné zpětné vazby mezi invertory je obvod po krátkém čase ustaven do stavu, kdy je na výstupu out+ napětí Vdd, zatímco na výstupu out- napětí Vss. Aby se obvod v tomto stavu překlopil, bylo by nutné přivést na vstupy velké rozdílové napětí opačné polarity. Proto je třeba obvod resetovat do výchozího stavu, aby mohlo opětovně dojít ke správnému měření.

Pro popis obvodu ve stejnosměrném pracovním bodě je nezbytné znát pracovní režimy všech tranzistorů v obvodu. Tranzistory M5, M6, M9 a M10 slouží pouze jako spínače a jejich vliv tak nebude velký. Tranzistory M3, M4, M7 a M8 pracují v saturačním režimu, zatímco tranzistory M1 a M2 se nacházejí v lineárním neboli triodovém režimu. [9] Proto můžeme psát:

$$I_d = K_{pn1} \cdot \frac{w_1}{L_1} \cdot V_{DS} \cdot \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right)$$

$$I_d = \frac{1}{2} K_{pn} \cdot \frac{w_3}{L_3} \cdot (V_{out} - V_{DS} - V_{TH})^2$$

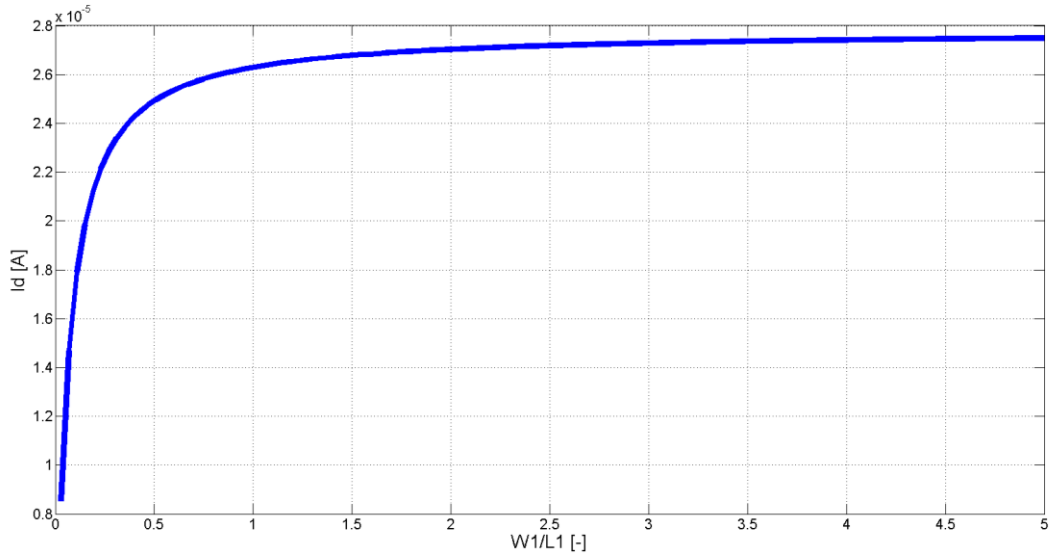
$$I_d = \frac{1}{2} K_{pp} \cdot \frac{w_7}{L_7} \cdot (V_{DD} - V_{out} - V_{TH})^2$$

$$V_{out} = V_{DD} - V_{TH} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pp} \cdot \frac{w_7}{L_7}}}$$

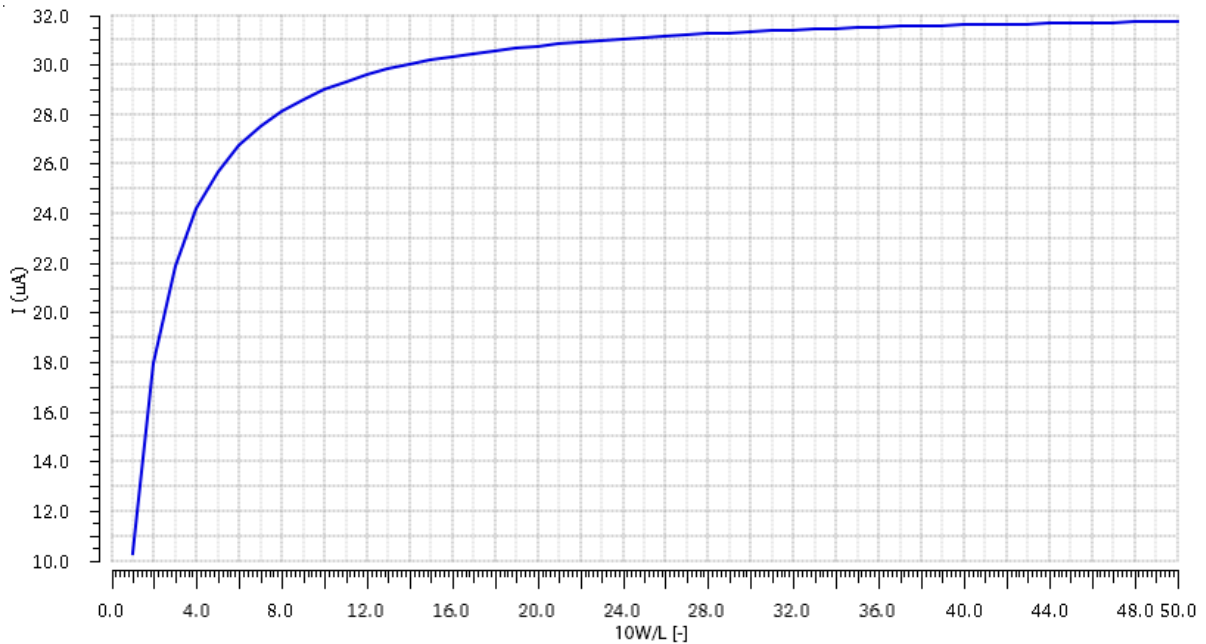
$$V_{DS} = V_{DD} - 2V_{TH} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pp} \cdot \frac{w_7}{L_7}}} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pn} \cdot \frac{w_3}{L_3}}} \quad (2.3.1.1)$$

$$I_d = K_{pn1} \cdot \frac{w_1}{L_1} \cdot \left(V_{DD} - 2V_{TH} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pp} \cdot \frac{w_7}{L_7}}} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pn} \cdot \frac{w_3}{L_3}}} \right) \cdot \left(V_{GS} - V_{TH} - \frac{V_{DD} - 2V_{TH} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pp} \cdot \frac{w_7}{L_7}}} - \sqrt{\frac{I_d}{\frac{1}{2} K_{pn} \cdot \frac{w_3}{L_3}}}}{2} \right) \quad (2.3.1.2)$$

Tato rovnice není řešitelná analyticky, což je zapříčiněno triodovým režimem vstupního páru tranzistorů M1 a M2, jelikož ty jsou závislé na napětí U_{DS} . Můžeme nicméně vidět, že se zvyšujícím se $\frac{w_1}{L_1}$ roste proud. Tím však dochází ke zvýšení napětí V_{GSM3} a V_{GSM7} . V_{DS} tranzistoru M1 a M2 se tak snižuje, což způsobí snížení proudu. Proud obvodem tak bude nelineárně růst se zvyšujícím se $\frac{w_1}{L_1}$, přičemž se zvětšováním tohoto poměru se bude proud měnit jen nepatrně. Na obrázku 8 je závislost proudu na poměru $\frac{w_1}{L_1}$, která byla spočítána numericky pomocí programu Matlab. Pokud ji srovnáme s výsledkem simulace na obrázku 9, vidíme, že se jedná o vhodnou aproximaci změny proudu s rozměry tranzistoru. Rovnoběžná osa má na obrázku 9 oproti obrázku 8 poměr 10:1.



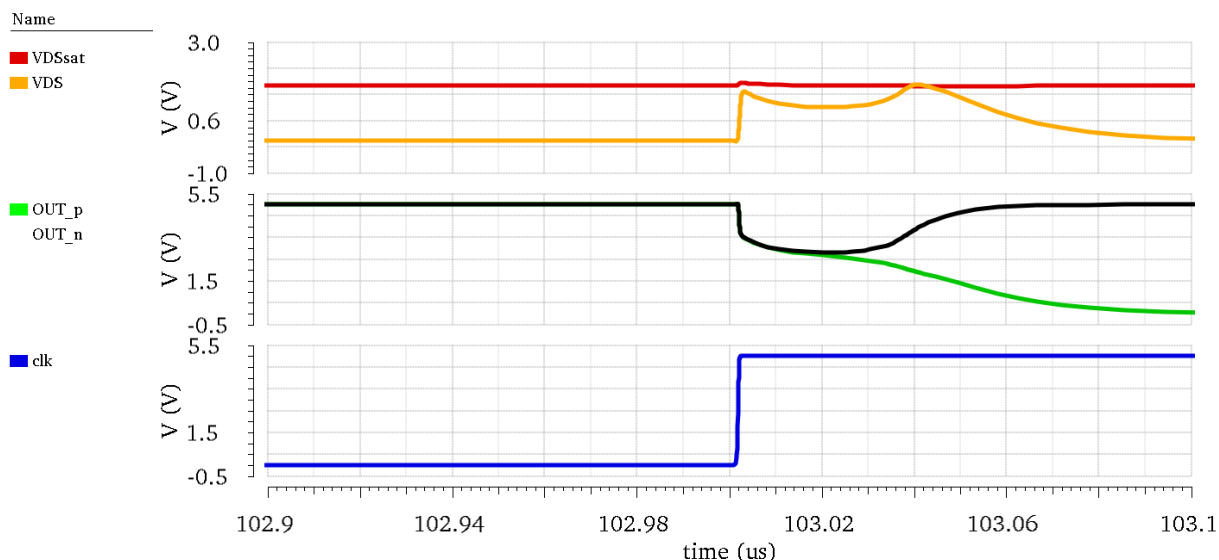
Obrázek 8: Vypočítaná závislost proudu I_d na poměru šířky a délky hradla tranzistoru M1 a M2.



Obrázek 9: Simulovaná závislost proudu I_d na poměru šířky a délky hradla tranzistoru M1 a M2.

Problémem také je, že rychlost obvodu i stejnosměrná napěťová nesymetrie ovlivňuje velikost souhlasného vstupního napětí. Klidový proud obvodem není stejný pro různá V_{GS} na vstupech tranzistorů M1 a M2. Pokud chceme dosáhnout vyšší rychlosti, je vhodné zvýšit vstupní napětí. S rostoucím proudem se také zvyšuje absolutní hodnota vstupní napěťové nesymetrie obvodu. Celkově je tak třeba přizpůsobit návrh požadovaným parametrům.

Na obrázku 10 můžeme vidět změnu operačního režimu dynamického komparátoru typu Lewis Gray v závislosti na čase. Lze vidět, že v průběhu vyhodnocovací fáze (hodinový signál v logické 1) se vstupní tranzistorový pár nachází v triodovém režimu.



Obrázek 10: Změna operačního režimu dynamického komparátoru typu Lewis Gray v závislosti na čase

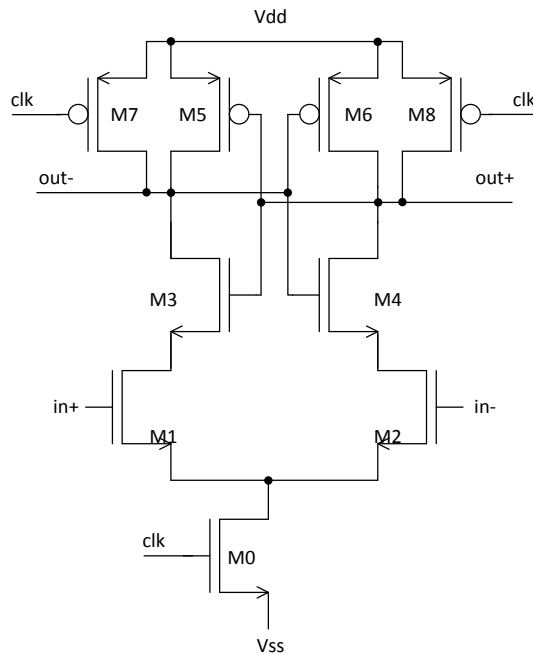
2.3.2 Komparátor typu Sense amplifier (SA)

Zapojení na obrázku 11 představuje obvod s názvem Sense amplifier. Jedná se o podobné zapojení, jakým je Lewis – Gray. Zde však nulová statická spotřeba není řešena pomocí dvou tranzistorů v hlavních větvích, které v případě resetovací fáze oddělují poloviny invertoru od sebe, nýbrž tranzistorem M0, který obvod odpojí od zemnicí linky Vss. [7]

V případě, že se hodinový signál nachází v log. 0, jedná se o resetovací fázi. Jak bylo zmíněno výše, obvod je odpojen od větve Vss. Tranzistory M7 a M8 jsou plně sepnuté. Na výstupu se tak objevuje napájecí napětí. Na elektrodě drain tranzistorů M1 a M2 se tak nachází poměrně vysoké napětí, které způsobí, že se tyto tranzistory budou na počátku další (vyhodnocovací) fáze nacházet v saturační oblasti.

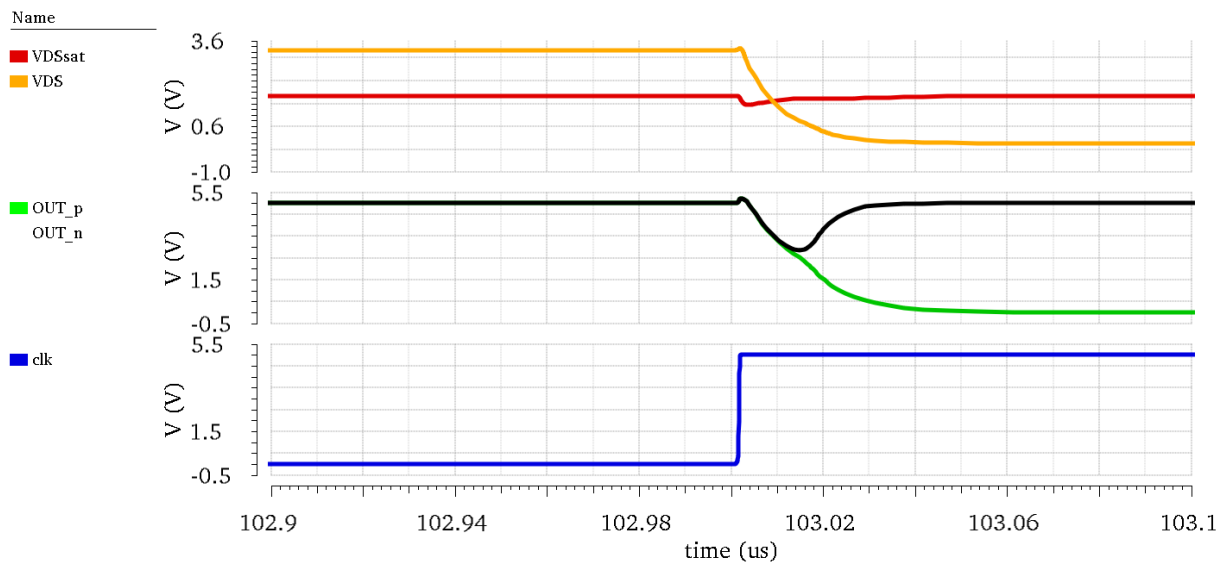
Jakmile hodinový signál změni svůj stav z log. 0 do log. 1, tranzistor M0 sepne, tranzistory M7 a M8 jsou vypnuté a obvod se tak dostává do rozhodovací fáze. Na začátku této fáze se tranzistory M1 a M2 nacházejí v saturačním režimu. Jejich transkonduktance je tak vyšší než v případě zapojení Lewis – Gray. To vede ke zlepšení napěťové nesymetrie. [7]

Díky této skutečnosti můžeme transkonduktanci vstupního páru navýšit pomocí zvětšení šířky hradla tranzistorů M1 a M2. Na rozdíl od zapojení Lewis-Gray zde totiž nebude docházet (alespoň zpočátku) ke snižování proudu díky klesajícímu napětí V_{DS} , jak můžeme vidět na obrázku 8.



Obrázek 11: Komparátor typu Sense amplifier. [7]

Na obrázku 12 můžeme vidět změnu operačního režimu dynamického komparátoru Sense amplifier v závislosti na čase. Lze vidět, že na počátku vyhodnocovací fáze (náběžná hrana hodinového signálu), se vstupní pár tranzistorů nachází v saturační oblasti. Poté přechází do oblasti triodové.



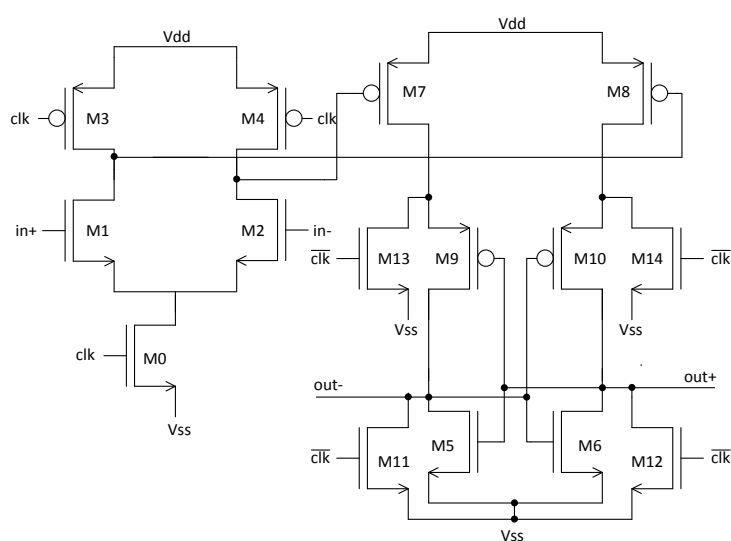
Obrázek 12: Změna operačního režimu dynamického komparátoru Sense amplifier v závislosti na čase

Na rozdíl od průběhu pro zapojení Lewis – Gray na obrázku 11 je na první pohled patrné, že vyhodnocovací doba komparátoru Sense amplifier je mnohem kratší díky saturačnímu režimu vstupního páru.

2.3.3 Komparátor typu Double tail

Dalším používaným typem komparátoru je zapojení, které se nazývá Double tail. Je zobrazeno na obrázku 13. [8]

Na rozdíl od předchozího zapojení, se vstup a výstup nenacházejí na společné větvi. Díky tomu lze toto zapojení používat pro menší napájecí napětí. Obvod má také větší rozsah vstupního souhlasného napětí. Jako všechny dynamické komparátory toto zapojení obsahuje dva křížově zapojené invertory. V tomto případě tvořené NMOS tranzistory M5 a M6 a PMOS tranzistory M9 a M10. Obvod má opět nulovou statickou spotřebu. Ve výstupní části tento požadavek zajišťují invertory. Ve vstupní části jsou vstupní tranzistory M1 a M2 připojeny vždy k napájecí či zemnicí větvi v jedné půlperiodě hodinového signálu clk.



Obrázek 13: Zapojení Double tail. [8]

Jestliže se hodinový signál clk nachází v log. 0, tranzistor M0 je zavřený, vstupní tranzistory jsou odpojeny od linky Vss. Naopak tranzistory M3 a M4 jsou plně sepnuty, takže napájecí napětí Vdd je přivedeno na hradla tranzistorů M7 a M8. Invertovaný hodinový signál v tomto stavu sepne tranzistory M11 a M12. Na výstupu se tak nachází napětí Vss. Rovněž tranzistory M13 a M14 jsou sepnuté. Tranzistory M9 a M10 mají tak na hradle i na source stejné napětí, a jsou proto vypnuté, NMOS tranzistory M5 a M6 jsou také vypnuté.

V případě, že je hodinový signál ve stavu log. 1, budou vstupní tranzistory připojeny k napětí Vss. Tranzistory M11 – M14 jsou vypnuté. Vstupní kapacita tranzistorů M7 a M8 je nabitá na napájecí napětí. Tranzistory M1 a M2 se tak nachází v saturačním režimu. Podle velikostí napětí na vstupu začíná tranzistory M1 a M2 protékat proud, který vybíjí kapacitu tranzistorů M7 a M8. Jestliže na vstupu in+ bude větší napětí než na vstupu in-, bude se napětí na hradle tranzistoru M8 snižovat rychleji než na tranzistoru M7. Na source tranzistoru M10 je tak přikládáno vyšší napětí než na stejnou elektrodu tranzistoru M9. Na větev out+ se tak dostává vyšší napětí než na out-. Tranzistor M9 se tak uzavírá více než tranzistor M10.

Na rozdíl od zapojení Lewis-Gray pracují vstupní tranzistory na začátku vyhodnocovací fáze v režimu saturace. Poskytují tak větší transkonduktanci, která více omezuje vstupní napětíovou nesymetrii invertorů tvořících latch buňku. [8]

3 Analýza parametrů dynamických komparátorů

Třetí kapitola popisuje některé vlastnosti podrobněji. Bude vysvětleno, jak je možné tyto parametry pomocí správného návrhu ovlivnit tak, aby byly splněny požadavky, které musí obvod splňovat.

3.1 Napětíová nesymetrie

Jedním z nejpodstatnějších parametrů u komparátorů je vstupní napětíová nesymetrie neboli offset. Obecně můžeme rozlišit nesymetrii systematickou a náhodnou. Systematická nesymetrie je dána topologií, je přítomna u každého čipu, a tak s ní lze snadno počítat. Pro symetrické zapojení, kde se systematická nesymetrie neobjeví, můžeme náhodnou nesymetrii definovat jako statistický parametr, kdy zkoumáme míru odchylky od střední hodnoty v případě rozmítání výrobních parametrů jednotlivých součástek. [9] Hodnota, která slouží k porovnání jednotlivých výsledků, je směrodatná odchylka sledované veličiny značená σ . V našem případě budeme uvažovat rozptyl dvou veličin a to transkonduktančního parametru K_P a prahového napětí V_{th} . Tyto konstanty vykazují v případě simulačního modelu BSIM3 a BSIM4 slabou korelaci, ale pro účely ručního návrhu je budeme považovat za nekorelované. [10]

Proudovou nesymetrii unipolárního tranzistoru lze vyjádřit pomocí upravené Pelgromovy rovnice. [11]

$$\left(\frac{\sigma_{I_D}}{I_D}\right)^2 = \left(\frac{A_{K_P}^2}{W \cdot L} + S_{K_P}^2 + \frac{2 \frac{W}{L} \cdot K_P}{I_D} \cdot \left(\frac{A_{V_T}^2}{W \cdot L} + S_{V_T}^2 \right) \right) \quad (3.1.1)$$

V rovnici 3.1.1 můžeme vidět, že poměr rozptylu proudu tranzistorem a nominální hodnotou tohoto proudu je závislý na konstantách A_K , S_K , A_{V_T} a S_{V_T} , které jsou dány technologií. Dále zde potom závisí na ploše tranzistoru a na napětí V_{GS} . Pro přímý výpočet směrodatné odchylky lze rovnici 3.1.1 upravit.

$$\sigma_{I_D} = I_D \cdot \sqrt{ \frac{A_{K_P}^2}{W \cdot L} + S_{K_P}^2 + \frac{2 \frac{W}{L} \cdot K_P}{I_D} \cdot \left(\frac{A_{V_T}^2}{W \cdot L} + S_{V_T}^2 \right) }$$

Pro tranzistor pracující v saturaci pak můžeme psát:

$$\sigma_{I_D} = K_P \cdot (V_{GS} - V_{TH}) \cdot \sqrt{\frac{W}{L^3} \cdot \left(\frac{1}{4} \cdot (V_{GS} - V_{TH})^2 \cdot (A_{KP}^2 + S_{KP}^2 \cdot W \cdot L) + A_{VT}^2 + S_{VT}^2 \cdot W \cdot L \right)} \quad (3.1.2)$$

Z rovnice 3.1.2 vyplývá, že směrodatná odchylka proudu jednoho tranzistoru bude závislá především na délce kanálu, méně pak na šířce.

Jelikož je hodnota rozptylu proudu velmi malá v porovnání s jeho nominální hodnotou, můžeme předpokládat, že příliš neovlivní pracovní bod tranzistoru. Proto směrodatnou odchylku napětí V_{GS} můžeme psát pomocí rovnice 3.1.3, kdy g_m je transkonduktance daného tranzistoru.

$$\sigma_{V_{GS}} = \frac{\sigma_{I_D}}{g_m} \quad (3.1.3)$$

Pro odvození vztahu pro výpočet směrodatné odchylky vstupní napěťové nesymetrie zapojení Lewis-Gray z obrázku 7 předpokládejme vztah platící za podmínky, že oběma větvemi protéká stejný proud I_D . V takovém případě musí být na hradlech vstupních tranzistorů rozdíl napětí odpovídající offsetu. Tranzistory M5, M6, M9 a M10 zde slouží pouze jako přepínače a jejich vliv proto můžeme zanedbat. Změnu napětí na vstupech způsobenou rozptylem parametrů K_P a V_{TH} tranzistorů M1, M2, M3, M4, M7 a M8 můžeme vyjádřit jako geometrický součet všech těchto nekorelovaných vlivů.

$$\sigma_{V_{off}} = \frac{\sqrt{2} \cdot I_D}{g_{m1}} \cdot \sqrt{\sigma_{I_{D1}}^2 + \sigma_{I_{D2}}^2 + \sigma_{I_{D3}}^2}$$

$$\sigma_{V_{off}} = \frac{\sqrt{2} \cdot I_D}{g_{m1}} \cdot \sqrt{\frac{A_{KP1}^2}{W_1 \cdot L_1} + S_{KP}^2 + \frac{2 \frac{W_1}{L_1} \cdot K_{P1}}{I_D} \cdot \left(\frac{A_{VT}^2}{W_1 \cdot L_1} + S_{VT}^2 \right) + \frac{A_{KP3}^2}{W_3 \cdot L_3} + S_{KP}^2 + \frac{2 \frac{W_3}{L_3} \cdot K_{P3}}{I_D} \cdot \left(\frac{A_{VT}^2}{W_3 \cdot L_3} + S_{VT}^2 \right) + \frac{A_{KP5}^2}{W_5 \cdot L_5} + S_{KP}^2 + \frac{2 \frac{W_5}{L_5} \cdot K_{P5}}{I_D} \cdot \left(\frac{A_{VT}^2}{W_5 \cdot L_5} + S_{VT}^2 \right)} \quad (3.1.4)$$

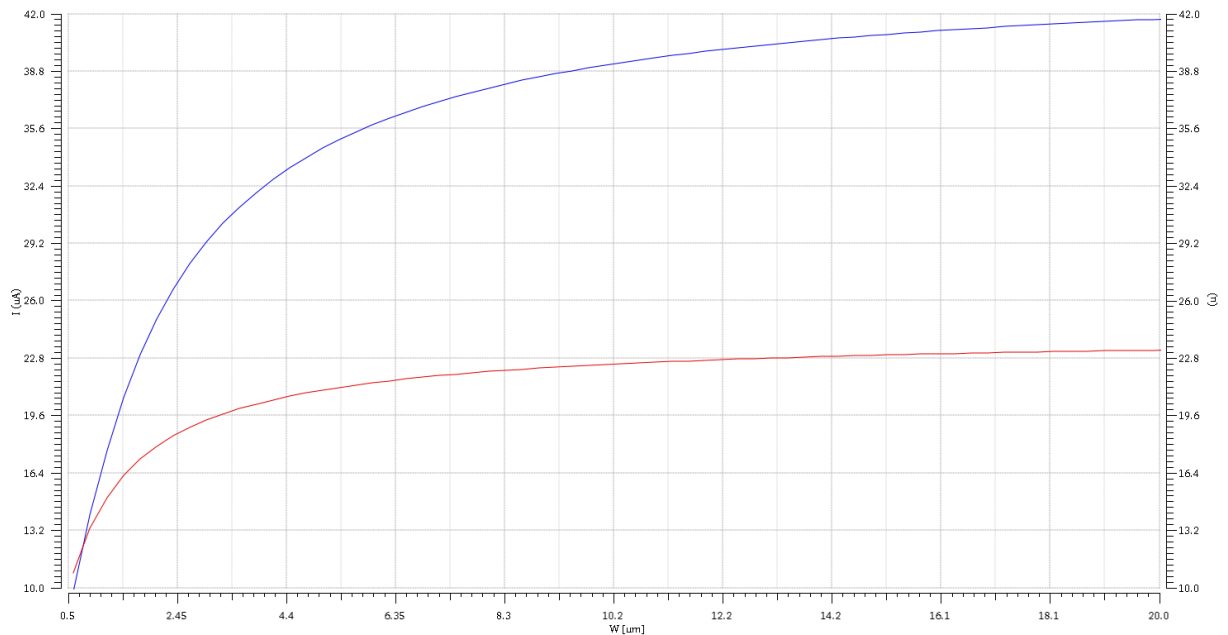
Z rovnice číslo 3.1.4 plyne, že dominantní vliv na velikost směrodatné odchylky offsetu bude mít proud a transkonduktance vstupního páru. Jelikož je vstupní pár tvořen tranzistory v lineárním režimu, bude jeho transkonduktance odpovídat vztahu číslo.

$$g_{m1} = K_{P1} \cdot \frac{W_1}{L_1} \cdot V_{DS} = \frac{I_D}{V_{GS} - V_{TH} - \frac{V_{DS}}{2}} \quad (3.1.5)$$

Po dosazení z rovnice číslo 2.3.1.1:

$$g_{m1} = \frac{I_D}{V_{GS} - V_{TH} - \frac{V_{DD} - 2V_{TH} - \sqrt{\frac{I_D}{\frac{1}{2} K_{PP} \cdot \frac{W_7}{L_7}}} - \sqrt{\frac{I_D}{\frac{1}{2} K_{PN} \cdot \frac{W_3}{L_3}}}}{2}} \quad (3.1.6)$$

Pokud rovnici číslo 3.1.6 srovnáme s rovnicí číslo 2.3.1.2, vidíme, že závislost proudu (modrá křivka) na poměru šířky a délky hradla vstupních tranzistorů vykazuje větší strmost než transkonduktance (červená křivka). Porovnání průběhů je na obrázku 14. Z této závislosti vyplývá, že pro dosažení co nejmenší směrodatné odchylky offsetu je nezbytné volit co možná nejmenší poměr velikostí W_1 a L_1 .



Obrázek 14: Porovnání změny proudu a transkonduktance se změnou W/L vstupního páru tranzistoru.

Ze zákona druhé odmocniny poté plyne, že zlepšovat jednu komponentu na úkor ostatních nemá smysl, jelikož to celkovou hodnotu offsetu příliš neovlivní. [12] Vzhledem k tomu, že transkonduktanční konstanta K_P pro triodový režim je znatelně vyšší než pro režim saturační, je zapotřebí, aby plocha vstupního páru byla největší.

Možností, jak problém související s nedostatečnou hodnotou transkonduktance eliminovat, je vynucení saturačního režimu u vstupního páru tranzistorů. Toho je možné dosáhnout pomocí zapojení SA na obrázku 11. Po krátkou dobu, kdy je zapojení ve vyhodnocovací fázi, pracují vstupní páry v saturačním režimu. Díky tomu je zvýšena hodnota transkonduktance, která odpovídá vztahu číslo 3.1.7.

$$g_{m_{sat}} = K_{P_{sat}} \cdot \frac{W_1}{L_1} \cdot (V_{GS} - V_{TH}) = \frac{2 \cdot I_D}{V_{GS} - V_{TH}} \quad (3.1.7)$$

Z této rovnice vidíme, že parametr transkonduktance nabývá mnohem větší hodnoty, než je tomu v případě lineárního režimu v rovnici číslo 3.1.5.

Dalšími možnostmi, jak upravit hodnotu offsetu je použití technik, které se uplatňují u operačních zesilovačů. Můžeme rozlišit mezi těmito třemi metodami:

- Trimování,
- Automatické nulování,
- Choppování.

3.1.1 Trimování

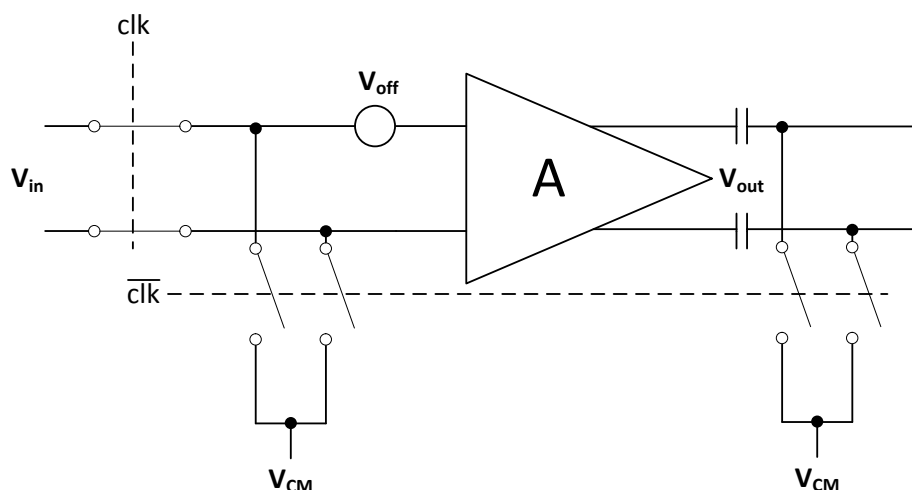
Trimování využívá měření napěťové nesymetrie při výrobě a následné nastavení napětí na vstupu obvodu pro redukci offsetu. To je realizováno pomocí soustavy přepínačů, které jsou většinou napevno nastaveny například přepálením vodivé cesty jako je tomu u paměti PROM. Ačkoliv je tato metoda poměrně jednoduchá, značně zpomaluje výrobu, jelikož se musí každý čip nastavit zvlášť. [1]

3.1.2 Automatické nulování

Automatické nulování je technika využívající vzorkování v diskrétním čase. V jedné fázi je napěťová nesymetrie navzorkována na paměťový prvek, nejčastěji kondenzátor. Existují tři základní topologie.

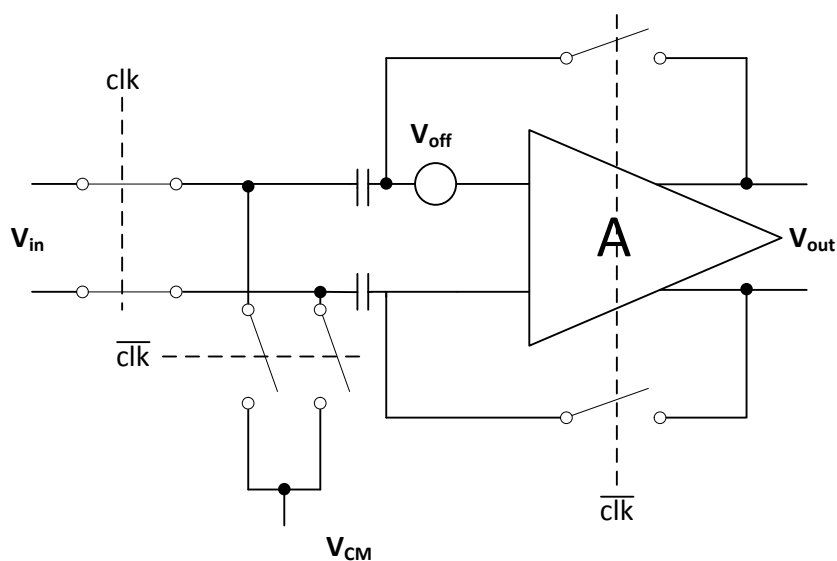
- Vzorkování na výstupu,
- Vzorkování na vstupu,
- Automatické nulování s pomocným zesilovačem. [12], [3]

Na obrázku 15 je topologie se vzorkováním napěťové nesymetrie na vstupu. Jak můžeme vidět, pokud je hodinový signál v log. 1, obvod se nachází ve stavu automatického nulování. Vstupy i výstupy obvodu jsou zkratovány ke společnému napětí. Nesymetrie na vstupu je modelována pomocí zdroje napětí V_{off} . Z této základní představy plyne, že je tato topologie nevhodná pro dynamické komparátory, jelikož zde není zavedená zpětná vazba, která by bránila postupnému zasaturování výstupu.



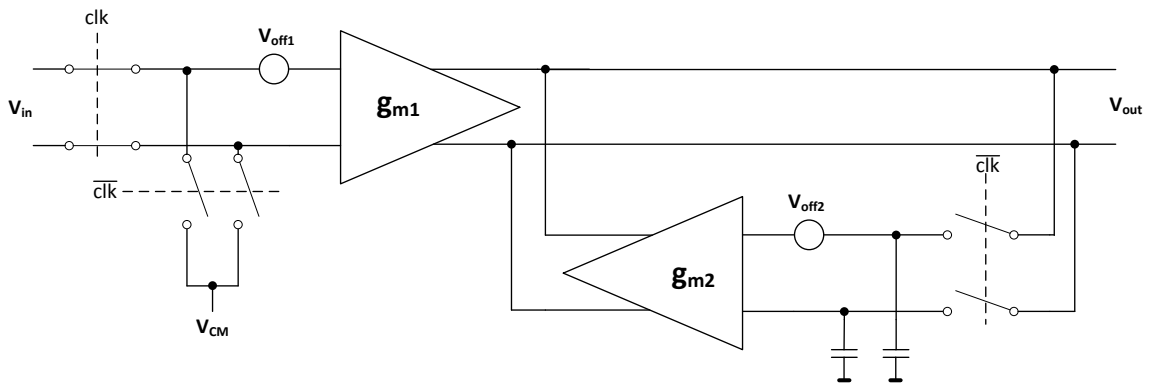
Obrázek 15: Topologie pro nulování offsetu využívající vzorkování na výstupu. [12]

Na obrázku 16 je topologie se vzorkováním napěťové nesymetrie na vstupu. Funguje podobně jako výše zmíněná topologie s tím rozdílem, že se zde využívá zpětné vazby, díky níž v průběhu vzorkování je na vstupních kapacitách uložena záporně vzatá hodnota offsetu.



Obrázek 16: Topologie pro nulování offsetu využívající vzorkování na vstupu. [13]

Nevýhodou obou předcházejících zapojení je fakt, že paměťové kapacity leží přímo v cestě signálu, a zvyšují tak přenosové zpoždění. [3] Abychom tento problém eliminovali, je vhodné použití pomocného zesilovače. Topologie automatického nulování při použití pomocného zesilovače je na obrázku 17.

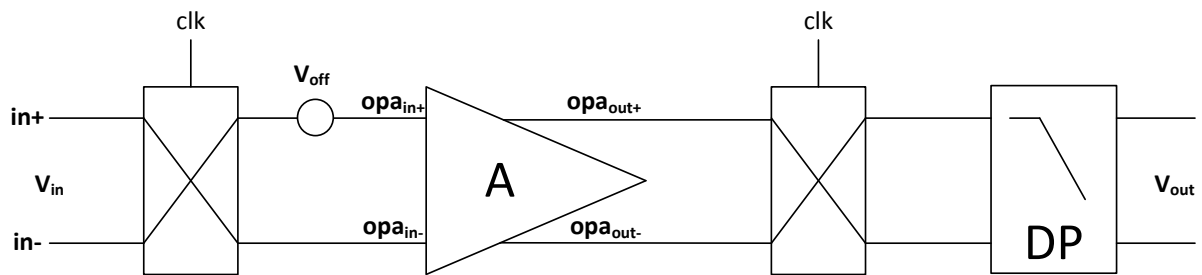


Obrázek 17: Automatické nulování s pomocným zesilovačem. [13]

Pomocný zesilovač musí mít větší zisk než latch buňka komparátoru, aby nedošlo k zasaturování výstupních větví, a tak ke znehodnocení měření.

3.1.3 Choppování

Technika choppování je založena, jak lze poznat z názvu, na „rozsekání“ průběhu v čase na menší díly, kdy dochází k výměně diferenčních vstupů a výstupů mezi sebou. Tento princip je ilustrován na obrázku 18.



Obrázek 18: Princip choppování [3]

Jak vyplývá z obrázku 18, v jedné fázi jsou větve spojeny přímo. Signál připojený na vstup $in+$ tak ovlivňuje vstup označený opa_{in+} . Jestliže je $V_{in+} > V_{in-}$, poté na výstupu operačního zesilovače platí, že $V_{opa_{out+}} > V_{opa_{out-}}$. V druhé fázi přichází signál z $in+$ na opa_{in-} . Proto poté pro výstup operačního zesilovače platí $V_{opa_{out+}} < V_{opa_{out-}}$. Vstupní napěťová nesymetrie tak ovlivňuje střídavě oba vstupy. Jestliže tuto střídavou složku odstraníme filtrem typu dolní propust, dostáváme signál neovlivněný offsetem. [3]

Ačkoliv je tato technika hojně využívána u operačních zesilovačů, pro komparátory má pouze omezené použití. Je tomu tak proto, že v případě, kdy jsou vstupní signály napěťově natolik blízké, že zasahují do oblastí napěťové nesymetrie, bude se na výstupu střídavě objevovat kladná či záporná hodnota převodu. Jedinou možností, jak zjistit hodnotu napěťové nesymetrie, je odečíst počet pulzů, při kterých nastává nejistota pomocí předem známých signálů s definovanou strmostí. Z této hodnoty pak dostáváme velikost napěťové nesymetrie. Pro účely této práce jde však o nevyhovující řešení.

3.2 Přenosové zpoždění

Dalším důležitým parametrem, který je vhodné sledovat jak v případě klasických, tak dynamických komparátorů, je přenosové zpoždění. Jedná se o dobu, kdy se informace na vstupu přeneše na výstup. [4] V našem případě jde o dobu od začátku vyhodnocovací fáze do chvíle, kdy výstupní napětí $V_{OUT} = V_{OUT+} - V_{OUT-}$ nabývá poloviny napájecího napětí.

Zatímco směrodatnou odchylku vstupní napěťové nesymetrie lze chápat jako statický parametr a analýzu obvodu provádět v ustáleném stavu, přenosové zpoždění je typický dynamický parametr, který je řešitelný pomocí diferenciálních rovnic. Podle [14] však můžeme s dostatečnou přesností provést výpočet podle rovnice 3.1. Podle tohoto vztahu se každá změna na vstupu zesílí na výstup a roste exponenciálně s časem.

$$V_{out} = V_{in} \cdot \frac{A_1}{A_2} \cdot e^{\frac{A_2}{r_{out} \cdot C} \cdot t} \quad (3.2.1)$$

Vzhledem k definici přenosového zpoždění můžeme rovnici upravit pro výpočet daného parametru.

$$t_P = \frac{r_{out} \cdot C}{A_2} \cdot \ln \left(\frac{A_2}{A_1} \cdot \frac{\frac{1}{2} \cdot V_{DD}}{V_{in}} \right) \quad (3.2.2)$$

V rovnici 3.2.2 vidíme, že přenosové zpoždění je závislé na výstupním odporu r_{out} , celkové kapacitě C , zesílení ze vstupu na výstup A_1 , zesílení mezi invertory A_2 a rozdílem vstupních napětí V_{in} . Jestliže aplikujeme rovnici 3.2.2 na zapojení Lewis-Gray z obrázku 7 a pro jednoduchost budeme předpokládat, že $g_{mM3} = g_{mM4} = g_{mM7} = g_{mM8}$, dostáváme po zjednodušení rovnici 3.2.3. [14]

$$t_P = C \cdot \frac{2g_{dsM1} + g_{mM3}}{g_{mM3} \cdot (4g_{dsM1} + g_{mM3})} \cdot \ln \left(\frac{4g_{dsM1} + g_{mM3}}{g_{mM1}} \cdot \frac{\frac{1}{2} \cdot V_{DD}}{V_{in}} \right) \quad (3.2.3)$$

Celkovou kapacitu můžeme vyjádřit jako součet vstupní kapacity dalšího členu C_{OUT} , ke které je obvod připojen, a kapacity invertorů. Předpokládejme, že délky hradel tranzistorů M3 – M8 jsou stejné. Poté můžeme kapacitu invertorů popsat rovnicí 3.2.4.

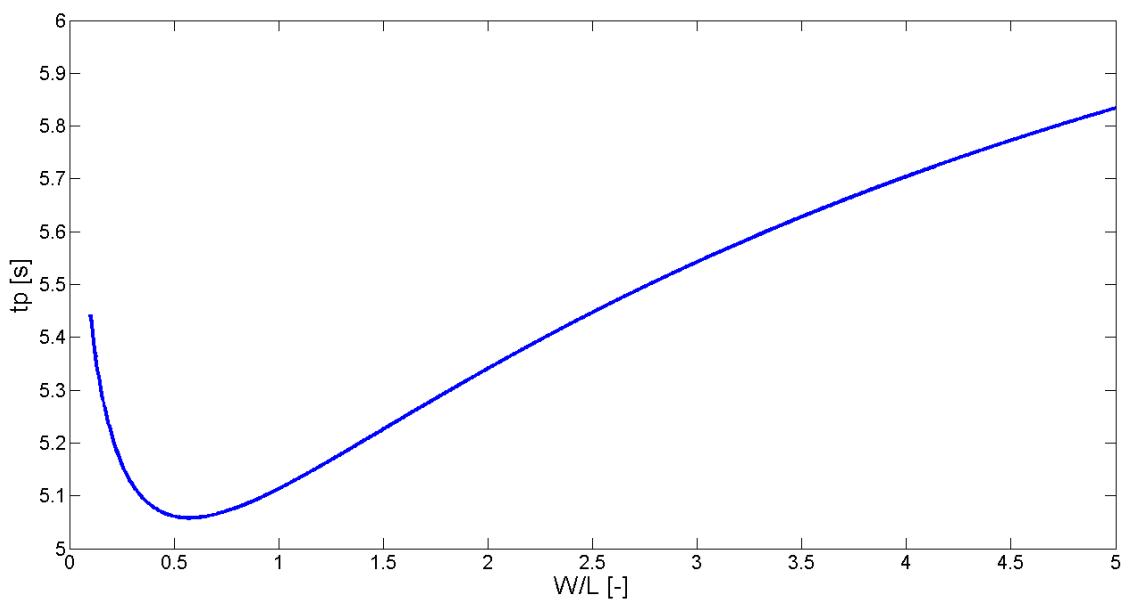
$$C_{INV} = C_{OX} \cdot (W_{M3} + W_{M7}) \cdot L_{M3} = C_{OX} \cdot \left(1 + \frac{K_{Pn}}{K_{Pp}} \right) \cdot W_{M3} \cdot L_{M3} \quad (3.2.4)$$

Pokud doplníme rovnici 3.2.4 do rovnice 3.2.3, dostáváme vztah pro výpočet přenosového zpoždění t_P v závislosti na velikostech hradel tranzistorů, velikostem vstupních napětí i jejich rozdílu v rovnici 3.2.5. [14]

$$t_p = C_{OUT} + C_{OX} \cdot \left(1 + \frac{K_{Pn}}{K_{Pp}}\right) \cdot W_{M3} \cdot L_{M3} \cdot \frac{K_{Pn} \frac{W_3}{L_3} V_{GS3} + 2K_{P_{M1}} \frac{W_1}{L_1} V_{GS1}}{K_{Pn} \frac{W_3}{L_3} V_{GS3} \cdot (K_{Pn} \frac{W_3}{L_3} V_{GS3} + 4K_{P_{M1}} \frac{W_1}{L_1} V_{GS1})} \cdot \ln \left(\frac{V_{GS1} + V_{GS2}}{K_{Pn} \frac{W_3}{L_3} V_{GS3}^2} \cdot \frac{V_{DD}}{V_{in}} \cdot (4K_{P_{M1}} \frac{W_1}{L_1} V_{GS1} + K_{Pn} \frac{W_3}{L_3} V_{GS3}) \right) \quad (3.2.5)$$

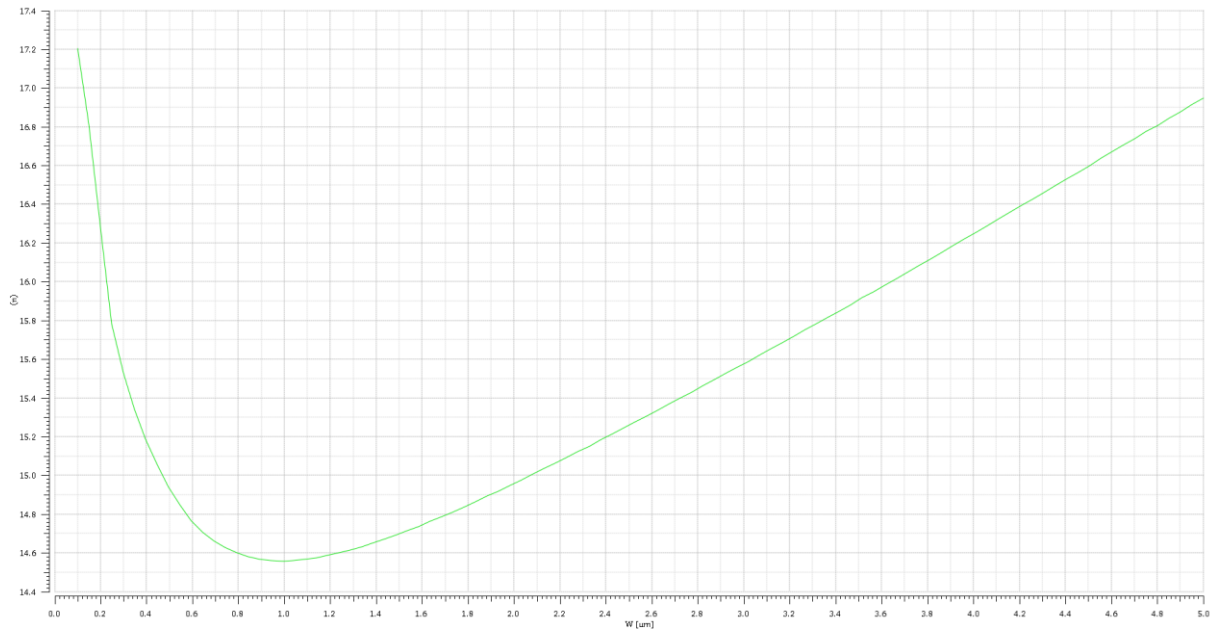
Z rovnice 3.2.5 můžeme vyčíst, že největší vliv na rychlost bude mít poměr šířky a délky hradel tranzistorů, zvláště pak tranzistorů vstupního páru, jelikož jejich poměr ovlivňuje proud, který obvodem protéká a zároveň velikost kapacity v obvodu. To za předpokladu, kdy uvažujeme konstantní (minimální) délku a zvětšujeme šířku. Je tak třeba volit tranzistory s co nejmenší možnou délkou. Tento požadavek tak jde přesně proti pravidlům pro návrh komparátoru s malou vstupní napětíovou nesymetrií. Proto je třeba vždy uvažovat, který parametr má přednost, popřípadě najít kompromis.

Na obrázku 19 je normovaná závislost přenosového zpoždění na poměru šířky a délky hradel tranzistorů tvořících invertory spočítaná programem Matlab podle vztahu 3.2.5. Jak můžeme vidět, křivka v určitém bodě nabývá svého minima a poté začíná opět růst.



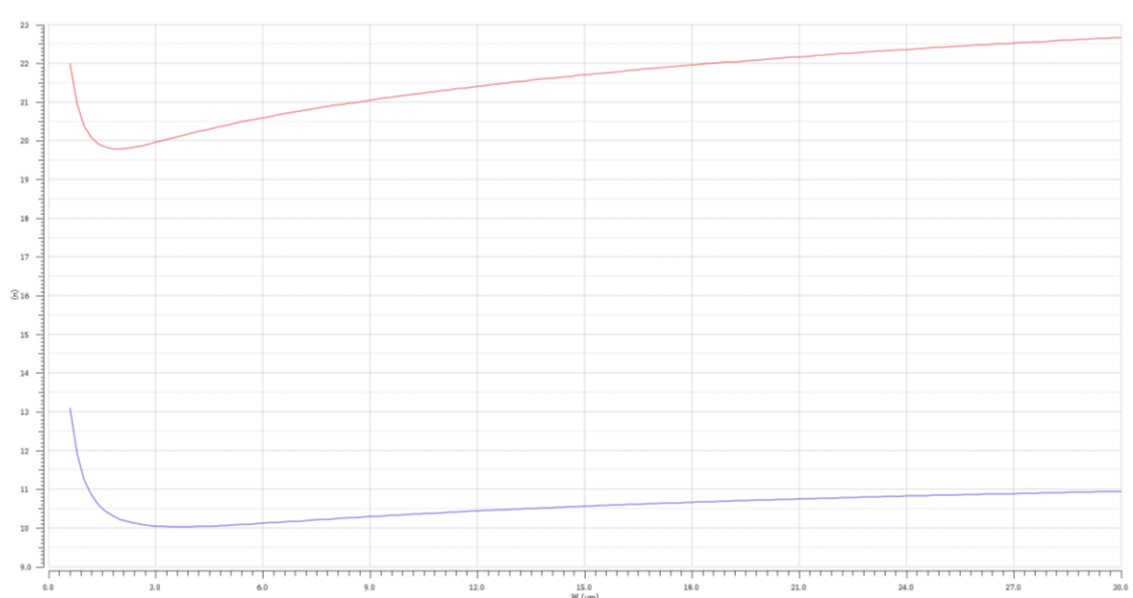
Obrázek 19: Vypočítaná závislost změny přenosového zpoždění se změnou W/L tranzistorů invertorů.

Proč tomu tak je, vysvětluje rovnice 2.3.1.2 a její průběh na obrázku 8. Se zvyšováním poměru $\frac{W}{L}$ podle této rovnice dochází k saturaci proudu. Kapacita v obvodu však dále roste, což způsobí, že od určitého bodu začne zpoždění naopak narůstat. Na obrázku 20 je závislost přenosového zpoždění na poměru $\frac{W}{L}$ tranzistorů M3 a M4. Můžeme zde pozorovat, že jakmile přestává proud stoupat s větší derivací než 1, začíná se více projevovat kapacita. Po saturaci proudu pak se zvyšujícím se poměrem $\frac{W_3}{L_3}$ narůstá i přenosové zpoždění.



Obrázek 20: Odsimulovaná závislost přenosového zpoždění na poměru W/L tranzistorů M3 a M4.

Pozice minima funkce závislost přenosového zpoždění na poměru W/L tranzistorů M3 a M4, kdy dochází ke změně monotónnosti, je závislá na průběhu změny proudu a na místě jeho saturace. Na obrázku 21 je srovnání závislosti přenosového zpoždění na změně šířky kanálu vstupních tranzistorů pro schéma Lewis-Gray z obrázku 7, kdy tranzistory M3 a M4 mají pro modrou křivku na obrázku 21 šestinovou délku hradla ($L_{M3} = L_{M4} = 1 \text{ um}$), než je tomu v případě červeného průběhu ($L_{M3} = L_{M4} = 6 \text{ um}$).



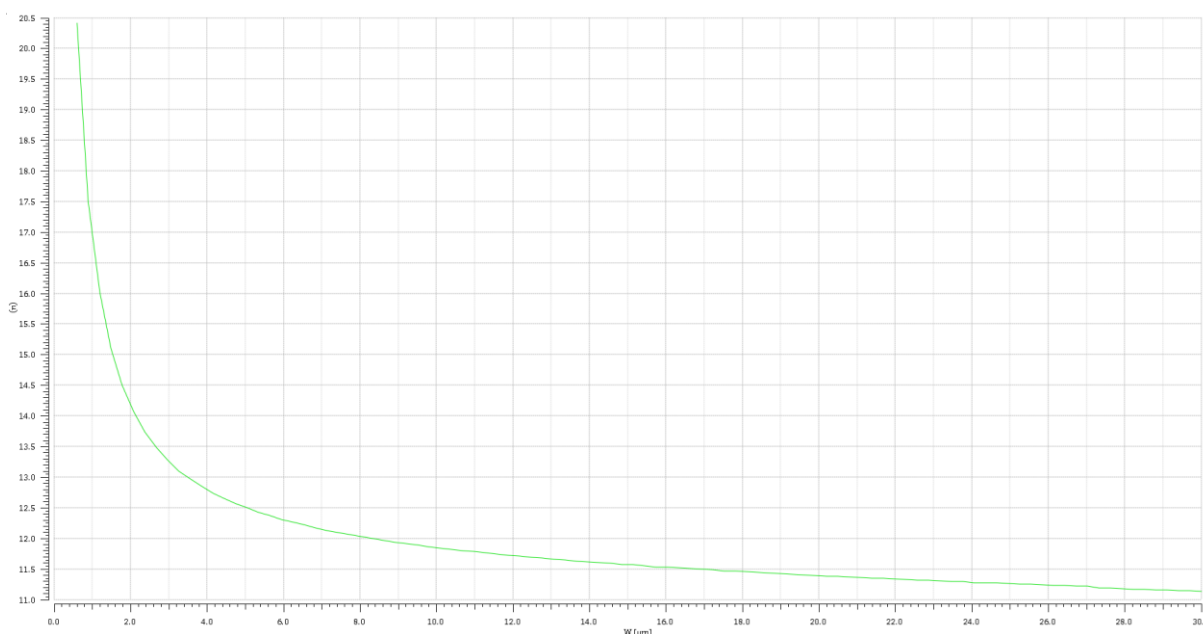
Obrázek 21: Odsimulovaná závislost zpoždění na poměru W/L vstupních tranzistorů, $L = 1 \text{ um}$ (modrá), $L = 6 \text{ um}$ (červená).

Jak můžeme vidět, pro tranzistory invertoru s menší délkou se začíná transportní zpoždění zvyšovat až při vyšších poměrech $\frac{W}{L}$. Je to dáno tím, že na tranzistorech invertoru je díky menší

délce kanálu menší úbytek napětí, a tak se zvýší V_{DS} na vstupních tranzistorech pracujících v triodovém režimu. Při návrhu orientovaném na velikost zpoždění je tak vždy potřeba dbát na to, abychom zvolili místo, kde nabývá transportní zpoždění nejmenší hodnoty.

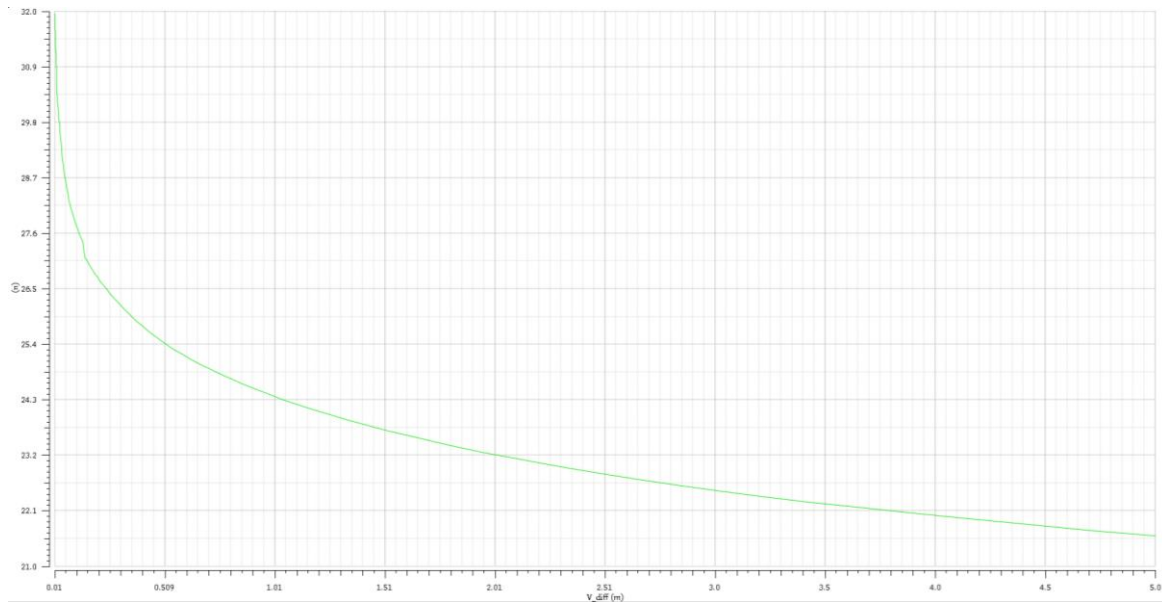
Nevýhoda spojená se zvyšováním zpoždění s rostoucím poměrem $\frac{W}{L}$ může být eliminována pomocí zapojení Sense Amplifier na obrázku 12, popřípadě Double tail na obrázku 13. Díky tomu, že tranzistory na počátku vyhodnocovací fáze pracují v saturačním režimu, bude jimi při zvyšování $\frac{W}{L}$ protékat větší proud. Na obrázku 22 je výsledek simulace pro zapojení SA, kdy tranzistory invertoru byly nastaveny stejně jako je tomu v případě simulace na obrázku 20. Na vodorovné ose je rozmítána šířka vstupních tranzistorů při konstantní délce.

Na obrázku 22 můžeme vidět, že se zvyšováním šířky hradla se přenosové zpoždění limitně blíží určité hodnotě. Je tak zbytečné zvyšovat šířky hradel nade všechny meze, jelikož pokles zpoždění se s rostoucí šířkou hradla zpomaluje.



Obrázek 22: Odsimulovaná závislost zpoždění na šířce vstupních tranzistorů, $L = 6 \mu\text{m}$ pro zapojení Sense Amplifier komparátor.

Z rovnice 3.2.5 dále vyplývá, že se přenosové zpoždění bude měnit s velikostí napětí V_{in} , tedy s rozdílem $V_{in+} - V_{in-}$. Jestliže jsou napětí na vstupech stejná, může teoreticky nastat (pro ideálně symetrický obvod) stav, kdy bude hodnota zpoždění nekonečná. Na obrázku 23 je závislost přenosového zpoždění na rozdílu vstupních napětí pro obvod Lewis – Gray. Pro porovnání komparátorů mezi sebou je tak vhodné stanovit si vstupní napětí, ke kterému toto zpoždění a také maximální frekvenci měřit.



Obrázek 23: Závislost přenosového zpoždění na rozdílu vstupních napětí komparátoru Lewis - Gray.

3.3 Spínací rušení

Spínací rušení (kickback noise) je, jak již název napovídá, signál, který vzniká při spínání dynamických komparátorů při přechodu mezi vyhodnocovacím a resetovacím režimem. Je dán prudkou změnou napětí na hradlech spínacích tranzistorů, která způsobí, že se obvod dostane do nového stavu. Zvláště nebezpečný je z důvodu možného překlopení komparátoru do špatného stavu. Tento jev lze eliminovat použitím diferenční struktury komparátoru. Dalším nepříznivým jevem spínacího rušení je skutečnost, že se objevuje na vstupních napětích komparátoru, což je v případě použití napěťových referencí na jednom ze vstupů, které slouží pro další části systému, nežádoucí. [15]

Vznik spínacího rušení lze ukázat například na zapojení double tail z kapitoly 2 na obrázku 13. Předpokládejme, že se obvod nachází v resetovací fázi. Hodinový signál CLK se nachází v logické 0 a napětí na vstupních svorkách jsou stejná. Potom náboj, jež se nachází na hradle vstupních tranzistorů odpovídá rovnici 3.3.1.

$$Q_{G_{off}} = V_{CM} \cdot C_{GB} + V_{GS} \cdot C_{GS} + (V_{CM} - V_{DD}) \cdot C_{GD} \quad (3.3.1)$$

Napětí V_{CM} odpovídá souhlasnému vstupnímu napětí na hradlech tranzistorů M1 a M2. V případě, kdy přijde náběžná hrana hodinového signálu, tranzistory M3 a M4 jsou vypnuty. Tranzistor M0 je plně sepnut a elektrody Source vstupních tranzistorů jsou tak sepnuty k zemnímu potenciálu. Díky tomu se tranzistory M1 a M2 dostávají do saturační oblasti. Náboj indukovaný skrze kanál v tento okamžik můžeme popsat pomocí rovnice 3.3.2. [16]

$$Q_{Ch_{sat}}(t) = -\frac{2}{3} W \cdot L \cdot C_{OX} \cdot (V_{CM} - V_{DM0}(t) - V_{TH}) \quad (3.3.2)$$

Člen V_{DM0} odpovídá napětí na elektrodě Drain tranzistoru M0. Náboj na hradle v saturačním režimu pak lze vyjádřit pomocí rovnice 3.3.3.

$$Q_{G_{sat}}(t) = -Q_{Ch_{sat}}(t) + (V_{CM} - V_{DM0}(t)) \cdot C_{GS} + (V_{CM} - V_{DM1}(t)) \cdot C_{GD} \quad (3.3.3)$$

Člen V_{DM1} odpovídá napětí na elektrodě Drain tranzistoru M1. Skrz tranzistory tečou proudy odpovídající vstupnímu napětí. Odčerpávají tak náboj uložený na hradlech tranzistorů M7 a M8. Díky tomu klesá napětí V_{DM1} . Jakmile poklesne pod hodnotu $V_{in} - V_{TH}$, přecházejí vstupní tranzistory do triodového režimu. Náboj indukovaný skrze kanál v tento okamžik můžeme popsat rovnicí 3.3.4.

$$Q_{Ch_{tr}}(t) = -W \cdot L \cdot C_{OX} \cdot (V_{CM} - V_{DM0}(t) - V_{TH}) \quad (3.3.4)$$

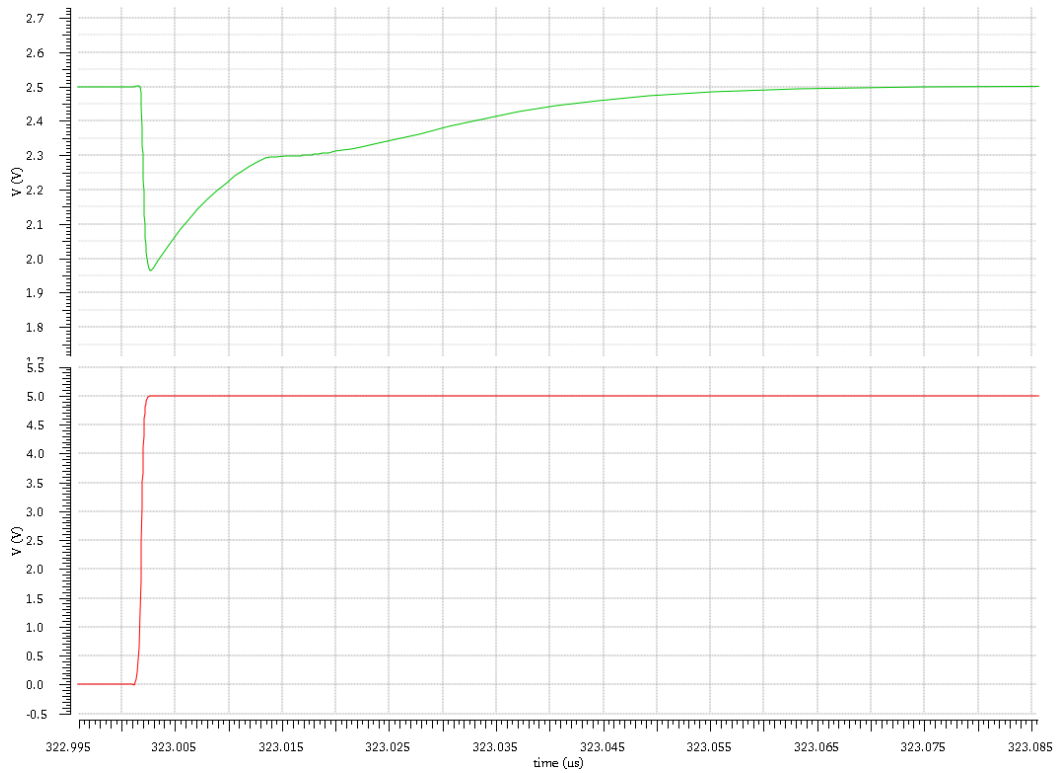
Stejně jako v případě saturačního režimu slouží kanál jako stínění mezi hradlem a substrátem, a proto můžeme kapacitu C_{GB} zanedbat. Náboj na hradle v triodovém režimu lze vyjádřit pomocí rovnice 3.3.5. [16]

$$Q_{G_{tr}}(t) = -Q_{Ch_{tr}}(t) + (V_{CM} - V_{DM0}(t)) \cdot C_{GS} + (V_{CM} - V_{DM1}(t)) \cdot C_{GD} \quad (3.3.5)$$

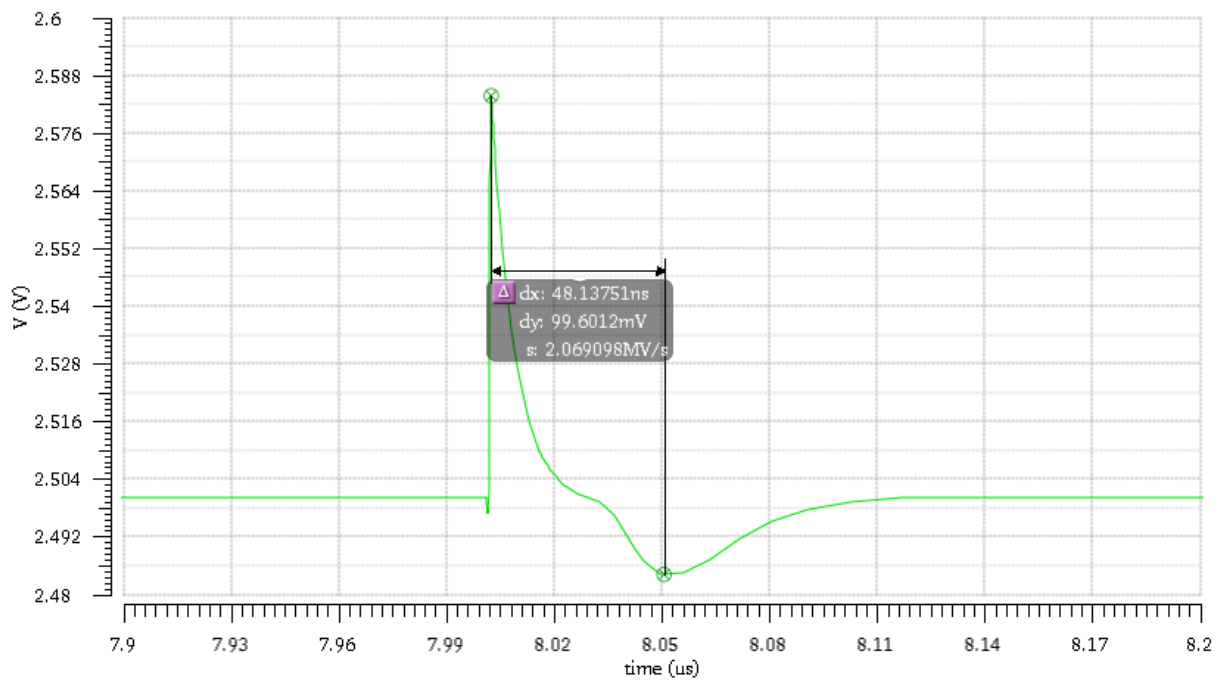
Jak můžeme z rovnic 3.3.1 až 3.3.5 vidět, napětí V_{DM0} a V_{DM1} se v čase mění. Tento fakt tak způsobuje změnu náboje na hradlech vstupních tranzistorů, což způsobí generování rušení do vstupů tranzistorů.

Na obrázku 24 můžeme vidět průběh vstupního signálu pro výše popsané zapojení. Červený průběh reprezentuje hodinový signál. Zelený průběh pak vstupní napětí. Jak můžeme vidět, z vypnutého stavu nejdříve přechází tranzistory do saturačního režimu. Poté, když strmost křivky klesá, se obvod dostává do triodové oblasti.

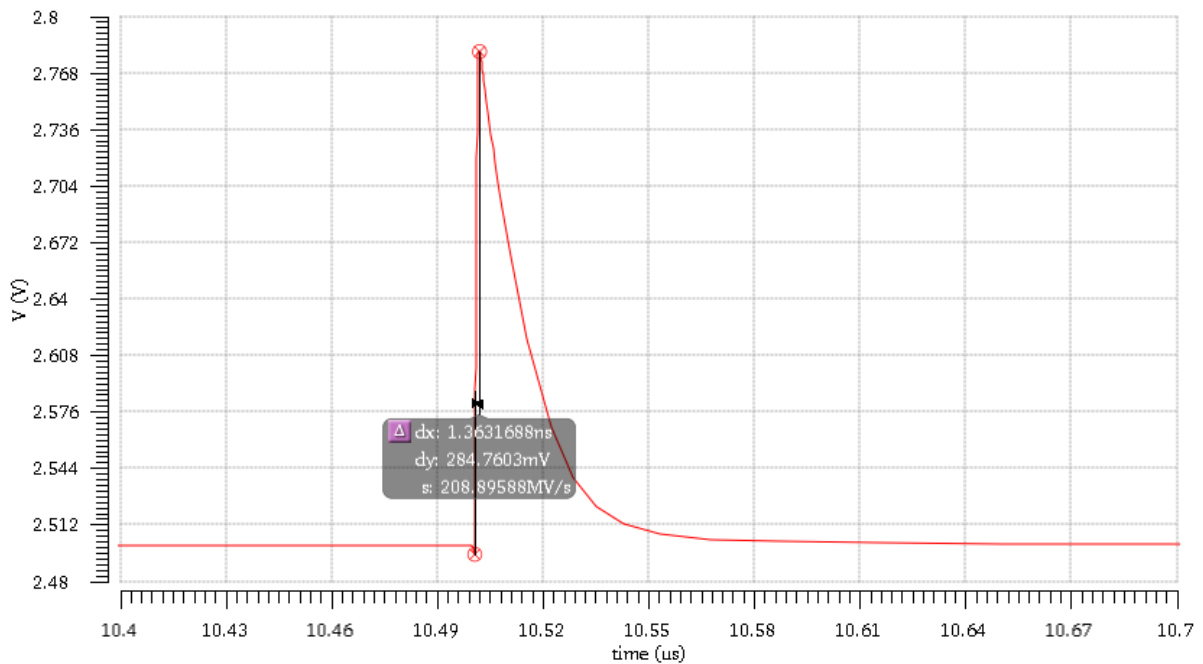
Z hlediska zapojení, která byla zmíněna v kapitole 2, vychází nejlépe topologie Lewis – Gray, která nemá vstupní tranzistory přímo spínané k jinému napětí. [6] Naproti tomu topologie Double tail a Sense Amplifier mají vstupní tranzistory sepnuty k zemnímu potenciálu ve vyhodnocovací fázi, zatímco ve fázi resetovací je tranzistor M0 rozpojen a vstupní tranzistory jsou tak odpojeny od větve V_{ss} . Při přechodu mezi jednotlivými fázemi tak dochází ke značné generaci rušení zpět do vstupů. Na obrázku 25 je znázorněno vstupní napětí komparátoru v čase, kdy dochází ke změně stavu z vyhodnocovacího do resetovacího režimu pro zapojení Lewis – Gray. Na obrázku 26 je pak průběh vstupního referenčního signálu pro stejné podmínky se zapojením SA.



Obrázek 24: Detail spínacího rušení pro zapojení Double tail



Obrázek 25: Spínací rušení pro zapojení Lewis-Gray



Obrázek 26: Spínací rušení pro zapojení SA.

Jak můžeme z obrázků 25 a 26 vidět, spínací rušení pro zapojení Sense Amplifer vykazuje mezivrcholovou hodnotu větší než v případě topologie Lewis – Gray.

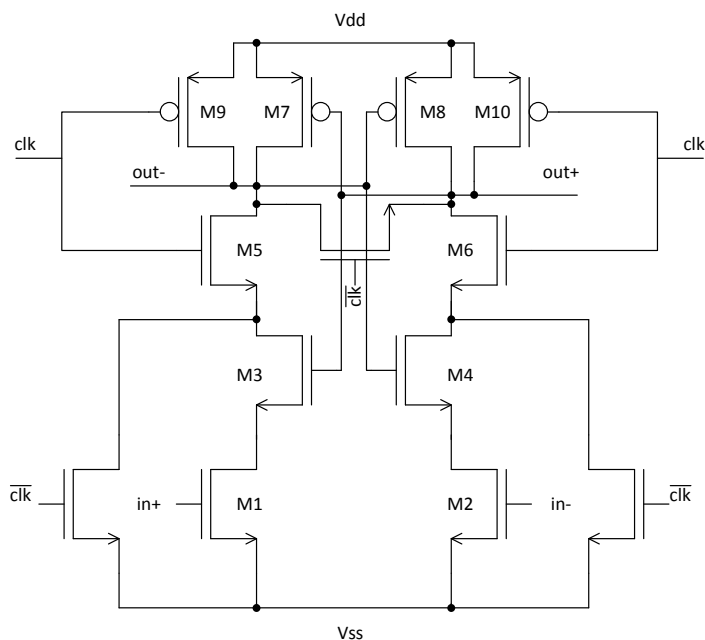
Velikost spínacího rušení je závislá na velikosti parazitních kapacit tranzistorů, zvláště pak kapacit mezi hradlem a elektrodou drain vstupních tranzistorů. Jednou z možností, jak toto rušení omezit, je zmenšení tranzistorů na vstupech. To však přináší zásadní nevýhody z hlediska offsetu. Další možností je použití MOS kapacit, které jsou zapojeny tak, aby eliminovaly změny, které při přepínání nastávají. Díky tomu však dochází také k celkovému zpomalení obvodu, jelikož většinou tečou nižší proudy. [16]

Tento jev lze také potlačit použitím předzesilovače, který svým ziskem rušení potlačí. Takový zesilovač musí mít minimální statickou spotřebu, dostatečný zisk a velmi malou vstupní napěťovou nesymetrii.

4 Porovnání dynamických komparátorů

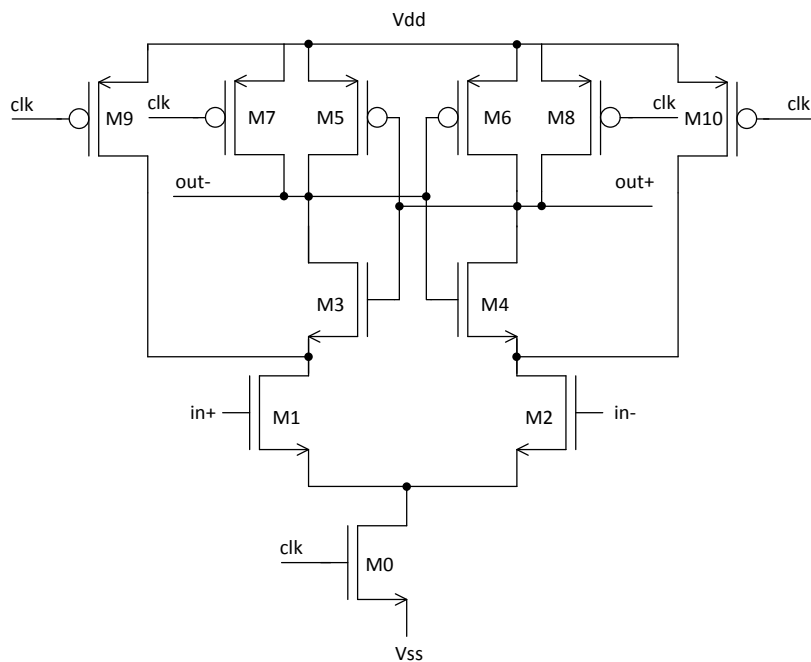
Na základě informací o návrhu pro dosažení parametrů v kapitole 3 byly navrženy 3 typy dynamických komparátorů – topologie Lewis – Gray, Sense Amplifer a Double tail. Návrh se předně soustředil na dosažení nízké hodnoty směrodatné odchylky vstupní napěťové nesymetrie. Na obrázku 27 je navrženo zapojení založené na topologii Lewis – Gray. Pro zlepšení parametrů byly přidány tři spínací tranzistory.

Na obrázku 28 je poté upravená struktura SA. Pro snížení napěťové nesymetrie jsou zde přidány dva tranzistory, které na počátku vyhodnocovací fáze prodlouží dobu, kdy se vstupní tranzistory nacházejí v saturační oblasti a mají tak vyšší hodnotu transkonduktance. Zapojení Double tail bylo ponecháno tak, jak je zobrazeno na obrázku 13.



Obrázek 27: Navržené zapojení Lewis – Gray.

V tabulce 1 jsou tyto tři struktury srovnány z hlediska proudové spotřeby, vstupní napěťové nesymetrie, přenosového zpoždění, spínacího rušení a přibližné plochy obvodu, která je vypočtena z plochy hradel tranzistorů. Všechna zapojení byla odsimulována prostřednictvím Cadence Virtuoso pomocí rozmítání parametrů v časové simulaci za použití metody Monte Carlo při sto bězích. Referenční napětí připojené na vstup in- bylo nastaveno na 2,5 V, vstup in+ byl rozmítán od 2,48 V do 2,52 V za dobu 1 ms při vzorkovací frekvenci 200 kHz. Rampa na vstupu in+ tedy stoupala po danou dobu a poté klesla se stejnou strmostí na původních 2,48 V, aby bylo možné ověřit, zda se obvod bude chovat stejně pro náběžnou i sestupnou hranu. Výsledky pro náběžnou i sestupnou hranu jsou až na nepatrné rozdíly shodné, což potvrzuje velmi symetrickou strukturu zapojení.



Obrázek 28: Navržené zapojení SA.

Na rozdíl od spojitých komparátorů, kde zpoždění můžeme popsat pomocí doby, která uplyne od prudké změny vstupních napětí po změnu na výstupech, a tak nemá smysl volit vstupní rozdílové napětí menší, než je velikost offsetu, u dynamických komparátorů se jedná o dobu rozhodnutí, jak budou výstupy rozváženy. Proto není problém volit vstupní rozdílové napětí prakticky jakékoliv velikosti. Pro porovnání parametrů bylo přenosové zpoždění změřeno pro rozdíl vstupních napětí 10 mV.

Tabulka 1: Srovnání navržených dynamických komparátorů.

	Parametr	Spotřeba [nA]	Offset [mV]	Zpoždění [ns]	Rušení [mV]	Plocha [μm^2]
LG	Min	226,10	-11,78	56,33	16,13	77
	Průměr	228,50	0,16	65,32	16,37	
	Max	230,70	12,42	76,10	16,59	
	σ	0,80	5,26	4,77	0,10	
SA	Min	153,70	-8,38	32,34	353,20	85
	Průměr	154,70	0,09	34,63	353,60	
	Max	155,50	10,22	37,03	354,20	
	σ	0,39	3,54	1,20	0,19	
DT	Min	424,10	-7,58	20,90	576,30	210
	Průměr	425,10	0,44	22,80	578,50	
	Max	426,00	10,42	22,02	580,90	
	σ	0,37	3,13	0,40	0,90	

Při srovnání parametrů z tabulky 1 můžeme jasně vidět, že nejlepší výsledky v rámci směrodatné odchylky vstupní napěťové nesymetrie a přenosového zpoždění vykazuje zapojení Double tail (DT). To však také zabírá mnohem větší plochu než ostatní zapojení. Z hlediska plochy jsou zapojení Lewis – Gray (LG) a Sense Amplifier (SA) srovnatelné. SA má výrazně nižší jak zpoždění, tak napěťovou nesymetrii ovšem za cenu výrazně vyššího spínacího rušení. Zatímco v případě zapojení Lewis – Gray se jedná o mezivrcholovou hodnotu přibližně 16 mV, pro zapojení SA je velikost rušení přibližně o řád vyšší. Pro zapojení LG platí, že se snižující se napěťovou nesymetrií roste přenosové zpoždění. Nelze tak dosáhnout stavu, kdy bude obvod přesný a zároveň rychlý. V případě zapojení SA a DT však zvyšováním šířky hradla při dostatečné délce (pro potlačení nesymetrie K_P a V_{TH}) můžeme zvyšovat díky částečně saturačnímu režimu transkonduktanci vstupních hradel. Skrze toto g_m jsou poté nepřesnosti invertorů potlačeny a obvod má vstupní napěťovou nesymetrii rovnou pouze nesymetrii vstupních tranzistorů. Jelikož se proudová nesymetrie zvyšuje s rostoucí šířkou jen velmi málo, zatímco transkonduktance roste v saturačním režimu lineárně, lze dosáhnout stavu, kdy obvod bude rychlý a přesný. Problémem je v tomto případě spínací rušení. S rostoucí šířkou hradel vstupních tranzistorů narůstá proud, který jimi protéká. Proto také roste významně spínací rušení, které dosahuje řádově až jednotky voltů. Možným řešením tak může být použití předzesilovače, který toto rušení sníží svým ziskem a zároveň potlačí napěťovou nesymetrii dynamického komparátoru. Předzesilovač dále zajistí potlačení vlivu souhlasného napětí na vstupech komparátoru a může zajistit větší vstupní napěťový rozsah.

5 Návrh dynamického komparátoru

Pro návrh dynamického komparátoru jsem se rozhodl použít kombinaci dynamického komparátoru, který zajistí nízkou spotřebu při zachování vysoké rychlosti, a předzesilovače, který slouží pro omezení napěťové nesymetrie a souhlasného vstupního napětí. Provedené simulace odpovídají nastavení z kapitoly 4. Výsledky Monte Carlo platí pro 200 běhů.

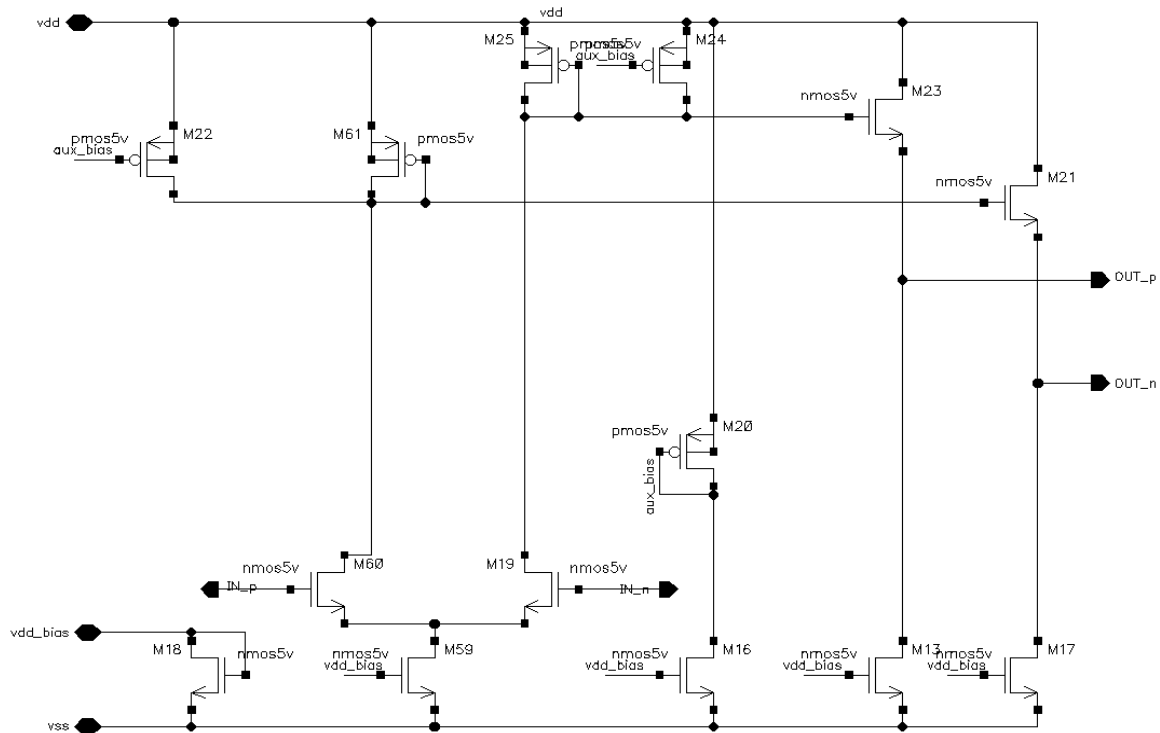
5.1 Předzesilovač s diodovou zátěží

První návrh komparátoru vychází z upraveného dynamického komparátoru typu Lewis – Gray z obrázku 27, který vyniká zejména nízkým spínacím šumem. Pro další potlačení tohoto šumu a zlepšení vstupní napěťové nesymetrie je na jeho vstup zařazen předzesilovač, jehož schéma je na obrázku 29. Základem je jednoduchý diferenční stupeň s diodovou zátěží. Ta zde nahrazuje rezistorovou zátěž kvůli úspoře plochy obvodu. Jelikož je výstupní dynamická impedance obvodu dána změnou napětí s proudem, můžeme zesílení vyjádřit vztahem 5.1.

$$A = \frac{g_{m_{M1M2}}}{g_{m_{M3}}} \quad (5.1)$$

Zesílení obvodu tak není vysoké. Vstupní tranzistory mají proto velkou šířku ($W_1 = 20 \mu\text{m}$) a zároveň jsou z důvodu napěťové nesymetrie dostatečně dlouhé ($L = 4$). Pro snížení transkonduktance diodové zátěže a zvýšení dynamické impedance jsou k tranzistorům zátěže

paralelně připojeny tranzistory M22 a M24. Ty odebírají dvě třetiny proudu tekoucího do elektrody drain vstupních tranzistorů. Díky tomu jsou proudy tekoucí zátěží sníženy na jednu třetinu původní velikosti 300 nA. Je tak snížena transkonduktance těchto tranzistorů. Tím však dochází ke zvýšení napětí na hradlech M25 a M61. Proto je zde zapojena čtveřice tranzistorů, která posunuje napěťovou úroveň na výstupu obvodu. V případě, kdy jsou vstupní napětí stejná, nabývají výstupní napětí přibližně hodnoty 2 V. Vlastnosti obvodu zjištěné ze simulace můžeme vidět v tabulce 2.



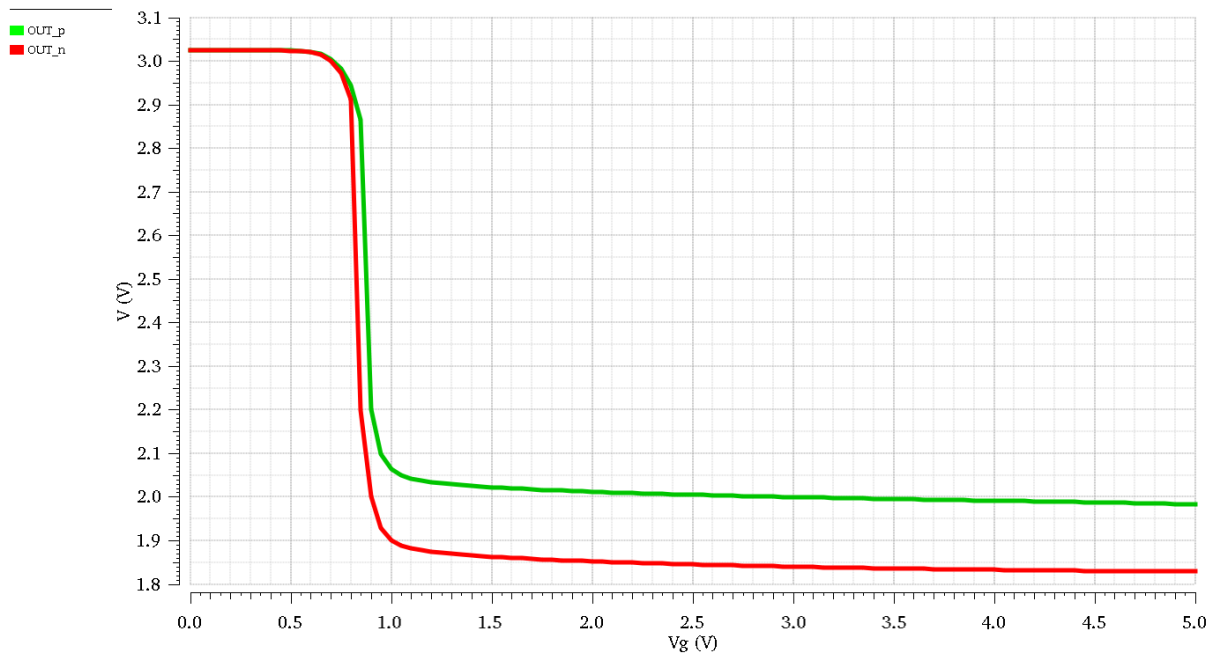
Obrázek 29: Předzesilovač komparátoru

Maximální souhlasné vstupní napětí tohoto předzesilovače můžeme popsat vztahem 5.1.1.

$$V_{IN_{MAX}} = V_{DD} - V_{GS_{M61}} - V_{DSsat_{M60}} + V_{GS_{M60}} \quad (5.1.1)$$

Pro zajištění použití vstupního souhlasného napětí až do napětí napájecího (v případě NMOS vstupních tranzistorů) je třeba nastavit poměry šířek a délek tranzistorů tak, aby vstupní napětí mohlo být alespoň tak velké jako napětí napájecí.

Na obrázku 30 je graf pro stejnosměrnou DC analýzu, kdy je napětí na hradlech vstupních tranzistorů rozmítáno od 0 do 5 V, přičemž rozdílové napětí činí 10 mV. Jak můžeme vidět, zesílení předzesilovače je poměrně konstantní od 1 V až do napájecího napětí. Pro pokrytí plného rozsahu vstupního souhlasného napětí byl proto navržen tento předzesilovač rovněž z PMOS vstupními tranzistory. Vzhledem ke skutečnosti, že se jedná o totožný obvod s velmi podobnými vlastnostmi, není zde jeho zapojení uvedeno.



Obrázek 30: Změna výstupního napětí se změnou vstupního souhlasného napětí

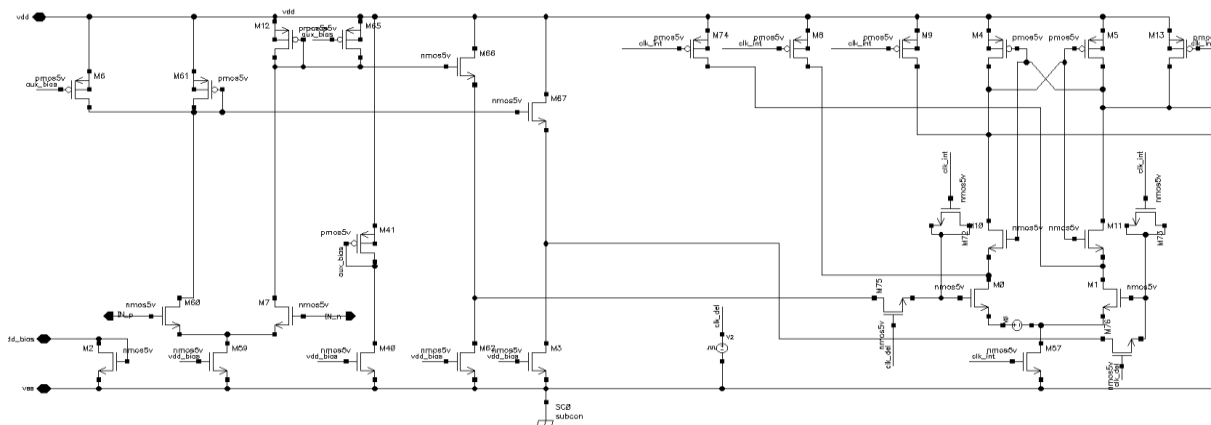
Tabulka 2: Parametry navrženého komparátoru typu Lewis – Gray s předzesilovačem.

	Parametr	Spotřeba [μA]	Offset [mV]	Zpoždění [ns]	Rušení [mV]	Plocha [μm^2]
LG + diode preamp	Min	1,00	-3,18	21,90	1,42	298
	Průměr	1,10	0,23	27,40	1,49	
	Max	1,23	3,82	32,90	1,58	
	σ	0,04	1,36	2,30	0,04	

Jak můžeme vidět v tabulce 2, obvod má statickou spotřebu asi $1,1 \mu\text{A}$. Díky zisku předzesilovače klesla směrodatná odchylka vstupní napěťové nesymetrie na asi $1,36 \text{ mV}$. Téměř celá velikost offsetu je dána vstupními tranzistory, které díky své transkonduktanci omezují vliv ostatních tranzistorů v předzesilovači na tuto hodnotu. Jelikož má předzesilovač zesílení přibližně 23 dB , eliminuje tak vliv offsetu samotného dynamického komparátoru na celkovou hodnotu vstupní nesymetrie celého zapojení. V případě dynamického komparátoru došlo ke zkrácení kanálu vstupních tranzistorů, díky čemuž došlo k mírnému snížení přenosového zpoždění obvodu na asi 50 ns v případě, kdy vstupní rozdílové napětí je 1 mV . Spínací rušení pokleslo díky zisku předzesilovače na asi $1,5 \text{ mV}$. Plocha hradel však díky velkým vstupním tranzistorům vzrostla na $298 \mu\text{m}^2$. Dalším podstatným zlepšením je zvýšená odolnost komparátoru na souhlasné vstupní napětí, které v tomto zapojení již téměř neovlivňuje velikost napěťové nesymetrie a přenosového zpoždění.

5.1.1 Omezení spínacího rušení

Pro zrychlení předcházejícího zapojení byl místo dynamického komparátoru typu Lewis – Gray použit komparátor typu Sense Amplifier. Ten však vykazuje poměrně velké spínací rušení v řádu stovek milivoltů. Zařazení předzesilovače s diodovou zátěží proto sníží toto rušení pouze na desítky mV. Řešením může být použití struktury z obrázku 31.



Obrázek 31: Obvod pro potlačení spínacího rušení

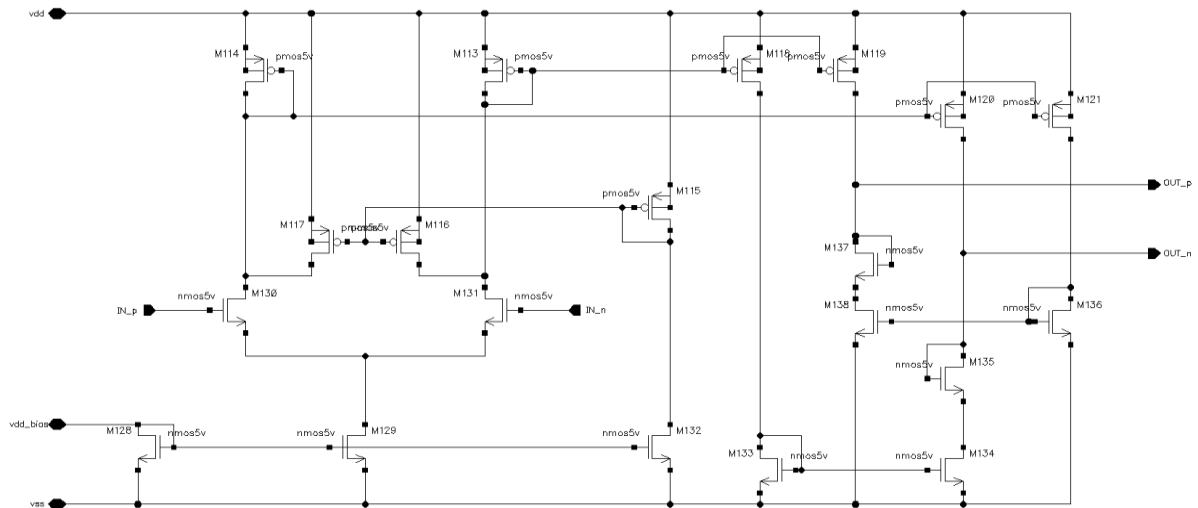
Pro potlačení spínacího rušení jsou do obvodu zařazeny tranzistory M75 a M76, které oddělí dynamický komparátor v době, kdy je tranzistor M57 sepnut. Hradla vstupních tranzistorů se tak nabíjí v průběhu resetovací fáze na napětí dané výstupním napětím předzesilovače. V průběhu vyhodnocovací fáze jsou pak jejich hradla oddělena od výstupů předzesilovače. Tato úprava však značně zvýší přenosové zpoždění, jelikož zde chybí náboj, který by mohl být do hradel dodán v době, kdy sepne tranzistor M57. Proto jsou zde MOS kapacity M72 a M73, které na začátku vyhodnocovací fáze poskytnou potřebný náboj navíc, díky čemuž je obvod rychlejší. Kvůli dynamické nesymetrii musí být tyto tranzistory dostatečně velké, aby rozdíl jejich hradlové kapacity neměl negativní vliv na vyhodnocení stavu. Hodinový signál, který ovládá spínače M75 a M76, pak musí být v případě náběžné hrany zpožděn o dobu alespoň 10 ns (délka pulzu při překlopení), aby zabránil přenosu spínacího rušení při překlopení z vyhodnocovacího režimu do režimu resetovacího. Tuto dobu je pak třeba započítat do celkového zpoždění, stejně jako je tomu v tabulce 3, kde jsou uvedeny i další parametry obvodu z obrázku 31.

Tabulka 3: Parametry navrženého komparátoru typu Sense Amplifier s předzesilovačem.

	Parametr	Spotřeba [μA]	Offset [mV]	Zpoždění [ns]	Rušení [mV]	Plocha [μm^2]
SA+preamp Kickback elimination	Min	0,95	-2,58	14,42	1,76	386
	Průměr	1,07	0,21	14,78	1,86	
	Max	1,20	3,42	15,21	1,91	
	σ	0,04	1,28	0,21	0,38	

5.2 Operační transkonduktanční předzesilovač

Pro další zlepšení parametrů, zejména rychlosti a nesymetrie, bylo třeba navrhnout předzesilovač s vyšším ziskem. Takovým zapojením je předzesilovač typu OTA na obrázku 32.



Obrázek 32: Schéma navrženého operačního transkonduktančního zesilovače

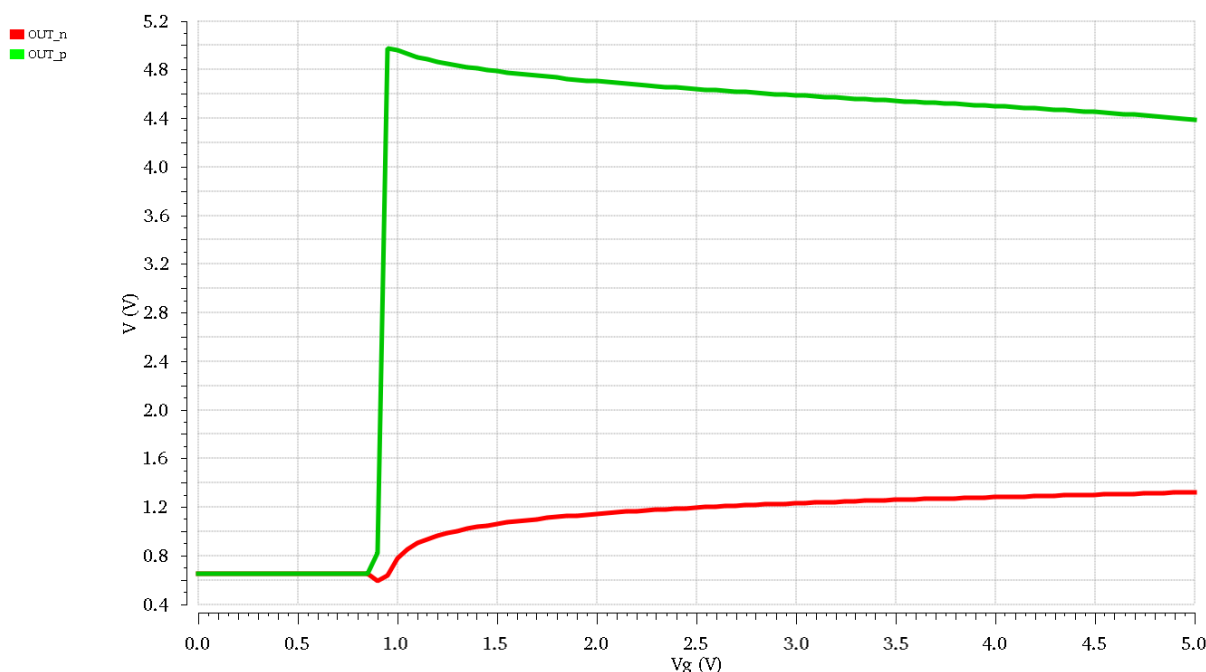
Tranzistory M116 a M117 zde odebírají část proudu diodám M113 a M114 tvořících společně s tranzistory M118 – M121 proudová zrcadla. Díky tomu je dosaženo nižší spotřeby a také menší plochy obvodu, jelikož toto řešení je plošně méně náročné, než dělení proudu pomocí proudových zrcadel. Zapojení má diferenční výstup provedený pomocí NMOS a PMOS proudových zrcadel na výstupu. Pro vhodné nastavení souhlasného vstupního napětí dynamického komparátoru, který navazuje na předzesilovač, jsou v obvodu zařazeny diody M135 a M137, díky nimž je výstupní napětí v případě nulového diferenčního napětí na vstupu přibližně 2,5 V.

Parametry OTA předzesilovače společně s dynamickým komparátorem Sense amplifier jsou uvedeny v tabulce 4. Jak můžeme vidět, směrodatná odchylka napěťové nesymetrie dosahuje hodnoty asi 0,9 mV. Díky navýšení poměru W/L vstupních tranzistorů dynamického komparátoru pak došlo k výraznému zrychlení obvodu, kdy při diferenčním napětí 10 mV je přenosové zpoždění asi 1,5 ns.

Tabulka 4: Parametry navrženého komparátoru typu Sense Amplifier s předzesilovačem OTA.

	Parametr	Spotřeba [μ A]	Offset [mV]	Zpoždění [ns]	Rušení [mV]	Plocha [μ m ²]
SA+OTA	Min	0,86	-2,38	1,38	1,84	564
	Průměr	1,17	0,36	1,46	1,99	
	Max	1,54	2,42	1,53	2,08	
	σ	0,13	0,88	0,03	0,05	

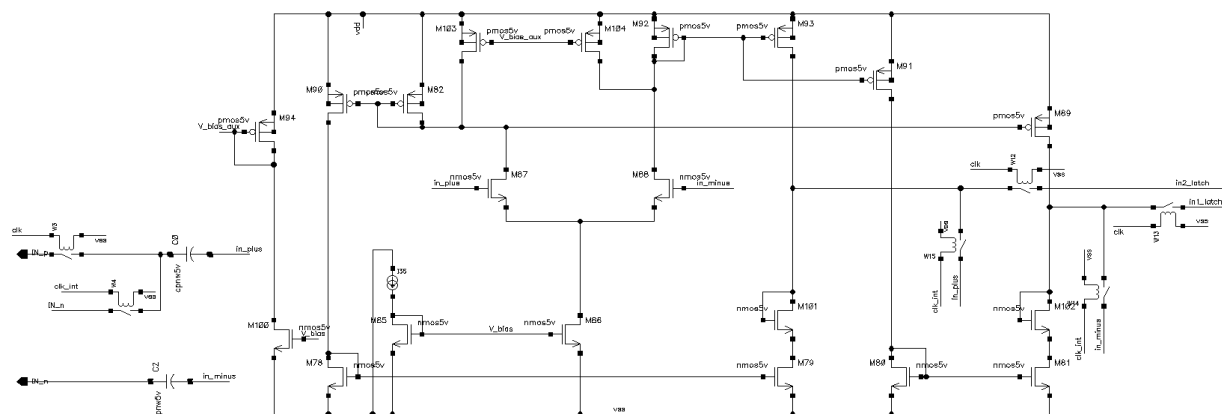
Na obrázku 33 je graf pro stejnosměrnou DC analýzu, kdy je napětí na hradlech vstupních tranzistorů rozmítáno od 0 do 5 V, přičemž rozdílové napětí činí 100 μV . Jak můžeme vidět, zesílení předzesilovače se mění v závislosti na vstupním souhlasném napětí. Tento fakt však v případě předzesilovače pro komparátor není problémem. I v případě pracovního bodu se vstupními napětími okolo napájecího napětí totiž vykazuje předzesilovač napěťový zisk 90 dB. Předzesilovač pak pracuje asi od 0,9 V po napájecí napětí. Pro rail to rail provoz byl proto navržen tento předzesilovač rovněž z PMOS vstupními tranzistory.



Obrázek 33: Změna výstupního napětí se změnou vstupního souhlasného napětí

5.2.1 Potlačení vstupní napěťové nesymetrie

Snižovat směrodatnou odchylku vstupní napěťové nesymetrie je možné dalším zvětšováním vstupních tranzistorů. Díky tomu však roste enormně plocha na čipu. Je totiž zapotřebí zvyšovat délku hradel vstupních tranzistorů pro snížení vlastní nesymetrie tranzistoru, avšak zároveň také šířku, aby nedošlo ke zmenšení transkonduktance. Z těchto důvodů byl navržen předzesilovač s automatickým nulováním. Obvod je na obrázku 34. Pracuje na principu vzorkování na vstupu. V případě, kdy je dynamický komparátor v resetovacím režimu jsou na vstupy předzesilovače přivedeny porovnávané signály. Jakmile se dynamický komparátor dostává do rozhodovací fáze, je předzesilovač oddělen od komparátoru, který v tuto chvíli prochází automatickým nulováním. Na oba jeho vstupy je přivedeno shodné napětí a přes spínače uzavřena záporná zpětná vazba. Na vzorkovacích kapacitách na jeho vstupu se objevuje rozdílové napětí tak, aby bylo výstupní rozdílové napětí nulové. Při další resetovací fázi dynamického komparátoru se tak vstupní napětí projevuje zvětšené nebo naopak zmenšené o napětí uložené na kapacitách. Tímto způsobem tak lze dosáhnout nízké směrodatné odchylky vstupní napětí kolem 70 μV jak můžeme vidět v tabulce 5. Tak nízké hodnoty nelze použitím konvenčních způsobů prakticky nikdy dosáhnout.



Obrázek 34: Obvod pro potlačení vstupní napětíové nesymetrie

Hlavní nevýhodou tohoto zapojení je spínání vstupů předzesilovače. To způsobí spínací rušení, které sice nedosahuje takových hodnot, jako v případě dynamického komparátoru, nicméně je stále v řádu desítek mV. Díky použití kapacit je možné značně zmenšit použité tranzistory, zvláště pak vstupní. Vstupní kapacity však nemohou být příliš malé. Při přepínání stavů dynamického komparátoru je generováno rušení v důsledku čehož tečou obvodem poměrně velké proudy po velmi krátkou dobu. V případě, kdy je kapacita kondenzátoru nízká, je rovněž náboj zde uložený malý. Proto může dojít k situaci, kdy je tento náboj vysát pryč a automatické nulování se stává neúčinným. Proto byly použity kapacity s velikostí 6 pF, které zabírají plochu 288 μm^2 .

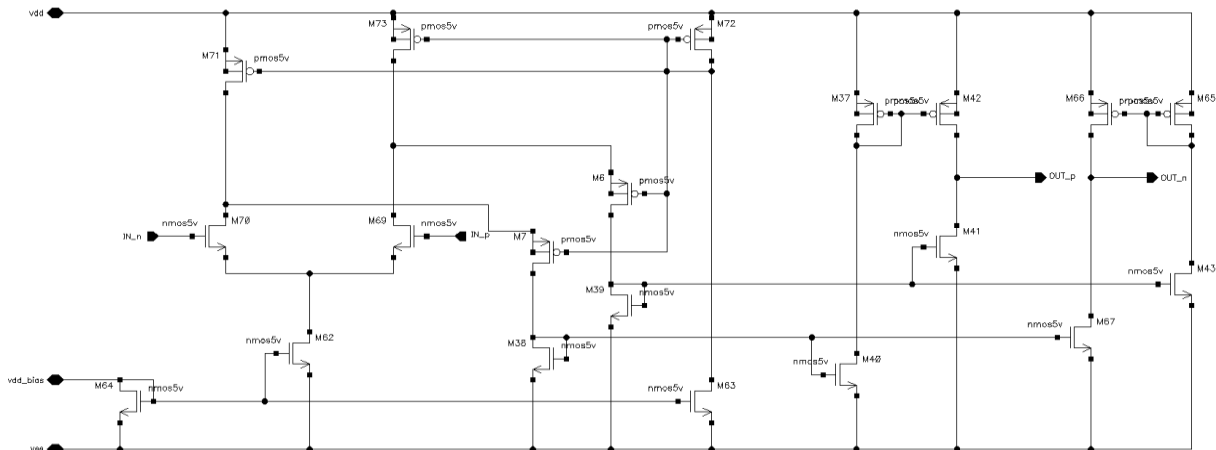
Tabulka 5: Parametry komparátoru Sense Amplifier s předzesilovačem OTA s nulováním nesymetrie

	Parametr	Spotřeba [μA]	Offset [μV]	Zpoždění [ns]	Rušení [mV]	Plocha [μm^2]
SA+OTA Autozeroing	Min	1,30	9,92	5,13	35,61	532
	Průměr	1,55	226,20	5,36	37,22	
	Max	1,88	609,90	5,63	39,31	
	σ	0,11	66,88	0,13	0,77	

Vzhledem k velikosti spínacího rušení, jsem se rozhodl tento koncept pro další návrh nevyužít. Proto byly spínače modelovány pouze pomocí ideálních spínačů, které jsou k dispozici ve vývojovém prostředí Cadence. Pro použití v aplikacích, kdy spínací rušení o této velikosti nepředstavuje problém, by bylo vhodné použít bootstrap MOS spínače, které využívají nabíjení kapacity na definované napětí pro generování V_{GS} spínacího napětí nezávislého na vstupním napětí spínače. [17]

5.3 Předzesilovač se složenou kaskódou

Dalším navrženým zapojením byl komparátor typu Sense Amplifier společně s předzesilovačem založeným na principu složené kaskódy. Předzesilovač je na obrázku 35.



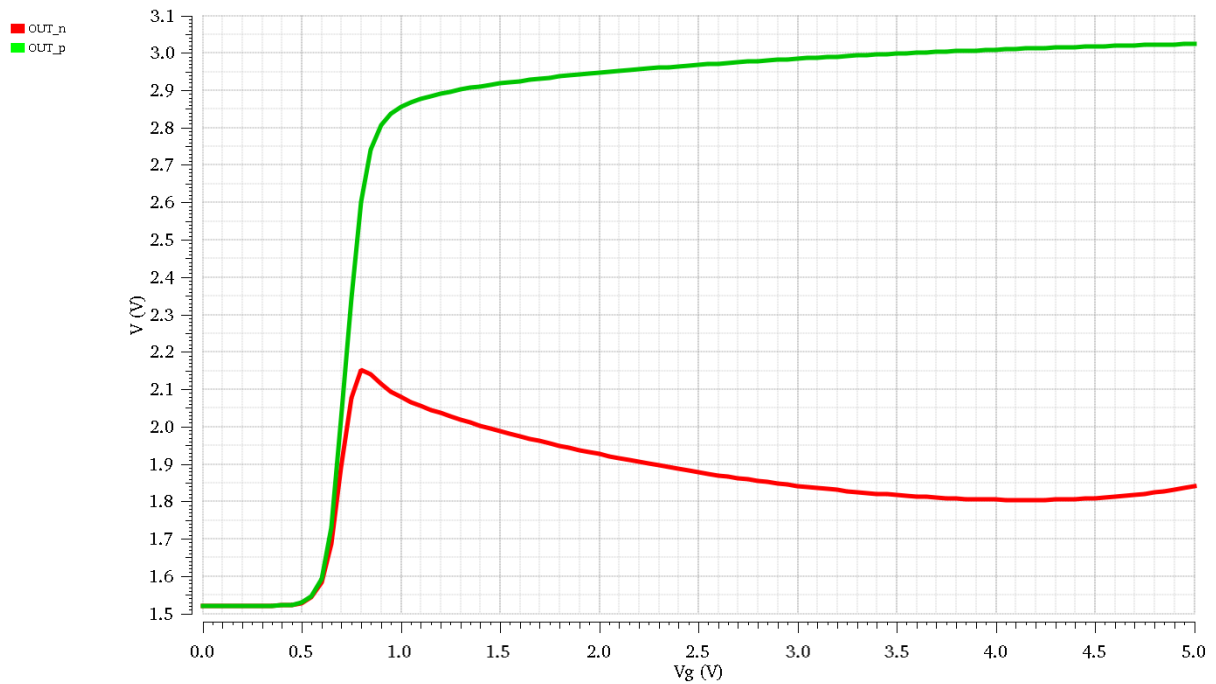
Obrázek 35: Schéma navrženého předzesilovače - složená kaskóda

Princip obvodu je prostý. Vstupní napětí rozhoduje o velikosti proudu, který poteče do tranzistorů M6 a M7. Tento proud je dodáván proudovými zdroji M71 a M73. Na rozdíl od klasického zesilovače, kdy je zapotřebí, aby každý proudový zdroj dodával větší proud než tranzistor M62, v případě předzesilovače pro komparátor je tento požadavek zbytečný, díky čemuž může zapojení dosáhnout velmi malé spotřeby. Proud tranzistorem M71 je tak pouze o 40 nA větší než polovina proudu M62. Předpokládejme, že na vstup IN_p přivedeme větší napětí než na vstup IN_n. Tranzistorem M69 tak teče větší proud než tranzistorem M70. Pokud bude rozdíl napětí dostatečný, tranzistorem M6 nepoteče v podstatě žádný proud. To způsobí zasaturování výstupů OUT_p a OUT_n. Pro dosažení nízké spotřeby je však zapotřebí mnoha násobných proudových zrcadel M71 – M73. Rovněž na výstupech je potřeba proud vynásobit. Proto je plocha hradel poměrně velká, jak můžeme vidět v tabulce 6.

Tabulka 6: Parametry komparátoru Sense Amplifier se složenou kaskódou.

	Parametr	Spotřeba [μA]	Offset [μV]	Zpoždění [ns]	Rušení [mV]	Plocha [μm^2]
SA Folded Cascode	Min	0,72	-2,75	1,25	0,39	780
	Průměr	0,76	0,52	1,32	0,43	
	Max	0,81	1,57	1,40	0,49	
	σ	0,002	0,87	0,03	0,02	

Na obrázku 36 je graf pro stejnosměrnou DC analýzu, kdy je napětí na hradlech vstupních tranzistorů rozmítáno od 0 do 5 V, přičemž rozdílové napětí činí 100 μV .



Obrázek 36: Změna výstupního napětí se změnou vstupního souhlasného napětí

Jak můžeme z průběhů na obrázku 36 vidět, předzesilovač pracuje od 0,9 V do napájecího napětí. Zisk se zde opět s měnícím se souhlasným napětím mění. I v oblasti souhlasného napětí 0,9 V však napěťový zisk činí dostatečných 76 dB.

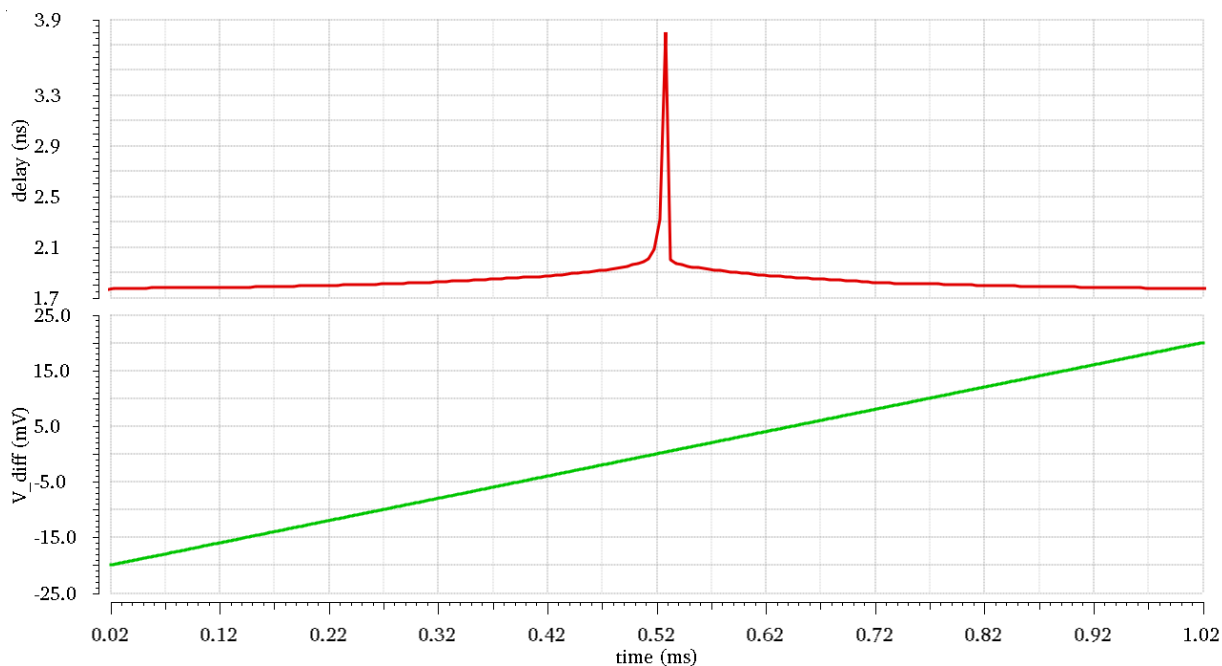
5.4 Finální návrh komparátoru

Pro finální návrh byl zejména kvůli své přesnosti, rychlosti, malému spínacímu rušení, přijatelné velikosti a proudové spotřebě vybrán dynamický komparátor typu Sense Amplifier s předzesilovačem OTA. Celkové zapojení je v příloze 1. Parametry obvodu tak odpovídají tabulce 4.

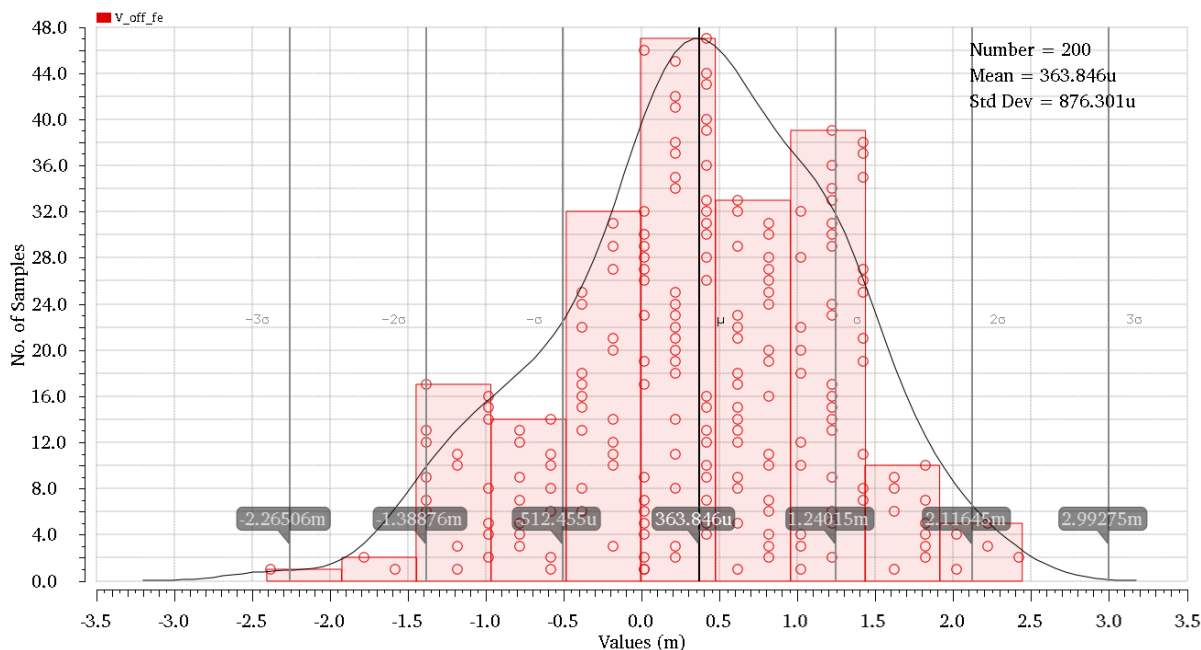
Na obrázku 37 můžeme vidět, jak se bude přenosové zpoždění měnit pro změnu vstupního diferenčního napětí. Teoreticky při nulovém rozdílu vstupních napětí nedojde k rozhodnutí vůbec. Tato situace však nastane jen stěží. Jakákoliv drobná odchylka se projeví postupným zasaturováním komparátoru. V grafu můžeme vidět, že se zmenšujícím se rozdílem vstupních napětí přenosové zpoždění prudce roste. Největší hodnoty pak nabývá v případě, kdy je vstupní rozdílové napětí nulové. V případě simulovaného zapojení byla tato hodnota 3,8 ns. Tato hodnota tak udává také maximální frekvenci se kterou je obvod schopen pracovat. Jestliže budeme uvažovat střidu hodinového signálu 50 %, bude i s rozumnou rezervou moci komparátor pracovat s frekvencí 100 MHz. Při takové frekvenci však samozřejmě vzroste úměrně také spotřeba.

Na obrázku 38 je výsledek analýzy Monte Carlo pro vstupní napěťovou nesymetrii. Jedná se o 200 běhů časové simulace, kdy byla zjištěna tato hodnota pomocí rozdílu vstupních napětí ve chvíli, kdy výstupy nabývají opačné hodnoty než v předchozích případech porovnávání.

Tato hodnota je logicky zatížena chybou, kdy porovnání nastává jen v okamžicích daných hodinovým signálem. Jelikož však rampa vstupního signálu na vstupu in+ změnila svou hodnotu o 40 mV během jedné milisekundy, bude maximální chyba tohoto výpočtu při frekvenci 200 kHz pouze 0,2 mV. Tato hodnota navíc ovlivní pouze střední hodnotu vstupní napěťové nesymetrie. Směrodatná odchylka touto chybou zatížena nebude, jelikož vstupní signály mají stejný průběh v každé časové simulaci.



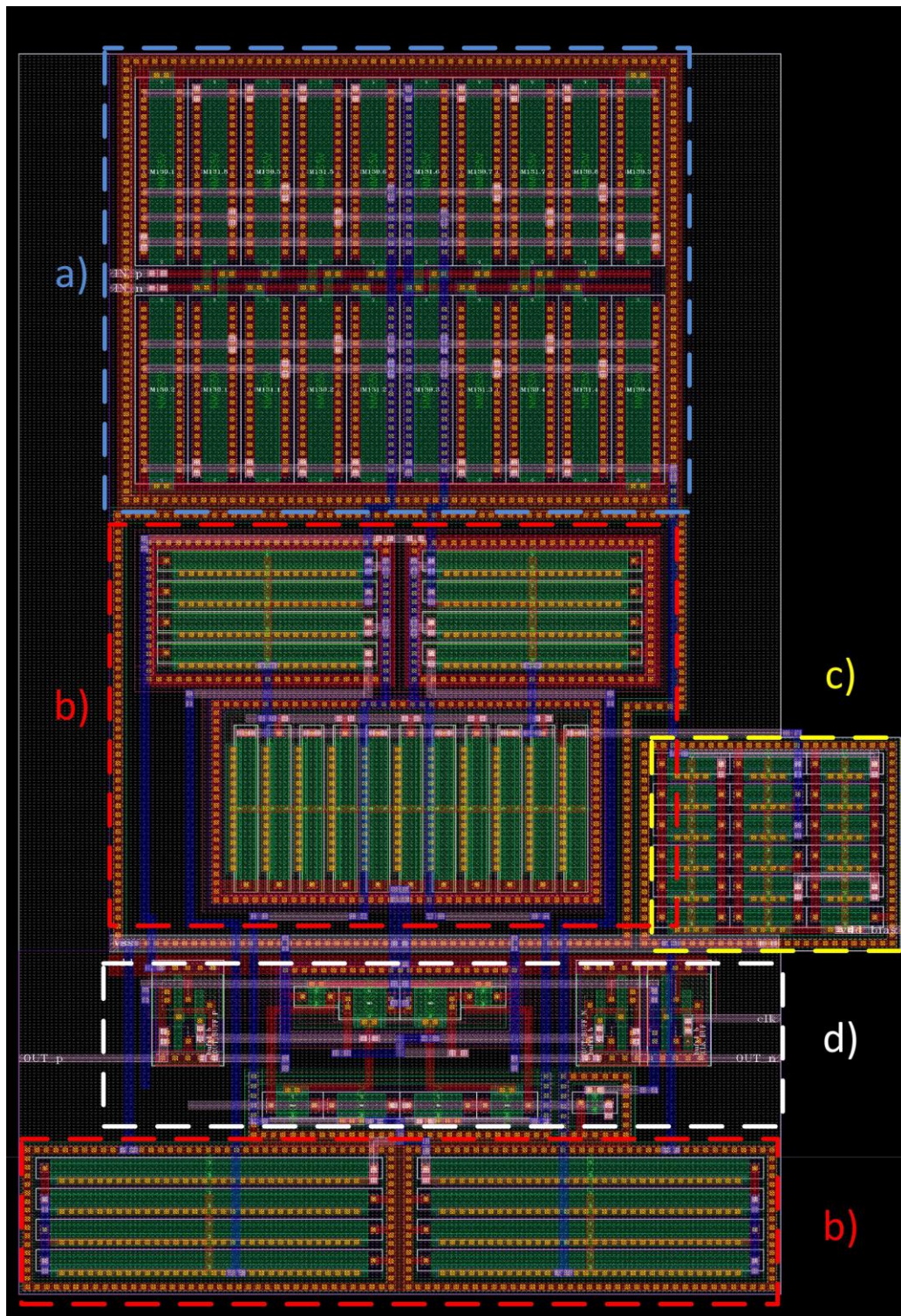
Obrázek 37: Graf přenosového zpoždění v závislosti na rozdílu vstupních signálů



Obrázek 38: Histogram vstupní napěťové nesymetrie

6 Topologie

Dalším krokem v návrhu bylo vytvoření topologie – layoutu – zapojení z přílohy 1. Topologie je na obrázku 39.



Obrázek 39: Topologie obvodu na čipu, a) Vstupní tranzistorový pár, b) proudová zrcadla, c) proudové zdroje, d) dynamický komparátor a buffery

Jak můžeme vidět návrh se soustředil především na maximální souběh prvků (matching). Prvním blokem je vstupní tranzistorový pár. Každý vstupní tranzistor je rozdělen na osm menších s osminovou šířkou hradla. Dále jsou tyto tranzistory střídavě zapojeny pro dobrý souběh. Jak můžeme vidět, jsou zde připojeny celkem čtyři „dummy“ tranzistory především proto, aby zajistily stejné okolí pro všechny aktivní tranzistory vstupního páru. Díky tomu je dosaženo velmi dobrého souběhu pro vstupní pár, kde je tento parametr nejdůležitější. Jestliže je dosaženo nízké napěťové nesymetrie u vstupních tranzistorů, tyto pak eliminují nesymetrii ostatních prvků v obvodu svou transkonduktancí. Proto také zabírá vstupní pár podstatnou plochu obvodu. Díky tomu nebylo zapotřebí pro ostatní bloky požadovat tak přísná ošetření souběhu.

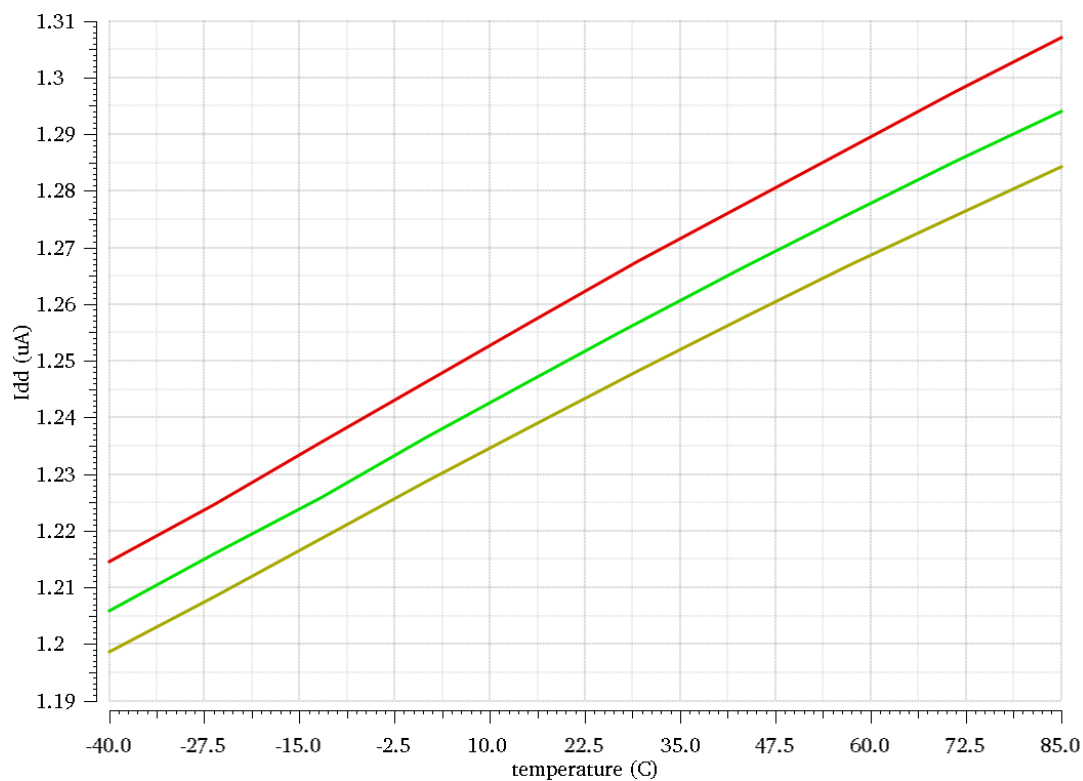
Kromě souběhu tranzistorů je v návrhu topologie kladen důraz také na souběh kapacitní. Nesouběh kapacitní zátěže může způsobit dynamickou napěťovou nesymetrii, kdy díky nestejnému nabíjení kapacit tranzistorů dojde k nesprávnému vyhodnocení stavu. Proto je nezbytné, aby měly vodiče stejnou délku. Zvláště důležitý je pak souběh vstupních vodičů dynamického komparátoru.

Samotný dynamický komparátor sice zabírá pouze malou část celkové plochy, dochází zde ale k samotnému vyhodnocení a má také největší zisk díky své kladné zpětné vazbě. Proto je i zde dodržena symetrie prvků. Kromě toho si můžeme všimnout, že zde zůstala zachována symetrická struktura ze schématu. Díky tomu je délka vodičů mezi polovinami dynamického komparátoru shodná. Dynamická nesymetrie je tak potlačena.

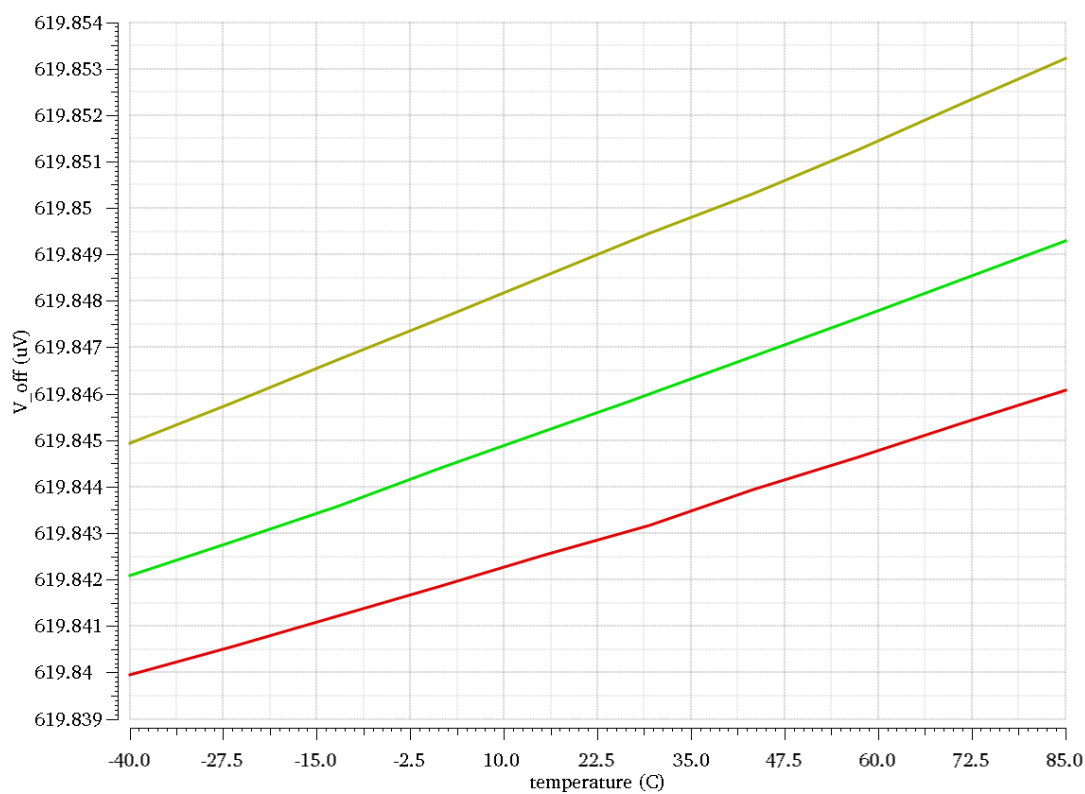
Po extrakci parazitních impedancí z návrhu topologie byla nad těmito daty provedena corner analýza pro zjištění rozptylu sledovaných parametrů s ohledem na toleranci výrobní technologie. Simulace byla provedena v průmyslovém rozsahu teplot $-40\text{ }^{\circ}\text{C}$ až $85\text{ }^{\circ}\text{C}$. Na obrázku 40 je výsledek Corner analýzy pro parametr proudové spotřeby obvodu. Na obrázku 41 potom pro vstupní napěťovou nesymetrii. Dále na obrázku 42 je výsledek pro přenosové zpoždění a na obrázku 43 pro spínací rušení. Červená křivka odpovídá vždy vysoké pohyblivosti nosičů náboje (fast process), žlutá pak nízké pohyblivosti nosičů (slow process) a zelená typické. Jak můžeme vidět, zcela minimální vliv nastává jak s teplotou, tak s procesem v případě vstupní napěťové nesymetrie. Naopak největší změna nastává u přenosového zpoždění. Zatímco při teplotě $-40\text{ }^{\circ}\text{C}$ a při vysoké pohyblivosti nosičů tranzistorů bude zpoždění dosahovat $1,7\text{ ns}$, při teplotě $85\text{ }^{\circ}\text{C}$ a nízké pohyblivosti nosičů bude zpoždění přibližně $3,2\text{ ns}$ se vstupní diferencí 10 mV .

Jelikož corner analýza nezahrnuje souběh prvků v obvodu, byla dále provedena analýza Monte Carlo vždy pro nejhorší případ z corner analýzy. Výsledky jsou v tabulce 7. Na rozdíl od předchozích výpočtů plochy, kdy byla započítána pouze velikost hradel tranzistorů, popřípadě pasivních součástek a tento údaj tak sloužil pouze k porovnání jednotlivých návrhů, je hodnota $2800\text{ }\mu\text{m}^2$ již celková plocha, kterou zabírá obvod včetně vodivých cest (metal, polysilicon), N a P typu křemíku a krycího oxidu křemíku. Tato hodnota je vyšší než plocha

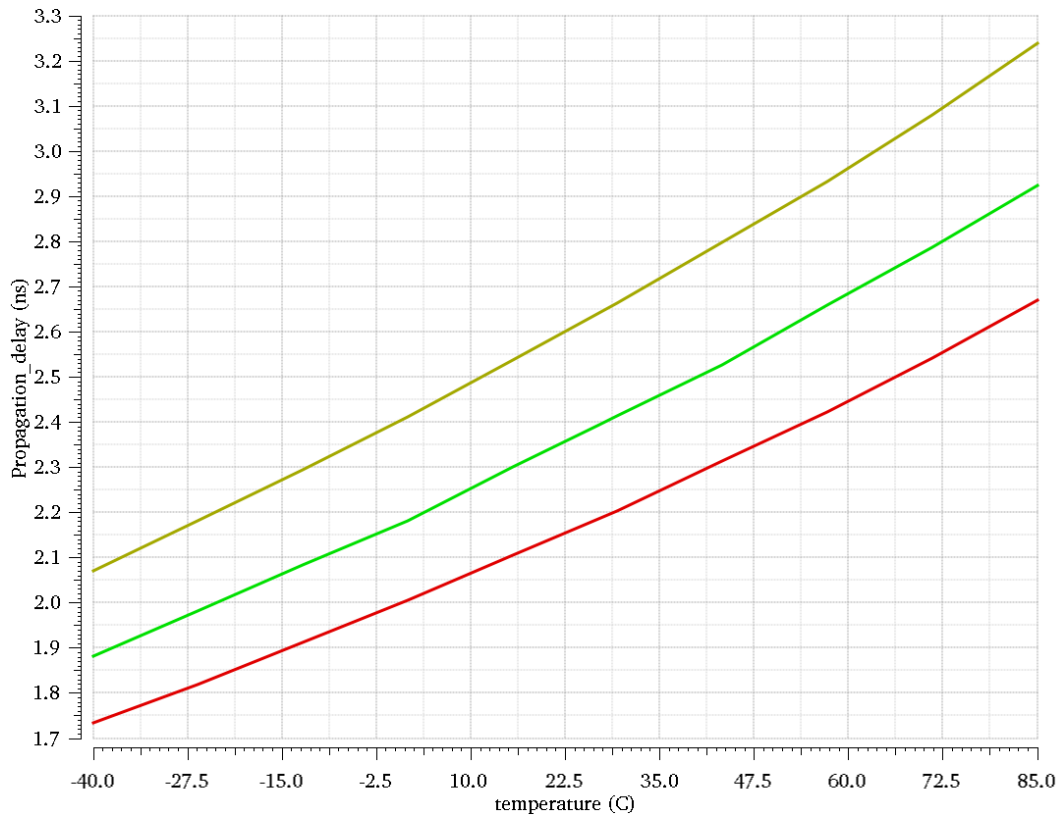
hradel také proto, že při návrhu topologie bylo dbáno na výše zmíněné zásady pro co nejlepší souběh a přesnost obvodu.



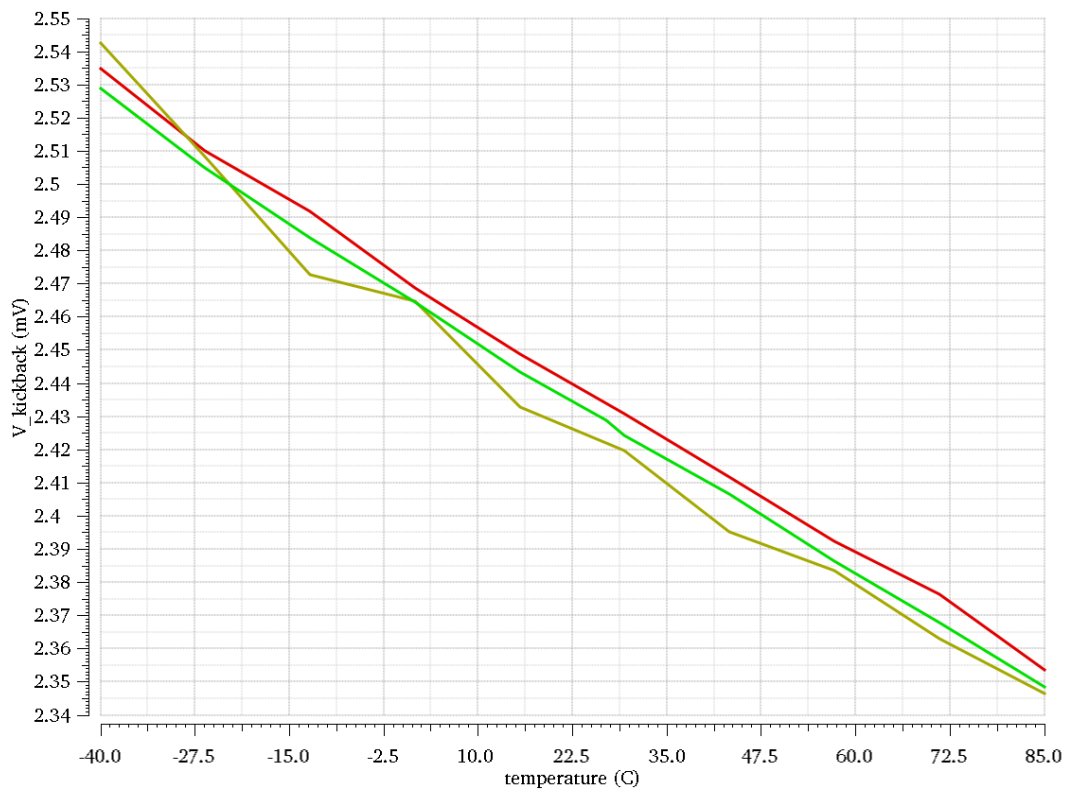
Obrázek 40: Corner analýza pro parametr proudové spotřeby.



Obrázek 41: Corner analýza pro parametr vstupní napěťové nesymetrie.



Obrázek 42: Corner analýza pro parametr přenosového zpoždění.

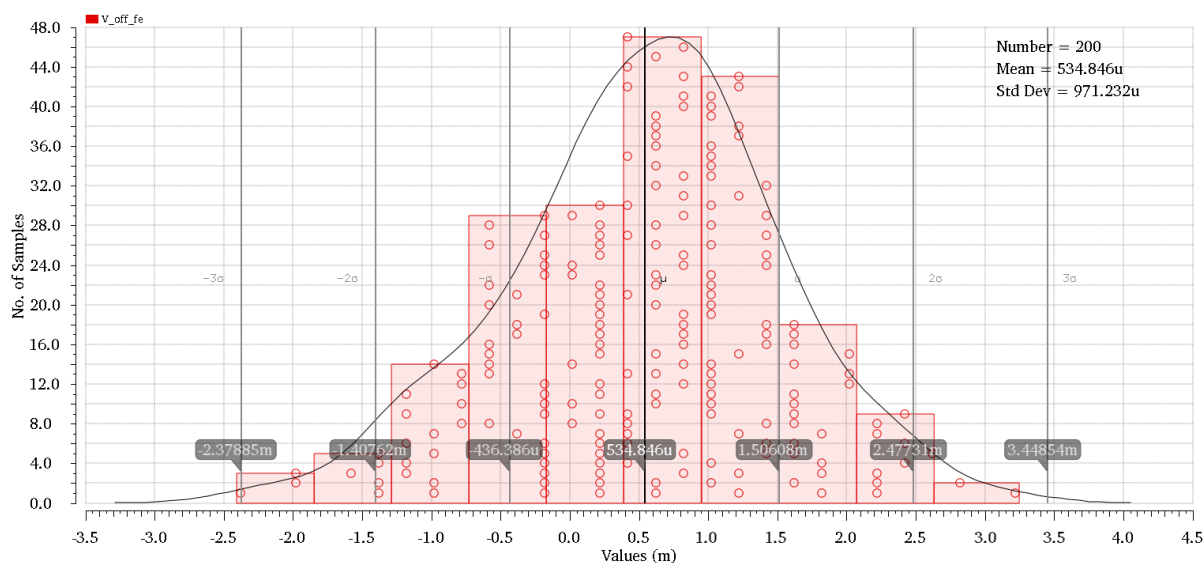


Obrázek 43: Corner analýza pro parametr spínacího rušení.

Tabulka 7: Parametry navržené topologie komparátoru pro analýzu Monte Carlo pro nejhorší případ z corner analýzy.

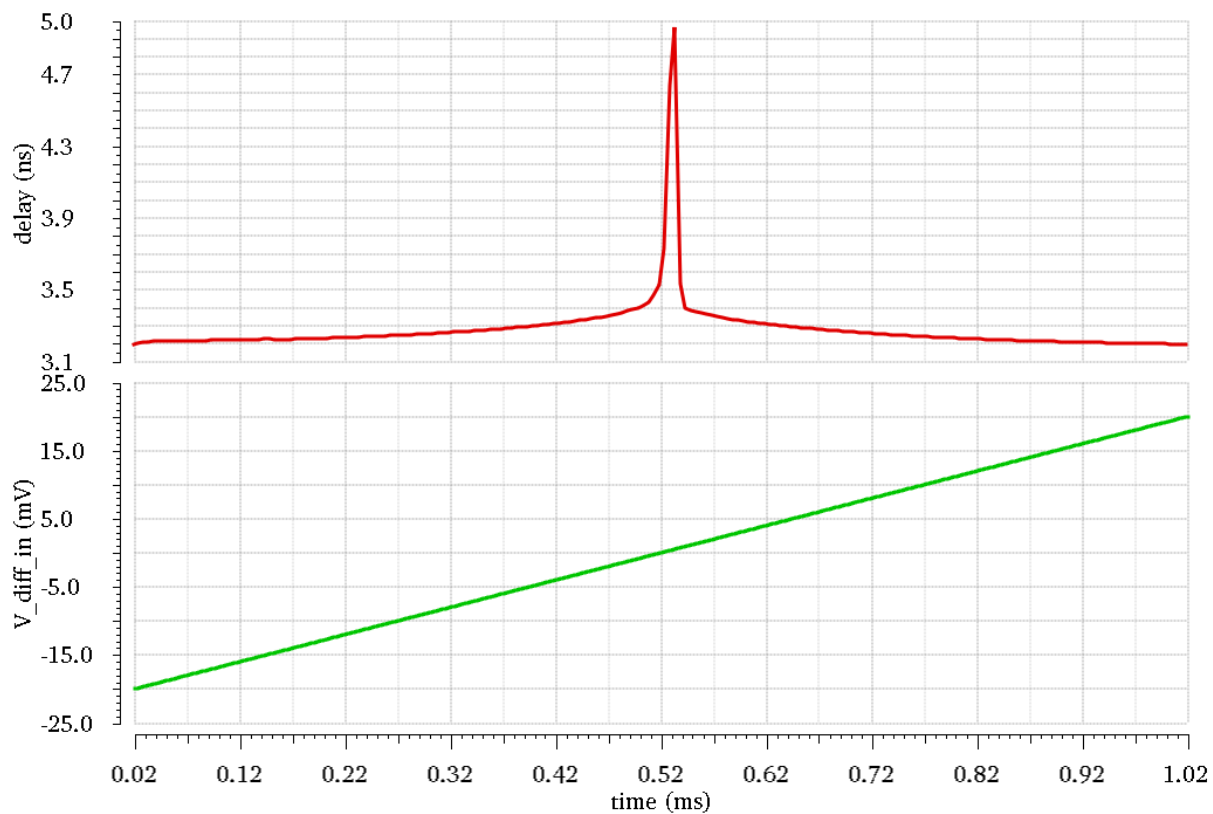
	Parametr	Spotřeba [μA]	Offset [μV]	Zpoždění [ns]	Rušení [mV]	Plocha [μm^2]
Layout	Min	1,11	-2,38	3,15	2,24	2800
	Průměr	1,39	0,53	3,24	2,44	
	Max	1,71	3,22	3,32	2,57	
	σ	0,14	0,97	0,04	0,07	

Na obrázku 44 můžeme vidět histogram výsledků simulace Monte Carlo pro vstupní napět'ovou nesymetrii. Je zřejmé, že dobře odpovídá normálnímu rozdělení.

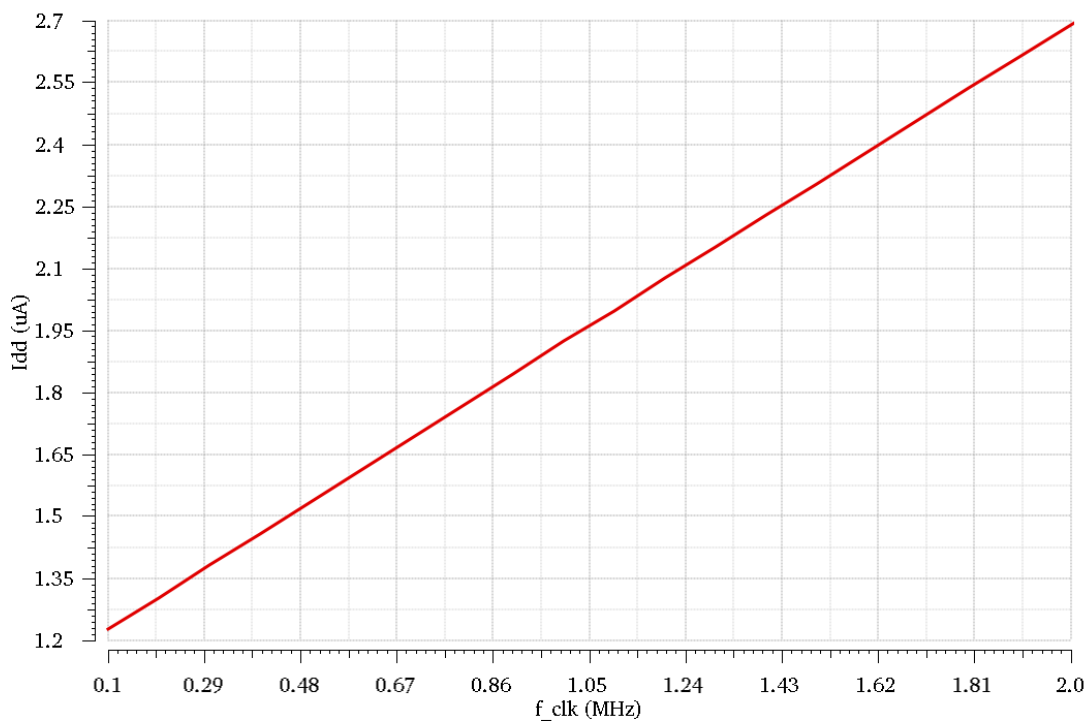


Obrázek 44: Histogram vstupní napět'ové nesymetrie

Na obrázku 45 je změna přenosového zpoždění v závislosti na rozdílu vstupních napětí. Jak můžeme vidět, dosahuje 4,9 ns při nejnižším rozdílu. Teoreticky tak obvod může pracovat do 100 MHz. S rostoucí frekvencí však roste také spotřeba obvodu. Zatímco předzesilovač bude mít spotřebu stále kolem 1 μA bez ohledu na frekvenci, odběr proudu dynamickým komparátorem bude s frekvencí lineárně růst. Tato závislost je vynesena v grafu na obrázku 46, kdy je frekvence hodinového signálu rozmitána od 100 kHz do 2 MHz. Jak můžeme vidět, s každým zvýšením frekvence o 100 kHz roste proudová spotřeba asi o 80 nA.



Obrázek 45: Graf přenosového zpoždění v závislosti na rozdílu vstupních signálů



Obrázek 46: Závislost proudové spotřeby na frekvenci hodinového signálu

7 Závěr

Diplomová práce se zabývá metodou návrhu a možností optimalizace parametrů dynamických komparátorů pro společnost ON Semiconductor. Dále se zabývá praktickým návrhem dynamického komparátoru s nízkou napěťovou nesymetrií, dostatečnou rychlostí, nízkou spotřebou a malým spínacím rušením pro nahrazení klasického v čase spojitého komparátoru.

V kapitole 1 byl nastíněn princip komparátoru z hlediska statických a dynamických parametrů. V kapitole 2 jsou uvedeny jednotlivé topologie komparátorů. Za skupinu v čase spojitých komparátorů to je komparátor s otevřenou smyčkou a komparátor s kladnou zpětnou vazbou. Dále jsou zde uvedeny topologie Lewis – Gray, Sense amplifier a Double tail, které spadají do skupiny plně dynamických komparátorů.

Ve třetí kapitole jsou některé důležité parametry jako napěťová nesymetrie, přenosové zpoždění a spínací rušení probrány podrobně, přičemž je provedena analýza a navrženy metody, jak dané parametry vylepšit.

V případě napěťové nesymetrie byl s pomocí Pelgromových rovnic odvozen vztah 3.1.4 pro směrodatnou odchylku vstupní napěťové nesymetrie zapojení komparátoru typu Lewis – Gray z obrázku 7. Z rovnice 3.1.4 plyne, že největší podíl na napěťové nesymetrii mají vstupní tranzistory, přes jejichž transkonduktanci můžeme nesymetrii proudu přepočítat na nesymetrii vstupních napětí. Jelikož strmost transkonduktance je menší, než strmost proudu podle rovnice 2.3.1.2, je pro dosažení co nejmenší nesymetrie zapotřebí, aby byl poměr šířky a délky co možná nejmenší. Snížení napěťové nesymetrie je možné realizovat pomocí zapojení Sense amplifier a Double tail z obrázků 11 a 13. Jak bylo v kapitole 2.3.2 a 2.3.3 popsáno, jejich výhoda spočívá v saturačním režimu vstupních tranzistorů na počátku vyhodnocovacího stavu, díky čemuž mají mnohem větší transkonduktanci, než je tomu v případě zapojení Lewis – Gray.

Dalším sledovaným parametrem bylo přenosové zpoždění, které je rozhodující pro maximální dosažitelnou frekvenci obvodu. Pro zapojení Lewis – Gray byl popsán vztah 3.2.5. Tato funkce, jejíž průběh je na obrázku 19, ukazuje, že přenosové zpoždění se zvyšujícím se poměrem šířky a délky hradla tranzistorů nejdříve klesá. Jakmile se strmost proudu, jenž se změnou tohoto poměru rovněž roste, začíná snižovat, narůstá toto zpoždění z důvodu zvyšujících se velikostí kapacity zvětšovaných tranzistorů. Podobně jako v případě napěťové nesymetrie lze tento problém řešit pomocí zapojení Sense amplifier a Double tail.

Posledním popsáním parametrem v kapitole 3 bylo spínací rušení. Bylo ukázáno, že nejlepší výsledky v tomto ohledu vykazuje zapojení Lewis – Gray, u kterého nedochází ke spínání vstupních tranzistorů přímo k jinému napětí, na rozdíl od dvou dalších zapojení. Porovnání spínacího rušení pro komparátory Lewis – Gray a Sense amplifier je na obrázcích 25 a 26.

Pro účely porovnání v kapitole 4 byly navrženy komparátory podle topologií z kapitoly 2. Výsledky simulace jsou v tabulce 1. Sledovanými veličinami byly: spotřeba, vstupní napěťová nesymetrie, přenosové zpoždění, spínací rušení a plocha hradel tranzistorů.

Z hlediska nesymetrie, proudové spotřeby a zpoždění vychází ze srovnání nejlépe zapojení komparátoru Sense amplifier z obrázku 11. Značnou nevýhodou je však spínací rušení, které dosahuje velikosti kolem 350 mV, zatímco zapojení Lewis – Gray produkuje spínací rušení kolem 16 mV.

Pro další návrh tak byly vybrány dynamické komparátory typu Lewis – Gray a Sense Amplifier. Bylo rozhodnuto o použití předzesilovače zejména z důvodu omezení vstupní napěťové nesymetrie a také potlačení vlivu souhlasného vstupního napětí. Také bylo zapotřebí zajistit, aby komparátor mohl pracovat až do napájecího, respektive zemnicího napětí. Dynamický komparátor pak plní úlohu stupně s velkým ziskem, který je úsporný z hlediska proudové spotřeby, ale také plochy na čipu.

První navržené zapojení bylo představeno v kapitole 5.1. Jedná se o dynamický komparátor typu Lewis – Gray s jednoduchým předzesilovačem, jehož zapojení je na obrázku 29. Byl zvolen diferenční stupeň s diodovou zátěží vybavený dvěma proudovými zdroji M22 a M24 pro zvýšení zisku. Celkový zisk je tak přibližně 23 dB. Na výstupu předzesilovače je čtveřice tranzistorů, která posouvá napěťové úrovně pro dosažení co nejlepších parametrů. Díky předzesilovači, jehož spotřeba činí přibližně 900 nA, došlo ke snížení vstupní napěťové nesymetrie z původních 5,26 mV na 1,36 mV. Spínací rušení bylo sníženo díky zisku předzesilovače na 1,49 mV a komparátor se stal necitlivým vůči vstupnímu souhlasnému napětí, jehož povolený rozsah je v tomto případě od 1 V po napájecí napětí. V kapitole 5.1.1 je nastíněna možnost omezení spínacího rušení pomocí odpojování předzesilovače od dynamického komparátoru.

Další zapojení vychází z dynamického komparátoru typu Sense Amplifier doplněného o operační transkonduktanční zesilovač, který je na obrázku 32. Tento obvod poskytuje mnohem větší zisk přibližně 90 dB. Funguje od 0,9 V po napájecí napětí. Směrodatná odchylka napěťové nesymetrie klesla na asi 0,9 mV. Díky navýšení poměru šířky a délky hradel vstupních tranzistorů dynamického komparátoru bylo rovněž snížena hodnota přenosového zpoždění. Další snižování napěťové nesymetrie konvenčním způsobem je velmi náročné na plochu čipu. Proto byl v kapitole 5.2.1 představen OTA předzesilovač s automatickým nulováním nesymetrie pomocí ukládání aktuální hodnoty nesymetrie na kondenzátory na vstupu. Schéma je na obrázku 34. Toto řešení však trpí spínáním vstupních tranzistorů, které generuje rušení v řádu desítek milivoltů, které se přes vstupy přenáší na napěťovou referenci.

Dále byl navržen obvod sestávající z dynamického komparátoru topologie Sense Amplifier a předzesilovače typu složená kaskóda. Schéma je na obrázku 35. Zapojení dosahuje podobných parametrů jako OTA předzesilovač. Směrodatná odchylka napěťové nesymetrie činí přibližně 0,9 mV a přenosové zpoždění 1,3 ns při vstupní diferenci 10 mV. Má však nižší

spotřebu a spínací rušení. Nižší spotřeba je dána především díky tomu, že PMOS proudovým zdrojem M71 protéká pouze o 40 nA větší proud než vstupním tranzistorem v případě nulového rozdílu vstupních napětí. Plocha hradel tranzistorů je zde ale větší o 40 % než v případě OTA předzesilovače.

Pro konečný návrh jsem vybral zapojení dynamického komparátoru typu Sense Amplifier společně s operačním transkonduktančním předzesilovačem. Celkové zapojení je v příloze 1. Kapitola 6 se věnuje popisu navržené topologie tohoto obvodu, která je na obrázku 39. Nejdůležitějším parametrem, který bylo zapotřebí dodržet, byla symetrie celého obvodu. Jednak z hlediska klasického souběhu, ale také souběhu kapacit vodičů.

Pro zjištění rozptylu sledovaných parametrů s ohledem na toleranci výrobní technologie a teplotu byla provedena corner analýza na průmyslovém teplotním rozsahu $-40\text{ }^{\circ}\text{C}$ až $85\text{ }^{\circ}\text{C}$. Její výsledky jsou na obrázcích 40–43. Jak můžeme vidět, vstupní napěťová nesymetrie je ovlivněna procesem i teplotou jen minimálně. Největší změna nastává u přenosového zpoždění, kdy pro malou pohyblivost nosičů náboje v polovodiči a teplotu $85\text{ }^{\circ}\text{C}$ bude střední hodnota činit 3,24 ns. Jelikož corner analýza neuvažuje nesouběh jednotlivých tranzistorů, byla nutné provést vždy pro nejhorší případ analýzu Monte Carlo. Výsledné parametry tohoto obvodu pro 200 běhů této analýzy pro nejhorší corner daného parametry jsou v tabulce 7. V důsledku parazitních impedancí směrodatná odchylka napěťové nesymetrie vzrostla na 0,97 mV. Na obrázku 46 je pak ukázána lineární závislost proudové spotřeby s frekvencí hodinového signálu. Celková plocha obvodu činí přibližně $2800\text{ }\mu\text{m}^2$.

V diplomové práci byly popsány metody návrhu dynamických komparátorů a optimalizace sledovaných parametrů. Byl také navržen dynamický komparátor s předzesilovačem zaměřený především na přesnost a nízké spínací rušení. Směrodatná odchylka vstupní napěťové nesymetrie je menší než 1 mV, přenosové zpoždění do 3,24 ns, spínací rušení v řádu jednotek mV. Spotřeba pak při frekvenci hodinového signálu 200 kHz činí $1,4\text{ }\mu\text{A}$.

Bibliografie

- [1] BAKER, R. *CMOS: circuit design, layout, and simulation*. 3rd ed. Hoboken, NJ: Wiley, 2010. ISBN 978-047-0881-323.
- [2] GOLL, Bernhard a Horst ZIMMERMANN. *Comparators in nanometer CMOS technology*. 1. New York: Springer, 2014. ISBN 978-366-2444-818.
- [3] WU, Rong, Johan HUIJSING a Kofi MAKINWA. *Precision instrumentation amplifiers and read-out integrated circuits / Rong Wu, Johan H. Huijsing, Kofi A.A. Makinwa*. 1. New York: Springer, 2013. ISBN 978-146-1437-307.
- [4] ALLEN, P. a Douglas HOLBERG. *CMOS analog circuit design*. 3rd ed. Oxford: Oxford University Press, USA, 2012. ISBN 978-019-9765-072.
- [5] WITTE, Johan, Kofi MAKINWA a Johan HUIJSING. *Dynamic offset compensated CMOS amplifiers*. 1. Boston: Springer, 2009. ISBN 978-90-481-2755-9.
- [6] CHO, Thomas a Paul GRAY. A 10 b, 20 MSample/s, 35 mW Pipeline A/D Converter. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*. 1995, **30**(3), 166-172.
- [7] SUMANEN, Lauri, Mikko WALTARI a Kari HALONEN. A MISMATCH INSENSITIVE CMOS DYNAMIC COMPARATOR FOR PIPELINE A/D CONVERTERS. *ICECS 2000. 7th IEEE International Conference on Electronics, Circuits and Systems* [pdf]. 2000, , 32-35 [cit. 2016-12-13]. Dostupné z: <http://ieeexplore.ieee.org/ielx5/7272/19645/00911478.pdf?tp=&arnumber=911478&isnumber=19645>
- [8] SCHINKEL, Daniel, Eisse MENSINK, Eric KLUMPERINK, Ed VAN TUIJL a Bram NAUTA. A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time. *2007 IEEE International Solid-State Circuits Conference* [pdf]. 2007 [cit. 2016-12-13]. Dostupné z: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4242391>
- [9] A simple and accurate method to predict offset voltage in dynamic comparators. *2008 IEEE International Symposium on Circuits and Systems* [pdf]. 2008, , 1934-1937 [cit. 2016-12-13]. Dostupné z: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4541822>

- [10] GEIGER, Randall, Jun HE, Degang CHEN a Sanyi ZHAN. Analyses of Static and Dynamic Random Offset Voltages in Dynamic Comparators. *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*. 2009.
- [11] BREA, V. *Mismatch in Circuit Design* [pdf]. 2007 [cit. 2016-12-13]. Dostupné z: <http://users.salleurl.edu/~gpazienza/seminarios/presentaciones/mismatch.pdf>
- [12] KADAŇKA, Petr. *Přesný návrh* [online]. b.r., , 1-14 [cit. 2017-04-23]. Dostupné z: http://www.umel.feec.vutbr.cz/~prokop/MNAI/prednesy/prednaska_2.pdf
- [13] *CMOS Comparators* [pdf]. b.r. [cit. 2016-12-13]. Dostupné z: http://www.seas.ucla.edu/brweb/teaching/215D_S2012/Comps2012.pdf
- [14] RAZAVI, Behzad a Bruce WOOLEY. Design Techniques for High-speed, High-Resolution Comparators. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*. 1992, **27**(12), 1916-1926.
- [15] SAMID, Lourans, Patrick VOLZ a Yiannos MANOLI. *An analytical approach for calculating the propagation delay and power dissipation of a latched CMOS comparator* [online]. Freiburg, Germany, b.r. [cit. 2016-10-13]. Dostupné z: https://www.vde.com/de/fg/itg/archiv-bis2004/documents/mcms/13samid_volz_031.pdf
- [16] FIGUEIREDO, Pedro M. a João C. VITAL Kickback Noise Reduction Techniques for CMOS Latched Comparators. In: *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS* [pdf]. 2006, s. 541-545 [cit. 2017-04-2].
- [17] LEI, Ka-Meng, Pui-In MAK a Rui MARTINS Systematic analysis and cancellation of kickback noise in a dynamic latched comparator. *Analog Integrated Circuits and Signal Processing*. 2013, **77**(2), 277-284. DOI: 10.1007/s10470-013-0156-1. ISSN 0925-1030. Dostupné také z: <http://link.springer.com/10.1007/s10470-013-0156-1>
- [18] KAZIM, Muhammad Irfan. *DESIGN OF HIGHLY LINEAR SAMPLING SWITCHES FOR CMOS TRACK-AND-HOLD CIRCUITS* [pdf]. In: . Linköping, 2006 [cit. 2017-05-17].

Seznam obrázků

Obrázek 1: Princip komparátoru. [2].....	9
Obrázek 2: Srovnání ideálního a reálného komparátoru z hlediska stejnosměrných parametrů. [4]	10
Obrázek 3: Srovnání ideálního a reálného komparátoru z hlediska přenosového zpoždění. [4]	10
Obrázek 4: Komparátor s otevřenou smyčkou. [2]	11
Obrázek 5: Komparátor s kladnou zpětnou vazbou. [1].....	12
Obrázek 6: Průběh signálů pro zapojení LG v čase změny stavu z resetovacího do vyhodnocovacího.....	13
Obrázek 7: Komparátor typu Lewis – Gray [6].....	14
Obrázek 8: Vypočítaná závislost proudu I_d na poměru šířky a délky hradla tranzistoru M1 a M2.....	16
Obrázek 9: Simulovaná závislost proudu I_d na poměru šířky a délky hradla tranzistoru M1 a M2.....	16
Obrázek 10: Změna operačního režimu dynamického komparátoru typu Lewis Gray v závislosti na čase.....	17
Obrázek 11: Komparátor typu Sense amplifier. [7]	18
Obrázek 12: Změna operačního režimu dynamického komparátoru Sense amplifier v závislosti na čase.....	18
Obrázek 13: Zapojení Double tail. [8].....	19
Obrázek 14: Porovnání změny proudu a transkonduktance se změnou W/L vstupního páru tranzistoru.	22
Obrázek 15: Topologie pro nulování offsetu využívající vzorkování na výstupu. [12].....	24
Obrázek 16: Topologie pro nulování offsetu využívající vzorkování na vstupu. [13].....	24
Obrázek 17: Automatické nulování s pomocným zesilovačem. [13].....	25
Obrázek 18: Princip choppování [3].....	25
Obrázek 19: Vypočítaná závislost změny přenosového zpoždění se změnou W/L tranzistorů invertorů.	27
Obrázek 20: Odsimulovaná závislost přenosového zpoždění na poměru W/L tranzistorů M3 a M4.....	28
Obrázek 21: Odsimulovaná závislost zpoždění na poměru W/L vstupních tranzistorů, $L = 1 \mu\text{m}$ (modrá), $L = 6 \mu\text{m}$ (červená).	28

Obrázek 22: Odsimulovaná závislost zpoždění na šířce vstupních tranzistorů, $L = 6 \text{ um}$ pro zapojení Sense Amplifier komparátor.	29
Obrázek 23: Závislost přenosového zpoždění na rozdílu vstupních napětí komparátoru Lewis - Gray.	30
Obrázek 24: Detail spínacího rušení pro zapojení Double tail.....	32
Obrázek 25: Spínací rušení pro zapojení Lewis-Gray.....	32
Obrázek 26: Spínací rušení pro zapojení SA.....	33
Obrázek 27: Navržené zapojení Lewis – Gray.....	34
Obrázek 28: Navržené zapojení SA.....	35
Obrázek 29: Předzesilovač komparátoru.....	37
Obrázek 30: Změna výstupního napětí se změnou vstupního souhlasného napětí.....	38
Obrázek 31: Obvod pro potlačení spínacího rušení.....	39
Obrázek 32: Schéma navrženého operačního transkonduktančního zesilovače	40
Obrázek 33: Změna výstupního napětí se změnou vstupního souhlasného napětí.....	41
Obrázek 34: Obvod pro potlačení vstupní napěťové nesymetrie	42
Obrázek 35: Schéma navrženého předzesilovače - složená kaskóda	43
Obrázek 36: Změna výstupního napětí se změnou vstupního souhlasného napětí.....	44
Obrázek 37: Graf přenosového zpoždění v závislosti na rozdílu vstupních signálů	45
Obrázek 38: Histogram vstupní napěťové nesymetrie	45
Obrázek 39: Topologie obvodu na čipu, a) Vstupní tranzistorový pár, b) proudová zrcadla, c) proudové zdroje, d) dynamický komparátor a buffery	46
Obrázek 40: Corner analýza pro parametr proudové spotřeby.....	48
Obrázek 41: Corner analýza pro parametr vstupní napěťové nesymetrie.	48
Obrázek 42: Corner analýza pro parametr přenosového zpoždění.....	49
Obrázek 43: Corner analýza pro parametr spínacího rušení.....	49
Obrázek 44: Histogram vstupní napěťové nesymetrie	50
Obrázek 45: Graf přenosového zpoždění v závislosti na rozdílu vstupních signálů	51
Obrázek 46: Závislost proudové spotřeby na frekvenci hodinového signálu.....	51

Seznam tabulek

Tabulka 1: Srovnání navržených dynamických komparátorů.	35
Tabulka 2: Parametry navrženého komparátoru typu Lewis – Gray s předzesilovačem.	38
Tabulka 3: Parametry navrženého komparátoru typu Sense Amplifier s předzesilovačem.	39
Tabulka 4: Parametry navrženého komparátoru typu Sense Amplifier s předzesilovačem OTA.	40
Tabulka 5: Parametry komparátoru Sense Amplifier s předzesilovačem OTA s nulováním nesymetrie.....	42
Tabulka 6: Parametry komparátoru Sense Amplifier se složenou kaskádou.	43
Tabulka 7: Parametry navržené topologie komparátoru pro analýzu Monte Carlo pro nejhorší případ z corner analýzy.....	50

Příloha 1 Schéma navrženého komparátoru

