



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY

A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH PŘESNÉ NAPĚŤOVÉ REFERENCE S VYUŽITÍM METODY DYNAMICKÉHO SOUBĚHU

DESIGN OF THE PRECISE VOLTAGE REFERENCE USING THE DYNAMIC ELEMENT MATCHING METHOD

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Martin Chmelař

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2024

Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

Student: Bc. Martin Chmelař

ID: 220875

Ročník: 2

Akademický rok: 2023/24

NÁZEV TÉMATU:

Návrh přesné napět'ové reference s využitím metody dynamického souběhu

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte různé druhy napět'ových referencí s ohledem na jejich přesnost a velikost čipu. Ověřte jejich parametry (přesnost, PSRR, velikost, spotřeba atd.) a vyberte nejvhodnější topologii. Dále prostudujte možnosti metody dynamického souběhu součástek a vliv na výsledné parametry reference. V návrhovém prostředí Cadence Virtuoso navrhnete reálný systém na tranzistorové úrovni v submikronové technologii. Porovnejte výsledky s běžně používanými referencemi.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 5.2.2024

Termín odevzdání: 21.5.2024

Vedoucí práce: Ing. Roman Prokop, Ph.D.

Konzultant: Ing. Petr Mácha

doc. Ing. Lukáš Fucík, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato práce se zabývá prostudováním tří bandgap referencí z hlediska možnosti použití metod dynamického souběhu pro vylepšení parametrů přesnosti výstupního napětí a velikosti na čipu. Design je proveden v submikronové technologii s použitím reálných součástek.

KLÍČOVÁ SLOVA

Dynamický souběh, bandgap reference, CMOS, napěťová reference

ABSTRACT

This thesis examines three bandgap references for the possibility of using dynamic element matching methods to improve the accuracy of output voltage and on-chip size. The design is done in submicron technology using real components.

KEYWORDS

Dynamic element matching, bandgap reference, CMOS, voltage reference

CHMELAŘ, Martin. *Návrh přesné napěťové reference s využitím metody dynamického souběhu*. Diplomová práce. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky, 2024. Vedoucí práce: Ing. Roman Prokop, Ph.D.

Prohlášení autora o původnosti díla

Jméno a příjmení autora:	Bc. Martin Chmelař
VUT ID autora:	220875
Typ práce:	Diplomová práce
Akademický rok:	2023/24
Téma závěrečné práce:	Návrh přesné napěťové reference s využitím metody dynamického souběhu

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno

.....

podpis autora*

*Autor podepisuje pouze v tištěné verzi.

PODĚKOVÁNÍ

Rád bych poděkoval vedoucímu diplomové práce panu Ing. Romanu Prokopovi, Ph.D. za záštitu této práce na akademické půdě. Dále bych rád poděkoval panu Ing. Petru Máchovi za vedení práce ze strany firmy. Velké díky patří také firmě **onsemi** za poskytnutí prostředků, díky kterým bylo možno tuto práci vytvořit.

Obsah

Úvod	12
1 Teoretický úvod	13
1.1 Bandgap reference	13
1.2 Dynamický souběh	14
1.3 Chopperem stabilizovaný operační zesilovač	16
1.4 PSRR	17
2 Reference	19
2.1 CMOS reference založená na napětí	19
2.2 CMOS reference založená na proudu	21
2.3 CMOS reference založená na proudu s kompenzací U_{DS} PMOS zrcadla	22
2.4 Analýzy	23
3 Praktická část	24
3.1 Oscilátor	24
3.2 Operační zesilovač	26
3.3 Startovací obvod	28
3.4 Filtr	30
3.5 Návrh CMOS reference založené na napětí	33
3.6 Návrh CMOS reference založené na proudu	35
3.6.1 Výpočet hodnot součástek	35
3.6.2 Aplikace DEM	37
3.7 Návrh CMOS reference založené na proudu s kompenzací U_{DS} PMOS zrcadla	40
4 Výsledky	43
Závěr	52
Literatura	54
Seznam symbolů a zkratk	55
Seznam příloh	56
A Schéma výsledné reference	57
B Orientační layout výsledné reference	58

C Tabulka porovnávající parametry výsledné reference s obdobnými pracemi

Seznam obrázků

1.1	Blokové schéma vzniku IREF proudu	13
1.2	Napětový dělič znázorňující mismatch	16
1.3	Choppovaný zesilovač	17
1.4	Typický průběh PSRR	18
2.1	CMOS reference založená na napětí	19
2.2	CMOS reference založená na proudu	21
2.3	CMOS reference založená na proudu s kompenzací U_{DS}	22
3.1	Schéma oscilátoru	24
3.2	Napětové průběhy v oscilátoru	25
3.3	Teplotní závislost výstupní frekvence oscilátoru	26
3.4	Schéma operačního zesilovače	27
3.5	Průběh výstupního napětí operačního zesilovače s offsetem 50 mV zapojeného jako sledovač	27
3.6	Výsledek stabilitní analýzy operačního zesilovače	28
3.7	Schéma startovacího obvodu	29
3.8	Charakteristika startovacího obvodu	30
3.9	Schéma filtru 1. řádu	31
3.10	Výstupní napětí filtru	32
3.11	Výstupní AC charakteristika filtru	32
3.12	Teplotně kompenzované referenční napětí	34
3.13	Schéma operačního zesilovače	34
3.14	Přepínač pro DEM	37
3.15	Řídící logika tříkanálového DEM	38
3.16	Řídící signály pro tříkanálový DEM	39
3.17	Přepínač pro tříkanálový DEM	39
4.1	Časový průběh referenčního napětí	43
4.2	Časový průběh referenčního napětí - detail	44
4.3	Závislost referenčního napětí na teplotě	44
4.4	Proudová spotřeba v závislosti na teplotě	45
4.5	Zákmity výstupního napětí v závislosti na teplotě	45
4.6	Spektrální hodnota výstupního šumu	46
4.7	Proudy jednotlivými bloky reference	47
4.8	Proudy jednotlivými bloky reference - detail	47
4.9	Hodnoty PSRR v závislosti na frekvenci	48
4.10	Závislost referenčního napětí na napájecím napětí	48
4.11	Závislost referenčního napětí na napájecím napětí - detail	49
4.12	Zákmity výstupního napětí v závislosti na napájecím napětí	49

4.13 Proudová spotřeba v závislosti na napájecím napětí	50
A.1 Schéma výsledné reference	57
B.1 Ilustrační layout reference	58

Seznam tabulek

3.1	Porovnání simulovaných hodnot CMOS reference založené na napětí .	35
3.2	Porovnání simulovaných hodnot CMOS reference založené na proudu	37
3.3	Porovnání simulovaných hodnot CMOS reference s DEM a bez DEM	40
3.4	Porovnání simulovaných hodnot CMOS reference s kompenzací	41
3.5	Celkové porovnání CMOS referencí	42
C.1	Porovnání parametrů vytvořené reference s obdobnými pracemi . . .	59

Úvod

Tato diplomová práce se zabývá prostudováním několika bandgap napěťových referencí, pro které je možné využít metody dynamického souběhu a vyhodnocením vlivů metod na parametry reference.

Bandgap reference se v dnešní době používají ve většině integrovaných obvodů, kde slouží jako napěťová reference. Od této reference se pak odvíjejí referenční proudy a napětí pro zbytek obvodu. Velmi populárním zapojením je Brokawova napěťová reference. Ta využívá NPN bipolární tranzistory. Tento typ tranzistorů, ale neexistuje ve všech technologiích. Oproti tomu v naprosté většině CMOS (Complementary Metal–Oxide–Semiconductor) technologií je možné vytvořit substrátový PNP bipolární tranzistor. Reference s tímto typem tranzistorů dosahují menší přesnosti výstupního napětí, ale zaujímají menší plochu na čipu, protože v P substrátu mají jednodušší strukturu.

Cílem práce bylo zjistit, jaký vliv bude mít použití metody dynamického souběhu na parametry referencí a zda je tuto metodu vhodné použít. Sledovanými parametry byly statistický rozptyl referenčního napětí, plocha na čipu, spotřeba, PSRR (Power Supply Rejection Ratio), šum a teplotní závislost.

Diplomová práce je rozdělena na čtyři hlavní části. První část se zabývá popsáním principu bandgap reference. Dále jsou zde popsány výhody a nevýhody metody dynamického souběhu, chopperem stabilizovaného operačního zesilovače a PSRR. V druhé části jsou teoreticky rozebrány konkrétní typy referencí. Třetí část práce se zabývá praktickým návrhem bloků v softwaru Cadence Virtuoso a realizací jednotlivých referencí. V poslední části diplomové práce jsou rozebrány výsledky jednotlivých simulací pro výslednou navrženou referenci.

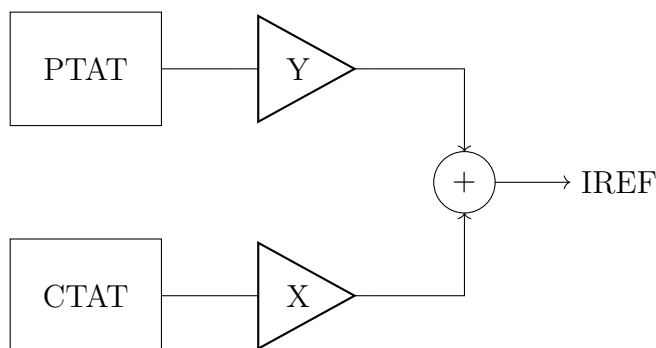
1 Teoretický úvod

Teoretická část se zabývá principy bandgap reference a metodou dynamické souběhu. Je zde popsána metoda vyrušení offsetu operačního zesilovače, která byla úspěšně implementována v rámci praktické části.

1.1 Bandgap reference

Obecně můžeme říct, že napěťová reference je obvod, který by měl ideálně konstantní výstupní napětí bez ohledu na okolní parametry. Tyto parametry mohou být například velikost napájecího napětí nebo teplota. Tento obvod by tedy odpovídal ideálnímu napěťovému zdroji.

V praxi takového obvodu nejde dosáhnout a z tohoto důvodu se snažíme jednotlivé okolní vlivy alespoň vhodně kompenzovat. Pro teplotní kompenzaci využíváme vyvážení dvou teplotních závislostí s opačnou závislostí tak, aby došlo k jejich vyrušení. Tyto dva proudy se nazývají PTAT (Proportional To Absolute Temperature) a CTAT (Complementary To Absolute Temperature). Jak již názvy napovídají, PTAT je proporcionální k absolutní teplotě. Má tedy kladný teplotní koeficient. CTAT je komplementární, má záporný teplotní koeficient. Takto vzniklý proud nazveme IREF [1].



Obr. 1.1: Blokové schéma vzniku IREF proudu

Teplotní závislost napětí báze-emitor křemíkového bipolárního tranzistoru se při teplotách kolem 300 K pohybuje v hodnotách -1.5 až -2 mV/K [2]. Tyto hodnoty neplatí pro všechny technologie a je nutné počítat s tím, že se jedná pouze o orientační hodnotu, kterou bychom v případě potřeby museli dopočítat.

Kladné teplotní závislosti lze docílit pomocí rozdílů napětí báze-emitor stejných tranzistorů, které budou pracovat s rozdílnými proudovými hustotami [3].

Teplotní závislost je možné poměrně snadno odvodit z následujících rovnic 1.1 a 1.2 [2].

$$\Delta U_{BE} = U_{BE1} - U_{BE2} = U_T \ln\left(\frac{NI_0}{I_S}\right) - U_T \ln\left(\frac{I_0}{I_S}\right) = U_T \ln(N) \quad (1.1)$$

U_T - teplotní napětí

N - poměr proudových hustot tranzistorů

I_S - saturační proud

I_0 - kolektorový proud

Rozdíl bázových napětí zderivujeme podle teploty, abychom získaly teplotní závislost.

$$TC_{\Delta U_{BE}} = \frac{\partial \Delta U_{BE}}{\partial T} = \frac{k}{q} \ln(N) \quad (1.2)$$

k - Boltzmannova konstanta

q - náboj elektronu

Pro docílení teplotní kompenzace oba jevy zesílíme v takovém poměru, aby se navzájem vykompenzovaly. Tento poměr nazveme X . V analogii k obrázku 1.1 by to znamenalo, že zesílení Y bude 1 a z výpočtu dostaneme zesílení X . V rovnici 1.3 je uveden příklad výpočtu pro hodnotu N rovnu osmi a předpokládanou hodnotu teplotní závislosti napětí báze-emitor -2 mV/K. Hodnota osm byla zvolena z hlediska layoutu, ve kterém je umístěno osm tranzistorů v matici kolem jednoho tranzistoru z důvodu kompenzace působení zdrojů tepla, například z výkonových částí obvodu.

$$X = \frac{-TC_{U_{BE}}}{TC_{\Delta U_{BE}}} = \frac{2 \cdot 10^{-3}}{\frac{k}{q} \ln(8)} \doteq 11.16(-) \quad (1.3)$$

Součtem napětí báze-emitor (předpokládejme 0.65 V) a získaného koeficientu X vynásobeného ΔU_{BE} dostaneme hodnotu referenčního napětí, pro kterou dojde k teplotní kompenzaci. Výpočet je uveden v rovnici 1.4.

$$U_{BG} = U_{BE} + X \cdot U_{\Delta U_{BE}} = 0.65 \cdot 11.16 \cdot 179.19 \cdot 10^{-6} \approx 1.25V \quad (1.4)$$

Výsledné napětí nabývá hodnoty 1.25 V a má hodnotu přibližně šířky zakázaného pásu křemíku při teplotě 300 K. Z tohoto důvodu se tato reference nazývá bandgap.

1.2 Dynamický souběh

V praxi není možné vytvořit dvě naprosto totožné komponenty. Ať už se jedná o tranzistory, rezistory nebo jakékoliv jiné součástky. Při výrobě se pohybujeme

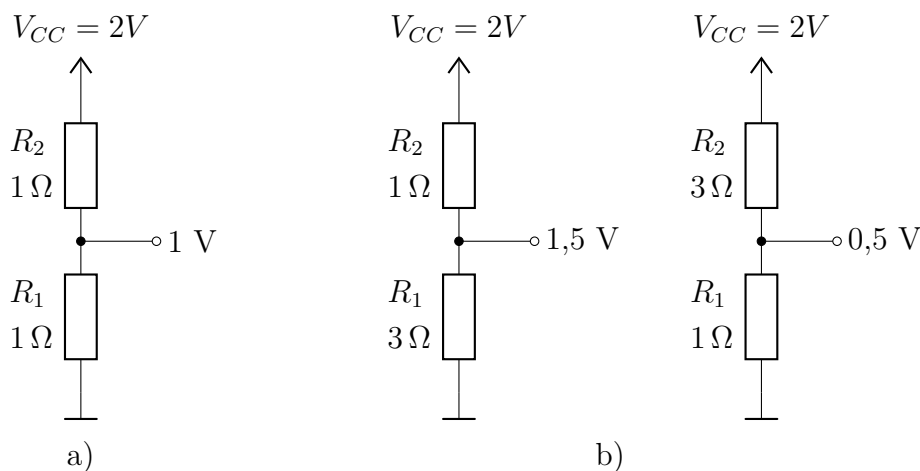
pouze v určitých statistických hodnotách rozptylů, ve kterých je možno danou součástíku vytvořit.

Mnoho principů v analogovém návrhu se snaží využívat poměrů oproti absolutním hodnotám součástek. Díky tomu se kompenzují jevy, které pohybují určitou veličinou stejně na všech stejných typech součástek. Máme-li například rezistor na čipu, není nic neobvyklého, aby se jeho reálná hodnota pohybovala v hodnotách $\pm 20\%$ od nominální hodnoty. Použijeme-li ale dva stejné typy rezistorů jako dělič napětí, výstup tímto jevem není ovlivněn.

Kromě jevu zmíněného v minulém odstavci dochází i k rozptylu parametrů součástek stejného typu. Tento rozptyl nelze kompenzovat stejnou technikou. Bývá označován jako mismatch. Vliv mismatche je možné snížit zvětšením plochy součástek a to z toho důvodu, že na větší ploše vznikne větší množství náhodných jevů, které se statisticky vzájemně vyruší. Kromě zvětšení plochy lze potlačení docílit použitím metody označované jako DEM (Dynamic Element Matching). Princip spočívá v tom, že dochází k prohazování důležitých prvků obvodu mezi sebou. Za takové prvky považujeme dva nebo více prvků, které mají být z hlediska návrhu totožné a ovlivňují sledovanou hodnotu.

Abychom si přiblížili DEM, použijeme pro ilustraci napěťový dělič na obrázku 1.2. Pro jednoduchost zvolíme napájecí napětí 2 V. Hodnoty rezistorů volíme obě 1 Ω . V ideálním případě by výstupní napětí děliče bylo 1 V. Nyní použijeme rezistory s hodnotami 3 Ω a 1 Ω . Výstupní napětí v tomto případě bude 0.5 V. Pokud přehodíme hodnoty rezistorů, bude výstupní napětí nabývat hodnoty 1.5 V.

V předchozím odstavci byl názorně ukázán vliv špatného souběhu na výstupní hodnotu. Nyní si můžeme představit, že dva předchozí stavy velmi rychle prohazujeme. Výstupní napětí se bude rychle měnit od hodnoty 0.5 V k hodnotě 1.5 V a naopak. Tento signál je možné vyfiltrovat filtrem typu dolní propust. Výsledné napětí je pak 1 V, ale má zvlnění, které je nutné filtrovat.



Obr. 1.2: Napěťový dělič znázorňující mismatch. a) Žádný mismatch. b) Vliv mismatche na výstupní napětí.

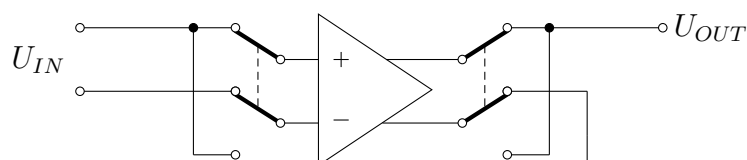
Tento příklad velmi dobře demonstruje výhody i nevýhody DEM. Výhodou je samozřejmě fakt, že jsme i s extrémním nesouběhem použitých rezistorů (1:3) docílili požadované hodnoty na výstupu. Nevýhod je hned několik. První nevýhodou je zvýšení komplexity celého obvodu. Ze zapojení, ve kterém byly původně jenom dva pasivní prvky, vznikne zapojení, které musí obsahovat oscilátor, který bude přehazovat rezistory. Dále zde přibudou přepínače, které zajistí samotné přehazování. Druhou zásadní nevýhodou je nutnost filtrovat výstupní signál. V nejjednodušším případě se může jednat o filtr RC. Obecně ale kondenzátory na čipu zabírají velkou plochu a chceme se jim vyvarovat.

1.3 Chopperem stabilizovaný operační zesilovač

Tato metoda slouží k minimalizaci offsetu operačních zesilovačů. Jedná se o podobný princip, který byl popsán v předchozí kapitole. Je založený na tom, že řídicím oscilátorem přepínáme vstupy operačního zesilovače a výsledný výstupní střídavý signál filtrujeme filtrem typu dolní propust, případně pásmovou zadrží, která nepropustí frekvenci řídicího oscilátoru [4].

Příklad je uveden na obrázku 1.3, kde lze vidět rozdílový zesilovač, kterému jsou prohazovány vstupy a výstupy pomocí přepínačů.

Výhodou je vyrušení offsetu, který může mít libovolný původ. Vyruší se díky tomu i případné driftové jevy, které by v operačním zesilovači mohly vzniknout stárnutím jedné z větví. K tomuto jevu dochází v případě, že je dlouhodobě jiné napětí na jednom ze vstupů. Tranzistory ve vstupním diferenčním páru mají v takovém případě dlouhodobě jiné podmínky a jejich parametry se od sebe rozcházejí.



Obr. 1.3: Choppovaný zesilovač

Zjevnou nevýhodou jsou zákmity na výstupním signálu. Zákmity se mohou šířit do dalších částí obvodu a způsobovat nežádoucí stavy.

1.4 PSRR

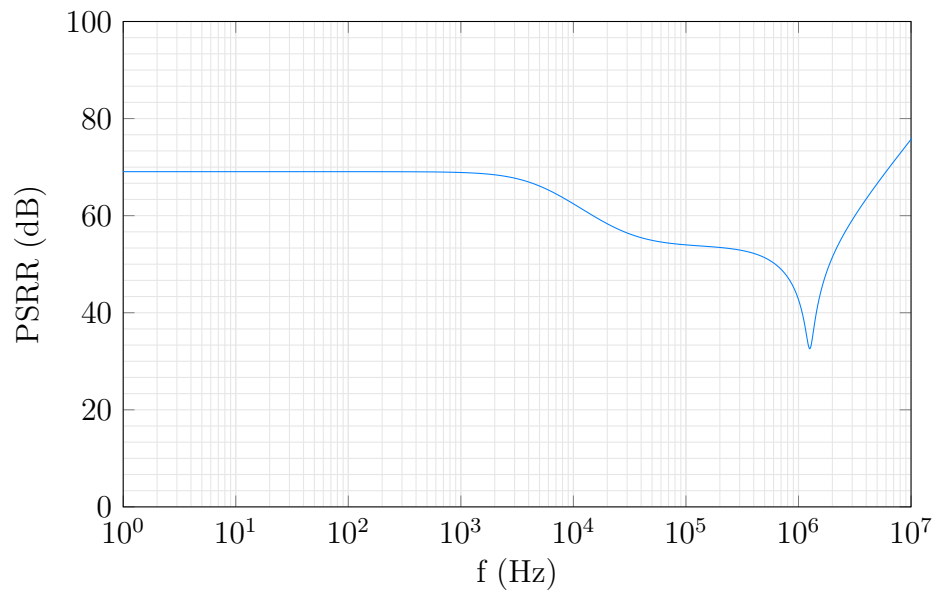
PSRR (Power Supply Rejection Ratio) je parametr udávající schopnost obvodu potlačit vliv změny napájecího napětí na výstupní veličinu [5]. Jedná se u důležitý parametr například pro obrazové snímače nebo WiFi adaptéry. Obvykle se udává v poměrových jednotkách dB. K výpočtu slouží vzorec 1.5.

$$PSRR = 20 \cdot \log \left(\frac{\Delta U_{CC}}{\Delta U_X} \right) \quad (1.5)$$

ΔU_{CC} - změna napájecího napětí

ΔU_X - změna měřené veličiny

Tento parametr je závislý na frekvenci, se kterou ke změně napájecího napětí dochází. Reálný průběh je zobrazen na obrázku 1.4. Jedná se o průběh získaný ze zapojení operačního zesilovače použitého jako sledovač. Většina komplexnějších integrovaných obvodů má se vzrůstající frekvencí horší schopnost potlačovat změny na napájecím napětí. To je dáno zpětnými vazbami uvnitř obvodu, které při nižších frekvencích zvládají změnu napájení dostatečně rychle kompenzovat. Jak je možné vidět na reálných datech dochází od frekvence zhruba 100 kHz k opětovnému růstu PSRR. Vzrůstající průběh je způsoben vlivem parazitních kondenzátorů součástek, které mají kapacitu vůči zemi a potlačují tak vysoké frekvence.



Obr. 1.4: Typický průběh PSRR

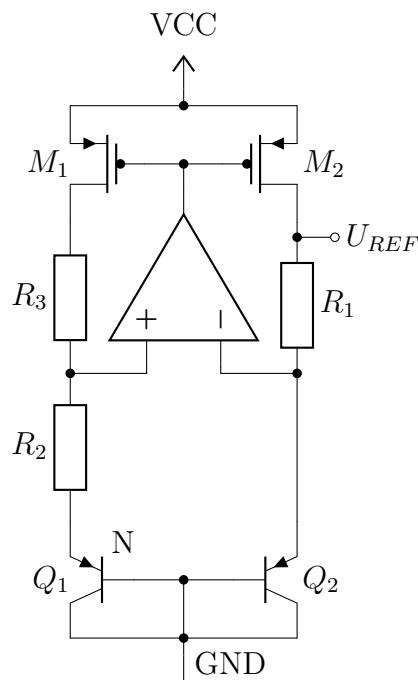
2 Reference

V této části jsou popsány jednotlivé typy referencí, které byly vybrány jako vhodné pro porovnání v této práci, protože je lze realizovat za pomoci PNP substrátových tranzistorů.

Následující obvody mají dva pracovní stavy a je nutné použít obvodové řešení, které je při startu přiblíží k tomu žádoucímu. Startovací obvody nejsou v následujících příkladech z důvodu přehlednosti uvedeny. Návrh startovacího obvodu je uveden v praktické části. Než byl navržen startovací obvod, byly pro simulační účely na vhodná místa připojeny tranzistory, jejichž gate byl řízen ideálním zdrojem. Přidané tranzistory při startu stáhly vybraný bod k nulovému napětí a poté již obvod neovlivňovaly.

2.1 CMOS reference založená na napětí

Jedná se o referenci, kterou je možné vytvořit v naprosté většině CMOS technologií, protože pro ni lze využít substrátové PNP tranzistory, které se v těchto technologiích vyskytují jako parazitní součástky. Schéma je uvedeno na 2.1.



Obr. 2.1: CMOS reference založená na napětí

Jak již bylo zmíněno v teoretické části, je nutné pro teplotní nezávislost výstupního napětí vytvořit dva proudy s opačnou teplotní závislostí. CTAT složku v této

referenci zajišťuje tranzistor Q_2 . PTAT složku získáme díky rozdílným proudovým hustotám, tranzistorů Q_1 a Q_2 . Rozdílné proudové hustoty jsou zajištěny stejným proudem do emitorů, ale jinou plochou těchto tranzistorů (Q_1 je stejný jako tranzistor Q_2 , ale je zde zapojen osmkrát paralelně).

Referenční napětí vychází z rovnice 2.1, kde je proud PTAT určen z napětí ΔU_{EB} a hodnoty rezistoru R_2 .

$$U_{REF} = U_{EBQ2} + I_{PTAT} \cdot R_1 = U_{EBQ2} + \frac{U_T \cdot \ln(N)}{R_2} \cdot R_1 \quad (2.1)$$

U_T - teplotní napětí

N - poměr tranzistorů

Tato reference se potýká s několika zdroji chyb. Na výstupní napětí má vliv offset operačního zesilovače, mismatch bipolárních tranzistorů, mismatch MOS tranzistorů a mismatch rezistorů.

Chyba způsobená nesouběhem rezistorů se na výstupu projeví dle rovnice 2.2 [6]. Lze ji minimalizovat vhodným layoutem.

$$\Delta U_{REF} = -U_T \delta_{RA} \quad (2.2)$$

δ_{RA} - dílčí odchylka rezistorů od jejich nominální hodnoty

U_T - teplotní napětí

Chyba způsobená nesouběhem ploch jednotlivých bipolárních tranzistorů se na výstupu projeví dle rovnice 2.3 [6].

$$\Delta U_{REF} = \frac{1}{\ln(N)} (U_T + U_{PTAT}) \delta_{PNP} \quad (2.3)$$

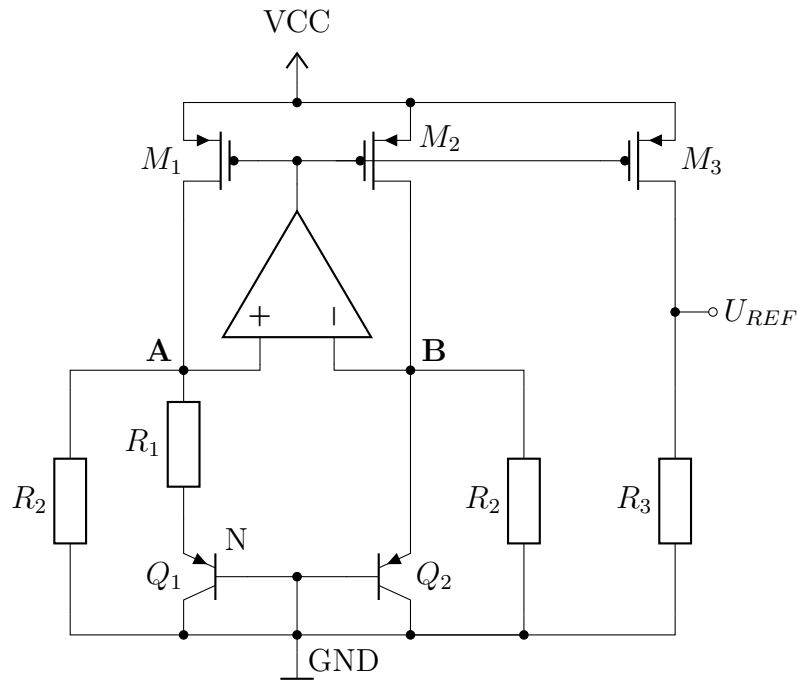
δ_{PNP} - dílčí odchylka ploch tranzistorů od jejich nominální hodnoty

U_{PTAT} - napětí na rezistoru R_1

Kvůli několika vysoko impedančním uzlům mohou nastat problémy se stabilitou. To je možné vyřešit vložením kondenzátoru mezi výstup operačního zesilovače a napájení. Takové řešení ovšem způsobí větší kapacitní vazbu k napájení a tím výrazně zhorší PSRR. Alternativou může být například zapojení kondenzátoru od výstupu operačního zesilovače k zemi nebo využití Millerova jevu a zapojení kondenzátoru mezi výstup operačního zesilovače a jeho neinvertující vstup. Kondenzátor se v takovém zapojení bude chovat jako by měl kapacitu zesílení krát větší. Díky tomu je možné použít kondenzátor řádově menší [6].

2.2 CMOS reference založená na proudu

Tato reference je opět založena na součtu PTAT a CTAT proudu. Rozdíl oproti předchozí referenci je v tom, že je možné pomocí této reference vytvářet libovolné referenční napětí a lze ji použít i pro napájecí napětí od zhruba 0.8 V. Případně můžeme odstranit rezistor R_3 a využívat teplotně kompenzovaný proud dodávaný tranzistorem M_3 . Schéma je uvedeno na obrázku 2.2.



Obr. 2.2: CMOS reference založená na proudu

Proud tranzistory M_1 - M_3 je určen dvěma proudy. Jeden z proudů je tvořen tranzistorem Q_1 , Q_2 a rezistorem R_1 (PTAT, vychází z rovnice 2.4). Druhý proud je tvořen tranzistorem Q_2 a rezistorem R_2 (CTAT, vychází z rovnice 2.5). Vhodným poměrem R_1 a R_2 dojde k teplotní kompenzaci. V takovém případě je kompenzovaný i proud tranzistorem M_3 a výsledné napětí vychází z rovnice 2.6.

$$I_{PTAT} = \frac{U_T \cdot \ln(N)}{R_1} \quad (2.4)$$

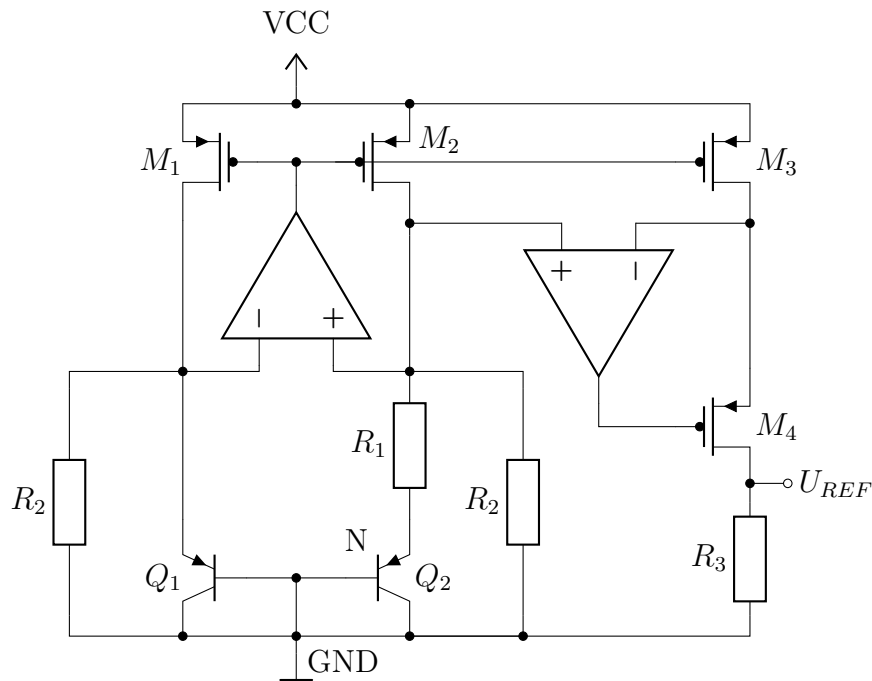
$$I_{CTAT} = \frac{U_{EBQ2}}{R_2} \quad (2.5)$$

$$U_{REF} = (I_{PTAT} + I_{CTAT}) \cdot R_3 \quad (2.6)$$

V tomto obvodu by mohly obdobně jako v předchozí referenci vznikat problémy se stabilitou, které je vhodné řešit vložení kompenzačního kondenzátoru.

2.3 CMOS reference založená na proudu s kompenzací U_{DS} PMOS zrcadla

Tato reference je pouze rozšířením předchozí reference. U té totiž nastává chyba v zrcadlení proudu, protože tranzistory M_2 a M_3 mají stejné napětí U_{GS} , ale ne napětí U_{DS} . To způsobuje chybu zrcadlení. Nevýhodou je větší plocha na čipu způsobená druhým operačním zesilovačem (obrázek 2.3). Další nezanedbatelnou nevýhodou je i vyšší spotřeba, která je opět způsobená druhým operačním zesilovačem.



Obr. 2.3: CMOS reference založená na proudu s kompenzací U_{DS}

Další možností kompenzace chyby zrcadlení by mohlo být použití jiného typu proudového zrcadla. To by ale způsobilo snížení hodnoty minimálního napájecího napětí. A došlo by tak ke ztrátě jedné z výhod reference.

2.4 Analýzy

Všechny simulace byly prováděny v softwaru Cadence Virtuoso. Během testování obvodu bylo využito několika typů simulací. Pro zapojení bez využití DEM nebo chopperem stabilizovaného operačního zesilovače bylo možné využít standardní přístup pomocí DC, AC, STB (typ simulace pro určení stability), případně transientní analýzy.

Takovýto obvod byl následně upravován primárně podle výsledků DC a transientní analýzy. Jednotlivé hodnoty součástek byly pomocí metody MC (Monte Carlo) rozptýleny v rámci výrobních parametrů, díky tomu bylo možné vyhodnocovat statistické hodnoty a zjistit vliv jednotlivých součástek na výsledné napětí. Z důvodu kompromisu mezi časovou náročností a vypovídajícími výsledky MC analýzy bylo pro simulace zvoleno 200 běhů.

Obvody, které obsahovaly spínané prvky, nebylo možné simulovat těmito metodami, protože základní metody počítají pouze s jedním pracovním stavem. Nebylo tedy možné například analyzovat výsledky z DC simulace, protože bychom analyzovali pouze jeden pracovní stav. Z tohoto důvodu byly analyzovány výsledky transientní analýzy. Toto řešení je výpočetně náročné, ale přináší i jiné informace jako dobu startu nebo zvlnění výstupu. Dalším typem analýzy byla analýza PSS (Periodic Steady State). Jedná se o typ analýzy, který počítá s více pracovními stavy. Porovnáním výsledků PSS a transientní analýzy byla zjištěna zanedbatelná odchylka výsledných hodnot. Řádově se jednalo o jednotky promile.

Nevýhodou PSS analýzy je její konvergence neboli schopnost najít pracovní bod. V případě použití ideálního pulsního zdroje jako řídicího signálu problémy s konvergencí nenastávaly, ale v případě použití vlastního oscilátoru, který má rozptyl výstupní frekvence, docházelo k případům, kdy simulace nebyla schopna zkonvergovat. Tento problém je možné řešit vhodným nastavením parametrů simulace. Ty však způsobí větší časovou náročnost a je velmi obtížné najít správné simulační parametry bez předchozích zkušeností s PSS analýzou.

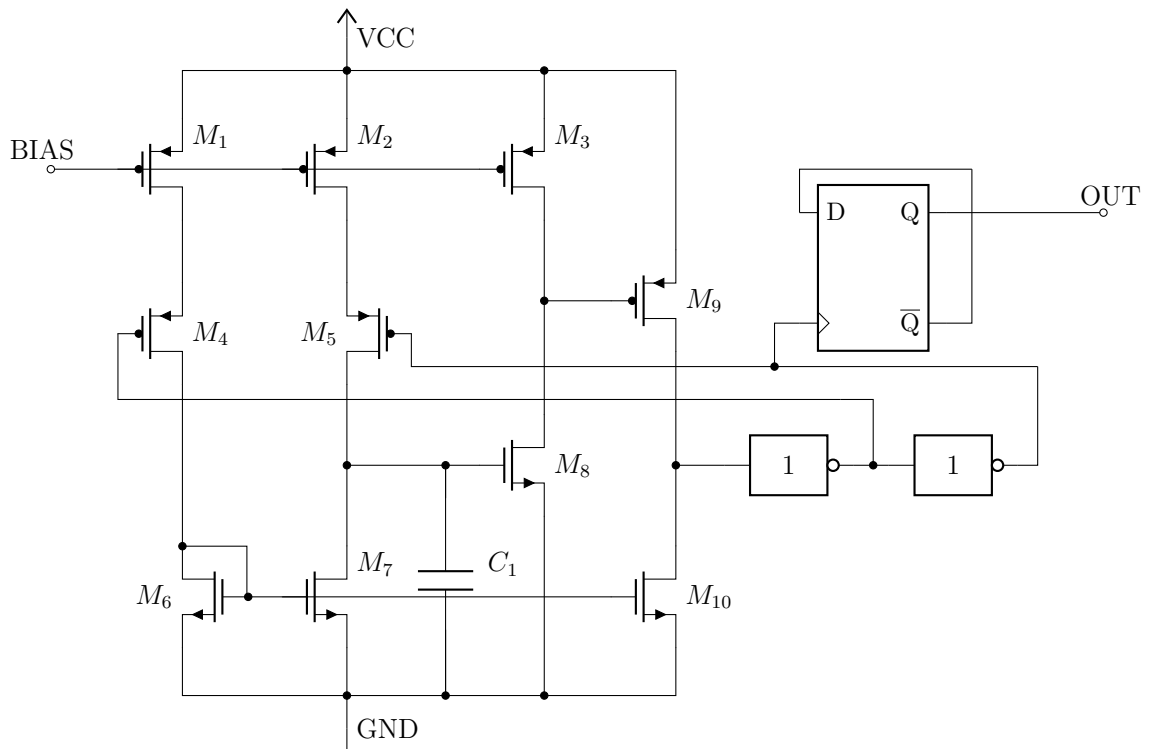
Posledním typem analýzy byla Pnoise analýza, která umožňuje zjistit hodnoty šumu pro spínaný obvod.

3 Praktická část

Tato část se zabývá simulacemi obvodů zmíněných v teoretické části. Všechny simulace byly prováděny v softwaru Cadence Virtuoso. Simulovanými parametry byly přesnost referenčního napětí, spotřeba, velikost na čipu, šum a PSRR. Velikost napájecího napětí byla 3.3 V. V případě odkazování na jednotlivé součástky se jedná o součástky ze schémat v teoretickém úvodu.

3.1 Oscilátor

Oscilátor byl navržen s ohledem na nízkou spotřebu a plochu na čipu. Přesnost jeho výstupní frekvence nemá zásadní vliv na zbytek obvodu a může být do jisté míry teplotně závislá.



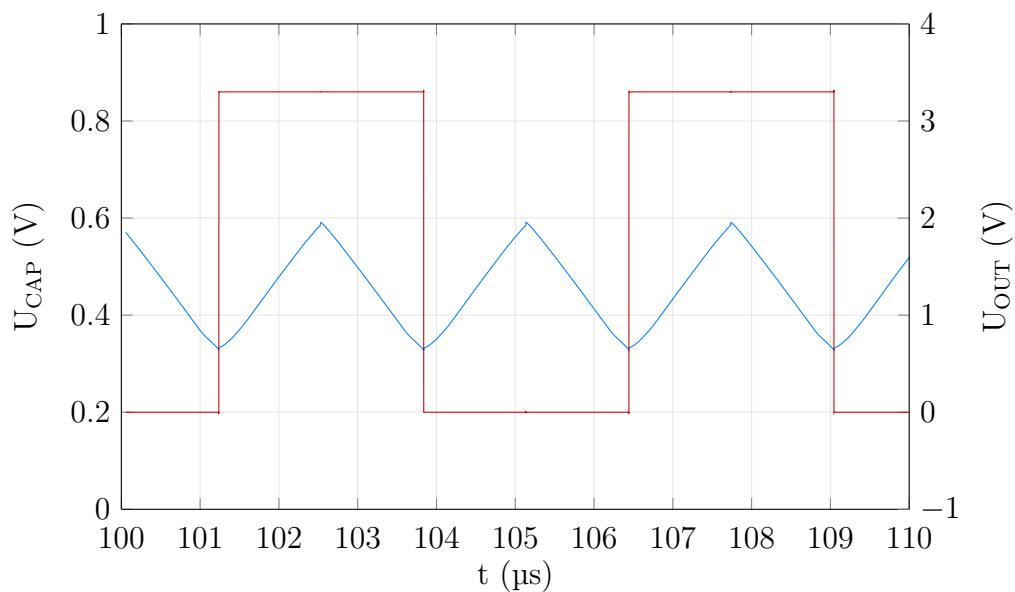
Obr. 3.1: Schéma oscilátoru

Princip spočívá ve vybíjení a nabíjení kondenzátoru C_1 konstantním proudem. Nabíjením kondenzátoru konstantním proudem se na kondenzátoru lineárně zvyšuje napětí. Nabíjecí proud je určen tranzistorem M_2 , který je nastaven napětím z reference tak, aby dodával proud 70 nA. Vybíjecí proud je určen tranzistorem M_1 a zrcadlem M_6 , M_7 . Napětí na kondenzátoru je připojeno ke gateu tranzistoru M_8 . M_8

řídí napětí na gate tranzistoru M_9 . Tranzistor M_9 řídí napětí na vstupu invertorů. Kombinace M_3 , M_8 a M_9 , M_{10} tvoří v podstatě invertory, které mají omezený proud. Omezený proud snižuje SR, ale nedochází k průchodu velkých proudů při vstupních napětích uprostřed napěťového rozsahu. Ze stejného důvodu byly upraveny rozměry tranzistorů v invertorech.

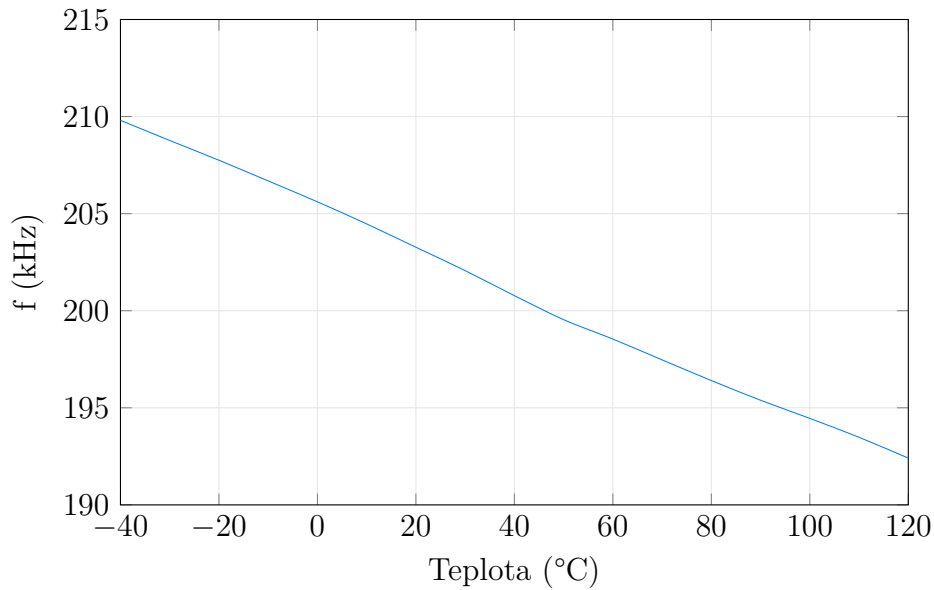
Aby byla na výstupu zajištěna střída 50 %, byla do cesty přidána dělička signálu realizovaná D klopným obvodem.

Frekvence oscilátoru je nastavena pomocí velikosti kapacity C_1 , proudy tranzistorů M_1 , M_2 , M_3 a prahovými napětími tranzistorů M_8 a M_9 . Nominální výstupní frekvence je 200 kHz se střídou 50 %. Reálné průběhy výstupu z oscilátoru a napětí na kondenzátoru je možné vidět na obrázku 3.2



Obr. 3.2: Průběh nabíjení kondenzátoru (modrá), výstupní signál (červená)

Teplotní závislost frekvence je vynesena na obrázku 3.3. Je zde vidět snižování frekvence s narůstající teplotou.



Obr. 3.3: Teplotní závislost výstupní frekvence oscilátoru

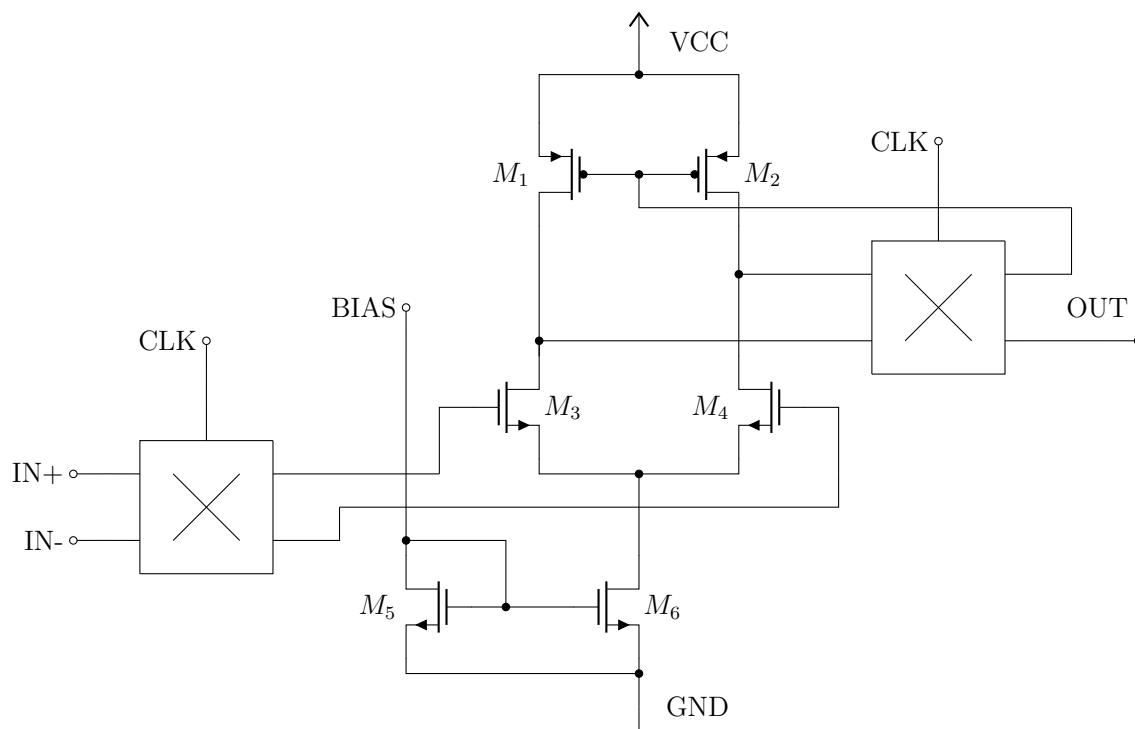
3.2 Operační zesilovač

Operační zesilovač byl navržen tak, aby měl malý SR (Slew Rate) malou spotřebu a co nejmenší offset (malý SR byl volen kvůli filtraci výstupního signálu a také potlačuje vliv rychlých jevů, které mohou nastávat na jeho vstupu). Těchto parametrů bylo docíleno použitím pouze jednoho stupně a prohazováním kladné a záporné větve zesilovače.

Na obrázku 3.4 je možné vidět dva přepínače. Vstupní přepínač prohazuje vstupy zesilovače. Výstupní přepínač prohazuje funkci neinvertujícího a invertujícího vstupu diferenčního páru. Prohození nastane v případě, že je hodnota signálu CLK v logické jedničce.

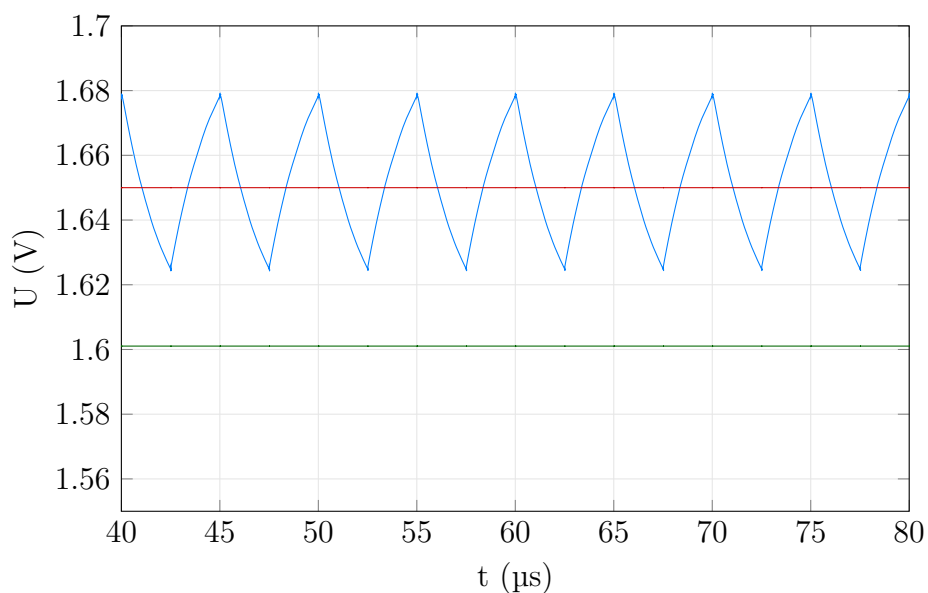
Tento systém zajišťuje kompenzaci offsetu, protože oba vstupní tranzistory M3 a M4 jsou využívány jako neinvertující i invertující vstup. Díky tomu je chyba způsobená offsetem po vyfiltrování výstupu minimalizována. Na obrázku 3.5 je možné vidět výstupní napětí pro operační zesilovač, který je zapojen jako sledovač (modrá). Na jeho neinvertující vstup bylo přivedeno napětí 1.65 V (červená) a do cesty mezi gatem tranzistoru M4 a výstupem první přepínače byl uměle zaveden offset v podobě ideálního napěťového zdroje s hodnotou 50 mV.

Na obrázku 3.5 je také pro porovnání vynesena výstup stejného operačního zesilovače s uzemněným CLK signálem (zelená). Ten se bude chovat jako běžné konvenční zapojení. Na první pohled je velmi dobře patrné, že výstupní hodnota ze sledovače se zapojeným hodinovým signálem osciluje kolem správné hodnoty 1.65 V. Zatím co



Obr. 3.4: Schéma operačního zesilovače

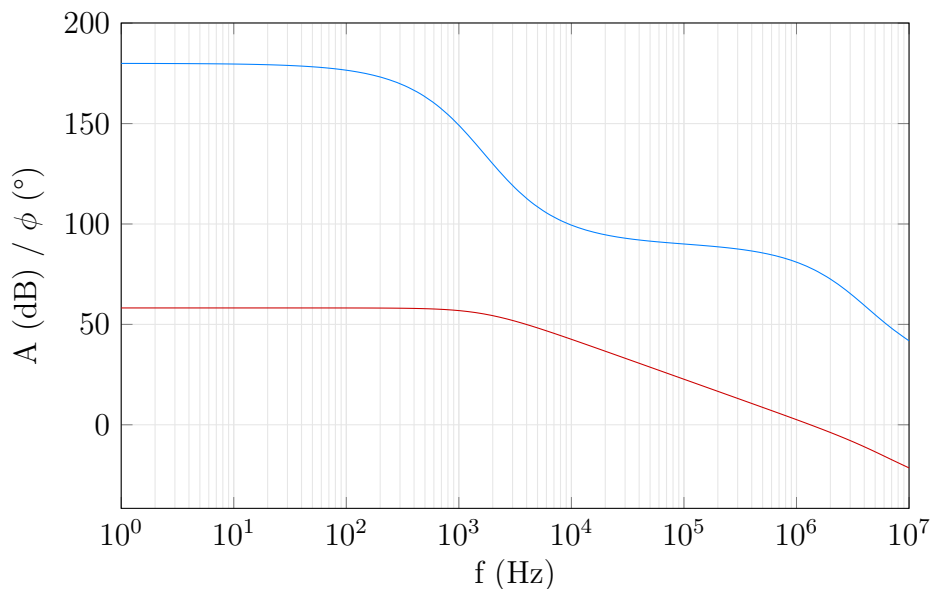
výstupní hodnota sledovače s uzemněným CLK nabývá hodnoty 1.6 V.



Obr. 3.5: Průběh výstupního napětí operačního zesilovače s offsetem 50 mV zapojeného jako sledovač. Ideální výstup (červená), reálný výstup (modrá), reálný výstup s uzemněným CLK (zelená).

Zákmity výstupního signálu by bylo možné minimalizovat připojením kapacity na výstupní signál, ta by ale zbytečně zabírala plochu na čipu. Kapacita zde není potřeba ani z důvodu stability, jak bylo ověřeno stabilitní analýzou. Další možností jak snížit překmity je snížením rychlosti přeběhu. V případě snížení rychlosti přeběhu se začnou více projevovat parazitní kapacity připojené k výstupu (dochází ke snížení proudu, který kapacity nabíjí/vybíjí) a tím právě i ke snížení zákmitů. Další výhodou snížení rychlosti přeběhu je to, že obvod nestíhá reagovat na skokové změny napětí, které v obvodu vznikají kvůli rychlému spínání DEM struktur.

Výsledky stabilitní analýzy jsou uvedeny na obrázku 3.6. Při simulaci bylo počítáno s připojenými parazitními kapacitami v celkové hodnotě 1 pF. Fázová bezpečnost obvodu je 78° , z toho plyne, že je obvod stabilní i pro relativně nízké hodnoty parazitních kapacit. V případě, že bychom nepočítali s žádnou dodatečnou kapacitou připojenou k výstupu, je hodnota fázové bezpečnosti stále dostatečná (53°).



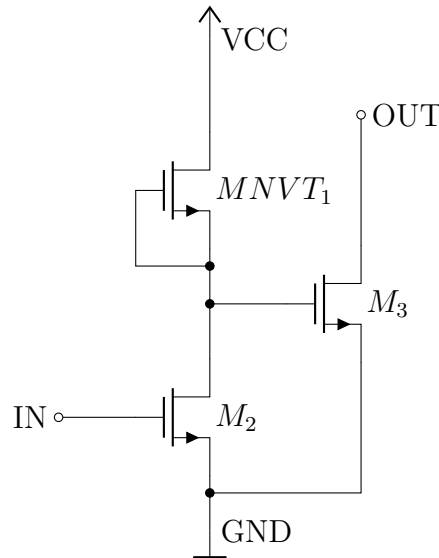
Obr. 3.6: Výsledek stabilitní analýzy operačního zesilovače. Zesílení (červená), fázový posun (modrá).

3.3 Startovací obvod

Obvody referencí mají typicky několik pracovních stavů. To je způsobeno operačním zesilovačem, který porovnává napětí na svých vstupech. V případě průchodu nulového proudu porovnávanými větvemi dostává na oba vstupy 0 V. Díky tomu nedochází ke změně výstupního napětí operačního zesilovače a obvod v tomto nežádoucím stavu setrvává. Tento stav je nežádoucí a je potlačen startovacím obvodem.

Startovací obvod zajistí průchod proudu větvemi obvodu, díky čemuž odstraní pracovní stav, při kterém obvod nepracuje, tak jak je požadováno.

V této konkrétní referenci byl startovací obvod vyřešen zapojením na obrázku 3.7. Vstup IN je při použití obvodu připojen k napětovému uzlu, jehož napětí nabývá co nejvyšších hodnot. Takovým uzlem je například v referenci z obrázku 2.1 výstupní uzel U_{REF} .

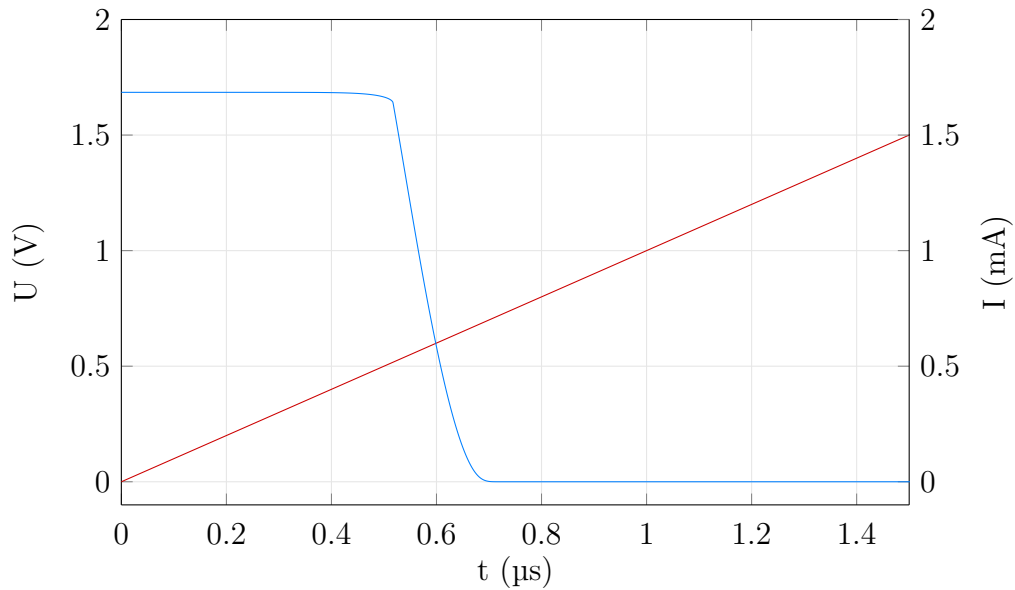


Obr. 3.7: Schéma startovacího obvodu

Obvod funguje tak, že se tranzistor $MNVT_1$ chová jako proudový zdroj. Jedná se o N typ tranzistoru, který má prahové napětí nižší než 0 V a jeho výstupní proud v tomto zapojení je možné ovlivnit jeho rozměry. Tato součástka nám umožňuje vytvářet proudový zdroj s malou plochou na čipu, ale zároveň má velkou teplotní závislost a nezanedbatelný technologický rozptyl. Proudový zdroj tvořený tranzistorem M_1 společně s tranzistorem M_2 tvoří invertor. Výstupní napětí invertoru je připojeno na gate tranzistoru M_3 , jehož drain je připojen přímo k tranzistorům, které řídí proud obvodem (na obrázku 2.1 gate tranzistorů M_1 a M_2).

Výhodou tohoto zapojení je jeho jednoduchost a nastavitelnost prahového napětí, při kterém má obvod přestat zasahovat do zbylých částí obvodu. Nevýhodou je spotřeba ve vypnutém stavu kolem 200 nA při pokojové teplotě.

Na obrázku 3.8 můžeme vidět teoretický proud tranzistorem M_3 v závislosti na vstupním napětí. V reálném zapojení je proud omezen proudem, který je schopný dodat operační zesilovač. Řádově se bude jednat o desetiny až jednotky μA .



Obr. 3.8: Charakteristika startovacího obvodu. Vstupní napětí (červená), teoretický možný proud tranzistorem M3 (modrá).

3.4 Filtr

Jak již bylo zmíněno v teoretickém úvodu, největší nevýhodou metod DEM a spínacího operačního zesilovače je nutnost filtrace výstupního signálu. Filtrace s sebou nese několik problémů. Prvním problémem je rychlost startu reference, neboli doba za kterou je od připojení napájecího napětí obvod schopen dosáhnout nominálního výstupního napětí. Druhým problémem je možnost zavedení chyby do výstupního signálu samotným filtrem.

Jednoduchým řešením filtru, které se nabízí, je integrátor v podobě RC zapojení. Návrh takového filtru byl proveden za předpokladu, že není možné využít velkých kapacit (větší než 50 pF) kvůli ploše na čipu. Mezní kmitočet filtru byl navrhnout tak, aby se pohyboval v desítkách Hz. Tato hodnota byla zvolena tak, aby docházelo na řídicí frekvenci obvodu (200 kHz) k potlačení alespoň 60 dB. Z rovnic 3.1 a 3.2 byla dopočtena hodnota rezistoru pro kapacitu 50 pF, která činí zhruba 300 MΩ.

$$\tau = RC \tag{3.1}$$

$$f_0 = \frac{1}{2\pi\tau} \tag{3.2}$$

Z výsledků vyplývá, že i pro relativně velkou kapacitu 50 pF je hodnota rezistoru

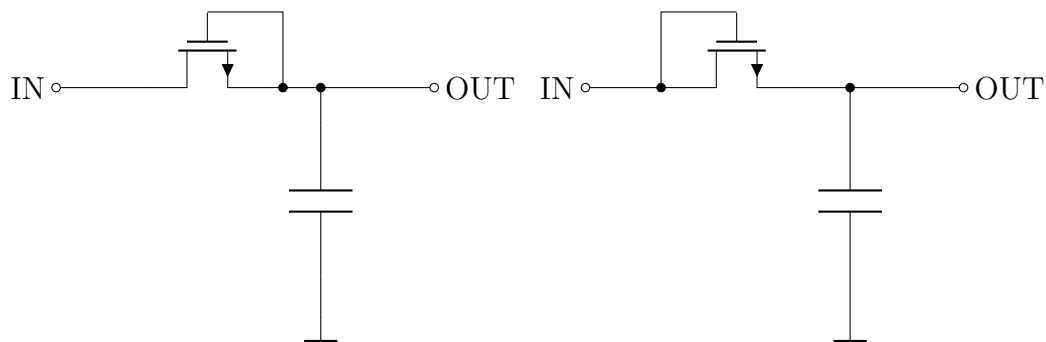
řádově ve stovkách $M\Omega$. V integrovaném obvodu je možno tak velkou kapacitu realizovat pomocí MOS tranzistoru, kterému zkratujeme gate a source. Tranzistor v tomto uzavřeném stavu má stále leakage proud a díky tomu se chová jako rezistor s velkou hodnotou odporu. Výhodou zapojení je malá plocha na čipu. Nevýhodou je návrh tranzistoru, jelikož v uzavřeném stavu nabývá hodnot řádově vyšších než $300 M\Omega$. To je možné řešit snižováním kapacity, která je ovšem limitovaná parazitními kapacitami a nejde ji dostatečně snížit.

Výše zmíněný filtr potlačuje výstupní zákmity, ale doba startu se kvůli nízkému lomovému kmitočtu pohybuje ve stovkách ms.

Dalším přístupem, který byl vyzkoušen, bylo obvodově odpojovat výstupní signál ve chvíli, kdy dochází k vytváření překmitů. Takovýto přístup se jeví jako intuitivní, ale naráží na realizaci připojování. Řídící signál spínače, který připojuje výstupní signál, se přenáší přes parazitní kapacitu spínače na výstup. Výstup je v rozpojeném stavu ve vysoké impedanci a jakékoliv připínání na něm způsobí zákmit.

Dále byla zvážena možnost aktivního filtru, která byla zamítnuta z důvodu offsetu, spotřeby a vlivu na PSRR celého systému.

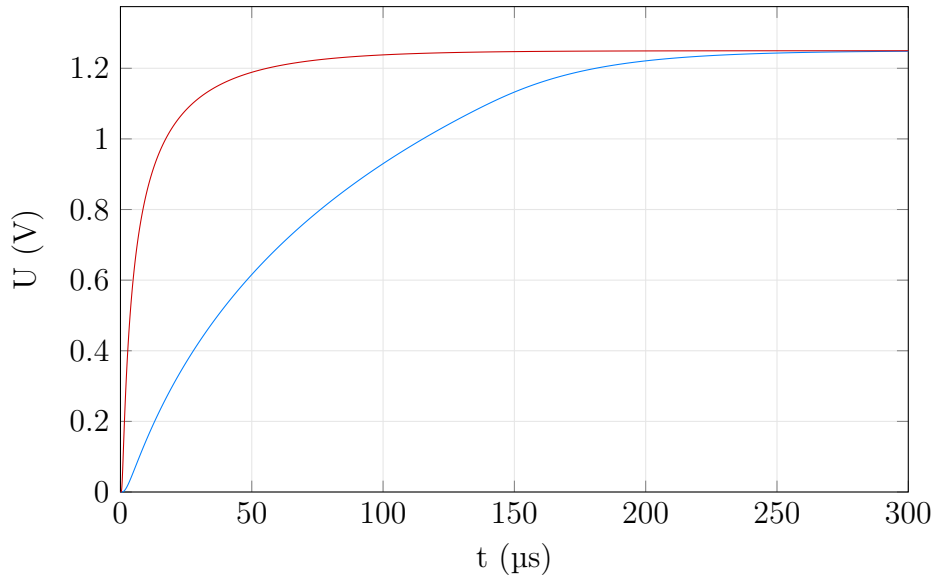
Při zvážení všech předchozích argumentů je vhodné použít RC filtr vyššího řádu, abychom zachovali dostatečné potlačení zákmitů a přitom docílili rychlejšího startu. Lomovou frekvenci filtru můžeme navrhnout na řádově vyšších frekvencích. Abychom se vyhnuli zbytečně velké ploše na čipu, byl místo rezistoru použit tranzistor NVT (stejný typ tranzistoru jako je popsán v předchozí kapitole). Díky posunutému prahovému napětí je pomocí něj možno realizovat rezistory o několik řádů nižší než pomocí standardního tranzistoru.



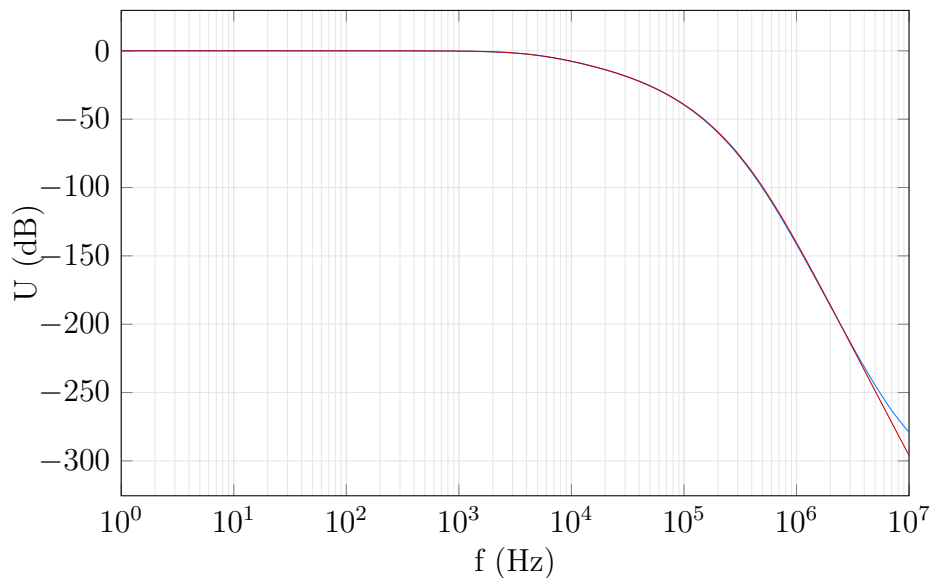
Obr. 3.9: Schéma filtru 1. řádu. a) Tranzistor jako rezistor. b) Tranzistor jako dioda.

Takto navržený filtr vytvořený z osmi po sobě jdoucích stejných RC filtrů prvního řádu se ukázal jako dostatečný, ale stále měl zbytečně pomalý start. Posledním krokem návrhu byla zásadní myšlenka použít NVT tranzistory v diodovém zapojení místo zkratovaného gate se source. Pro představu si na obrázku 3.9 změňme na vstupu filtru napětí z $0 V$ na například $1.25 V$. Tranzistor MNVT1 bude mít napětí

gate-source 1.25 V, díky tomu se plně otevře a jeho odpor je zanedbatelný. Postupně, jak se bude napětí na výstupu více a více přibližovat ke vstupní hodnotě, bude docházet k uzavírání tranzistoru MNVT1 a ten tak bude vytvářet větší odpor. Díky tomu nedojde k téměř žádné změně AC charakteristiky filtru, ale je urychlen start. AC charakteristika a časová charakteristika pro zmíněné dvě varianty filtru jsou uvedeny na obrázcích 3.10 a 3.11.



Obr. 3.10: Výstupní napětí filtru. Tranzistor se zkratovaným drainem a sourcem (červená), tranzistor se zkratovaným gatem a sourcem (modrá).



Obr. 3.11: Výstupní AC charakteristika filtru. Tranzistor se zkratovaným drainem a sourcem (červená), tranzistor se zkratovaným gatem a sourcem (modrá).

3.5 Návrh CMOS reference založené na napětí

Praktický návrh této reference probíhal iterativně. Nejprve byl místo operačního zesilovače použit napěťový zdroj řízený napětím. Ten se chová jako ideální operační zesilovač. Již v této fázi došlo k chybám v návrhu. Tento ideální zdroj neměl zadané maximální napětí a obvod se tak dostal do stavu, kdy nabývalo napětí na gatech tranzistorů M_1 a M_2 tisíce voltů.

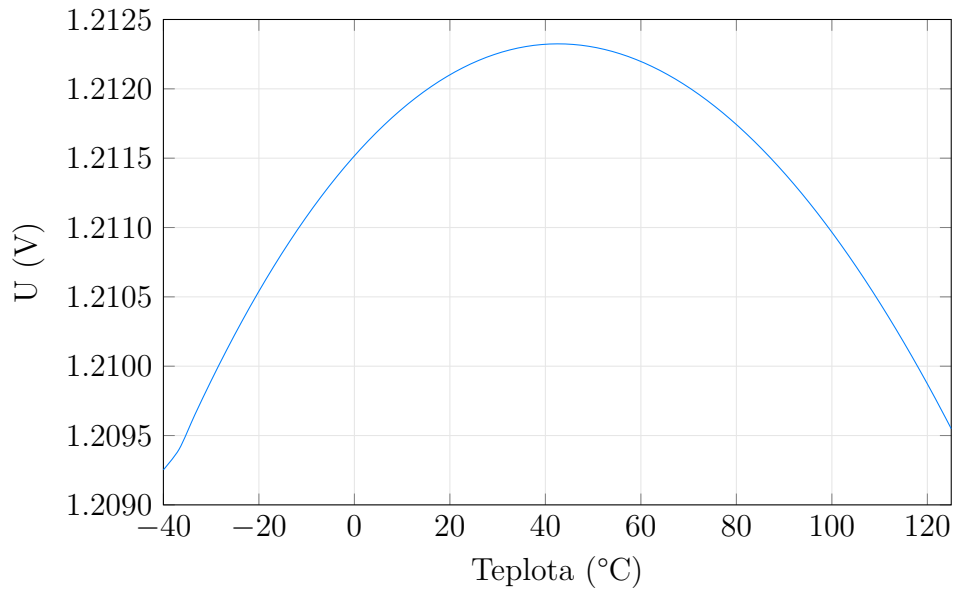
Po nastavení limitů zdroje a ověření základní funkčnosti byl vypočten odpor rezistoru R_2 , na kterém je dle teorie napětí $U_T \cdot \ln(N)$. Příklad výpočtu pro hodnotu N rovnu osmi a protékající proud $1 \mu\text{A}$ je uveden v rovnici 3.3.

$$R_2 = \frac{U_T \cdot \ln(N)}{I} = \frac{26 \cdot 10^{-3} \cdot \ln(8)}{1 \cdot 10^{-6}} = 54 \text{ k}\Omega \quad (3.3)$$

Dalším krokem bylo vypočtení hodnoty rezistorů R_1 a R_3 . Ta byla dopočtena z předpokladu, že napětí U_{BE} tranzistoru Q_1 bude zhruba 0.65 V a napětí na rezistoru R_2 bude 54 mV . Napětí na rezistorech R_1 a R_3 bylo určeno pomocí rovnice 1.1. Posledním předpokladem pro tento výpočet bylo, že je očekávané referenční napětí 1.25 V . Z těchto hodnot vychází dle rovnice 3.4 hodnoty $546 \text{ k}\Omega$.

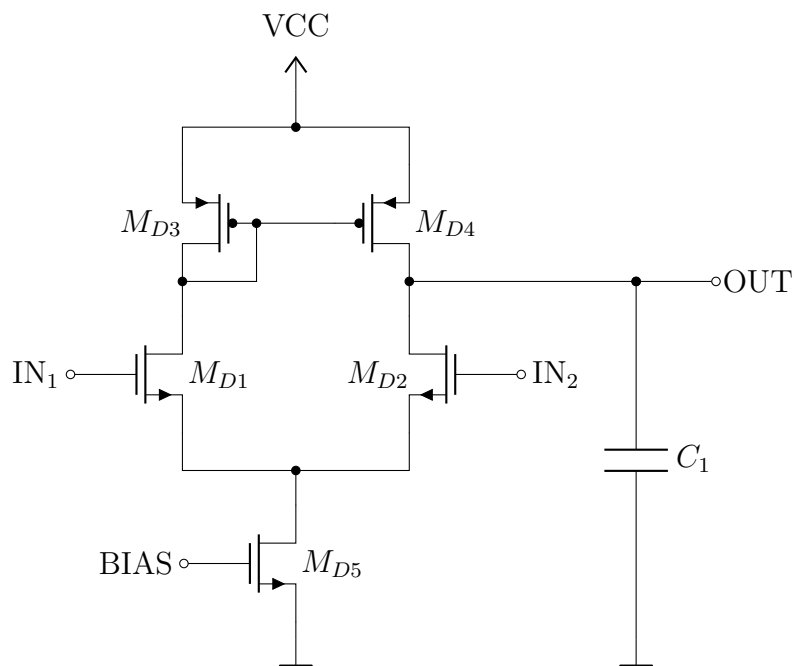
$$\begin{aligned} R_1 = R_3 &= \frac{U_{REF} - (U_T \cdot \ln(N) + U_{EB})}{I} = \\ &= \frac{1.25 - (26 \cdot 10^{-3} \cdot \ln(8) + 0.65)}{1 \cdot 10^{-6}} = 546 \text{ k}\Omega \end{aligned} \quad (3.4)$$

Po těchto výpočtech byla provedena DC simulace se získanými hodnotami. Během této simulace byla krokována teplota od $-40 \text{ }^\circ\text{C}$ do $125 \text{ }^\circ\text{C}$. Výsledkem simulace nebylo teplotně nezávislé napětí, ale napětí, které s teplotou stoupalo. Z tohoto důvodu byla následně krokována hodnota rezistoru R_2 směrem k nižším hodnotám. Finální hodnota byla odečtena z grafu podle průběhu, který dosahoval stejnou hodnotu na nejnižší i nejvyšší teplotě. Tento průběh je zobrazen na obrázku 3.12. To, že průběh napětí není lineární, je způsobeno logaritickým členem teplotní závislosti U_{EB} .



Obr. 3.12: Teplotně kompenzované referenční napětí

Předchozím postupem byla ověřena funkčnost zapojení s ideálním operačním zesilovačem. Aby měly simulované parametry vypovídající hodnotu, byla i tato část vytvořena z reálných součástek. Schéma je uvedeno na obrázku 3.13.



Obr. 3.13: Schéma operačního zesilovače

Tranzistory v diferenčním páru jsou navrženy tak, aby měly velkou transkonduktanci. A tranzistory v proudovém zrcadle tak, aby měly velkou délku kanálu

i celkovou šířku. Díky tomu dochází k lepšímu matchingu a přesnějšímu zrcadlení proudu.

Jakmile byla ověřena funkčnost na schématu, které bylo vytvořeno celé z reálných součástek, následovaly statistické simulace. Pro tento účel byla použita metoda Monte Carlo. Ta spočívá v tom, že jsou parametry součástek měněny náhodně v mezích výrobních parametrů použité technologie. Pro charakterizaci obvodu bylo puštěno 200 běhů, ze kterých byla získána střední hodnota a směrodatná odchylka.

Cadence Assembler obsahuje funkci, která vypíše vliv jednotlivých součástek a jejich parametrů na pozorovanou proměnnou. Díky tomu bylo možné analyzovat, které součástky nejvíce působí na referenční napětí. Během prvního průchodu to byl mismatch tranzistorů M_1 a M_2 . Z tohoto důvodu byla zvětšena jejich délka. Následovala další iterace, během které byly upravovány rozměry tranzistorů v operačním zesilovači až do okamžiku, kdy byly velikosti vyhodnoceny jako příliš velké. Hodnoty získané tímto postupem jsou uvedeny v tabulce 3.1.

Tab. 3.1: Porovnání simulovaných hodnot CMOS reference založené na napětí

Parametr	První iterace	Poslední iterace
$U_{\max}-U_{\min}$	3.13 mV	3.1 mV
Plocha	1800 μm^2	2500 μm^2
Nominální hodnota	1.215 V	1.211 V
Směrodatná odchylka	17.88 mV	8.62 mV
PSRR (100 Hz)	67.7 dB	78.58 dB
PSRR (1 kHz)	67.7 dB	78.44 dB
PSRR (10 kHz)	67.32 dB	72.24 dB
PSRR (100 kHz)	57.56 dB	53.17 dB
Spotřeba	4 μA	4.4 μA

Z hodnot v tabulce 3.1 je patrné, že došlo k mírnému navýšení spotřeby a téměř 50% zvětšení plochy. Na druhou stranu došlo ke zlepšení směrodatné odchylky na dvakrát nižší hodnotu.

3.6 Návrh CMOS reference založené na proudu

3.6.1 Výpočet hodnot součástek

Návrh této reference probíhal obdobně jako reference v předchozím části. Nejprve byl místo operačního zesilovače použit napětím řízený zdroj napětí a spočítány hodnoty rezistorů.

Hodnota rezistoru R_1 byla určena tak, že napětí na něm dle teorie odpovídá rovnici 1.1. Proud, který jím bude procházet, byl určen na $0.5 \mu\text{A}$. Proud byl zvolen na tuto hodnotu z důvodu stejného průchodu proudu referenční částí jako v předchozí referenci. V této referenci je proud protékající tranzistory M_1 a M_2 složen ze dvou částí. Jedna část proudu protéká rezistorem R_1 a druhá rezistorem R_2 . Díky tomu je možné jednotlivé reference lépe porovnat. Výpočet hodnoty rezistoru R_1 je uveden v rovnici 3.5.

$$R_1 = \frac{U_T \cdot \ln(N)}{I} = \frac{26 \cdot 10^{-3} \cdot \ln(8)}{0.5 \cdot 10^{-6}} = 108 \text{ k}\Omega \quad (3.5)$$

Následoval výpočet rezistorů R_2 , který byl určen z napětí U_{EBQ1} , napětí na rezistoru R_1 a proudu, který byl určen dle zmíněného postupu v předchozím odstavci na $0.5 \mu\text{A}$. Výpočet je uveden v rovnici 3.6.

$$R_2 = \frac{U_{R1} + U_{EB}}{I} = \frac{54 \cdot 10^{-3} + 0.65}{0.5 \cdot 10^{-6}} = 1.4 \text{ M}\Omega \quad (3.6)$$

Pro účely porovnání referencí byla hodnota rezistoru R_3 volena tak, aby odpovídala hodnotě rezistoru R_2 . Díky tomu nabývá výstupní napětí stejné hodnoty jako v předchozí referenci.

$$R_3 = R_2 = 1.4 \text{ M}\Omega \quad (3.7)$$

Po ověření funkčnosti byl napěťový zdroj řízený napětím nahrazen reálným operační zesilovačem, jehož rozměry byly ponechány stejné jako v předchozí referenci.

Opět byla použita metoda Monte Carlo, díky níž byly identifikovány součásti obvodu, které mají největší vliv na referenční napětí. Oproti předchozí referenci, kde se vliv tranzistorů M_1 a M_2 příliš nelišil (pokud došlo ke zvětšení tranzistorů, vliv na referenční napětí byl nižší, ale oba měly podobný příspěvek), byl zde vliv tranzistoru M_1 až desetkrát větší. Poměr vlivů se lišil s úpravou velikostí, ale platilo, že má M_1 výrazně vyšší vliv na referenční napětí.

Efekt, který byl rozebrán a pozorován v předchozím odstavci, dělá toto zrcadlo vhodné pro využití dynamického souběhu. Důvod je ten, že kdybychom chtěli zlepšit souběh tranzistoru M_1 , museli bychom se zvětšováním jeho plochy zvětšovat i zbylé tranzistory v zrcadle. Neboli pokud bychom chtěli zlepšit souběh tří tranzistorů kvůli vlivu jednoho z nich (mismatch dvou z nich nemá tak velký vliv na výsledný parametr jako třetí tranzistor, protože pracuje v jiných podmínkách), musíme zvětšit všechny tři tranzistory stejně. To způsobí velký nárůst plochy.

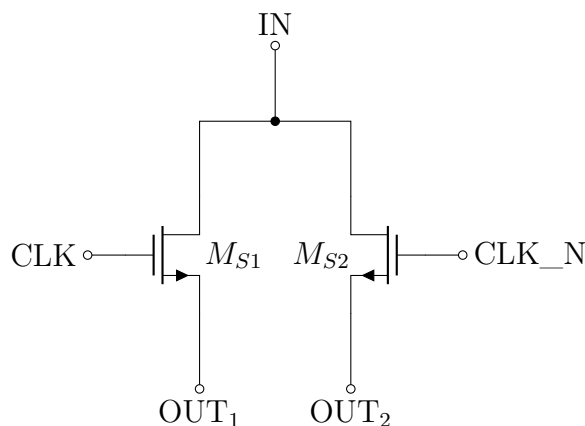
Tabulka 3.2 uvádí hodnoty při prvotním návrhu a po optimalizaci velikostí pomocí iterační metody.

Tab. 3.2: Porovnání simulovaných hodnot CMOS reference založené na proudu

Parametr	První iterace	Poslední iterace
$U_{\max}-U_{\min}$	3.1 mV	3.06 mV
Plocha	2400 μm^2	3600 μm^2
Nominální hodnota	1.214 V	1.212 V
Směrodatná odchylka	27.63 mV	14.6 mV
PSRR (100 Hz)	103.4 dB	68.89 dB
PSRR (1 kHz)	93.9 dB	68.72 dB
PSRR (10 kHz)	74.37 dB	61.91 dB
PSRR (100 kHz)	54.36 dB	42.78 dB
Spotřeba	5.1 μA	5.1 μA

3.6.2 Aplikace DEM

Dalším krokem bylo vytvoření přepínačů pro metodu DEM, ty jsou uvedeny na obrázku 3.14. Rozměry tranzistorů nejsou zásadní. Gate je vždy řízený digitálním signálem, to znamená, že prahové napětí není zásadně důležité, protože se source NMOS tranzistorů bude pohybovat přibližně kolem hodnoty U_{EBQ2} . Přivedeme-li na gate digitální signál, bude pro logickou nulu napětí U_{GS} tranzistoru spínače zhruba -700 mV, to znamená plně uzavřený. V případě logické jedničky (předpokládáme napájení 3.3 V) bude napětí U_{GS} 2.6 V, to znamená plně otevřený.



Obr. 3.14: Přepínač pro DEM

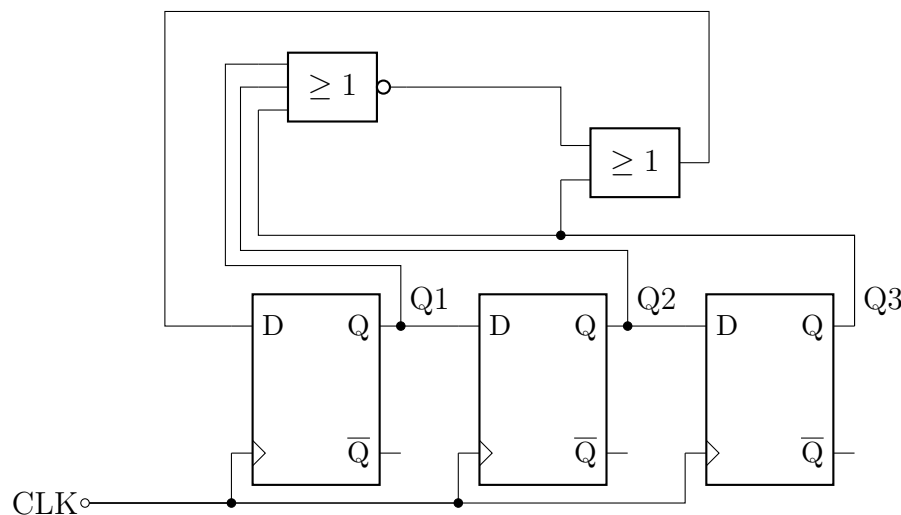
V této části byly použity dva shodné spínače. Vstupy spínačů (IN) byly umístěny přímo za drainy tranzistorů M_1 a M_2 a výstup OUT_1 obou spínačů byl připojen

k uzlu označeném na obrázku 2.2 jako A. Výstupy OUT_2 byly pak připojeny na uzel B.

Pro simulační účely této práce byl řídicí signál nejprve tvořen pulsním zdrojem s frekvencí 100 kHz, náběžnou a sestupnou hranou 5 ns a střídou 50 %. Zvyšování frekvence mělo za následek zlepšení výstupních parametrů, ale trend nebyl lineární a nad 100 kHz nebyly pozorovány zásadní změny. Signál z pulsního zdroje byl přímo přiveden na vstup CLK a na vstup CLK_N byl přiveden pomocí invertoru negovaný signál CLK.

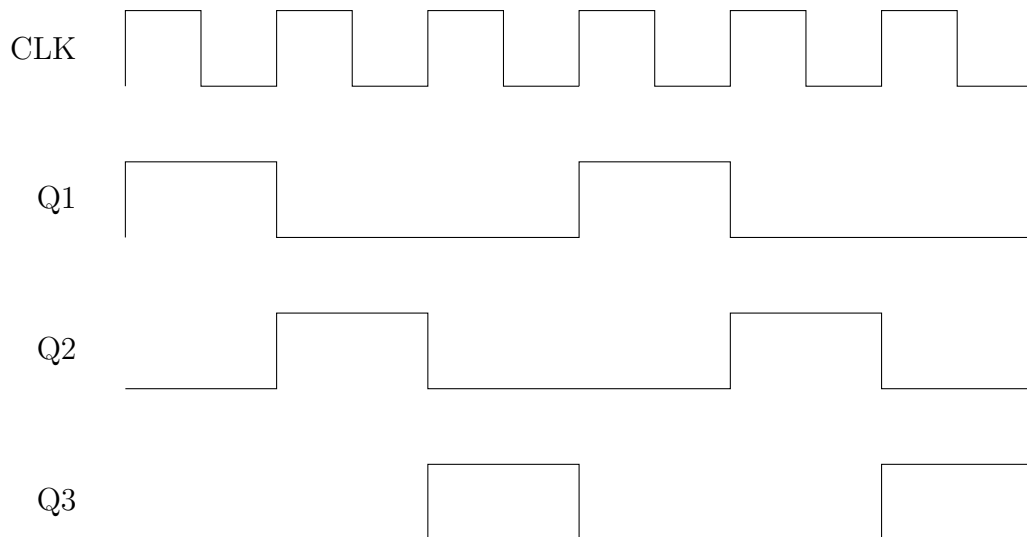
Díky úpravě schématu s použitím DEM došlo ke snížení vlivu tranzistoru na referenční napětí M_1 z 33 % na 16 % a vliv M_2 se snížil na zanedbatelný. Po této úpravě měl největší vliv tranzistor M_3 . Jeho vliv je také možné minimalizovat pomocí DEM, to s sebou přináší nutnost navrhnutí řídicí logiky, protože prohazujeme tři prvky.

Použitá logika je zobrazena na obrázku 3.15. Skládá se ze tří klopných obvodů typu D, kterými je s hodinovým signálem posouvána logická jednička. K vytvoření logické jedničky, která se posouvá přes registry, slouží logická hradla NOR a OR. Na vstup NOR hradla jsou připojeny všechny signály, které přepínáme. Toto zapojení zajistí vytvoření logické jedničky v případě, že jsou všechny řídicí signály v logické nule. Aby nedošlo k oscilaci, je výstup NOR hradla připojen přes hradlo OR. To zajistí, že na jeho výstupu bude logická jednička z NOR hradla tak dlouho, dokud nebude posunuta D klopným obvodem.



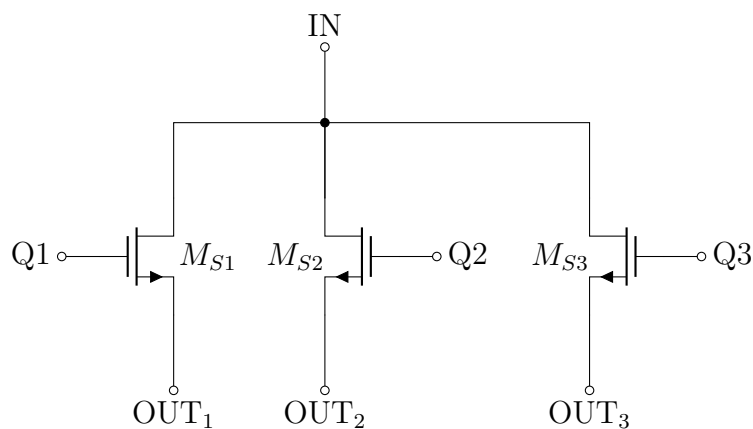
Obr. 3.15: Řídicí logika tříkanálového DEM

Řídicí signály $Q1-Q3$ fungují tak, že je v každou chvíli aktivní právě jeden. Průběhy jsou zobrazeny na obrázku 3.16.



Obr. 3.16: Řídící signály pro tříkanálový DEM

Pro účely přepínání tří prvků bylo nutné vytvořit nové přepínače, které jsou uvedeny na obrázku 3.17. Stejně jako v předchozím případě, nebylo nutné příliš řešit velikosti spínacích tranzistorů, protože jsou řízeny digitálním signálem a dojde k plnému otevření nebo zavření.



Obr. 3.17: Přepínač pro tříkanálový DEM

Přepínání všech tří tranzistorů M_1 - M_3 způsobilo v první řadě problémy se stabilitou celého systému, protože přepínáním tranzistoru M_3 dojde přes parazitní kapacity k přenosu hodnoty referenčního napětí do uzlu A. To má za následek rozvážení vstupů operačního zesilovače, který zareaguje zvýšením napětí na gate PMOS tranzistorů. Tento skok způsobí nárazové snížení napětí v uzlech A i B. To má za následek vyrovnaní vstupů operačního zesilovače a obvod zůstane vypnutý. Problém vypnutého stavu vyřešil vhodný návrh startovacího obvodu.

Při použití DEM pouze pro dva tranzistory k tomuto stavu nedocházelo a obvod se zvládl uregulovat, ale stále docházelo ke zdatelným zákmitům. Zákmity je možné minimalizovat snížením rychlosti přeběhu operačního zesilovače pomocí snížení proudu diferenčním párem nebo zvýšením kompenzační kapacity. Kompenzační kapacita je, jak již bylo zmíněno v kapitole o operačním zesilovači, tvořena pouze parazitními kapacitami, a tak byl snížen proud procházející diferenčním párem.

Dosažené hodnoty je možné vidět v tabulce 3.3.

Tab. 3.3: Porovnání simulovaných hodnot CMOS reference s DEM a bez DEM

Parametr	Bez DEM	S DEM
$U_{\max}-U_{\min}$	3.06 mV	3.06 mV
Plocha	3600 μm^2	3600 μm^2
Nominální hodnota	1.212 V	1.212 V
Směrodatná odchylka	14.6 mV	12.69 mV
PSRR (100 Hz)	68.89 dB	69.06 dB
PSRR (1 kHz)	68.72 dB	68.89 dB
PSRR (10 kHz)	61.91 dB	62.44 dB
PSRR (100 kHz)	42.78 dB	53.98 dB
Spotřeba	5.1 μA	5.1 μA

Po použití DEM měl na výstupní napětí největší vliv offset operačního zesilovače. Tento offset je teoreticky možné minimalizovat choppováním operačního zesilovače. Při snaze toto zapojení implementovat vznikl opět zásadní problém. Choppování způsobovalo rychlé změny napětí. Obvod na tyto změny reaguje a ustaluje se, ale než se ustálí, přijde další impuls, který tento proces opakuje. Intuitivním řešením bylo snížit frekvenci choppování. Tím ale vznikne problém s filtrováním výstupního napětí, pro které je nutné použít rezistor a kondenzátor s řádově větší plochou. Tento problém byl vyřešen ještě větším snížením SR operačního zesilovače.

3.7 Návrh CMOS reference založené na proudu s kompenzací U_{DS} PMOS zrcadla

Jak již bylo zmíněno tato reference pouze vylepšuje nedostatek reference z předchozí kapitoly. Její výhodou je, že nedochází k rozdílným napětím U_{DS} tranzistorů M_1-M_3 . Po zkušenostech z předchozích návrhů bylo použito již optimalizované schéma předchozí reference, ke kterému byl pouze dokreslen druhý operační zesilovač. Výsledné schéma ovlivnilo sledované parametry, jak je možné vidět v tabulce (3.4).

Tab. 3.4: Porovnání simulovaných hodnot CMOS reference s kompenzací

Parametr	Bez regulace U_{DS}	S regulací U_{DS}
$U_{\max}-U_{\min}$	3.06 mV	3.01 mV
Plocha	3600 μm^2	4000 μm^2
Nominální hodnota	1.212 V	1.213 V
Směrodatná odchylka	14.6 mV	12.95 mV
PSRR (100 Hz)	68.89 dB	68.94 dB
PSRR (1 kHz)	68.72 dB	66.64 dB
PSRR (10 kHz)	61.91 dB	50.39 dB
PSRR (100 kHz)	42.78 dB	30.58 dB
Spotřeba	5.1 μA	6.1 μA

Došlo ke zlepšení směrodatné odchylky, ale za cenu zvětšení plochy o 400 μm^2 . Dále došlo k navýšení spotřeby o 1 μA a zhoršení PSRR. Zhoršení PSRR je dáno přenosem změny napájecího napětí na gate tranzistoru M_4 a přes něj dále na výstup.

Metoda DEM se zde i pro tranzistory M_1 a M_2 ukázala jako nevhodná. Přidaný operační zesilovač reagoval na přehazování tranzistorů tak, že se tranzistor M_4 na krátký okamžik úplně otevřel nebo uzavřel. Díky tomu docházelo ke skokovým změnám na výstupním napětí, které způsobovaly změnu ve výstupním napětí.

Nejlepší výsledky jednotlivých referencí jsou porovnány v tabulce 3.5. CMOS reference založené na napětí je označena jako CMOS na U. CMOS reference založené na proudu je označena jako CMOS na I. CMOS reference založená na proudu s kompenzací U_{DS} PMOS zrcadla je označen jako CMOS U_{DS} .

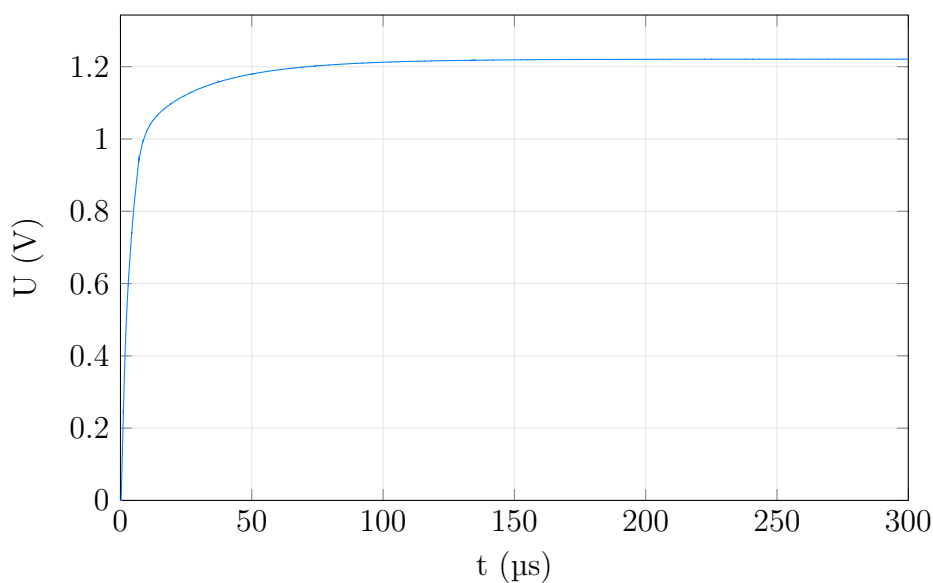
Tab. 3.5: Celkové porovnání CMOS referencí

Parametr	CMOS na U	CMOS na I	CMOS U_{DS}
$U_{\max}-U_{\min}$	3.1 mV	3.06 mV	3.01 mV
Plocha	2500 μm^2	3600 μm^2	4000 μm^2
Nominální hodnota	1.211 V	1.212 V	1.213 V
Směrodatná odchylka	8.62 mV	12.69 mV	12.95 mV
PSRR (100 Hz)	78.58 dB	69.06 dB	68.94 dB
PSRR (1 kHz)	78.44 dB	68.89 dB	66.64 dB
PSRR (10 kHz)	72.24 dB	62.44 dB	50.39 dB
PSRR (100 kHz)	53.17 dB	53.98 dB	30.58 dB
Spotřeba	4.4 μA	5.1 μA	6.1 μA

4 Výsledky

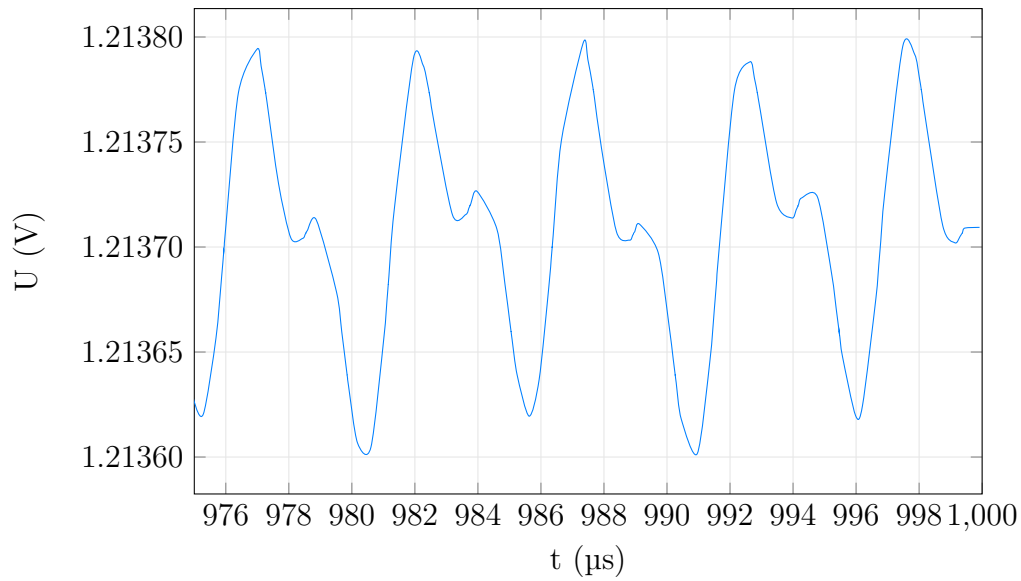
Tato část se zabývá výsledky simulací navrženého obvodu. Tímto obvodem byla zvolena napěťová reference založená na napětí, protože v praktické části dosahovala nejlepších parametrů. Schéma je uvedeno v příloze A.1 Byly zde použity všechny zmíněné bloky z praktické části včetně DEM i chopperem stabilizovaného operačního zesilovače. Byla odhadnuta i celková plocha na čipu.

Na obrázku 4.1 můžeme vidět náběh výstupního napětí reference z vypnutého stavu.



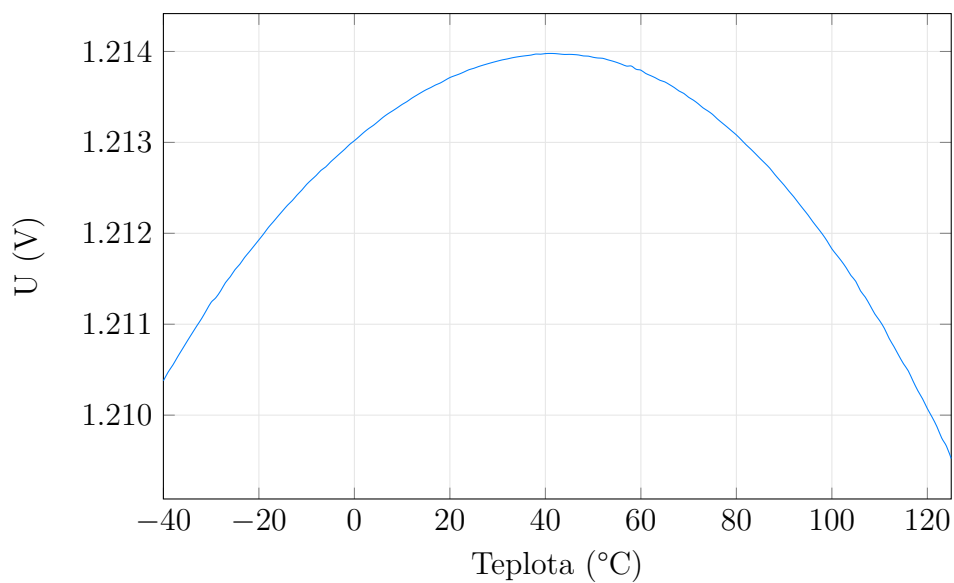
Obr. 4.1: Časový průběh referenčního napětí

Obrázek 4.2 ukazuje zákmity na referenčním napětí v čase blízkém jedné milisekundě po startu. Je zde vidět mírné zvlnění. Hodnoty zvlnění se pohybují kolem $200 \mu\text{V}$ a odfiltrování tak považujeme za dostatečné.



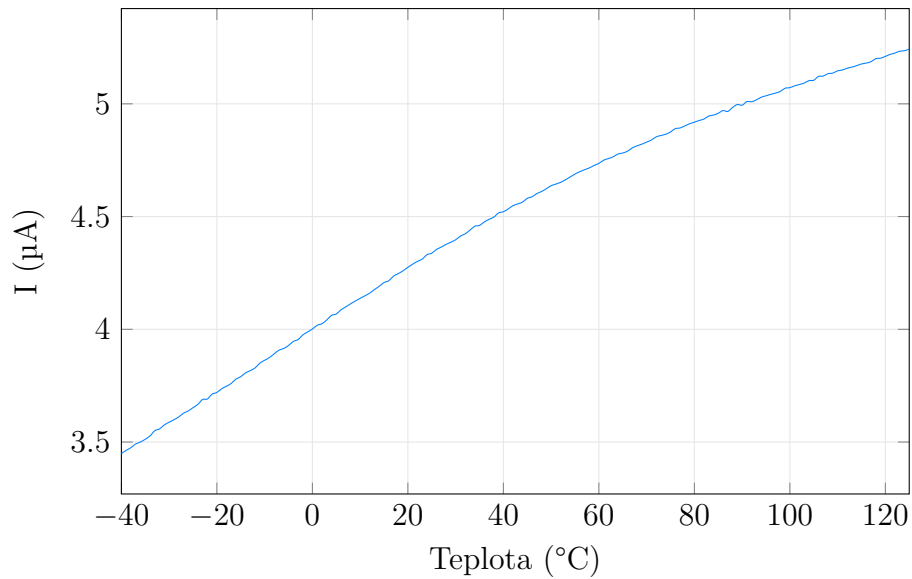
Obr. 4.2: Časový průběh referenčního napětí - detail

Teplotní závislost je uvedena na obrázku 4.3. Je zde vidět, že se výsledná hodnota kvůli teplotě rozptýlila o více jak čtyři mV. Porovnáme-li tento rozptyl s obrázkem 3.12, tak dojdeme k závěru, že došlo ke zhoršení teplotní závislosti o jeden mV.



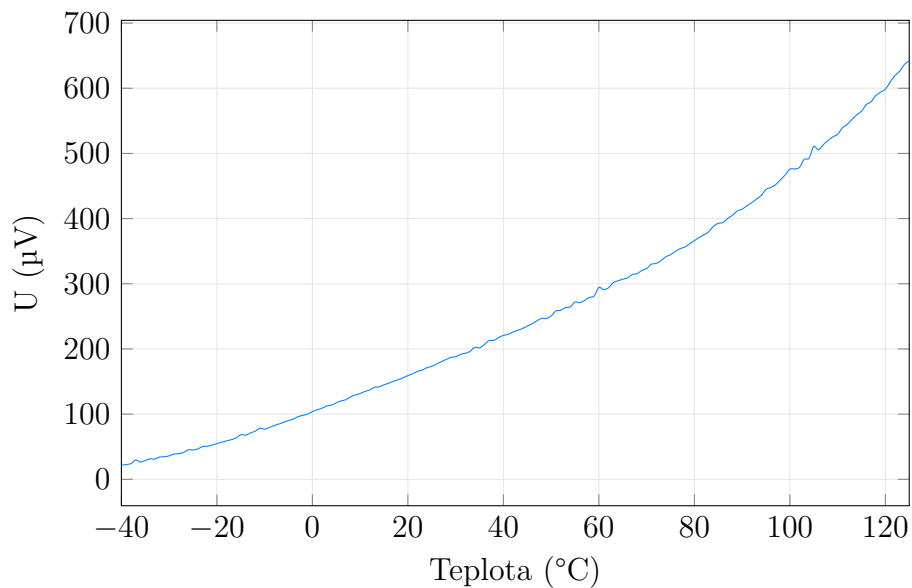
Obr. 4.3: Závislost referenčního napětí na teplotě

Na obrázku 4.4 můžeme vidět proudovou spotřebu celého obvodu. Má kladný teplotní koeficient a dochází ke změně spotřeby od $3.45 \mu\text{A}$ na nejnižší teplotě až k hodnotě $5.3 \mu\text{A}$ na teplotě nejvyšší.



Obr. 4.4: Proudová spotřeba v závislosti na teplotě

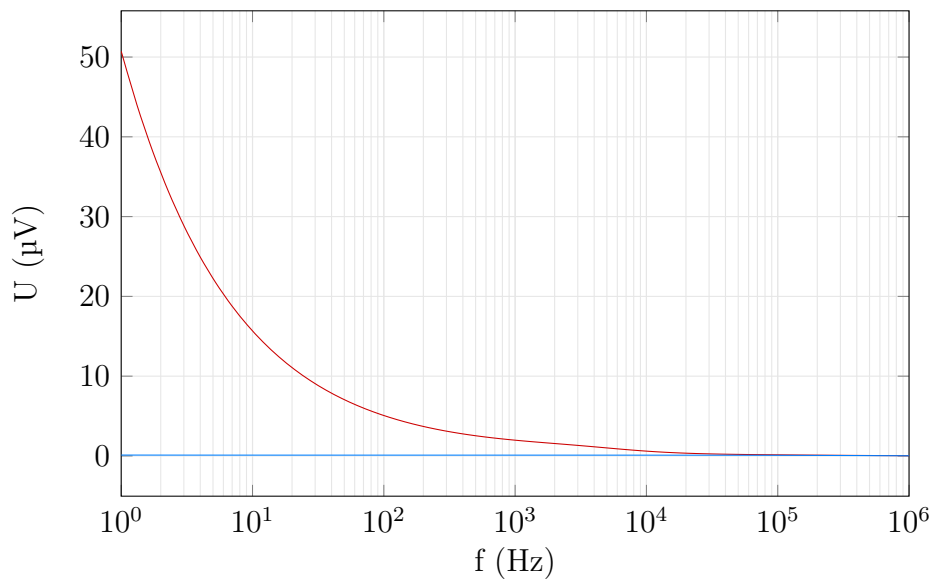
Zákmity na výstupním signálu jsou také ovlivněny teplotou. Největší vliv na tento průběh má teplotní závislost tranzistorů ve výstupním filtru. Průběh je uveden na obrázku 4.5.



Obr. 4.5: Zákmity výstupního napětí v závislosti na teplotě

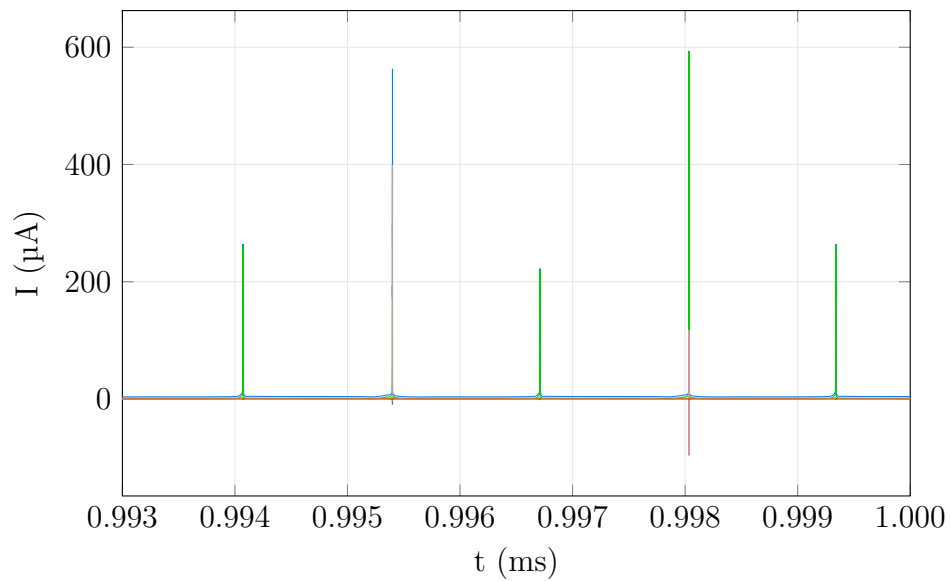
Dalším z pozorovaných parametrů byl výstupní šum reference. Spínání součástek metodou DEM způsobí, že dochází k vyrušení vlivu spínaných součástek na výstupní šum, protože se šum z jedné součástky na výstup dostává díky spínání v opačných polaritách. Na obrázku 4.6 jsou uvedeny dva průběhy, aby bylo patrné, jak velký vliv

spínání má. Červeně je vynesena šum nespínané reference a modře je vynesena šum spínané reference. Díky spínání došlo ke zlepšení hodnot šumu na nižších frekvencích téměř o tři řády (pro jeden Hz je hodnota šumu 110 nV).

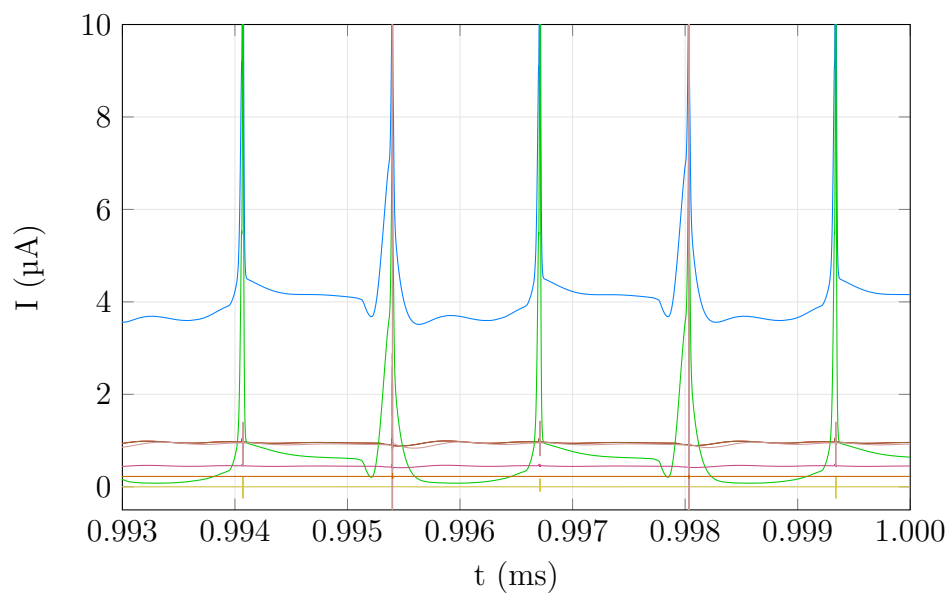


Obr. 4.6: Spektrální hodnota výstupního šumu

Následující dva obrázky 4.7 a 4.8 ukazují průběhy proudů jednotlivými bloky a celkovou spotřebu obvodu. Je z nich patrné, že během spínání dochází k velkým napěťovým peakům. Tento jev je nežádoucí, ale nejde se ho jednoduše zbavit. Dalším zajímavým pozorováním je tvar celkové spotřeby, která je vynesena modře. Nejedná se o lineární charakteristiku pouze s peaky při spínání, jak bychom očekávali, ale jsou zde vidět nelineární průběhy. Z grafů lze odečíst, že jsou způsobeny proudem do oscilátoru. Ten, jak již bylo dříve zmíněno, vytváří velké proudy přes invertory. Řešením by bylo navrhnout oscilátor, který by neměl tento problém, ale pro funkci obvodu byl tento oscilátor dostatečný a byl vybrán kvůli velikosti na čipu a malé spotřebě.

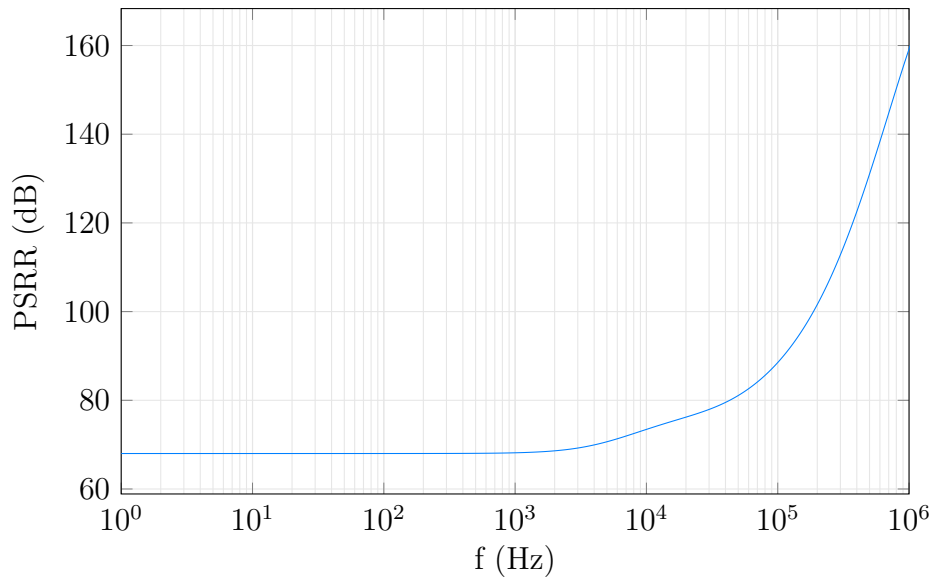


Obr. 4.7: Proudý jednotlivými bloky reference



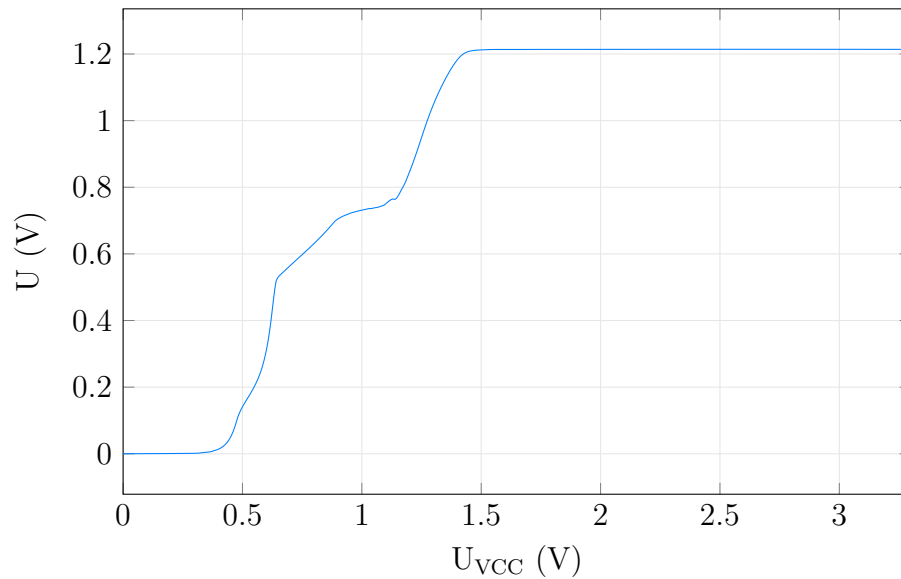
Obr. 4.8: Proudý jednotlivými bloky reference - detail

Na obrázku 4.9 můžeme vidět průběh PSRR. Tento průběh je velmi ovlivněn výstupním filtrem, který způsobuje potlačení zákmitů na vyšších frekvencích.

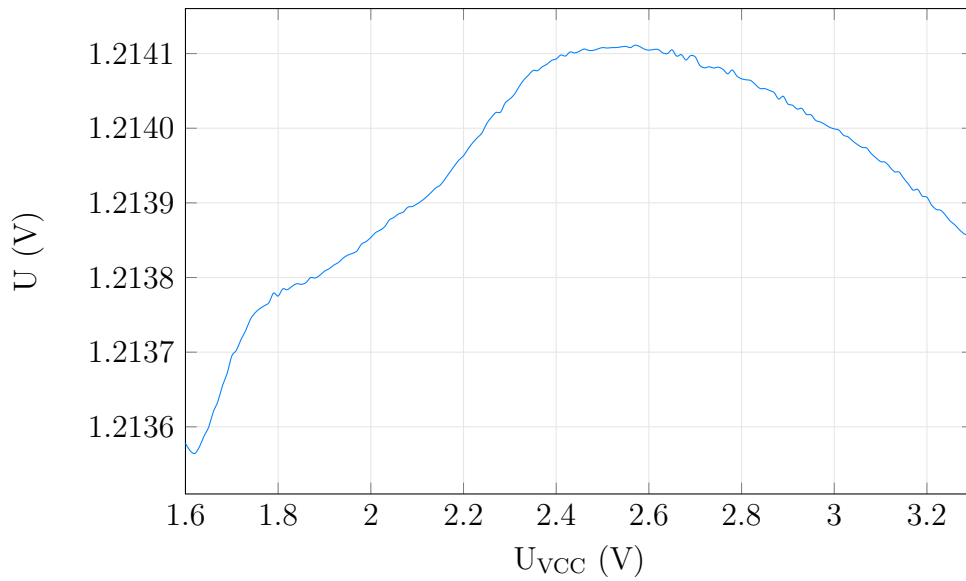


Obr. 4.9: Hodnoty PSRR v závislosti na frekvenci

Referenční napětí je také závislé na napájecím napětí. Na obrázku 4.10 můžeme vidět, že obvod začne správně fungovat až od napětí zhruba 1.5 V. Zajímavější je průběh na obrázku 4.11, na kterém je vidět překvapivá závislost referenčního napětí na napájecím napětí ve funkční oblasti.

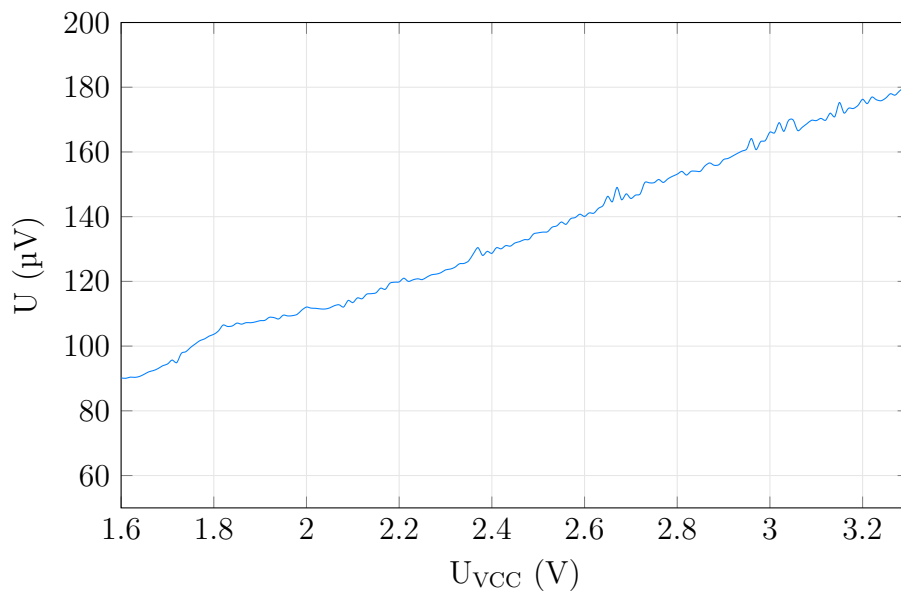


Obr. 4.10: Závislost referenčního napětí na napájecím napětí



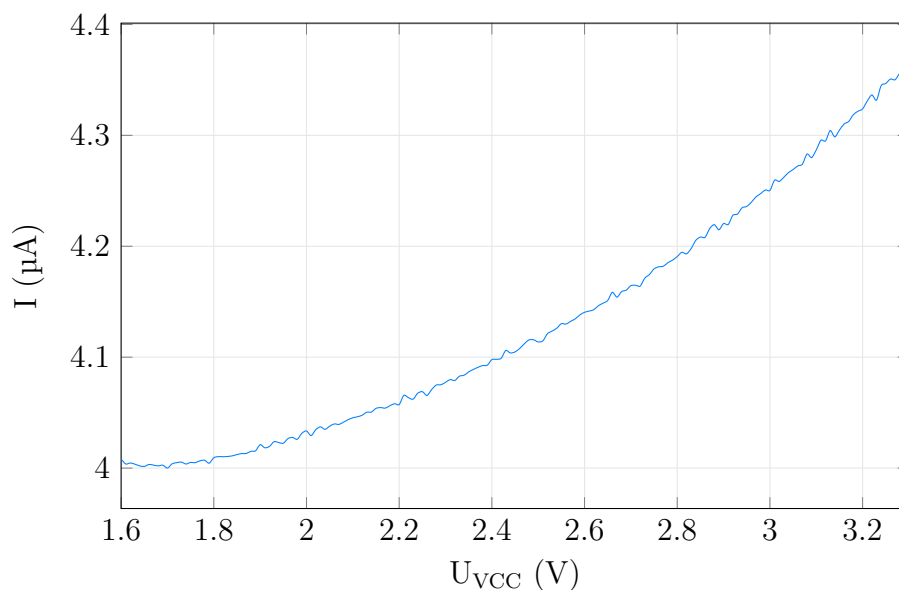
Obr. 4.11: Závislost referenčního napětí na napájecím napětí - detail

Obdobně jako se zvětšují zákmity s rostoucí teplotou, zvětšují se zákmity i s rostoucím napájecím napětím. Tuto závislost je možné vidět na obrázku 4.12. Závislost je způsobena většími napěťovými peaky na vstupu filtru.



Obr. 4.12: Zákmity výstupního napětí v závislosti na napájecím napětí

Závislost proudové spotřeby na napájecím napětí je vynesena na obrázku 4.13.



Obr. 4.13: Proudová spotřeba v závislosti na napájecím napětí

V příloze B.1 je uveden orientační návrh layoutu. Jedná se pouze o koncept, který ukazuje, kolik plochy na čipu zabírá každý blok. Na první pohled je patrné, že rezistory a bipolární tranzistory zabírají téměř dvě třetiny plochy. Dalším největším blokem je filtr, až poté následuje operační zesilovač s oscilátorem. Startovací obvod a přepínač pro DEM jsou téměř zanedbatelné.

V posledním kroku práce byly výsledné parametry porovnány v příloze C.1. Důležitým parametrem je zde variační koeficient, který vychází z rovnice 4.1. Variační koeficient určuje poměr směrodatné odchylky a střední hodnoty. To v praxi znamená, že čím menší hodnota variačního koeficientu, tím menší rozptyl.

$$V_x = \frac{s_x}{\bar{x}} \quad (4.1)$$

s_x - směrodatná odchylka

\bar{x} - střední hodnota

Dalším zajímavým parametrem, který můžeme porovnávat s ostatními referencemi, je teplotní závislost. Tu je možné dopočítat z rovnice 4.2.

$$TC = \frac{U_{max} - U_{min}}{U_{nom} \cdot (T_{max} - T_{min})} \cdot 10^6 \quad (4.2)$$

U_{max} - maximální napětí v daném teplotním rozsahu

U_{min} - minimální napětí v daném teplotním rozsahu

U_{nom} - hodnota napětí při teplotě (27 °C)

T_{max} - maximální teplota

T_{min} - minimální teplota

Závěr

V této práci byly prostudovány tři typy napěťových referencí, všechny byly založeny na bandgap referenci s PNP tranzistorem. U všech tří referencí proběhl praktický návrh v softwaru Cadence Virtuoso s využitím simulátoru Spectre.

Cílem práce bylo odsimulovat a porovnat, jakým způsobem je možné aplikovat metodu dynamického souběhu na zkoumané reference. Reference v textu označovaná jako CMOS reference založená na napětí se ukázala jako vhodná, protože dosahovala nejlepších výsledků v praktické části, jak je možné vidět v tabulce 3.5. Její výhodou je hlavně jednoduchost a plocha na čipu. Rozptyl výstupního napětí je u ní z největší části způsoben operačním zesilovačem a nesouběhem dvou tranzistorů.

Na vybranou referenci byla aplikována metoda dynamického souběhu a byl použit chopperem stabilizovaný zesilovač. Využitím těchto metod se podařilo snížit offset operačního zesilovače i nesouběh tranzistorů do té míry, že se statisticky neprojevovaly na napěťovém rozptylu výstupu reference.

Výsledné parametry byly porovnány ve čtvrté kapitole. Z výsledků simulací je patrné, že reference funguje dle očekávání. Rozptyl jejího výstupu je z největší části tvořen rozptylem kolektorových proudů bipolárních tranzistorů a nesouběhem rezistorů v referenční větvi. Parametry bipolárních tranzistorů jsou dány technologií a nemůžeme je ovlivnit. Vliv rezistorů je možné minimalizovat zvětšováním jejich šířky a délky, díky tomu ale jejich plocha při zachování stejné rezistivity roste kvadraticky a je jí vhodné volit až podle konkrétního použití reference.

Navržená reference má spotřebu přibližně $4.5 \mu\text{A}$. Referenčními větvemi prochází dohromady proud $2 \mu\text{A}$, hodnota proudu je zvolena s ohledem na velikost rezistorů (v případě, že bychom chtěli snížit spotřebu, dojde ke zvětšení hodnoty rezistorů a tím jejich plochy).

Na obrázku B.1 je uveden orientační layout. Dvě třetiny plochy zabírají bipolární tranzistory a rezistory zmíněné v předchozím odstavci. Zbylou třetinu plochy zabírají výstupní filtr, oscilátor, operační zesilovač, prepínač pro DEM a startovací obvod. V případě, že by byla reference použita jako součást nějakého většího obvodu, je možné, že obvod bude obsahovat svůj oscilátor, který můžeme použít i pro spínání a tak snížíme spotřebu i plochu na čipu.

Díky této práci bylo ověřeno, že je vhodné využít metody dynamického souběhu, stejně jako chopperem stabilizovaného operačního zesilovače v napěťové referenci. Díky těmto metodám je možné vytvořit menší referenci se srovnatelnou spotřebou a několikrát menší plochu na čipu. Výhodou je hlavně malá plocha na čipu a potlačení výstupního šumu na hodnoty kolem 100 nV pro nízké frekvence (10 Hz). Nevýhodou jsou záškuby na referenčním napětí, které je nutné filtrovat. Záškuby jsou způsobeny parazitními kapacitami při přepínání větví zmiňovanými metodami. S filtrováním

se pojí i doba, za kterou je reference schopna dosáhnout nominální hodnoty. Dle konkrétního využití lze jednoduše volit mezi rychlostí a velikostí zákmitů.

V tabulce C.1 jsou pro porovnání uvedeny základní parametry navržené reference společně s hodnotami referencí z jiných prací.

Literatura

- [1] GRAY, P. R.; HURST; LEWIS; aj.: *Analysis and design of analog integrated circuits, 5th ed, 1st ed.* John Wiley & Sons, Červen 2009.
- [2] RAZAVI, B.: *Design of Analog CMOS Integrated Circuits*. New York, NY: McGraw-Hill Professional, druhé vydání, Leden 2016.
- [3] TRAVERSI, G.: Design of bandgap reference circuits in a 65 nm CMOS technology for HL-LHC applications. online, 2014.
Dostupné z: https://indico.cern.ch/event/299180/contributions/1659590/attachments/563073/775721/TWEPP_2014_v2.pdf [citováno 2024-01-04]
- [4] RAKO, P.: Chopper Amplifiers. online, 2004.
Dostupné z: https://www.dinfo.unifi.it/upload/sub/laboratori/uscnd/courses/electronic-analog-systems-and-sensors/course-handouts/national_achievingprecision.pdf [citováno 2024-01-04]
- [5] Definition of PSRR | Analog Devices.
Dostupné z: <https://www.analog.com/en/design-center/glossary/psrr.html> [citováno 2024-01-04]
- [6] MOK, P. K. T.; LEUNG: Design considerations of recent advanced low-voltage low-temperature-coefficient CMOS bandgap voltage reference. 2004.
Dostupné z: [http://web.mit.edu/Magic/Public/papers/IEEEExplore\(14\).pdf](http://web.mit.edu/Magic/Public/papers/IEEEExplore(14).pdf) [citováno 2024-01-04]
- [7] HUANG, C.-J.; LAI, Y.-J.; YANG, Y.-J.; aj.: A 4.2nW and 18ppm/°C Temperature Coefficient Leakage-based Square Root Compensation (LSRC) CMOS Voltage Reference. 03 2019, doi:10.1109/TCSII.2019.2908284.
- [8] ZHUANG, H.; LIU, X.; WANG, H.: Voltage Reference With Linear-Temperature-Dependent Power Consumption. 2020, doi:10.1109/TVLSI.2019.2963566.
- [9] WANG, Y.; SUN, Q.; LUO, H.; aj.: A 48 pW, 0.34 V, 0.019 %/V Line Sensitivity Self-Biased Subthreshold Voltage Reference With DIBL Effect Compensation. 2020, doi:10.1109/TCSI.2019.2946680.

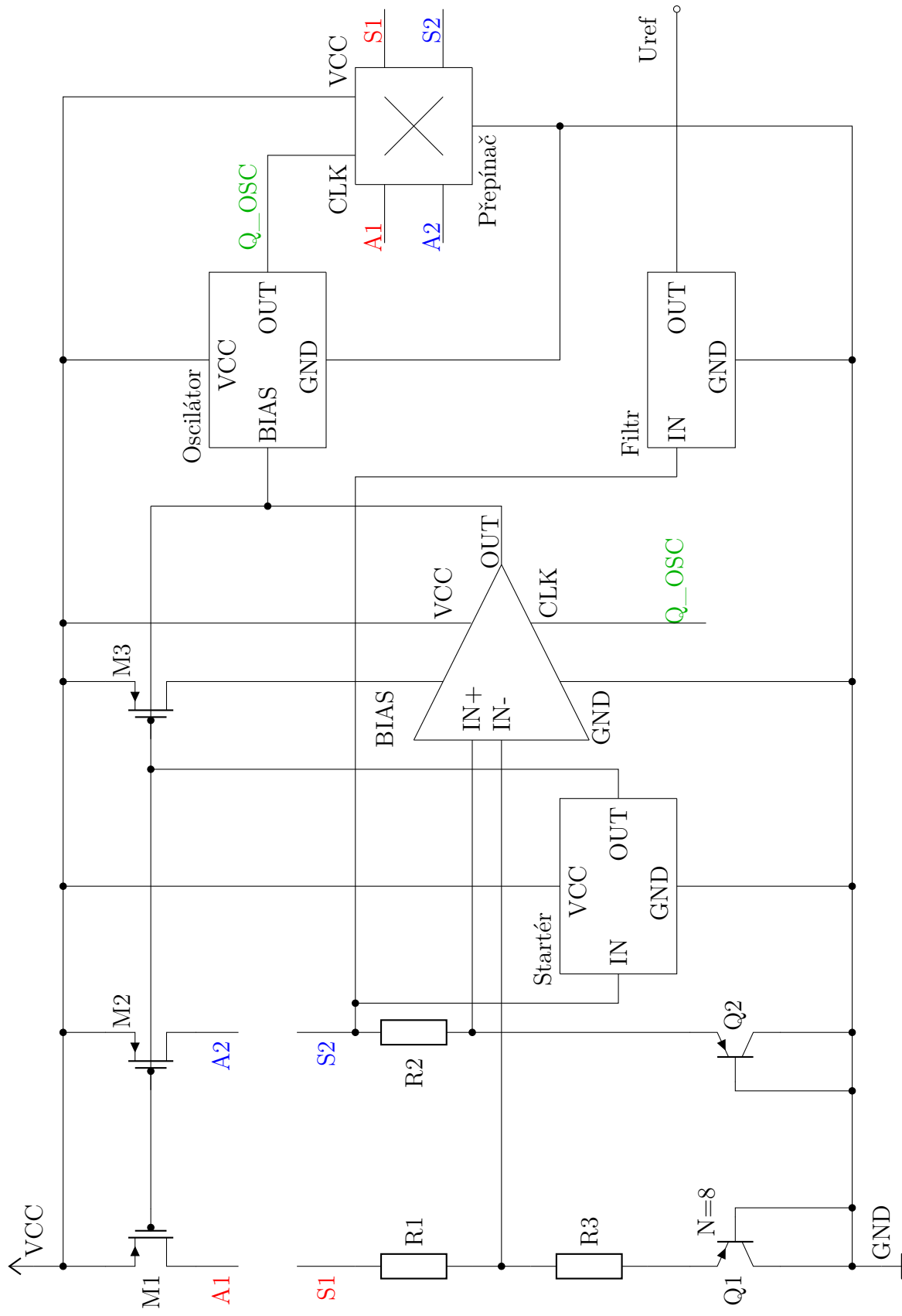
Seznam symbolů a zkratek

AC	Kmitočtová analýza
CLK	Hodinový signál
CMOS	Complementary Metal–Oxide–Semiconductor
CTAT	Complementary To Absolute Temperature
DC	Steady-state analysis
DEM	Dynamic Element Matching
GND	Zemní potenciál
MC	Monte Carlo
NMOS	N-type Metal–Oxide–Semiconductor
PMOS	P-type Metal–Oxide–Semiconductor
PSRR	Power Supply Rejection Ratio
PTAT	Proportional To Absolute Temperature
SR	Slew Rate
STB	Stability analysis
TC	Temperature coefficient
VCC	Napájecí napětí

Seznam příloh

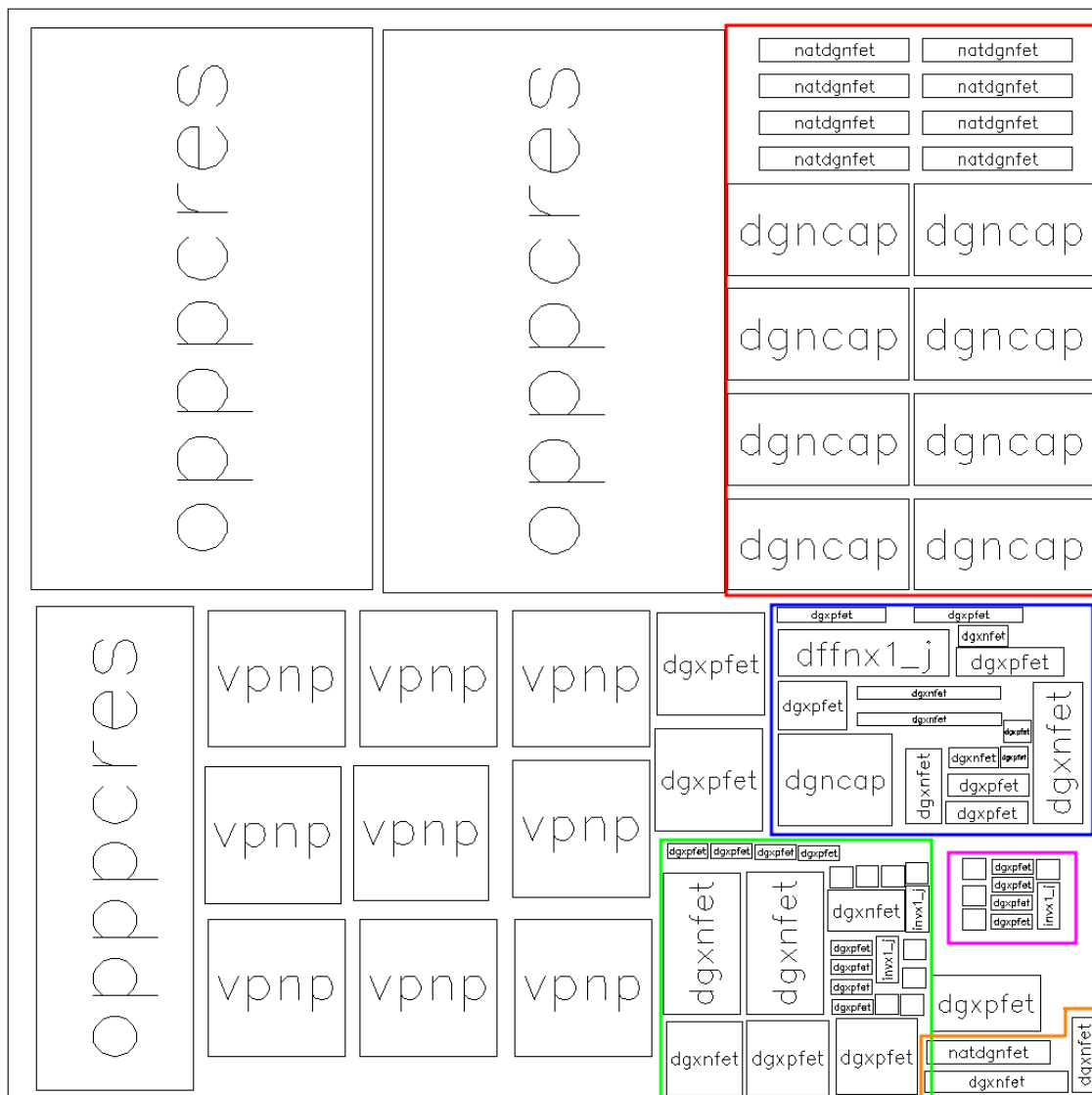
A Schéma výsledné reference	57
B Orientační layout výsledné reference	58
C Tabulka porovnávací parametry výsledné reference s obdobnými pracemi	59

A Schéma výsledné reference



Obr. A.1: Schéma výsledné reference

B Orientační layout výsledné reference



Obr. B.1: Ilustrační layout reference. Filtr (červená), oscilátor (modrá), operační zesilovač (zelená), přepínač pro DEM (purpurová), startovací obvod (oranžová).

C Tabulka porovnávací parametry výsledné reference s obdobnými pracemi

Tab. C.1: Porovnání parametrů vytvořené reference s obdobnými pracemi

Parametry	Tato práce	[7]	[8]	[9]	[3]
Technologie (nm)	65	40	130	180	65
Minimální napájecí napětí (V)	1.6	0.9	1	0.34	1.1
Spotřeba (nW)	14400	4.2	0.02	0.048	103000
Uref (V)	1.214	0.583	0.56	0.148	0.7075
Teplotní rozsah (°C)	-40~125	-40~120	-25~85	0~100	-50~150
Variační koeficient při 27 °C	0.126	0.204	-	0.114	0.104
Teplotní závislost (ppm/°C)	22	18	18.4	10.1	5.2
Čitlivost na napájecím napětí (%/V)	0.019	0.23	0.15	0.019	0.052
PSRR na 100 Hz (dB)	68	-	50	65	28.55
Doba startu (ms)	0.13	-	-	3.2	-
Šum při 10 Hz ($\mu\text{V}/\sqrt{\text{Hz}}$)	0.1	-	-	4.5	-
Trimování	ne	ano	ano	ano	ne
Plocha na čipu (mm ²)	0.0064	0.01	0.003	0.0332	-