

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

OPTIMALIZACE TESTU DIGITÁLNÍHO OBVODU MULTIFUNKČNÍMI PRVKY

AUTOREFERÁT DISERTAČNÍ PRÁCE

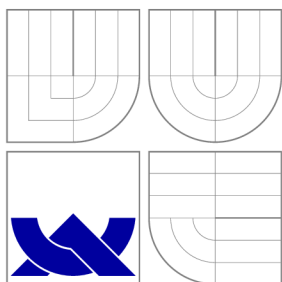
PHD THESIS

AUTOR PRÁCE

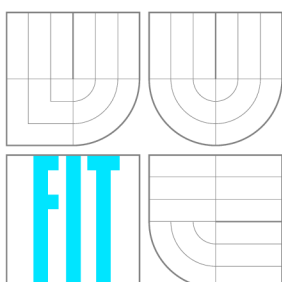
AUTHOR

Ing. LUKÁŠ STAREČEK

BRNO 2011



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

OPTIMALIZACE TESTU DIGITÁLNÍHO OBVODU MULTIFUNKČNÍMI PRVKY

DIGITAL CIRCUITS TEST OPTIMIZATION BY MULTIFUNCTIONAL COMPONENTS

AUTOREFERÁT DISERTAČNÍ PRÁCE

PHD THESIS

AUTOR PRÁCE

AUTHOR

Ing. LUKÁŠ STAREČEK

VEDOUCÍ PRÁCE

SUPERVISOR

Doc. Ing. ZDENĚK KOTÁSEK, CSc.

BRNO 2011

Disertační práce byla sepsána v rámci doktorského studijního programu na Vysokém učení technickém v Brně na ústavu počítačových systémů v kombinované formě studia.

Uchazeč: Ing. LUKÁŠ STAREČEK

Ústav počítačových systémů

Vysoké učení technické v Brně

Školitel: Doc. Ing. ZDENĚK KOTÁSEK, CSc.

Ústav počítačových systémů

Vysoké učení technické v Brně

Oponenti:

Autoreferát byl odesláný dne

Obhajoba disertační práce se koná dne v hodin před komisí pro obhajoby disertačních prací v zasedací místnosti číslo na Fakultě informatiky Vysokého učení technického v Brně.

S disertační prací je možné se obeznámit na děkanátě Fakulty informatiky Vysokého učení technického v Brně.

Abstrakt

Práce se zabývá možnostmi optimalizace testu číslicových obvodů pomocí multifunkčních logických hradel. Nejdůležitější částí je vysvětlení samotného principu optimalizace, který je popsán také formálními matematickými prostředky. Na základě tohoto popisu je prezentováno několik možností využití. Ukázána je optimalizace testovatelnosti obdobná metodě vkládání testovacích bodů a jednoduchá metodika založena na základě SCOAP. Těžištěm práce je však metodika, která byla vytvořena pro optimalizaci testu obvodu. Ta byla implementována v podobě softwarových nástrojů. V práci jsou následně prezentovány výsledky použití těchto nástrojů na úloze snížení počtu testovacích vektorů se zachováním pokrytí poruch pro různé obvody včetně testovací sady ISCAS 85.

Část práce je věnována také různým principům a technologiím tvorby multifunkčních logických hradel. Některá vybraná hradla z těchto technologií jsou podrobena simulacím elektronických vlastností ve SPICE. Na základě principů prezentované metodiky a výsledků simulací multifunkčních hradel je také provedena analýza a rozbor různých problémů jako je platnost testu modifikovaného obvodu a vhodnost jednotlivých technologií multifunkčních hradel pro danou metodiku.

Výsledky analýz a provedených experimentů je potvrzeno, že pomocí multifunkčních hradel lze optimalizovat diagnostické vlastnosti obvodu takovým způsobem, aby došlo k požadovaným úpravám parametrů výsledných testů obvodů při minimálních dopadech na kvalitu a věrohodnost těchto testů.

Klíčová slova

číslcový obvod, testovací vektory, optimalizace testu, multifunkční hradla, polymorfni hradla

Obsah

1	Úvod	3
2	Multifunkční elektronika	5
2.1	Konvenční hradla	5
2.2	Polymorfní hradla	6
2.3	Grafenová hradla	8
3	Cíle	11
3.1	Motivace	11
3.2	Cíle práce	11
4	Multifunkční logická hradla	13
4.1	Konvenční hradla	13
4.2	Polymorfní hradla	13
5	Optimalizace testu číslicových obvodů	16
5.1	Princip metody	16
5.2	Optimalizace testovatelnosti	17
5.2.1	Přímé řízení	17
5.2.2	Zlepšení testovatelnosti dle SCOAP	18
5.3	Optimalizace testu	18
5.3.1	Princip metody	19
5.3.2	Účelová funkce a omezující podmínky	19
5.3.3	Optimalizační algoritmy	20
6	Výsledky	22
6.1	Kompletní prohledání	22
6.2	Rekurzivní algoritmus	22
6.3	Zhodnocení výsledků	23
7	Závěr	26
7.1	Přínos práce	28
7.2	Možná rozšíření a další práce	28

A	Autorovy publikace	33
B	Autorův životopis	35
C	Autorovy aktivity během studia	36

Kapitola 1

Úvod

Jednou z charakteristik dvacátého století je velmi rychlý rozvoj v různých technologických oborech. Jednoho z největších rozmachů dosáhla elektronika, za jejíž vznik se často považuje rok přibližně 1906. V této době Lee De Forest vyvinul triodu, kterou roku 1907 nechal patentovat [3]. Od vzniku elektroniky do současnosti bylo vyvinuto velké množství elektronických komponent, jejichž složitost neustále stoupá. Nejsložitější integrované obvody dneška obsahují miliardy tranzistorů (viz např. NVIDIA Fermi s cca třemi miliardami tranzistorů [11]). Charakteristiku exponenciálně rostoucí složitosti elektronických komponent poprvé formuloval spoluzakladatel firmy Intel Gordon E. Moore v roce 1965, kdy uvedl, že složitost součástek se přibližně každý rok zdvojnásobí při zachování stejné ceny [9]. Tento výrok byl později přeformulován do podoby nazývané „Mooreův zákon“ [8] se zněním „počet tranzistorů, které mohou být vloženy do integrovaného obvodu, se přibližně každé dva roky zdvojnásobí“. Od doby formulace Mooreova zákona do současnosti bylo již mnohokrát předpokládáno, že jeho platnost brzy skončí, většinou z důvodů technologických limitů. Zatím však pokaždé byly technologické komplikace vyřešeny, limity prolomeny a v současné době se předpokládá, že platnost tohoto zákona zůstane zachována minimálně do roku 2015 [5]. Mnozí vědci věří, že platnost zůstane zachována minimálně po dobu dalších dvou desetiletí.

Aby bylo možné udržet růst míry integrace (a tedy i platnost Mooreova zákona), je třeba neustále zdokonalovat a vylepšovat tvorbu elektronických komponent a to ve všech aspektech od návrhu až po použití. Při návrhu se využívají různé úrovně abstrakcí a modelů s použitím vyspělých návrhových systémů, ve výrobě se hledají nové technologie a postupy.

Rozsáhlou oblastí je problém diagnostiky. Vzhledem ke složitosti současných obvodů není technologicky možné, aby byly všechny vyrobené kusy funkční. Z hlediska ekonomických nákladů je detekce vadného kusu velmi důležitá. Čím později se defekt odhalí, tím bývá náprava nákladnější. Současně, i když je obvod shledán plně funkčním a je nasazen do reálného použití, může dojít až už skrytou chybou, vnějšími jevy nebo stárnutím, k

jeho poškození takovým způsobem, kdy už není schopen plnit svoji funkci. V závislosti na důležitosti funkce může být i zde důležitá včasná detekce poškození. Rostoucí složitost obvodů však testování komplikuje a z otestování složitého obvodu se stává složitý problém. Pro test obvodu je důležité, aby při obhajitelných nákladech byl test dostatečně účinný. Jsou tedy vyvíjeny techniky a postupy tvorby testů obvodů, jejichž kvality jsou poměřovány metrikami, jako je počet pokrytí poruch, cena testu, doba aplikace testu, příkon potřebný pro provedení testu atp. Důležitost každé metriky se může lišit dle určení testovaného obvodu. Ukazuje se, že u složitějších obvodů vyráběných ve větších sériích začíná být velmi důležitým parametrem doba aplikace testu. Jan Dohnal z ON Semiconductor uvedl, že doba testování obvodů zabírá přibližně třetinu času z celého procesu výroby. Zkrácení doby testu tak může zrychlit výrobu a ušetřit část prostředků.

Hlavním cílem práce bylo vytvoření nové metodiky pro zkrácení doby aplikace testu obvodu. Důraz byl kladen na jednoduchost a obecnost metodiky a její použitelnost na komplexní obvody. Aplikace nové metodiky také neměla mít větší negativní vliv na ostatní metriky testu. Předpokladem byl vznik nové obecně použitelné metodiky, která umožní zrychlit výrobu a snížit tak náklady.

Kapitola 2

Multifunkční elektronika

Pod pojmem multifunkční elektronika je v práci chápána taková, která umí měnit svoji funkci a to předvídatelným, požadovaným a kontrolovatelným způsobem. Jelikož se práce zabývá obvody popsanými na úrovni hradel, jsou diskutována multifunkční logická hradla.

Multifunkční logická hradla jsou taková, která umí změnit svoji logickou funkci v závislosti na řídicí podmínce. Řídicí podmínkou může být obecně cokoliv, co dovede funkci hradla změnit. Označení funkce multifunkčního hradla s n funkcemi je $X_1/X_2/\dots/X_n$ kde každé X_i je standardní logickou funkcí a říká se jí i -tá logická funkce. Někdy se také o i -té funkci mluví jako o funkci v i -tém režimu multifunkčního logického hradla. Hodnoty řídicí proměnné se mohou zapsat v podobném formátu jako $Y_1/Y_2/\dots/Y_n$ kde každé Y_i je hodnotou řídicí proměnné (nebo řídicích proměnných). Platí, že pro správnou funkci musí být v jednom okamžiku platná právě jedna Y_i a v době její platnosti má hradlo funkci X_i . Příkladem může být hradlo AND/OR řízené napájecím napětím 1.5/3.3 V. Jedná se o multifunkční logické hradlo se dvěma funkcemi, kde v případě napájecího napětí 1.5V plní hradlo logickou funkci AND a v případě napájecího napětí 3.3V plní logickou funkci OR.

Samotná implementace multifunkčních hradel může být různá. Hradla mohou být implementována pomocí konvenčních postupů k tvorbě logických hradel nebo mohou být implementována pomocí nových metodik jako je například polymorfni elektronika nebo elektronika založená na grafénu.

2.1 Konvenční hradla

Implementace konvenčních multifunkčních logických hradel využívá standardní technologie a standardní postup návrhu logických hradel. Řízení funkce hradla je prováděno řídicími vstupy, které mají stejné vlastnosti jako vstupy funkční. Tedy ovládají se standardními hodnotami logických úrovní, způsobují obdobnou zátěž předchozího budícího stupně atp. Z hlediska funkčních a řídicích vstupů se tak hradlo chová jako klasické hradlo popsané například pravdivostní tabulkou, kdy jeden nebo více vstupů se chápou jako vstupy řídicí a ostatní jako vstupy funkční. Změnou logické

úrovně na řídicích vstupech se pak mění logická funkce hradla mezi funkčními vstupy a výstupem. Jelikož mezi funkčními a řídicími vstupy není fyzikálního rozdílu, dá se obecně říct, že jakékoliv klasické minimálně dvou-vstupové hradlo může být chápáno jako multifunkční, kdy některé vstupy jsou stanoveny jako vstupy řídicí a ostatní jako vstupy funkční. Označení konvenčně implementovaného hradla za multifunkční je tak dáno způsobem pohledu na určité klasické hradlo a ne speciálními vlastnostmi daného hradla.

Nejjednoduššími multifunkčními hradly mohou být dvouvstupová hradla. Jako příklad nyní uvažujme hradlo XOR. Budeme-li toto hradlo chápat jako multifunkční, kdy vstup B je vstupem řídicím, pak v případě $B = 0$ plní hradlo mezi vstupem A a výstupem funkci BUF, tedy přenosu stejného vstupu na výstup, a v případě $B = 1$ funkci INV, tedy inverze vstupu A . Z multifunkčního pohledu tak hradlo XOR může fungovat jako řízený invertor, kdy je možné ovlivnit, zda vstupní hodnotu invertuje nebo nikoliv. Hradlo XOR je tak možné označit jako multifunkční hradlo BUF/INV.

S rostoucím počtem vstupů hradla roste také počet možností, jakým způsobem dané hradlo jako multifunkční využít. Můžeme volit kolik a které vstupy jsou řídicí, které funkční a kolik a jaké funkce hradla využijeme. Obecně však vždy musí platit $rv \geq \lceil \log_2 f \rceil$, kde rv je počet řídicích vstupů a f je počet funkcí multifunkčního hradla. Pokud vyžadujeme, aby byla logická funkce v každém režimu hradla unikátní (tedy aby hradlo neplnilo v různých dvou režimech stejnou funkci), bude také platit $2^{fv} \geq f$, kde fv je počet funkčních vstupů hradla. Počet možností, jak zvolit řízení hradla, je roven $\binom{v}{1} + \binom{v}{2} + \dots + \binom{v}{rv}$, kde v je počet všech vstupů hradla.

Jako konkrétní případ nyní uvažujme hradlo popsané tabulkou 2.1. Pokud zvolíme vstupy A a B jako řídicí a zbylé vstupy jako funkční, potom získáme multifunkční hradlo AND/OR/NAND/NOR. Funkce AND plní hradlo v případě $AB = 00$, funkci OR v případě $AB = 01$, funkci NAND v případě $AB = 10$ a funkci NOR v případě $AB = 11$. Další možností je zvolit jako řídicí vstup pouze vstup A a zbylé vstupy jako funkční. Potom hradlo v případě $A = 0$ plní funkci majority a v případě $A = 1$ plní funkci negované majority. Podobně lze popsat funkce i pro další možnosti volby řídicích vstupů.

2.2 Polymorfní hradla

Polymorfní elektronika (polytronika) je druh elektroniky, která je schopna měnit svoji funkci dle okolních podmínek (např. teplo, světlo, napájecí napětí, řídicí vstup, radiace atp.) [16]. Tento princip byl představen v [13], patentován v roce 2000 a zkoumán v NASA Propulsion Laboratory v Pasadeně. Základní myšlenkou polytroniky je vytvořit elektronické obvody,

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Tabulka 2.1: Pravdivostní tabulka multifunkčního hradla

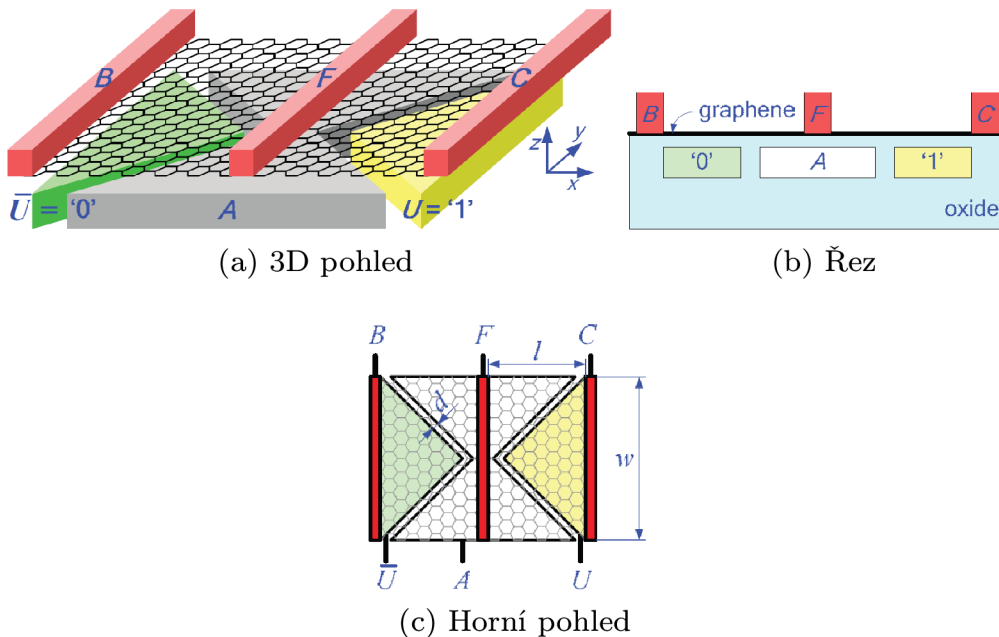
kteřé by byly schopny reagovat na vnější podněty změnou své funkce a to pouze na základě fyzikálních vlastností technologie použité pro jejich implementaci bez speciálních senzorů.

U zatím známých polymorfních hradel implementovaných CMOS technologií se využívá zejména vlastností parametru V_T tedy prahového napětí otevření tranzistoru. U něj se využívá jak vliv na otevření/uzavření tranzistoru vzhledem k velikosti napětí, tak i jeho závislosti na teplotě. Díky těmto vlastnostem je možné implementovat polymorfní logická hradla pomocí technologie CMOS závislá na napájecím napětí, řídicím napěťovém vstupu nebo na teplotě prostředí. Polymorfní hradla závislá na jiných okolních podmínkách (např. světlo, radiace ...) se mohou objevit jako výsledek dalších výzkumů.

Většina publikovaných polymorfních hradel je uvedena v tabulce 2.2. Implementace hradla NAND/NOR ovládaném V_{DD} je na obrázku 2.1. Polymorfní hradla představená Adrianem Stoicou a spol. prezentovaná v [15, 16, 17, 14] byla získána hledáním řešení pomocí evolučních technik. Hradlo prezentované v [12] bylo vyvinuto přímým návrhem Romanem Prokopem z UMEL FEKT VUT Brno.

pokojevých teplotách (kolem 300°K) se elektrony pohybují velmi rychle a ztrácí velmi málo energie. Prakticky se tak chovají jako nehmotné částice [4, 6]. To současně s minimální velikostí grafenu vede k předpokladu možnosti tvorby tranzistorů atomární velikosti o velké rychlosti spínání. Obecně se předpokládá dosažení teraherzových rychlostí [4].

Jedna z prvních implementací grafenového multifunkčního hradla byla představená v [18] a je zobrazena na obrázku 2.2. Hradlo je vytvořeno na polovodičovém substrátu, ve kterém jsou vytvořeny tři oblasti \bar{U} , A a U v trojúhelníkovém tvaru pod úhlem 45°. Na hladké horní části substrátu je nanášena grafenová vrstva, na které jsou umístěny elektrody B , F a C . Kontakty připojené k A , B a C tvoří vstupy hradla, kontakt připojený k F tvoří výstup hradla a kontakty U a \bar{U} slouží k napájení. Při klasickém zapojení je \bar{U} připojeno na nízký potenciál (zem) a U na vysoký potenciál (napájení). V tomto režimu označeném $U = 1$ plní hradlo logickou funkci popsanou rovnicí $Y = AC + \bar{A}B$. Hradlo však také umožňuje opačné zapojení, kdy na \bar{U} je připojen vysoký potenciál (napájení) a na U potenciál nízký (zem). V takovém případě je režim označen $U = 0$ a hradlo plní funkci popsanou rovnicí $Y = \bar{A}C + AB$. Funkce pro oba režimy je popsána pravdivostní tabulkou 2.3a. Budeme-li jeden vstup chápat jako řídicí, pak je možné implementovat multifunkční hradla uvedená tabulce 2.3b.



Obrázek 2.2: Struktura multifunkčního hradla s grafenem [18]

Jednou z výhod uvedeného multifunkčního hradla je, že základem pro implementaci je shodný substrát jako pro tvorbu CMOS obvodů. Hlavním

Vstupy			Výstupy	
			$U = 1$	$U = 0$
A	B	C	Y	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	0	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

(a) Pravdivostní tabulka

Řídicí vstup	Funkce	
	$U = 1$	$U = 0$
A	B/C	C/B
B	AND/ \rightarrow	\leftarrow /OR
C	\leftarrow /OR	AND/ \rightarrow

(b) Dosažitelná multifunkční hradla

Tabulka 2.3: Tabulky funkce grafenového hradla

technologickým rozdílem je pouze nanesená grafenová vrstva mezi substrátem a elektrodami hradla. Dle [18] by tímto způsobem měla být dosažitelná integrace klasické CMOS technologie s technologií grafenovou a mělo by tak být možné vytvářet nové hybridní CMOS-grafenové obvody.

Kapitola 3

Cíle

3.1 Motivace

Při současné složitosti číslicových obvodů je technologicky nemožné, aby byly všechny vyráběné kusy funkční. Zejména u nových technologií a velkých obvodů pak může být počet těch nefunkčních značný. Z ekonomického hlediska je však důležité, aby byly vadné kusy identifikovány co nejdříve. Čím později jsou odhaleny, tím větší vzniká škoda. Stále rostoucí složitost číslicových obvodů však testování komplikuje. Je důležité, aby bylo při rozumných nákladech dostatečně účinné. Jsou tak vyvíjeny nové techniky a postupy jak testy vytvářet a jak modifikovat obvody, aby se snadněji testovaly. Kromě samotné tvorby obvodu a jeho testu začíná být velmi důležitým parametrem také doba aplikace testu na výsledný obvod. Jan Dohnal z ON Semiconductor uvedl, že doba testování obvodů zabírá přibližně třetinu času z celého procesu výroby. Zkrácení doby aplikace testu tak může ušetřit část prostředků a zrychlit celkový proces výroby.

V posledních několika letech se také začínají diskutovat technologie a principy pro tvorbu multifunkčních logických hradel. V roce 2000 byly patentovány principy polymorfních hradel a v roce 2010 bylo prezentováno hradlo založené na grafenu. Podobné technologie umožňují mimo jiné také změnu funkce vnitřních prvků obvodu bez nutnosti modifikace jeho struktury na úrovni hradel. Změna funkce hradla uvnitř obvodu způsobí změnu transparentních cest, ekvivalentních poruch a v neposlední řadě také poruch, které jsou otestovány aktuálně sestavenou aktivační a detekční cestou. Tyto vlastnosti vedou k úvahám o možnostech využití multifunkčních hradel pro různé úpravy diagnostických vlastností obvodu, které by vedly k optimalizaci parametrů výsledných testů. Optimalizovanými parametry mohou být například počet testovacích vektorů nebo pokrytí poruch výsledného testu.

3.2 Cíle práce

Hlavním cílem práce bylo ověření předpokladu, že multifunkčními prvky lze ovlivnit diagnostické vlastnosti obvodu takovým způsobem, že je možné do-

sáhnout požadovaných změn parametrů výsledného testu obvodu. Současně si práce kladla za cíl navrhnout a implementovat metodiku pro optimalizaci parametrů testu založenou na tomto předpokladu a pomocí navržené metodiky předpoklad ověřit na úloze minimalizace počtu testovacích vektorů potřebných pro otestování obvodu při zachování ostatních kvalitativních parametrů testu. V rámci řešení se předpokládalo splnění následujících dílčích cílů:

1. Navrhnout a popsat principy využití multifunkčních hradel v obvodech pro účely optimalizace testu.
2. Popsat tyto principy formálními prostředky a definovat nad těmito principy metodiku optimalizace testu.
3. Navrženou metodiku implementovat.
4. Pomocí implementace ověřit metodiku na úloze minimalizace počtu testovacích vektorů pro různé obvody včetně uznávané testovací sady ISCAS 85.
5. Analyzovat známé technologie tvorby multifunkčních hradel. Zjistit jejich vlastnosti a zhodnotit jejich vhodnost pro navrhovanou metodiku.

Důraz při návrhu a implementaci byl kladen na jednoduchost a obecnost metodiky. Dále mělo být možné metodiku použít i pro komplexní obvody. Současně nesměla mít navržená metodika větší negativní vliv na ostatní kvalitativní parametry testu. Vytvořená metodika a její ověřovací implementace také měla být jednoduše začlenitelná do dnes standardního procesu tvorby obvodů a jejich testů, a měla být jednoduše použitelná se standardními návrhovými systémy.

Kapitola 4

Multifunkční logická hradla

4.1 Konvenční hradla

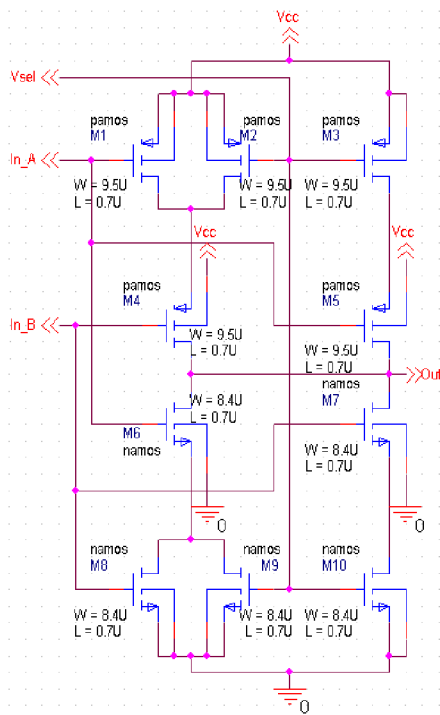
Konvenční multifunkční logická hradla jsou prakticky klasickými logickými hradly popsány standardní pravdivostní tabulkou a implementovanými standardními technologiemi. V rámci práce bylo navrženo multifunkční hradlo na bázi CMOS technologie zobrazené na obrázku 4.1a, jehož funkce je popsána pravdivostní tabulkou 4.1b. Toto hradlo má tři vstupy A , B a $Vsel$ a jeden výstup Out . Prakticky se jedná o třívstupové hradlo plnící funkci negované majority ze tří. Ať už je u tohoto hradla zvolen jako jeden řídicí vstup jakýkoliv, hradlo je vždy multifunkčním hradlem NAND/NOR. Tato funkce je v práci považována za jednu z nejdůležitějších, neboť funkce NAND i NOR jsou logicky kompletní a je možné s jejich pomocí vytvořit jakoukoliv logickou funkci či složitější číslicový obvod.

Jelikož se prakticky jedná o klasické CMOS logické hradlo, jsou i jeho elektrické vlastnosti obdobné s hradly ostatními. Hradlo tak na výstupu dosahuje kvalitních úrovní napětí pro obě logické úrovně a větší odběr proudu (a tedy příkon) má pouze při přepínání stavů. Ani dalšími parametry jako je šumová imunita, zpoždění hradla či logický zisk se při simulacích nijak nelišilo od jiných běžných CMOS hradel.

4.2 Polymorfní hradla

V kapitole 2.2 tabulce 2.2 je uvedena většina publikovaných polymorfních hradel. Pro každé hradlo vyjma hradla AND/OR ovládaného teplotou, byl v OrCad PSPICE vytvořen model a byla provedena simulace jejich logických i elektrických vlastností. Je důležité poznamenat, že Adrian Stoica a spol. tvořili a simulovali hradla s využitím technologie HP 0.35 μm . V práci byly pro simulace využity tranzistory z technologie AMI 0.7 μm .

Při simulacích se ukázal zásadní problém se všemi hradly ovládanými napětím na řídicím vstupu. Žádné neplnilo uvedené logické funkce a nepodařilo se je zprovoznit. Byl vysloven předpoklad, že hlavní příčinou je pravděpodobně rozdílná hodnota parametru V_T jmenovaných výrobních technologií, případně odchylky v dalších parametrech. Tento první pozna-



(a) schéma

Vsel	B	A	Out
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

(b) Pravdivostní tabulka

Obrázek 4.1: CMOS konvenční multifunkční NAND/NOR hradlo

tek ukazuje jednu zásadní vlastnost polymorfních hradel a to, že jsou velmi závislá na výrobní technologii. Rozdíly parametrů výrobních technologií, které u konvenčních hradel neznamenají větší problém, mohou u polymorfních hradel působit zásadní potíže jako i úplnou nefunkčnost. Jelikož se tato hradla nepodařilo úspěšně odsimulovat, nebyla dále podrobněji analyzována.

Z provedených simulací se zjistilo, že popisovaná polymorfní hradla trpí problematickými vlastnostmi, které značně snižují možnost jejich rozáhlejšího využití ve velkých obvodech. Obecně se dá říci, že hradla mají velké odběry proudu z napájení, některá nepřiměřeně zatěžují předchozí stupně, většina má nepřesné napěťové úrovně na výstupu a v neposlední řadě u některých hradel při zatížení výrazně klesá maximální pracovní kmitočet. Nepřesné napěťové úrovně na výstupu hradel následně vedou ke zvýšenému odběru proudu z napájení v případě zapojení dalších, i konvenčních, hradel na jejich výstup.

Polymorfní hradla také většinou mají malou šumovou imunitu a jsou velmi citlivá na přesné napěťové úrovně na vstupu. To současně s nepřesností jejich výstupních napěťových úrovní často způsobí, že nelze zapojit více podobných hradel přímo za sebe.

Z prezentovaných hradel se jako nejlepší z hlediska sledovaných para-

metrů jeví hradlo NAND/NOR ovládané napájecím napětím R. Prokopa. Toto hradlo oproti ostatním trpí pouze vysokým odběrem proudu z napájení a o něco nižším maximálním kmitočtem spínání oproti konvenčním hradlům, který je u této technologie v řádu stovek MHz. V práci byl vysloven předpoklad, že toto hradlo dopadlo nejlépe ze dvou hlavních důvodů. Bylo navrženo přímo pro technologii AMI $0.7 \mu m$, ve které byly simulace prováděny, a současně bylo hradlo vytvořeno návrhem od návrháře s dobrou znalostí vlastností MOSFET tranzistorů a CMOS technologie a nikoliv evolučními postupy jako hradla ostatní.

Kapitola 5

Optimalizace testu číslicových obvodů

Při tvorbě testovací posloupnosti logického obvodu se postupně vytvářejí testovací vektory tak, aby pokrývaly poruchy v analyzovaném obvodu. Výsledná posloupnost testovacích vektorů pak nabývá určitých kvalitativních parametrů popsaných různými vlastnostmi jako je například počet testovacích vektorů, pokrytí poruch aj. Použití multifunkčních hradel nabízí možnost upravit funkci vnitřních prvků obvodu a tím ovlivnit jeho chování i vzhledem k tvorbě testu. Navrhovaný způsob vychází ze základního předpokladu, že změnou funkce vnitřních prvků dojde ke změnám diagnostických vlastností celého obvodu. Dá se tedy hovořit o konkrétní hypotéze, jejíž ověření je předmětem práce. Pro tyto účely byl vytvořen formální model, který definuje pojmy využitě následně při tvorbě metodiky, který byl označen pojmem „optimalizace testu číslicových obvodů“. Na tomto formálním modelu pak operují procedury a algoritmy, které jsou rovněž popsány.

5.1 Princip metody

Metoda je vybudována na možnosti změnit funkci některých vnitřních hradel takovým způsobem, aby došlo ke zlepšení požadovaných parametrů testu. Jelikož je pro provoz obvodu samozřejmě nutné zachovat jeho původní funkci, je potřeba, aby upravená hradla umožňovala plnit i původní logickou funkci. Upravená hradla tak musí ve *funkčním* režimu plnit funkci tak, jak je potřeba pro funkci obvodu a v *testovacím* režimu plnit funkci vhodnější pro test. Této vlastnosti lze docílit pomocí multifunkčních hradel diskutovaných v kapitole 2 a 4.

Hlavní výhodou tohoto přístupu je, že přidáváním testovací logiky nedochází ke změně vnitřní struktury ve funkční logice obvodu. Pomineme-li logiku na řízení funkce multifunkčních hradel, počty vstupů, výstupů nebo spojení vnitřních prvků jsou nezměněné. Jediná změna je tak náhrada logického hradla za hradlo multifunkční s funkcí řízenou pro účely testu. Mají-li použitá multifunkční hradla stejné vlastnosti jako hradla původní, nedojde ani ke změně dynamických parametrů obvodu. To je výhodou oproti jiným technikám DfT, které mohou dynamické parametry měnit (například metoda vkládání testovacích bodů).

Další vlastností této metody je, že na základě řešeného problému, požadavků na test a omezujících podmínek umožňuje volbu, zdali bude možné přepínat hradla i v průběhu aplikace testu. Nejjednodušším způsobem je změnu funkce hradel v průběhu testu neumožnit. Pak stačí spojit řízení funkce všech multifunkčních hradel a vyvést je jako jeden vstup obvodu. Před samotným testem se funkce hradel v obvodě přepne do testovacího režimu, spustí se test a po jeho dokončení se obvod přepne zpět do režimu funkčního. Druhou možností je umožnit změnu funkce hradel i v průběhu testu.

Celá metoda tak sestává ze tří základních dílčích úkolů. Identifikace hradel v obvodě, jejichž funkci je vhodné změnit, volba jejich testovací funkce a volba způsobu jejich řízení. Jelikož je struktura optimalizovaného obvodu daná, je také pevně daná množina všech jeho hradel a je konečná. Jelikož počet funkcí, které může jedno hradlo nabývat, je konečný a množina všech hradel obvodu je také konečná, pak i množina všech funkcí, která mohou hradla v obvodě nabývat, je také konečná. Počet možností řízení konečné množiny hradel je také konečný. Celý problém tak nabývá konečného počtu možných řešení.

5.2 Optimalizace testovatelnosti

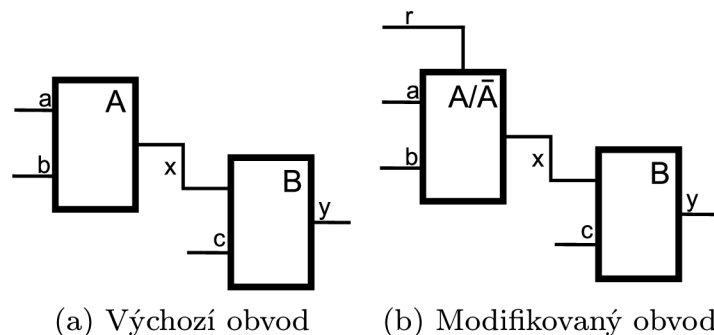
Optimalizace testovatelnosti pomocí multifunkčních prvků je založena na principu vkládání testovacích bodů pro zlepšení říditelnosti nebo pozorovatelnosti vybraného místa. Základní odlišností však je, že navrhovaná metodika nepřidává nová hradla do obvodu, ale pouze modifikuje hradla existující na hradla multifunkční. Výběr hradla, jeho funkce v testovacím režimu a způsob jeho řízení je nutné realizovat na základě požadavků na zlepšení říditelnosti.

5.2.1 Přímé řízení

Klasická implementace přímého řízení určitého bodu obvodu metodou vkládání testovacích bodů spočívá v přidání logického hradla před tento určený bod. Funkce vloženého hradla závisí na tom, zdali je potřeba řídit jen jednu konkrétní logickou úroveň a jakou nebo je potřeba mít nad místem úplnou kontrolu. Vložení nového hradla má za následek změnu dynamických vlastností v okolí nového hradla, případně změnu dynamických vlastností i celého obvodu.

Navrhovaná metodika však nové hradlo do obvodu nepřidává. Požadavek na přímé řízení je možné vyřešit náhradou hradla (jehož výstup vede do určeného bodu) za hradlo multifunkční. Nyní předpokládejme situaci na obrázku 5.1a a požadavek na přímé řízení logické úrovně bodu x . Pak náhradou hradla A za multifunkční hradlo (obrázek 5.1b) můžeme logickou

úroveň v bodě x řídit.



Obrázek 5.1: Obvod s požadavkem na přímé řízení logické úrovně bodu x

Volba testovací funkce multifunkčního hradla závisí na požadavku, jakým způsobem je potřeba logickou úroveň v bodě x řídit. Obecně však vždy musí platit, že ať už je na vstupu hradla jakákoliv vstupní kombinace, na výstupu musíme být schopni nastavit požadovanou logickou úroveň. V případě požadavku na úplné řízení bodu x musí být funkce v testovacím režimu komplementem funkce v režimu funkčním. Pak je možné při zachování funkce ve funkčním režimu nastavit v bodě x požadovanou logickou úroveň při jakékoliv vstupní kombinaci. Samotné nastavení požadované logické úrovně pak spočívá ve změně funkce hradla, pokud je pro aktuální vstupní kombinaci na výstupu jiná logická úroveň než požadovaná. Bod x je tak úplně říditelný.

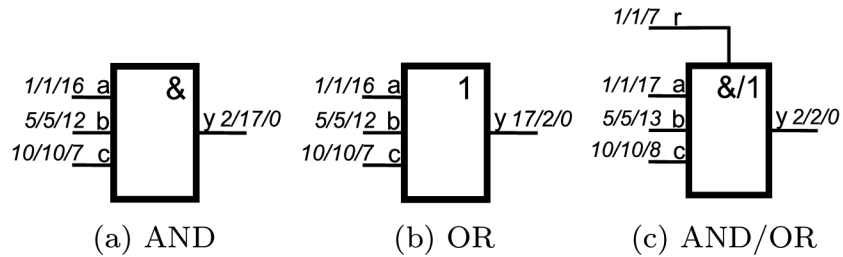
5.2.2 Zlepšení testovatelnosti dle SCOAP

Dalším řešeným problémem bylo obecné zlepšení testovatelnosti obvodu na základě metody SCOAP. Řešení je založeno na snížení hodnoty říditelnosti vybraných míst obvodu. Díky matematickému popisu říditelnosti na výstupu hradel lze jednoduše identifikovat hradla, která jsou a která nejsou pro říditelnost vhodná.

Jako příklad mějme třívstupové hradlo AND ohodnocené dle obrázku 5.2a. Pokud umožníme změnu funkce hradla z AND na OR v průběhu testu, je pak možné funkce hradel měnit tak, aby měly dobré vlastnosti říditelnosti pro právě řízenou logickou úroveň. Tento princip je zobrazen na obrázku 5.2c.

5.3 Optimalizace testu

Princip optimalizace testu multifunkčními prvky staví na předpokladech uvedených v kapitole 3. Pokud platí, pak lze vhodnými změnami vnitřních



Obrázek 5.2: Třívstupové hradlo AND, OR a AND/OR ohodnocené meto-
dou SCOAP

prvků obvodu dosáhnout požadované optimalizace výsledného testu. Požadovanou optimalizací mohou být různé aspekty testu, jako například počet testovacích vektorů, potřebný příkon pro test, pokrytí poruch atp. Ačkoliv je navrhovaná metodika obecně použitelná na více problémů, byla použita na snížení počtu testovacích vektorů.

5.3.1 Princip metody

Jak bylo uvedeno v kapitole 5.1, je třeba řešit tři hlavní problémy. Výběr hradel, výběr jejich testovacích funkce a způsob jejich řízení. Navržená metoda volí takový způsob řízení, kdy funkci hradel není možné v průběhu testu měnit. Úloha metody tak sestává pouze z identifikace hradel, která by bylo vhodné změnit, a volby jejich funkce.

Vstupem metody je obvod C popsany na úrovni hradel, u něhož byl vznesen požadavek na optimalizaci jeho testu. Výstupem metody je strukturně stejný obvod C' , u něhož ale došlo ke změně funkce některých jeho hradel, a který dosahuje lepších sledovaných vlastností. Změněná hradla jsou ve výsledném obvodu reprezentována jako multifunkční, kdy ve funkčním režimu mají funkci jako hradla původního obvodu a v testovacím režimu mají funkci jako hradla z obvodu optimalizovaného. Pro optimalizaci obvodu C a získání obvodu C' s lepšími sledovanými vlastnostmi využívá metoda kombinatorické optimalizace.

5.3.2 Účelová funkce a omezující podmínky

Při řešení optimalizace počtu testovacích vektorů byly využity parametry:

- Počet testovacích vektorů (Relace vc^1).
- Pokrytí redukovaných poruch (Relace fc^2).

¹vc - Vectors Count

²fc - Fault Coverage

- Počet multifunkčních hradel (Relace mc^3).
- Počet CMOS tranzistorů při implementaci obvodu. (Relace tc^4).

Jelikož je řešení postaveno na hledání C' pro obvod C dle definice, která zajišťuje strukturní konzistenci obvodu, není nutné se tímto problémem zabývat. Každé řešení nalezené dle této definice je platným obvodem.

Běžně účelové funkce kombinatorické optimalizace ohodnocují kandidátní řešení hodnotou z \mathbb{R} . Při implementaci však byla využita varianta, kdy účelová funkce *porovnejObvody* přímo porovnávala dva obvody a rozhodovala, jestli je novější obvod lepší nebo nikoliv.

Samotná porovnávací funkce považuje obvod za lepší, pokud se sníží počet testovacích vektorů a nedojde ke snížení pokrytí poruch. Je-li počet testovacích vektorů shodný, pak je lepší tehdy, dojde-li ke zvýšení pokrytí poruch. Jestliže je i tento parametr shodný, pak je lepší, obsahuje-li méně multifunkčních hradel. Jsou-li i počty multifunkčních hradel shodné, je lepší, pokud potřebuje méně CMOS tranzistorů pro implementaci.

5.3.3 Optimalizační algoritmy

Kompletní prohledání

Prvním úspěšně použitým algoritmem bylo kompletní prohledání stavového prostoru řešení. Počet kandidátních řešení problému lze zjednodušeně aproximovat exponenciální rovnicí c^g , kde c je průměrná velikost množiny vzájemně nahraditelných hradel a g je počet hradel obvodu. Jelikož složitost kompletního prohledávání roste úměrně složitosti problému, je složitost nalezení řešení tímto algoritmem exponenciální. Algoritmus byl použitelný pouze na relativně malé obvody.

Rekurzivní algoritmus

Jako druhý byl použit optimalizační algoritmus popsáný algoritmem 5.1, který je založený na prohledávání do hloubky a byl inspirovaný horolezeckým algoritmem a zpětným prohledáváním. Vychází z obvodu pro optimalizaci a hledá v jeho celém 1-okolí lepší řešení. Pomocí metody "ziskejDalSiReseni", která pro obvod C postupně vrací všechny obvody C' z 1-okolí, postupně zkoumá obvody v okolí a platí-li *provnejObvody*(C, C') = *true*, pak se nad obvodem C' spustí algoritmus rekurzivně. Po vynoření z rekurze pokračuje dalším obvodem z okolí. Každé spuštění si uchovává nejlepší řešení a vzájemným porovnáním nejlepších řešení jednotlivých spuštění je nalezen nejlepší obvod.

³mc - Multifunctional logic gates Count

⁴tc - Transistors Count


```

procedure dhc(obvod C) {
    nejlepsireseni = C;
    Cn = ziskejDalsiReseni(C);
    while Cn != NULL do {
        if provnejObvody(C, Cn) {
            reseni = dhc(Cn);
            if porovnejObvody(nejlepsireseni, reseni) {
                nejlepsireseni = reseni;
            }
        }
        Cn = ziskejDalsiReseni(C, Cn);
    }
    return nejlepsireseni;
}

```

Algoritmus 5.1: Optimalizační algoritmus inspirovaný horolezeckým algoritmem a zpětným prohledáváním

Z algoritmu je zřejmé, že se z výchozího obvodu snaží "vyšplhat" všemi možnými směry po lepších obvodech v okolí. Jelikož hledá v 1-okolí, je algoritmus schopen nalézt pouze ta řešení, ke kterým z výchozího obvodu vede cesta přes řešení, kdy v každém kroku došlo ke změně pouze jednoho hradla a každé následující řešení je lepší než předchozí. Algoritmus tak není schopen nalézt řešení, která jsou mimo tyto cesty a uvázně v lokálních extrémech v okolí výchozího řešení. Výhodou algoritmu je, že velmi rychle dovede zjistit, zdali se v 1-okolí nalézají lepší řešení a pokud ano, dovede k němu poměrně rychle konvergovat. Algoritmus je tak svojí jednoduchostí a rychlostí konvergence vhodný pro potvrzení vyslovených předpokladů.

Kapitola 6

Výsledky

6.1 Kompletní prohledání

Optimalizační metoda kompletního prohledávání byla využita pro nalezení řešení u šesti malých obvodů. Souhrnné výsledky jsou zaznamenány v tabulce 6.1.

Jelikož pokrytí poruch výchozích obvodů je 100 % a optimalizace byla omezena tak, aby nemohlo dojít ke snížení pokrytí, jsou výsledky zajímavé pouze z hlediska snížení počtu testovacích vektorů. U všech obvodů došlo ke snížení počtu testovacích vektorů o 9,09 % až 50 %. Z hlediska nárůstu "ceny" obvodu vyjádřené odhadem počtu CMOS tranzistorů potřebných pro implementaci obvodu došlo k nárůstu o 13 % až 60 %.

K největšímu snížení potřebných testovacích vektorů došlo u obvodu dec3to8. Snížení činilo 50 % při odhadovaném nárůstu počtu CMOS tranzistorů na implementaci o 42,85 %. U tohoto obvodu je zajímavé nalezené řešení, kdy po překlopení multifunkčních hradel do testovacího režimu má obvod na všech výstupech vždy stejnou hodnotu a chová se jako hradlo NOR se třemi vstupy. Jelikož testem pro samostatné hradlo NOR se třemi vstupy jsou otestovány všechny spoje i v obvodu dec3to8, je test tohoto obvodu shodný s testem samostatného NOR hradla.

6.2 Rekurzivní algoritmus

Po získání výsledků a jejich analýze z kompletního prohledávání byla implementována optimalizační metoda na principu rekurzivního algoritmu popsaná v kapitole 5.3.3. Ta byla použita pro optimalizaci testu složitějších obvodů ze sady ISCAS 85 a dalších podobných obvodů. Výsledky jsou zaznamenány v tabulce 6.2.

U obvodů ze sady ISCAS 85 doběhl algoritmus do konce pouze u obvodu c17 a c1355. U všech ostatních obvodů doběhl do konce vyjma obvodu mul8. U zbývajících byl ukončen předčasně, neboť nedoběhl v požadovaném čase. Později bylo zjištěno, že konkrétní implementace použitého optimalizačního nástroje "Testgen" v jazyce Perl nebyla optimální a výkon metody je možné značně optimalizovat.

I když algoritmus u některých obvodů nedoběhl do konce a tedy pravděpodobně nenašel nejlepší řešení, které je schopen nalézt, došlo ke snížení počtu testovacích vektorů u všech obvodů vyjma obvodu c1355. Snížení počtu testovacích vektorů se pohybuje mezi 12,67 % až 58,21 % při odhadovaném nárůstu počtu CMOS tranzistorů pro implementaci o 0,73 % až 75 %.

U sady ISCAS 85 došlo průměrně ke snížení počtu testovacích vektorů o 27,98 % při změně 2,79 % funkcí hradel při zvýšení pokrytí poruch o 0,51 % a nárůstu odhadovaného počtu CMOS tranzistorů pro implementaci o 5,29 %. U ostatních obvodů pak došlo průměrně ke snížení počtu testovacích vektorů o 26,73 % při změně 7,41 % funkcí hradel při zvýšení pokrytí poruch o 0,22 % a nárůstu odhadovaného počtu CMOS tranzistorů o 7,91 %. Celkově pro všechny obvody došlo průměrně ke snížení počtu testovacích vektorů o 27,83 % při změně 2,98 % hradel při zvýšení pokrytí poruch o 0,39 % a nárůstu odhadovaného počtu tranzistorů o 5,45 %,

Největší snížení počtu testovacích vektorů se podařilo dosáhnout u obvodu c499 a to o 58,21 % z původních 67 na 28 při odhadovaném nárůstu počtu CMOS tranzistorů pro implementaci o 13,86 % z 1764 na 2062. Zajímavého výsledku bylo také dosaženo například u obvodu c6288, u kterého došlo ke snížení počtu testovacích vektorů o 21,74 % z 46 na 36 při odhadovaném nárůstu počtu CMOS tranzistorů pro implementaci o pouhých 0,73 % z 10112 na 10186 při změně funkce deseti hradel.

U některých obvodů došlo také ke zlepšení pokrytí poruch, které se pohybuje mezi 0,16 % a 1,76 %. Zajímavým výsledkem je například obvod comp8, u kterého došlo ke zvýšení pokrytí poruch o 1,76 % z 98,27 % na rovných 100 %.

6.3 Zhodnocení výsledků

Implementované optimalizační metody našly řešení, která potřebují méně testovacích vektorů při zachování nebo mírném zlepšení pokrytí poruch. Algoritmus kompletního prohledávání dokázal na všech použitých malých obvodech nalézt řešení. Metoda prohledávání do hloubky našla řešení u všech obvodů vyjma obvodu c1355 ze sady ISCAS 85, pro který ale bylo nalezeno řešení jinou metodou. Na problému obvodu c1355 se ukázalo, že problém není čistě konvexní a i u této metodiky je potřeba navrhovat optimalizační algoritmy, které počítají s nekonvexním průběhem optimalizovaného problému a dovedou uniknout z lokálních extrémů.

Z výsledků je také patrné, že v prohledávaném prostoru existuje mnoho rozličných řešení, která dosahují různých parametrů. Úpravou účelové funkce nebo nastavením omezujících podmínek je možné získávat řešení, která přesně vyhovují stanoveným požadavkům.

Obvod	Hradel			Vektorů			Pokrytí Poruch			CMOS Tranzistorů			
	C	C'	%	$vc(C)$	$vc(C')$	%	$fc(C)$	$fc(C')$	%	$tc(C)$	$tc(C')$	P	%
fulladd1	4	1	25,00	6	5	83,33	100,00	100,00	100,00	32	28	38	118,75
fulladd2	6	3	50,00	6	4	66,67	100,00	100,00	100,00	40	50	64	160,00
fulladd3	5	2	40,00	6	4	66,67	100,00	100,00	100,00	42	38	56	133,33
comp3bit	11	2	18,18	11	9	81,81	100,00	100,00	100,00	62	70	74	119,35
enc8to3	13	1	7,69	11	10	90,91	100,00	100,00	100,00	74	72	84	113,51
dec3to8	11	4	36,36	8	4	50,00	100,00	100,00	100,00	56	66	80	142,85

Hradel C

Počet hradel obvodu

Hradel C'

Počet modifikovaných hradel obvodu

 $vc(C)$

Počet testovacích vektorů původního obvodu

 $vc(C')$

Počet testovacích vektorů modifikovaného obvodu

Vektorů %

 $vc(C')$ v procentech oproti $vc(C)$ $fc(C)$

Pokrytí poruch původního obvodu

 $fc(C')$

Pokrytí poruch modifikovaného obvodu

Pokr. poruch %

 $fc(C')$ v procentech oproti $fc(C')$ $tc(C)$

Počet CMOS tranzistorů původního obvodu

 $tc(C')$

Počet CMOS tranzistorů modifikovaného obvodu

 P

Odhadovaný počet CMOS tranzistorů obvodu s multifunkčními hradly

CMOS tran. %

 P v procentech oproti $tc(C)$

Obr.

Odkaz na obrázek, na kterém je obvod zobrazen

tv

Odkaz na tabulku s testovacími vektory

Tabulka 6.1: Výsledky metody kompletního prohledávání

Obvod	Hradel			Vektorů			Pokrytí Poruch			CMOS Tranzistorů			
	C	C'	%	$vc(C)$	$vc(C')$	%	$fc(C)$	$fc(C')$	%	$tc(C)$	$tc(C')$	P	%
c17	6	3	50,00	9	5	55,56	100,00	100,00	100,00	24	30	42	175,00
c432	160	34	21,25	102	54	52,94	99,24	99,83	100,59	824	1028	1168	141,75
c499	202	35	17,33	67	28	41,79	98,94	100,00	101,07	1764	1818	2062	116,89
c880a	383	34	8,88	104	63	60,58	100,00	100,00	100,00	1802	1902	2092	116,09
c1355	506	0	0,00	108	108	100,00	99,49	99,49	100,00	2244	2244	2244	100,00
c1908	880	34	3,86	163	112	68,71	99,52	99,79	100,27	3446	3568	3762	109,17
c2670	1269	59	4,65	189	109	57,67	95,74	96,73	101,03	5668	5872	6240	110,09
c3540	1669	64	3,83	252	190	75,40	96,00	97,29	101,34	7504	7702	8034	107,06
c5315	2307	62	2,69	190	124	65,26	98,88	99,04	100,16	11262	11404	11790	104,69
c6288	2416	10	0,41	46	36	78,26	99,56	99,56	100,00	10112	10126	10186	100,73
c7552	3513	36	1,02	371	324	87,33	98,26	99,41	101,17	15400	15392	15608	101,35
add8	32	5	15,63	17	10	58,82	100,00	100,00	100,00	250	248	290	116,00
addsub	43	3	6,98	20	17	85,00	100,00	100,00	100,00	274	272	296	108,03
comp8	39	6	15,38	26	19	73,08	98,27	100,00	101,76	244	250	280	114,75
mul8	356	14	3,93	47	31	65,96	100,00	100,00	100,00	2362	2360	2458	104,06
mux16	34	9	26,47	21	11	52,38	100,00	100,00	100,00	292	320	370	126,71
mux8	17	2	11,76	15	13	86,67	100,00	100,00	100,00	146	150	162	110,96
shifter	24	2	8,33	58	49	84,48	88,33	88,33	100,00	96	104	108	112,50
sub8	35	2	5,71	13	9	69,23	100,00	100,00	100,00	256	246	266	103,91

Tabulka 6.2: Výsledky rekurzivního algoritmu

Kapitola 7

Závěr

Práce se zabývala optimalizací parametrů testu číslicového obvodu pomocí multifunkčních hradel. Prezentovala různé přístupy a technologie návrhu multifunkčních logických hradel, které byly analyzovány a vybraná hradla z různých technologií byla poté podrobena simulacím v programech typu SPICE. Simulace se týkaly převážně hradel polymorfních. Konvenční multifunkční hradla obecně dosahují obdobných parametrů jako hradla běžná, a tudíž je nebylo nutné po stránce elektronických vlastností blíže zkoumat. Elektronické vlastnosti grafenového hradla nebylo bohužel možné analyzovat, neboť pro tento princip nejsou dostupné simulační modely a není ani dostupná technologie pro jejich výrobu.

V následující hlavní části práce byl představen samotný princip optimalizace testu pomocí multifunkčních hradel, který byl následně popsán pomocí formálních matematických prostředků. Tento formální popis byl pro práci důležitým předpokladem, neboť na základě matematického popisu řeší několik klíčových problémů metodiky a není tak třeba se jimi dále zabývat. Jedná se například o problematiku korektnosti reprezentace obvodu po náhradě některých jeho hradel za multifunkční. Je-li metodika a její formální popis dodržen, nemůže náhradami hradel dojít k vytvoření neplatného obvodu.

V další části práce byla prezentována možnost optimalizace testovatelnosti obvodu. Jako první bylo ukázáno, že je možné pomocí navrhované metodiky dosáhnout podobných vlastností jako při DfT ad-hoc metodě vkládání testovacích řídicích bodů. Uvedený princip má oproti standardní metodě výhodu v podobě neměnné vnitřní struktury na úrovni hradel. To vede nejen ke zjednodušenému návrhu, ale také v případě vhodných multifunkčních hradel tento přístup neovlivní dynamické parametry obvodu.

Jako druhý přístup optimalizace testovatelnosti byl ukázán jednoduchý princip založený na metodě SCOAP. Ten s pomocí multifunkčních hradel použitých ve vybraných místech obvodu dokáže snížit hodnoty říditelnosti a z části i pozorovatelnosti, tedy celkově zlepšit testovatelnost obvodu.

Hlavní částí práce však bylo vytvoření a implementace metodiky pro

optimalizaci parametrů testu prezentované v kapitole 5.3. Na jejím základě byly popsány a vytvořeny programové nástroje, které měly za úkol snížení počtu testovacích vektorů při zachování pokrytí poruch s co nejmenším nárůstem složitosti obvodu vyjádřeným odhadovaným počtem CMOS tranzistorů. Nástroj implementovaný mnou v jazyce Perl a nazvaný Testgen pro optimalizaci umožňoval použít metodu kompletního nebo rekurzivního prohledávání. Tento nástroj byl následně vyzkoušen na různých obvodech včetně testovací sady ISCAS 85. U všech testovaných obvodů vyjma obvodu c1355 ze sady ISCAS 85 došlo ke znatelnému snížení počtu testovacích vektorů (obvykle v řádu desítek procent) a k zachování nebo mírnému navýšení pokrytí poruch. S rostoucí složitostí obvodu se nárůst složitosti implementace snižoval a u největších obvodů byl odhadovaný nárůst počtu CMOS tranzistorů pro implementaci v řádu jednotek procent. Nástroj tak byl schopný nalézt kvalitní řešení a uspořít velkou část testovacích vektorů.

Důležitou částí byla i analýza výkonu použitého optimalizačního nástroje. Ukázalo se, že je důležitá nejen použitá optimalizační metoda, ale také způsob a kvalita samotné implementace. Implementace zaměřená na výkon dovede pracovat mnohonásobně rychleji a má tak potenciál v rozumném čase nalézat řešení i pro řádově složitější obvody, než ty ze sady ISCAS 85.

Jako posledním hlavním tématem práce bylo zamyšlení a diskuze nad vypovídající hodnotou testu změněného obvodu a vlastnostech prezentovaných technologií multifunkčních hradel vzhledem k navrhované metodice. Z této části lze vytvořit zjednodušený závěr, že v dnešní době se jako nejvhodnější jeví využití hradel konvenčních. Důraz však musí být kladen na jejich jednoduchou vnitřní strukturu z důvodu snížení potenciálního rizika vnitřní chyby, která se neprojeví na vývodech hradla jako chyba $t0$ nebo $t1$. Z hlediska vlastností se jako vhodnější zdají být hradla grafenová. Tato technologie je však ve fázi výzkumu a není v dnešní době použitelná. Její vhodnost tak doopravdy potvrdí až další výzkumy případně praktické zkušenosti. Aktuálně známá polymorfní hradla se pro navrhovanou metodiku nehodí z důvodů jejich neoptimálních elektronických vlastností. Pokud nebudou v budoucnu vytvořena hradla s lepšími vlastnostmi, lze celou technologii polymorfních hradel pro tuto metodiku považovat za nevhodnou. Její použitelnost by byla pouze ve speciálních případech nebo v kombinaci s technologiemi ostatními.

Na závěr lze říci, že práce potvrdila předpoklady. Byla vytvořena, formálně popsána, implementována a na testovacích obvodech ověřena metodika pro optimalizaci parametrů testu obvodu. Současně se podařilo ukázat, že pomocí multifunkčních hradel je možné optimalizovat diagnostické vlastnosti obvodu takovým způsobem, aby došlo k požadovaným úpravám

parametrů výsledných testů obvodů při minimálních dopadech na kvalitu a věrohodnost těchto testů.

7.1 Přínos práce

Za hlavní přínos práce považuji potvrzení předpokladu, že bez změny funkční struktury obvodu na úrovni hradel lze multifunkčními prvky upravit diagnostické vlastnosti obvodu takovým způsobem, aby došlo k požadovaným změnám některých parametrů výsledného testu, přičemž ostatní parametry mohou zůstat na podobné kvalitativní úrovni. Samotné ověření předpokladu na úloze snížení počtu testovacích vektorů při zachování pokrytí poruch obvodu pak má dobré předpoklady pro snížení nákladů na testování v praxi. Tato optimalizace může zkrátit čas potřebný pro aplikaci testu, zjednodušit testovací zařízení (např. je potřeba méně paměti pro uložení testovacích vektorů), případně zajistit další podobné úspory.

Za další důležitý přínos lze také označit vytvoření základní metodiky prezentované optimalizace (cíl 1), která je vystavěna nad formálně popsáním matematickým základem (cíl 2). Díky tomu je možné s metodikou pracovat pomocí matematických aparátů a těžit z výhod z toho vyplývajících.

Přínosem je také vytvoření konkrétní metodiky pro optimalizaci parametrů testu obvodu, která byla použita na snížení počtu testovacích vektorů a byla ověřena implementací (cíl 3) a výpočty nad různými obvody, včetně testovací sady ISCAS 85 (cíl 4).

Za další přínos lze také určit provedenou analýzu technologií pro tvorbu multifunkčních hradel, včetně nových jako jsou polymorfní hradla nebo hradla založená na grafenu. Důležitou částí je i zhodnocení použitelnosti daných technologií pro navrhované metodiky (cíl 5).

7.2 Možná rozšíření a další práce

Princip a metodiku prezentovanou v práci lze chápat jako základní postup, nad kterým je možné stavět další přístupy k optimalizaci diagnostických vlastností obvodů. Plně opomenutou oblastí je například možnost optimalizace testů sekvenčních obvodů. Zde by mohla být zajímavá zejména varianta modifikace sekvenčních částí tak, aby se při testu chovaly jako kombinační, nebo aby došlo alespoň ke snížení sekvenční hloubky testu. Tento přístup by mohl být doplňkem ke stávající metodě částečného scan řetězce. Další prakticky nezmíněnou možností je využití vícefunkční logiky, kdy by hradla mohla mít více než jeden testovací režim.

Z hlediska rozšiřování prezentovaných metodik existuje také velký prostor pro vylepšení. U optimalizace testu například nebyla zkoumána možnost přepínání multifunkčních hradel i v průběhu aplikace testu. To by

mohlo řešit problematiku detekce možné poruchy přepínání funkce hradla a současně by to mohlo mít pozitivní vliv na výsledky optimalizací.

U optimalizace testu by také mohla pomoci například metodika pro jednodušší identifikaci hradel, která by bylo vhodné změnit na jinou funkci. Tato metodika by mohla být například založena na některém z principů analýzy testovatelnosti, pomocí které by se identifikovala špatně testovatelná místa a hradla, jejichž změnou by se situace zlepšila. Pokud by se podobnou metodiku podařilo nalézt, mohl by se prohledávaný prostor řešení značně zmenšit, nebo by bylo dokonce možné metodu kombinatorické optimalizace úplně opustit a náhrady hradel určovat pouze tímto přístupem. Jednou z možností by mohla být právě v práci diskutovaná metodika založená na SCOAP.

Literatura

- [1] Bullis, K.: Graphene Transistors [online]. Leden 2008 [cit. 2011-09-03].
URL <http://www.technologyreview.com/Nanotech/20119/> 8
- [2] Chen, Z.; Appenzeller, J.; Lin, Y.-M.; aj.: An integrated logic circuit assembled on a single carbon nanotube. *Science*, ročník 311, č. 5768, 2006: str. 1735. 8
- [3] Forest, L. D.: Space Telegraphy. U.S. Patent 879,532. 1908-02-18 (vyplněn 1907-01-29). 3
- [4] Geim, A. K.; Novoselov, K. S.: The rise of graphene. *Nature Materials*, ročník 6, Březen 2007: s. 183–191. 8, 9
- [5] Kanellos, M.: New life for Moore's Law [online]. 2005 [cit. 2011-09-04].
URL http://news.cnet.com/New-life-for-Moores-Law/2009-1006_3-5672485.html 3
- [6] Falling into the Gap - Berkeley Lab Researchers Take a Critical First Step Toward Graphene Transistors [online]. press release, Listopad 2007.
URL <http://www.lbl.gov/Science-Articles/Archive/sabl/2007/Nov/gap.html> 9
- [7] Lemme, M. C.; Echtermeyer, T. J.; Baus, M.; aj.: A Graphene Field-Effect Device. *IEEE Electron Device Letters*, ročník 28, Duben 2007: s. 282–284. 8
- [8] Mollick, E.: Establishing Moore's Law. *IEEE Annals of the History of Computing*, ročník 28, 2006: s. 62–75, ISSN 1058-6180. 3
- [9] Moore, G. E.: Cramming more components onto integrated circuits. *Electronics*, ročník 38, č. 8, 1965: s. 114–117. 3
- [10] Novoselov, K. S.; Geim, A. K.; Morozov, S. V.; aj.: Electric Field Effect in Atomically Thin Carbon Films. *Science*, ročník 306, Říjen 2004: s. 666–669. 8

- [11] NVIDIA's Next Generation CUDA Compute Architecture: Fermi [online]. 2009 [cit. 2010-01-21].
URL http://www.nvidia.com/object/IO_86776.html 3
- [12] Růžička, R.; Sekanina, L.; Prokop, R.: Physical Demonstration of Polymorphic Self-checking Circuits. In *Proc. of the 14th IEEE Int. On-Line Testing Symposium*, IEEE Computer Society, 2008, ISBN 978-0-7695-3264-6, s. 31–36. 7, 8
- [13] Stoica, A.: Polymorphic electronics – A novel type of circuits with multiple functionality. New Technology Report NPO-21213, NASA, 2000. 6
- [14] Stoica, A.; Zebulum, R.: Four-Function Logic Gate Controlled by Analog Voltage. New Technology Report NPO-40772, NASA, 2006. 7, 8
- [15] Stoica, A.; Zebulum, R.; Guo, X.; aj.: Taking evolutionary circuit design from experimentation to implementation: some useful techniques and a silicon demonstration. In *IEE Proc.-Comp. Digit. Tech.*, ročník 151(4), 2004, ISSN 1350-2387, s. 295–300. 7, 8
- [16] Stoica, A.; Zebulum, R.; Keymeulen, D.: Polymorphic electronics. In *In Proc. of International Conference on Evolvable Systems: From Biology to Hardware, LNCS 2210*, Springer, 2001, s. 291–302. 6, 7, 8
- [17] Stoica, A.; Zebulum, R.; Keymeulen, D.; aj.: On polymorphic circuits and their design using evolutionary algorithms. In *Proc. of IASTED International Conference on Applied Informatics AI2002, Innsbruck*, 2002. 7
- [18] Tanachutiwat, S.; Lee, J. U.; Wang, W.; aj.: Reconfigurable multi-function logic based on graphene P-N junctions. In *Proceedings of the 47th Design Automation Conference, DAC '10*, New York, NY, USA: ACM, 2010, ISBN 978-1-4503-0002-5, s. 883–888. 9, 10

Seznam použitých zkratek

CMOS	Complementary Metal-Oxide-Semiconductor - princip návrhu elektronických obvodů složených z komplementárních MOS tranzistorů
DFT	Design For Test - návrh pro snadnou testovatelnost
FET	Field-Effect Transistor - tranzistor řízený elektrickým polem
GAČR	grantová agentura České republiky
ISCAS	International Symposium on Circuits And Systems - mezinárodní konference o elektronických systémech
MOS	Metal-Oxide-Semiconductor - označení způsobu výroby na základě kovu, oxidu a polovodiče
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor - tranzistor řízený elektrickým polem implementovaný na základě kovu, oxidu a polovodiče
NASA	National Aeronautics and Space Administration - americká vládní agentura pro letectví a kosmonautiku
SCOAP	Sandia Controllability/Observability Analysis Program - algoritmus pro výpočet hodnot říditelnosti a pozorovatelnosti obvodu.
SPICE	Simulation Program with Integrated Circuit Emphasis - analogový simulátor elektronických obvodů

Příloha A

Autorovy publikace

1. Stareček, L.: Modelování polymorfních hradel a obvodů, In: *Sborník příspěvků Česko-slovenského semináře Počítačové architektury a diagnostika pro studenty doktorandského studia*, Bratislava, SK, SAV, 2006, s. 67-72, ISBN 80-969202-2-7
2. Sekanina, L., Stareček, L., Kotásek, Z.: Novel Logic Circuits Controlled by Vdd, In: *Proc. of 2006 IEEE Design and Diagnostics of Electronic Circuits and Systems Workshop*, Praha, CZ, IEEE CS, 2006, s. 85-86, ISBN 1424401844
3. Sekanina, L., Stareček, L., Gajda, Z., Kotásek, Z.: Evolution of Multifunctional Combinational Modules Controlled by the Power Supply Voltage, In: *Proc. of the 1st NASA/ESA Conference on Adaptive Hardware and Systems*, Piscataway, US, IEEE CS, 2006, s. 186-193, ISBN 0-7695-2614-4
4. Stareček, L.: Polymorfní hradla pro optimalizaci testu obvodu, In: *Sborník příspěvků Česko-slovenského semináře Počítačové architektury a diagnostika pro studenty doktorandského studia*, Plzeň, CZ, ZČU v Plzni, 2007, s. 41-46, ISBN 978-80-7043-605-9
5. Stareček, L., Sekanina, L., Gajda, Z., Kotásek, Z., Prokop, R., Musil, V.: On Properties and Utilization of Some Polymorphic Gates, In: *6th Electronic Circuits and Systems Conference (ECS 2007)*, Bratislava, SK, FIIT STU, 2007, s. 77-81, ISBN 978-80-227-2697-9
6. Růžička, R., Stareček, L.: Development of Building Blocks for Polymorphic Digital Circuits, In: *Proceedings of the Work in Progress Session of 10th Euromicro DSD 2007*, Linz, AT, JKUL, 2007, s. 33-34, ISBN 978-3-902457-16-5
7. Stareček, L., Sekanina, L., Kotásek, Z.: Reduction of Test Vectors Volume by Means of Gate-Level Reconfiguration, In: *Proc. of 2008 IEEE*

Design and Diagnostics of Electronic Circuits and Systems Workshop, Bratislava, SK, IEEE CS, 2008, s. 255-258, ISBN 978-1-4244-2276-0

8. Sekanina, L., Stareček, L., Kotásek, Z., Gajda, Z.: Polymorphic Gates in Design and Test of Digital Circuits, In: *International Journal of Unconventional Computing*, roč. 4, č. 2, 2008, Philadelphia, US, s. 125-142, ISSN 1548-7199
9. Šimáček, J., Sekanina, L., Stareček, L.: Evolutionary Design of Re-configuration Strategies to Reduce the Test Application Time, In: *Evolvable Systems: From Biology to Hardware*, Berlin, DE, Springer, 2010, s. 214-225, ISBN 978-3-642-15322-8

Příloha B

Autorův životopis

- Narozen 12.4.1981 v Brně.
- 1995 - 1998: Studium oboru Mechanik elektronických zařízení na ISŠ Purkyňova 97 Brno. Ukončeno vyučením s vyznamenáním.
- 1998 - 2000: Studium oboru Provozní elektrotechnika na ISŠ Purkyňova 97 Brno. Ukončeno maturitou s vyznamenáním.
- 2000 - 2005: Studium magisterského studijního programu Informační technologie na Fakultě informačních technologií, VUT v Brně. Ukončeno s dvěmi cenami děkana za prospěch a za diplomovou práci.
- Od roku 2005: Studium doktorského studijního programu Informační technologie na Fakultě informačních technologií VUT v Brně. Státní doktorská zkouška byla úspěšně složena v roce 2007.

Příloha C

Autorovy aktivity během studia

Aktivity

- Výuka v předmětech: Periferní zařízení, Personální počítače technická péče, Jazyk C.

Účast na projektech

- Metody návrhu polymorfních číslicových obvodů, GAČR, GA102/06/0599, 2006-2008, spoluřešitel.

Ocenění

- Počítačové architektury & Diagnostika PAD 2006 - Cena Prof. Jána Hlavičku DrSc. za vynikající příspěvek.