



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

SIGNÁLOVÝ BUDIČ KOMUNIKAČNÍHO PROTOKOLU SENT DLE SAE J2716

SAE J2716 SENT PROTOCOL SIGNAL DRIVER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Petr Mutina

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2022

Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

Student: Bc. Petr Mutina

ID: 203301

Ročník: 2

Akademický rok: 2021/22

NÁZEV TÉMATU:

Signálový budič komunikačního protokolu SENT dle SAE J2716

POKyny PRO VYPRACOVÁNÍ:

Seznamte se s normou SAE J2716, která definuje komunikační protokol SENT (Single edge nibble transmission) používaný v automobilovém průmyslu. Dále nastudujte literaturu zaměřenou na návrh integrovaných obvodů a navrhnete koncept pro realizaci výstupního budiče napěťových pulsů. Výstupní budič bude na straně vysílacího modulu (transmitter) zatížen kapacitou 0 až 10 nF. Zaměřte se na topologii budiče s řízenými výstupními proudy v otevřené smyčce. Prozkoumejte možnost automatické regulace strmosti hran podle aktuální kapacitní zátěže. U návrhu zohledněte požadavky na elektromagnetickou kompatibilitu (EMC) a odolnost vůči přepětí ± 30 V.

Provedte obvodový návrh v CMOS technologii ONC18gen2, I4TE extension, společnosti onsemi. Výsledky návrhu zdokumentujte simulacemi v prostředí Cadence Virtuoso, s použitím simulátoru Eldo nebo AFS. Provedte optimalizaci na elektromagnetické emise. Obvodový návrh provedte pro rozsah teplot -40 °C až 175 °C. Vypracujte dokumentaci navrženého budiče.

DOPORUČENÁ LITERATURA:

[1] TOUMAZOU C., LIDGEY J., HAIGH D.: Analogue IC design: The current mode approach. Peter Peregrinus Ltd – The Institution of Electrical Engineers UK 1993.

[2] LAKER K., SANSEN W.: "Design of Analog Integrated Circuits and Systems", New York, McGraw Hill 1994.

[3] GREGORIAN R., THEMES G.: "Analog MOS Integrated Circuits For Signal Processing", New York Wiley-Interscience 1984.

Termín zadání: 7.2.2022

Termín odevzdání: 24.5.2022

Vedoucí práce: Ing. Roman Prokop, Ph.D.

Konzultant: doc. Dr. Ing. Pavel Horský

doc. Ing. Lukáš Fucik, Ph.D.

předseda rady studijního programu

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato diplomová práce se zabývá návrhem výstupního budiče komunikačního protokolu SENT pro automobilové aplikace. Budič je navržen s ohledem na velkou variabilitu výstupní kapacity, která se pohybuje v rozmezí od 0 do 10 nF. Důležitou vlastností budiče je schopnost tvarovat výstupní signál, aby bylo zamezeno vzniku velkého elektromagnetického rušení. V první kapitole je proveden teoretický rozbor problematiky včetně rozboru současného řešení. Druhá kapitola je zaměřena na návrh konceptu. Třetí kapitola diskutuje samotný návrh výstupního budiče a v poslední kapitole jsou prezentovány výsledky simulací provedeného návrhu.

Klíčová slova

komunikační protokol SENT, výstupní budič, elektromagnetická kompatibilita, ochrana proti přepětí a zkratu, návrh analogového integrovaného obvodu

Abstract

This diploma thesis deals with design of SENT protocol output driver for automotive applications. Output driver is designed with respect to variability of output capacitance (in range from 0 to 10 nF). Important feature of output driver is output signal shaping to limit electromagnetic interference. First chapter deals with theoretical analysis, current solution is discussed too. Second chapter of this thesis is focused on design of concept. In third chapter design of output driver is discussed, in last chapter simulation results of the design are presented.

Keywords

SENT protocol, output driver, electromagnetic compatibility, overvoltage and short circuit protection, analog integrated circuit design

Bibliografická citace

MUTINA, Petr. *Signálový budič komunikačního protokolu SENT dle SAE J2716*. Brno, 2022: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Diplomová práce. Vedoucí práce: Ing. Roman Prokop, Ph.D.

Prohlášení autora o původnosti díla

Jméno a příjmení studenta: *Bc. Petr Mutina*

VUT ID studenta: *203301*

Typ práce: *Diplomová práce*

Akademický rok: *2021/22*

Téma závěrečné práce: *Signálový budič komunikačního protokolu
SENT dle SAE J2716*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 24. května 2022

.....
podpis autora

Poděkování

Děkuji vedoucímu práce a všem zúčastněným zaměstnancům společnosti onsemi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne: 24. května 2022

.....
podpis autora

Obsah

SEZNAM OBRÁZKŮ	8
SEZNAM TABULEK	10
ÚVOD	11
1. TEORETICKÝ ÚVOD	12
1.1 KOMUNIKAČNÍ PROTOKOL SENT.....	12
1.1.1 <i>Základní vlastnosti</i>	12
1.1.2 <i>Podoba přenášených dat</i>	13
1.1.3 <i>Pomalý (slow) a rychlý (fast) komunikační kanál</i>	15
1.2 ZÁKLADNÍ TOPOLOGIE VÝSTUPNÍCH BUDIČŮ.....	16
1.2.1 <i>Zapojení open-collector/drain</i>	16
1.2.2 <i>Zapojení push-pull</i>	17
1.3 ÚVOD DO ELEKTROMAGNETICKÉ KOMPATIBILITY.....	19
1.3.1 <i>Základní pojmy</i>	19
1.3.2 <i>Mechanismy přenosu rušivého signálu a jeho potlačení</i>	20
1.4 ROZBOR STÁVAJÍCÍHO ŘEŠENÍ.....	21
2. NÁVRH KONCEPTU VÝSTUPNÍHO BUDIČE	24
2.1 ZAPOJENÍ KONCEPTU VÝSTUPNÍHO BUDIČE.....	24
2.2 OCHRANA PROTI PŘEPĚTÍ A ZKRATU.....	26
3. NÁVRH VÝSTUPNÍHO BUDIČE	29
3.1 STANOVENÍ (ZÁVISLOSTÍ) TECHNOLOGICKÝCH PARAMETRŮ.....	29
3.2 OBECNÉ PODMÍNKY PRO NÁVRH.....	31
3.3 BUŇKA SENT_DA.....	32
3.4 BUŇKA SENT_TUNE4.....	33
3.5 BUŇKA SENT_OPAMP.....	36
3.6 BUŇKA SENT_CMP.....	38
3.7 BUŇKA SENT_DIV.....	40
3.8 BUŇKA SENT_OUT.....	42
3.9 BUŇKA SENT_DIGITAL.....	44
3.10 BUŇKA SENT.....	46
4. OVĚŘENÍ VLASTNOSTÍ VÝSTUPNÍHO BUDIČE	52
4.1 SPEKTRUM VÝSTUPNÍHO SIGNÁLU A TEST DPI.....	54
4.2 ČASOVÉ (TRANZIENTNÍ) SIMULACE.....	56
ZÁVĚR	70
LITERATURA	71
SEZNAM ZKRATEK	72

SEZNAM OBRÁZKŮ

1.1	Logo organizace SAE INTERNATIONAL [2].....	12
1.2	Příklad komunikace po sběrnici SENT (bez tvarování, není v měřítku).....	15
1.3	Výstupní budič open-collector/drain	16
1.4	Výstupní budič open-collector/drain – regulovaný	17
1.5	Výstupní budič push-pull	18
1.6	Výstupní budič push-pull – regulovaný.....	18
1.7	Výstupní budič push-pull – řízený.....	19
1.8	Galvanická vazba.....	20
1.9	Kapacitní vazba	20
1.10	Induktivní vazba	21
1.11	Zjednodušené schéma zapojení současného řešení	22
1.12	Naměřená časová závislost výstupního signálu stávajícího řešení [6]	22
1.13	Spektrum rušení výstupního signálu současného řešení [6]	23
2.1	Návrh zapojení konceptu výstupního budiče nového řešení.....	24
2.2	Časové závislosti napětí a proudů v zapojení konceptu výstupního budiče	25
2.3	Výstupní budič push-pull s parazitními diodami.....	27
2.4	Výstupní budič odolný vůči přepětí a zkratu	27
3.1	Závislost parametru modulace délky kanálu λ na délce tranzistoru L	29
3.2	Závislost svodového proudu I na délce tranzistoru L pro konstantní poměr W/L pro různé procesní cornery pro NMOS tranzistor.....	30
3.3	Závislost svodového proudu I na délce tranzistoru L pro konstantní poměr W/L pro různé procesní cornery pro PMOS tranzistor	30
3.4	Závislost odpor spínacího tranzistoru v sepnutém stavu v závislosti na W pro konstantní délky L .	31
3.5	Buňka SENT_DA – symbol.....	32
3.6	Buňka SENT_DA – schéma zapojení.....	32
3.7	Buňka SENT_TUNE4 – symbol	33
3.8	Buňka SENT_TUNE4 – schéma zapojení 1	34
3.9	Buňka SENT_TUNE4 – schéma zapojení 2	35
3.10	Buňka SENT_OPAMP – symbol	36
3.11	Buňka SENT_OPAMP – schéma zapojení	37
3.12	Buňka SENT_CMP – symbol	38
3.13	Buňka SENT_CMP – schéma zapojení	39
3.14	Buňka SENT_DIV – symbol.....	40
3.15	Buňka SENT_DIV – schéma zapojení	41
3.16	Buňka SENT_OUT – symbol.....	42
3.17	Buňka SENT_OUT – schéma zapojení	43
3.18	Buňka SENT_DIGITAL – symbol.....	44
3.19	Buňka SENT – symbol	46
3.20	Buňka SENT – schéma zapojení 1	47
3.21	Buňka SENT – schéma zapojení 2	47
3.22	Buňka SENT – schéma zapojení 3	48
3.23	Buňka SENT – schéma zapojení 4	49
3.24	Buňka SENT – schéma zapojení 5	49
3.25	Buňka SENT – schéma zapojení 6	50
3.26	Buňka SENT – schéma zapojení 7	51
4.1	Vstupní filtr přijímače.....	52

4.2	Základní schéma zapojení pro simulace	53
4.3	Schéma zapojení při testu DPI	54
4.4	Schéma zapojení při měření EMC.....	54
4.5	Porovnání spekter výstupních signálů obou budičů	55
4.6	DPI test při frekvenci 1 MHz.....	55
4.7	DPI test při frekvenci 10 MHz	56
4.8	Časová závislost napětí a proudů 1.....	57
4.9	Časová závislost napětí a proudů 2.....	58
4.10	Časová závislost napětí a proudů 3.....	59
4.11	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro ideální podmínky pro různé kapacity.....	60
4.12	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu pro ideální podmínky pro různé kapacity.....	60
4.13	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 10 nF	61
4.14	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 10 nF	61
4.15	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 5 nF.....	62
4.16	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 5 nF.....	62
4.17	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 1 nF.....	63
4.18	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 1 nF.....	63
4.19	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 250 pF	64
4.20	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 250 pF	64
4.21	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 10 fF.....	65
4.22	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 10 fF.....	65
4.23	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 15 nF a VDDA 5 V.....	66
4.24	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 15 nF a VDDA 5 V.....	66
4.25	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 15 nF a VDDA 4,75 V	67
4.26	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 15 nF a VDDA 4,75 V	67
4.27	Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 15 nF a VDDA 5,25 V	68
4.28	Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 15 nF a VDDA 5,25 V	68
4.29	Časová závislost napětí VCI, PC1 a NCI pro různé pracovní podmínky	69

SEZNAM TABULEK

3.1	Hodnota cnt_{\min} pro všechny hodnoty signálu tune	45
-----	---	----

ÚVOD

Elektrotechnika má v současném moderním světě nezastupitelnou roli a asi těžko budeme hledat obor lidské činnosti, kam nezasahuje. Elektřina a elektronika jsou dnes symbolem moderního pokroku a svět bez jejich přítomnosti si dokáže představit jen málo kdo z nás. Jistě pro samotný život úplně nezbytné nejsou, ale přináší nám do života tolik zjednodušení a pohodlí, že se jich jen tak dobrovolně nikdo nevzdá.

Občas by se dalo říct, že současná doba je někdy až zbytečně přehlcená elektronikou. Věci, které používáme na denní bázi a do této kategorie s přehledem spadají, můžou být například nádoby s náhradní náplní do inkoustových tiskáren, jež jsou opatřeny čipy, které hlídají, zda je inkoust od originálního výrobce, nebo varné konvice opatřené LED osvětlením a ovládaním pomocí rozhraní Bluetooth. V obou případech by se asi dalo bez elektroniky zcela obejít.

Tato diplomová práce se zabývá návrhem výstupního budiče komunikačního protokolu SENT pro automobilové aplikace, který slouží převážně pro komunikaci senzoru a řídicí jednotky. Může sloužit v řadě aplikací, které opět umožní člověku zjednodušit nějakou činnost. Důležitou vlastností tohoto budiče je možnost tvarovat výstupní signál (závislost signálu na čase) a to tak, aby bylo eliminováno přebytečné elektromagnetické rušení. Použití obyčejného komplementárního páru tranzistorů tedy nepřichází v úvahu. Zároveň by činnost tohoto budiče neměla být závislá na výstupní kapacitě v rozmezí od 0 do asi 10 nF.

Tento dokument je členěn do čtyř hlavních kapitol. První kapitola se zabývá teoretickým úvodem do problematiky. Konkrétněji popisuje komunikační protokol SENT tak, jak je definovaný v příslušné normě SAE INTERNATIONAL J2716™ organizace Society of Automotive Engineers. Dále se zaměřuje na základní topologie výstupních budičů a na základy problematiky elektromagnetické kompatibility, v poslední řadě je proveden rozbor současného řešení výstupního budiče, jehož by mělo řešení navržené v této práci mít do budoucna potenciál plně nahradit.

Druhá hlavní kapitola se zabývá návrhem vhodného konceptu. Třetí kapitola popisuje již samotný návrh ve zvolené technologii. V poslední kapitole jsou prezentovány výsledky simulací navrženého obvodu. V závěru jsou shrnuty dosažené výsledky a dále je diskutován další postup, jakým by se práce mohla ubírat.

1. TEORETICKÝ ÚVOD

Kapitola teoretický úvod a její podkapitoly se zabývají teoretickým rozбором problematiky této diplomové práce. V první podkapitole je diskutován komunikační protokol SENT a jeho vlastnosti tak, jak je definován v příslušné normě. Následující podkapitoly jsou zaměřeny na základní topologie výstupních budičů (push-pull, open-drain/collector a jejich varianty), na základy problematiky elektromagnetické kompatibility a na rozbor současného řešení, jehož by řešení navržené v této diplomové práci mělo mít do budoucna potenciál plně nahradit.

1.1 Komunikační protokol SENT

Název komunikačního protokolu SENT je zkratkou, která je tvořena anglickými slovy „Single Edge Nibble Transmission“. Samotný protokol je definována v normě SAE (Society of Automotive Engineers – viz obrázek 1.1) INTERNATIONAL J2716™. Revize vydaná v dubnu roku 2016 je verzí, kterou se práce dále zabývá. Jak již bylo řečeno, norma definuje a standardizuje implementaci komunikačního protokolu SENT určeného převážně pro komunikaci chytrých senzorů (snímajících data o vysokém rozlišení) s řídicí jednotkou [1]. Tento standard by měl dále zajistit kompatibilitu napříč výrobci a zařízeními.



Obrázek 1.1 Logo organizace SAE INTERNATIONAL [2]

Protokol SENT tedy nabízí alternativu s vyšším rozlišením oproti analogově-digitálním převodníkům či oproti komunikaci pomocí pulzně-šířkové modulace a zároveň levnější a jednodušší náhradu komunikačních rozhraní CAN a LIN. Dále se předpokládá, že senzor je tak zvaný chytrý senzor, kde se počítá s tím, že obsahuje mikroprocesor nebo alespoň dostatečnou řídicí logiku pro práci s tímto protokolem.

1.1.1 Základní vlastnosti

Komunikační protokol je point to point typu, tedy spojením mezi jedním vysílačem a jedním přijímačem (dvěma body), komunikace je jednosměrná, probíhá tedy pouze směrem od (chytrého) senzoru k řídicí jednotce [6]. Nevyžaduje se zde tedy přítomnost speciálních synchronizačních pulzů od přijímače. Vysílač bude vysílat data nezávisle

na přijímači a přijímač nebude moci přes tento komunikační kanál práci vysílače nijak ovlivňovat. Data jsou přenášena jako série pulzů, jsou zakódovaná pomocí prodlevy mezi sestupnými hranami signálu. V ideálním případě signál nabývá hodnot 5 a 0 V pro vysokou (horní) a nízkou (dolní) úroveň v tomto pořadí.

Samotný protokol tedy vyžaduje ke komunikaci pouze jeden signálový vodič. V praxi je samozřejmě nutné k senzoru připojit i další vodiče jako vodič se společným potenciálem a napájecí vodič (či vodiče). V nejjednodušším slova smyslu je možné definovat přijímač jako zařízení s detektorem sestupné hrany a časovačem (a logikou, která tato data vhodně zpracovává).

Norma určuje pravidla, jak přenášet data (jak s tímto protokolem pracovat). Umožňuje ale i částečnou modifikovatelnost. Ta ale není zcela v rukách designéra, opět je přesně specifikováno, jak a kde lze modifikaci provést. Vše s ohledem na kompatibilitu napříč zařízeními. Zároveň je však norma pouze doporučením a nikdo se jí nemusí striktně řídit. Každá odchylka by ale měla být řádně zdokumentována ve specifikaci designovaného zařízení.

Bit (zkratka b) je základní jednotkou, která udává množství informace. Kromě přiřazování předpon (ať se jedná o předpony soustavy SI či binární předpony), což je vzhledem k množství dnes ukládaných informací velmi častou praktikou, lze určité množství bitů seskupit dohromady do skupin. Nejčastěji (například při programování osmibitových mikroprocesorů/mikropočítačů) jsou bity seskupeny právě po osmi do tak zvaných bajtů (zkratka B). Obdobně lze skupinu bitů seskupit po čtyřech, kdy vznikne nibble. Při komunikaci po sběrnici SENT tak bude docházet ke shlukování přenášených dat do skupin o velikosti čtyři bity (jeden nibble).

1.1.2 Podoba přenášených dat

Obecně lze říct, že komunikace probíhá po úsecích nazvaných jako zpráva (message). Ihned po jejím odeslání se odesílá zpráva další, jedná se tedy o nepřetržitý proces. Samotná zpráva sestává z kalibračního/synchronizačního pulzu a několika dalších nibblů. Počet nibblů je konstantní pro danou implementaci, ale doba přenosu zprávy může být proměnná v závislosti na přenášených datech (to záleží i na tom, zda je využito tak zvaných pause pulsů, kdy má každá zpráva konstantní dobu trvání – viz dále).

Časování sběrnice je udáváno relativně – v počtu tiků (tick). Jeden tik může nominálně trvat od 3 do 90 μ s. Jeho odchylka může být v rozmezí až ± 20 %. V práci se dále pracuje s nominálními hodnotami. Minimálně u přijímačů se s ohledem na zajištění správné funkce zařízení v různých podmínkách vyplatí implementovat design, který umí pracovat i s kratšími tiky. Využití kratších tiků u vysílače může zlepšit vlastnosti daného zařízení (zejména přenosovou rychlost), ovšem za cenu složitější implementace.

Za všech standardních okolností by doba mezi sestupnými hranami neměla trvat méně než 12 tiků. Důležité je, aby byl signál buzen do nízké úrovně po dobu nejméně 4 tiků

(započítává se zde i přechodový děj – sestupná hrana) a zbytek času může být signál buzen do vysoké úrovně.

Pořadí pulzů je při komunikaci přesně definováno. Jako první je vysílačem vždy odesílán synchronizační/kalibrační pulz. Ten trvá přesně 56 tiků (doba mezi dvěma po sobě jdoucími sestupnými hranami). Tento pulz lze definovat jak jako synchronizační, kdy jeho přítomnost udává počátek při přenosu zprávy, tak jako kalibrační, kdy přijímač měří jeho skutečnou délku a dále se přizpůsobí tak, aby bylo možné eliminovat chybu při odchylce tiku vysílače od nominální hodnoty.

Ihned po synchronizačním/kalibračním pulzu následuje odesílání dat zprávy rozdělených do nibblů. Z informací uvedených výše je jasné, že každý nibble trvá minimálně 12 tiků, přičemž dokáže zakódovat hodnotu od nuly po

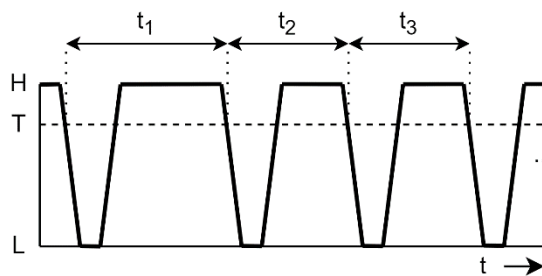
$$2^4 - 1 = 16 - 1 = 15. \quad (1.1)$$

Hodnota, kterou je potřeba zakódovat, je současně i doba v ticích, o jakou musíme trvání nejkratšího nibblu prodloužit, aby došlo ke správné reprezentaci dané informace. Maximální doba trvání nibblu je tedy až 27 tiků. Pro plné porozumění je uvedeno pár příkladů: při odesílání hodnoty 0 bude nibble trvat 12 tiků, při odesílání hodnoty 4 bude trvat 16 tiků, při odesílání hodnoty 15 bude trvat 27 tiků. Jednotlivé bity jsou vždy reprezentovány od nejvíce významného po nejméně významný.

První data, která jsou odesílána, jsou čtyři stavové bity ve stavovém nibblu. První dva nejvíce významné bity jsou využívány pro pomalý sériový kanál (slow message channel – viz dále). Další dva bity jsou rezervovány pro speciální využití.

Následuje sekvence nibblů, jež přenáší data rychlého komunikačního kanálu (fast channel – viz dále). Rychlých kanálů může být více než jeden, záleží na konkrétní implementaci (například dva kanály po třech nibblech, celkem tedy 6 nibblů). Jak již samotný název napovídá, rychlý kanál má mnohem vyšší přenosovou rychlost než kanál pomalý, slouží k přenosu „hlavních“ informací jako změřená data. Přesná přenosová rychlost se ale nedá jednoznačně určit, záleží na více faktorech.

Využití pomalého kanálu není nutné, v opačném případě přenáší „vedlejší“ informace jako například stav a kondice daného senzoru (teplota a jiné). Jako poslední informace se posílá kontrolní součet, který umožňuje detekovat chyby při přenosu (1 nibble). Problematika vyčíslení tohoto kontrolního součtu je poměrně komplikovaná a svým rozsahem přesahuje rámec této práce, proto zde nebude diskutována. Náznak časové závislosti signálu při komunikaci je uveden na obrázku 1.2 (není uvažováno tvarování signálu, obrázek je pouze ilustrační – není v měřítku).



Obrázek 1.2 Příklad komunikace po sběrnici SENT (bez tvarování, není v měřítku)

Nejprve je sběrnice v klidovém stavu (ve vysoké úrovni – značeno písmenem H). Jako první přichází kalibrační/synchronizační pulz (označeno jako t_1), který trvá přesně 56 tiků (připomenutí: minimálně po dobu čtyř tiků je buzen do nízké úrovně – značeno písmenem L, zbytek ve vysoké úrovni). Následuje stavový nibble (označeno jako t_2), který přenáší hodnotu 0 (trvá tedy přesně 12 tiků). Následuje další datový nibble – první nibble rychlého komunikačního kanálu (označeno jako t_3). Ten přenáší nenulovou hodnotu (trvá déle než stavový nibble). Dále v čase následuje několik dalších nibblů rychlého komunikačního kanálu a také nibble s kontrolním součtem.

Volitelně může být v případě potřeby přiřazen na konec zprávy také tak zvaný pause pulse. Vzhledem k tomu, že čas pro přenos jedné zprávy v konkrétní implementaci se může lišit (v závislosti na hodnotách přenášených dat), umožňuje tento pulz dorovnání odesílací doby zprávy na konstantní hodnotu. Současná norma počítá s odesláním až 8 nibblů (1 stavový, až 6 datových a 1 s kontrolním součtem). Při konstruování přijímačů je však vhodné pro dodržení budoucí kompatibility počítat s tím, že v budoucích revizích normy může dojít ke zvětšení tohoto počtu.

1.1.3 Pomalý (slow) a rychlý (fast) komunikační kanál

Princip fungování rychlého komunikačního kanálu lze pochopit z již předem uvedených informací. Jedinou informací, kterou zbývá sdělit, je pořadí nibblů. To je závislé na konkrétní implementaci a je dále diskutováno v normě (existuje velké množství variant). Může být od nejvíce významného po nejméně významný nibble a naopak. V jedné zprávě se pak může objevit rozdílné pořadí (pro dva rychlé komunikační kanály lze například první kanál kódovat od nejvíce významného po nejméně významný nibble a v případě druhého kanálu přesně naopak). Za zmínku určitě stojí uvedení kontrastu pořadí nibblů a bitů, kdy bity jsou řazeny v rámci jednoho nibblu vždy od nejvíce významného po nejméně významný.

Pomalý komunikační kanál nebo také kanál sériových zpráv (slow message channel nebo serial message channel) může být implementován ve dvou variantách. První variantou je kanál krátkých zpráv (short message channel) a druhou je vylepšení komunikačního kanálu (enhanced message channel). Norma doporučuje využití druhé varianty. Data jsou přenášena vždy dvojicí nejvíce významných bitů ve stavovém nibblu

dané zprávy. Z těchto informací je patrné, že jeho přenosová rychlost je oproti rychlému komunikačnímu kanálu velmi malá (odtud jeho název).

V komunikačním kanále krátkých zpráv jsou data tvořena z 32 bitů. Pro plné odeslání jedné informace je tedy nutné, aby bylo bezchybně odesláno celkem 16 zpráv. Nejvíce významný bit přenáší speciální identifikační sekvenci (jedné logické jedničky a patnácti logických nul). Druhý bit přenáší samotná data informace, která sestává z identifikační části (4 bity), datové části (8 bitů) a kontrolního součtu (4 bity).

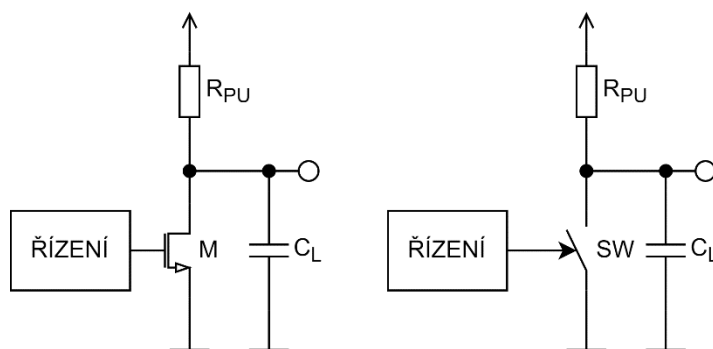
Vylepšený komunikační kanál, jak by název mohl napovědět, umožňuje přenášet větší množství dat (bitů) – přidává další doplňkové komunikační kanály (supplementary data channels). Jeho rychlost vztažená na jeden bit je však srovnatelná s komunikačním kanálem krátkých zpráv. Obecně sestává z 36 bitů (pro plné odeslání jedné informace je tedy nutné, aby bylo bezchybně odesláno celkem 18 zpráv). Jeho přesné složení se může lišit dle zvolené implementace. Obsahuje stejné části jako komunikační kanál krátkých zpráv, ovšem s tím rozdílem, že tyto části jsou modifikovány.

1.2 Základní topologie výstupních budičů

Tato kapitola popisuje základní topologie výstupních budičů integrovaných obvodů a diskutuje jejich výhody a nevýhody s ohledem na problematiku, kterou řeší tato diplomová práce. Konkrétně se jedná o zapojení open-drain/collector, push-pull a jejich varianty.

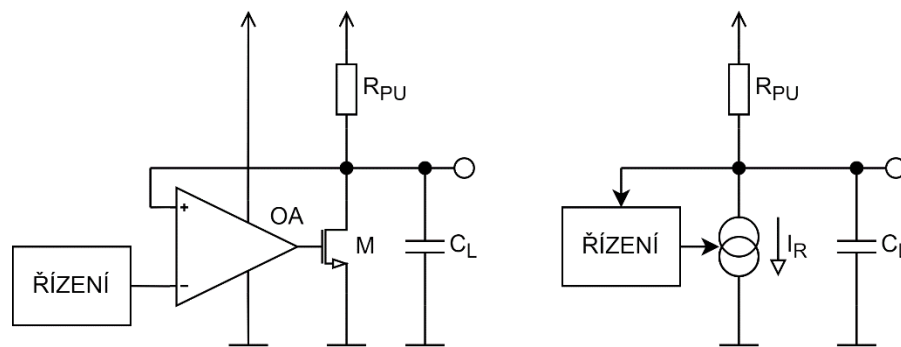
1.2.1 Zapojení open-collector/drain

Prvním zástupcem ze základních topologií výstupních budičů je zapojení open-collector/drain (s bipolárním/unipolárním tranzistorem). Toto zapojení s unipolárním NMOS tranzistorem je zobrazeno na obrázku 1.3 vlevo. Na stejném obrázku vpravo je zobrazeno jeho náhradní zapojení, které vysvětluje jeho funkci [3]. Blok „řízení“ představuje digitální obvod (jeho výstup nabývá pouze dvou hodnot). Tento obvod dále spíná tranzistor M, který vybíjí výstupní (parazitní) kapacitu C_L . Pokud je tento tranzistor rozeptnut, výstupní kapacita se nabíjí přes pull-up rezistor R_{PU} .



Obrázek 1.3 Výstupní budič open-collector/drain

Své uplatnění lze nalézt i u zapojení s tranzistorem opačné vodivosti a pull-down rezistorem. Jedná se o ovládání, kdy není možné ovlivnit tvar výstupního napětí (tedy omezit vyzařované spektrum). Doba náběžné a sestupné hrany závisí na neznámé a proměnné výstupní kapacitě, dále pak i na nabíjecím/vybíjecím proudu [4]. Nabíjecí proud je dán v tomto konkrétním případě velikostí pull-up rezistoru (v řádu desítek $k\Omega$), vybíjecí proud je dán velikostí odporu tranzistoru v sepnutém stavu (dle tranzistoru $m\Omega$ - $k\Omega$). Podoba náběžné hrany tedy závisí na extérních komponentech, které mohou omezovat maximální přenosovou rychlost. Nežádoucí vlastnosti tohoto zapojení (nemožnost tvarování výstupního signálu) lze potlačit zařazením regulačního prvku se zpětnou vazbou do obvodu, jak je zobrazeno na obrázku 1.4 vlevo.

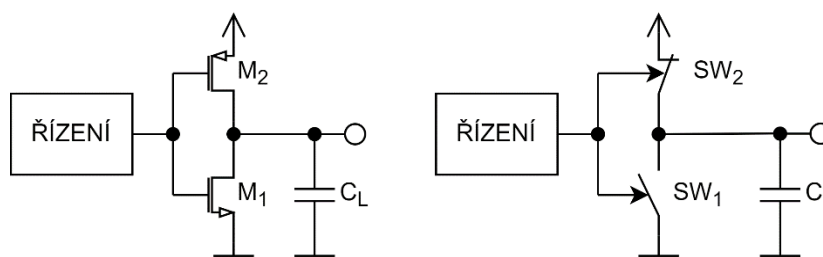


Obrázek 1.4 Výstupní budič open-collector/drain – regulovaný

Blok „řízení“ představuje například digitálně-analogový převodník, který generuje napětí, které je dále regulačním členem udržováno na výstupu. Jedná se tedy o regulaci. V tomto případě je na místě tranzistoru na náhradním zapojení obvodu na stejném obrázku vpravo řízený zdroj proudu. Ten odebírá z výstupu takový proud, aby bylo možné výstupní napětí regulovat. Nevýhodou je však to, že výstupní kapacita zapojená přímo do zpětné vazby regulátoru ovlivňuje jeho stabilitu. V extrémním případě může dojít k jeho rozkmitání. Vzhledem k tomu, že není možné tuto kapacitu přesně definovat, je toto zapojení zcela nevyhovující.

1.2.2 Zapojení push-pull

Dalším zástupcem ze základních topologií výstupních budičů je komplementární zapojení tranzistorů (bipolárních i unipolárních) nazývané push-pull. Varianta složená právě z unipolárních tranzistorů je zobrazena na obrázku 1.5 vlevo. Na stejném obrázku vpravo je zobrazeno i náhradní zapojení, které vysvětluje jeho funkci.

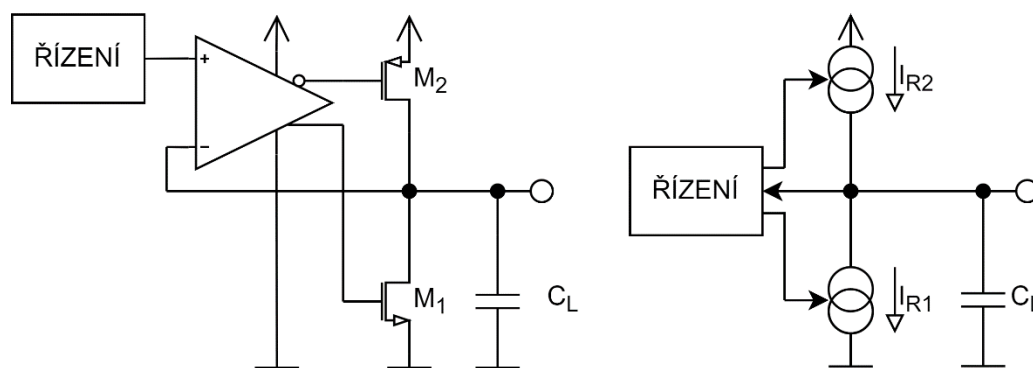


Obrázek 1.5 Výstupní budič push-pull

Blok s názvem „řízení“ je obyčejný digitální obvod (jeho výstup nabývá tedy pouze dvou hodnot), který vždy jeden z tranzistorů naplno otevře (sepne) a druhý úplně uzavře (rozepne). Jedná se tedy o ovládání. Přes sepnutý tranzistor se vždy nabije (M_2 – PMOS) či vybijí (M_1 – NMOS) výstupní (parazitní) kapacita C_L . Velikost proudu však není nijak omezena a záleží vždy na odporu daného tranzistoru v sepnutém stavu. Dále pak nelze přesně řídit dobu náběžné a sestupné hrany výstupního signálu, protože kromě velikosti nabíjecího/vybíjecího proudu závisí i na velikosti výstupní kapacity, která je neznámá a může být proměnná.

Nedochází zde k omezování maximální přenosové rychlosti signálu v takové míře jako u topologie open-drain, ovšem opět zde není prováděno tvarování výstupního signálu a není tedy možné zamezit vzniku velkého rušení. Ve své podstatě se jedná o zapojení digitálního hradla – invertoru, kdy dochází při změně vstupního signálu k jevu, kdy jsou oba tranzistory částečně otevřené a teče jimi nežádoucí příčný proud.

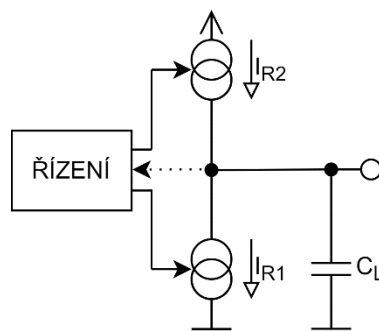
Pokud do tohoto obvodu zapojíme regulační člen se zpětnou vazbou (viz obrázek 1.6 vlevo), lze blokem „řízení“ (jedná se například o digitálně-analogový převodník) generovat přesné napětí, které je dále udržováno i na výstupu. Takto lze provádět tvarování výstupního signálu a značně tak omezit rušení. Náhradní schéma zapojení tohoto regulovaného obvodu je zobrazeno na obrázku 1.6 vpravo. Tranzistory zde nejsou nahrazeny spínači, ale regulovanými zdroji proudu. Jedná se tedy o regulaci.



Obrázek 1.6 Výstupní budič push-pull – regulovaný

Nevýhodou tohoto zapojení je přítomnost neznámé a pravděpodobně i proměnné výstupní kapacity ve zpětné vazbě regulačního členu. Tato kapacita přímo ovlivňuje stabilitu celé regulační smyčky. V extrémním případě může dojít k rozkmitání obvodu, což je zcela nežádoucí. Výstupní budič operačního zesilovače v tomto obvodu pracuje ve třídě AB, což zvyšuje proudovou spotřebu celého zapojení.

Kombinací výhod dvou předchozích obvodů (nepřítomnost zpětné vazby u neregulovaného zapojení a regulace výstupních proudů u regulovaného zapojení) vznikne zapojení na obrázku 1.7. Toto zapojení nabíjí a vybíjí výstupní (parazitní) kapacitu přes řízené zdroje proudu. Jedná se tedy řízení. Dále zde není nutné udržovat příčný proud ve výstupním stupni.



Obrázek 1.7 Výstupní budič push-pull – řízený

Toto zapojení lze doplnit i o zpětnou vazbu, která však nebude sloužit k účelům regulace výstupního napětí. Pomocí ní se budou nastavovat parametry zapojení tak, aby bylo dosaženo ideálních podmínek řízení. Ve své podstatě se stále jedná o regulační smyčku, ovšem je zde silně potlačen vliv výstupní kapacity na stabilitu zapojení.

1.3 Úvod do elektromagnetické kompatibility

Tato podkapitola a její podkapitoly se zabývá základní problematiku elektromagnetické kompatibility. Jsou zde diskutovány základní pojmy, dále pak mechanismy přenosu rušivého signálu a v poslední řadě také způsoby eliminace těchto signálů.

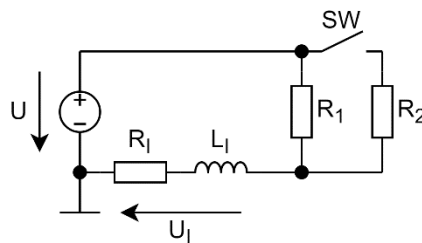
1.3.1 Základní pojmy

Elektromagnetická kompatibility (EMC) se zabývá tím, aby bylo možné určité zařízení provozovat v určitém prostředí, a to tak, aby nedocházelo k ovlivňování okolí daným zařízením (elektromagnetické emise, EME), nebo naopak, aby nebylo dané zařízení ovlivňováno okolím (elektromagnetická susceptibilita, EMS) [5]. V krajním případě může dojít k případu, že samotné zařízení generuje takové rušení, že ovlivní svou vlastní funkci. Zdrojem cizího rušení mohou být technické i jiné prostředky (například elektrostatický výboj).

U EME se zkoumá maximální hodnota rušení, které dané zařízení generuje. U EMS se naopak zkoumá minimální hodnota, kdy již u zařízení dochází k ovlivnění jeho funkce (a do jaké míry). Obě hodnoty se musí pohybovat v rámci předepsaných limitů. Pokud jsou tyto limity splněny, zařízení je elektromagneticky kompatibilní. Rušení je měřeno v časové i spektrální oblasti. Samotné limity, způsoby měření a vyhodnocování udávají příslušné normy. Tato problematika ovšem není přímo cílem této závěrečné práce a je natolik obsáhlá, že dále již nebude konkrétně diskutována.

1.3.2 Mechanismy přenosu rušivého signálu a jeho potlačení

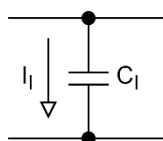
Přenos rušivého signálu je možné popsat pomocí čtyř základních mechanismů: galvanická vazba, kapacitní vazba, induktivní vazba a vazba vyzařováním. Mechanismus vzniku galvanické vazby je zobrazen na obrázku 1.8. Obvod je napájen zdrojem konstantního napětí U . V počátku obvodem teče klidový proud daný velikostí odporu R_1 (velikost parazitního odporu R_1 je vůči odporu R_1 zanedbatelná, úbytek napětí U_1 lze tedy také zanedbat; parazitní indukce L_1 se v ustáleném stavu neprojeví).



Obrázek 1.8 Galvanická vazba

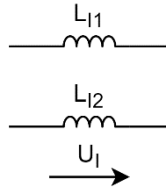
V čase, kdy sepne spínač SW, nastane přechodový jev. Při přechodovém jevu se v obvodu projeví parazitní rezistor i parazitní indukce a to tak, že napětí na rezistorech R_1 a R_2 poklesne. Po odeznění přechodného jevu je napětí na těchto rezistorech menší než před sepnutím spínače (větší proud parazitním rezistorem na něm vyvolá větší parazitní úbytek napětí). Tímto mechanismem je možné ovlivnit funkci obvodu reprezentovaného rezistorem R_1 obvodem reprezentovaným rezistorem R_2 .

Kapacitní vazba je zobrazena na obrázku 1.9. Mechanismus přenosu rušivého signálu zde spočívá v přenosu rušivého proudu I_1 přes parazitní kapacitu C_1 mezi těmito dvěma obvody.



Obrázek 1.9 Kapacitní vazba

Induktivní vazba je zobrazena na obrázku 1.10. Mechanismus přenosu rušivého signálu spočívá ve vzájemné induktivní vazbě dvou nezávislých obvodů přes jejich parazitní indukčnosti L_{11} a L_{12} . Proud tekoucí první indukčností, který se mění v závislosti na čase, vytváří časové proměnné magnetické pole, které ve druhé indukčnosti generuje rušivé napětí (obdobně jako u transformátoru, kde je ale tento jev využíván).



Obrázek 1.10 Induktivní vazba

Posledním mechanismem přenosu rušivého signálu je vazba vyzařováním. Vodiče prvního (rušícího) obvodu představují vysílací antény rušivého elektrického/magnetického pole. Naopak, vodiče druhého (rušeného) obvodu představují přijímací antény těchto rušivých polí. Výsledkem je tedy rušivé napětí či proud.

Při návrhu integrovaných obvodů se nejčastěji řeší vazba galvanická (například u společného napájení několika nezávislých zařízení) a vazba vyzařováním. Vzhledem k malým rozměrům součástky se vazba vyzařováním projevuje spíše na extérních vodičích. Sleduje se tedy především odolnost proti rušení na vývodech, popřípadě se měří, jaké rušení zde vzniká.

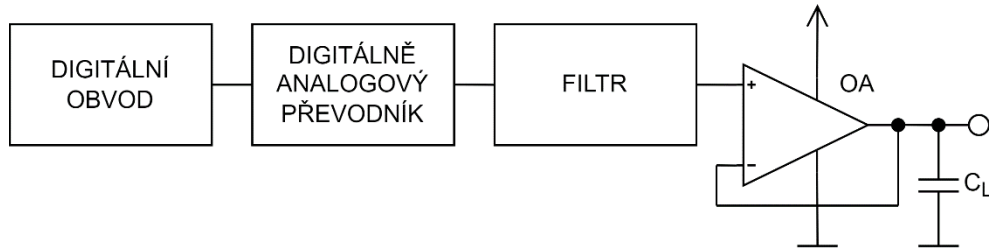
Problematika eliminace rušivých signálů je opět poměrně obsáhlá a není přímo cílem této diplomové práce. Budou zde tedy zmíněny jen základní techniky. U galvanické vazby z obrázku 1.8 lze rušení potlačit například použitím více zemnicích vodičů pro každý rezistor (R_1 a R_2). U kapacitní vazby z obrázku 1.9, induktivní vazby z obrázku 1.10 a u vazby vyzařováním lze rušivé signály eliminovat vhodným stíněním. Mezi další praktiky lze zařadit například využití odrušovacích filtrů či kroucené dvojlinky (twisted pair).

1.4 Rozbor stávajícího řešení

Zjednodušené schéma zapojení současného řešení výstupního budiče komunikačního protokolu SENT je zobrazeno na obrázku 1.11. Toto řešení sestává z digitálního obvodu, který má více funkcí. Jeho vstupem jsou naměřená data. Digitální obvod tyto data rozdělí do jednotlivých zpráv komunikačního protokolu SENT, dále tuto zprávu rozdělí do jednotlivých nibblů a následně vygeneruje vektor časů sestupných hran. Z tohoto vektoru následně vygeneruje časovou závislost výstupního napětí na čase.

Tato závislost je dále převedena pomocí digitálně analogového převodníku (DAC) z domény digitální na doménu analogovou. Aby došlo k potlačení kvantizačního šumu (vzniká z důvodu existence konečné hodnoty množství kvantizačních úrovní DAC),

je v řetězci dále zařazen filtr. Následuje operační zesilovač OA v zapojení sledovače, který představuje regulační člen se zpětnou vazbou. Výstupní signál je tedy shodný s vyfiltrovaným signálem generovaným DAC.



Obrázek 1.11 Zjednodušené schéma zapojení současného řešení

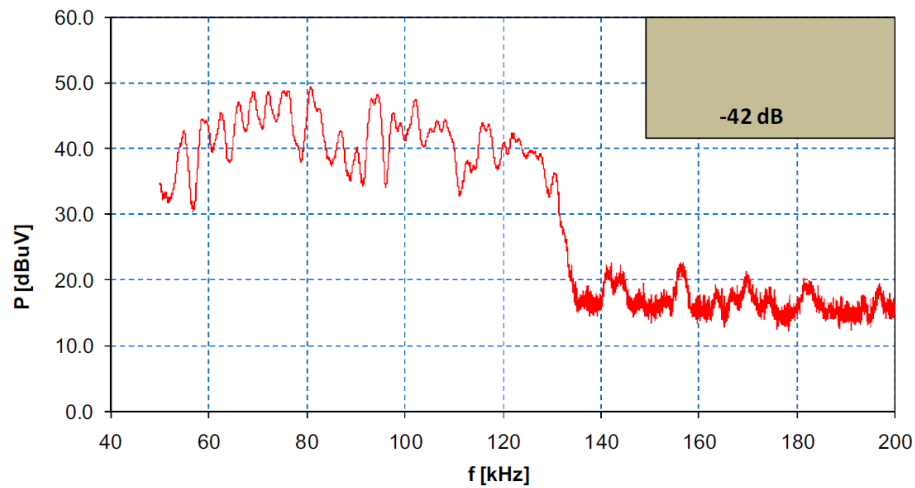
Jak je z obrázku patrné, přímo na výstupu je připojen kapacitor C_L , který představuje součet všech kapacit v tomto uzlu (kapacity vysílače i přijímače, dále pak kapacita samotného vedení). Tento kapacitor je přímo připojen do obvodu zpětné vazby operačního zesilovače a velikost hodnoty jeho kapacity má zásadní vliv na stabilitu celého zapojení. Jedná se o stejnou situaci, jako v zapojení na obrázku 1.6.

Obvod je navržen pro určitý rozsah výstupní kapacity, kde je zajištěna jeho správná funkce (tedy i stabilita). V případě poruchy však může dojít k prudkému poklesu této kapacity a obvod se tak může stát nestabilním. V případě, že je například kladen nárok na nízkou proudovou spotřebu a dojde tedy záměrně ke snížení kapacitní zátěže mimo pracovní rozsah, nelze tento obvod dále používat. Naměřená časová závislost výstupního napětí současného řešení je zobrazena na obrázku 1.12.



Obrázek 1.12 Naměřená časová závislost výstupního signálu stávajícího řešení [6]

Tvar tohoto signálu je zvolen tak, aby bylo dosaženo malého elektromagnetického rušení. Spektrum rušení výstupního signálu včetně limitu je zobrazeno na obrátku 1.13.



Obrázek 1.13 Spektrum rušení výstupního signálu současného řešení [6]

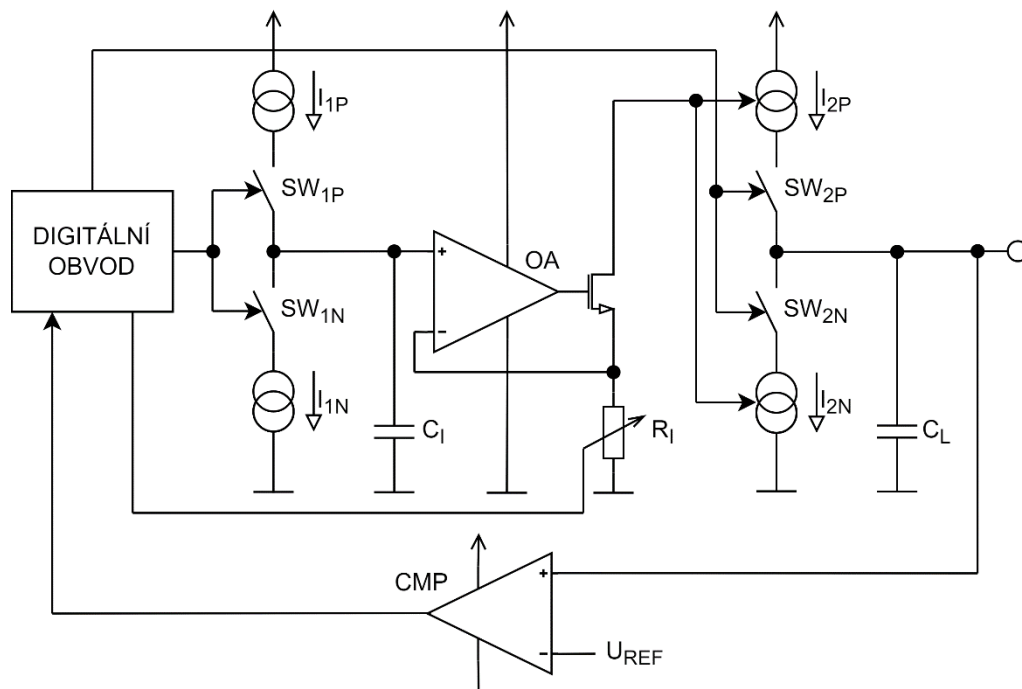
Další z nevýhod tohoto zapojení (kromě kapacitoru ve zpětné vazbě) je také to, že výstupní stupeň operačního zesilovače vyžaduje pro svou správnou činnost přítomnost příčného proudu, který zvyšuje proudovou spotřebu. Navíc, při vybíjení výstupní kapacity dochází k jeho útlumu a tím vznikají nežádoucí špičky v proudovém odběru ze zdroje.

2. NÁVRH KONCEPTU VÝSTUPNÍHO BUDIČE

Tato kapitola a její podkapitoly se zabývají teoretickým návrhem konceptu výstupního budiče komunikačního protokolu SENT, který je nezávislý na kapacitní zátěži a zároveň umožňuje tvarovat výstupní signál z důvodu potlačení generovaného rušení. První podkapitola popisuje navržené zapojení a jeho vlastnosti, druhá kapitola diskutuje ochranu vývodu integrovaného obvodu proti přepětí.

2.1 Zapojení konceptu výstupního budiče

Návrh zapojení konceptu výstupního budiče komunikačního protokolu SENT nezávislého na výstupní kapacitě je zobrazen na obrázku 2.1. Jedná se o obdobu zapojení zobrazeného na obrázku 1.7. Řídicím (regulačním) členem je zde digitální obvod, který je zodpovědný za generování řídicích pulzů pro tvarování výstupního signálu a také za měření skutečné kapacitní zátěže. Dle naměřené kapacitní zátěže je dále upravováno řízení celého obvodu. V obvodu je tedy zařazena zpětná vazba, ta se však přímo nepodílí na regulaci výstupního proudu. Jedná se tedy o řízení výstupních proudů, ne o regulaci. Závislost stability zpětné vazby na výstupní kapacitě je zde potlačena.

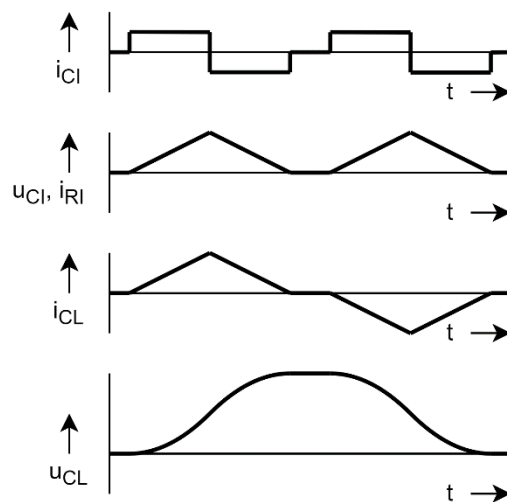


Obrázek 2.1 Návrh zapojení konceptu výstupního budiče nového řešení

Samotné měření kapacitní zátěže probíhá průběžně při práci budiče, kdy se v počátku po inicializaci obvodu nastaví nejvyšší možná strmota hran (nejvyšší možný výstupní proud). Výstupní signál je na začátku v horní úrovni. Při první sestupné hraně je měřen čas, kdy tato hrana dosáhne referenčního napětí (poloviny napájecího napětí). Následně

je v případě potřeby hodnota výstupního proudu upravena dle potřeby. Toto měření dále probíhá při každé sestupné hraně. V počátku je tedy v rámci několika sestupných hran zjištěna skutečná kapacitní zátěž a následně je jen zajišťována optimální funkce obvodu (jsou kompenzovány pomalé změny kapacity v závislosti na pracovních podmínkách zařízení). Prudká změna výstupní kapacity (několik změn výstupního proudu jedním směrem za sebou mimo počáteční fázi), popřípadě příliš nízká (je vyžadován příliš malý proud, k překlopení zpětnovazebního komparátoru dochází příliš brzy) či vysoká (je vyžadován příliš vysoký proud, nedojde ve stanovené době k překlopení zpětnovazebního komparátoru) kapacita je dále detekována digitálním obvodem, který takto dokáže odhalit chybové stavy.

Princip, jakým dochází ke tvarování výstupního signálu, je zobrazen na obrázku 2.2. Jedná se o časové závislosti napětí a proudů v zapojení konceptu výstupního budiče. Digitální obvod sepne nejprve na určitou dobu spínač SW_{IP} , přes který začne protékat referenční proud I_{IP} , který dále nabíjí kapacitor C_I (proud i_{CI}). Jedná se o proud s konstantní velikostí I_{CI} . Následně je tento spínač rozeprt a dále je na stejnou dobu sepnut spínač SW_{IN} . Tím teče stejný referenční proud (I_{IN}), jen dochází k vybíjení kondenzátoru na nulové napětí.



Obrázek 2.2 Časové závislosti napětí a proudů v zapojení konceptu výstupního budiče

Napětí u_{CI} na kondenzátoru C_I je dáno rovnicí

$$u_{CI} = \frac{1}{C_I} \cdot \int i_{CI} dt, \quad (2.1)$$

kde t udává čas v sekundách. Nabíjení je tedy lineární. Operační zesilovač OA tvoří společně s regulačním tranzistorem a s přeladitelným rezistorem R_I převodník napětí na proud. Konkrétně napětí u_{CI} na kondenzátoru C_I na proud i_{RI} rezistorem R_I dle rovnice

$$i_{R1} = \frac{u_{C1}}{R1} = \frac{1}{C1 \cdot R1} \cdot \int i_{C1} dt. \quad (2.2)$$

Velikost tohoto proudu je tedy přímo úměrná tomuto napětí, kdy konstantou nepřímé úměrnosti je odpor přeladitelného odporu R_1 . Digitální obvod je tedy schopný přeladěním hodnoty odporu tohoto rezistoru ovládat velikost výstupního proudu. Ve skutečném zapojení je dále nutné počítat s technologickým rozptylem součástek a například i s rozptylem nabíjecího proudu i_{C1} (špičková hodnota napětí na kondenzátoru bude tedy proměnlivá). Změnou odporu rezistoru R_1 je tedy možné kompenzovat i tyto nedokonalosti.

Dle toho, zda je potřeba výstupní kondenzátor C_L nabíjet či vybíjet proudem i_{CL} , jsou spínány a rozpínány spínače SW_{2P} či SW_{2N} (každý „trojúhelník“ je „maskován“ sepnutím vždy jen jednoho spínače,). Proud i_{CL} je tedy přímo úměrný proudu i_{R1} dle rovnice

$$i_{CL} = M \cdot i_{R1} = \frac{M}{C1 \cdot R1} \cdot \int i_{C1} dt, \quad (2.3)$$

kde konstanta M představuje zesílení výstupního proudu (bezrozměrná veličina). Nabývá kladných hodnot pro zdroj proudu I_{2P} a záporných hodnot pro zdroj proudu I_{2N} . Napětí u_{CL} na výstupním kapacitoru C_L a zároveň na výstupu budiče lze určit dle rovnice

$$\begin{aligned} u_{CL} &= \frac{1}{C_L} \cdot \int i_{CL} dt = \frac{1}{C_L} \cdot \int \left(\frac{M}{C1 \cdot R1} \cdot \int i_{C1} dt \right) dt = \\ &= \frac{M}{C1 \cdot R1 \cdot C_L} \cdot \iint i_{C1} dt^2 = k \cdot \iint i_{C1} dt^2. \end{aligned} \quad (2.4)$$

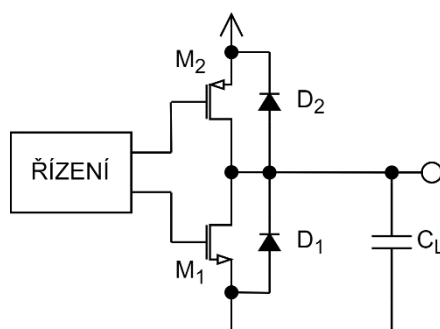
Výsledný signál bude mít tedy kvadratický průběh. Spektrum jeho rušení nebude pravděpodobně vykazovat lepší vlastností, než současné řešení, nicméně hlavním cílem je právě nezávislost stability výstupního budiče na velikosti výstupní kapacity.

2.2 Ochrana proti přepětí a zkratu

Zapojení komplementárního páru unipolárních tranzistorů ve výstupním budiči (zapojení push-pull) je zobrazeno na obrázku 2.3. Jsou zde znázorněny i substrátové (parazitní) diody těchto tranzistorů. Toto zapojení je z hlediska přepětí či zkratu na výstupu zcela nevyhovující. Pokud je na výstup přiloženo napětí, které je větší o úbytek napětí na diodě D_2 v propustném směru než napájecí napětí, dochází přes diodu D_2 tohoto PMOS tranzistoru M_2 ke zkratu s napájecím vodičem. Obdobná situace nastane s NMOS tranzistorem M_1 pro napětí menší o úbytek na diodě D_1 v propustném směru, než je společný potenciál, kdy dochází opět dochází ke zkratu, tentokrát však se zemním vodičem.

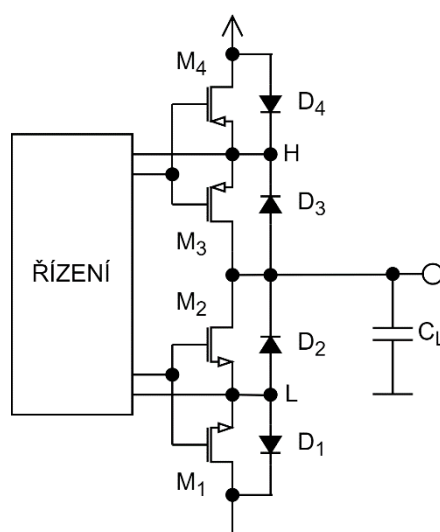
Při zkratování výstupu na napájecí napětí či zemní potenciál se na výstupu objeví proud limitovaný pouze odpory jednotlivých tranzistorů v sepnutém stavu. Rušivý sinusový signál na výstupu budiče je v ideálním případě přijímačem odfiltrován a na funkci přenosové cesty nemá vliv. V tomto zapojení však dochází k deformování

tohoto rušení (je napětově omezováno substrátovými diodami). To způsobuje napětový posun na výstupních kapacitách.



Obrázek 2.3 Výstupní budič push-pull s parazitními diodami

Vhodnější topologie výstupního budiče odolného vůči přepětí a zkratu na výstupu je zobrazena na obrázku 2.4. Jsou zde uvedeny i substrátové (parazitní) diody těchto tranzistorů. Toto zapojení je plně kompatibilní s navrženým řešením výstupního budiče. Napětí v uzlu H představuje virtuální napájecí napětí, které je menší než skutečné napájecí napětí (maximálně o napětí na substrátové diodě D_4 v propustném směru) a kopíruje ho. Tranzistor M_3 pak slouží jako zdroj proudu (proudové zrcadlo), který je vztažený k virtuálnímu napájení v uzlu H. V případě otevírání tranzistoru M_3 dochází i k otevírání tranzistoru M_4 a napětí v uzlu H se více blíží napájecímu napětí. Pokud je na výstupu přítomno vyšší napětí, než je napětí napájecí, začne virtuální napájení kopírovat přepětí právě na výstupu (přes diodu D_3). Tranzistory M_3 a M_4 si tedy prohodí funkce. Při přepětí i při zkratu na zemní potenciál je tedy vždy definovaný výstupní proud.



Obrázek 2.4 Výstupní budič odolný vůči přepětí a zkratu

Obdobně je napětí v uzlu L virtuálním zemním potenciálem, jež je kladnější než skutečný zemní potenciál (maximálně o napětí na substrátové diodě D_1 v propustném

směru) a kopíruje ho. Tranzistor M_2 pak slouží jako zdroj proudu (proudové zrcadlo), který je vztažen k virtuálnímu zemnímu potenciálu v uzlu L. V případě otevírání tranzistoru M_2 dochází i k otevírání tranzistoru M_1 a napětí v uzlu L se více blíží zemnímu potenciálu. Pokud je na výstupu přítomno nižší napětí, než je napětí zemního potenciálu, začne virtuální zemní potenciál kopírovat (záporné) přepětí právě na výstupu (přes diodu D_2). Tranzistory M_1 a M_2 si tedy prohodí funkce. Při přepětí i při zkratu na napájecí napětí je tedy vždy definovaný výstupní proud. Rušivý sinusový signál na výstupu budiče není nijak omezený a tím pádem nemá na funkci obvodu vliv (nedochází k napěťovému posunu u výstupních kapacit).

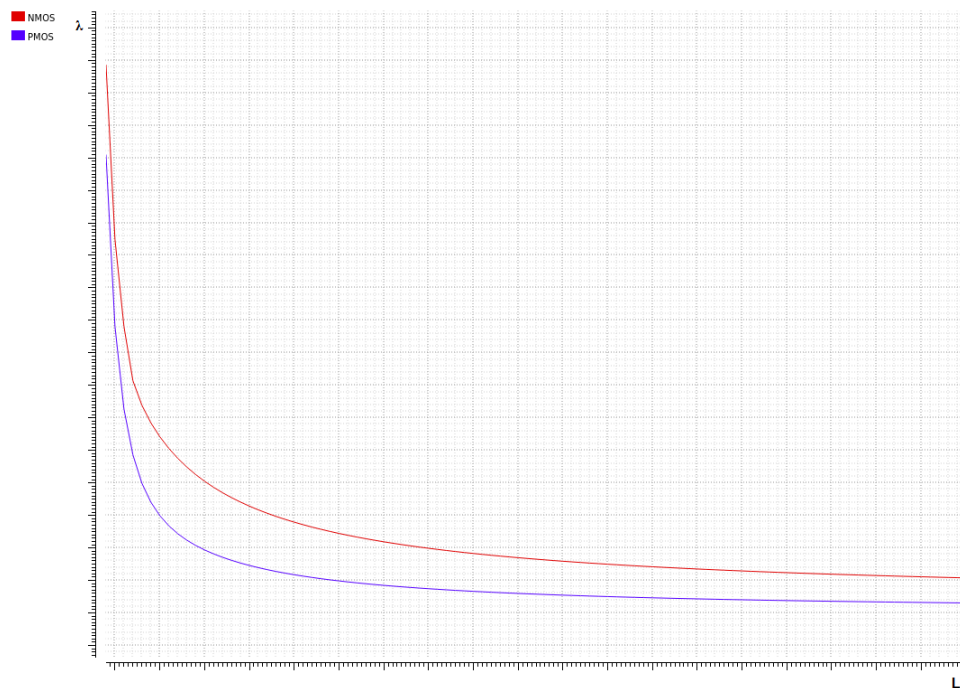
Použité tranzistory musí být odolné vůči velkému napětí mezi elektrodami drain a source. Toto zapojení pak dále vyžaduje přítomnost dalších podpůrných obvodů (blok „řízení“). Ochrana proti elektrostatickému výboji (ESD) je řešena na vyšší úrovni v rámci návrhu integrovaného obvodu a není do výstupního budiče zahrnuta.

3. NÁVRH VÝSTUPNÍHO BUDIČE

Tato kapitola a její podkapitoly popisují návrh výstupního budiče ve zvolené technologii. Prvním krokem je stanovení důležitých technologických parametrů či jejich závislostí, ze kterých návrh vychází. Dále je diskutován samotný návrh jednotlivých stavebních bloků až po blok hlavní.

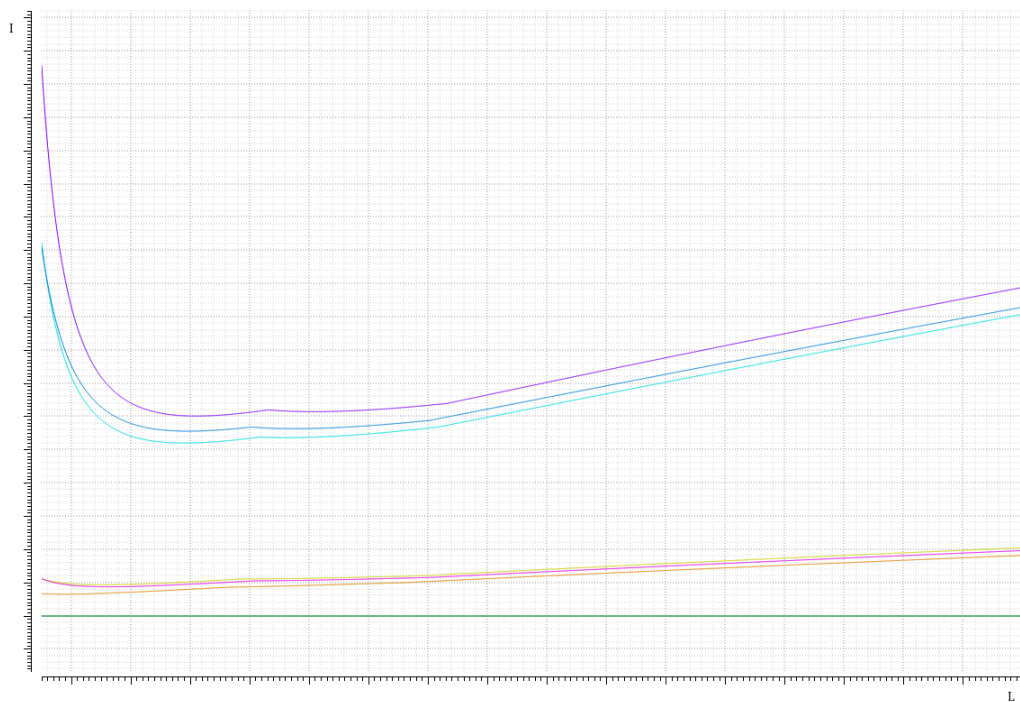
3.1 Stanovení (závislostí) technologických parametrů

Prvním krokem je stanovení technologických parametrů (či jejich závislostí) důležitých pro samotný návrh. Konkrétně se jedná o závislost parametru modulace délky kanálu λ na délce tranzistoru L při konstantním poměru šířky tranzistoru W ku L . Tato závislost pro NMOS i PMOS tranzistor je zobrazena na obrázku 3.1. Z této závislosti byla následně vhodně zvolena základní délka tranzistoru L pracujícího v saturačním režimu.

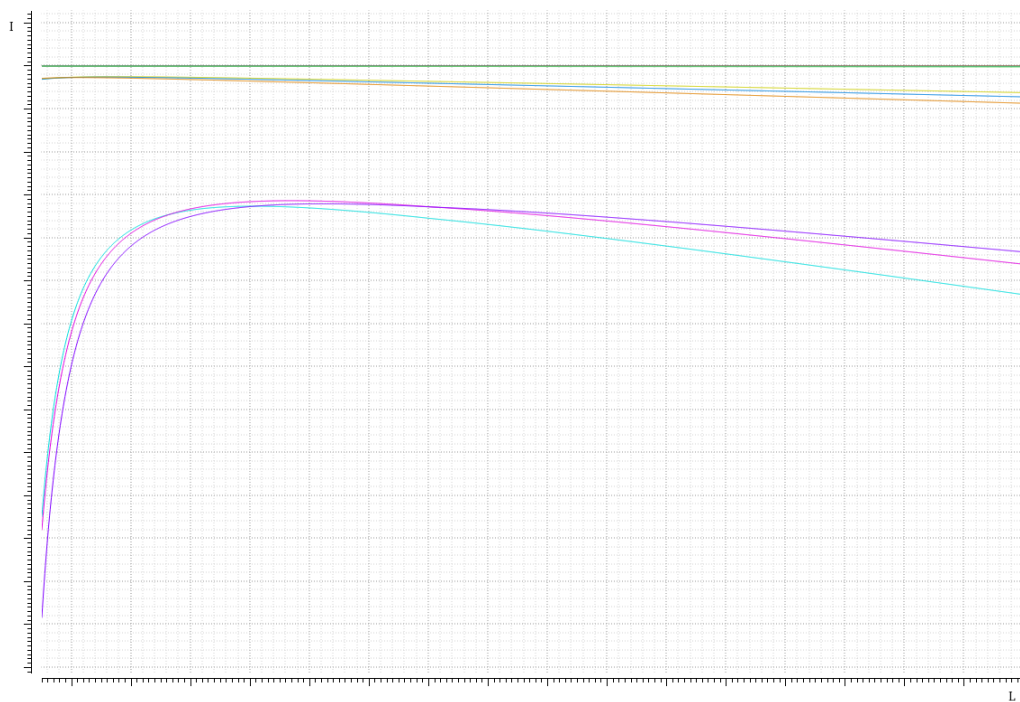


Obrázek 3.1 Závislost parametru modulace délky kanálu λ na délce tranzistoru L

Dále byla zjištěna závislost svodového (leakage) proudu spínacího tranzistoru v rozepnutém stavu v závislosti na L při konstantním poměru W ku L . Ze závislosti byla odečtena ideální délka L , kdy je svodový proud dostatečně malý (viz obrázky 3.2 a 3.3).

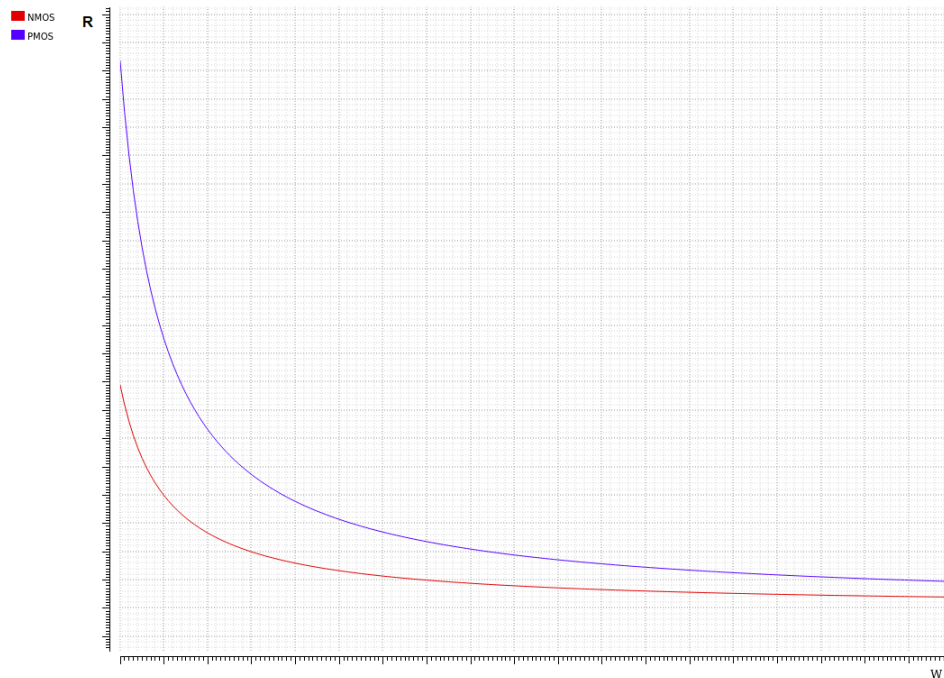


Obrázek 3.2 Závislost svodového proudu I na délce tranzistoru L pro konstantní poměr W/L pro různé procesní cornery pro NMOS tranzistor



Obrázek 3.3 Závislost svodového proudu I na délce tranzistoru L pro konstantní poměr W/L pro různé procesní cornery pro PMOS tranzistor

Jako poslední byla určena závislost odporu spínacího tranzistoru v sepnutém stavu v závislosti na W pro konstantní délky L (byly zvoleny používané délky). Z těchto závislostí je možné odečíst vhodnou šířku W , aby bylo možné odpor daného spínacího tranzistoru v sepnutém stavu zanedbat (s ohledem na velikost odporu spínané zátěže).



Obrázek 3.4 Závislost odpor spínacího tranzistoru v sepnutém stavu v závislosti na W pro konstantní délky L

Při návrhu je uvažována základní rovnice pro výpočet rozměrů tranzistorů pracujících v saturační oblasti

$$\left(\frac{W}{L}\right) = \frac{2 \cdot I_D}{K_P \cdot U_{DS,sat}^2}, \quad (3.1)$$

kde I_D značí proud drainem [7][8].

3.2 Obecné podmínky pro návrh

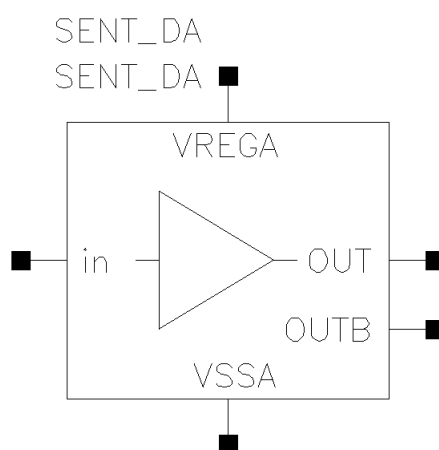
Integrovaný obvod obsahující tento výstupní budič je napájen externím napájením VDDA o jmenovité hodnotě 5 V. Integrovaný obvod dále obsahuje interní regulátor napětí VREGA (pro analogové obvody) či VDD (pro digitální obvody) o jmenovité hodnotě 3,3 V. Všechna napětí jsou vztažena k zemnímu potenciálu VSSA.

Výstupní budič dále vyžaduje dva zdroje proudu z PMOS tranzistorů. Jeden je typu PPOR (teplotně stabilní, trimovaný) se jmenovitou hodnotou 1 μ A, druhý je typu HIPO (teplotně závislý) o jmenovité hodnotě 5 μ A. Druhý jmenovaný proud je odvozen z konstantního napětí nezávislého na teplotě a z teplotně závislého rezistoru. Pokud je tento proud přiveden na stejný druh rezistoru, jejich teplotní závislost se vykompenzují

a na daném rezistoru je generován teplotně nezávislý úbytek napětí. Podmínkou je skládání rezistorů ze stejných bloků o neminimální šířce. Jmenovitá výstupní kapacita budiče je 10 nF, kdy je nutné zajistit funkci obvodu i pro její rozptýl. Obvod dále musí fungovat i pro kapacity nižší (musí zajistit správné napěťové úrovně, ne tvarování – zhoršení ve smyslu zvětšení generovaného rušení je povoleno).

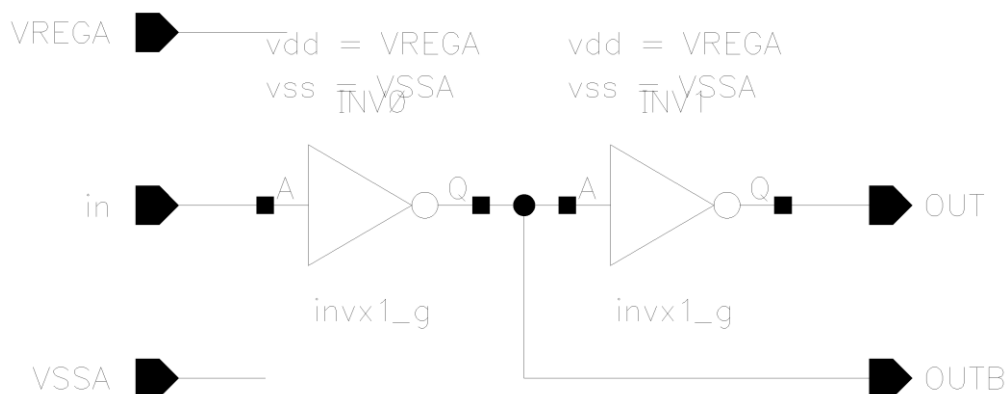
3.3 Buňka SENT_DA

Tato buňka umožňuje vyfiltrout rušení digitálních signálů – jejich úrovně jsou vztaženy k lokálnímu napájení (ne ke vzdálenému, které může být zarušené). Její symbol je zobrazen na obrázku 3.5.



Obrázek 3.5 Buňka SENT_DA – symbol

Schéma zapojení je zobrazeno na obrázku 3.6.

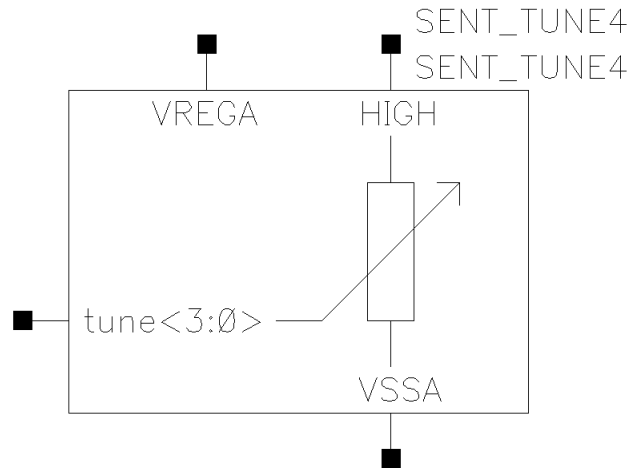


Obrázek 3.6 Buňka SENT_DA – schéma zapojení

Vstupem je (zarušený) digitální signál a výstupem je stejný či invertovaný (vyfiltrovaný) digitální signál vhodný k ovládání analogových součástí. Digitální hradla dále vyžadují připojení interního napájecího napětí a zemního potenciálu.

3.4 Buňka SENT_TUNE4

Tato buňka představuje přeladitelný rezistor, který umožňuje nastavovat velikost výstupního proudu – kompenzovat velikost výstupní kapacity a zároveň technologický rozptyl součástek. Symbol je uveden na obrázku 3.7. Vstupem je 4bitový digitální signál tune, kterým je přímo ovládán odpor tohoto rezistoru. Mezi další vývody lze zahrnout terminály rezistoru HIGH a VSSA (je určen přímo k připojení k zemního potenciálu). Posledním vstupem je napájecí napětí VREGA.

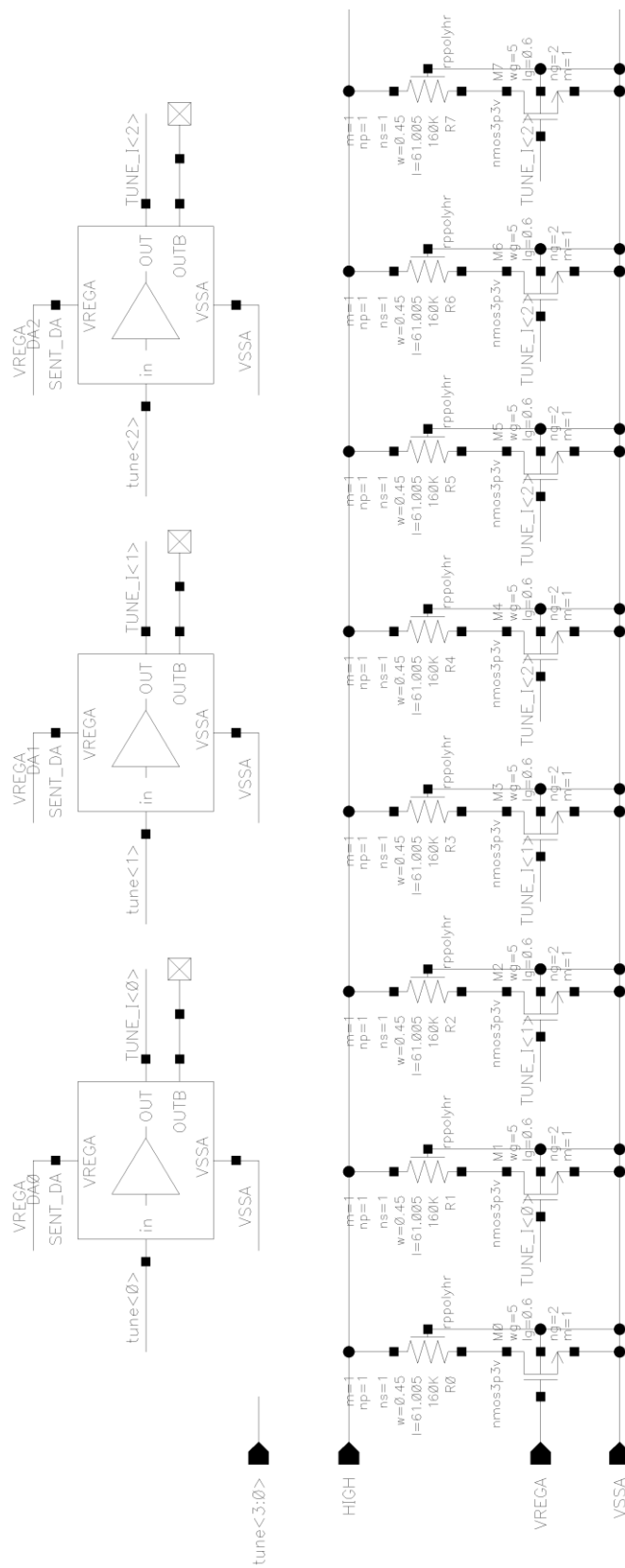


Obrázek 3.7 Buňka SENT_TUNE4 – symbol

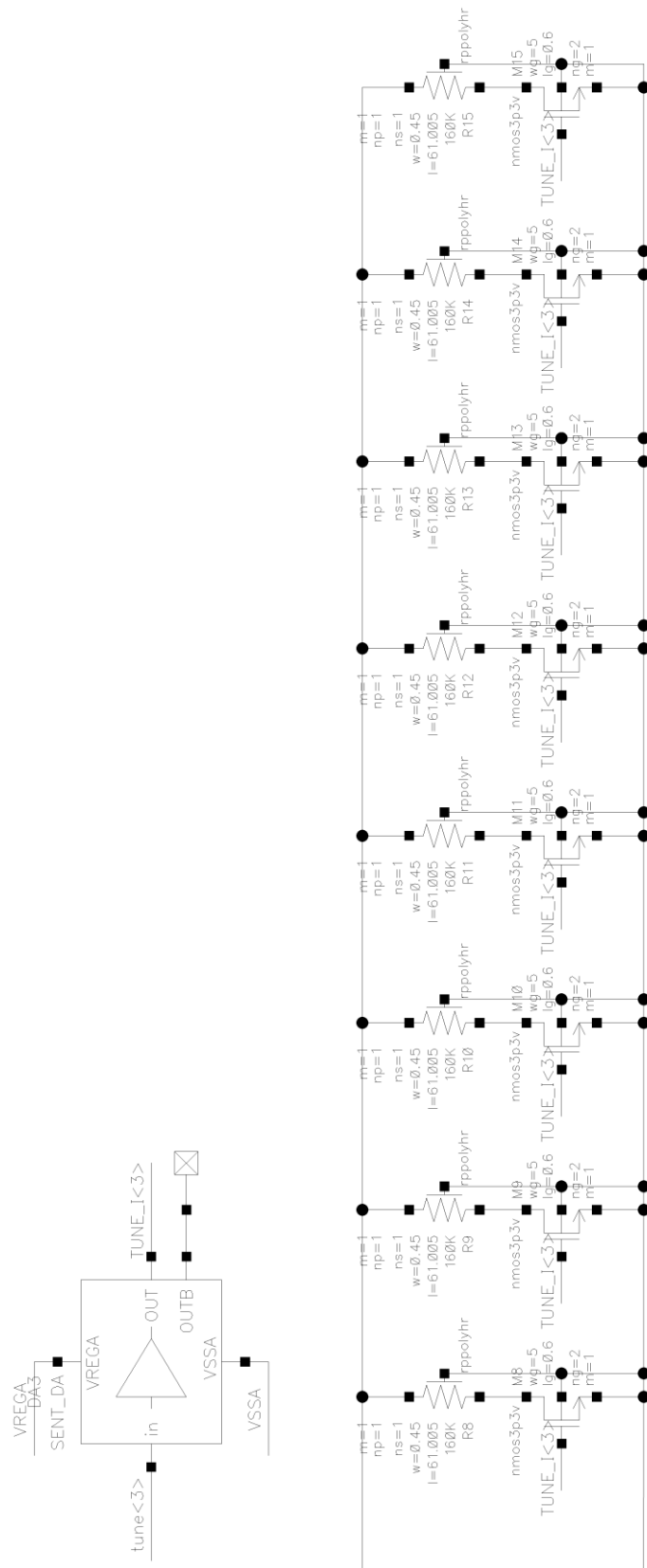
Schéma zapojení buňky je uvedeno na obrázcích 3.8 a 3.9. Hodnota odporů je zvolena experimentálně. Délka spínacích tranzistorů L je zvolena tak, aby měl rozepnutý tranzistor co nejmenší svodový proud a do obvodu zasahoval co nejméně. Šířka W je zvolena tak, aby měl sepnutý tranzistor přes všechny procesní odchylky zanedbatelný odpor vůči spínanému rezistoru. Aby bylo zabráněno vzniku odchylek mezi proudy jednotlivými rezistory, jsou všechny rezistory i tranzistory v souběhu. Ze stejného důvodu je nutné zařadit stále sepnutý spínač k prvnímu rezistoru.

Princip funkce obvodu je následující. Při jakémkoliv napětí na vývodu HIGH představuje každý z rezistorů identický zdroj proudu aktivovaný příslušným tranzistorem. Těchto zdrojů proudu je celkem 16, kdy má každý stejnou váhu, tedy váhu nejméně významného bitu (LSB).

První z nich je vždy sepnutý. LSB digitálního signálu aktivuje opět jeden zdroj proudu. Druhý nejméně významná bit tohoto digitálního signálu však spíná již dva zdroje proudu. Každý bit digitálního signálu pak tedy spíná takovou váhu proudu, jakou váhu má sám v digitálním slově. MSB spíná celkem 8 zdrojů proudu. Rezistorem tedy protéká 16 lineárně odstupňovaných velikostí proudu, které lineárně pokrývají rozptyl výstupní kapacity a technologický rozptyl.



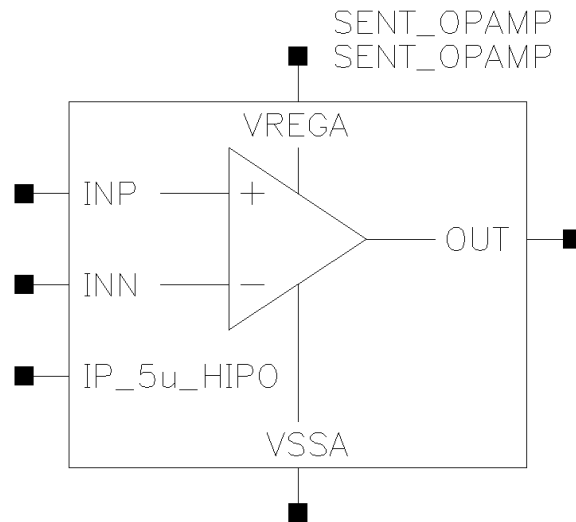
Obrázek 3.8 Buňka SENT_TUNE4 – schéma zapojení 1



Obrázek 3.9 Buňka SENT_TUNE4 – schéma zapojení 2

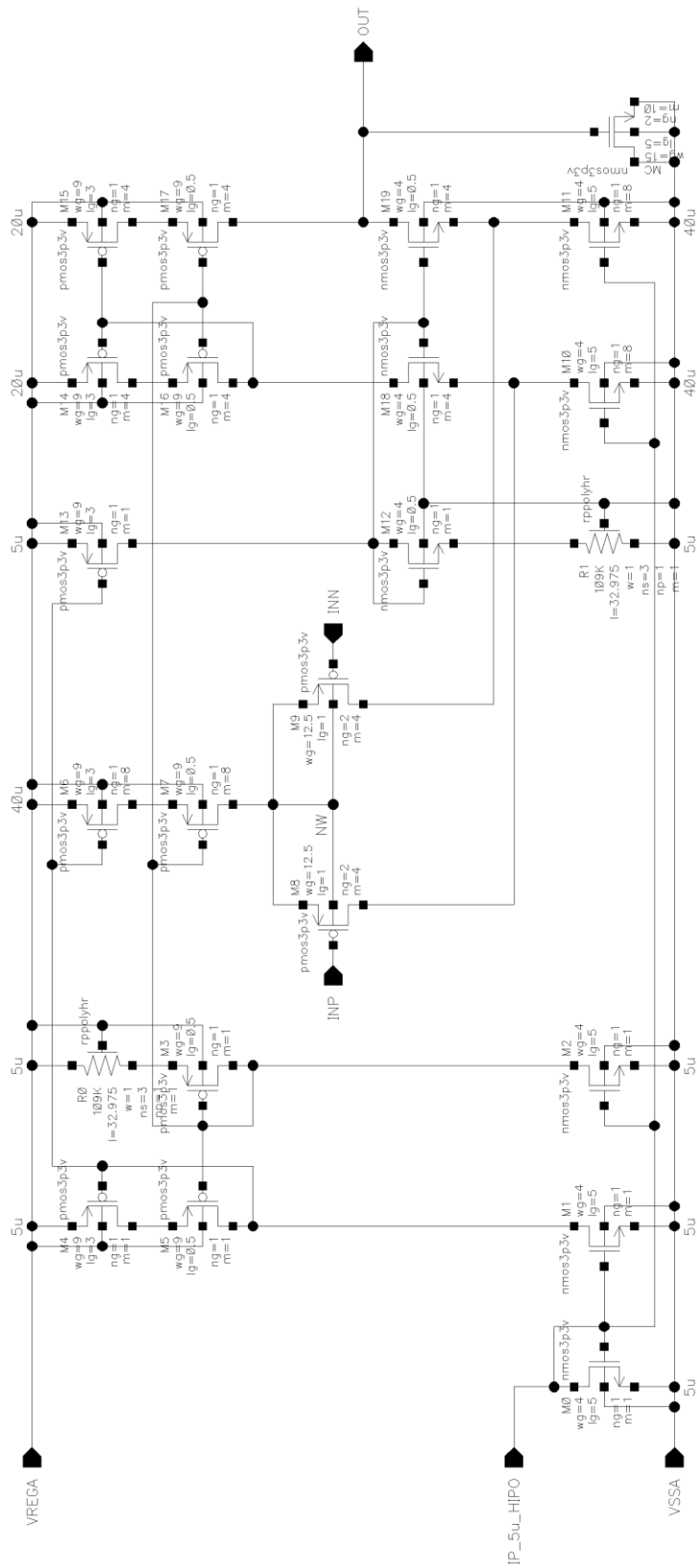
3.5 Buňka SENT_OPAMP

Tato buňka představuje operační zesilovač, který je zapojen v převodníku napětí na proud. Symbol je zobrazen na obrázku 3.10. Operační zesilovač vyžaduje připojení napájecího napětí VREGA a společného potenciálu VSSA, dále pak disponuje neinvertujícím a invertujícím vstupem, výstupem a vstupem pro proud nastavující správný pracovní bod.



Obrázek 3.10 Buňka SENT_OPAMP – symbol

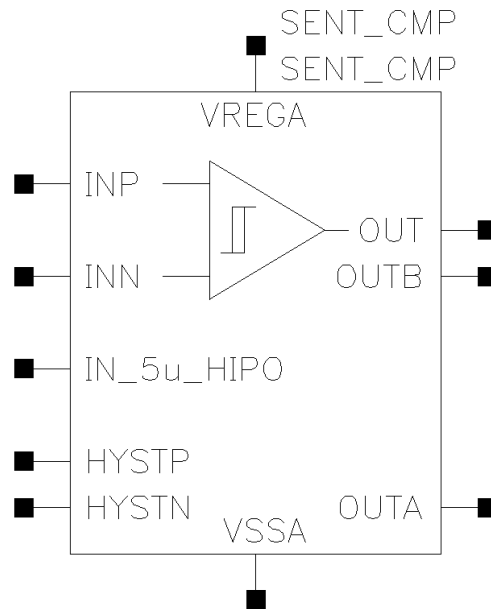
Schéma zapojení je zobrazeno na obrátku 3.11. Dle principu funkce výstupního budiče je vyžadováno, aby byla spodní mez vstupního napětového rozsahu operačního zesilovače 0 V a aby byl výstupní napětový rozsah co největší. Proto byl zvolen diferenční pár s PMOS tranzistory v jednostupňovém operačním zesilovači typu složené kaskody (folded cascode). Tranzistor MC slouží jako kompenzační kapacitor pro zajištění stability obvodu. Návrh operačního zesilovače není cílem této práce, proto byl obvod převzatý a dále upravený dle požadavků. V obvodu je nutné zajistit souběh příslušných tranzistorů (které mají vývod gate zapojený do stejného uzlu, dále pak tranzistorů M8 a M9).



Obrázek 3.11 Buňka SENT_OPAMP – schéma zapojení

3.6 Buňka SENT_CMP

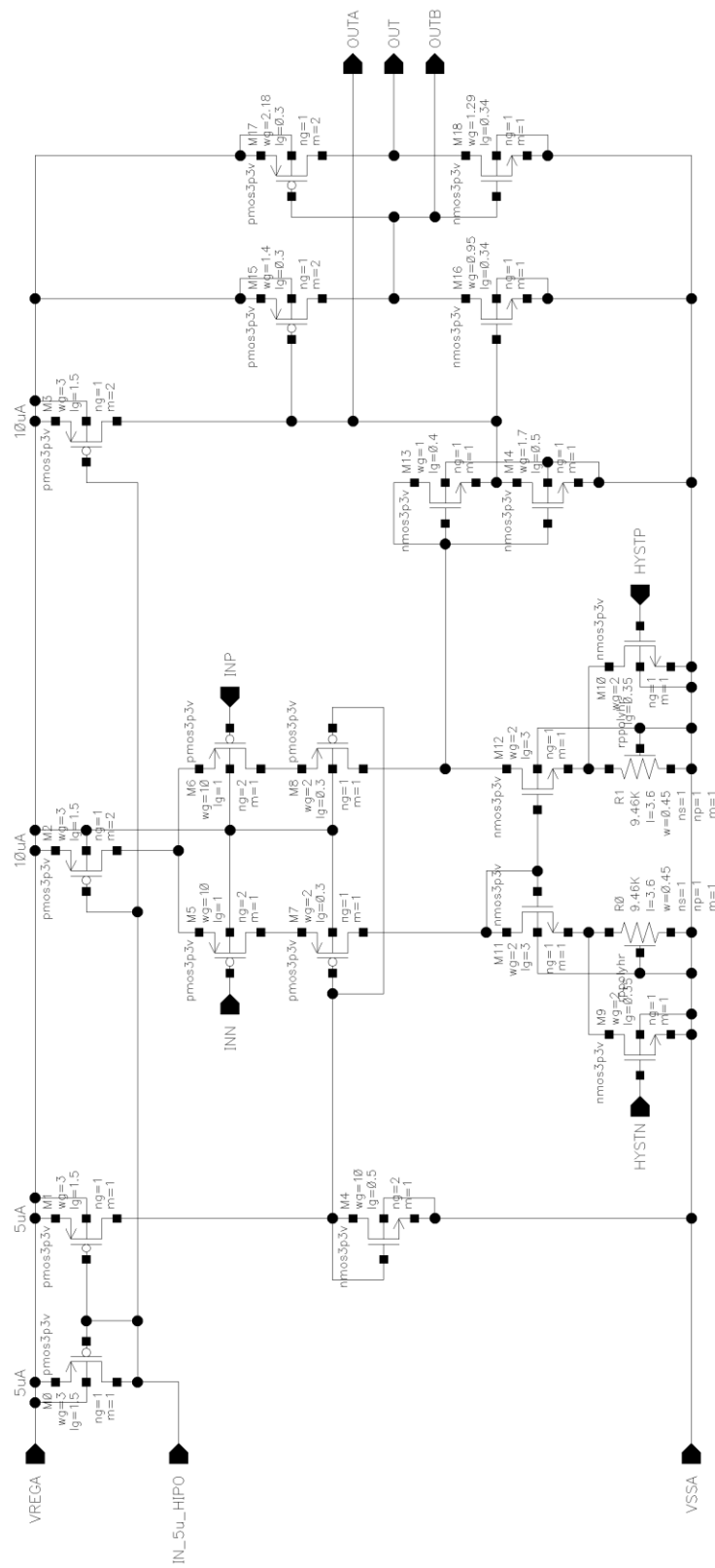
Symbol této buňky je zobrazen na obrázku 3.12. Jedná se o rychlý komparátor s hysterezí. Komparátor je využit jako převodník mezi analogovou a digitální částí výstupního budiče (1bitový analogově digitální převodník). Velikost hystereze je volitelná dle zapojení výstupů a vstupů pro její ovládání. Jmenovitě lze nastavit hysterezi o velikosti 0, 20 a 40 mV.



Obrázek 3.12 Buňka SENT_CMP – symbol

Schéma zapojení komparátoru je zobrazeno na obrázku 3.13. Návrh tohoto zapojení není cílem této práce, proto byl obvod převzatý. Hystereze je zaváděna pomocí rezistorů R0 a R1. V obvodu je nutné zajistit souběh skupin součástek:

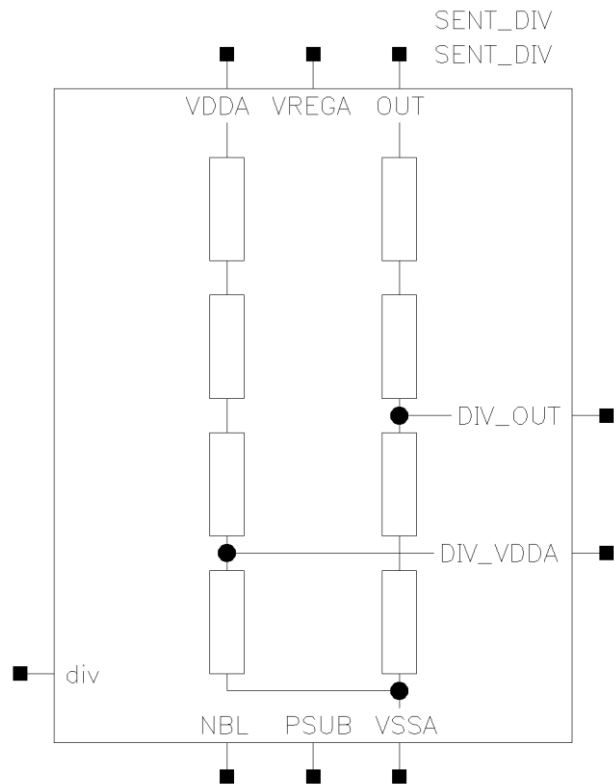
- M0, M1, M2 a M3;
- M5 a M6;
- M7 a M8;
- M11 a M12;
- M9 a M10;
- R0 a R1.



Obrázek 3.13 Buňka SENT_CMP – schéma zapojení

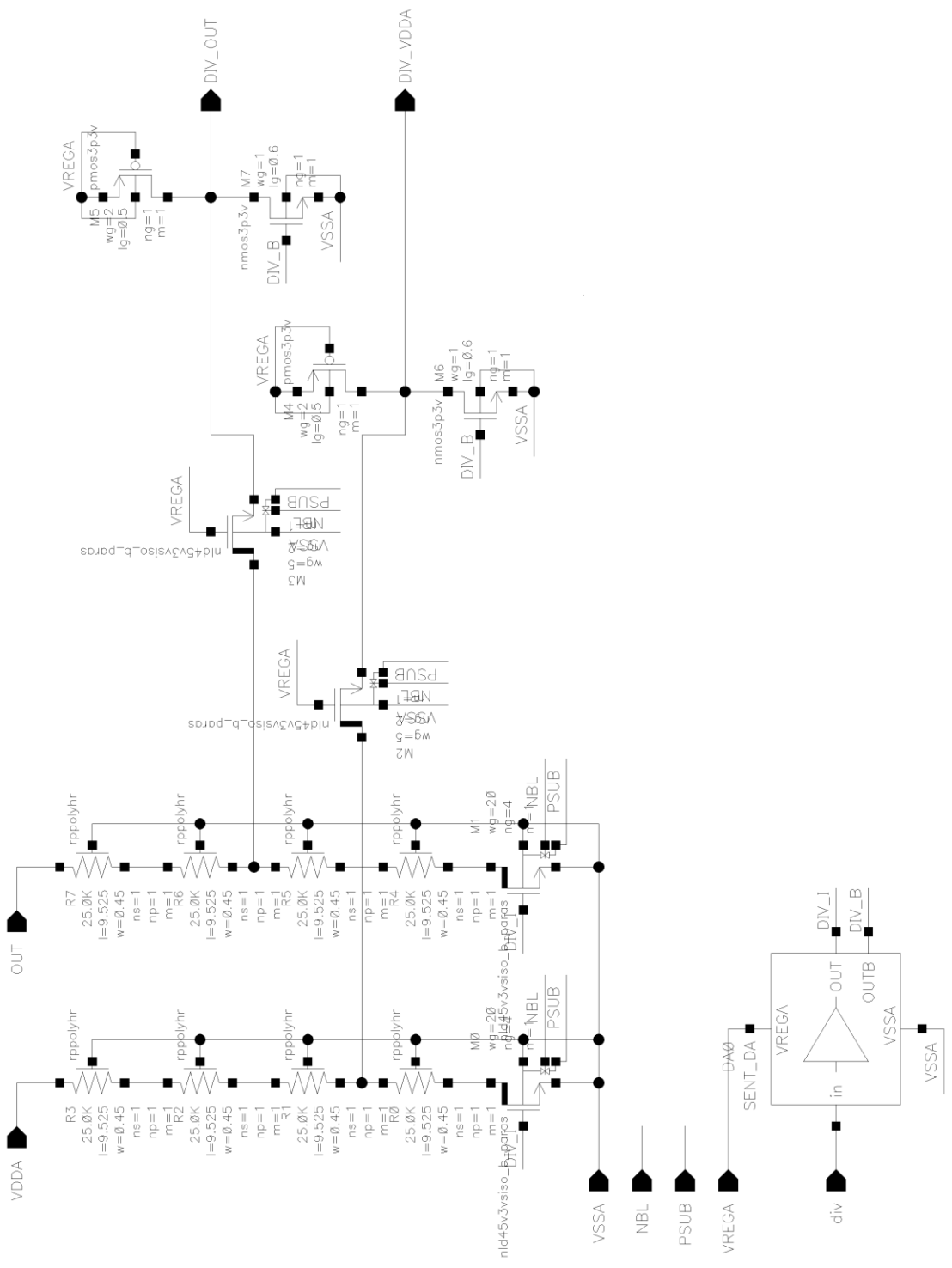
3.7 Buňka SENT_DIV

Tato buňka představuje dva napěťové děliče. Jeden vytváří referenční napětí pro komparátor (jedná se o čtvrtinu napětí VDDA externího napájecího zdroje). Druhý dělič dělí aktuální hodnotu výstupního napětí na polovinu. Takto lze pomocí komparátoru detekovat, kdy výstupní signál OUT dosáhl poloviny napětí VDDA i pomocí součástek pracujících na interním napájecím napětí VREGA. Symbol je zobrazen na obrázku 3.14.



Obrázek 3.14 Buňka SENT_DIV – symbol

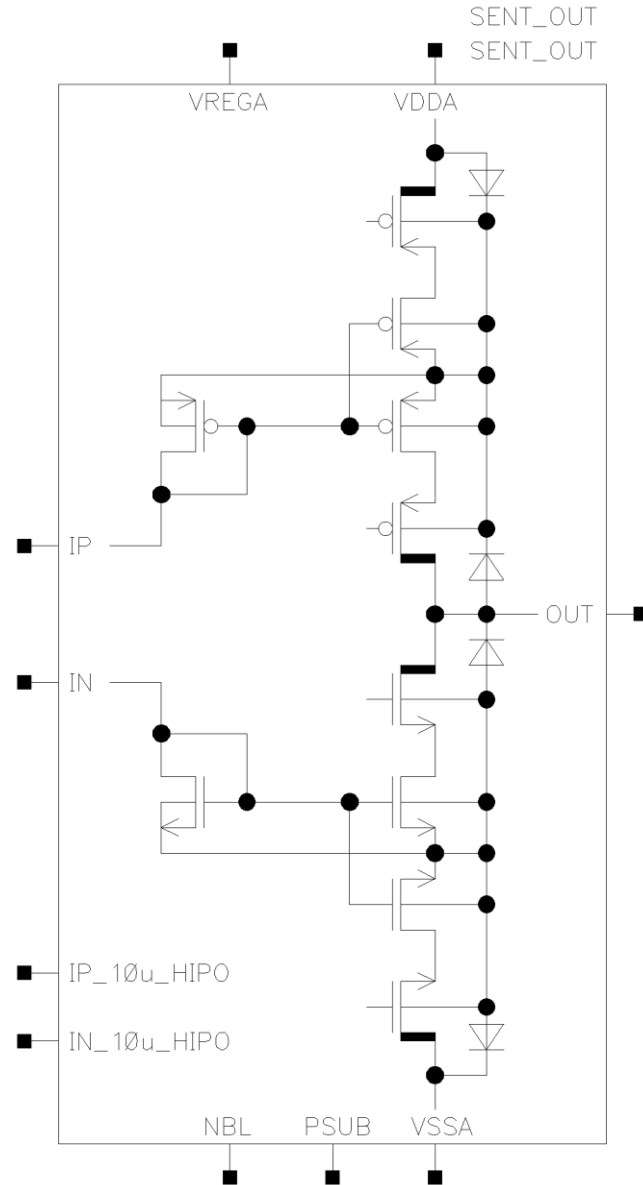
Schéma zapojení je zobrazeno na obrázku 3.15. Obvod dále obsahuje vstup pro digitální signál div, který samotné děliče odpojuje a snižuje tak proudovou spotřebu buňky. Tento vstup aktuálně není využíván, v budoucnu se však jeho využití předpokládá. Kromě osmi shodných rezistorů v souběhu dělič sestává i z tranzistorů M0 a M1. Tyto tranzistory mají v sepnutém stavu vzhledem k hodnotě spínaných rezistorů zanedbatelný odpor. Velikost odporu samotných rezistorů je volena tak, aby bylo dosaženo dostatečně rychlého nabíjení parazitních kapacit vstupních tranzistorů komparátoru, a zároveň i s ohledem na proudovou spotřebu. Parazitní substrátové diody tranzistorů M4, M5, M6 a M7 slouží společně s tranzistory M2 a M3 jako přepěťové ochrany nízkonapěťových vstupů.



Obrázek 3.15 Buňka SENT_DIV – schéma zapojení

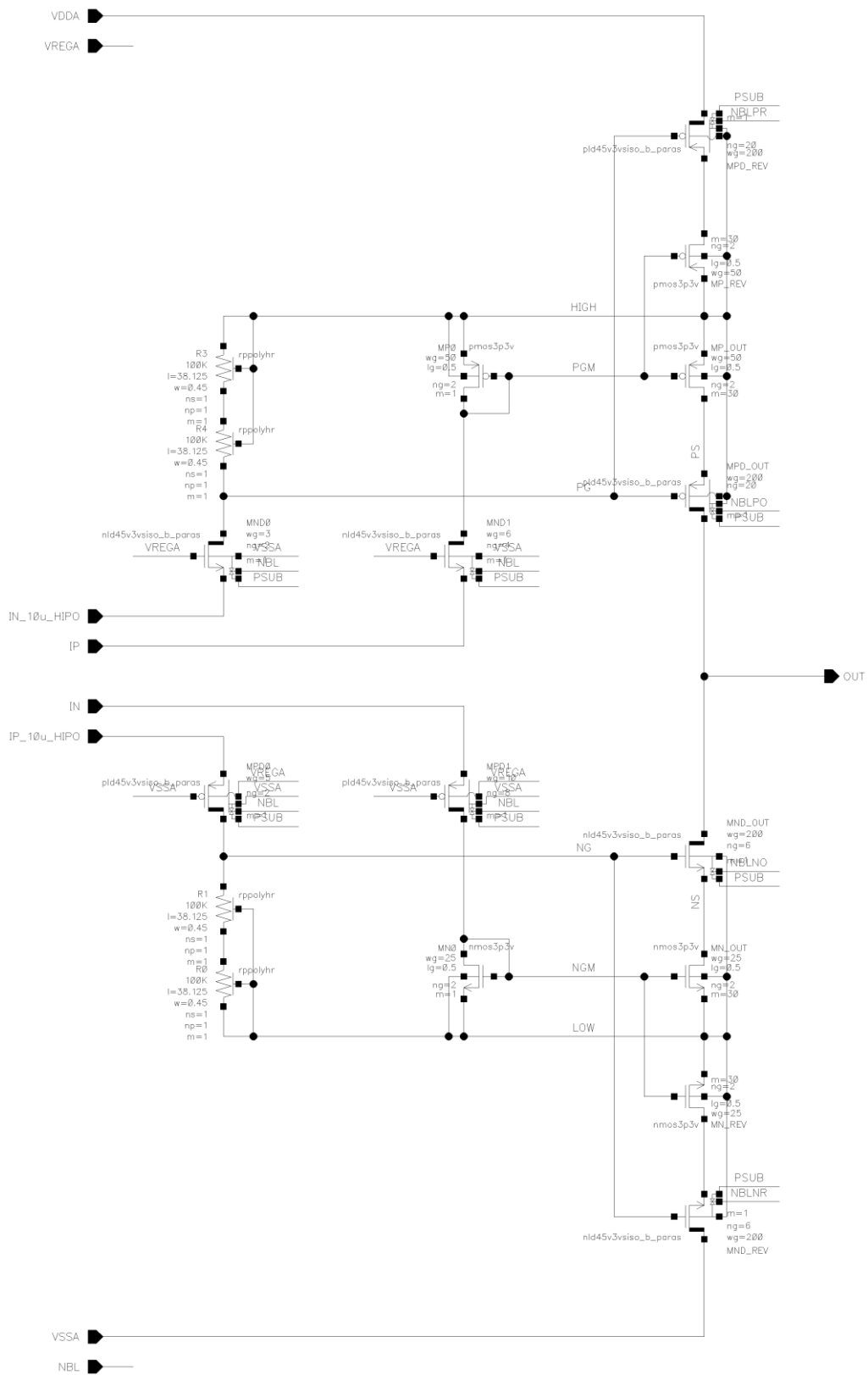
3.8 Buňka SENT_OUT

Tato buňka představuje výstupní budič odolný proti přepětí a zkratům. Jedná se o obdobu zapojení z obrázku 2.4 s tím rozdílem, že zde jsou výstupní proudový zrcadla realizována pomocí nízkonapěťových tranzistorů, na kterých je udržováno bezpečné napětí pomocí vysokonapěťových kaskod. Symbol je zobrazen na obrázku 3.16.



Obrázek 3.16 Buňka SENT_OUT – symbol

Schéma zapojení je zobrazeno na obrázku 3.17. Tranzistory MND0, MND1, MPD0, MPD1 zabezpečují bezpečný přechod nízkonapěťových signálů (proudů) do vysokonapěťového obvodu. Nízkonapěťové zdroje proudu zajišťují na jejich sourcech takové napětí, aby těmito tranzistory tekly požadovaný proud.

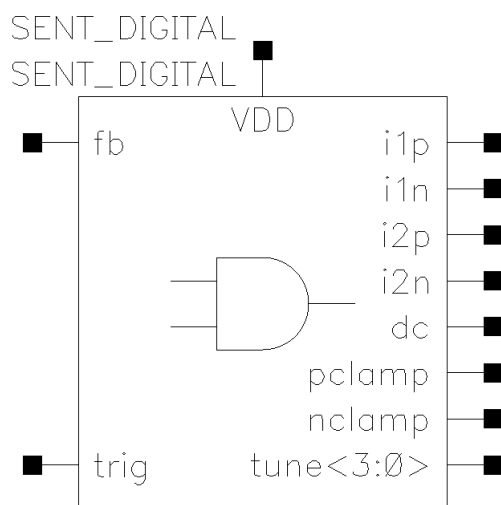


Obrázek 3.17 Buňka SENT_OUT – schéma zapojení

Úbytky napětí na rezistorech v tomto obvodu zajišťují správné nastavení pracovního bodu vysokonapěťových kaskod. Tranzistory MN0 a MP0 zrcadlí s příslušným poměrem vstupní proud do výstupu zapojení.

3.9 Buňka SENT_DIGITAL

Buňka SENT_DIGITAL představuje digitální obvod, který řídí funkci celého zapojení. Jeho symbol je zobrazen na obrázku 3.18. Jedná se o ideální blok popsáný v jazyce VerilogA. Na vstupu trig je připojen interní digitální signál, který přechodem z logické nuly do logické jedničky spouští s nejbližší náběžnou hranou hodin (viz dále) sekvenci generování výstupního napěťového pulzu (jedna sestupná a jedná náběžná hrana v tomto pořadí). Samotný obvod neřeší digitální zpracování naměřených dat, tedy jejich rozdělení do zpráv a následně i do nibblů, dále pak generování vektoru časů sestupných hran. Interně je uvnitř bloku implementován zdroj hodinového signálu 16 MHz, kterým je obvod řízen.



Obrázek 3.18 Buňka SENT_DIGITAL – symbol

Na vstup fb je připojen výstup komparátoru (měření skutečné hodnoty kapacitní zátěže výstupu). Při spuštění sekvence generování výstupního napěťového pulzu je pomocí čítače, který se inkrementuje při každé náběžné hraně hodin, odměřována doba od počátku generování tohoto pulzu po čas, kdy výstupní napětí překročí polovinu napětí VDDA (měří se pouze u sestupné hrany). Na vstupu fb bude muset být zařazen synchronizační obvod a obvod pro odstranění zákmitů. Jejich zpoždění lze však jednoduše kompenzovat (odečtením konstanty). Princip řízení a funkce kompenzace technologického rozptylu součástek a výstupní kapacity je popsán v kapitole 2.1.

Dále je nutné zmínit, že obvod zvyšuje výstupní proud, pokud čítač obsahuje vyšší hodnotu, než je ideální hodnota 48 (to je při frekvenci 16 MHz doba 3 μ s) – výstupní proud je malý a vybíjení výstupní kapacity trvá příliš dlouho. Hodnota čítače cnt_{min} ,

při jaké je výstupní proud zmenšen, závisí na aktuální hodnotě proudu (na aktuální hodnotě signálu tune) a je dána rovnicí

$$cnt_{\min} = \frac{48 \cdot tune}{tune + 1}, \quad (3.2)$$

kde *tune* značí aktuální hodnotu signálu tune (bezrozměrná veličina, která nabývá hodnot od 0 do 15). Hodnota cnt_{\min} pro všechny hodnoty signálu tune je uvedena v tabulce 3.1.

Tabulka 3.1 Hodnota cnt_{\min} pro všechny hodnoty signálu tune

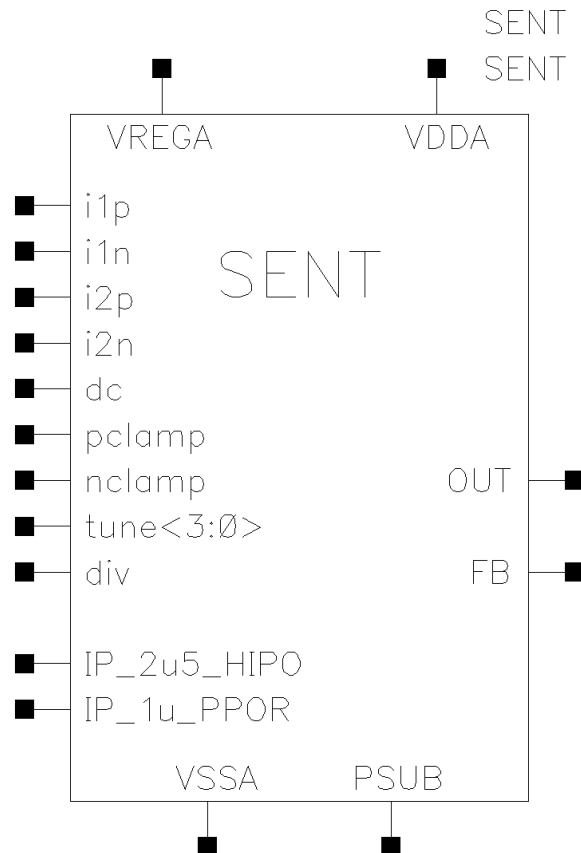
tune<3:0> [-]	cnt _{min} [-]
0	0
1	24
2	32
3	36
4	38
5	40
6	41
7	42
8	42
9	43
10	43
11	44
12	44
13	44
14	44
15	45

Pro lepší představu je dobré vysvětlit tento algoritmus pro přechod signálu tune z hodnoty 1 na hodnotu 0. V těchto případech teče výstupem nejmenší možný proud (pro tune 0) a jeho dvojnásobek (pro tune 1). Pokud tedy čítač načítá do 23 při hodnotě tune 1, je proud dvakrát podělen a v ideálním případě čítač při generování dalšího pulzu načítá do 46 (přechod při hodnotě 23 – ne 24 – vytváří hysterezi a zabraňuje v rozkmitání algoritmu). Obdobně lze odvodit i konstanty pro jiné přechody, zde však nedochází k dělení proudu celým číslem – při přechodu z tune 3 na tune 2 nabývá proud dvou třetin původního proudu.

První čtyři výstupy začínající na písmeno „i“ spínají příslušné proudové zdroje dle zapojení na obrázku 2.1. Vstup VDD určuje napětíovou úroveň logické jedničky (hodnota VREGA, tedy 3,3 V). Hodnota logické nuly je automaticky 0 V. Výstup dc (discharge) slouží k vybíjení kondenzátoru C_I (k nastavení správné počáteční podmínky – uvedení do výchozího stavu). Výstupy pclamp (nclamp) připínají výstup k napájecímu napětí (zemnímu potenciálu), aby byla opět zaručena správná počáteční podmínka na výstupu budiče.

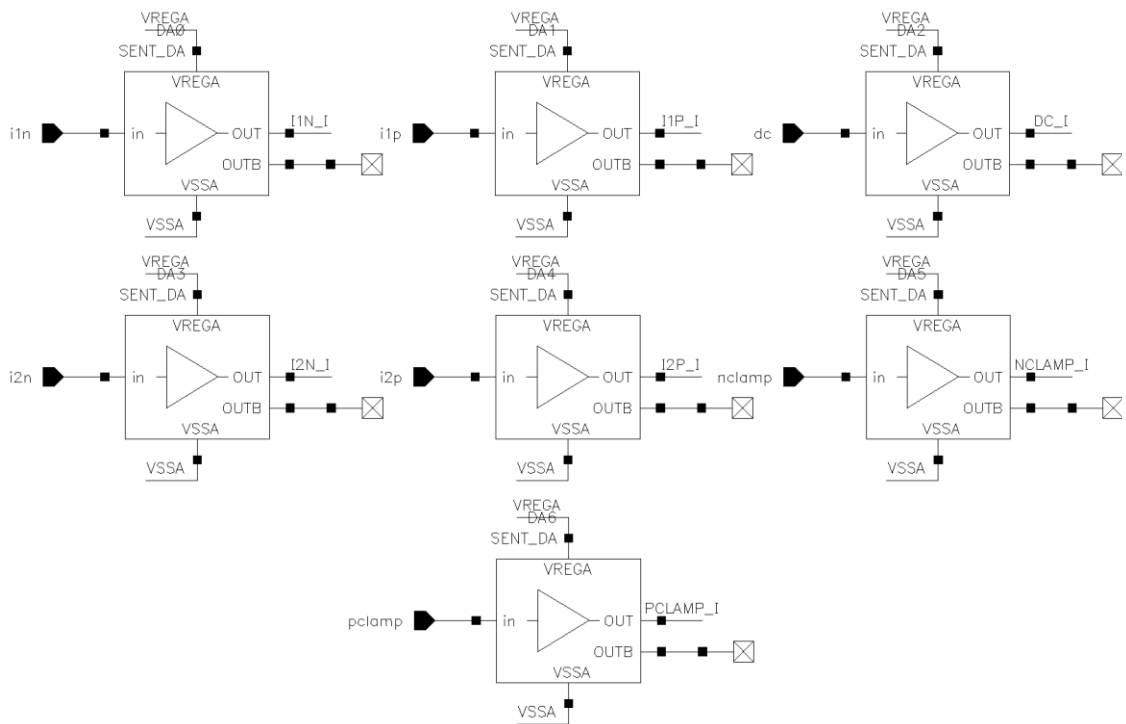
3.10 Buňka SENT

Tato buňka představuje hlavní buňku analogové části obvodu. Vstupem jsou obě analogová napájecí napětí, společný potenciál, řídicí digitální signály, proudy zaručující nastavení správného pracovního bodu. Výstupem je samotný výstup budiče a zpětná vazba. Symbol je zobrazen na obrázku 3.19.

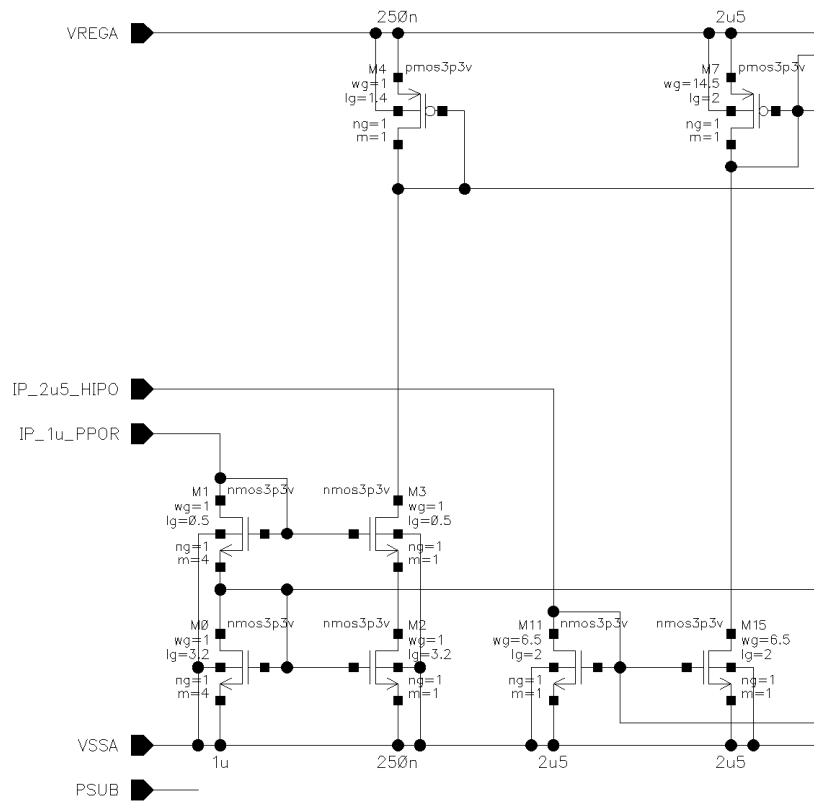


Obrázek 3.19 Buňka SENT – symbol

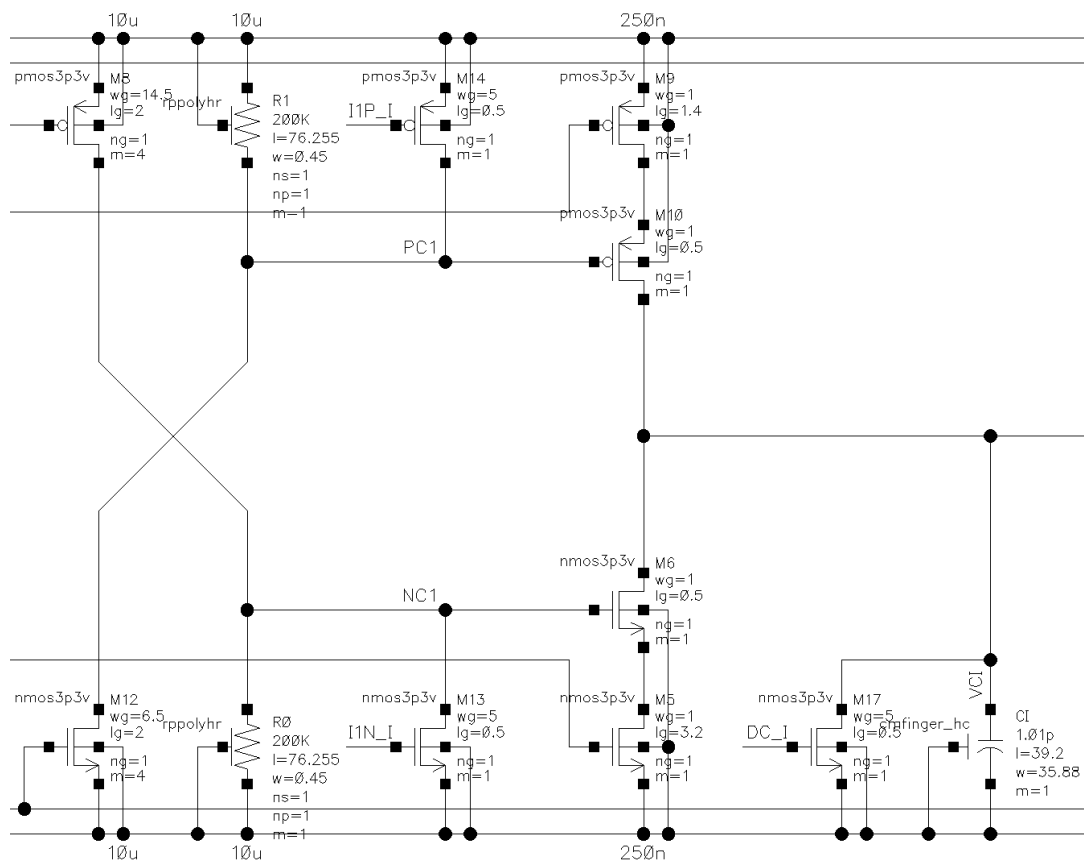
Schéma zapojení je poměrně rozsáhlé. Je zachyceno na obrázcích 3.20, 3.21, 3.22, 3.23, 3.24, 3.25 a 3.26. Schéma zapojení na obrázku 3.20 zobrazuje ošetření digitálních vstupů při příchodu do analogového obvodu. Schéma zapojení na obrázku 3.21 zobrazuje generování příslušných napětí pro zajištění správné funkce obvodu (generování napětí na gate vývodech tranzistorů pro správnou funkci proudových zrcadel). Tato napětí jsou v obvodu dále využívána. Proud o velikosti $1 \mu\text{A}$ je vydělen číslem 4 a následně je pomocí kaskodového proudového zrcadla (pro eliminaci chyby přenosu) přiveden na PMOS tranzistor. Schéma zapojení na obrázku 3.22 zobrazuje generování teplotně nezávislých napětí PC1 a NC1 pro správnou funkci kaskod. Jejich „zapínáním“ a „vypínáním“ je řízen proud tekoucí do kondenzátoru CI. Kondenzátor je vybíjen pomocí tranzistoru M17. Velikost kapacity kondenzátoru a velikosti jeho nabíjecího/vybíjecího proudu byly zvoleny tak, aby nebyly ovlivňovány parazitními jevy, dále pak i s ohledem na rozměry.



Obrázek 3.20 Buňka SENT – schéma zapojení 1



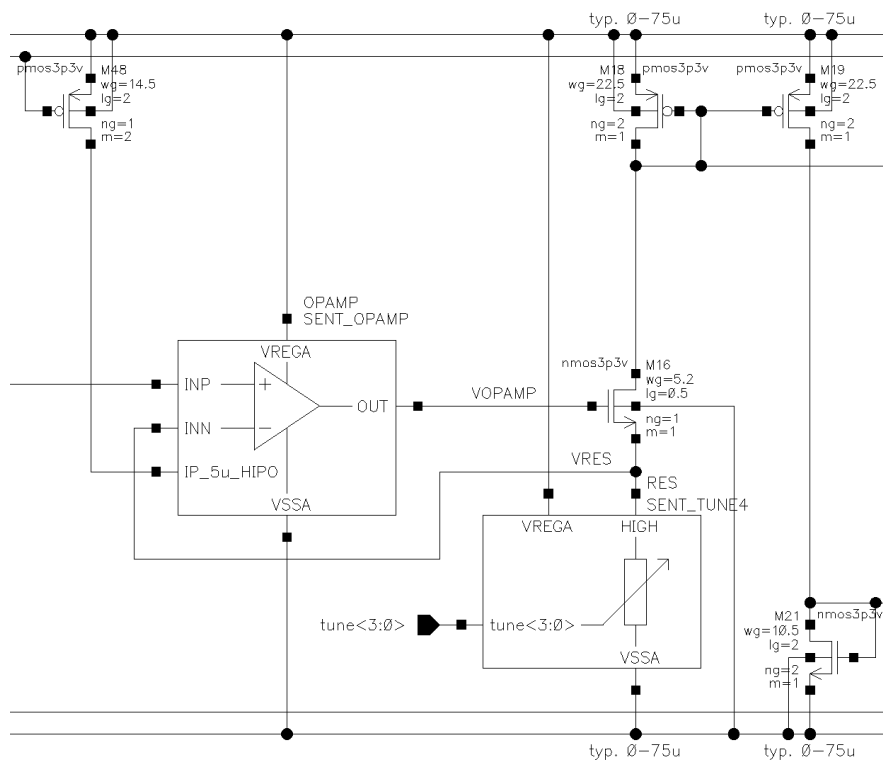
Obrázek 3.21 Buňka SENT – schéma zapojení 2



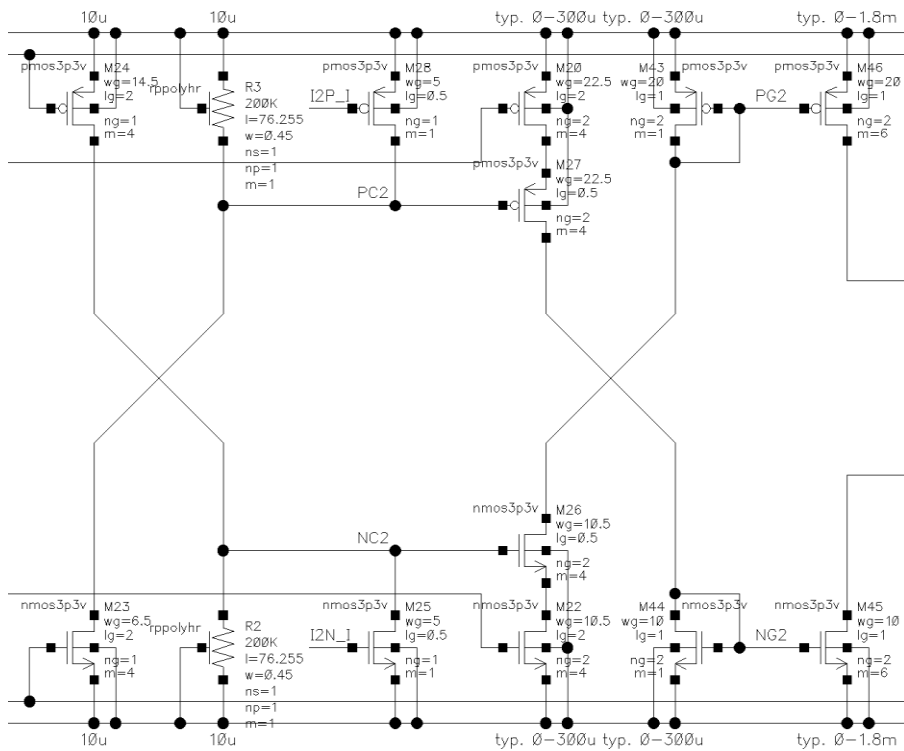
Obrázek 3.22 Buňka SENTA – schéma zapojení 3

Schéma zapojení na obrázku 3.23 zobrazuje převodník napětí na kondenzátoru CI na proud. Tento proud je potom zrcadlen do PMOS i NMOS tranzistorů. Schéma zapojení na obrázku 3.24 zobrazuje obvod, který tyto proudy vynásobí a následně je přivede do výstupního budiče. Zároveň lze tyto proudy „zapínat“ či „vypínat“ pomocí příslušné kaskody s teplotně kompenzovaným napětím.

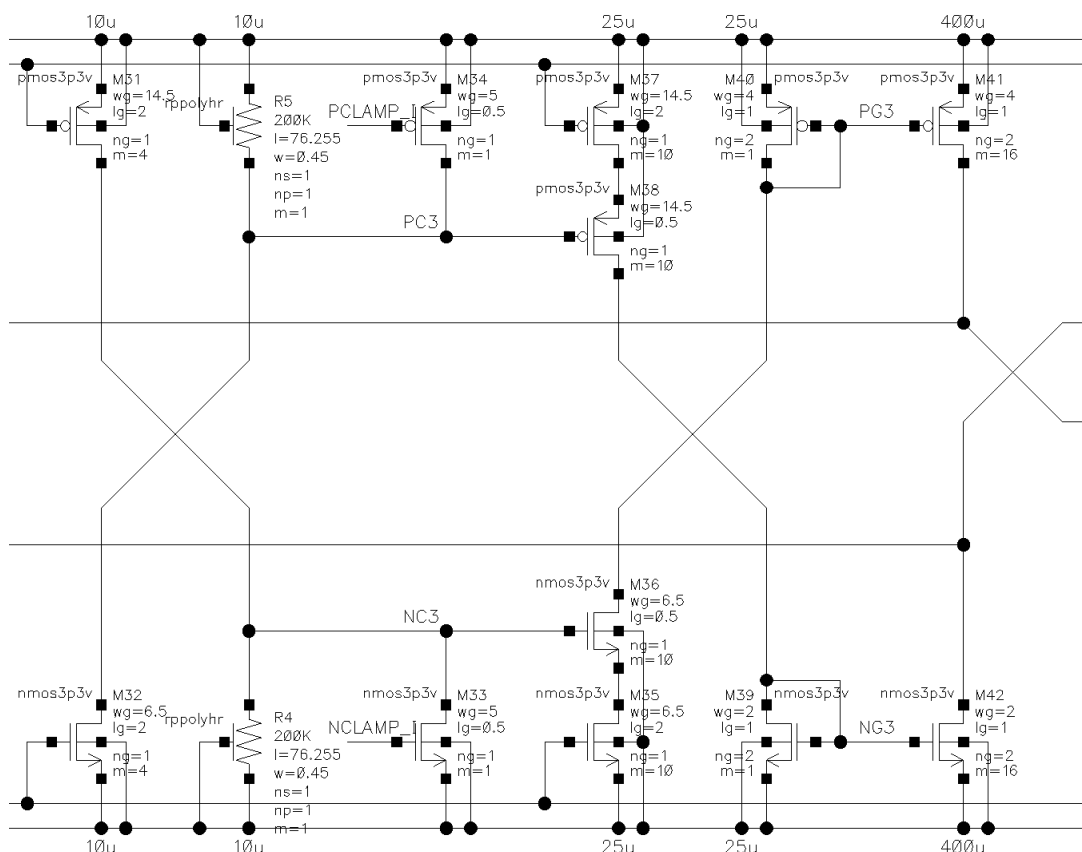
Schéma zapojení na obrázku 3.25 zobrazuje obvod, který generuje nabíjecí (vybíjecí) proud, který uvede výstupní kapacitu do vhodné počáteční podmínky – nabije ji na napájecí napětí VDDA (vybíje ji na zemní potenciál VSSA). Tento proud výstupní kapacitu přímo nenabíjí (nevybíjí), ale je přiveden do výstupního budiče, kde je natolik zesílen, že výstupní tranzistory přechází ze saturační oblastí do oblastí, kde se chovají jako spínače.



Obrázek 3.23 Buňka SENT – schéma zapojení 4



Obrázek 3.24 Buňka SENT – schéma zapojení 5



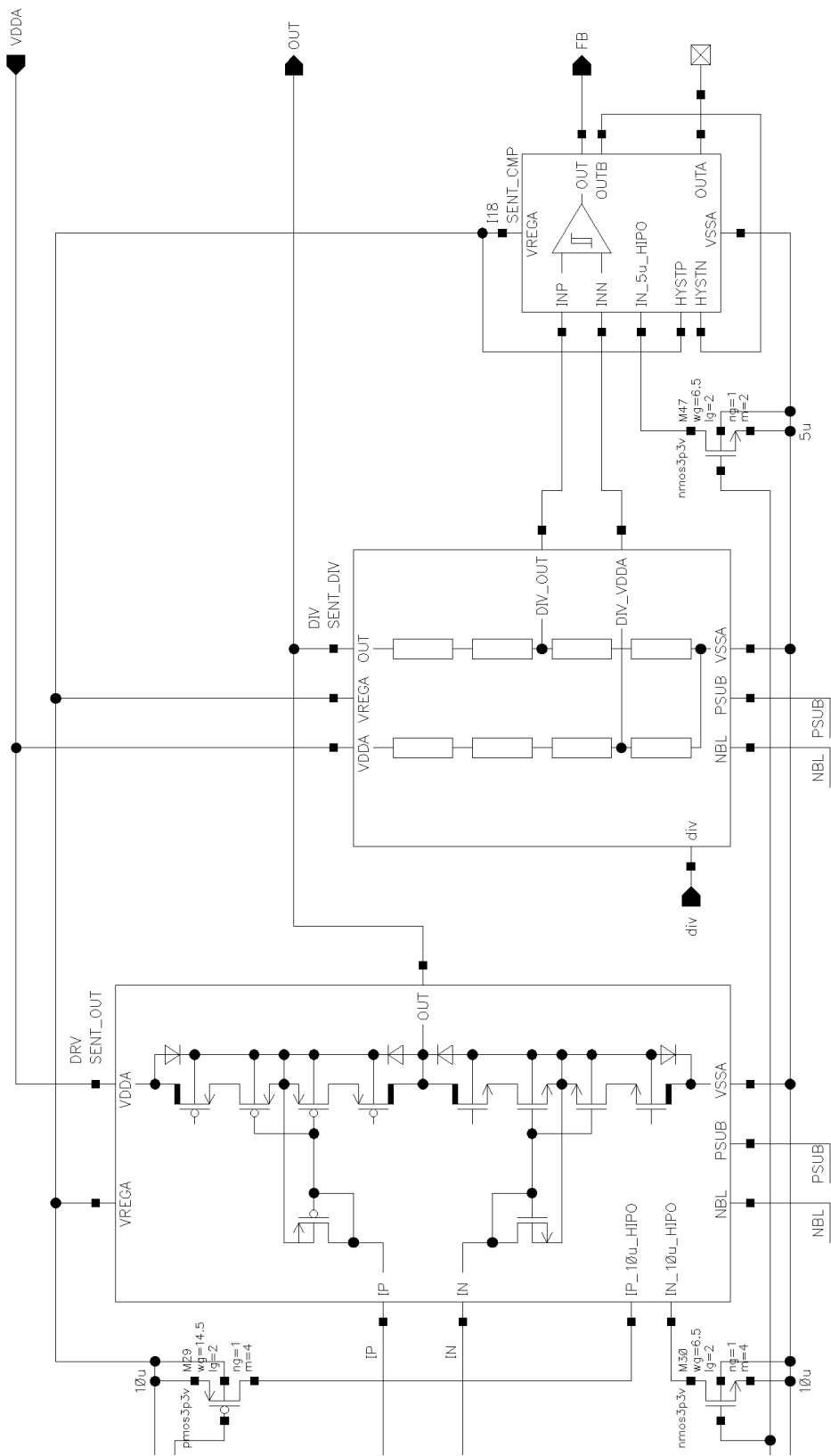
Obrázek 3.25 Buňka SENT – schéma zapojení 6

Schéma zapojení na obrázku 3.26 zobrazuje zapojení výstupního budiče, dále pak zapojení napěťových děličů a komparátoru. V obvodu SENT bude nutné zajistit souběh příslušných tranzistorů v proudových zrcadlech.

Generování teplotně nezávislého proudu na přeladitelném rezistoru v případě využití jiného druhu nabíjecího (vybíjecího) proudu kondenzátoru C_I není možné. Pokud je pro odvození této závislosti využita rovnice (2.2) a současně je předpokládáno, že proud i_{CI} je konstantní, lze psát rovnici

$$i_{R1} = \frac{u_{CI}}{R_I} = \frac{1}{C_I \cdot R_I} \cdot \int i_{CI} dt = \frac{I_{CI}}{C_I \cdot R_I} \cdot t + U_0 = \frac{U_{REF}}{R_{REF} \cdot C_I \cdot R_I} \cdot t + U_0, \quad (3.3)$$

kde napětí U_0 značí počáteční podmínku ve voltech (lze ji zanedbat, kondenzátor je vždy vybíjen), napětí U_{REF} ve voltech značí napětí, ze kterého je odvozen proud I_{CI} , a odpor R_{REF} v ohmech značí odpor rezistoru v ohmech, ze kterého je odvozen proud I_{CI} . Z této rovnice lze vyčíst, že případné odchylky hodnot odporů rezistorů R_{REF} a R_I se nedělí ale násobí.

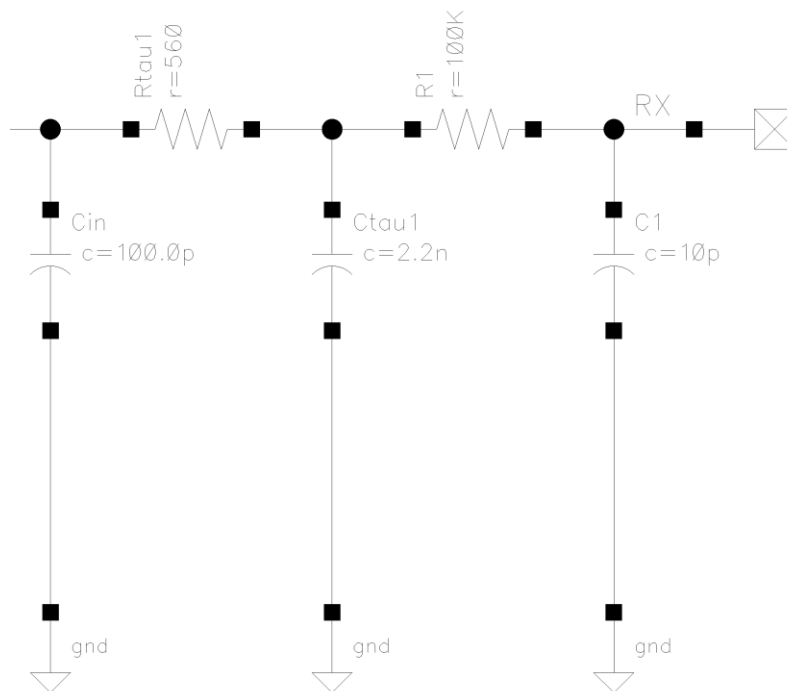


Obrázek 3.26 Buňka SENT – schéma zapojení 7

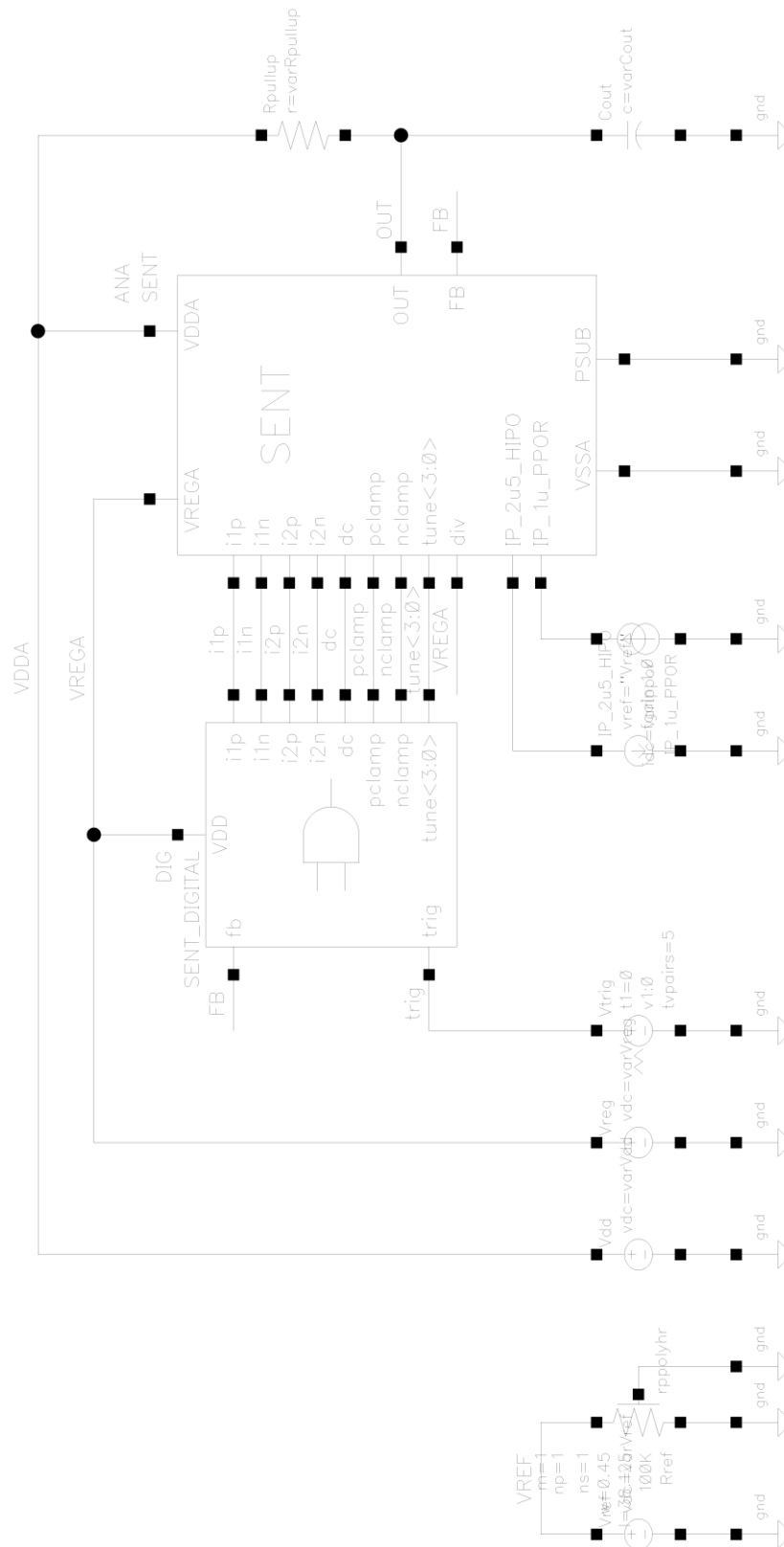
4. OVĚŘENÍ VLASTNOSTÍ VÝSTUPNÍHO BUDIČE

Základní schéma zapojení pro ověřování vlastností navrženého výstupního budiče komunikačního protokolu SENT je zobrazeno na obrázku 4.2. Zdroj konstantního napětí V_{ref} společně s modelem reálného rezistoru R_{ref} tvoří teplotně závislý zdroj proudu, který je následně zrcadlen do příslušného vstupu. Je zde i zdroj teplotně nezávislého proudu. Dále pak napěťové zdroje pro obě napájecí napětí, napěťový zdroj generující signál trig, pull-up rezistor a parazitní výstupní kapacita.

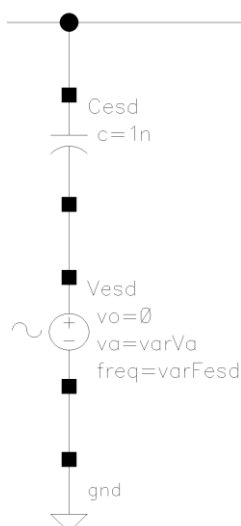
Pro výstupní kapacity větší než 500 pF je na výstup zapojen i vstupní filtr přijímače zobrazený na obrázku 4.1. Při testu DPI (direct power injection) je na výstup připojen vstupní filtr i obvod zobrazený na obrázku 4.3. Při měření spektra výstupního signálu je na výstup zapojen jak vstupní filtr, tak i obvod zobrazený na obrázku 4.4. Pro účely ověřování vlastností tohoto výstupního budiče byl využit simulátor AFS.



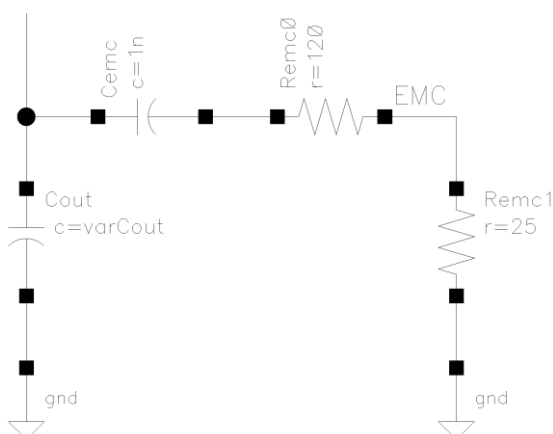
Obrázek 4.1 Vstupní filtr přijímače



Obrázek 4.2 Základní schéma zapojení pro simulace



Obrázek 4.3 Schéma zapojení při testu DPI

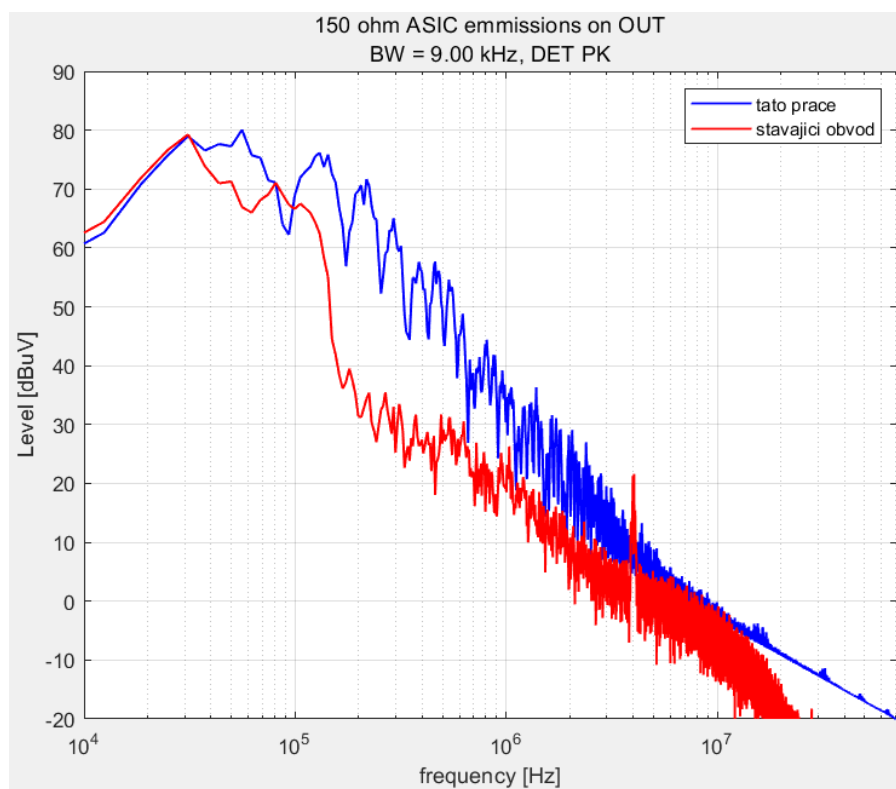


Obrázek 4.4 Schéma zapojení při měření EMC

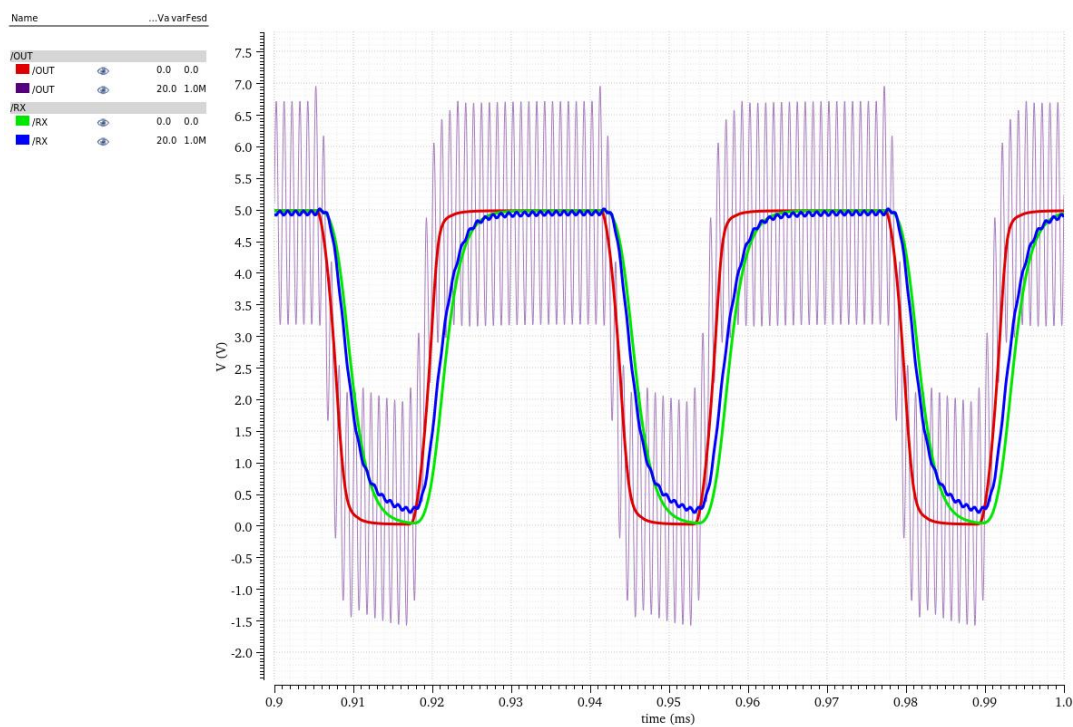
4.1 Spektrum výstupního signálu a test DPI

Spektrum výstupního signálu navrženého řešení v porovnání se spektrem výstupního signálu současného řešení je zobrazeno na obrázku 4.5. Spektrum je měřeno 150Ω metodou (viz obrázek 4.4) při šířce pásma (BW) 9 kHz špičkovým detektorem. Spektrum bylo měřeno na zapojení s nominálními hodnotami součástek při jmenovitých hodnotách všech napětí/proudů/teplot (za nominální hodnotu výstupní kapacity se považuje 10 nF).

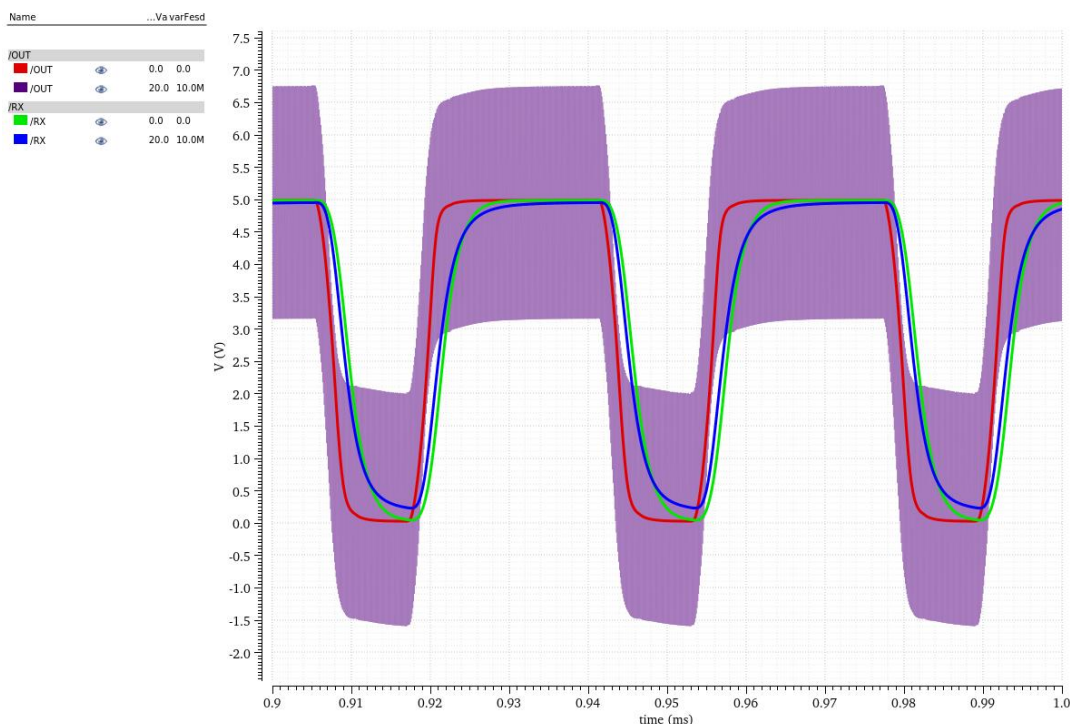
Při těchto podmínkách byl prováděn i test DPI, kdy je pomocí sinusového zdroje napětí s amplitudou 20 V přes kondenzátor 1 nF na výstup toto obvodu superponováno rušivé napětí. Dále se sleduje chování zapojení před i za vstupním filtrem. Výsledky měření jsou zobrazeny na obrázcích 4.6 (pro frekvenci 1 MHz) a 4.7 (pro frekvenci 10 MHz).



Obrázek 4.5 Porovnání spekter výstupních signálů obou budičů



Obrázek 4.6 DPI test při frekvenci 1 MHz



Obrázek 4.7 DPI test při frekvenci 10 MHz

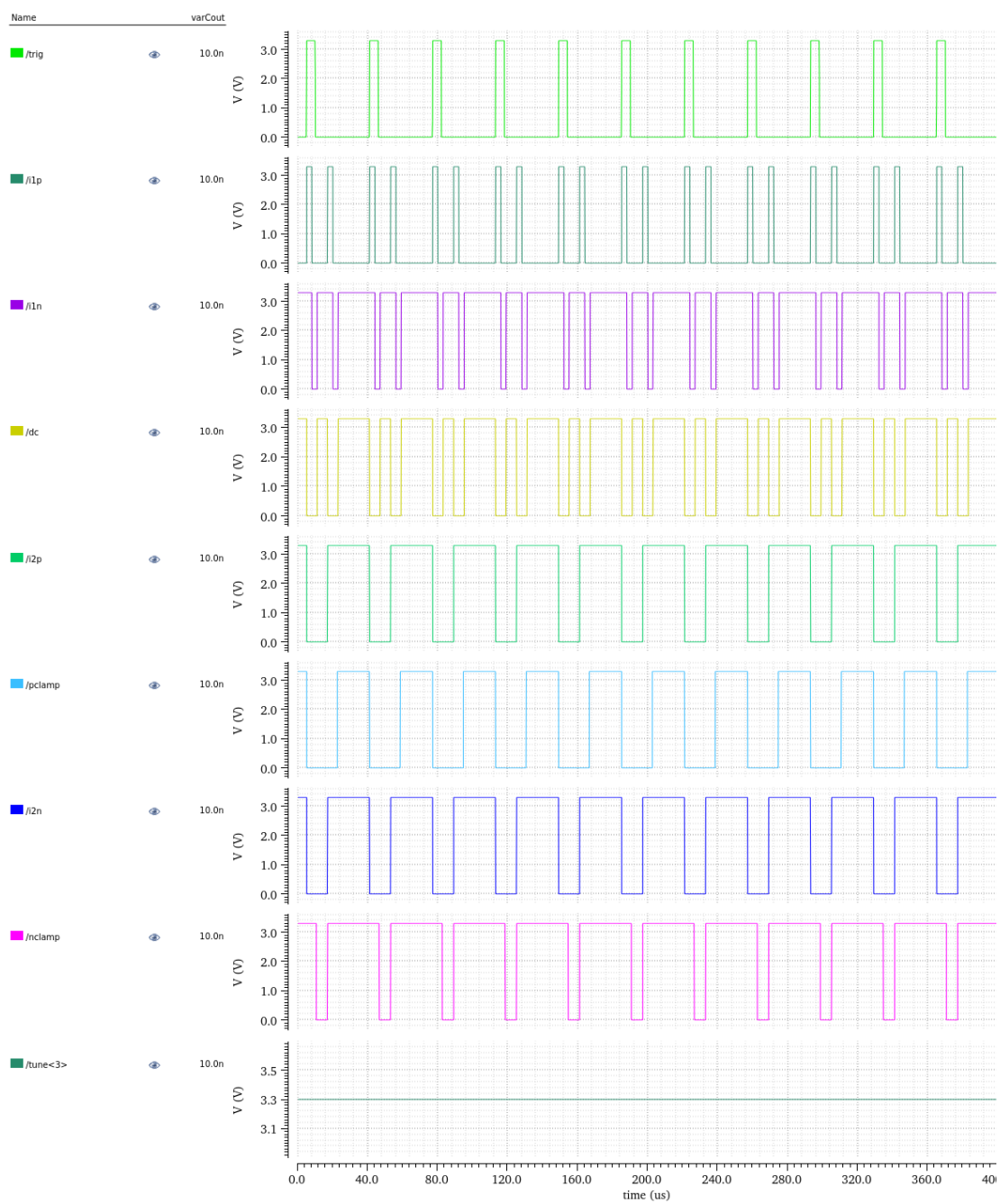
4.2 Časové (tranzientní) simulace

Časové závislosti napětí a proudů navrženého výstupního budiče s nominálními hodnotami součástek při jmenovitých hodnotách všech napětí/proudů/teplot jsou zobrazeny na obrázcích 4.8, 4.9 a 4.10. Proud I_{sum} značí celkovou proudovou spotřebu zařízení.

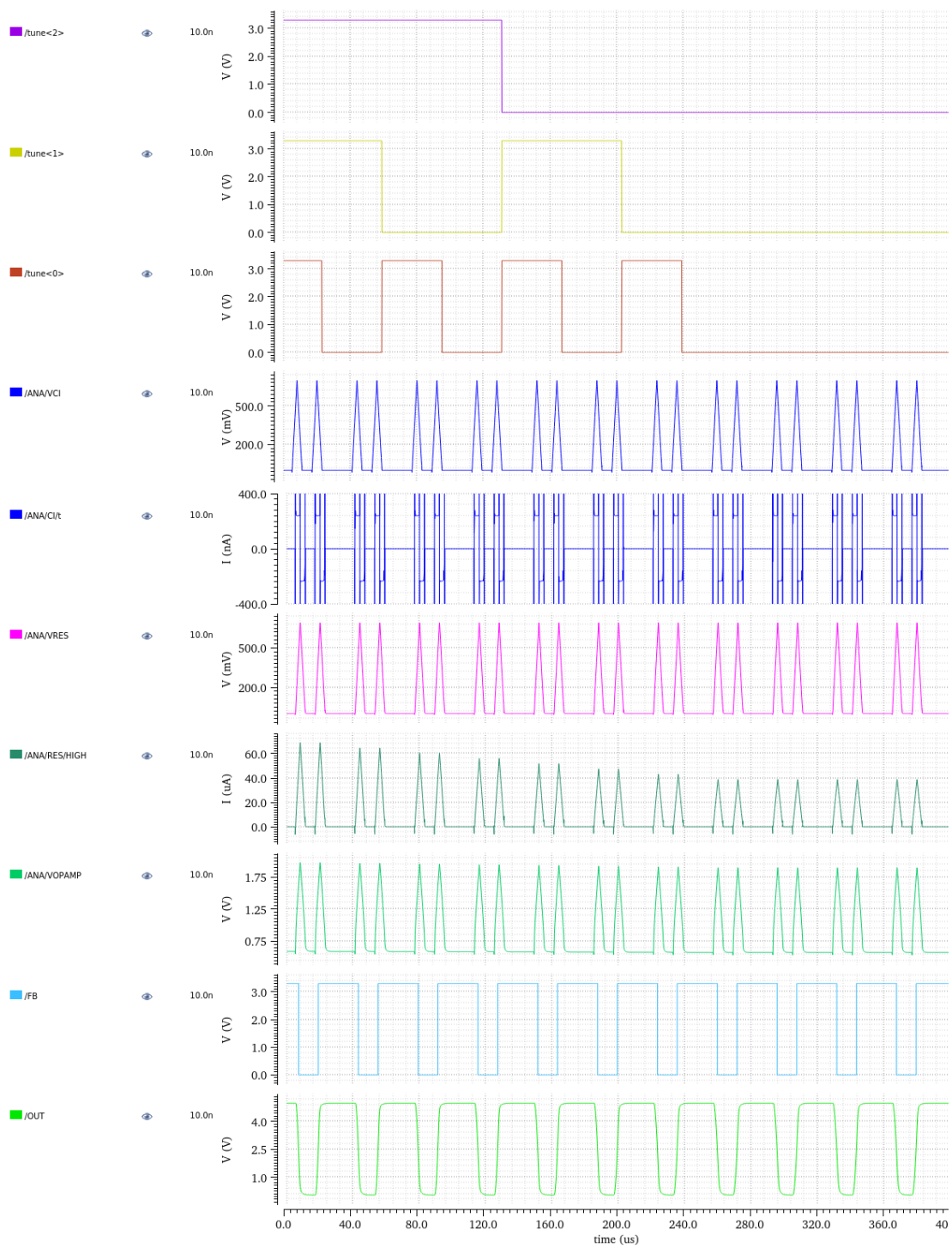
Časové závislosti výstupního napětí OUT a napětí na vstupu přijímače RX (v tomto pořadí) na začátku a na konci kompenzačního algoritmu pro různé výstupní kapacity pro zapojení s nominálními hodnotami součástek při jmenovitých hodnotách všech napětí/proudů/teplot jsou zobrazeny na obrázcích 4.11 a 4.12.

Časové závislost výstupního napětí OUT a napětí na vstupu přijímače RX (v tomto pořadí) na začátku a na konci kompenzačního algoritmu pro různé výstupní kapacity pro různé procesní cornery a design pointy (pracovní podmínky) jsou zobrazeny na obrázcích 4.11-4.28.

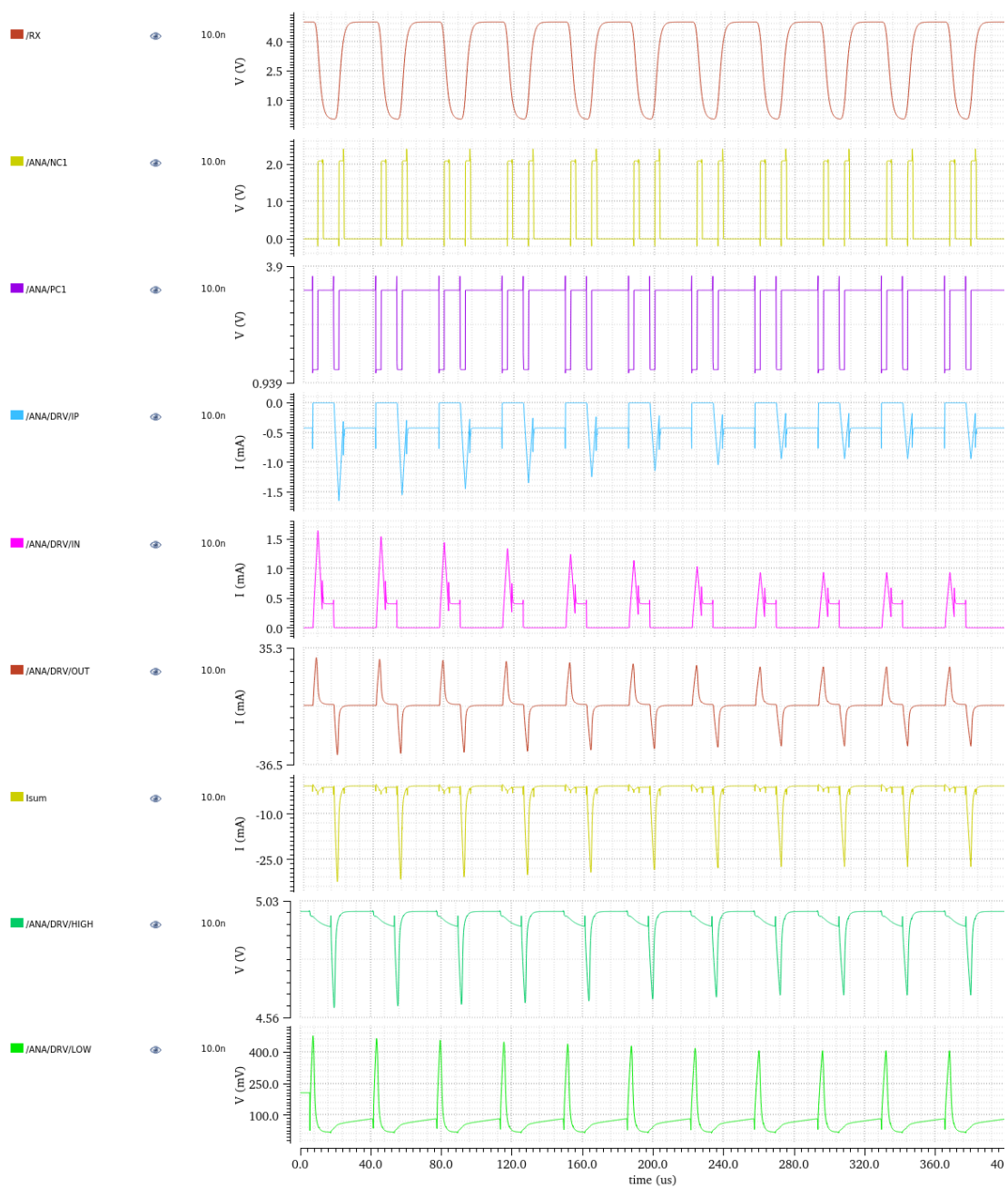
Časové závislosti napětí VCI, PC1 a NC1 pro různé procesní cornery a design pointy (pracovní podmínky) jsou zobrazeny na obrázku 4.29.



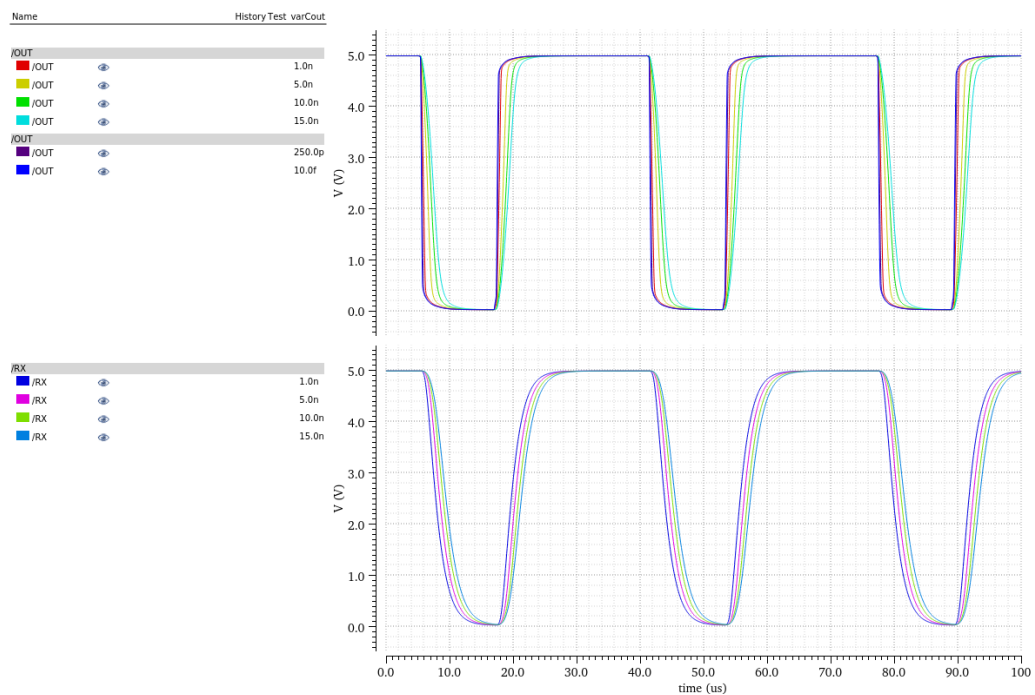
Obrázek 4.8 Časová závislost napětí a proudů 1



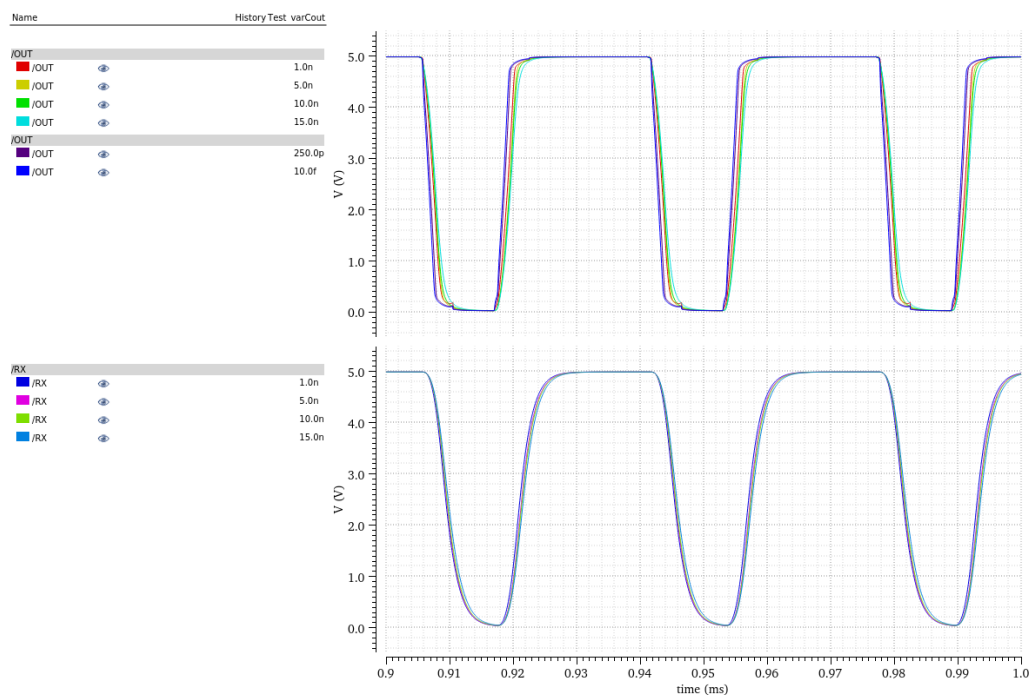
Obrázek 4.9 Časová závislost napětí a proudů 2



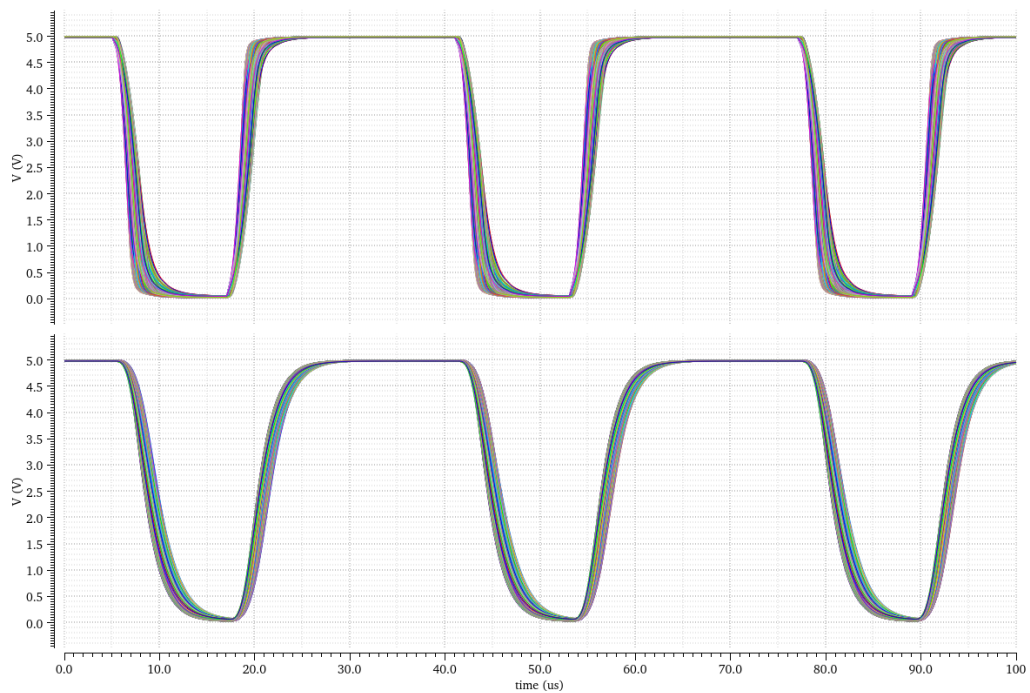
Obrázek 4.10 Časová závislost napětí a proudů 3



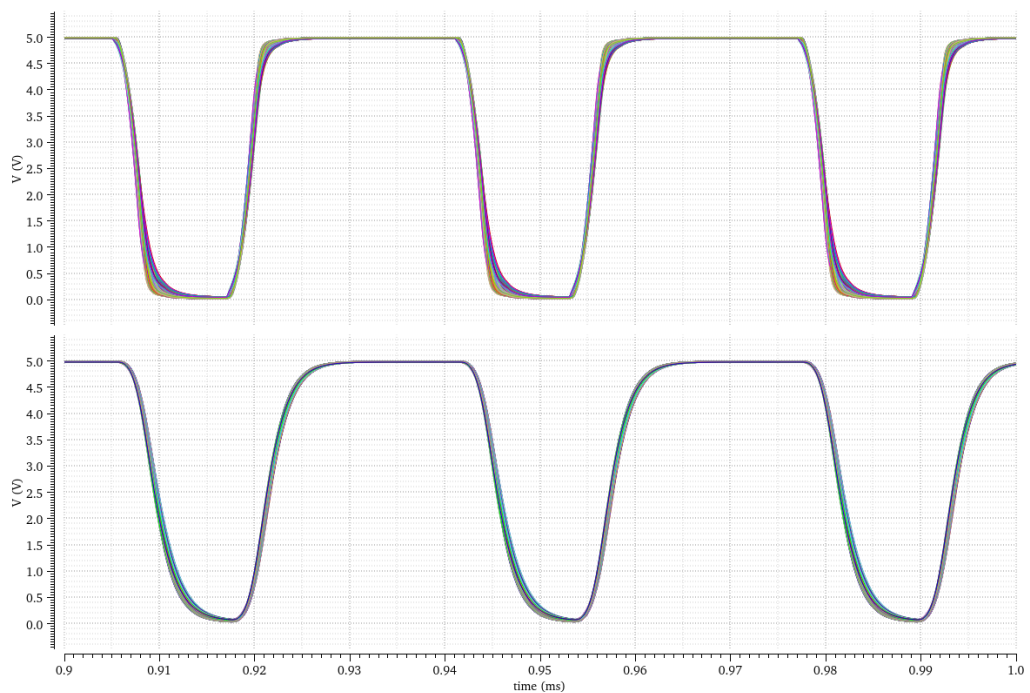
Obrázek 4.11 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro ideální podmínky pro různé kapacity



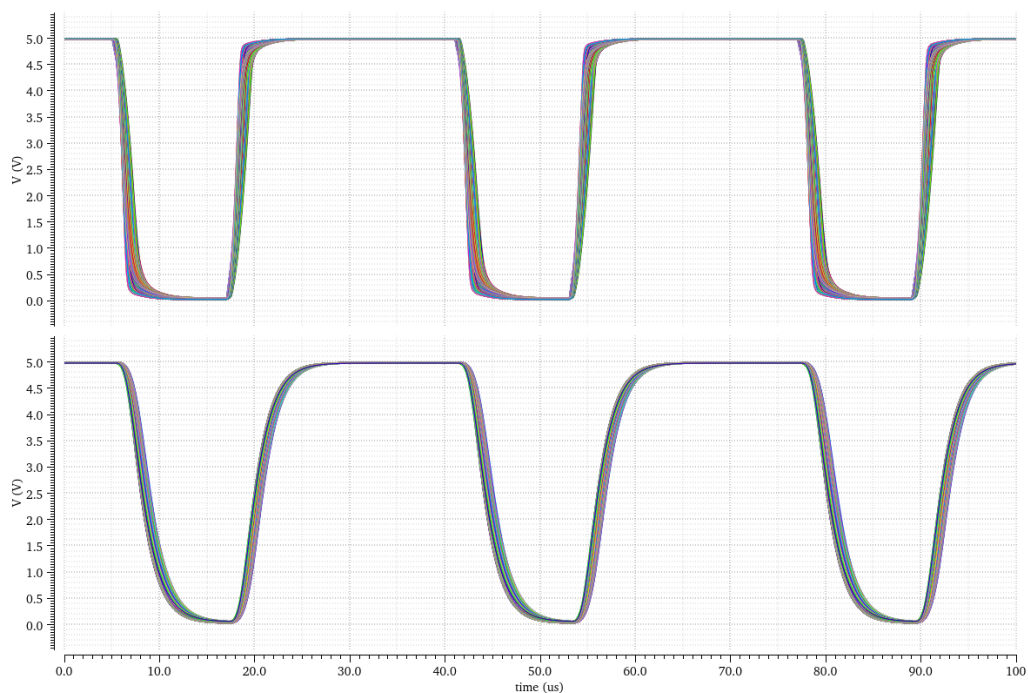
Obrázek 4.12 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu pro ideální podmínky pro různé kapacity



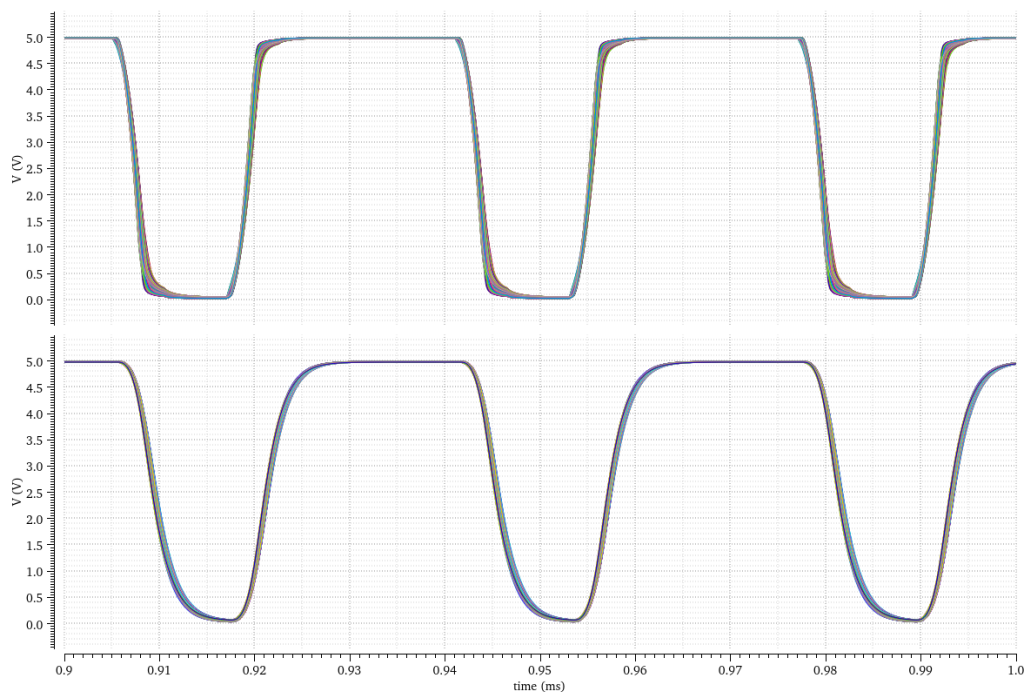
Obrázek 4.13 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 10 nF



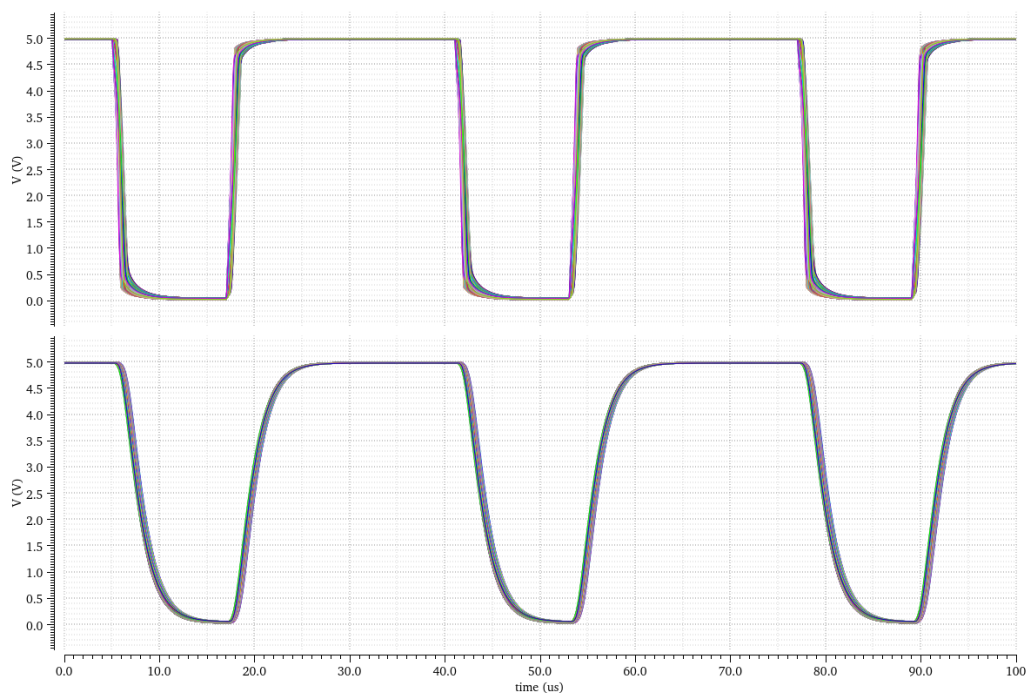
Obrázek 4.14 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 10 nF



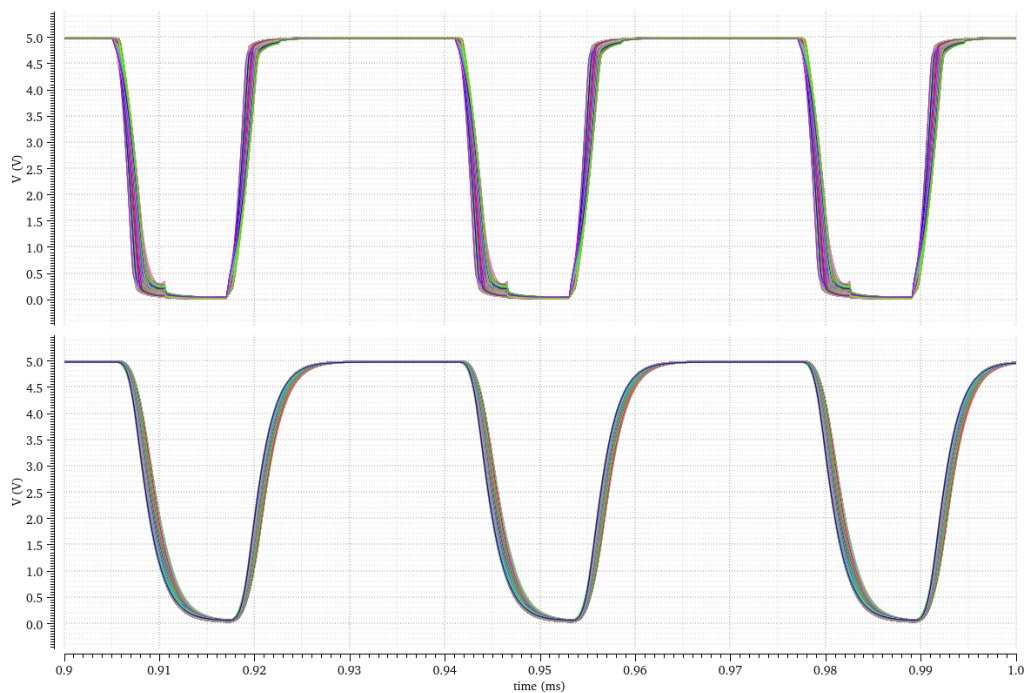
Obrázek 4.15 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 5 nF



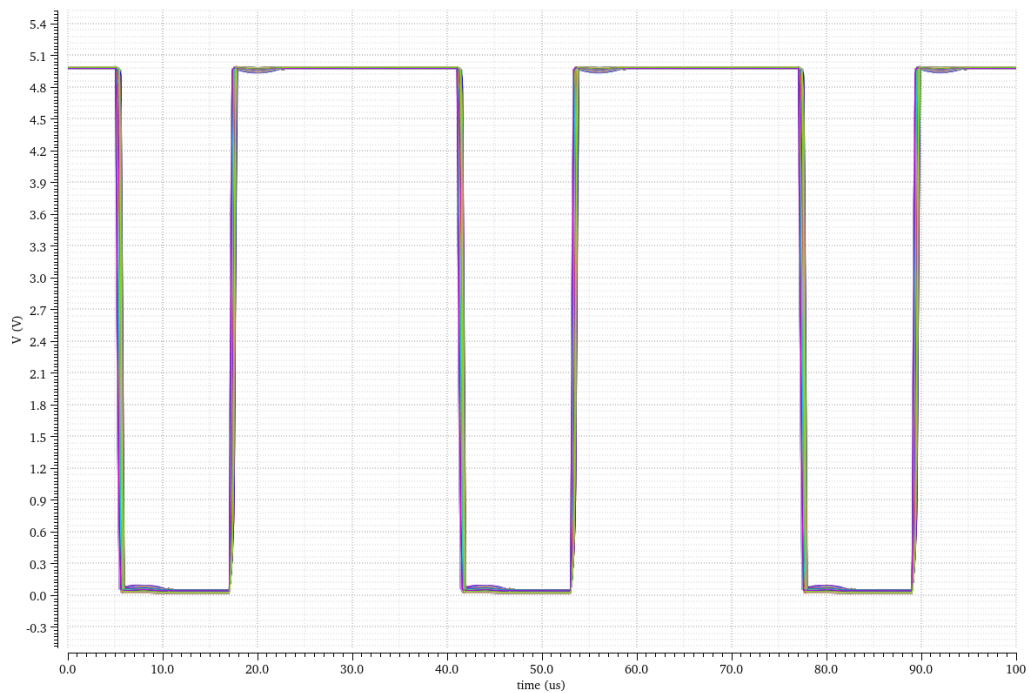
Obrázek 4.16 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 5 nF



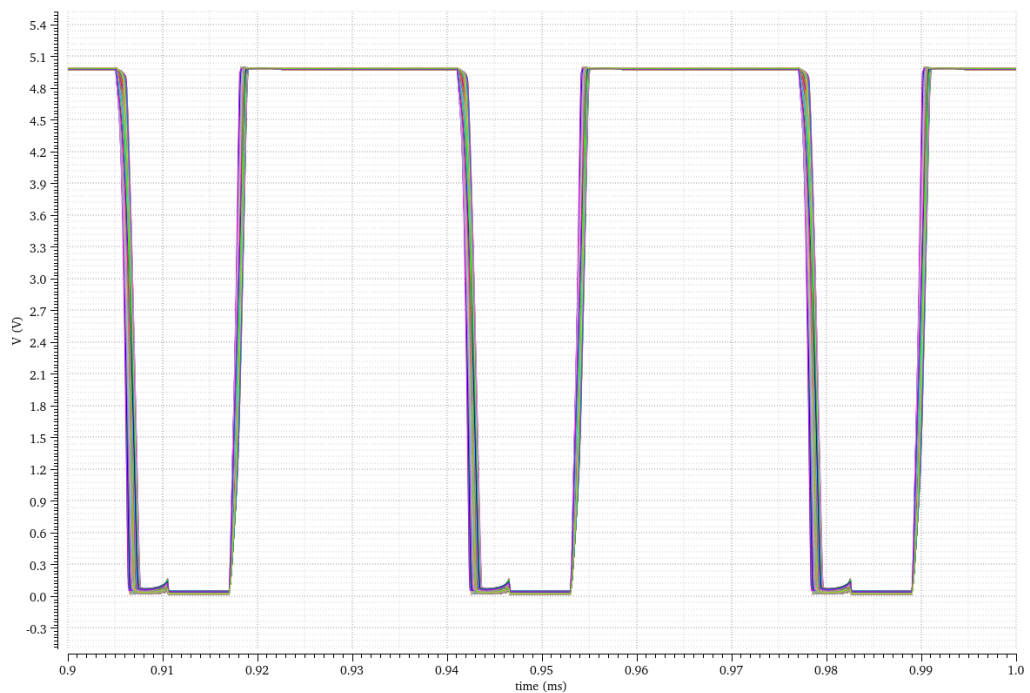
Obrázek 4.17 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 1 nF



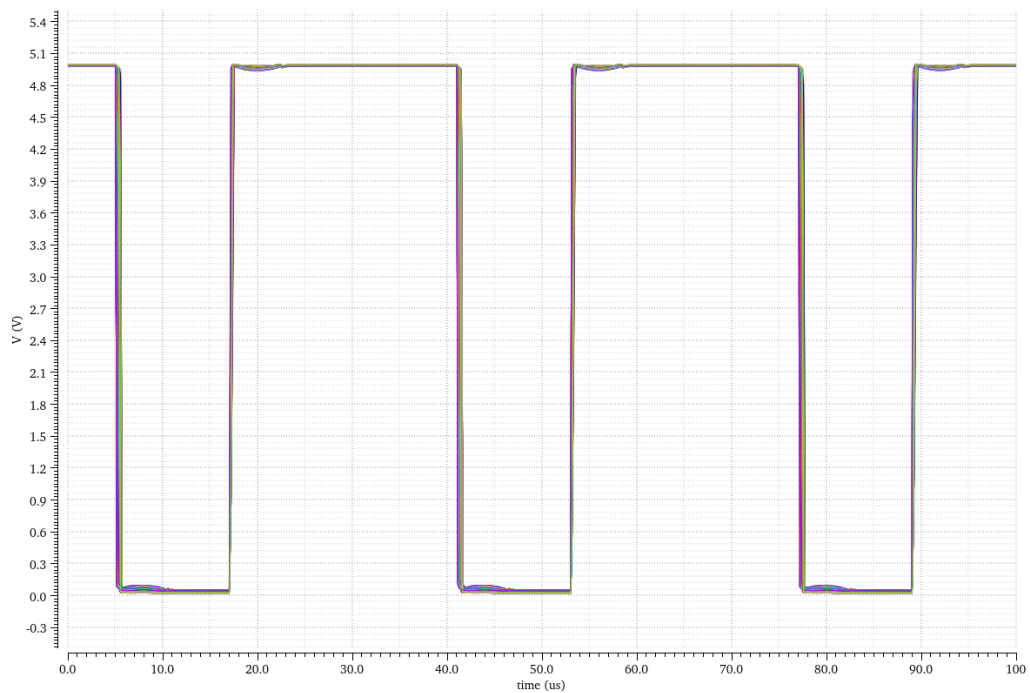
Obrázek 4.18 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 1 nF



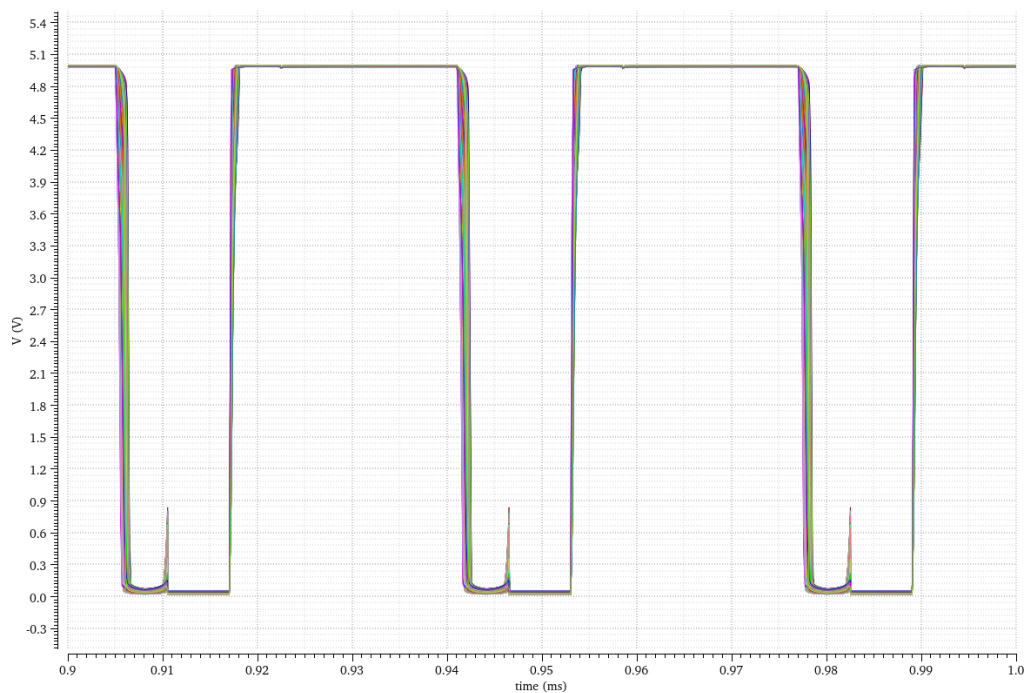
Obrázek 4.19 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 250 pF



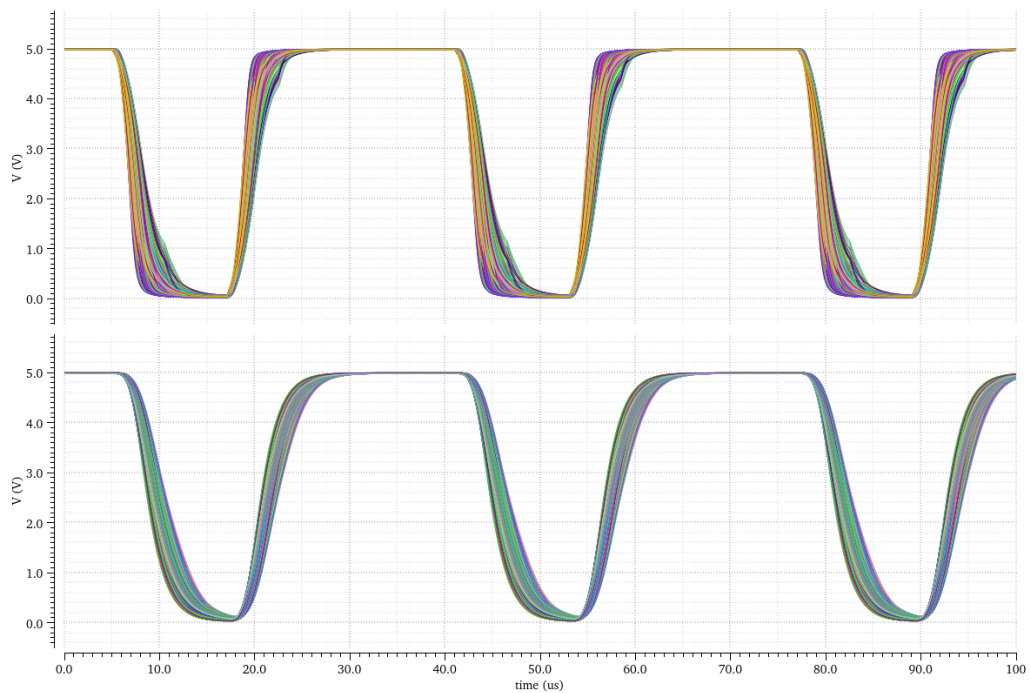
Obrázek 4.20 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 250 pF



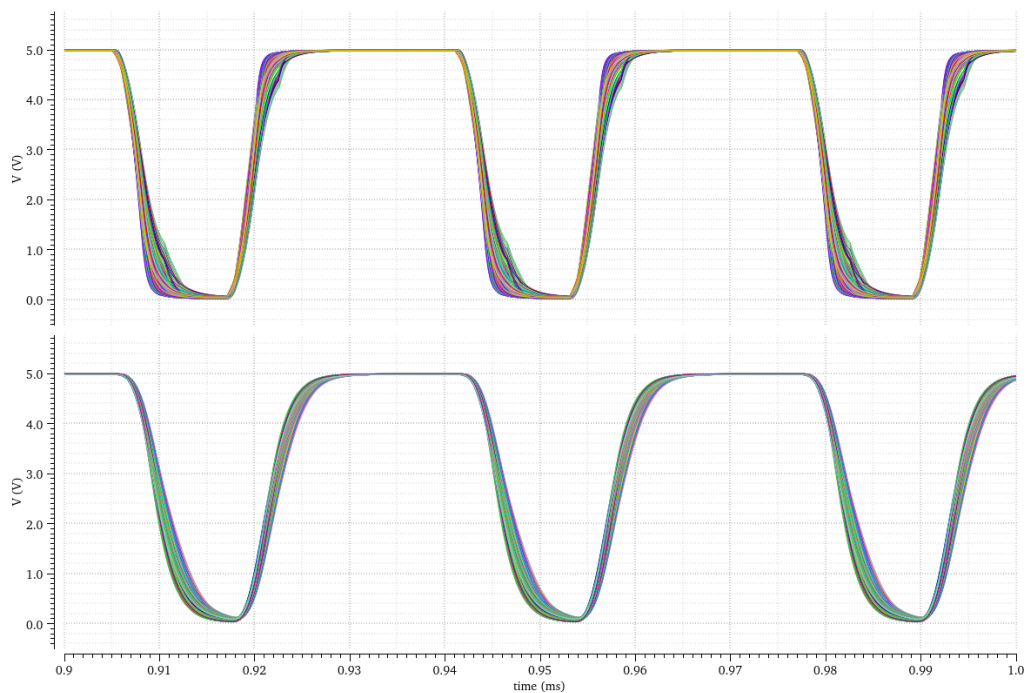
Obrázek 4.21 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 10 fF



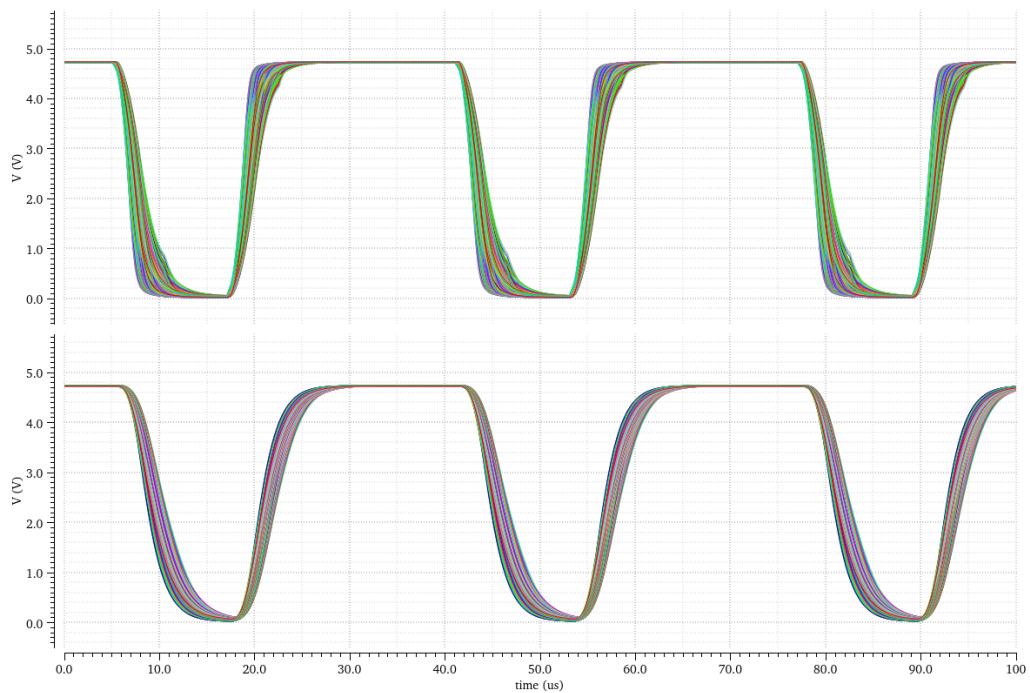
Obrázek 4.22 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 10 fF



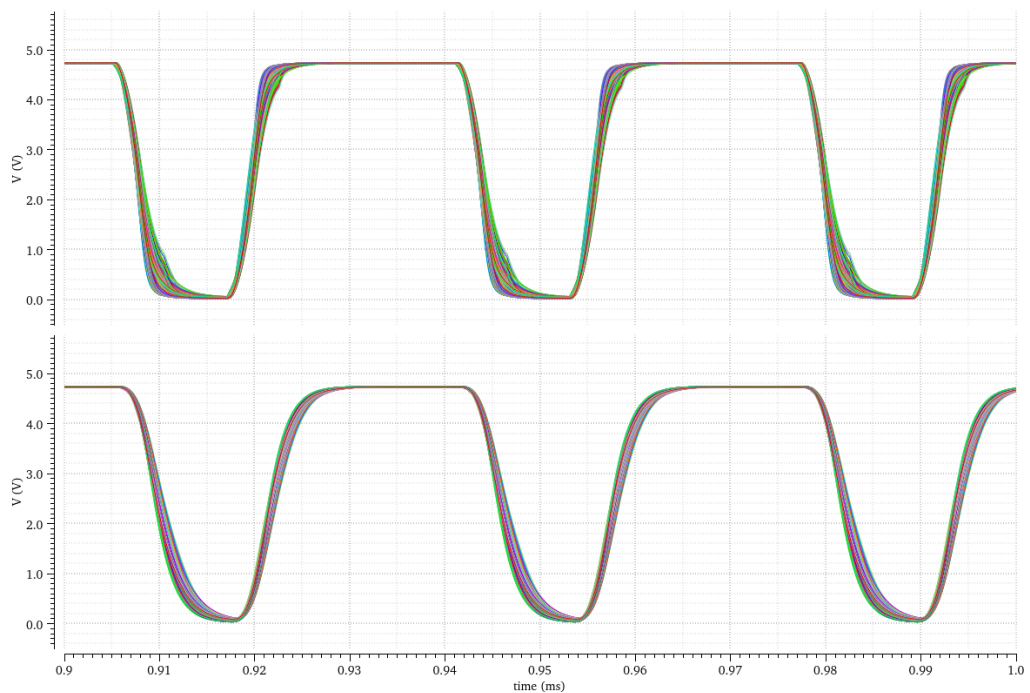
Obrázek 4.23 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 15 nF a VDDA 5 V



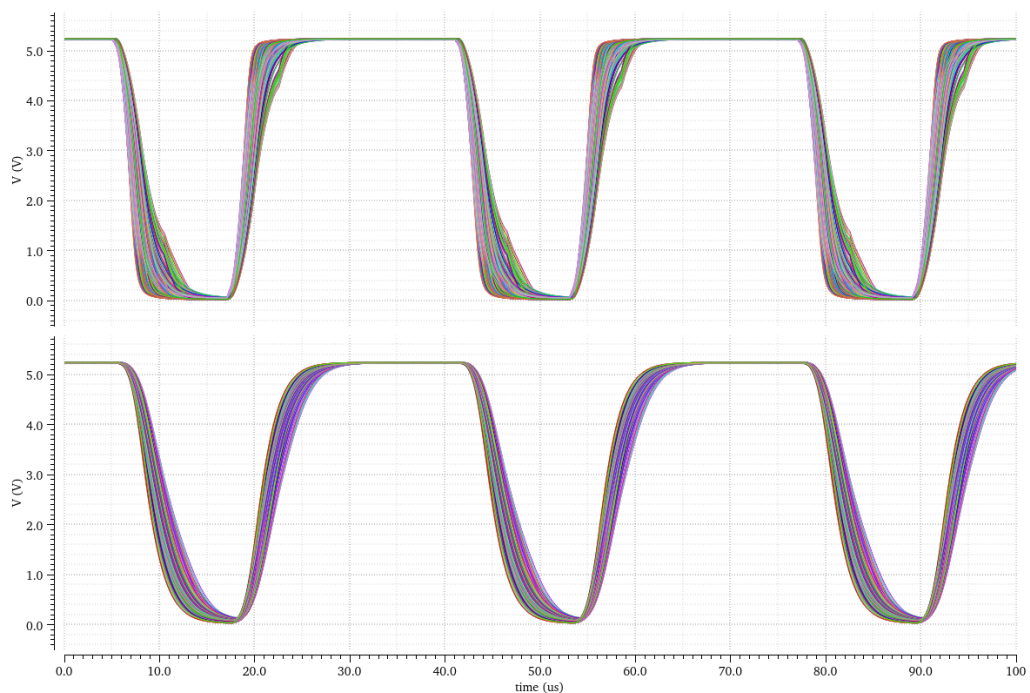
Obrázek 4.24 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 15 nF a VDDA 5 V



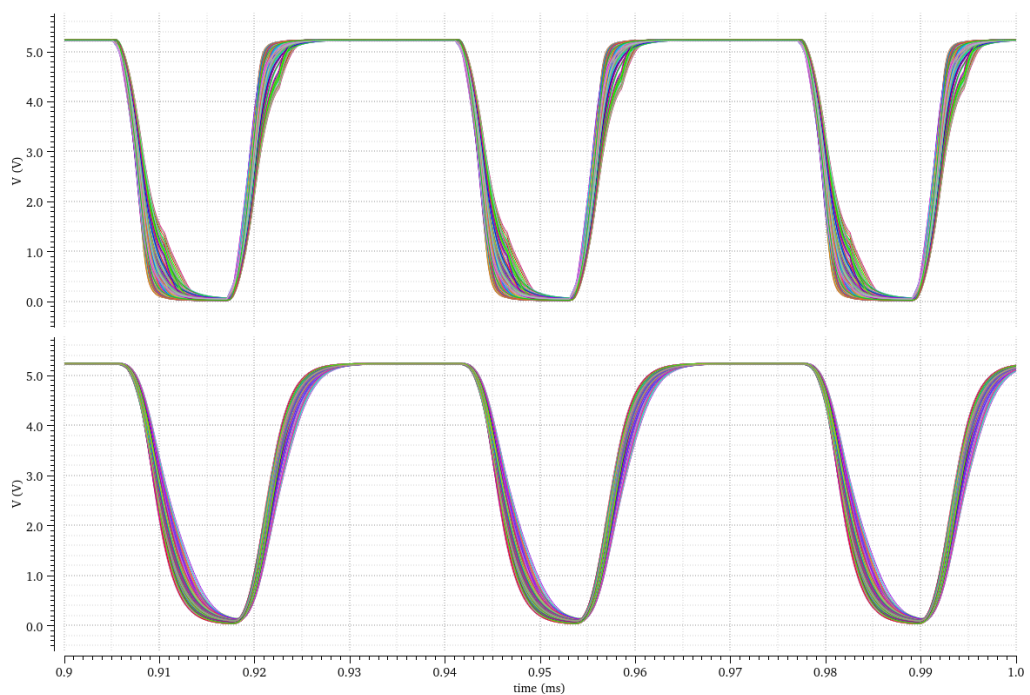
Obrázek 4.25 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 15 nF a VDDA 4,75 V



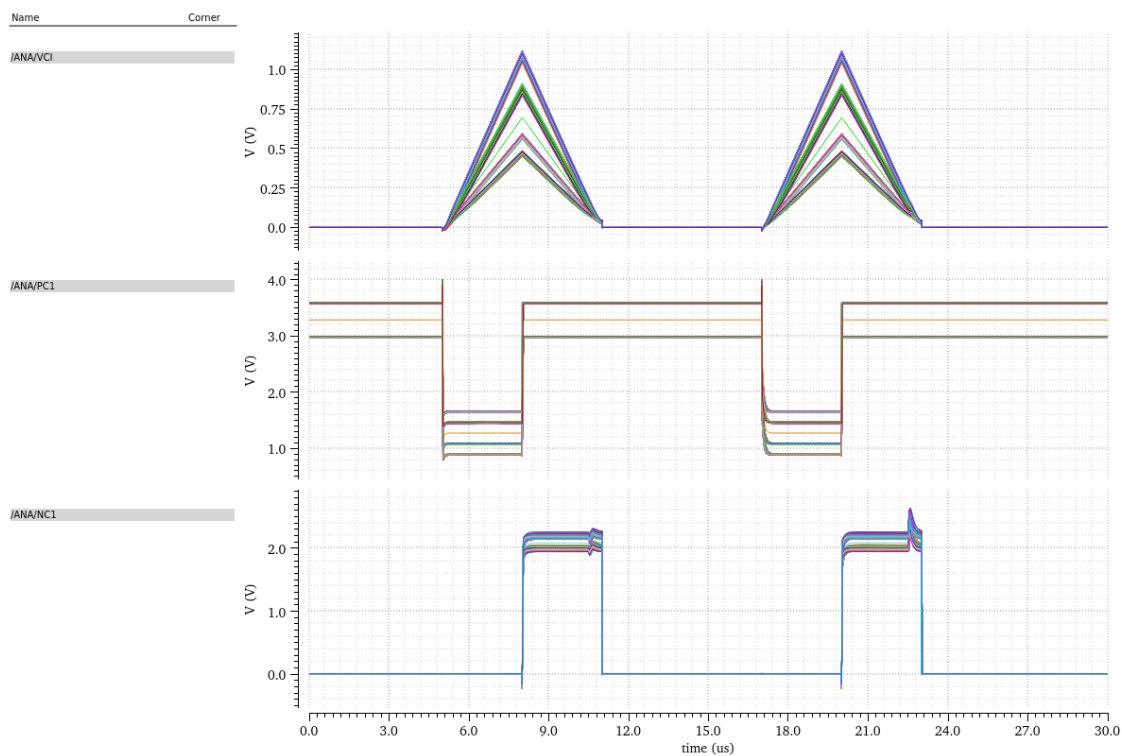
Obrázek 4.26 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 15 nF a VDDA 4,75 V



Obrázek 4.27 Časová závislost napětí OUT a RX na začátku kompenzačního algoritmu pro různé podmínky pro kapacitu 15 nF a VDDA 5,25 V



Obrázek 4.28 Časová závislost napětí OUT a RX na konci kompenzačního algoritmu různé podmínky pro kapacitu 15 nF a VDDA 5,25 V



Obrázek 4.29 Časová závislost napětí VCI, PC1 a NCI pro různé pracovní podmínky

Všechny časové průběhy výstupního signálu OUT napříč různými pracovními podmínkami splňují parametry, které definuje příslušná norma pro budič komunikačního protokolu SENT. Jediná výjimka je zobrazena na obrázku 4.22. Při takto malé výstupní kapacitě dojde k překročení úrovně 0,5 V v době, kdy by měl být signál udržován pod touto hodnotou. Tento jev však nastává jen u kapacit, které jsou zanedbatelné vůči parazitním kapacitám samotného pouzdra integrovaného obvodu, a lze jej tedy opomenout.

ZÁVĚR

V úvodu dokumentu byl proveden teoretický rozbor problematiky, se kterou se tato diplomová práce zabývá. Konkrétně byl popsán komunikační protokol SENT tak, jak ho definuje příslušná norma. Následně byla nastíněna problematika základních zapojení výstupních budičů a také problematika elektromagnetické kompatibility. V samotném závěru první kapitoly je proveden rozbor stávajícího řešení.

Druhá kapitola práce se zabývá návrhem vhodného konceptu pro realizaci výstupního budiče komunikačního protokolu SENT vhodného pro automobilové aplikace. Jedná se o budič s řízenými výstupními proudy v otevřené smyčce, kde je implementována automatická regulace strmosti hran dle aktuální kapacitní zátěže. Tato zátěž se může pohybovat v rozmezí 0-10 nF.

Třetí kapitola pojednává o samotném návrhu výstupního budiče ve zvolené technologii dle konceptu z předchozí kapitoly. Obvod je opatřen výstupem, který je odolný vůči přepětí i zkratům a zlepšuje odolnost vůči rušení. Další důležitou vlastností budiče je schopnost tvarování výstupního signálu tak, aby bylo omezeno elektromagnetické rušení. Dále byl proveden návrh ideálního digitálního obvodu, který řídí funkci celého zapojení.

Poslední kapitola pojednává o výsledcích simulací navrženého zapojení. První část je zaměřena na elektromagnetickou kompatibilitu. Co se elektromagnetické interference týče, vykazuje navržené řešení horší parametry, než stávající řešení. Zjištěné výsledky zcela odpovídají teoretickému předpokladu, že dojde v tomto ohledu ke zhoršení. Důvodem je jednoznačně méně ideální tvarování výstupního signálu. U obvodu je totiž kladen větší důraz na to, aby pracoval v širokém rozsahu výstupních kapacit, než na to, aby vyzařoval co nejmenší rušení. Z hlediska elektromagnetické susceptibility (DPI test) obvod zcela bez problému plní svou funkci v rámci normou předepsaných parametrů.

Druhá část simulací je zaměřena především na časové průběhy výstupního napětí a jeho chování v různých pracovních podmínkách (cornery – procesní odchylky, design pointy – mezní hodnoty napájení či teploty a podobně). Pro všechny reálné pracovní podmínky budič splnil všechny požadavky, které příslušná norma klade.

Výsledkem této práce je tedy funkční výstupní budič komunikačního protokolu SENT, který splnil všechny předem vytyčené požadavky. V budoucnu se počítá s doplněním dalších funkcí a reálnou implementací do integrovaného obvodu.

LITERATURA

- [1] J2716™. *SURFACE VEHICLE INFORMATION REPORT. (R) SENT – Single Edge Nibble Transmission for Automotive Applications*. APR2016. SAE International, 2016.
- [2] SAE International. *Wikipedie: otevřená encyklopedie* [online]. 30. 4. 2021 10:49 [cit. 2. 1. 2022]. Dostupné z: https://cs.wikipedia.org/wiki/SAE_International
- [3] **ASTELS, D.**, 2018. Open Collector. Transistors 101. In: *Adafruit Learning Systém*. [online]. 12. 9. 2018. 21. 5. 2022 [cit. 22. 5. 2022]. Dostupné z: <https://learn.adafruit.com/transistors-101/open-collector>
- [4] **STOYANOV, Y.** Open Drain Output vs. Push-Pull Output. In: *Open4Tech*. [online]. [cit. 22. 5. 2022]. Dostupné z: <https://open4tech.com/open-drain-output-vs-push-pull-output/>
- [5] **DŘÍNOVSKÝ, J.** *Elektromagnetická kompatibilita*. Přednášky ver. 2017/10/06 [elektronický dokument]. Frýza, Tomáš; Růžek, Václav a Zachar, Jiří. V Brně: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2017 [cit. 22. 5. 2022].
- [6] **HORSKY, P., KAMENICKY, P. a BAROS, P.** SENT data transmission with low EMC emissions. In: *10th International Symposium on Electromagnetic Compatibility* [elektronický dokument]. IEEE, 2011, s. 386-390 [cit. 2. 1. 2022]. ISBN 1457717093. ISSN 2325-0356.
- [7] **KLEDROWETZ, V.**, 2015. *Návrh analogových integrovaných obvodů*. [elektronický dokument]. V 1.2. HÁZE, J. Leden 2015 [cit. 22. 5. 2022].
- [8] **KADAŇKA, P.**, 2015. *ANALOGOvé INTEGROVANÉ OBVODY (MAIO)*. [elektronický dokument]. 2015 [cit. 22. 5. 2022].

SEZNAM ZKRATEK

BW	band width, šířka pásma
CAN	Controller Area Network, sběrnice
DAC	digital-analog converter, digitálně-analogový převodník
DPI	direct power injection, testovací metoda
EMC	electromagnetic compatibility, elektromagnetická kompatibilita
EME	electromagnetic emissions, elektromagnetické emise
EMI	electromagnetic interference, elektromagnetické rušení
EMS	electromagnetic susceptibility, elektromagnetická odolnost
ESD	electrostatic discharge, elektrostatický výboj
LIN	Local Interconnect Network, sběrnice
LSB	least significant bit, nejméně významný bit
MOS	metal oxide semiconductor, unipolární tranzistor
MSB	most significant bit, nejvíce významný bit
NMOS	druh unipolárního tranzistoru (s vodivostí typu N)
PMOS	druh unipolárního tranzistoru (s vodivostí typu P)
SAE	Society of Automotive Engineers, organizace
SENT	Single Edge Nibble Transmission, komunikační protokol