VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

LABORATORNÍ PŘÍPRAVEK PRO DEMONSTRACI PROGRAMOVATELNÝCH LOGICKÝCH OBVODŮ

LABORATORY KIT FOR PROGRAMMABLE LOGIC DEMONSTRATION

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE Stanislav Svoboda
AUTHOR

VEDOUCÍ PRÁCE Doc. Ing. Jaromír Kolouch, CSc.
SUPERVISOR

BRNO, 2008

VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ
Fakulta elektrotechniky
a komunikačních technologií
Ústav radioelektroniky

Bakalářská práce

bakalářský studijní obor
Elektronika a sdělovací technika

Student: Svoboda Stanislav ***ID:*** 77671
Ročník: 3 ***Akademický rok:*** 2007/08

NÁZEV TÉMATU:

Laboratorní přípravek pro demonstraci programovatelných logických obvodů

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte funkci programovatelných obvodů a možnosti vývoje jejich aplikací. Zpracujte přehled obvodů SPLD a CPLD hlavních výrobců (Lattice, Xilinx, Altera, případně dalších).

Zpracujte návrh laboratorního přípravku pro demonstraci programovatelného obvodu vybraného na základě uvedeného přehledu. Dodržte přitom požadavky na přehlednost ovládání a snadnou manipulaci při využívání přípravku, které budou podrobněji sděleny vedoucím projektu. Výsledkem návrhu budou výrobní podklady pro přípravek.

Osaďte vyrobenou desku přípravku a oživte ji. Zpracujte vzorové příklady pro demonstraci funkce použitého programovatelného obvodu.

DOPORUČENÁ LITERATURA:

[1] KOLOUCH, J., KOLKA, Z. Impulzová a číslicová technika – počítačové cvičení. Dostupné na WWW: https://www.feec.vutbr.cz/et/skripta/urel/Imp_a_cisl_technika_P.pdf

[2] MAX II Device Handbook. Dokument firmy Altera. Dostupné na WWW: http://www.altera.com, max2_mii5v1.pdf

Termín zadání: 11.2.2008 ***Termín odevzdání:*** 6.6.2008

Vedoucí projektu: doc. Ing. Jaromír Kolouch, CSc.

prof. Dr. Ing. Zbyněk Raida
předseda oborové rady

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ Fakulta elektrotechniky a komunikačních technologií Ústav radioelektroniky

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

LICENČNÍ SMLOUVA
POSKYTOVANÁ K VÝKONU PRÁVA UŽÍT ŠKOLNÍ DÍLO

uzavřená mezi smluvními stranami:

1. Pan/paní

Jméno a příjmení: Stanislav Svoboda
Bytem: Zborovecká 12, Blansko, 678 01
Narozen/a (datum a místo): 23.6.1970 v Boskovicích

(dále jen „autor“)

a

2. Vysoké učení technické v Brně

Fakulta elektrotechniky a komunikačních technologií
se sídlem Údolní 53, Brno, 602 00
jejímž jménem jedná na základě písemného pověření děkanem fakulty:
prof. Dr. Ing. Zbyněk Raida, předseda rady oboru Elektronika a sdělovací technika
(dále jen „nabyvatel“)

Čl. 1

Specifikace školního díla

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):

   ¤ disertační práce
   ¤ diplomová práce
   bakalářská práce
   ¤ jiná práce, jejíž druh je specifikován jako .....
   (dále jen VŠKP nebo dílo)

   Název VŠKP: Laboratorní přípravek pro demonstraci programovatelných logických obvodů

   Vedoucí/ školitel VŠKP: Doc.Ing. Jaromír Kolouch, CSc.

   Ústav: Ústav radioelektroniky

   Datum obhajoby VŠKP: _____

   VŠKP odevzdal autor nabyvateli*:

   v tištěné formě – počet exemplářů: 2
   v elektronické formě – počet exemplářů: 2

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činností dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracovávání díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.

3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.

4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

* hodící se zaškrtněte

Článek 2

Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užít, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizovaní výpisů, opisů a rozmnoženin.

2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.

3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti

   ihned po uzavření této smlouvy
   - ¤ 1 rok po uzavření této smlouvy
   - ¤ 3 roky po uzavření této smlouvy
   - ¤ 5 let po uzavření této smlouvy
   - ¤ 10 let po uzavření této smlouvy

   (z důvodu utajení v něm obsažených informací)

4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/ 1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3

Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.

2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.

3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísni a za nápadně nevýhodných podmínek.

4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne: 6. června 2008

……..	……
Nabyvatel	Autor

ABSTRAKT

Následující bakalářská práce se zabývá řešením laboratorního přípravku pro výuku práce s obvody CPLD firmy ALTERA včetně návrhu plošného spoje a v závěrečné části i samotnou realizací celého přípravku pro výuku práce s obvody CPLD. Při konstrukci přípravku je použit CPLD obvod firmy ALTERA a to typ EPM 7064SLC44.

Celý přípravek je navržen jako samostatný celek, který je schopen po připojení ke zdroji napájecího napětí samostatné funkce. Přípravek lze prakticky libovolně dodatečně rozšiřovat připojením volitelných periferií.

Klíčová slova : Přípravek pro výuku, ALTERA, CPLD, EPM7064, napájecí zdroj, JTAG.

ABSTRACT

This bachelor's project deals with solutions of laboratory kit for teaching of work with CPLD curcuits which are made by company ALTERA. It is also including design of PCB - printed cirucit board and way of their realization. For construction is used circuit CPLD EPM 7064SLC44 made by ALTERA.

Whole laboratory kit for Programable Logic Demonstration is designed as individual unit, which is capable to work as individual function. The kit can be amplified by connection of optional peripherals.

Keywords: Laboratory kit, ALTERA, CPLD, EPM7064, power supply unit, JTAG.

Bibliografická citace mé práce:

SVOBODA, S. Laboratorní přípravek pro demonstraci programovatelných logických obvodů. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2008. 53 stran. Vedoucí bakalářské práce Doc. Ing. Jaromír Kolouch, CSc.

Prohlášení

Prohlašuji, že svou bakalářskou práci na téma přípravek pro demonstraci programovatelných logických obvodů jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 6. června 2008 .....

podpis autora

Poděkování

Děkuji vedoucímu bakalářské práce Doc. Ing. Jaromíru Kolouchovi, Csc. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé bakalářské práce.

V Brně dne 6. června 2008 .....

podpis autora

OBSAH

OBSAH ... 8
SEZNAM OBRÁZKŮ ... 9
SEZNAM TABULEK ... 10
1. ÚVOD ... 11
1.1. Obvody PAL ... 11
1.2. Obvody GAL ... 11
1.3.Obvody CPLD ... 12
1.4. Obvody FPGA ... 13
2. POPIS CPLD ALTERA ... 13
2.1. Obecný přehled ... 13
2.2. Vybraný obvod CPLD - EPM7064 ... 14
3. KONSTRUKCE PŘÍPRAVKU ... 16
3.1. Blokové schéma přípravku ... 16
3.2. Popis jednotlivých částí ... 17
3.2.1. Napájecí zdroj ... 17
3.2.2. Vstupní obvody ... 18
3.2.3. CPLD obvod EPM7064 ... 20
3.2.4. Výstupní obvody ... 24
3.2.5. Generátor hodinových impulzů ... 25
3.2.6. Rozhraní pro připojení periferií ... 27
3.3. Celkové schéma zapojení přípravku ... 28
4. NÁVRH PLOŠNÉHO SPOJE ... 30
4.1. Návrh spojů ... 30
4.2. Osazovací výkres ... 31
4.3. Seznam materiálu pro osazení přípravku ... 34
5. TVORBA APLIKACÍ PRO CPLD ... 37
5.1. Vývojové prostředí ... 37
5.2. Návrh aplikací ... 38
5.2.1. Jazyk VHDL ... 38
5.2.2. Schematický editor ... 39
5.3. Programátory ... 41
5.3.1. Paralelní programátor ... 41
5.3.2. Programátor USB ... 42
5.3.3. Úprava souboru typu SVF pro programátor PRESTO ... 43
6. NASTAVOVACÍ PRVKY ... 45
6.1. Popis nastavovacích prvků a rozhranní na DPS ... 45
7. VZOROVÉ PŘÍKLADY ... 47
7.1. Příklad vytvořený za pomoci jazyka VHDL ... 47
7.2. Příklad vytvořený za pomoci schematického editoru ... 48
8. POPIS SOUBORŮ NA DVD-ROM ... 50
8.1. Seznam souborů a programů na přiloženém DVD-ROM ... 50
9. ZÁVĚR ... 52
10. LITERATURA ... 53

SEZNAM OBRÁZKŮ

Obrázek 1.1. Zjednodušená struktura obvodu PAL…….. 11
Obrázek 1.2. Zjednodušená struktura obvodu GAL…….. 12
Obrázek 1.3. Typická struktura obvodu CPLD…….… 12
Obrázek 1.4. Struktura FPGA……... 13
Obrázek 2.1. Zapojení vývodů a provedení IO EPM7064SLC44-10N……. 15
Obrázek 3.1. Blokové schéma laboratorního přípravku……..…….. 16
Obrázek 3.2. Schéma zapojení napájecího zdroje…….. 17
Obrázek 3.3. Skutečné provedení napájecí části…… 18
Obrázek 3.4. Schéma zapojení vstupních obvodů…….. 19
Obrázek 3.5. Skutečné provedení vstupních obvodů…….. 19
Obrázek 3.6. Schéma zapojení obvodu CPLD a programovacího rozhraní……... 20
Obrázek 3.7. Skutečné provedení CPLD EPM7064 a programovacího rozhraní.. 21
Obrázek 3.8. Programátor PRESTO……... 21
Obrázek 3.9. Programovací kabel "ByteBlasterMV"……..... 21
Obrázek 3.10. Programátor CPLD obvodů firmy RYSTON Electronics……..... 22
Obrázek 3.11. Skutečné provedení programátoru firmy RYSTON Electronics….. 22
Obrázek 3.12. Schéma zapojení výstupních obvodů……...…… 24
Obrázek 3.13. Skutečné provedení výstupních obvodů…….. 25
Obrázek 3.14. Schéma zapojení obvodů pro generování hodinových impulzů…... 26
Obrázek 3.15. Umístění obvodů pro generování hodinových impulzů na DPS….. 26
Obrázek 3.16. Schéma zapojení rozšiřujícího rozhraní……... 27
Obrázek 3.17. Provedení rozšiřujícího rozhraní…….. 28
Obrázek 3.18 Celkové schéma zapojení přípravku……. 29
Obrázek 4.1. Návrh DPS ze strany spojů…… 30
Obrázek 4.2. Návrh DPS ze strany součástek……. 31
Obrázek 4.3. Osazovací výkres přípravku…….. 32
Obrázek 4.4. Kompletně osazená DPS přípravku……... 33
Obrázek 5.1. Vývojové prostředí QUARTUS II…… 37
Obrázek 5.2. Schéma vytvořené vývojovým prostředím QUARTUS II…… 40
Obrázek 5.3. Editor přiřazení vývodů k obvodu CPLD…….. 40
Obrázek 5.4. Okno vývojového prostředí při programování…….. 41
Obrázek 5.5. Nastavení generování *.svf souboru…… 42
Obrázek 5.6. Prostředí programu JTAG Player…….. 43
Obrázek 6.1. Popis ovládacích prvků…… 46
Obrázek 6.2. Programátor PRESTO připojený k přípravku……... 46
Obrázek 7.1. Podrobné schéma zapojení dekodéru BCD na 1 ze 16…… 49
Obrázek 7.2. Blokové schéma zapojení dekodéru BCD na 1 ze 16……... 50

SEZNAM TABULEK

Tabulka 2.1. Obecný přehled obvodů řady MAX3000 firmy ALTERA……. 13
Tabulka 2.2. Obecný přehled obvodů řady MAX7000 firmy ALTERA……. 14
Tabulka 2.3. Obecný přehled obvodů řady MAX II firmy ALTERA…….. 14
Tabulka 2.4. Přehled jednotlivých pouzder obvodů řady MAX7064…….. 14
Tabulka 2.5. Vzhled pouzder obvodů řady MAX7064…… 15
Tabulka 3.1. Popis funkcí jednotlivých vývodů obvodu EPM7064SLC44-10N……. 23
Tabulka 3.2. Základní parametry obvodu CPLD EPM7064SLC44-10N……... 23
Tabulka 3.3. Význam pinů na rozšiřujícím konektoru……. 27
Tabulka 3.3. Význam pinů na rozšiřujícím konektoru – pokračování……. 28
Tabulka 4.1. Seznam použitých součástek - 1.část…….. 34
Tabulka 4.1. Seznam použitých součástek – pokračování……... 35
Tabulka 4.1. Seznam použitých součástek – dokončení…….. 36
Tabulka 8.1. Umístění souborů a adresářů na DVD-ROM…….. 47

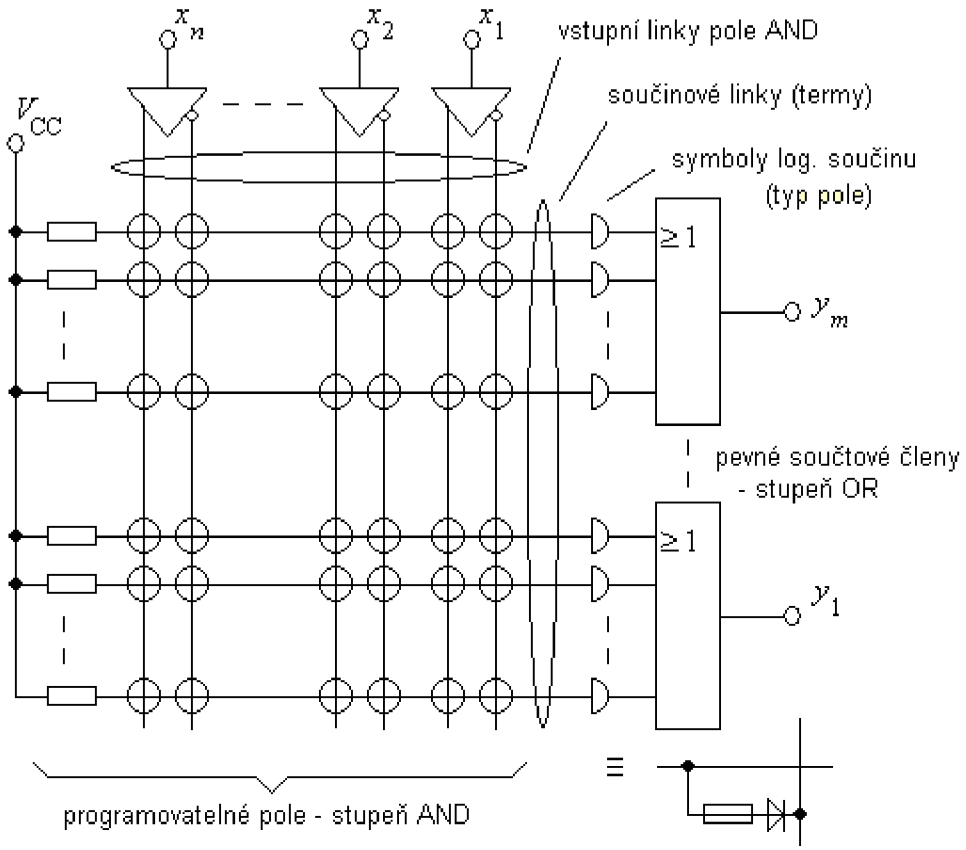
1. ÚVOD

Programovatelné součástky (Integrované obvody) se vyrábějí v několika modifikacích. Obvody SPLD a CPLD jsou moderní součástky, které umožňují poměrně jednoduše vytvořit zapojení různých modifikovaných funkcí.

Obvody CPLD (*Complex Program Logic Device*) jsou obvody již 3. generace programovatelných logických obvodů.

1.1. Obvody PAL

Obvody 1. generace - tzv. obvody PAL (*Programmable Array Logic*) - jedná se o obvody s poměrně jednoduchou strukturou. Tyto obvody nejsou přeprogramovatelné (pokud se do nich nahraje nějaká logická funkce, už se nedá změnit), jelikož jejich programování probíhá tak, že se přetaví tzv. pojistky logického pole matice a tím se v obvodu vytvoří požadovaná logická funkce. Příkladem těchto obvodů mohou být např. obvody firmy Lattice PAL16R6, PAL16R8, popř. PAL22V10. Zjednodušená struktura obvodu PAL je na obrázku 1.1.

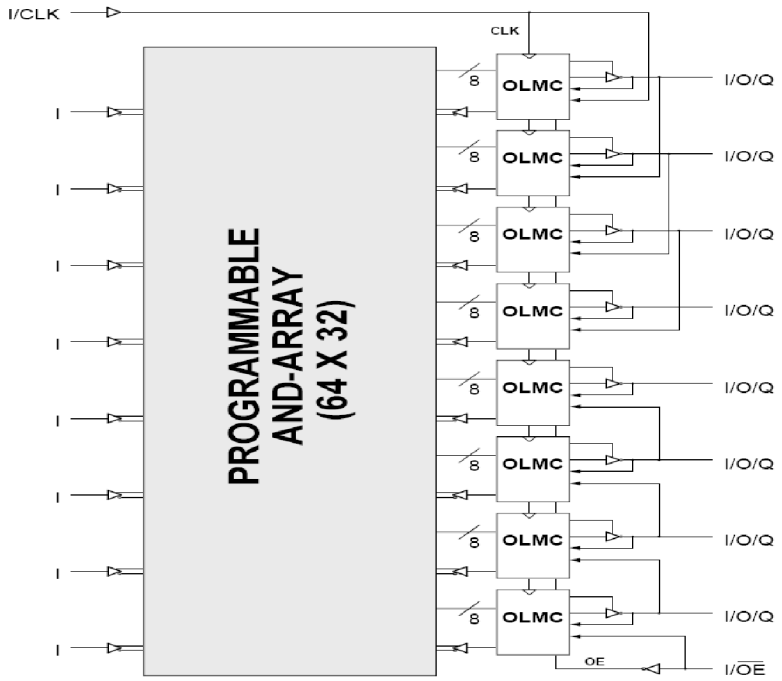


Obrázek 1.1. Zjednodušená struktura obvodu PAL

1.2. Obvody GAL

Obvody 2. generace - tzv. obvody GAL – tyto obvody mají složitější strukturu oproti obvodům PAL a jsou poněkud univerzálnější. Obvody GAL již umožňují přeprogramování naprogramovaných funkcí. Zatímco uvedené IO PAL se již prakticky nepoužívají, obvody GAL jsou stále v oblibě zvláště jako náhrady pevných pamětí ROM a PROM z důvodu nízké

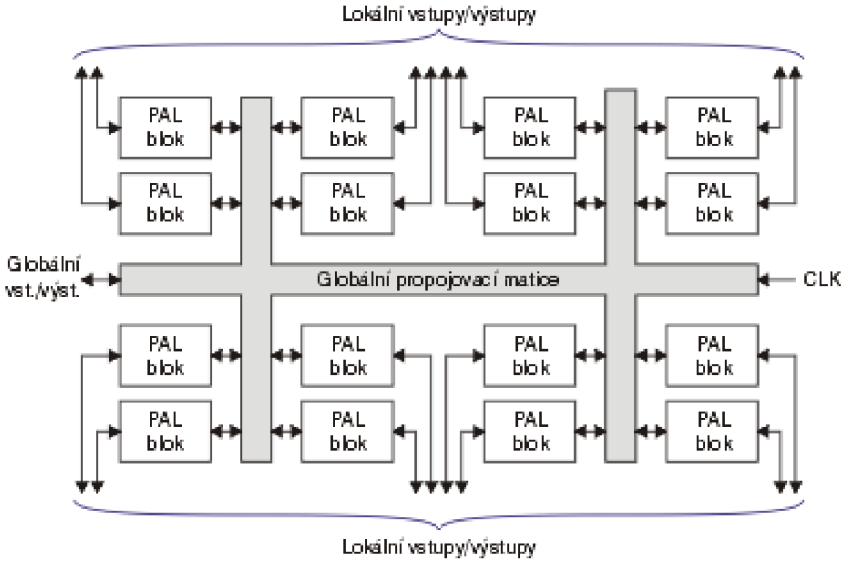
ceny, rychlosti obvodu a relativně dobré dostupnosti. Příkladem těchto obvodů mohou být např. obvody firmy Lattice GAL16V8, GAL20V8, nebo GAL22V10. Zjednodušená struktura části obvodu GAL je uvedena na obrázku 1.2. Obvody první a druhé generace (PAL, GAL) se souhrnně nazývají obvody SPLD (*Simple Programable Logic Device*).



Obrázek 1.2. Zjednodušená struktura obvodu GAL

1.3.Obvody CPLD

Obvody 3. generace - jedná se o tzv. obvody CPLD. Jelikož obvody PLD mají velmi omezené prostředky, umožňují realizovat pouze jednodušší funkce. Proto výrobci začali sdružovat více takovýchto obvodů na jednom čipu spolu s nutnými prostředky pro propojení. Z tohoto důvodu vznikly obvody CPLD. Typická struktura obvodu CPLD je znázorněna na obrázku 1.3.

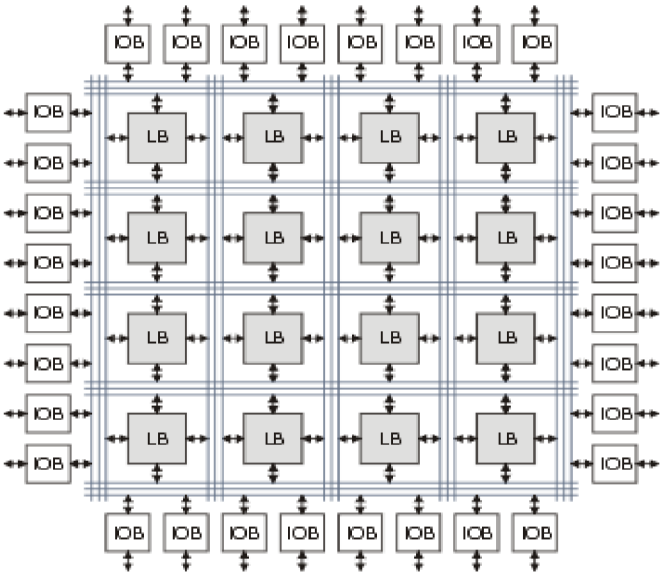


Obrázek 1.3. Typická struktura obvodu CPLD

1.4. Obvody FPGA

Další generací programovatelných obvodů jsou tzv. obvody 4. generace - FPGA. Obvody typu FPGA (*Field Programmable Gate Array*) mají z programovatelných obvodů nejobecnější strukturu a obsahují nejvíce logiky. Současné největší obvody FPGA obsahují až 6 milionů ekvivalentních hradel (typické dvouvstupové hradlo NAND).

Obvody FPGA obsahují obvody jako např. hardwarové násobičky, blokové paměti ROM, RAM, popřípadě i procesorová jádra. Tyto obvody jsou již poněkud složitější a vymykají se původnímu zadání této práce, tudíž se jimi nebudeme zabývat. Pouze pro komplexnost uvádím zjednodušenou strukturu obvodu FPGA na obrázku 1.4.



Obrázek 1.4. Struktura FPGA

2. POPIS CPLD ALTERA

2.1. Obecný přehled

Po dohodě s vedoucím projektu byl jako stěžejní součástka celého přípravku vybrán obvod CPLD od firmy ALTERA. Firma ALTERA vyrábí obvody CPLD v několika řadách a to v typové řadě MAX3000, MAX7000 a MAX II. Přehled jednotlivých obvodů řady MAX3000 je uveden v tabulce 2.1., obvodů řady MAX7000 je uveden v tabulce 2.2. a řada MAX II je uvedena v tabulce 2.3.

Tabulka 2.1. Obecný přehled obvodů řady MAX3000 firmy ALTERA

Součástka	EPM3032	EPM3064	EPM3128	EPM3256	EPM3512
Počet hradel	600	1 250	2 500	5 000	10 000
Počet makrobuněk	32	64	128	256	512
Počet logic. bloků	2	4	8	16	32
Max.počet I/O pinů	34	66	98	161	208
Max.takt.kmitočet	227,3 MHz	222,2 MHz	192,3 MHz	126,6 MHz	116,3 MHz

Tabulka 2.2. Obecný přehled obvodů řady MAX7000 firmy ALTERA

	EPM xxxx						
Součástka	**7032**	**7064**	**7096**	**7128**	**7160**	**7192**	**7256**
Počet hradel	**600**	**1 250**	**1 800**	**2 500**	**3 200**	**3 750**	**5 000**
Počet makrobuněk	**32**	**64**	**96**	**128**	**160**	**192**	**256**
Počet logic. Bloků	**2**	**4**	**6**	**8**	**10**	**12**	**16**
Max.počet I/O pinů	**36**	**68**	**76**	**100**	**104**	**124**	**164**
Max.takt.kmit. [MHz]	**151,5**	**151,5**	**125,0**	**125,0**	**100,0**	**90,9**	**90,9**

Tabulka 2.3. Obecný přehled obvodů řady MAX II firmy ALTERA

Součástka	**EPM240**	**EPM570**	**EPM1270**	**EPM2210**
Počet log.elementů	**240**	**570**	**1 270**	**2 210**
Počet makrobuněk	**192**	**440**	**980**	**1 700**
FLASH [bitů]	**8 192**	**8 192**	**8 192**	**8 192**
Max.počet I/O pinů	**80**	**160**	**212**	**272**
Max.takt.kmitočet	**304,0 MHz**	**304,0 MHz**	**304,0 MHz**	**304,0 MHz**

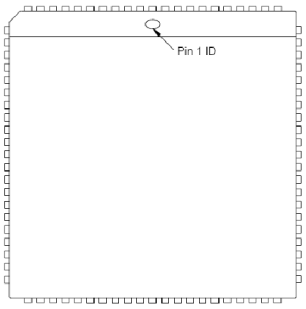
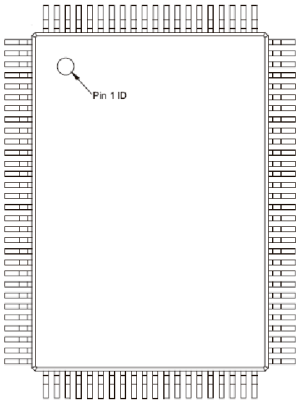
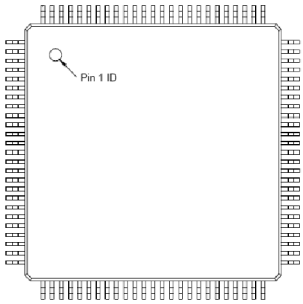
2.2. Vybraný obvod CPLD - EPM7064

Z výše uvedeného přehledu byl vybrán obvod z řady MAX7000, a to typ z řady EPM7064S. Tento obvod se vyrábí v několika typech pouzder a tím i s různým počtem vývodů, ke kterým lze přiřadit vstupní, nebo výstupní funkci. Počet jednotlivých použitelných vývodů pro vstupy, nebo výstupy (I/O) je uveden v tabulce 2.4. Vzhled jednotlivých pouzder obvodů řady EPM7064 je znázorněn v tabulce 2.5.

Tabulka 2.4. Přehled jednotlivých pouzder obvodů řady MAX7064

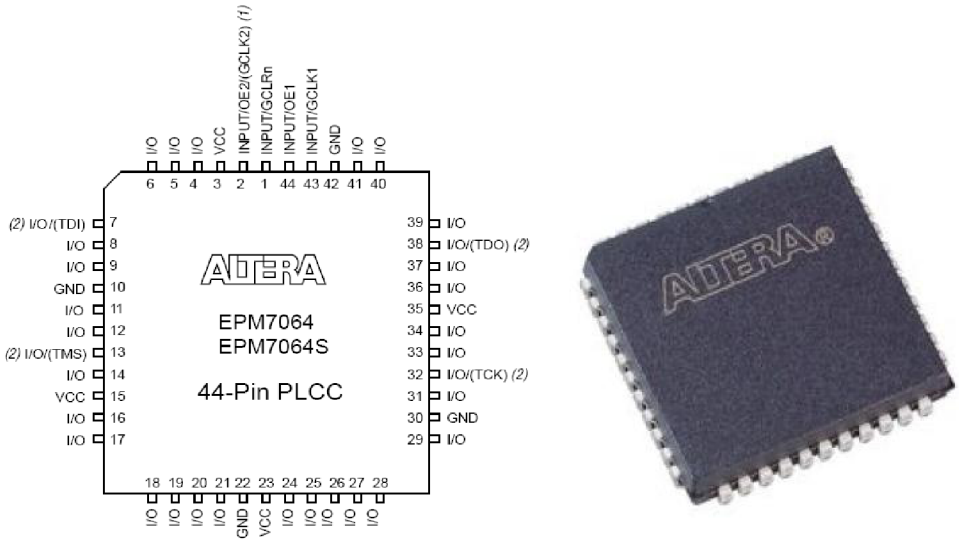
	Počet použitelných I/O vývodů u jednotlivých pouzder obvodů					
Součástka	**PLCC44**	**TQFP44**	**PLCC68**	**PLCC84**	**PQFP100**	**TQFP100**
EPM7064	**36**	**36**	**52**	**68**	**68**	**Nevyrábí se**
EPM7064S	**36**	**36**	**Nevyrábí se**	**68**	**Nevyrábí se**	**68**

Tabulka 2.5. Vzhled pouzder obvodů řady MAX7064

	PLCC	PQFP	TQFP
Výkres pouzdra			
Skutečné provedení			

Z důvodu jednoduché montáže obvodu na desku plošných spojů bylo zvoleno pouzdro v provedení PLCC a to konkrétně PLCC44 a k tomu odpovídající obvod CPLD firmy ALTERA a to typ EPM7064SLC44-10N. Tento obvod byl vybrán také proto, jelikož pro svoji funkci potřebuje pouze jedno napájecí napětí o velikosti 5V, což je výhodné také pro jednoduchost návrhu dalších periferních obvodů a značně to zjednoduší návrh celého laboratorního přípravku.

Zapojení jednotlivých vývodů a zobrazení pouzdra konkrétního vybraného obvodu je na obrázku 2.1.



Obrázek 2.1. Zapojení vývodů a provedení IO EPM7064SLC44-10N

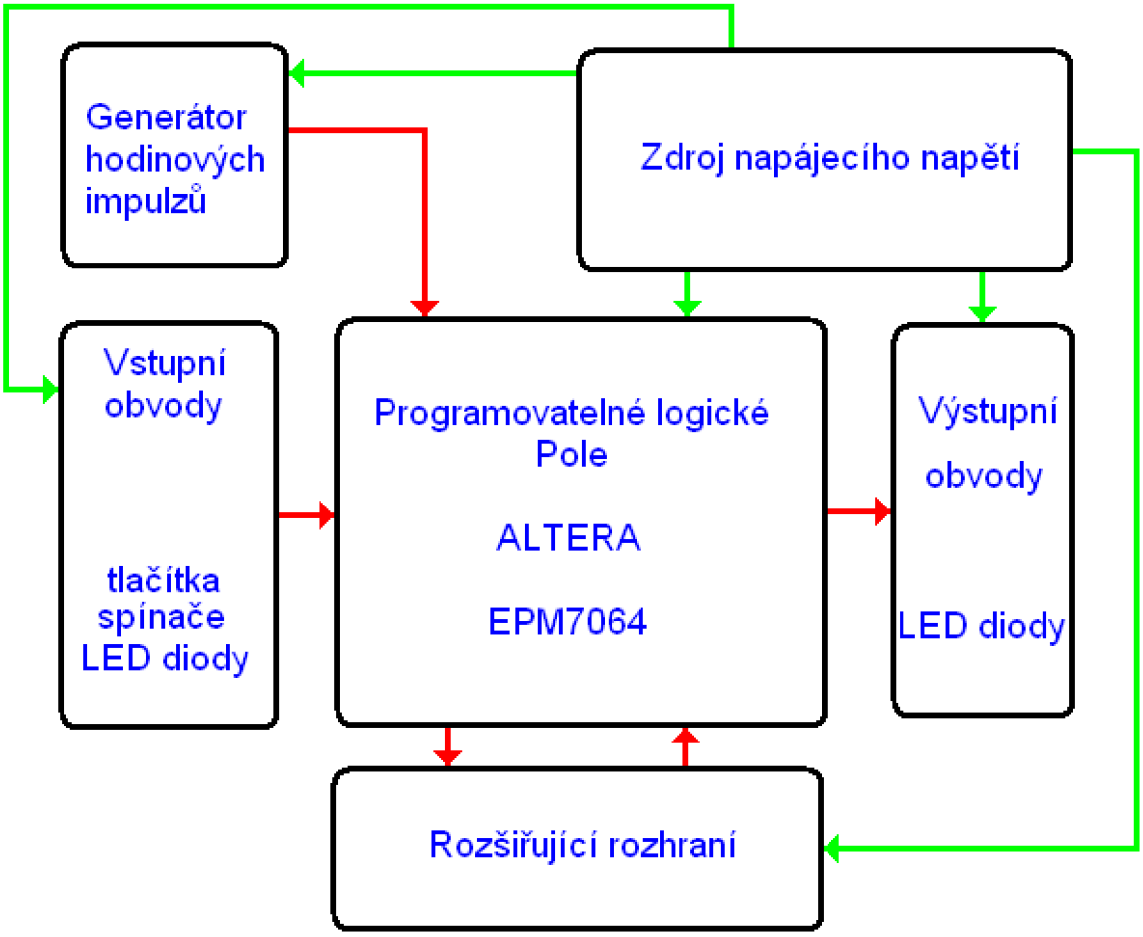
3. KONSTRUKCE PŘÍPRAVKU

3.1. Blokové schéma přípravku

Původně byl laboratorní přípravek koncipován jako poměrně složité zařízení, které by na jedné desce plošných spojů obsahovalo mnoho periferií, jako například LCD displej, dvě možnosti připojení krystalových oscilátorů, sedmisegmentový LED displej, spínané výstupy s optočleny, výstup na VGA monitor a logickou sondu implementovanou přímo na vývojové desce.

Po posouzení celé koncepce, zadání a po konzultaci s vedoucím projektu byl projekt zredukován na jednodušší variantu, která bude hlavně přehlednější pro obsluhu a výše jmenované komponenty bude možné k základní desce připojit jako rozšiřující moduly pomocí konektoru umístěného na základní desce.

Na základě zvolené koncepce vznikl návrh přípravku, jehož blokové schéma zapojení je na obrázku 3.1. Blokové schéma zapojení se skládá z bloku napájení, vstupního bloku s tlačítky a spínači, ústřední části s obvodem CPLD, výstupní části s indikací výstupních stavů, z obvodů generujících hodinové impulzy a z bloku pro připojení vnějších případných rozšiřujících periferních zařízení.



Obrázek 3.1. Blokové schéma laboratorního přípravku

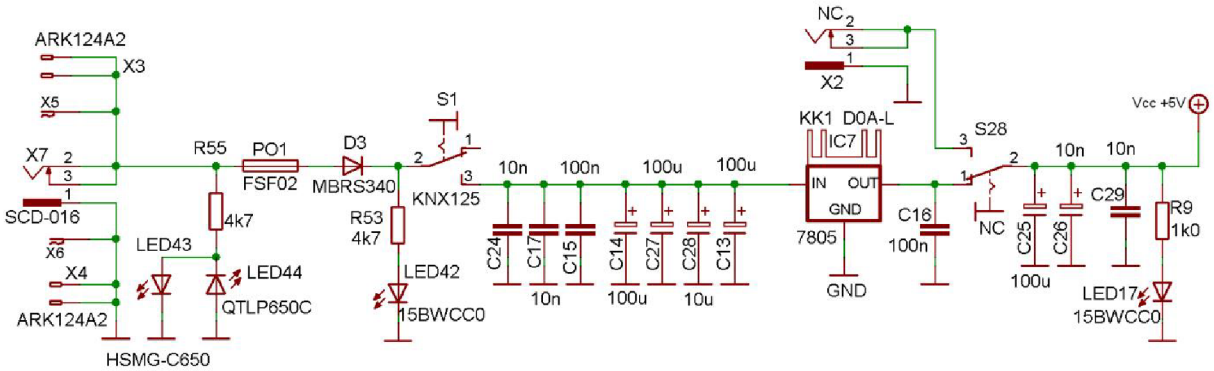
3.2. Popis jednotlivých částí

3.2.1. Napájecí zdroj

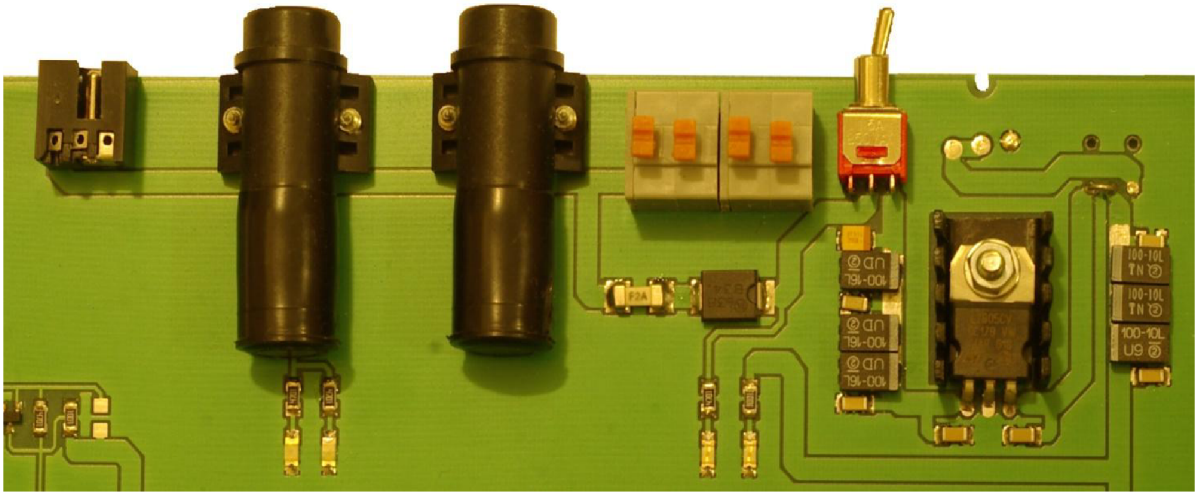
Schéma zapojení napájecí části zařízení znázorňuje obrázek 3.2. Napájecí napětí pro přípravek se přivádí na některé ze svorek X3,4,5,6 a 7. Těchto vstupních svorek je použito několik druhů zapojených paralelně, aby bylo možno přípravek připojit k napájecímu zdroji různými vodiči s variabilními koncovkami. Zařízení je koncipováno pro napájení stejnosměrným napětím
v rozmezí od 9V do 17V ss. Při připojení napájecího napětí opačné polarity se rozsvítí červená dioda LED44, která indikuje vadně připojené přívodní vodiče a zařízení nebude pracovat.

Při správné polaritě napájecího napětí zhasne dioda LED44 a rozsvítí se zelená dioda LED43 signalizující správnost připojeného napájecího napětí. Je-li v pořádku i ochranná pojistka PO1, rozsvítí se modrá dioda LED42 signalizující přítomnost vstupního napětí před spínačem S1. Tento spínač má funkci hlavního vypínače celého zařízení. Při jeho sepnutí se přivede napájecí napětí přes filtrační a odrušovací kondenzátory C13, C14, C15, C17, C24, C27 a C28 na stabilizátor IC7. Z důvodu spolehlivosti přípravku byly použity pro filtraci napájecího napětí tantalové kondenzátory v provedení SMD (namísto klasických vývodových elektrolytických kondenzátorů), požadovaná hodnota kapacity je složena z několika kusů kondenzátorů menších hodnot. Jako stabilizátor IC7 je použit běžně používaný integrovaný tří vývodový stabilizátor LM7805, který je umístěný na samostatném chladiči aby nedošlo k jeho tepelnému zničení vlivem větší výkonové ztráty při větších proudových odběrech a při větším vstupním napětí. Kondenzátor C16 slouží jako filtrační a zabraňuje případnému rozkmitání stabilizátoru na vyšších kmitočtech. Za stabilizátorem IC7 je umístěn spínač S28 a konektor X2 pro případné připojení přesného napájecího napětí +5V za stabilizátor IC7. Tyto součástky nejsou při konstrukci použity a slouží k rozšíření přípravku v případě potřeby pro zkušené uživatele. Při náhodném připojení většího napětí než +5V na svorku X2 by došlo ke kompletnímu zničení integrovaných obvodů na celém přípravku.

Na výstupu stabilizátoru jsou zapojeny filtrační kondenzátory C25, C26 a C29, které vyhlazují výstupní napětí na výstupu stabilizátoru IC7. Na výstupu zdrojové části je zapojena signalizační modrá dioda LED17, která indikuje přítomnost napájecího napětí +5V na celé desce přípravku a tím i její připravenost k činnosti. Skutečné provedení obvodů napájecího zdroje je zobrazeno na obrázku 3.3.



Obrázek 3.2. Schéma zapojení napájecího zdroje



Obrázek 3.3. Skutečné provedení napájecí části

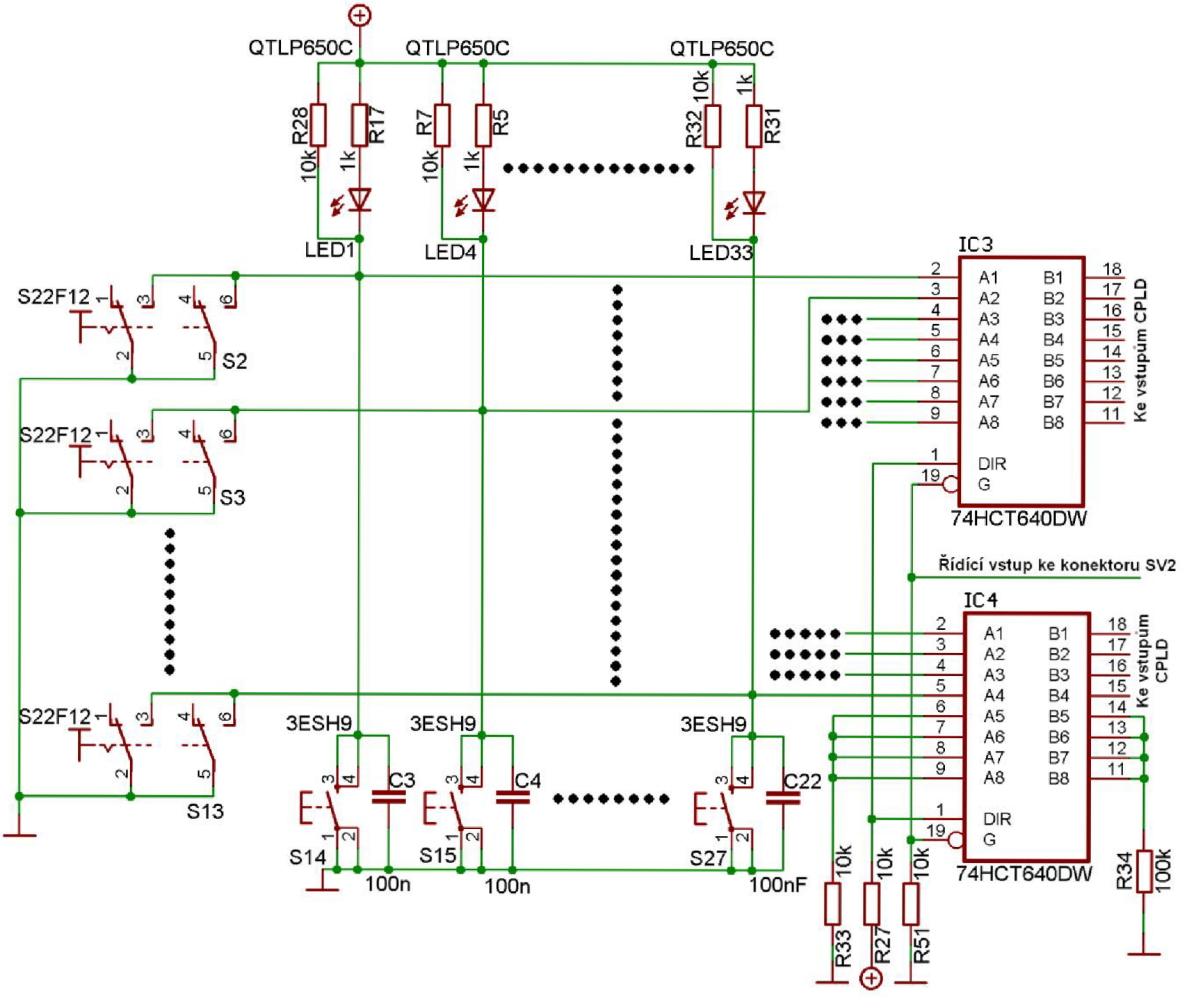
3.2.2. Vstupní obvody

Principiální schéma vstupních obvodů je znázorněno na obrázku 3.4. (pro lepší přehlednost a pro lepší popis funkce je zde zakreslena pouze část spínačů a tlačítek). Celé zapojení vstupních obvodů je zřejmé z kompletního schématu zapojení na obrázku 3.18.).

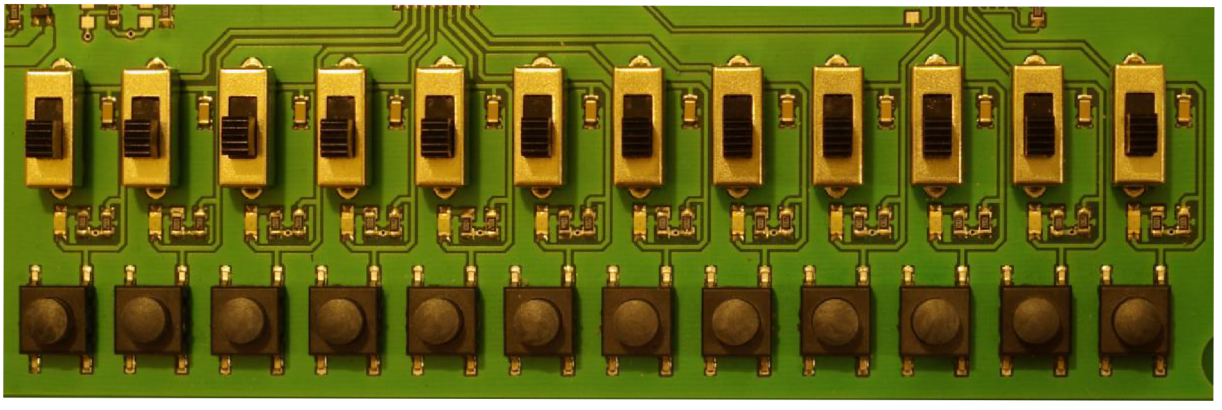
Vstupní obvody jsou tvořeny řadou spínačů S2 až S13, kterými se nastavují logické úrovně na vstupech CPLD. Tyto spínače jsou zapojeny tak, že v klidovém stavu při jejich rozepnutí je na jejich živém konci vysoká úroveň (H) kterou na tyto vývody přivádí rezistory R7, 11, 13, 15, 18, 20, 22, 24, 26, 28, 30 a 32. Paralelně ke spínačům S2 až S13 jsou připojeny tlačítka S14, 15, 16, 17, 20, 21, 22, 23, 24, 25, 26 a 27, které mají obdobnou funkci jako spínače S2 až S13 slouží pouze k chvilkové změně vstupních úrovní na rozdíl od spínačů S2 až S13, které je možno přepnout do požadované polohy a tím trvale změnit vstupní úrovně. Stisknutí tlačítek, nebo sepnutí vstupních spínačů signalizují vstupní diody LED1,4,6,8,10,12,14,16,19,21,31 a 33 červené barvy, které jsou zapojeny mezi vývody spínačů (tlačítek) a přes omezovací rezistory na napájecí napětí Vcc +5V. Na výstupu tlačítek jsou zapojeny kondenzátory C3,4,5,6,7,8,9,10,19, 20,21 a 22, které částečně filtrují případné přechodové jevy u tlačítek a spínačů. Vstupní signály ze spínačů, popřípadě z tlačítek pokračují na třístavové budiče - invertory tvořené integrovanými obvody IC3 a IC4, které převádějí napěťové úrovně z tlačítek a spínačů a přivádí je na vstupy obvodu CPLD.

Jelikož obvody IC3 a IC4 tvoří invertory, je na jejich výstupech v klidovém stavu (při nesepnutém spínači a při klidové poloze tlačítek) nízká logická úroveň (L). Z tohoto zapojení a z uvedené funkce je zřejmé, že vstupní diody LED1,4,6,8,10,12,14,16,19,21,31 a 33 signalizují vysokou logickou úroveň (H) na vstupu logického pole CPLD. Rezistory R27 a R51 zabezpečují směr komunikace uvnitř obvodů IC3 a IC4 a stavy vysoké impedance na výstupech integrovaných obvodů IC3 a IC4. Použití budičů IC3 a IC4 by bylo nadbytečné, jelikož signály z tlačítek a spínačů je možno budit přímo vstupy obvodu EPM7064. Tyto obvody však byly použity záměrně, aby bylo možné přivedením signálu vysoké úrovně (H) na vývody G (pin19) IC3 a IC4 výstupy těchto obvodů přepnout do stavu vysoké impedance (třetího stavu) a tím odpojit od vstupů CPLD prakticky celý vstupní obvod.

Tato funkce má opodstatnění při připojení případných rozšiřujících periferií ke konektoru SV2. Konkrétní provedení vstupních obvodů je zobrazeno na obrázku 3.5.



Obrázek 3.4. Schéma zapojení vstupních obvodů



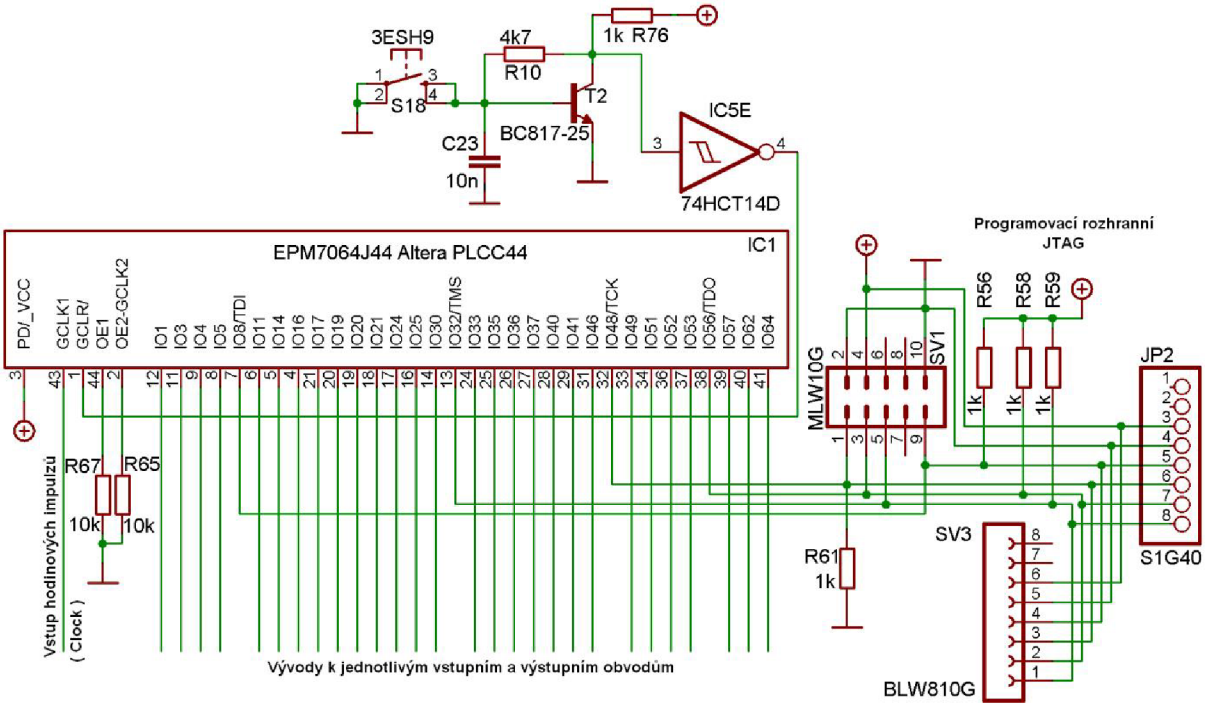
Obrázek 3.5. Skutečné provedení vstupních obvodů

3.2.3. CPLD obvod EPM7064

Základní parametry integrovaného obvodu IC1 byly již popsány v kapitole 2.2. Schéma zapojení integrovaného obvodu IC1 s podpůrnými obvody je znázorněno na obrázku 3.6.

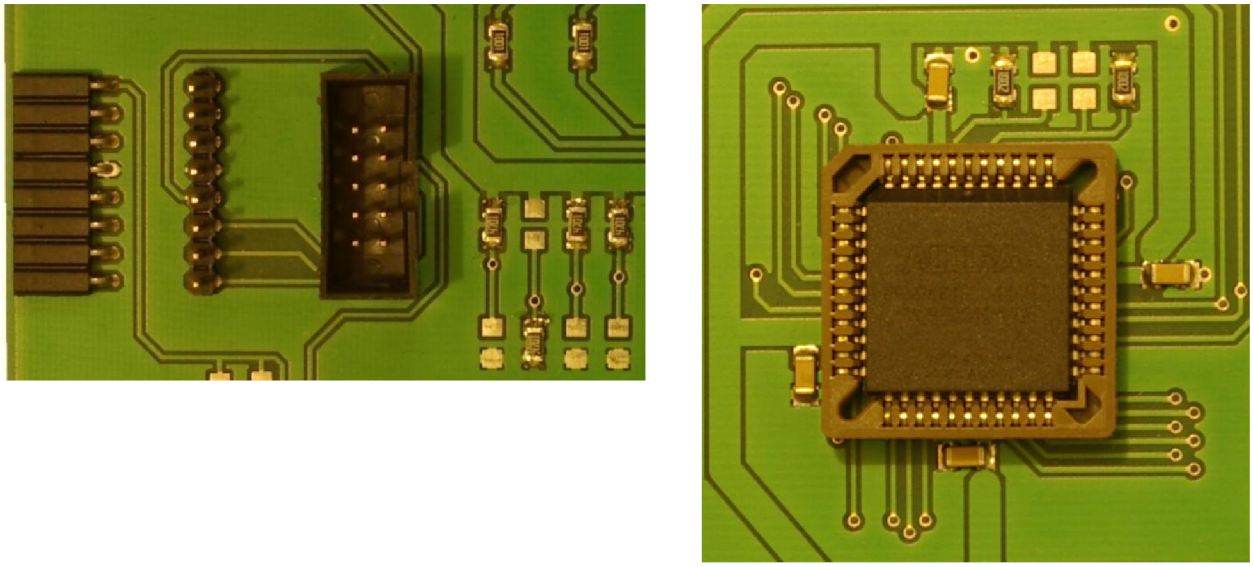
Integrovaný obvod IC1 má na vstup GCLR (vývod č.1) připojen obvod sestávající z tlačítka S18, tranzistoru T2 a jednoho invertoru tvořeného jedním hradlem integrovaného obvodu IC5 74HCT14. Toto jednoduché zapojení slouží k nastavení programovatelného logického pole do základního výchozího stavu - tzv. RESET, což se provádí stiskem tlačítka S18 a přivedením signálu nízké logické úrovně (L) na vstup GCLR IC1. Tato funkce však musí být nastavena při programování obvodu IC1.

Dále jsou k obvodu IC1 připojeny na vývody TDI, TDO, TMS a TCK konektory SV1, SV3 a JP2, které slouží k samotnému programování logického pole přes rozhraní JTAG (Joint Test Action Group). Rezitory R56,58,59 a 61 tvoří takzvané pull-up a pull-down rezistory, které zajišťují správné logické úrovně pro programování obvodu. Skutečné provedení obvodu CPLD a rozhranní JTAG je zobrazeno na obrázku 3.7.

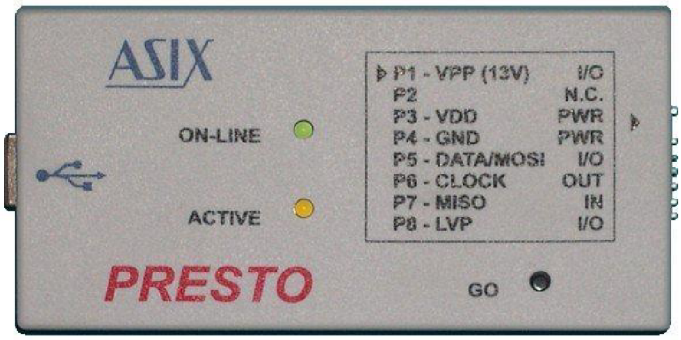


Obrázek 3.6. Schéma zapojení obvodu CPLD a programovacího rozhraní

Programovací konektory SV1, SV3 a JP2 jsou zapojeny paralelně z důvodu použití několika různých programátorů - konkrétně konektory SV3 a JP2 jsou určeny pro připojení programátoru "PRESTO" firmy ASIX, jehož provedení je zobrazeno na obrázku 3.8. Konektor SV1 je určen pro připojení programovacího kabelu "ByteBlasterMV", který je dodáván přímo firmou ALTERA a jehož provedení je zobrazeno na obrázku 3.9., popřípadě k připojení programátoru, který dodává firma RYSTON Electronic a jehož osazovací výkres a fotografie skutečného provedení jsou uvedeny na obrázcích 3.10 a 3.11.

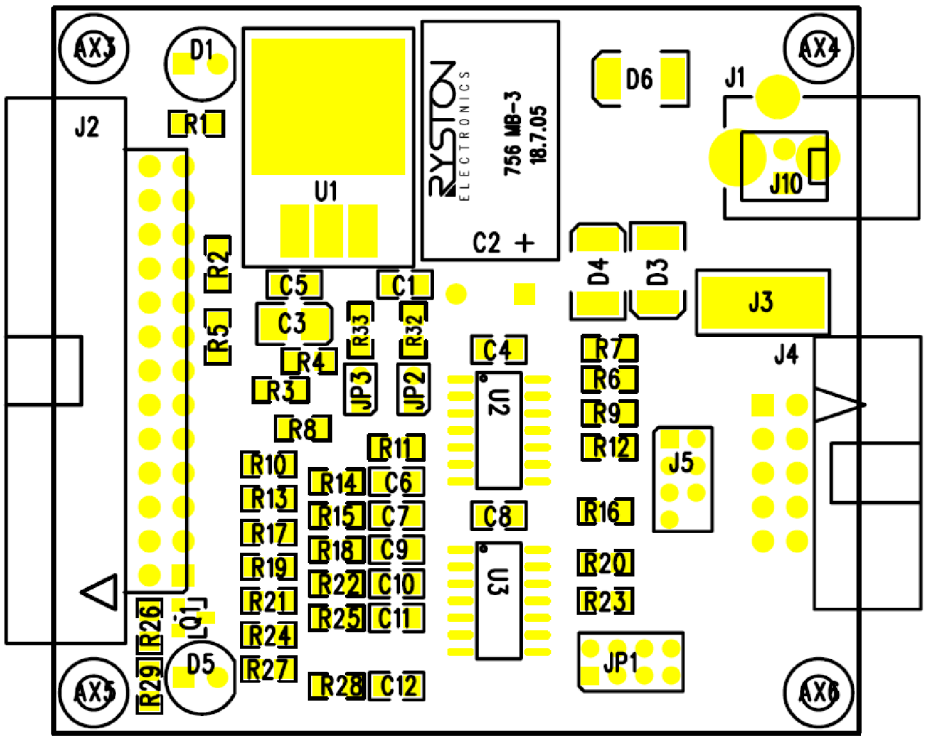


Obrázek 3.7. Skutečné provedení CPLD EPM7064 a programovacího rozhraní

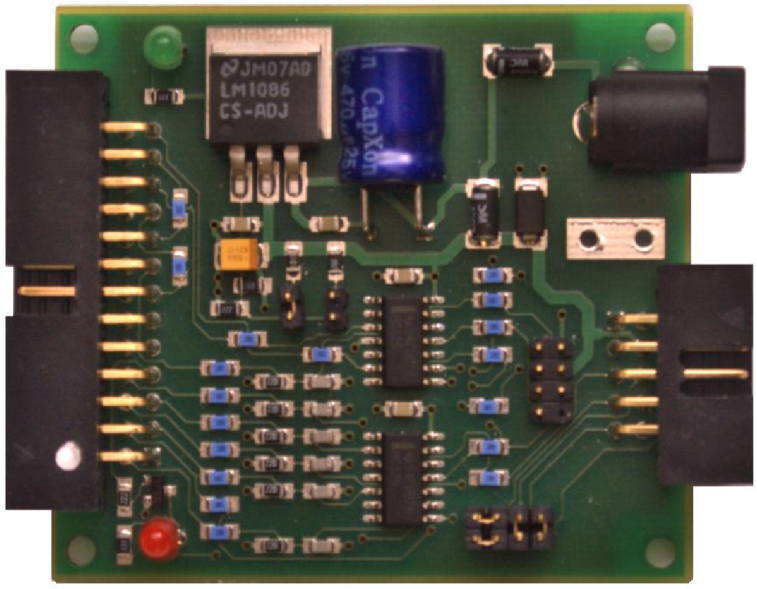


Obrázek 3.8. Programátor PRESTO

Obrázek 3.9. Programovací kabel "ByteBlasterMV"



Obrázek 3.10. Programátor CPLD obvodů firmy RYSTON Electronics



Obrázek 3.11. Skutečné provedení programátoru firmy RYSTON Electronics

V následující tabulce 3.1. je uveden význam všech vývodů obvodu IC1 EPM7064SLC44-10N s uvedením krátké charakteristiky. V další tabulce 3.2. je uvedena upřesňující charakteristika a provozní podmínky CPLD obvodu EPM7064SLC44-10N.

Tabulka 3.1. Popis funkcí jednotlivých vývodů obvodu EPM7064SLC44-10N

Vývod CPLD	Funkce		Vývod CPLD	Funkce
1	/GCLR - Reset		23	+Vcc / + 5V
2	Nevyužito		24	Výstup 14 - Y14
3	+Vcc / + 5V		25	Výstup 13 - Y13
4	Vstup 07 - G		26	Výstup 12 - Y12
5	Vstup 06 - F		27	Výstup 11 - Y11
6	Vstup 05 - E		28	Výstup 10 - Y10
7	TDI / JTAG		29	Výstup 09 - Y9
8	Vstup 04 - D		30	GND - 0V
9	Vstup 03 - C		31	Výstup 08 - Y8
10	GND - 0V		32	TCK / JTAG
11	Vstup 02 - B		33	Výstup 07 - Y7
12	Vstup 01 - A		34	Výstup 06 - Y6
13	TMS / JTAG		35	+Vcc / + 5V
14	Výstup 15 - Y15		36	Výstup 05 - Y5
15	+Vcc / + 5V		37	Výstup 04 - Y4
16	Výstup 16 - Y16		38	TDO / JTAG
17	Vstup 12 - L		39	Výstup 03 - Y3
18	Vstup 11 - K		40	Výstup 02 - Y2
19	Vstup 10 - J		41	Výstup 01 - Y1
20	Vstup 09 - I		42	GND - 0V
21	Vstup 08 - H		43	GCLK Hodiny
22	GND - 0V		44	Nevyužito

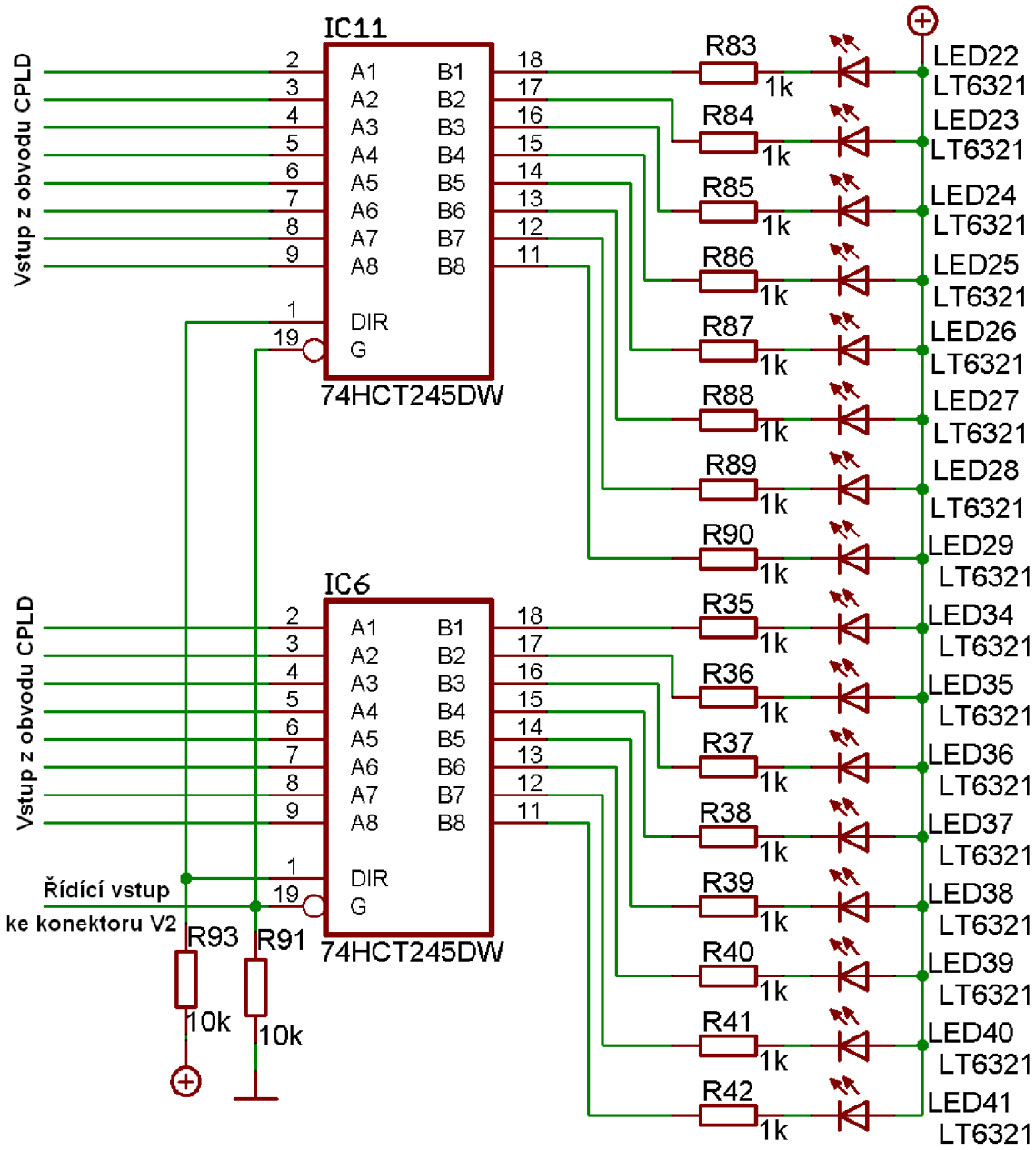
Tabulka 3.2. Základní parametry obvodu CPLD EPM7064SLC44-10N

Parametr	Hodnota		Parametr	Hodnota
Model IO	MAX 7000		Počet makrobuněk	64
Kategorie	CPLD, SPLD, PAL		Počet hradel obvodu	1250
Typ montáže	SMD, SMT		Pracovní teplota	Od 0 °C do 70 °C
Název pouzdra	PLCC – 44 pinů		Počet I/O Pinů	36
Napájecí napětí	5,00 V		Typ paměti	EEPROM
Počet logic. bloků	4		Programování	JTAG, ISP

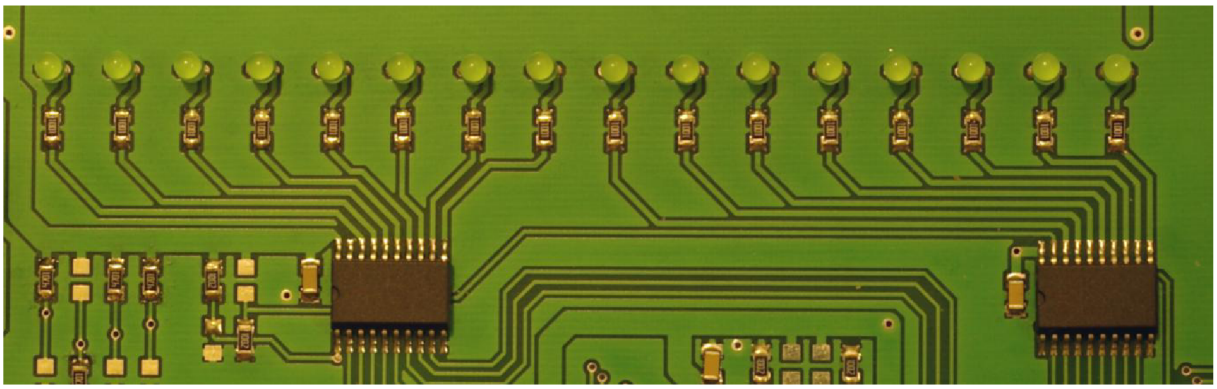
3.2.4. Výstupní obvody

Výstupní část obvodového řešení je znázorněna na obrázku 3.12. Základ zapojení tvoří převodníky úrovní (invertory) tvořené obvody IC6 a IC11, které jsou zapojeny obdobně jako integrované obvody IC3 a IC4 u vstupních obvodů. Rezistory R91 a 93 zajišťují přivedení požadovaných úrovní na vstupy G a DIR IC6 a IC11. Tyto rezistory určují směr průchodu dat (konkrétně ze vstupů A na výstupy B) a zajišťují, aby nebyly výstupy obvodů ve stavu vysoké impedance.

Na výstupech obou integrovaných obvodů jsou připojeny přes omezovací rezistory zelené diody LED22 až LED29 a LED34 až LED41 oproti napájecímu napětí Vcc +5V, které signalizují vysokou úroveň na výstupu IC1 EPM7064. Skutečné provedení výstupních obvodů je zobrazeno na obrázku 3.13.



Obrázek 3.12. Schéma zapojení výstupních obvodů



Obrázek 3.13. Skutečné provedení výstupních obvodů

3.2.5. Generátor hodinových impulzů

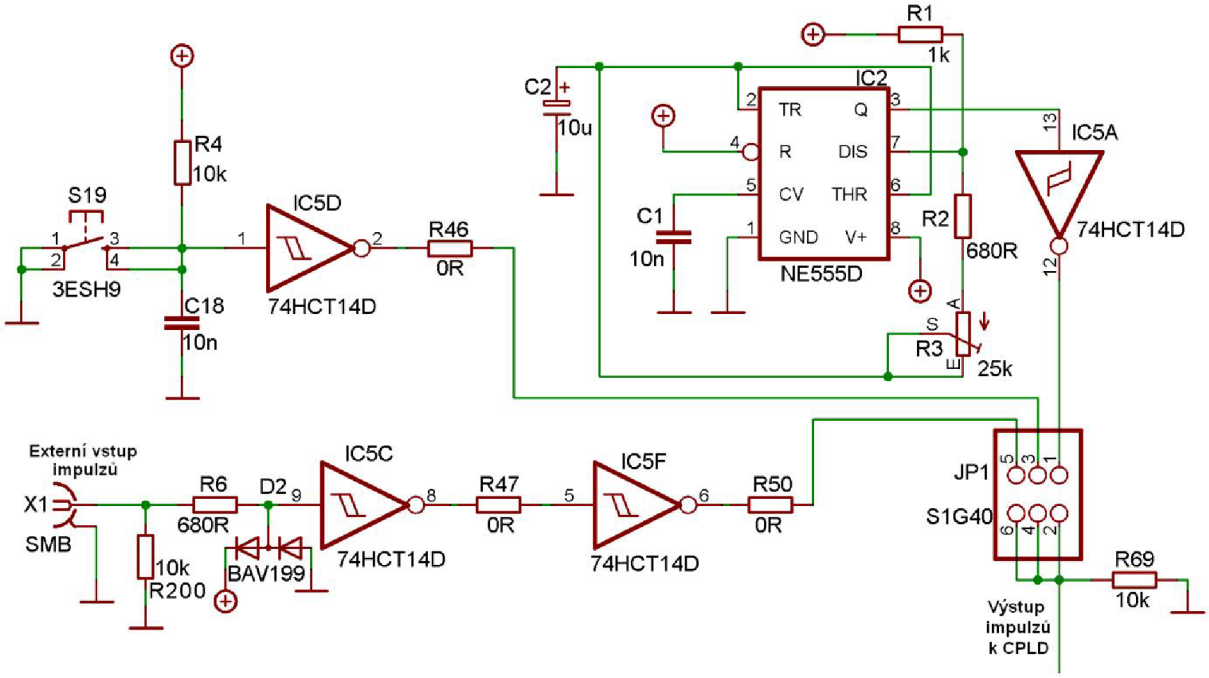
Schéma zapojení obvodů pro generování hodinových impulzů je na obrázku 3.14. Pro možnost krokování programu v obvodu CPLD je možno použít v závisloti na programu libovolný vstup obvodu. Avšak obvod EPM7064 má vyveden na vnější pin (vývod) vstup pro hodinové impulzy - GCLK (vývod č.13), který zaručuje nejmenší zpoždění tohoto vstupního hodinového signálu v celém hradlovém poli. Pro případné použití hodinových impulzů je vývojová deska opatřena třemi možnostmi generování impulzů:

a) Pomocí vstupního konektoru X1, kde lze přivádět jednotlivé impulzy z jakéhokoliv generátoru, který má výstup kompatibilní s úrovněmi TTL. Tyto impulzy se poté ještě tvarují v hradlech IC5C a IC5F. Dioda D2 slouží jako ochrana před napěťovými špičkami. Rezistor R200 přivádí na vstup konektoru X1 nízkou úroveň (L) pro zamezení kmitání při odpojeném konektoru X1.

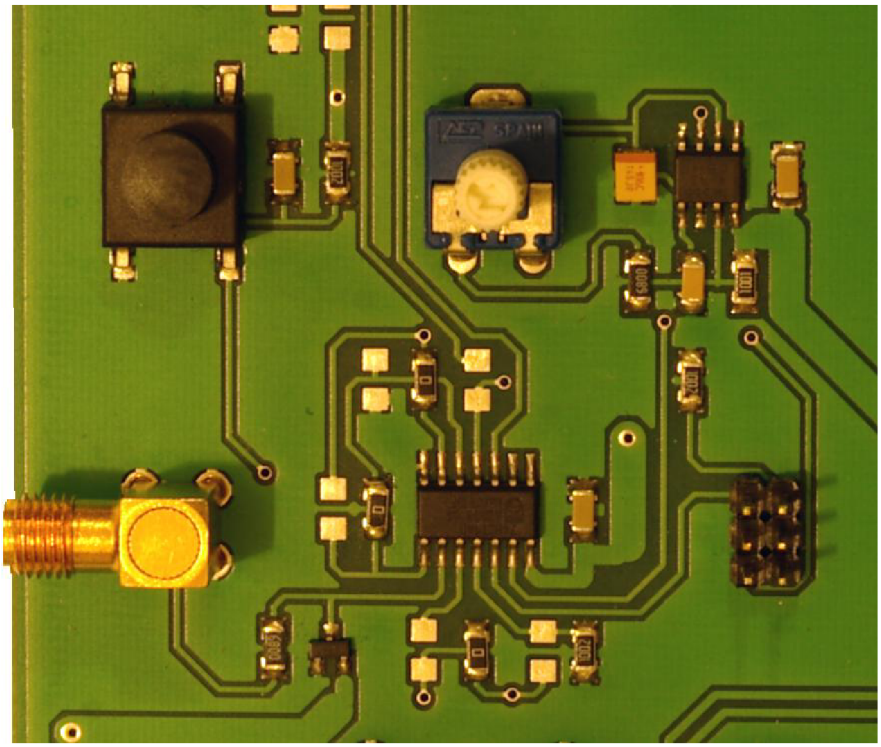
b) Pomocí tlačítka S19, kde lze jeho stiskem vytvářet jednotlivé impulzy, které se dále tvarují v hradle IC5D.

c) Pomocí astabilního oscilátoru tvořeného integrovaným obvodem IC2 na jehož výstupu je umístěno hradlo IC5A, které opět tvaruje výstupní impulzy astabilního oscilátoru na požadované úrovně. Rychlost impulzů generátoru je dána kapacitou kondenzátoru C2 a hodnotou nastaveného odporu u odporového trimru R3.

Pro výběr jednotlivých zdrojů hodinových impulzů slouží kolíková lišta 2x3 piny JP1, kde se zkratovací propojkou (Jumperem) volí zdroj impulzů. Není-li nastaven žádný zdroj impulzů a propojka není osazena na žádném z pinů, je na vstupu GCLK obvodu CPLD nízká úroveň (L), která je dána hodnotou rezistoru R69. Umístění obvodů na plošném spoji přípravku je zobrazeno na obrázku 3.15.



Obrázek 3.14. Schéma zapojení obvodů pro generování hodinových impulzů

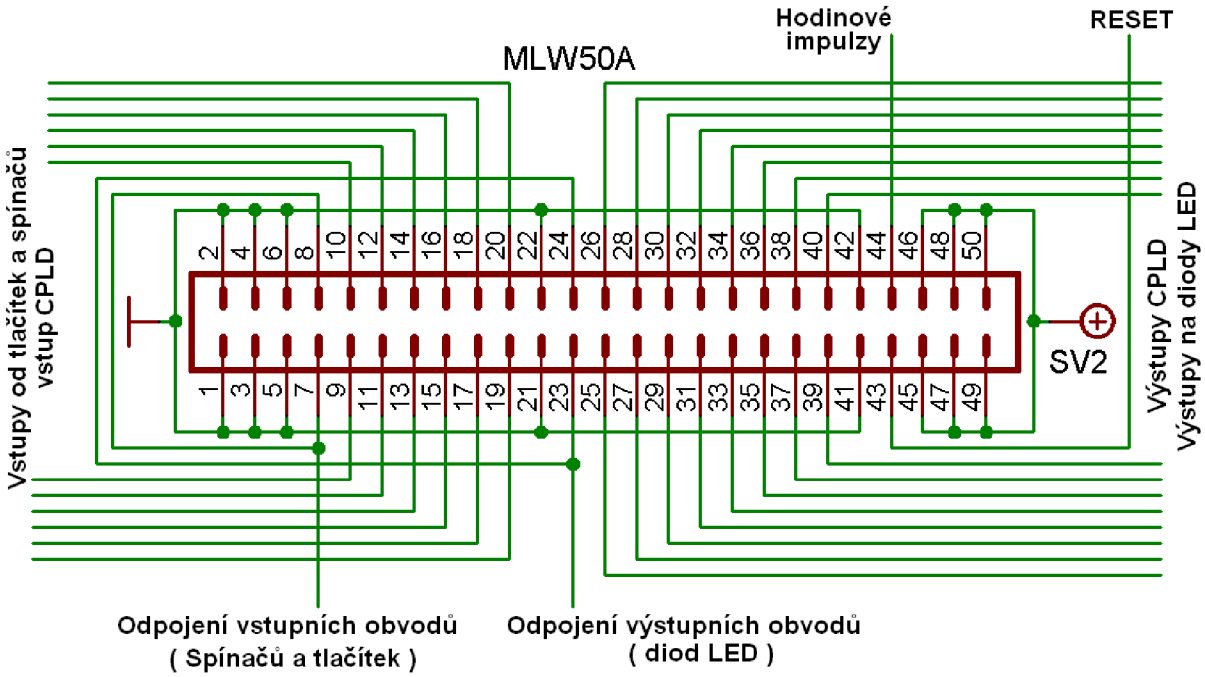


Obrázek 3.15. Umístění obvodů pro generování hodinových impulzů na DPS

3.2.6. Rozhraní pro připojení periferií

Pro připojení dalšího libovolného rozšiřujícího obvodu (mikrokontrolér, LED displej a pod.) je laboratorní přípravek osazen konektorem, kde jsou vyvedeny všechny vývody obvodu EPM7064 a dalšími potřebnými signály.

Schéma zapojení rozšiřujícího konektoru je na obrázku 3.16., umístění na plošném spoji je zobrazeno na obrázku 3.17. a význam jednotlivých pinů na konektoru je uveden v tabulce 3.3.



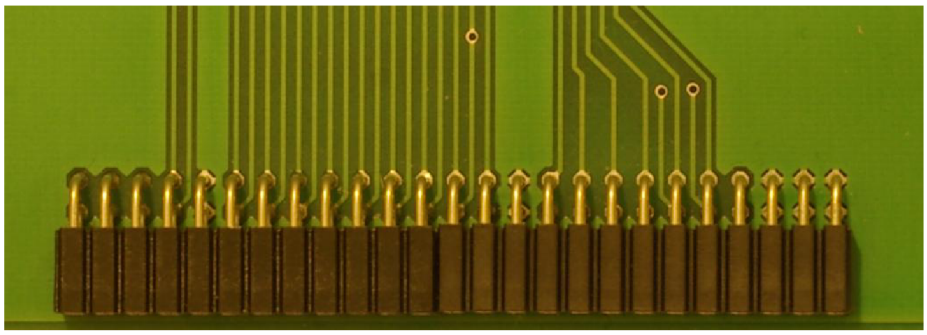
Obrázek 3.16. Schéma zapojení rozšiřujícího rozhraní

Tabulka 3.3. Význam pinů na rozšiřujícím konektoru

Vývod konektoru	Popis signálu	Vývod konektoru	Popis signálu
1	GND	2	GND
3	GND	4	GND
5	GND	6	GND
7	Řízení vstupů	8	Řízení vstupů
9	Vstup 1	10	Vstup 7
11	Vstup 2	12	Vstup 8
13	Vstup 3	14	Vstup 9
15	Vstup 4	16	Vstup 10

Tabulka 3.3. Význam pinů na rozšiřujícím konektoru - pokračování

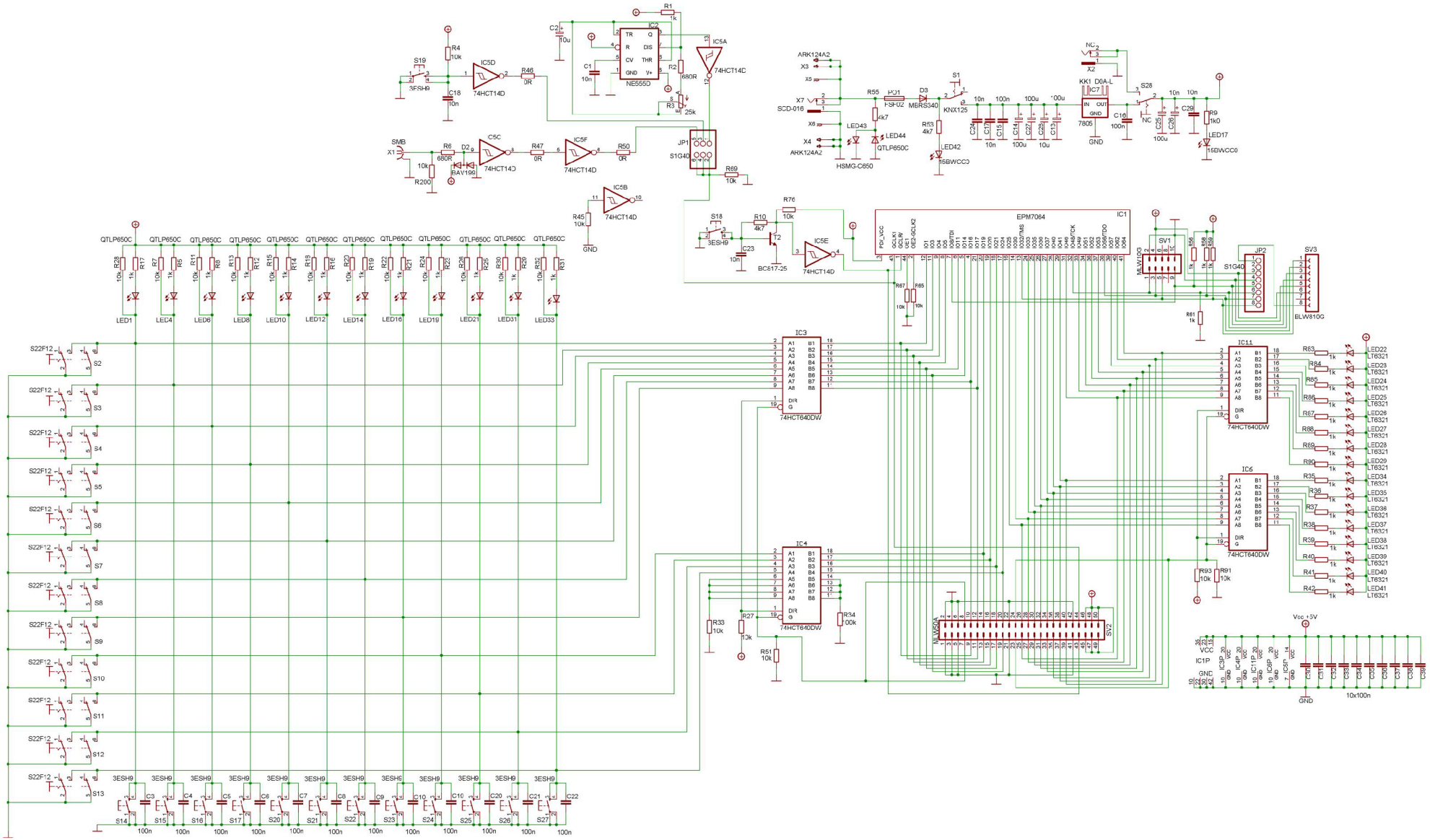
Vývod konektoru	Popis signálu		Vývod konektoru	Popis signálu
17	Vstup 5		18	Vstup 11
19	Vstup 6		20	Vstup 12
21	GND		22	GND
23	Řízení výstupů		24	Řízení výstupů
25	Výstup 08		26	Výstup 16
27	Výstup 7		28	Výstup 15
29	Výstup 6		30	Výstup 14
31	Výstup 5		32	Výstup 13
33	Výstup 4		34	Výstup 12
35	Výstup 3		36	Výstup 11
37	Výstup 2		38	Výstup 10
39	Výstup 1		40	Výstup 9
41	GND		42	GND
43	Reset GRST		44	Hodiny GCLK
45	Vcc + 5V		46	Vcc + 5V
47	Vcc + 5V		48	Vcc + 5V
49	Vcc + 5V		50	Vcc + 5V



Obrázek 3.17. Provedení rozšiřujícího rozhraní

3.3. Celkové schéma zapojení přípravku

Celkové schéma zapojení přípravku pro práci s obvody CPLD firmy ALTERA je na obrázku 3.18. Schéma se skládá z již výše popsaných částí zapojení s doplněním o filtrační kondenzátory u jednotlivých integrovaných obvodů. Tyto kondenzátory jsou zapojeny mezi napájecí napětí Vcc +5V a zemnící potenciál GND.

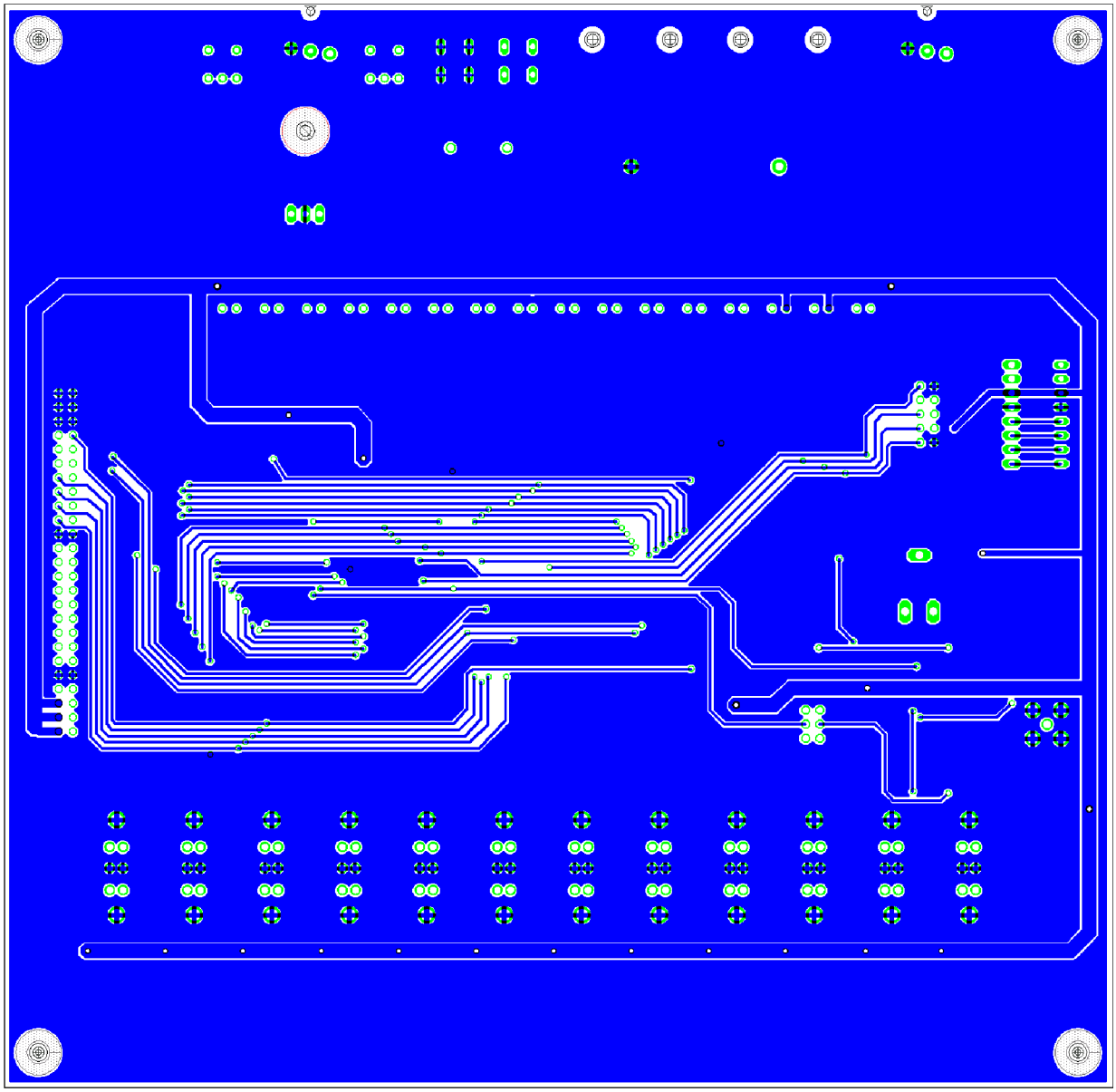


Obrázek 3.18 Celkové schéma zapojení přípravku

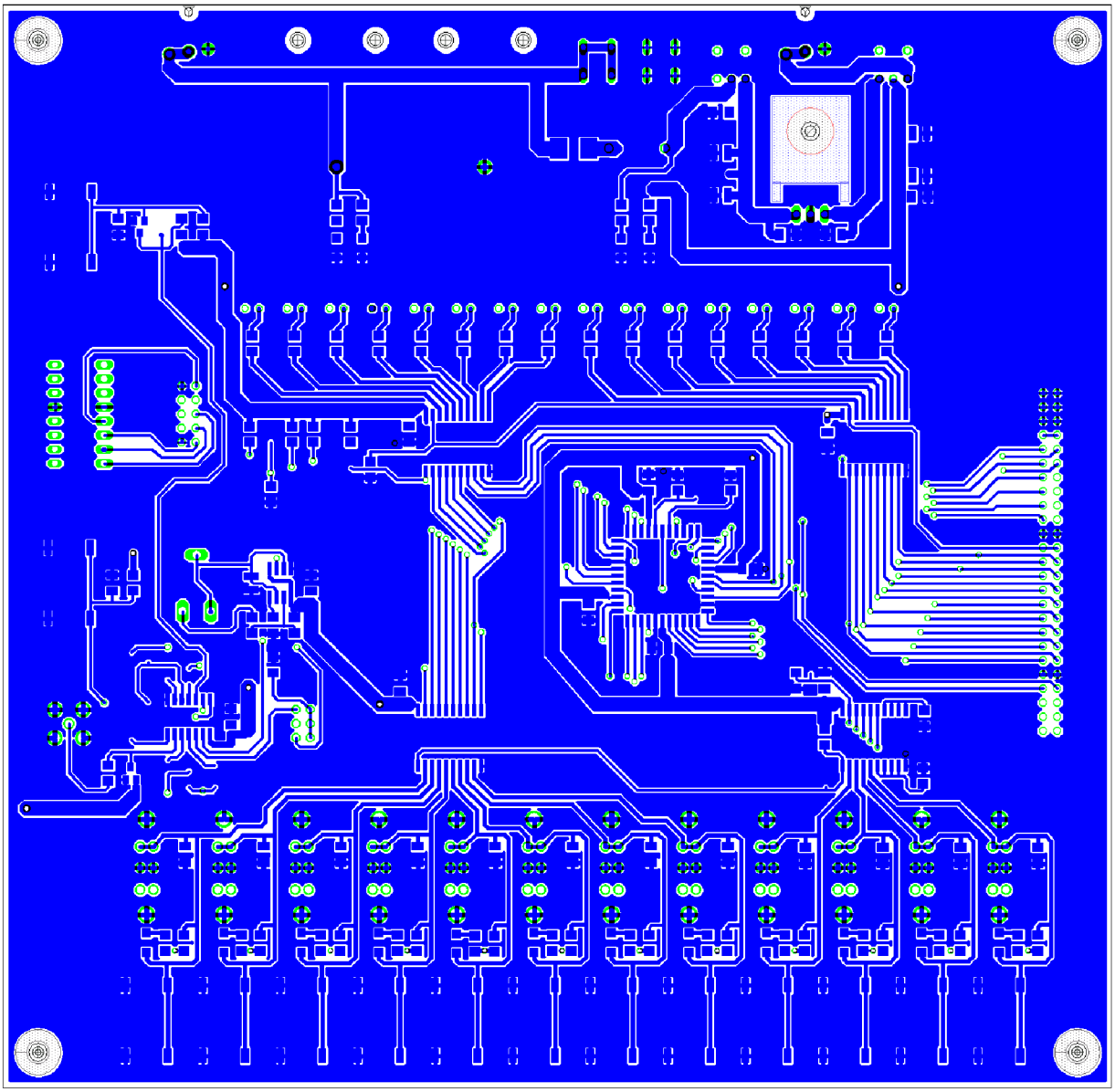
4. NÁVRH PLOŠNÉHO SPOJE

4.1. Návrh spojů

Celý návrh plošného spoje přípravku byl realizován za pomoci návrhového systému EAGLE v4.13 firmy CADSOFT. Při návrhu plošného spoje bylo vycházeno z požadavku na přehlednost ovládání a variabilitu provedení celého návrhu, proto je deska se spoji poněkud větších rozměrů, i když by bylo možné navrhnout a vyrobit menší. Deska je koncipována jako dvouvrstvá s nepájivou maskou s povrchovou úpravou cínováním. DPS je navržena pro kombinovanou montáž, jak pro součástky pro povrchovou montáž, tak i pro součástky vývodové. Osazení součástek je provedeno z jedné strany, ze spodní strany DPS je umístěn pouze rezistor R200 připojený na konektor X1. Zobrazení navržených plošných spojů je pro představu uvedeno na obrázku 4.1. ze strany spojů a na obrázku 4.2. ze strany součástek.



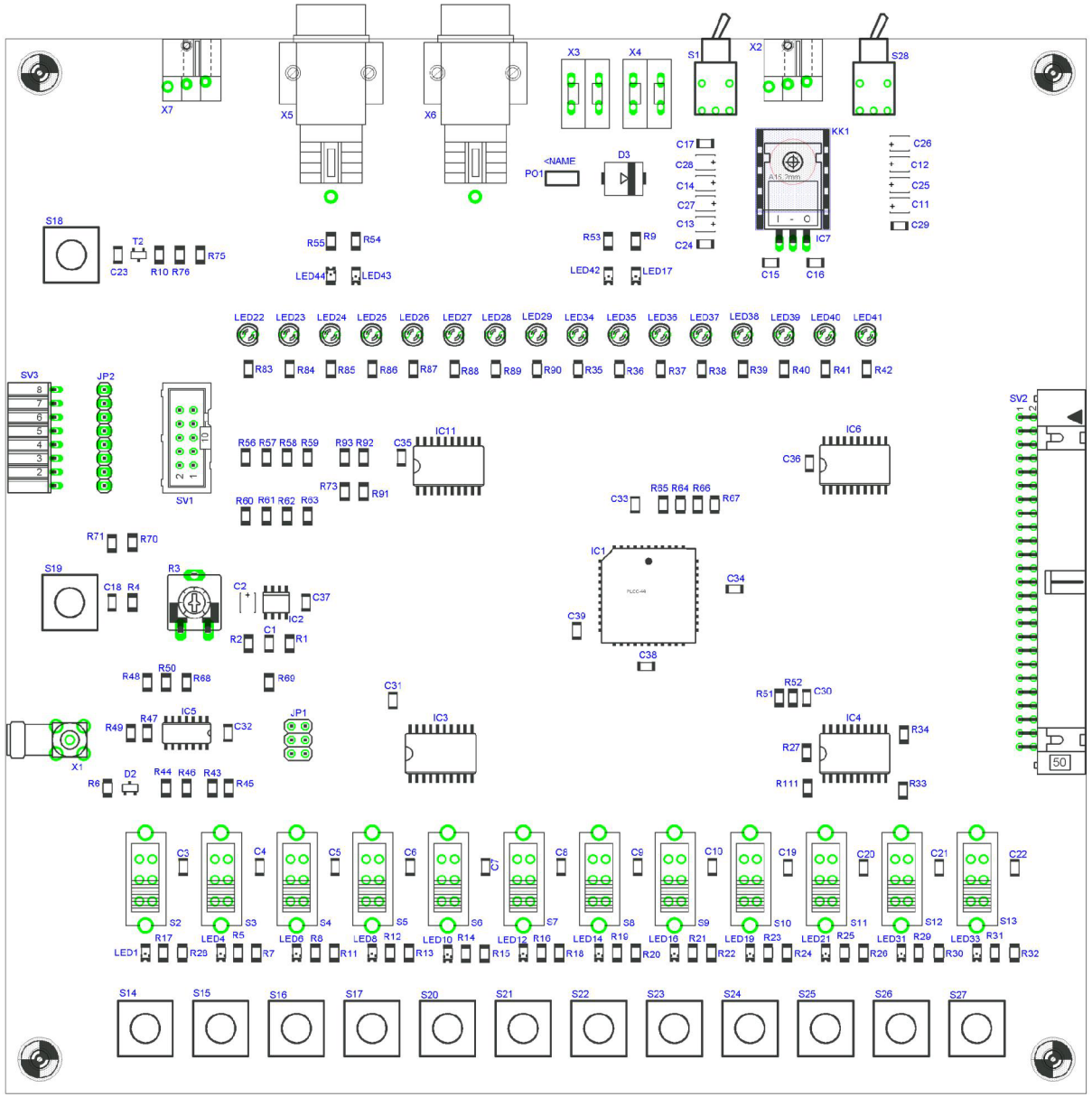
Obrázek 4.1. Návrh DPS ze strany spojů



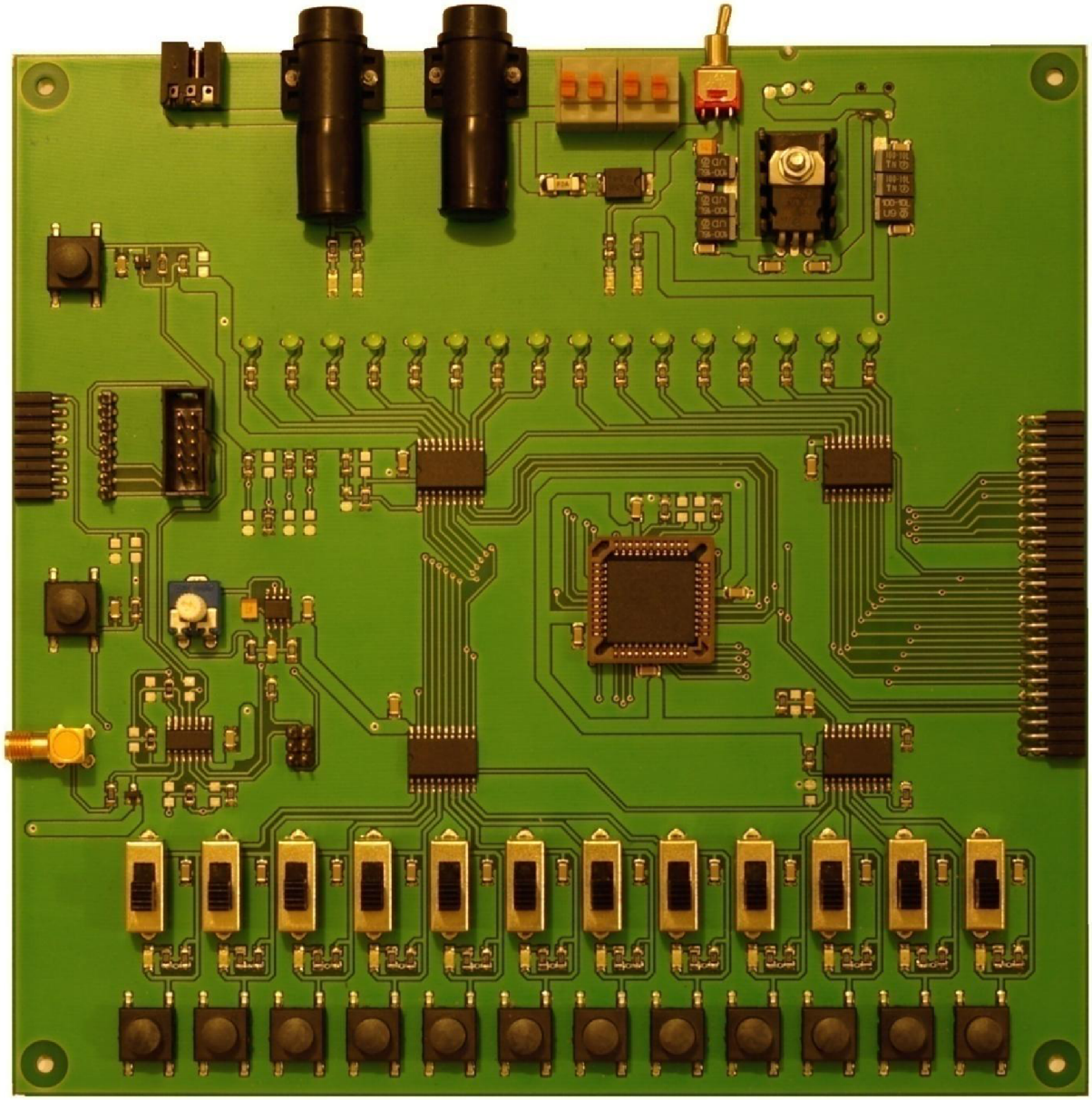
Obrázek 4.2. Návrh DPS ze strany součástek

4.2. Osazovací výkres

Osazovací výkres vygenerovaný návrhovým systémem Eagle je vyobrazen na obrázku 4.3. U všech součástek jsou ve výkrese pro jednoduchou orientaci uvedeny reference. Pro větší přehlednost nejsou v osazovacím výkrese zakresleny konkrétní hodnoty jednotlivých součástek, ale potřebné souvislosti lze najít v seznamu součástek uvedených v tabulce 4.1. Seznam v tabulce 4.1 byl také generován pomocí návrhového systému do textového souboru a pro přehlednost byl upraven do tabulky. Fotografie kompletně osazené DPS je zobrazena na obrázku 4.4.



Obrázek 4.3. Osazovací výkres přípravku



Obrázek 4.4. Kompletně osazená DPS přípravku

4.3. Seznam materiálu pro osazení přípravku

Tabulka 4.1. Seznam použitých součástek - 1.část

Kondenzátory							
10nF/50V	SMD 1206	**7**	C1	C17	C18	C23	C24
			C26	C29			
100nF/50V	SMD 1206	**24**	C3	C4	C5	C6	C7
			C8	C9	C10	C15	C16
			C19	C20	C21	C22	C30
			C31	C32	C33	C34	C35
			C36	C37	C38	C39	
10uF/16V	SMD 6032	**2**	C2	C28			
100u/25V	SMD 6032	**4**	C13	C14	C25	C27	
Diody							
BAV199	SMD SOT23	**1**	D2				
MBRS340	SMD SMC	**1**	D3				
IO							
NE555D	SMD SO8	**1**	IC2				
74HCT14D	SMSD SO14	**1**	IC5				
74HCT640DW	SMD SO20W	**4**	IC3	IC4	IC6	IC11	
EPM7064	SMD PLCC44	**1**	IC1				
LM7805	THD TO220	**1**	IC7				
Diody LED							
15BWCC0	SMD 1206 Modrá	**2**	LED17	LED42			
HSMG	SMD 1206 Zelená	**1**	LED43				
QTLP650C	SMD 1206 Rudá	**13**	LED01	LED04	LED06	LED08	LED10
			LED12	LED14	LED16	LED19	LED21
			LED31	LED33	LED44		
LT6321	THD 3mm Zelená	**16**	LED23	LED24	LED25	LED26	LED27
			LED28	LED29	LED34	LED35	LED36
			LED37	LED38	LED39	LED40	LED41
			LED22				

Tabulka 4.1. Seznam použitých součástek - pokračování

Pojistka							
FSF02	SMD	**1**	PO1				
R Trimr							
25k	THD CA9VK025	**1**	R3				
Rezistory							
0R	SMD 1206	**3**	R46	R47	R50		
680R	SMD 1206	**2**	R2	R6			
1k0	SMD 1206	**34**	R1	R5	R8	R9	R12
			R14	R16	R17	R19	R21
			R23	R25	R29	R31	R35
			R36	R37	R38	R39	R40
			R41	R42	R56	R58	R59
			R61	R83	R84	R85	R86
			R87	R88	R89	R90	
4k7	SMD 1206	**3**	R10	R53	R55		
10k	SMD 1206	**24**	R4	R7	R11	R13	R15
			R18	R20	R22	R24	R26
			R27	R28	R30	R32	R33
			R45	R51	R65	R67	R69
			R76	R91	R93	R200	
100k	SMD 1206	**1**	R34				
Kolíková lišta							
S1G40	THD 2x3 piny	**1**	JP1				
S1G40	THD 1x8 pinů	**1**	JP2				
Spínače							
KNX125	THD	**1**	S1				
S22F12	THD	**12**	S2	S3	S4	S5	S6
			S7	S8	S9	S10	S11
			S12	S13			

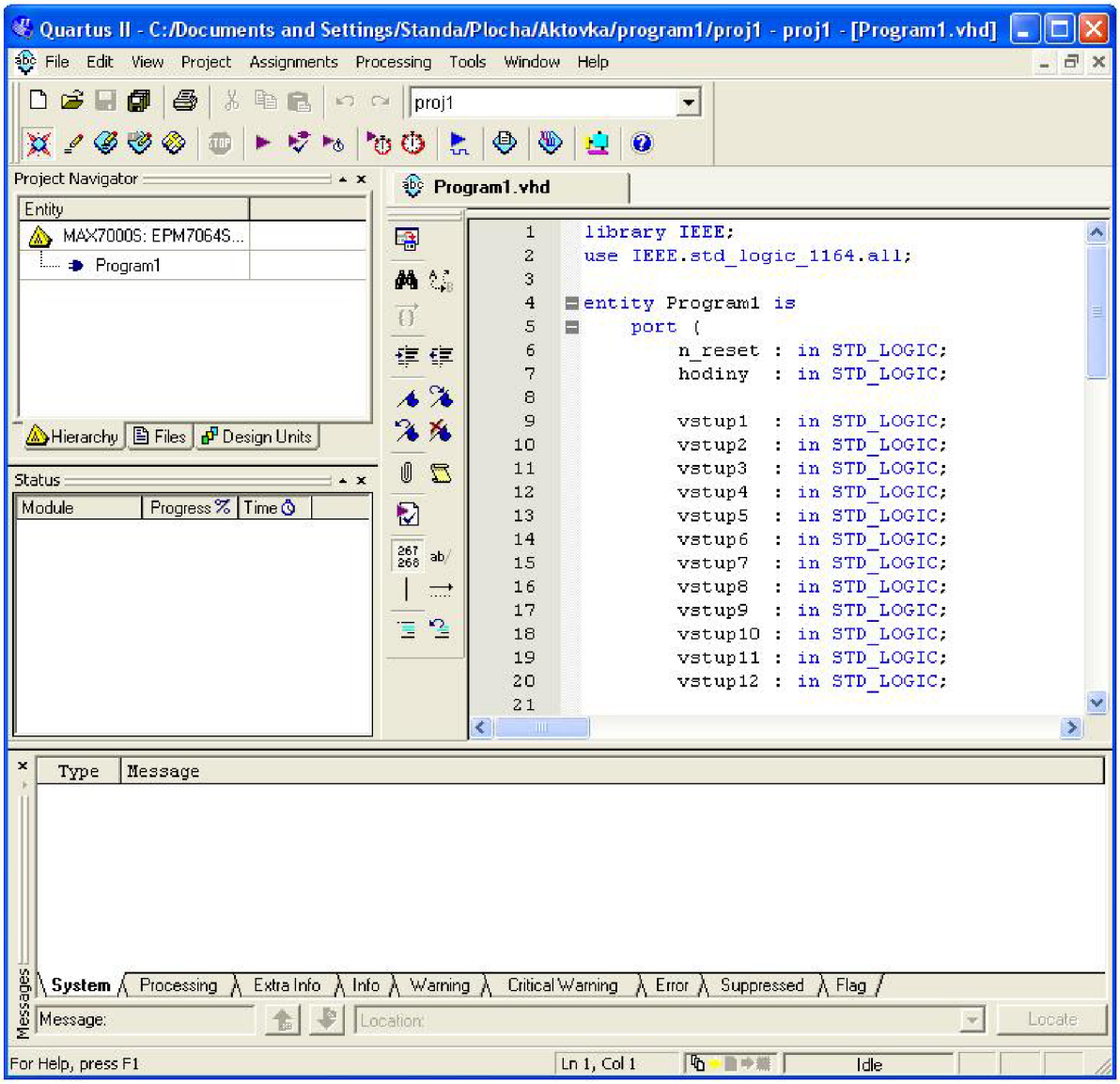
Tabulka 4.1. Seznam použitých součástek - dokončení

Tlačítka							
3ESH9ES	THD	**14**	S14 S19 S24	S15 S20 S25	S16 S21 S26	S17 S22 S27	S18 S23
Konektory							
MLW10G	THD Rovný	**1**	SV1				
MLW50A	THD 90st.	**1**	SV2				
BLW810G	THD Rovný	**1**	SV3				
Tranzistor							
BC817-25	SMD SOT23	**1**	T2				
Konektory							
SMB	THD PCB90F	**1**	X1				
ARK124A2	THD	**2**	X3	X4			
METRA	THD	**2**	X5	X6			
SCD-016	THD	**1**	X7				
Neosazeno							
NC	SMD 6032	**23**	C11 R44 R57 R66 R75	C12 R48 R60 R68 R92	X2 R49 R62 R70 R111	S28 R52 R63 R71	R43 R54 R64 R73

5. TVORBA APLIKACÍ PRO CPLD

5.1. Vývojové prostředí

Celý návrh aplikačního softwaru do programovatelných logických polí firmy ALTERA se realizuje pomocí vývojového prostředí „QUARTUS II Web Edition SP2“, jehož základní vzhled je zobrazen na obrázku 5.1.



Obrázek 5.1. Vývojové prostředí QUARTUS II

Uvedené vývojové prostředí lze volně stáhnout ze stránek výrobce a po vyplnění několika málo řádků v dotazníku obdržíte na zadanou E-mailovou adresu licenční klíč, který má platnost 6 měsíců. Poté je nutno stejným způsobem prodloužit platnost licence na dalších 6 měsíců získáním nového licenčního klíče.

K vývojovému prostředí QUARTUS je k dispozici poměrně rozsáhlý manuál (v anglickém jazyce), jehož rozsah činí přibližně 2380 stran.

Uvedený manuál v elektronické podobě ve formátu PDF je přiložen na DVD-ROM, které je součástí této bakalářské práce.

5.2. Návrh aplikací

5.2.1. Jazyk VHDL

Navrhnout aplikaci pro CPLD obvody lze několika způsoby. Jedním z nich je přímo napsání programu v jazyce HDL, popřípadě v jazyce VHDL. Po napsání kódu se provede kompilace ve vývojovém prostředí a vygenerují se potřebné soubory pro programování obvodu. Před kompilací programu je nutno zadat přesný typ CPLD obvodu do vývojového prostředí, jinak výstupní soubory nebudou s uvedeným obvodem spolupracovat a aplikace nebude pracovat podle našich představ.

Vzhled jednoduchého programu v jazyce VHDL s vyznačenou syntaxí je vypsán níže:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity Program1 is
   port (
      n_reset  : in STD_LOGIC;
      hodiny   : in STD_LOGIC;

      vstup1   : in STD_LOGIC;
      vstup2   : in STD_LOGIC;
      vstup3   : in STD_LOGIC;
      vstup4   : in STD_LOGIC;
      vstup5   : in STD_LOGIC;
      vstup6   : in STD_LOGIC;
      vstup7   : in STD_LOGIC;
      vstup8   : in STD_LOGIC;
      vstup9   : in STD_LOGIC;
      vstup10  : in STD_LOGIC;
      vstup11  : in STD_LOGIC;
      vstup12  : in STD_LOGIC;

      vystup1  : out STD_LOGIC;
      vystup2  : out STD_LOGIC;
      vystup3  : out STD_LOGIC;
      vystup4  : out STD_LOGIC;
      vystup5  : out STD_LOGIC;
      vystup6  : out STD_LOGIC;
      vystup7  : out STD_LOGIC;
      vystup8  : out STD_LOGIC;
      vystup9  : out STD_LOGIC;
      vystup10 : out STD_LOGIC;
      vystup11 : out STD_LOGIC;
      vystup12: out STD_LOGIC;
      vystup13 : out STD_LOGIC;
```

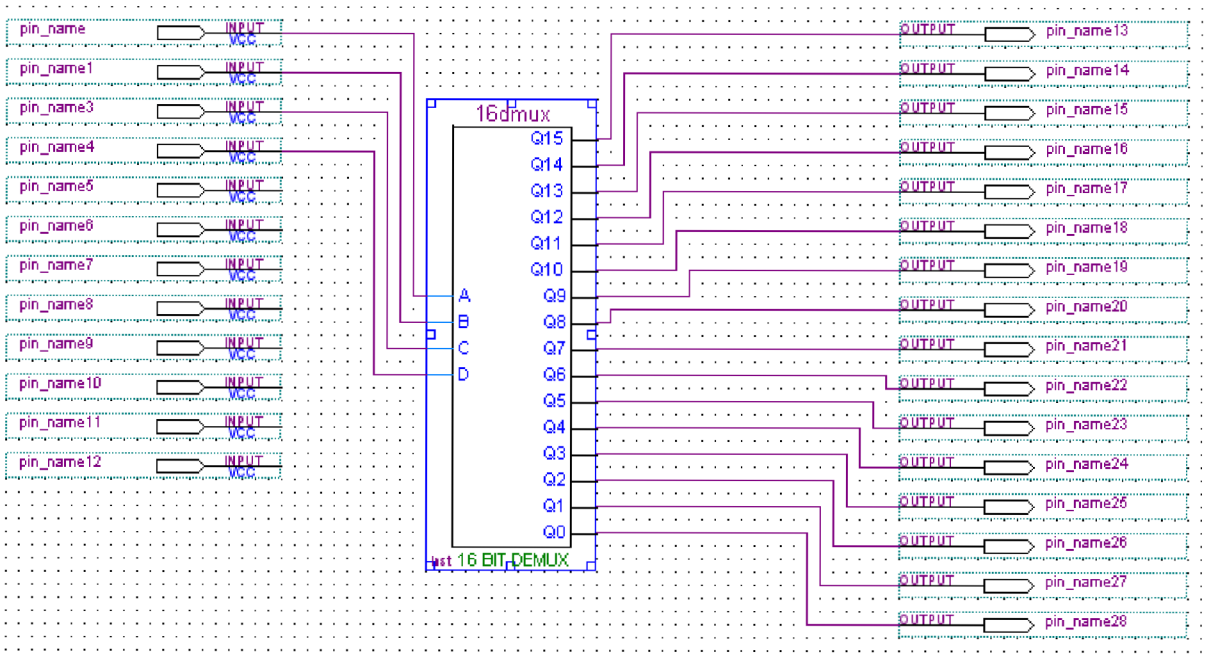
```
        vystup14: out STD_LOGIC;
        vystup15 : out STD_LOGIC;
        vystup16: out STD_LOGIC

    );
end Program1;

architecture struct_arch of Program1 is
-- pro pouhe propojeni nejsou potreba zadne signaly
--  signal rst: std_logic;

begin
    vystup1 <= vstup1;
    vystup2 <= vstup2;
    vystup3 <= vstup3;
    vystup4 <= vstup4;
    vystup5 <= vstup5;
    vystup6 <= vstup6;
    vystup7 <= vstup7;
    vystup8 <= vstup8;
    vystup9 <= vstup9;
    vystup10 <= vstup10;
    vystup11 <= vstup11;
    vystup12 <= vstup12;

    vystup13 <= '0'; -- natvrdo do GND
    vystup14 <= '0'; -- natvrdo do GND
    vystup15 <= '0'; -- natvrdo do GND
    vystup16 <= '0'; -- natvrdo do GND

end struct_arch;
```

5.2.2. Schematický editor

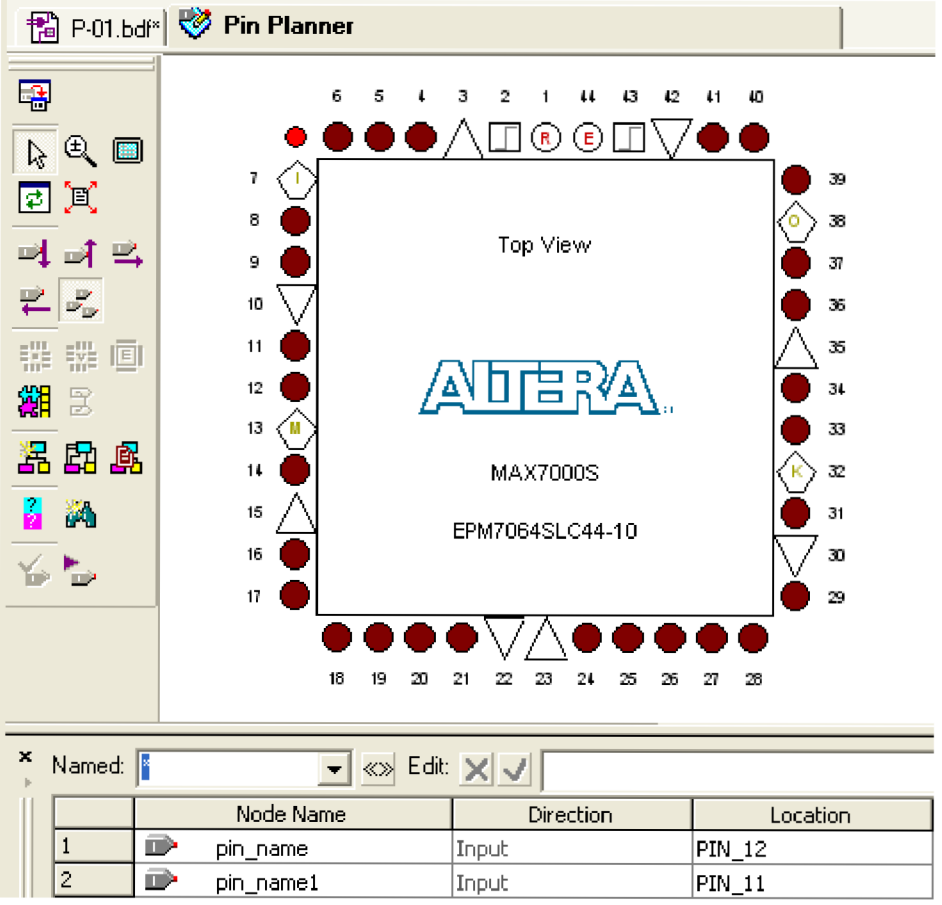
Dalším způsobem návrhu aplikace v prostředí QUARTUS II je přímé kreslení schématu s využitím jednotlivých logických hradel, popřípadě celých funkčních bloků obsažených přímo ve vývojovém prostředí. I zde musíme po nakreslení schématu identifikovat a přiřadit jednotlivé vývody CPLD ke vstupům nebo výstupům ve schématu.

Konkrétní jednoduché schéma obvodu navržené ve vývojovém prostředí je uvedeno na obrázku 5.2. a ukázka obrazovky s přiřazením funkce jednotlivých vývodů je zobrazena na obrázku 5.3.

Celý funkční projekt se znázorněným zapojením je přiložen v elektronické formě na DVD-ROM, které je součástí této bakalářské práce.



Obrázek 5.2. Schéma vytvořené vývojovým prostředím QUARTUS II



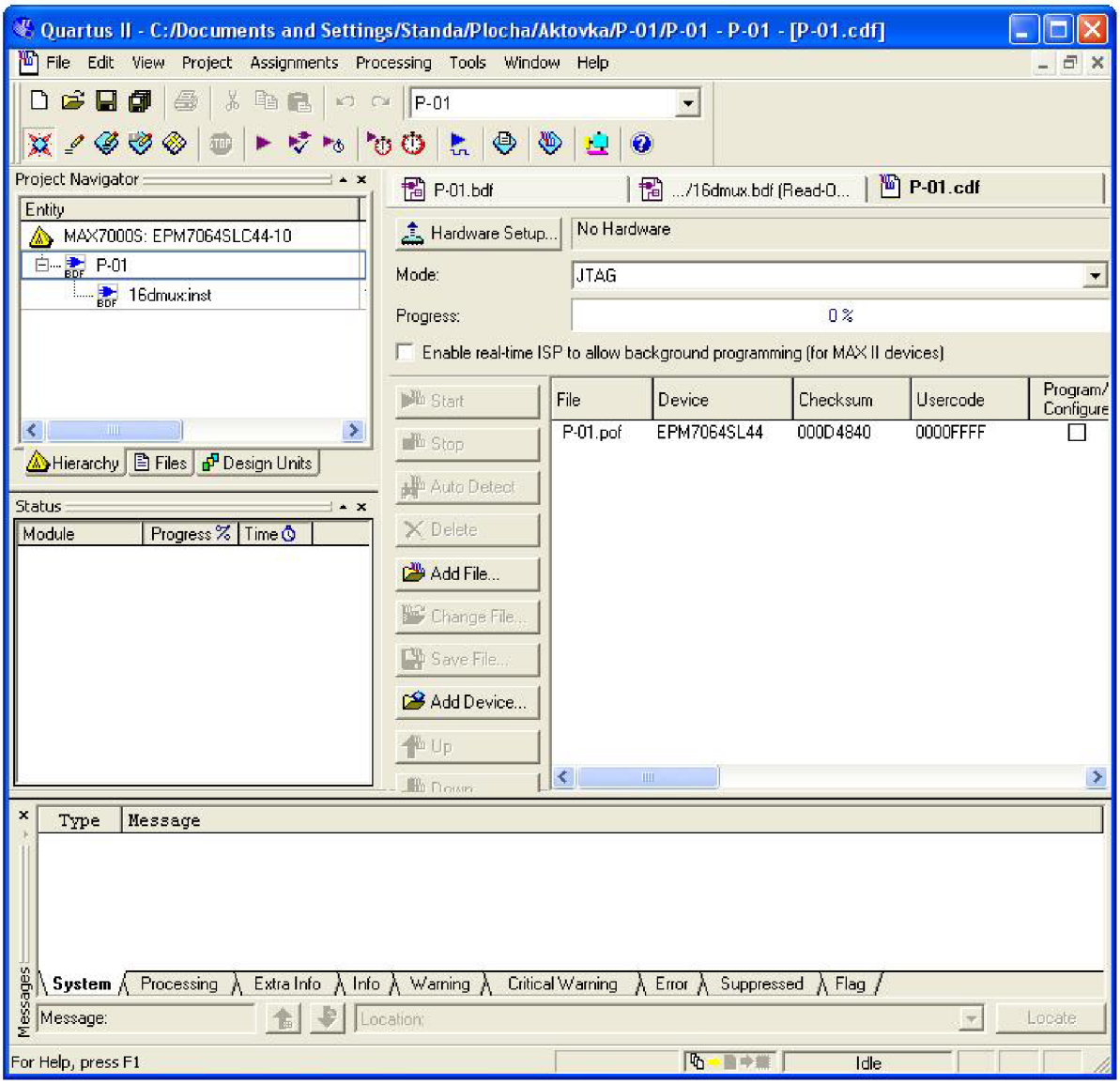
Obrázek 5.3. Editor přiřazení vývodů k obvodu CPLD

5.3. Programátory

5.3.1. Paralelní programátor

Jak již bylo uvedeno v kapitole č. 3, je možno pro programování použít několik druhů programátorů s různými funkcemi a s různým rozhranním.

Pro programátor firmy RYSTON Electronic a pro originální programátor ByteBlasterMV firmy ALTERA je potřeba použít paralelní rozhranní počítače a použít standardní soubor typu POF vygenerovaný vývojovým prostředím QUARTUS II. Programování se provádí přímo z aplikace, která si sama identifikuje typ programátoru. Obrazovka vývojového prostředí při programování pomocí souboru typu POF je zobrazena na obrázku 5.4.



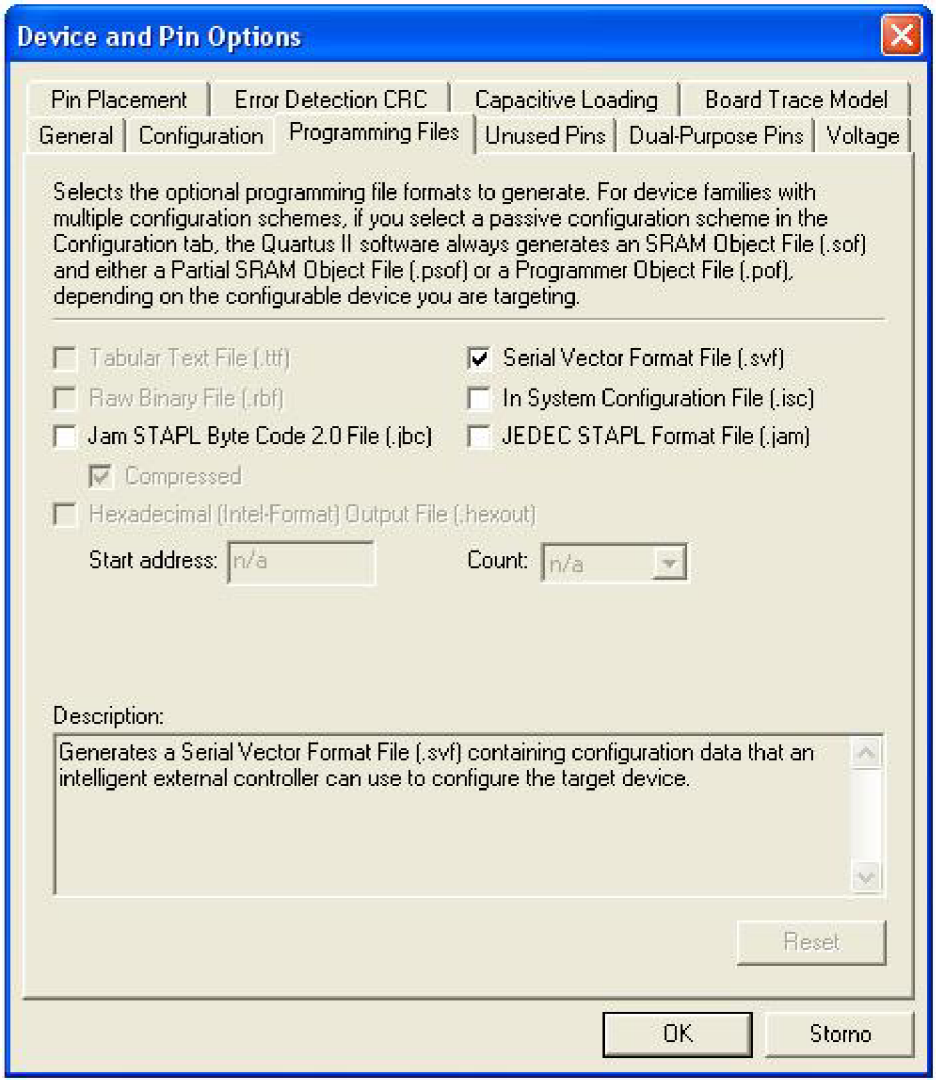
Obrázek 5.4. Okno vývojového prostředí při programování

5.3.2. Programátor USB

Jelikož na stolních počítačích je stále paralelní rozhranní standardní součástí, je možno pro naprogramování CPLD součástek použít výše popsaný postup. Ale protože například u přenosných počítačů (notebooků) paralelní rozhranní není zrovna standardní příslušenství a najít notebook s tímto rozhranním je čím dál tím větším problémem, soustředil jsem se na jiný odlišný způsob programování CPLD obvodů a to na způsob programování pomocí programátoru PRESTO vyvinutý firmou ASIX.

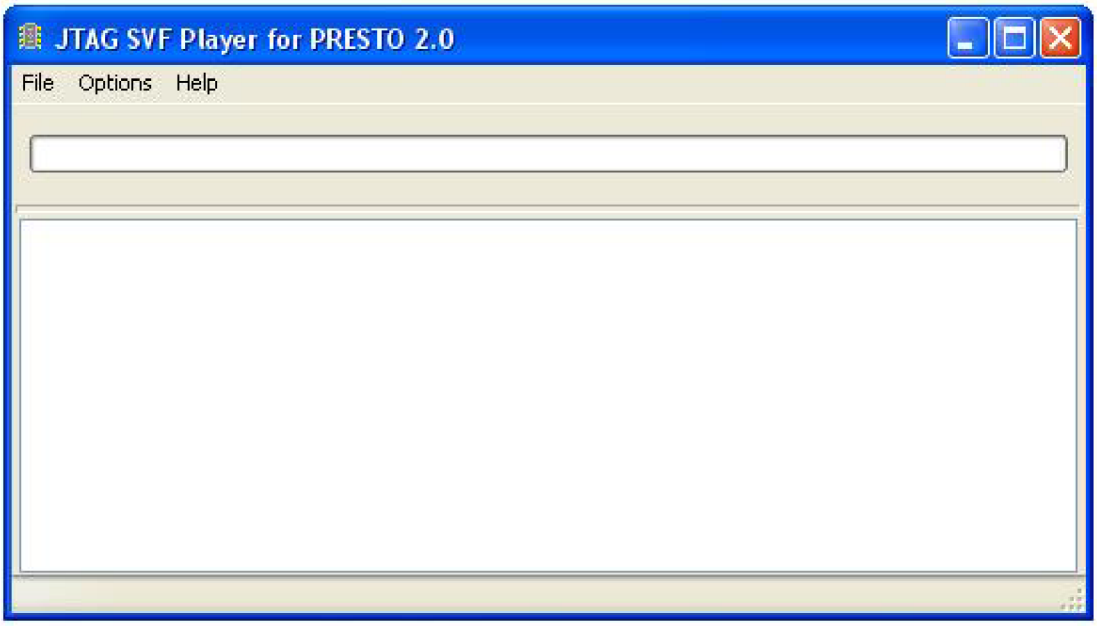
Tento programátor má tu výhodu, že je připojitelný k počítači pomocí dnes již velice univerzálního a rozšířeného rozhranní USB, kterým jsou vybaveny jak stolní, tak i přenosné počítače.

Pro použití programátoru PRESTO ovšem musíme ve vývojovém prostředí firmy ALTERA nastavit požadavek na vygenerování souboru typu SVF. Toto nastavení se provede před konečnou kompilací programu v menu „Assignments => Settings => Device and Pin Options => Programing files zaškrtnutím políčka „**Serial Vector Format File (.svf)**“. Pro názornost je zobrazeno popsané nastavení na obrázku 5.5.



Obrázek 5.5. Nastavení generování *.svf souboru

Použití programátoru PRESTO má malou nevýhodu a to tu, že k naprogramování programovatelných logických polí potřebujeme k vývojovému prostředí ještě jednu aplikaci a to program „JTAG Player“ od firmy ASIX. Tento program lze volně stáhnout z www stránek firmy ASIX www.asix.cz nebo použít verzi, která je umístěna na přiloženém DVD-ROM. Vzhled aplikace je zobrazen na obrázku 5.6.



Obrázek 5.6. Prostředí programu JTAG Player

Vývojové prostředí generuje soubor typu SVF s chybou. Po upozornění vývojářů z ALTERY mě bylo sděleno, že ve vývojovém prostředí chyba být nemůže, přesto se mi podařila tato chyba společně s pracovníky firmy ASIX identifikovat a dodatečně odstranit.

Pro zajímavost, to že chyba ve vývojovém prostředí opravdu je, jsem si prověřil naprogramováním CPLD obvodu firmy Xilinx pomocí vygenerovaného souboru typu SVF a vše proběhlo bez jakýchkoliv problémů.

V souboru typu SVF je nutno provést malou úpravu pro bezproblémové programování.

5.3.3. Úprava souboru typu SVF pro programátor PRESTO

Původní vadný kód v souborech typu SVF se zvýrazněným řádkem, ve kterém je potřeba provézt malou úpravu:

```
!Copyright (C) 1991-2007 Altera Corporation
!Your use of Altera Corporation's design tools, logic functions
!and other software and tools, and its AMPP partner logic
!functions, and any output files from any of the foregoing
!(including device programming or simulation files), and any
!associated documentation or information are expressly subject
!to the terms and conditions of the Altera Program License
!Subscription Agreement, Altera MegaCore Function License
!Agreement, or other applicable license agreement, including,
!without limitation, that your use is for the sole purpose of
```

```
!programming logic devices manufactured by Altera and sold by
!Altera or its authorized distributors.  Please refer to the
!applicable agreement for further details.
!
!Quartus II SVF converter 7.2
!
!Device #1: EPM7064S - C:/P-01/P-01.pof
!
!NOTE "USERCODE" "0000FFFF";
!
!NOTE "CHECKSUM" "000D4840";
!
!
!
FREQUENCY 10000000.00 HZ;
!
!
!
TRST ABSENT;
ENDDR IDLE;
ENDIR IRPAUSE;
STATE IDLE;
SIR 10 TDI (071);
RUNTEST IDLE 10003 TCK ENDSTATE IDLE;
!
!
!
!CHECKING SILICON ID
!
!
!
SIR 10 TDI (01E);
RUNTEST 53 TCK;
SDR 253 TDI
(1000000000000000000000000000000000000800000000000000000000000000);
SIR 10 TDI (012);
RUNTEST 53 TCK;
SIR 10 TDI (016);
RUNTEST 53 TCK;
SDR 160 TDI (8421084210842108421084210842108421084210);
SIR 10 TDI (01A);
RUNTEST 53 TCK;
SDR 160 TDI (8421084210842108421084210842108421084210);
SIR 10 TDI (03A);
RUNTEST 153 TCK;
SIR 10 TDI (022);
RUNTEST 53 TCK;
SDR 32 TDI (FFFFFFFF) TDO (5445414C) MASK (FFFFFFFF);
SIR 10 TDI (016);
RUNTEST 53 TCK;
```

SDR 160 TDI (42108421084210842108421084210842108421084210842108);
SIR 10 TDI (03A);
RUNTEST 153 TCK;
SIR 10 TDI (022);
RUNTEST 53 TCK;
SDR 32 TDI (FFFFFFFF) TDO (00000010) MASK (00000018);
SIR 10 TDI (016);
RUNTEST 53 TCK;
SDR 160 TDI (21084210842108421084210842108421084210842108421084);
SIR 10 TDI (03A);
.
.
.
.
SIR 10 TDI (03E);
RUNTEST 10000 TCK;
STATE IDLE;

Výše uvedený kód je nutno upravit tak, že se na konci řádku změní sekvence **00000018** na sekvenci **00000000**.

Pro větší názornost uvádím změnu na řádku 65 níže:

Vadný kód :

Řádek 65 : SDR 32 TDI (FFFFFFFF) TDO (00000010) MASK (00000018);

Opravený kód :

Řádek 65 : SDR 32 TDI (FFFFFFFF) TDO (00000010) MASK (00000000);

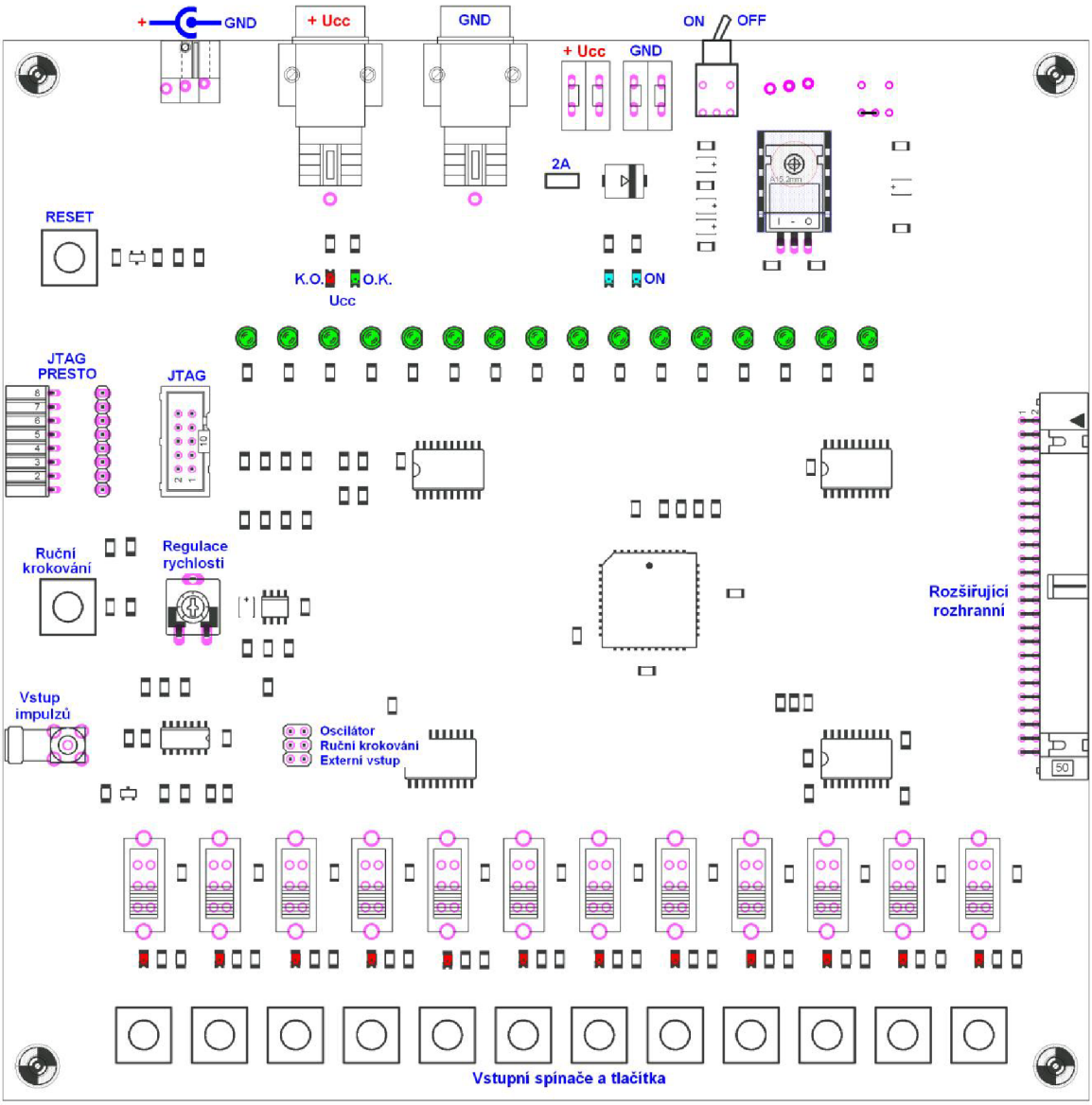
Výše uvedená oprava se musí realizovat vždy, chceme-li programovat programátorem PRESTO pomoci souboru typu SVF. Výhodou je, že uvedená chyba je nezávislá na druhu projektu a na vygenerovaném souboru. Vždy se chyba nachází na stejném místě a to na řádku č. **65**.

6. NASTAVOVACÍ PRVKY

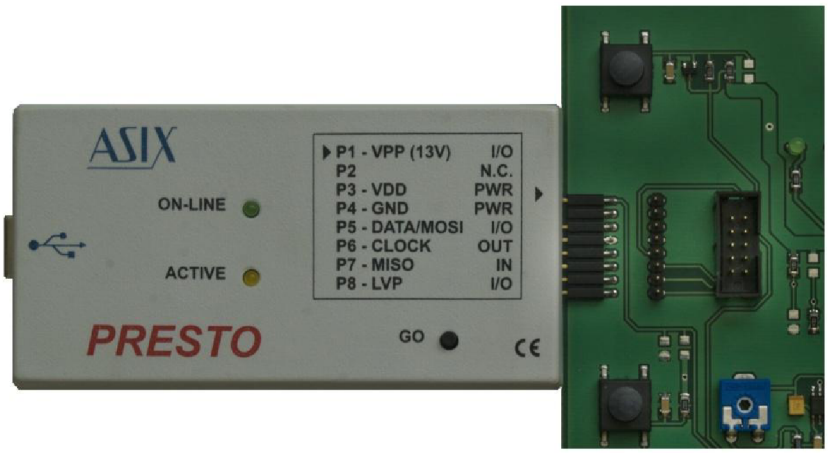
6.1. Popis nastavovacích prvků a rozhranní na DPS

Pro úplnost a pro jednodušší ovládání celého laboratorního přípravku jsou na obrázku 6.1. zobrazeny nastavovací prvky s potřebným popisem jejich funkce. Zobrazení způsobu připojení programátoru PRESTO k přípravku je zobrazeno na obrázku 6.2.

Rozhranní JTAG pro paralelní programátor je zapojeno dle doporučení firmy ALTERA.



Obrázek 6.1. Popis ovládacích prvků



Obrázek 6.2. Programátor PRESTO připojený k přípravku

7. VZOROVÉ PŘÍKLADY

7.1. Příklad vytvořený za pomoci jazyka VHDL

Níže uvedený výpis jednoduchého programu vytvořeného ve vývojovém prostředí QUARTUS pracuje jako posuvný registr, který zobrazuje postupně úrovně log.1 na jednotlivých výstupech a to směrem z leva doprava. Způsob krokování je možné zvolit na základě popisu v kapitole 3.2.5.

Výpis programu:

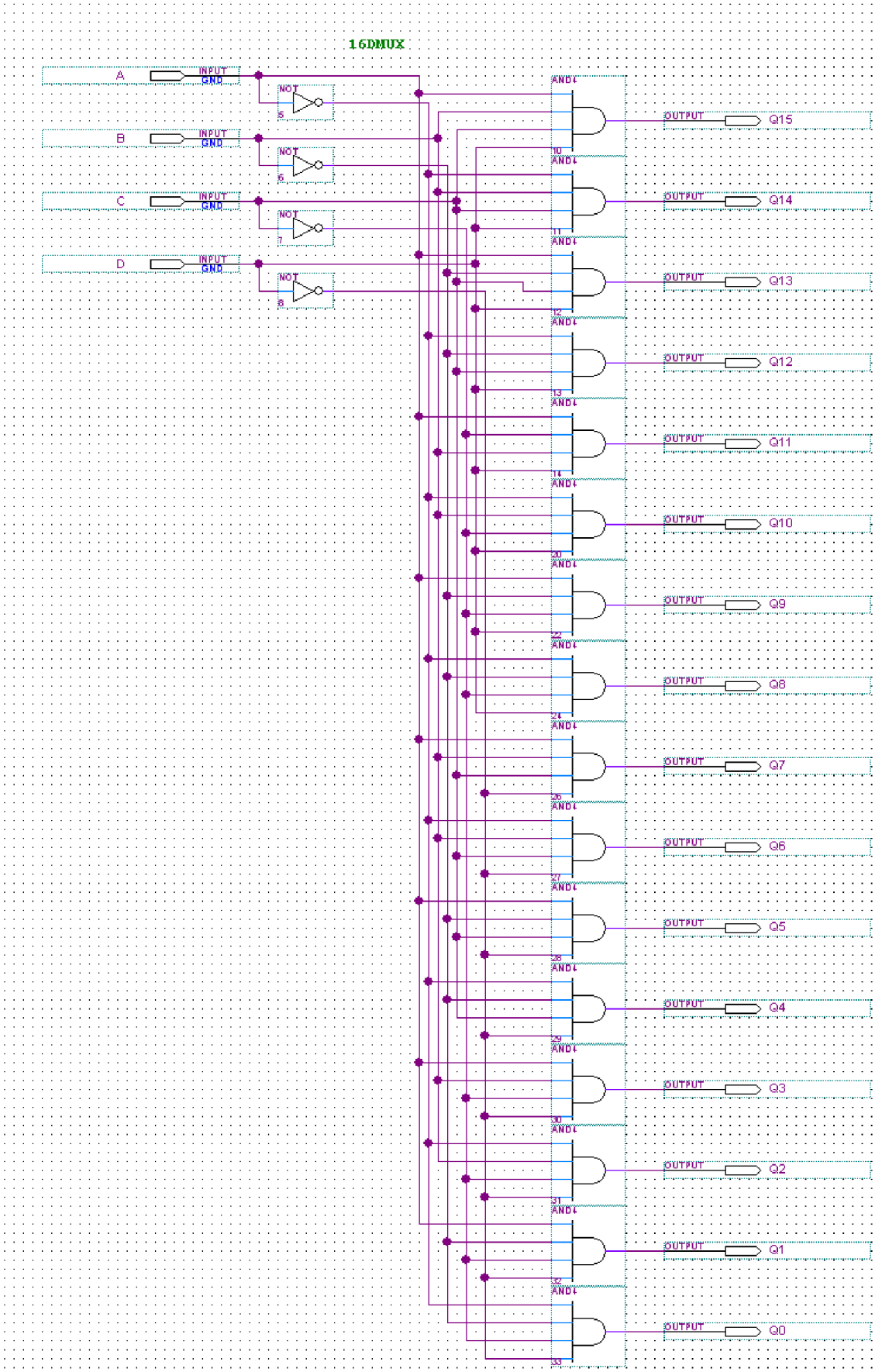
```
library IEEE;
use IEEE.std_logic_1164.all;

entity Program2 is
   port (
      n_reset     : in STD_LOGIC;
      hodiny      : in STD_LOGIC;

     vstup1       : in STD_LOGIC;
     vstup2       : in STD_LOGIC;
     vstup3       : in STD_LOGIC;
     vstup4       : in STD_LOGIC;
     vstup5       : in STD_LOGIC;
     vstup6       : in STD_LOGIC;
     vstup7       : in STD_LOGIC;
     vstup8       : in STD_LOGIC;
     vstup9       : in STD_LOGIC;
     vstup10      : in STD_LOGIC;
     vstup11      : in STD_LOGIC;
     vstup12      : in STD_LOGIC;

     vystup1      : out STD_LOGIC;
     vystup2      : out STD_LOGIC;
     vystup3      : out STD_LOGIC;
     vystup4      : out STD_LOGIC;
     vystup5      : out STD_LOGIC;
     vystup6      : out STD_LOGIC;
     vystup7      : out STD_LOGIC;
     vystup8      : out STD_LOGIC;
     vystup9      : out STD_LOGIC;
     vystup10     : out STD_LOGIC;
     vystup11     : out STD_LOGIC;
     vystup12     : out STD_LOGIC;
     vystup13     : out STD_LOGIC;
     vystup14     : out STD_LOGIC;
     vystup15     : out STD_LOGIC;
     vystup16     : out STD_LOGIC

   );
```

```
end Program2;

architecture struct_arch of Program2 is
-- pro pouhe propojeni nejsou potreba zadne signaly
signal registr: std_logic_vector(15 downto 0);

begin

    process(n_reset,hodiny)
    begin
        if(n_reset = '0')then
            registr <= "0000000000000000";          -- pri aktivnim resetu
        elsif(falling_edge(hodiny))then             -- reset neaktivni a spadova hrana hodin
            if(registr = "0000000000000000")then
                registr <= "0000000000000001";      --po prvnim taktu hodin
            else
                registr <= registr(14 downto 0) & '0';  --jinak posun doleva o 1 bit + doplneni
nulou
            end if;
        end if;
    end process;

    vystup1 <= registr(0);
    vystup2 <= registr(1);
    vystup3 <= registr(2);
    vystup4 <= registr(3);
    vystup5 <= registr(4);
    vystup6 <= registr(5);
    vystup7 <= registr(6);
    vystup8 <= registr(7);
    vystup9 <= registr(8);
    vystup10 <= registr(9);
    vystup11 <= registr(10);
    vystup12 <= registr(11);
    vystup13 <= registr(12);
    vystup14 <= registr(13);
    vystup15 <= registr(14);
    vystup16 <= registr(15);

end struct_arch;
```

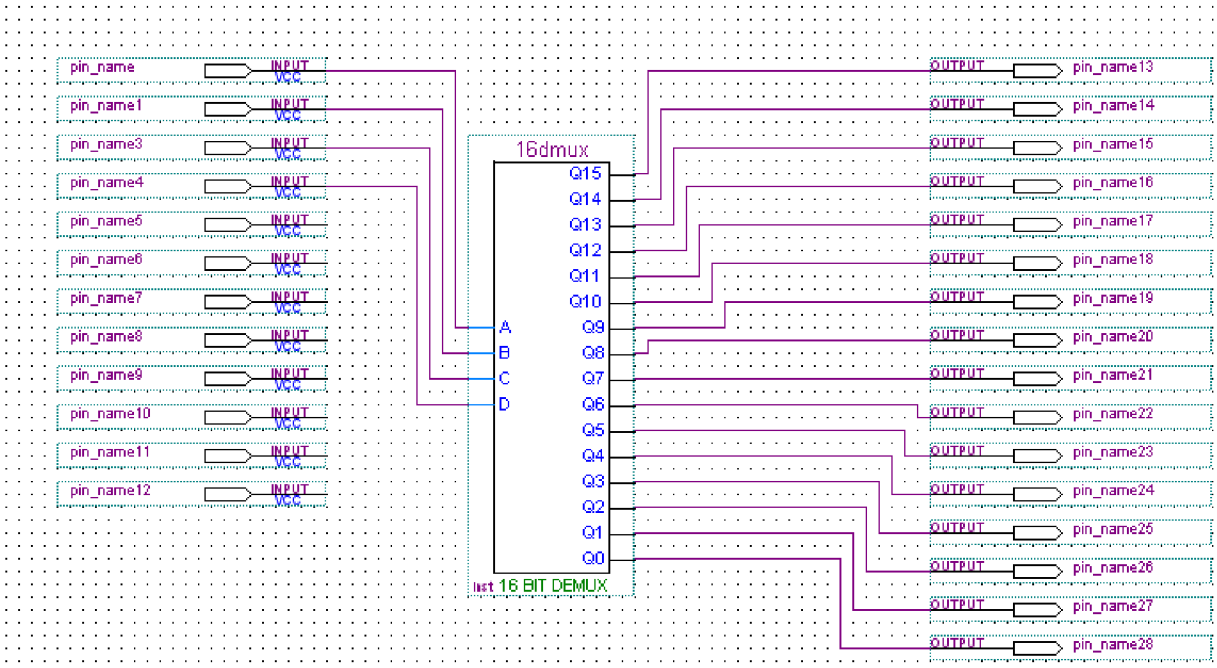
Výše uvedený program je také naprogramovaný jako ukázkový v samotném přípravku.

7.2. Příklad vytvořený za pomoci schematického editoru

V další části je uveden program vytvořený za pomocí grafického editoru, který je součástí vývojového prostředí QUARTUS. Jedná se o převodník kódu BCD na kód 1 ze 16. Podrobné schéma zapojení převodníku je zobrazeno na obrázku 7.1 a blokové schéma je uvedeno na obrázku 7.2.



Obrázek 7.1. Podrobné schéma zapojení dekodéru BCD na 1 ze 16.



Obrázek 7.2. Blokové schéma zapojení dekodéru BCD na 1 ze 16.

Obě dvě verze uvedených programů jsou uloženy i na DVD-ROM, které je součástí této práce.

8. POPIS SOUBORŮ NA DVD-ROM

8.1. Seznam souborů a programů na přiloženém DVD-ROM

Jelikož bylo na základě zadání požadováno vytvoření několika aplikací určených pro realizovaný projekt, je nedílnou součástí této práce i DVD-ROM, které obsahuje veškeré podklady a software pro práci s tímto zařízením. (Disk DVD-ROM je použit na místo klasického disku CD-ROM z kapacitních důvodů, jelikož samostatný instalační soubor pro vývojové prostředí QUARTUS II je větší než 800MB).
Soubory a programy uložené na DVD-ROM jsou uvedeny v tabulce 8.1.

Tabulka 8.1. Umístění souborů a adresářů na DVD-ROM

	Adresář "KBCE-2008"
Soubor	
KBCE-2008.docx	Elektronická verze bakalářské práce ve formátu OFFICE 2007
KBCE-2008.doc	Elektronická verze bakalářské práce ve formátu OFFICE 97-2003
KBCE-2008.pdf	Elektronická verze bakalářské práce ve formátu PDF
Altera EPM7064.brd	Konečná verze DPS navržená ve vývojovém systému Eagle
	Adresář "Programy"
Soubor	
72sp3_quartus_free.exe	Instalační soubor k vývojovému prostředí QUARTUS II
Quartus Software Manual.pdf	Manuál k vývojovému prostředí QUARTUS II ve formátu PDF
jtag_2-0_en.exe	Instalační soubor k programátoru pro použití souborů * .svf
eagle-win-eng-4.13.exe	Instalační soubor návrhového systému Eagle v4.13
	Adresář "Projekty"
Soubor	
P-01.svf	Soubor s opravenou chybou pro programátor PRESTO
P-02.svf	Soubor s opravenou chybou pro programátor PRESTO
P-03.svf	Soubor s opravenou chybou pro programátor PRESTO
program1.svf	Soubor s opravenou chybou pro programátor PRESTO
program2.svf	Soubor s opravenou chybou pro programátor PRESTO
program3.svf	Soubor s opravenou chybou pro programátor PRESTO
program4.svf	Soubor s opravenou chybou pro programátor PRESTO

Na DVD-ROM jsou dále v adresáři **Projekty** umístěny další podadresáře s názvy **P-01, P-02, P-03, Program1, Program2, Program3** a **Program4**, kde jsou umístěny kompletní mnou vytvořené projekty pro vývojové prostředí QUARTUS II. V těchto adresářích nejsou soubory typu SVF nijak korigovány a tudíž jsou uloženy tak, jak je vygenerovalo vývojové prostředí, tedy bez opraveného řádku č. 65.

9. ZÁVĚR

Cílem této práce bylo realizovat návrh plošného spoje pro laboratorní přípravek pro výuku práce s logickými programovatelnými obvody CPLD firmy ALTERA a na základě návrhu celý projekt také realizovat. Při realizaci měl být kladen důraz především na přehlednost celé koncepce a jednoduchost při manipulaci s hotovou deskou plošných spojů.

Výsledkem této práce je navržený a realizovaný plně funkční přípravek pro demonstraci práce s programovatelnými logickými poli. Návrh obsahuje kompletní dokumentaci a popis vlastností jednotlivých částí celého přípravku.

Neméně důležitým výsledkem celé bakalářské práce je též odhalení a odstranění chyby ve vývojovém prostředí QUARTUS a s tím související bezproblémové použití programátoru s dnes již rozšířenějším USB rozhranním bez nutnosti použití paralelního rozhranní.

Plná funkčnost celého přípravku byla prakticky ověřena na několika testovacích vzorových příkladech.

10. LITERATURA

[1] KOLOUCH, J; BIOLKOVÁ,V. *Impulsová a číslicová technika*. Brno VUT 2003

[2] Altera Corporation, USA, MAX 7000 Datasheet.
http://www.altera.com/literature/ds/m7000.pdf

[3] Altera Corporation, USA, MAX 7000 High-Performance CPLDs,2007
www.altera.com

[4] ASIX s.r.o., Praha 5, manual PRESTO
http://www.asix.cz/download/presto/presto_cz.pdf

[5] Cadsoft,
ftp://ftp.cadsoft.de/eagle/userfiles/doc

[6] Ryston Electronic,
http://www.ryston.cz