



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIOENGINEERING

NÁVRH PROUDOVÉHO DIGITÁLNĚ ANALOGOVÉHO PŘEVODNÍKU PRO DIFERENCIÁLNÍ ANALOGOVÝ IQ ENKODÉR

DESIGN OF CURRENT-STEERING DAC FOR DIFFERENTIAL IQ DECODER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Miroslav Klein

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Jiří Dřínovský, Ph.D.

BRNO 2020

Diplomová práce

magisterský navazující studijní obor **Elektronika a sdělovací technika**

Ústav radioelektroniky

Student: Bc. Miroslav Klein

ID: 186110

Ročník: 2

Akademický rok: 2019/20

NÁZEV TÉMATU:

Návrh proudového digitálně analogového převodníku pro diferenciální analogový IQ enkodér

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s integrovanými digitálně analogovými (DA) převodníky vhodnými pro senzorové aplikace v automobilovém průmyslu. Při důkladném studiu literatury se zaměřte na převodníky typu current-steering (proudové přepínače). Zvolte vhodnou topologii dvoukanalového převodníku s diferenciálním výstupem. Převodník bude připojen k dvojici diferenciálních zesilovačů s odpory ve zpětné vazbě tvořící převodník proudu na napětí. Vstupem převodníku budou kódy reprezentující sinus a kosinus generovaného úhlu. Základní požadované parametry DA převodníku jsou: rozlišení 11b/kanál, vzorkovací frekvence 10 MHz, výstupní proud přibližně 50 μ A. Společná reference pro oba kanály bude odvozena od napájení 5 V. Důležité charakteristiky převodníku: integrální nelinearita INL < 2 LSB, diferenciální nelinearita DNL < 1 LSB včetně chyby při změně znaménka, vzájemná chyba zisku mezi kanály < 1 %. Dalšími požadavky je návrh pro automobilové prostředí, které je v tomto případě specifické především rozsahem pracovních teplot od -40 °C do 175 °C.

Navažte na výsledky semestrálního projektu a proveďte kompletní návrh převodníku v technologii I4TE společnosti ON Semiconductor včetně charakterizace převodníku v prostředí Cadence Virtuoso, s použitím simulátoru Spectre nebo Eldo. Vytvořte doporučení pro layout obvodů nebo jeho částí, které jsou kritické pro správnou funkci převodníku. Vypracujte dokumentaci navrženého převodníku.

DOPORUČENÁ LITERATURA:

[1] LAKER K., SANSEN W.: "Design of Analog Integrated Circuits and Systems", New York, McGraw Hill 1994.

Termín zadání: 3.2.2020

Termín odevzdání: 28.5.2020

Vedoucí práce: Ing. Jiří Dřínovský, Ph.D.

Konzultant: doc. Dr. Ing. Pavel Horský

prof. Ing. Tomáš Kratochvíl, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

ABSTRAKT

Tato diplomová práce se zabývá návrhem dvoukanálového digitálně-analogového převodníku pro použití v automobilovém průmyslu. V první části práce jsou studovány různé topologie D/A převodníků a jejich vlastnosti, se zaměřením na proudové směrovače. Druhá část práce se zabývá návrhem topologie převodníku a použitých proudových směrovačů. Třetí část popisuje navržené zapojení a výsledky simulací. Navrhovaný dvoukanálový převodník má diferenciální proudový výstup s rozlišením 11b na kanál.

KLÍČOVÁ SLOVA

D/A převodník, diferenciální nelinearita, integrální nelinearita, proudové směrovače, automobilový průmysl, CMOS, proudové zrcadlo, operační zesilovač

ABSTRACT

This master's thesis deals with design of two channel digital to analog converter for automotive applications. In first part, different topologies of D/A converters and their properties are discussed, with focus on current steering topology. Second part deals with design of convertor topology and current steering application. In third part, all parts of designed convertor are described and simulations results are presented. The designed two channel D/A converter has differential current output with 11b resolution per channel.

KEYWORDS

D/A converter, differential nonlinearity, integral nonlinearity, current steering, automotive, CMOS, current mirror, operational amplifier

KLEIN, Miroslav. *Návrh proudového digitálně analogového převodníku pro diferenciální analogový IQ enkodér*. Brno, 2020. Dostupné také z: <https://www.vutbr.cz/studenti/zav-prace/detail/126119>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky. Vedoucí práce Jiří Dřínovský.

PROHLÁŠENÍ

Prohlašuji, že svoji diplomovou práci na téma *Návrh proudového digitálně analogového převodníku pro diferenciální analogový IQ enkodér* jsem vypracoval samostatně pod vedením vedoucího semestrální práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji doc. Dr. Ing. Pavlu Horskému a Ing. Pavlu Barošovi z firmy ON Semiconductor za cenou odbornou pomoc a vedení v oblasti návrhu analogových mikroelektronických obvodů, nejen v rámci této diplomové práce. Dále děkuji Ing. Jiřímu Dřínovskému, Ph.D., za účinnou metodickou a pedagogickou pomoc při zpracování této diplomové práce.

OBSAH

Seznam obrázků	viii
Seznam tabulek	x
Úvod	1
1 Teoretický úvod	2
1.1 Vlastnosti D/A převodníků	2
1.1.1 Diferenciální nelinearita	3
1.1.2 Integrovaná nelinearita	4
1.1.3 Chyba nuly	5
1.1.4 Chyba zisku	5
1.1.5 Doba ustálení a latence	6
1.1.6 Odstup signálu od šumu	6
1.1.7 Dynamický rozsah bez zkreslení	7
1.2 Topologie D/A převodníků	7
1.2.1 Napěťové D/A převodníky	8
1.2.2 Nábojové D/A převodníky	9
1.2.3 Proudové D/A převodníky	10
1.3 Proudové směrovače	12
1.3.1 Statické chyby	13
1.3.2 Dynamické chyby	14
1.3.3 Segmentace	16
1.3.4 Maticová architektura	17
1.3.5 Proudové zdroje	18
1.4 Integrované obvody v automobilovém průmyslu	18
2 Návrh převodníku	20
2.1 Architektura převodníku	20
2.2 Proudové zdroje	21
2.3 Proudové přepínače	25
3 Design převodníku	29
3.1 Dvoukanálový převodník	30

3.2	Kanál převodníku.....	32
3.3	Buňka matice	34
3.4	Binárně váhované zdroje	36
3.5	Reference	37
3.6	Regulace souhlasného napětí	41
3.7	Simulace.....	43
4	Závěr	46
	Literatura	47

SEZNAM OBRÁZKŮ

Obrázek 1.1	Ideální převodní charakteristika D/A převodníku	2
Obrázek 1.2	Vyhodnocení diferenciální nelinearity D/A převodníku	3
Obrázek 1.3	Vyhodnocení integrální nelinearity D/A převodníku	4
Obrázek 1.4	Chyba nuly D/A převodníku	5
Obrázek 1.5	Chyba zisku D/A převodníku	6
Obrázek 1.6	Definice SFDR D/A převodníku [2]	7
Obrázek 1.7	Rozdělení typů D/A převodníků	8
Obrázek 1.8	Napěťový D/A převodník s dekodérem	8
Obrázek 1.9	Napěťový D/A převodník s binárním polem spínačů	9
Obrázek 1.10	D/A převodník s kapacitním děličem	10
Obrázek 1.11	Proudový D/A převodník s binárně váhovanými rezistory	10
Obrázek 1.12	Proudový D/A převodník s R-2R sítí	11
Obrázek 1.13	D/A převodník s proudovými norami	12
Obrázek 1.14	D/A převodník s proudovými směrovači	13
Obrázek 1.15	Úbytek napětí na lokálním zemním vodiči	13
Obrázek 1.16	Vliv výstupního odporu proudových zdrojů	14
Obrázek 1.17	Zákmit výstupního proudu při špatné synchronizaci vstupních signálů	15
Obrázek 1.18	Křížení řídicích signálů proudových spínačů	15
Obrázek 1.19	Blokové schéma maticového uspořádání proudových směrovačů	17
Obrázek 2.1	Blokové schéma dvoukanálového generátoru	20
Obrázek 2.2	Blokové schéma jednoho kanálu D/A převodníku	21
Obrázek 2.3	Realizace proudových zdrojů D/A převodníku	22
Obrázek 2.4	V-A charakteristiky proudových zdrojů	24
Obrázek 2.5	Latch obvod	25
Obrázek 2.6	Driver proudového prepínače	26
Obrázek 2.7	Simulace prepínačů proudu	27
Obrázek 2.8	Detail průběhů při změně stavu proudových prepínačů	27
Obrázek 3.1	Návrh layoutu komponentů převodníku	31
Obrázek 3.2	Blokové schéma matice kanálu převodníku	32
Obrázek 3.3	Lokální dekodér buňky	34

Obrázek 3.4	Návrh layoutu součástek buňky matice	35
Obrázek 3.5	Principiální schéma generátoru referenčního proudu	37
Obrázek 3.6	Simulace frekvenčních charakteristik napěťové reference	38
Obrázek 3.7	Simulace převodní charakteristiky napěťové reference.....	39
Obrázek 3.8	Časová simulace skokové změny vstupního napětí reference	39
Obrázek 3.9	Závislost proudu buňky matice na napájecím napětí VCC.....	40
Obrázek 3.10	Zjednodušené schéma regulace souhlasného napětí.....	41
Obrázek 3.11	Simulované průběhy proudů při převodu sinus	43
Obrázek 3.12	Detail průběhu proudu při časové simulaci převodníku	44
Obrázek 3.13	Simulované průběhy napětí při převodu sinus.....	44
Obrázek 3.14	Spektrum výstupního signálu převodníku s lineární frekvenční osou....	45
Obrázek 3.15	Spektrum výstupního signálu převodníku s logaritmickou frekvenční osou.....	45

SEZNAM TABULEK

Tabulka 1	Výsledky Monte Carlo analýzy proudových zdrojů	23
Tabulka 2	Seznam schematických buněk převodníku	29
Tabulka 3	Popis pinů převodníku	30
Tabulka 4	Pravdivostní tabulka dekodéru řady matice	33
Tabulka 5	Pravdivostní tabulka dekodéru sloupce matice	33
Tabulka 6	Popis pinů kanálu převodníku	33
Tabulka 7	Pravdivostní tabulka dekodéru buňky	34
Tabulka 8	Popis pinů buňky matice	35
Tabulka 9	Popis pinů buňky proudových směrovačů pro 4 LSB	36
Tabulka 10	Popis pinů buňky přepínače proudu	36
Tabulka 11	Popis pinů referenčního obvodu	41
Tabulka 12	Popis pinů obvodu regulace souhlasného napětí	42

ÚVOD

V elektronických systémech lze analogové signály vyhodnocovat či generovat pouze pomocí analogových obvodů. Ačkoliv se jedná o levnou a nenáročnou metodu, v moderních systémech náročných na přesnost je často nedostačující, jelikož každá část systému vnáší do signálu chyby, ať už nepřesností zpracování či náchylností na rušení. Výpočetní kapacita a rozhodovací schopnost analogových systémů je též omezena, a s aplikačními nároky složitost takových systémů neúměrně roste.

Digitální systémy naopak do procesu zpracování signálu další chyby nevnáší, a navíc umožňují mnohem lepší implementaci automatizace a řízení procesů. Topologie moderních elektronických systémů pro zpracování signálů tedy bývá založena na převodu analogového signálu na digitální, digitálním zpracováním signálu a následný převod zpět na analogovou veličinu. Přesnost takového systému je dána hlavně vzájemným převodem analogových a digitálních veličin. Tento převod umožňují digitálně – analogové (D/A) převodníky a analogově – digitálními (A/D) převodníky.

Tématem této práce je návrh D/A převodníku určeného pro zákaznický specifický integrovaný obvod firmy ON Semiconductor. Práce je rozdělena do tří částí. První část je teoretická, a je věnována problematice převodu digitálního signálu na analogový. Na rozbor parametrů D/A převodníků navazuje přehled topologií podle způsobu převodu. Druhá část práce se zabývá samotným návrhem zadaného převodníku v technologii CMOS. Je zvolena vhodná topologie s využitím techniky proudových směrovačů. Následně je detailně rozebrán návrh klíčových částí proudových směrovačů použitých v převodníku. Třetí část popisuje kompletní zapojení všech částí převodníku a uvádí výsledky v podobě simulací.

1 TEORETICKÝ ÚVOD

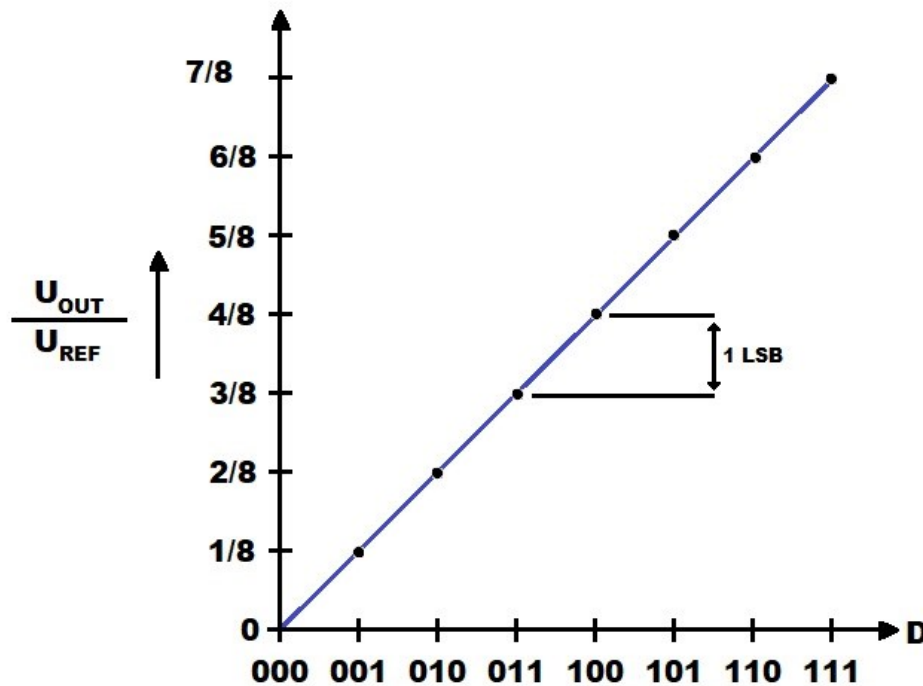
1.1 Vlastnosti D/A převodníků

Mezi základní vlastnosti D/A převodníku z pohledu jeho topologie patří druh výstupní veličiny (napětí, proud) a druh výstupu. Ten může být diferenciální, nebo vztažený k pevnému potenciálu, většinou napájecí zemi. Pro účely definice dalších parametrů je jako výstupní analogová veličina uvažováno napětí [1].

Rozlišení převodníku je dáno počtem možných stavů vstupního digitálního slova, a uvádí se jako počet jeho bitů. Výstupní napětí převodníku je pak dáno vztahem [2]:

$$U_{OUT} = U_{REF} * \frac{D}{2^N} [V]. \quad (1.1)$$

Kde U_{OUT} je výstupní napětí převodníku, U_{REF} je referenční napětí, D je vstupní slovo, N je počet bitů vstupního slova a 2^N je celkový počet kombinací, a tedy i diskretních výstupních hodnot napětí. Vynesením závislosti výstupního napětí U_{OUT} na hodnotě vstupního slova D do grafu vzniká soubor bodů, které tvoří převodní charakteristiku. Příklad ideální převodní charakteristiky tříbitového převodníku je uveden na obrázku 1.1. Na ose y je normované výstupní napětí vztažené k referenčnímu napětí.



Obrázek 1.1 Ideální převodní charakteristika D/A převodníku

Minimální krok výstupního napětí příslušící změně nejméně významného bitu (LSB) lze vypočítat jako[3]:

$$1 \text{ LSB} = \frac{U_{REF}}{2^N} [V]. \quad (1.2)$$

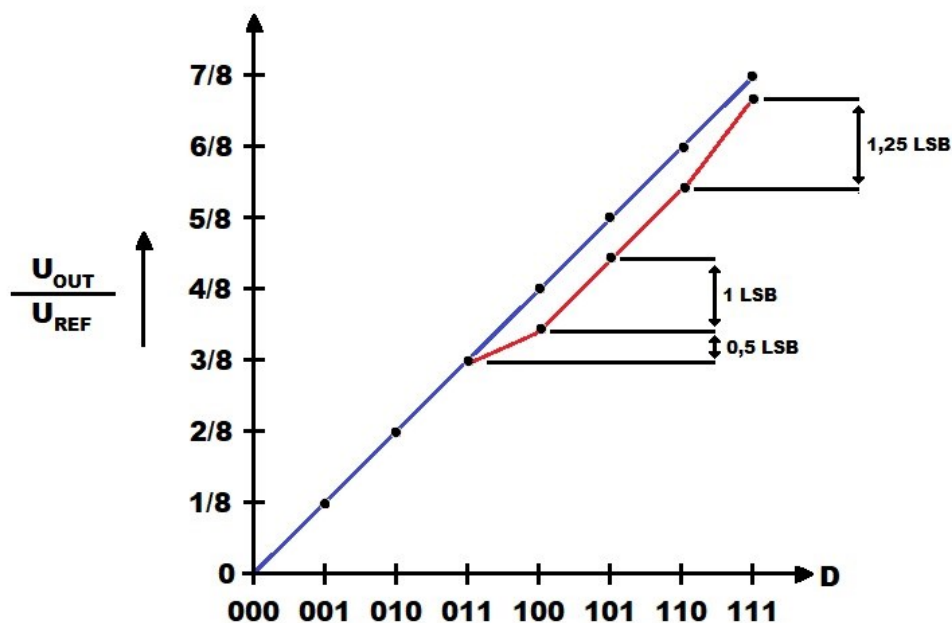
Statické vlastnosti D/A převodníků lze určit z rozdílů mezi ideální a reálnou převodní charakteristikou, ke kterým dochází zejména díky nedokonalosti výrobního procesu součástek. Patří mezi ně diferenciální a integrální nelinearita, chyba nuly a chyba zisku. Dynamické vlastnosti popisují, jak se převodník chová při změnách jednotlivých stavů. Patří mezi ně zejména latence, doba ustálení, odstup signálu od šumu a dynamický rozsah bez zkreslení.

1.1.1 Diferenciální nelinearita

Diferenciální nelinearita (DNL – differential nonlinearity) vyhodnocuje přírůstek napětí mezi dvěma sousedními body převodní charakteristiky. Je definována jako rozdíl mezi ideálním krokem převodníku (1 LSB) a skutečným krokem, tedy[2]:

$$DNL_N = \text{reálná krok}_N - \text{ideální krok}[\text{LSB}]. \quad (1.3)$$

V ideálním případě je krok převodníku roven 1 LSB. Vlivem výrobních rozptylů hodnot součástek u reálných převodníků se velikosti jednotlivých kroků mohou lišit, zejména pak při změnách velkého počtu bitů vstupního slova. Velká diferenciální nelinearita bývá často v polovině rozsahu, tedy například při změně z 011_2 na 100_2 u tříbitového převodníku. Příklad vyhodnocení diferenciální nelinearity D/A převodníku je zobrazen na obrázku 1.2.



Obrázek 1.2 Vyhodnocení diferenciální nelinearity D/A převodníku

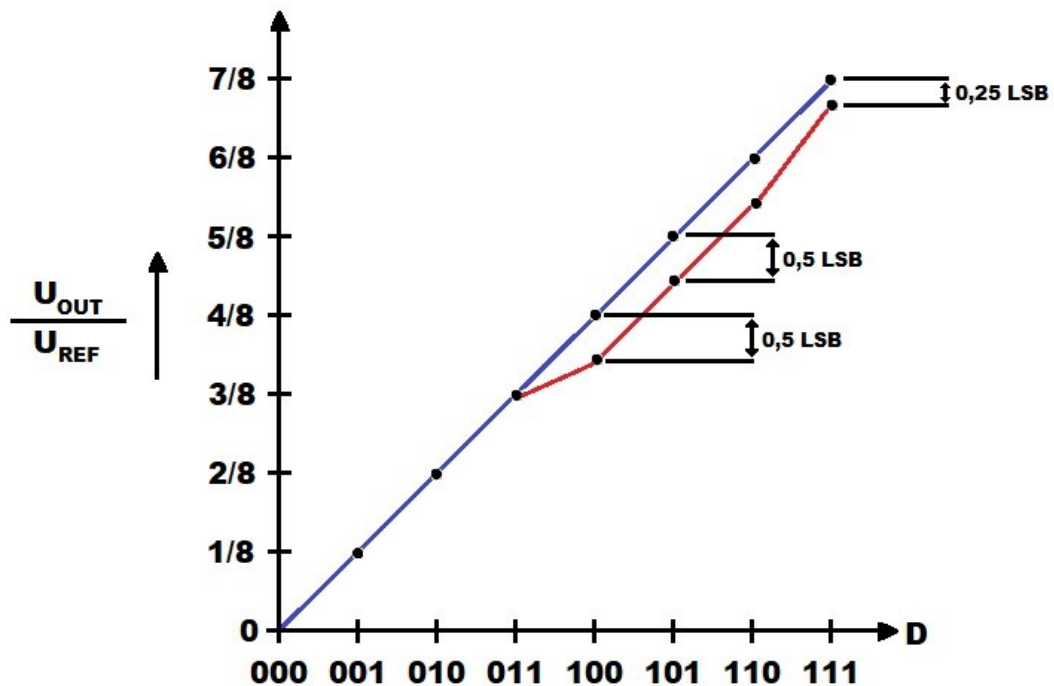
Pokud je přírůstek napětí větší než 1 LSB, je hodnota diferenciální nelinearity pro daný bod kladná. Záporná diferenciální nelinearity naopak vychází pro přírůstek menší než 1 LSB. Pokud je DNL menší nebo rovno -1, je převodník nemonotónní, protože výstupní napětí se vzrůstajícím kódem klesá [3]. Diferenciální nelinearity se vyhodnocuje pro všechny stavy D/A převodníků, v praxi se pak uvádí pouze maximální hodnota.

1.1.2 Integrální nelinearity

Zatímco diferenciální nelinearity vyhodnocuje pouze vztah dvou sousedních bodů charakteristiky, integrální nelinearity (INL) vyjadřuje rozdíl mezi ideální a reálnou velikostí výstupní veličiny při daném vstupním kódu. INL lze vyjádřit jako [2]:

$$INL_N = \text{reálná výstupní hodnota}_N - \text{ideální hodnota}_n[\text{LSB}]. \quad (1.4)$$

Velikost INL tedy záleží na tom, co je považováno za ideální charakteristiku. Do integrální nelinearity se promítají všechny chyby převodníku, jako chyba nuly (offset) a chyba zisku. Bývá však běžnou praxí tyto chyby určovat zvlášť. Pro výpočet INL se běžně používá vztah k přímce protínající první a poslední bod skutečné převodní charakteristiky (metoda koncových bodů – end point). Lze také použít přímku, která je ideálním proložením všech bodů převodní charakteristiky (nejlépe pasující přímka - best fit line) [4]. Rozdíl mezi převodní charakteristikou ideálního D/A převodníku, a převodníkem s nelinearitou je zobrazen na obrázku 1.3.

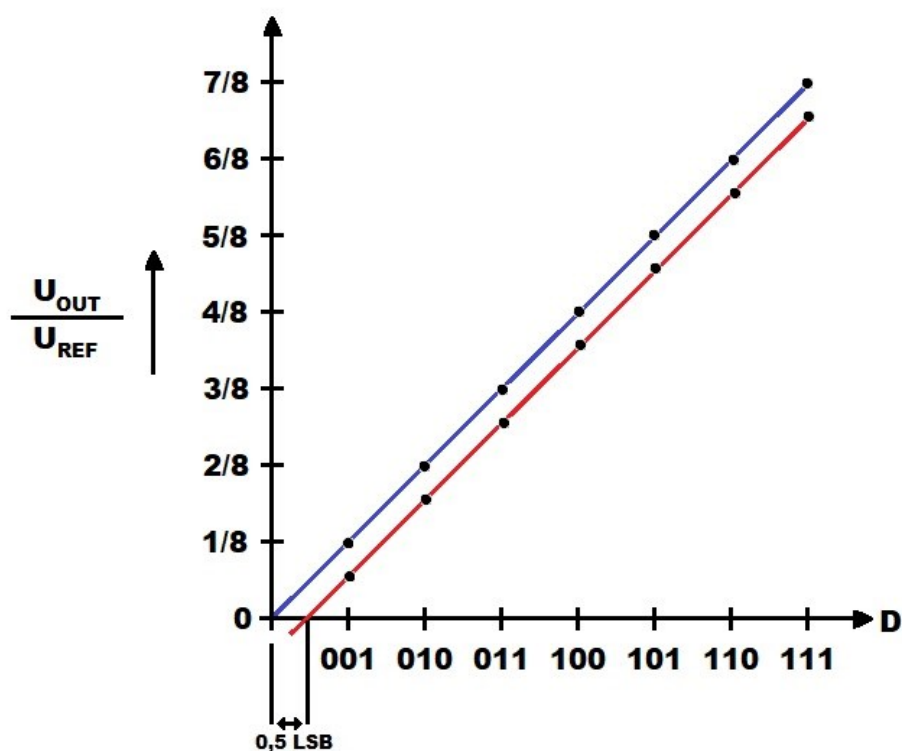


Obrázek 1.3 Vyhodnocení integrální nelinearity D/A převodníku

Integrální nelinearita se vyhodnocuje pro všechny stavy D/A převodníků, v praxi se pak uvádí pouze maximální hodnota. Pokud je integrální nelinearita převodníku větší než $\pm 0,5$ LSB, klesá jeho efektivní rozlišení.

1.1.3 Chyba nuly

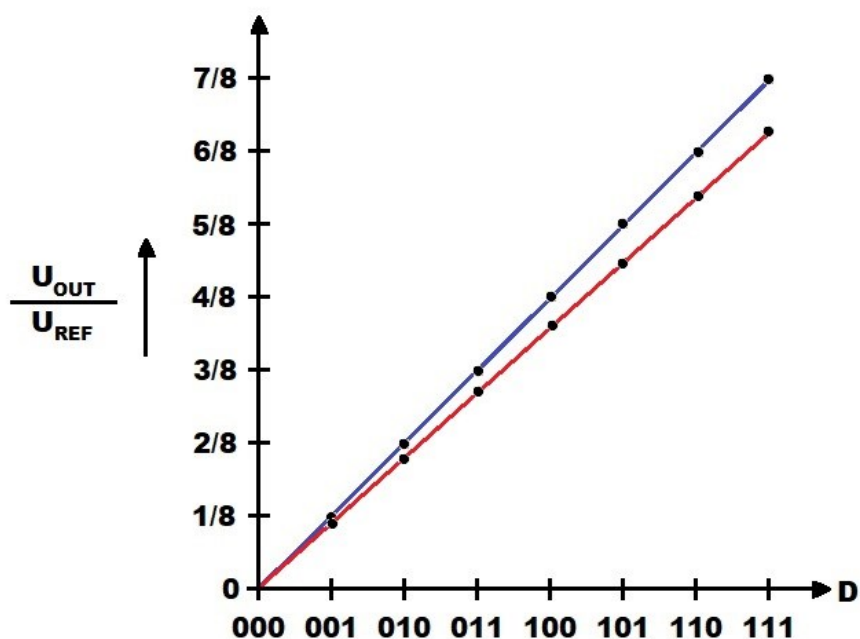
Chyba nuly (offset) vzniká, pokud při nulovém vstupním kódu není na výstupu nulové napětí. Offsetové napětí pak vnáší stejnou chybu pro každý bod převodní charakteristiky a způsobuje její posuv nahoru nebo dolů, jak je znázorněno na obrázku 1.4. Velikost offsetového napětí se určuje podle místa, kde osu x protíná přímka převodní charakteristiky.



Obrázek 1.4 Chyba nuly D/A převodníku

1.1.4 Chyba zisku

D/A převodník je zatížen chybou zisku, jestliže sklon reálné přímky převodní charakteristiky neodpovídá sklonu přímky ideální [2]. Na obrázku 1.5 je znázorněn rozdíl mezi ideální převodní charakteristikou (modrá křivka) a charakteristikou převodníku s chybou zisku (červená křivka).



Obrázek 1.5 Chyba zisku D/A převodníku

1.1.5 Doba ustálení a latence

Latence je čas, který uplyne mezi příkazem ke změně výstupního napětí, a okamžikem kdy dojde k ustálení výstupního napětí na požadované hodnotě, přičemž je uvažována určitá tolerance. Do latence se oproti době ustálení započítává i čas nutný ke zpracování příkazu pro změnu [3].

1.1.6 Odstup signálu od šumu

Odstup signálu od šumu (SNR – Signal to Noise Ratio) je definován jako poměr mezi plným rozsahem převodníku a efektivní hodnotou kvantizačního šumu. Odstup signálu od šumu lze pro sinusový vstupní signál definovat jako:

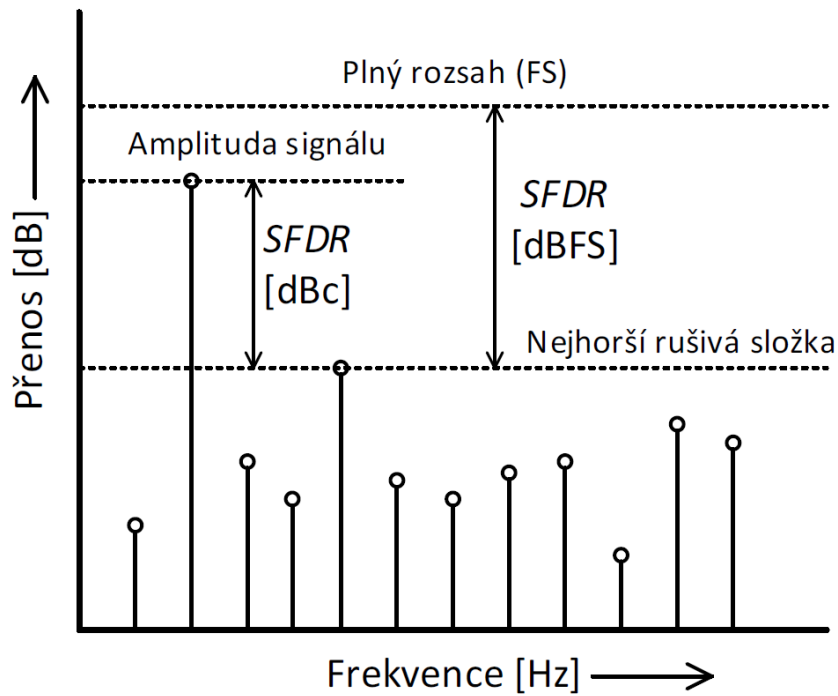
$$SNR = \frac{2^N * \sqrt{6}}{2} [-]. \quad [5] (1.5)$$

Kde N je rozlišení převodníku. Odstup signálu od šumu tedy závisí pouze na rozlišení převodníku. SNR se obvykle uvádí v decibelech, tedy podle rovnice:

$$SNR = 20 * \log\left(\frac{2^N * \sqrt{6}}{2}\right) [dB]. \quad (1.6)$$

1.1.7 Dynamický rozsah bez zkreslení

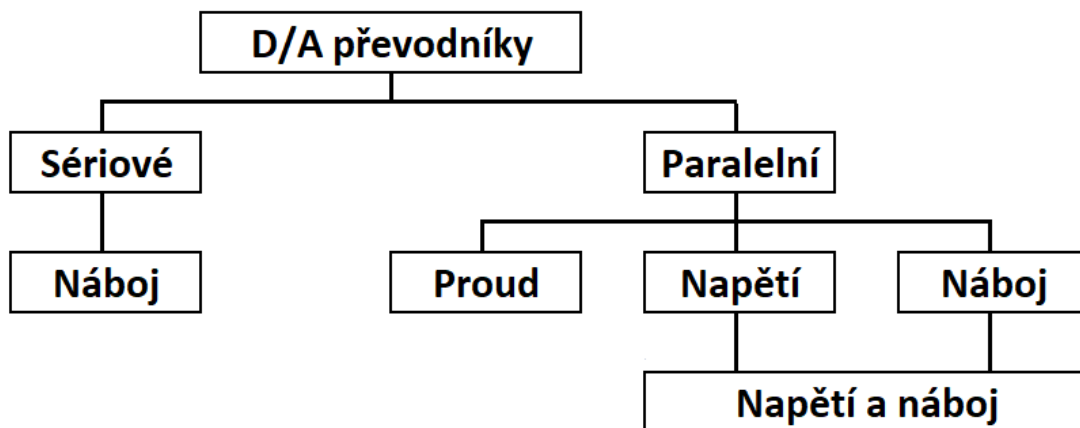
Dynamický rozsah bez zkreslení (SFDR - Spurious-Free Dynamic Range) se určuje ze spektra výstupního signálu jako poměr mezi efektivní hodnotou užitečného signálu a největší rušivou složkou [2]. SFDR může být definován buď vůči plnému rozsahu převodníku (dBc), nebo vůči skutečné amplitudě vstupního signálu [6]. Definice SFDR ve spektru signálu je zobrazen na obrázku 1.6.



Obrázek 1.6 Definice SFDR D/A převodníku [2]

1.2 Topologie D/A převodníků

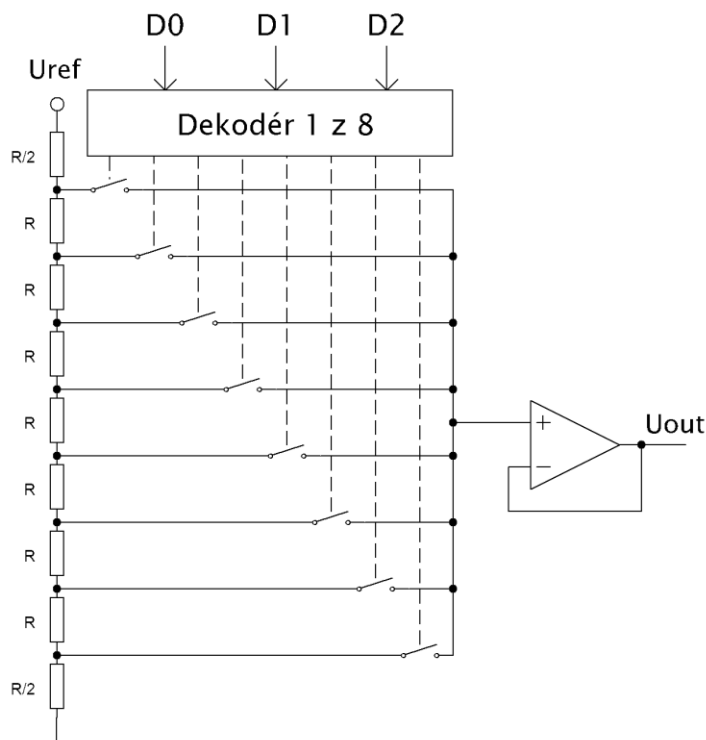
Existuje celá řada známých topologií D/A převodníků, přičemž je lze rozdělit podle způsobu dělení referenční veličiny, a podle posloupnosti převodu. Rozdělení typů A/D převodníků je uvedeno na obrázku 1.7. Sériové převodníky zpracovávají bit po bitu, a tudíž je k jedné konverzi potřebný čas N -krát větší čas než u paralelního převodníku, který zpracovává všechny bity naráz. N je počet bitů převodníku [5].



Obrázek 1.7 Rozdělení typů D/A převodníků

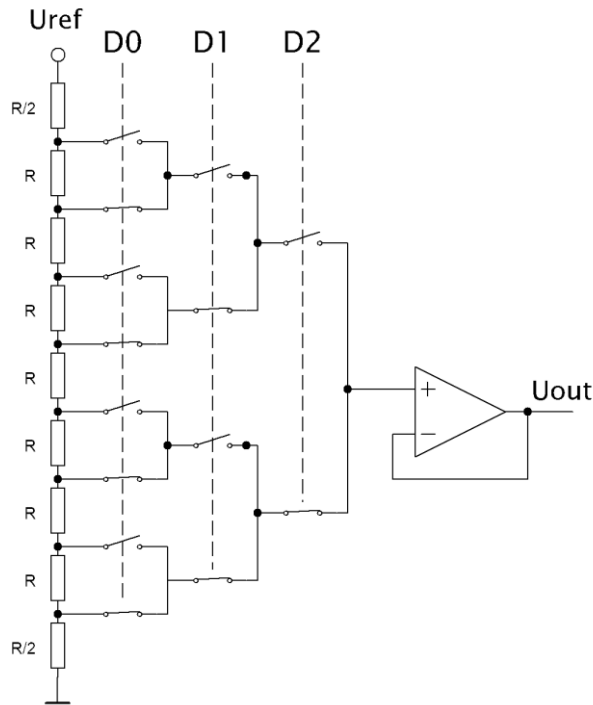
1.2.1 Napěťové D/A převodníky

Na obrázku 1.8 je uvedeno schéma nejzákladnějšího D/A převodníku. Skládá se z odporového děliče s 2^N odboček a spínačů, které připojují napětí na požadované odbočce na výstup. Protože napěťový dělič nelze zatěžovat proudem, je vhodné na výstup zařadit buffer (napěťový sledovač). Výhodou tohoto typu převodníku je velká přesnost a zaručená monotónost i při velkém rozlišení. Nevýhodou tohoto zapojení je nutnost dekódování binárního kódu na kód 1 z N, přičemž N je rozlišení převodníku.



Obrázek 1.8 Napěťový D/A převodník s dekodérem

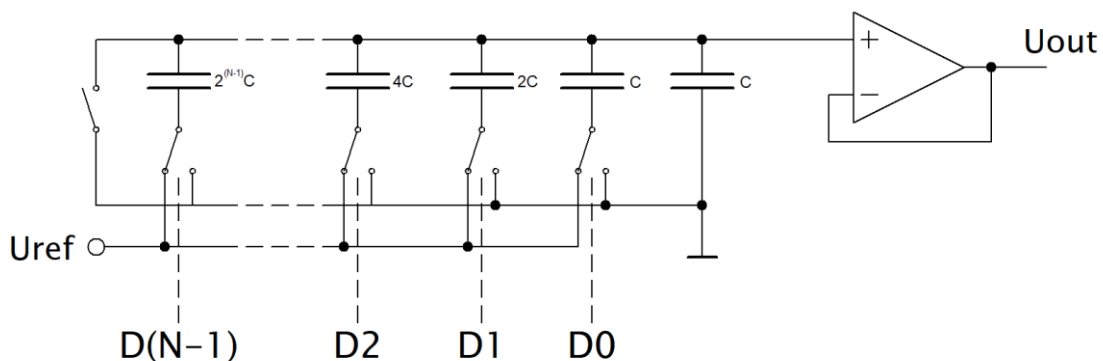
U převodníků s větším rozlišením může problémy způsobovat i parazitní kapacita rozpojených spínačů, které jsou tvořeny MOS tranzistory. Parazitní kapacita spolu s rezistory převodníku tvoří RC člunek, čímž se snižuje rychlost celého převodníku. Výstup převodníku je vždy připojen k jednomu sepnutému spínači, a $2^N - 1$ rozepnutých spínačů. Řešením je použití převodníku s binárním polem spínačů, který je uveden na obrázku 1.9. Při tomto zapojení je k výstupu vždy připojeno maximálně N sepnutých spínačů a N rozepnutých spínačů. Tím se minimalizují parazitní kapacity. Další výhodou je možnost řízení spínačů přímo binárním kódem. [3]



Obrázek 1.9 Napěťový D/A převodník s binárním polem spínačů

1.2.2 Nábojové D/A převodníky

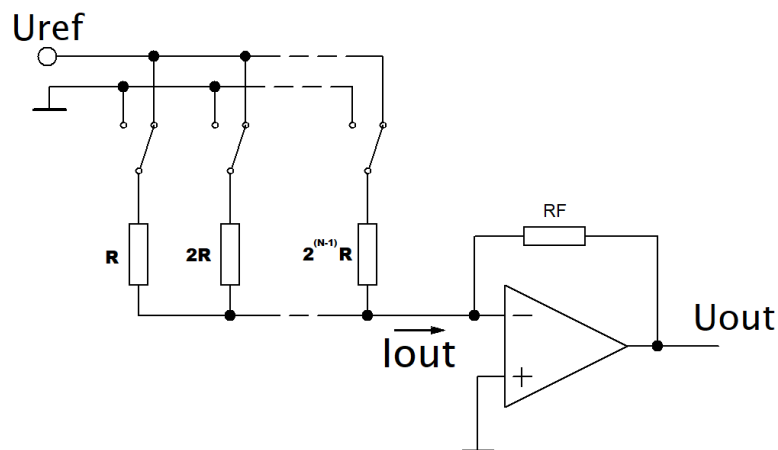
Jedná se o D/A převodník, který při binárním rozdělování referenčního napětí používá náboj kondenzátorů. Schéma takového převodníku je uvedeno na obrázku 1.10. Skládá se z paralelního pole binárně váhovaných kondenzátorů o celkové kapacitě $2^N C$, kde N je rozlišení převodníku a C je libovolná kapacita nejmenšího kondenzátoru. Po vybití všech kondenzátorů se jednotlivé kapacity spínají buď na referenční napětí, nebo na zem. Tím se vytvoří kapacitní dělič. Ten ale nelze zatěžovat proudem, proto se na výstup obvykle zařazuje buffer. Nevýhodou této topologie je náročnost na plochu čipu, kterou zabírá, zejména při větším rozlišení. Vzhledem k velkému výrobnímu rozptylu kapacit kondenzátorů může při špatném souběhu součástek vznikat velká diferenciální nelinearita, zejména při přepínání nejvýznamnějších bitů. Další nevýhodou je nutnost fáze vybití kondenzátorů před každou změnou výstupní hodnoty [3]. Výhodou zapojení je naopak kompatibilita s obvody používajícími techniku spínaných kapacitorů [5].



Obrázek 1.10 D/A převodník s kapacitním děličem

1.2.3 Proudové D/A převodníky

Proudové převodníky využívají ke své činnosti binárně váhované zdroje proudu, které se sčítají ve výstupním uzlu. Tento proud lze poté převést na napětí pomocí operačního zesilovače s rezistorem v záporné zpětné vazbě. Na obrázku 1.11 je uvedený příklad proudového D/A převodníku, kde jsou jednotlivé proudy tvořeny připojením binárně váhovaných rezistorů k referenčnímu napětí.



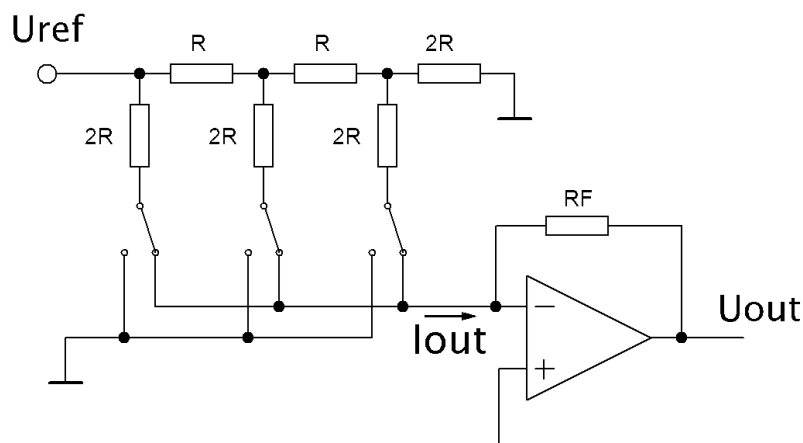
Obrázek 1.11 Proudový D/A převodník s binárně váhovanými rezistory

Výstupní napětí takového převodníku lze určit jako[5]:

$$U_{OUT} = -R_F * I_{OUT} = -R_F * \left(\frac{D0 * U_{REF}}{R} + \frac{D1 * U_{REF}}{2R} + \dots + \frac{D^{N-1} * U_{REF}}{2^{N-1}R} \right). \quad (1.7)$$

Kde R_F je zpětnovazební rezistor, I_{OUT} je výstupní proud, D jsou stavy jednotlivých bitů (0 nebo 1), U_{REF} je referenční napětí, R je odpor na 1 LSB a N je rozlišení převodníku.

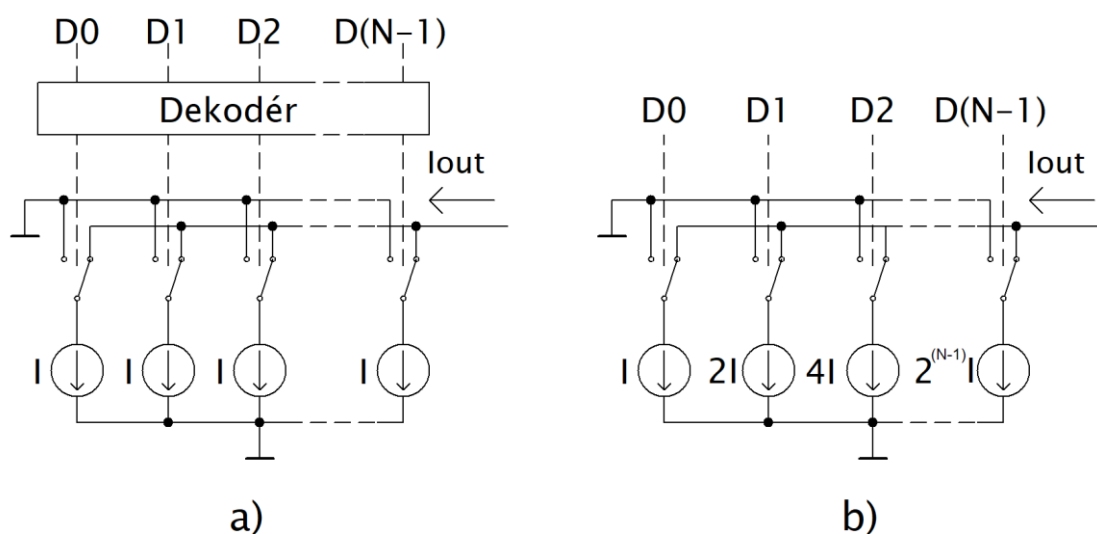
Výhodou tohoto zapojení je necitlivost na parazitní kapacity, čímž je dána velká rychlost převodníku. Nevýhodou je, podobně jako u nábojového D/A převodníku, velký rozptyl hodnot součástek při větším rozlišení převodníku, který může vést i k nemonotónnímu průběhu převodní charakteristiky. Řešením je použití R-2R sítě místo binárně váhovaných rezistorů. Příklad takového zapojení je uveden na obrázku 1.12.



Obrázek 1.12 Proudový D/A převodník s R-2R sítí

Každá vertikální větev $2R$ na své pravé straně „vidí“ zátěž $2R$. Každý následující proud je tedy o polovinu menší než předcházející, čímž jsou všechny proudy navzájem binárně váhovány [5].

Další realizací proudového D/A převodníku je použití přesných proudových zdrojů nebo nor, které mohou být realizovány například proudovými zrcadly. Takový převodník se skládá z $2^N - 1$ proudových zdrojů s proudem I , které jsou postupně spínány do sumačního uzlu. Příklad tohoto zapojení je uveden na obrázku 1.13 a).



Obrázek 1.13 D/A převodník s proudovými norami

Výhodou je, že se změnou vstupního slova se mění stav pouze jednoho přepínače, což odpovídá změně proudu o hodnotu I . Tím se minimalizují přechodové děje, a navíc nedochází k velkým nelinearitám při změnách nejvýznamnějších bitů. Nevýhodou je potřeba velkého množství proudových zdrojů a dekodéru binárního kódu na termometrický. Převodník lze zjednodušit použitím binárně váhovaných proudových zdrojů, jak je uvedeno na obrázku 1.13 b). Spínání zdrojů pak lze ovládat přímo binárním kódem, ale u převodníků s velkým rozlišením vzniká problém s velkým rozptylem hodnot proudů jednotlivých zdrojů, což může vést k nelinearitám, až nemonotónnímu průběhu, jak bylo popsáno výše [3].

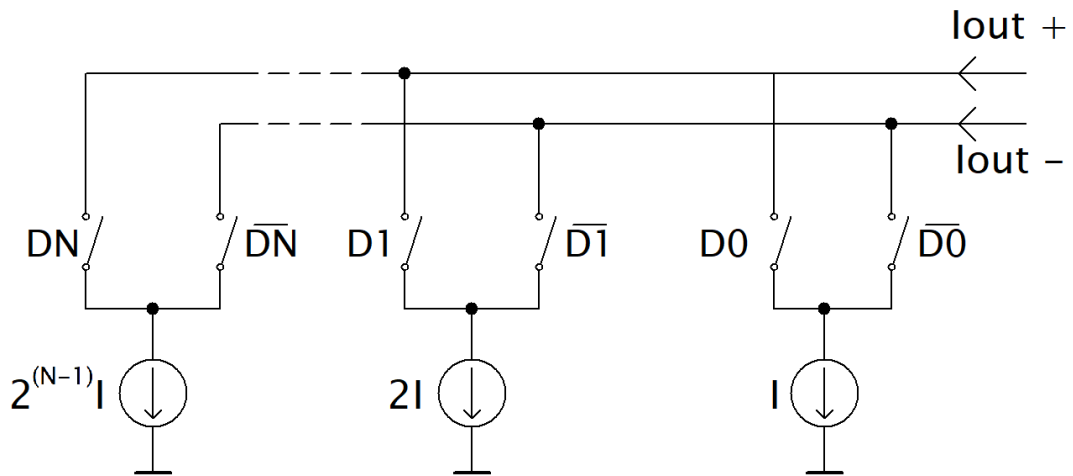
1.3 Proudové směrovače

Výhodou proudových D/A převodníků se spínanými proudovými zdroji nebo norami je vysoká rychlost a schopnost napájet rezistivní zátěže přímo z výstupu, bez nutnosti použití bufferu. Tato vlastnost je zásadní pro komunikaci po drátových vedeních, nebo pro řízení systému s rezistivní zátěží jako jsou např. displeje nebo optické modulátory.

Struktura spínaných proudových zdrojů, uvedená na obrázku 1.14, však trpí dynamickými chybami. Pokaždé když je proudový zdroj, v praxi tvořený tranzistorem, odpojen od výstupního uzlu, sníží se jeho napětí na nulu, protože jím dále neprotéká proud. Jakmile dojde k opětovnému sepnutí zdroje, musí se nejdříve nabít (nelineární) parazitní kapacita právě sepnutého uzlu, což způsobí proudovou špičku z výstupního uzlu. Další problém způsobuje změna celkového proudu, který teče polem zdrojů do nulového potenciálu (zemně), což vyvolává napěťové změny, díky úbytku napětí na odporu vodičů a sériovým indukčnostem, jako například bondovací vodiče.

Oba tyto problémy lze potlačit použitím topologie proudového směrovače, zobrazená na obrázku 1.13. Proud zdroje je směrován pravou nebo levou větví pomocí diferenciálního páru spínačů. Napětí na uzlu proudového zdroje se tedy mění jen minimálně, což výrazně omezuje přechodové děje při přepínání. Celkový proud také

zůstává konstantní, což minimalizuje napěťové změny na zemním potenciálu. Další výhodou tohoto zapojení je, že přirozeně poskytuje diferenciální výstup.



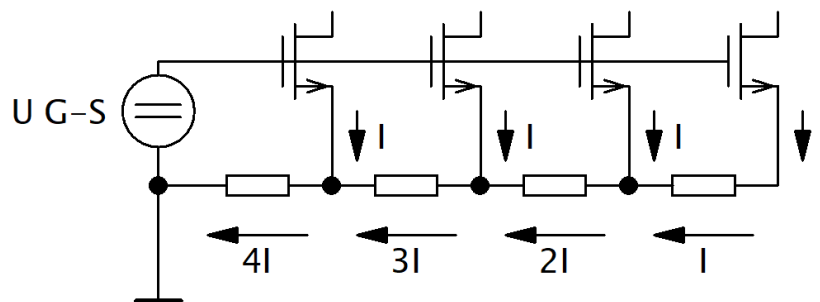
Obrázek 1.14 D/A převodník s proudovými směrovači

Proudové směrovače dosahují mezi D/A převodníky zdaleka nejvyšších rychlostí, a jsou tak jedinou možností pro přímou konverzi signálů až na gigahertzových kmitočtech, používaných ve sdělovací technice. Pro použití například při generaci signálů vícecestových modulací je nutné dosáhnout co největšího dynamického rozsahu bez zkreslení, což znamená minimalizovat jak statické, tak dynamické chyby [7], [8].

1.3.1 Statické chyby

Proudové směrovače jsou zatíženy třemi druhy statických chyb. První chyba vzniká špatným souběhem jednotlivých proudových zdrojů, a projevuje se jako diferenciální nelinearita a integrální nelinearita. Tyto chyby lze řešit posílením souběhu součástek a správnou segmentací, která je popsána v kapitole 1.3.3.

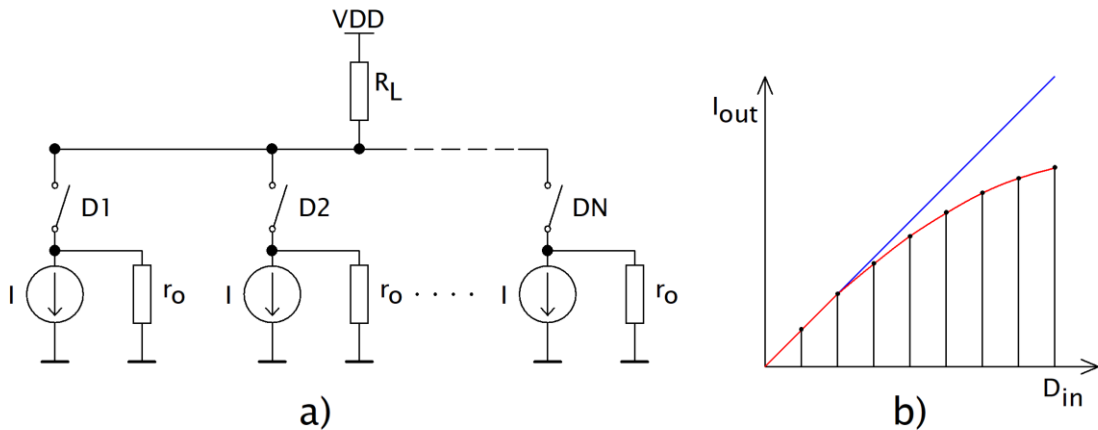
Dalším druh chyby je způsoben odporem zemního vodiče spojujícího jednotlivé proudové zdroje umístěné v řadě. Příčina této chyby je znázorněna na obrázku 1.15.



Obrázek 1.15 Úbytek napětí na lokálním zemním vodiči

Při průchodu velkého proudu na společném zemním vodiči vzniká úbytek napětí, který způsobuje pokles napětí G-S tranzistoru, čímž klesá proud zdroje. Nejvíce ovlivněny jsou zdroje blíže ke konci řady. Řešením je použití silnějšího vodiče, nebo vhodné rozmístění jednotlivých proudových zdrojů, například do matice, popsané v kapitole 1.3.4.

Třetí statická chyba je způsobena konečným výstupním odporem reálných proudových zdrojů v případě, že je výstup připojen na rezistivní zátěž. Náhradní schéma je uvedeno na obrázku 1.16 a).



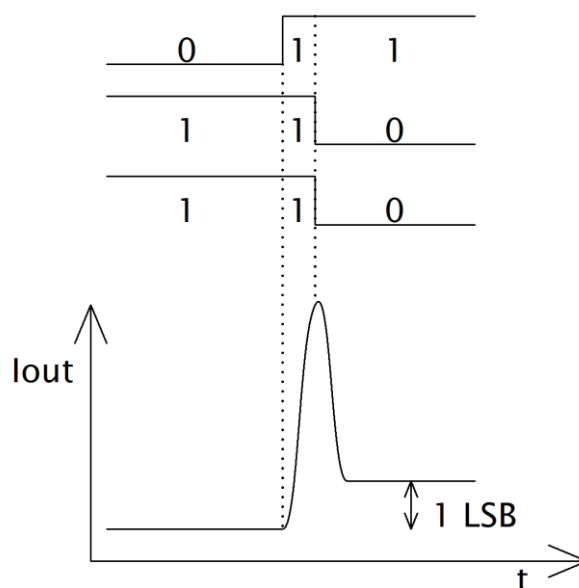
Obrázek 1.16 Vliv výstupního odporu proudových zdrojů

Celkový výstupní odpor zapojení se v závislosti na vstupním kódu pohybuje od $R_L || r_o$ při jedné sepnuté buňce až po $R_L || (r_o/M)$ při M sepnutých buňkách. Díky této změně odporu se při vzrůstajícím vstupním kódu objevuje v převodní charakteristice komprese výstupního proudu, která je znázorněna na obrázku 1.16 b). Je tedy důležité dosáhnout co největšího výstupního odporu použitých proudových zdrojů, např. kaskodováním tranzistorů v proudových zrcadlech [9], [7].

1.3.2 Dynamické chyby

Dynamické chyby vyskytující se při změně stavů D/A převodníku způsobují rušení ve výstupním signálu, a snižují poměr SFDR. Jednou z příčin vzniku dynamických chyb je asynchronizace ovládacích signálů.

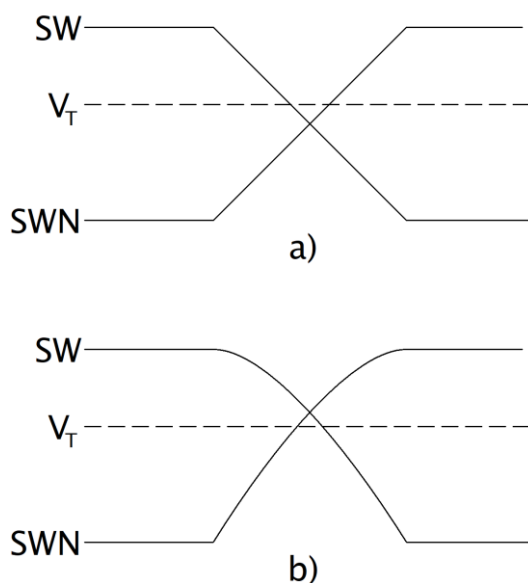
Vstupní signály D/A převodníku mohou pocházet z digitálního jádra přímo na čipu, nebo z externího zdroje. Ačkoliv většina systémů pracuje na synchronním principu, zejména při vysokých komunikačních rychlostech se může mezi hranami signálů objevit časový rozdíl, například kvůli odlišné délce cesty signálů, rozdílným parazitním kapacitám atd. Pokud je tento rozdíl velký, může se projevit na výstupu převodníku jako špičkový výkyv výstupní hodnoty (glitch). Pravděpodobnost vzniku této chyby je větší, zejména při změně více bitů vstupního slova. Na obrázku 1.17 je znázorněn příklad výstupu tříbitového převodníku s asynchronní změnou vstupního slova z 011 na 100, což vede na dočasný kód 111.



Obrázek 1.17 Zákmit výstupního proudu při špatné synchronizaci vstupních signálů

Těmto chybám lze předejít při použití lokální synchronizace pomocí latch obvodů. Do každé buňky je pak zaveden hodinový signál, který v jeden okamžik synchronizuje řídicí signály všech buněk.

I při zcela synchronním ovládní může docházet k chybám způsobeným bodem křížení (cross point) komplementárních signálů SW a SWN, které spínají jednotlivé větve proudového směrovače. Při překlopení signálů na opačnou hodnotu se bude jejich bod křížení nacházet uprostřed amplitudy, jak je zobrazeno na obrázku 1.18 a).



Obrázek 1.18 Křížení řídicích signálů proudových spínačů

Pokud je velikost prahového napětí tranzistorů (V_T) větší než napětí v bodě křížení, dochází ke stavu, kdy jsou dočasně oba tranzistory vypnuté, a obvodem neteče proud, což způsobí zákmit ve výstupním signálu. Navíc trvá poměrně dlouhou dobu, než proud buňky opět vzroste na nominální hodnotu, čímž se potlačuje výhoda topologie proudového směrovače. Je tedy lepší upravit signály tak, aby k jejich křížení docházelo nad prahovým napětím tranzistoru, jak je zobrazeno na obrázku 1.18 b). Obě proudové větve jsou pak na okamžik sepnuté, avšak zdroj dodává pořád stejný proud.

Zdrojem rušení jsou i samotné spínací signály. Jejich změny provází velmi rychlé náběžné a sestupné hany. Tyto rychlé změny napětí se skrz parazitní kapacitu gate-source spínacích tranzistorů projevují do výstupních uzlů ve formě zákmitů. Tyto zákmity pak zhoršují spektrální vlastnosti výstupního signálu. Je tedy žádoucí je redukovat na minimální míru. Toho lze dosáhnout zmenšováním kapacity G-S spínacích tranzistorů, a tedy jejich rozměrů. Obvykle se tedy používají spínače s minimální délkou kanálu. Další možností je zmenšení rozkmitu napětí řídicích signálů na minimální úroveň nutnou ke správnému sepnutí / vypnutí tranzistorů, čímž se zmenšuje náboj, který se do výstupu vybíjí [10], [11].

1.3.3 Segmentace

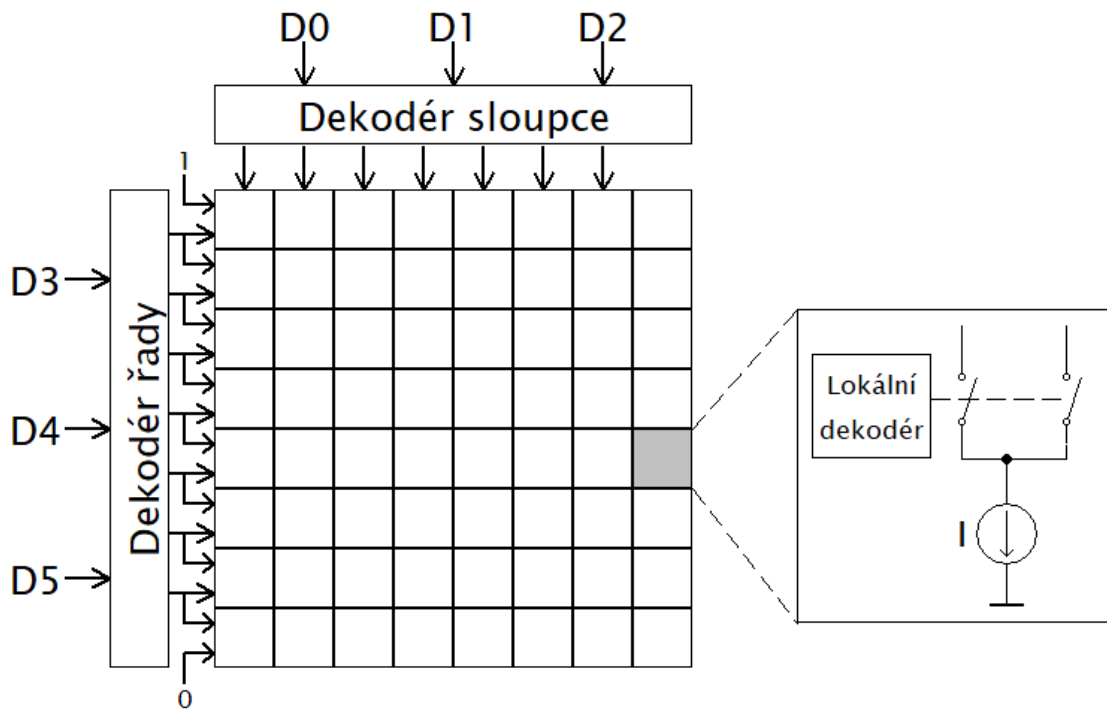
Jak bylo již popsáno výše, nejsnazším přístupem pro realizaci převodníku je soustava binárně váhovaných zdrojů. Takové řešení je poměrně nenáročné na plochu čipu, protože obsahuje pouze N zdrojů ovládaných přímo, avšak trpí nedostatky způsobených nedokonalou výrobou součástek. Každý binárně váhovaný zdroj je zatížen určitou chybou výstupního proudu. Velikost této chyby může u zdrojů spínaných nejvíce významnými bity (MSB) přesáhnout absolutní velikost proudu zdroje odpovídajícího nejnižšímu bitu (LSB). To vede k diferenciální nelinearitě, která je nejvýraznější v polovině rozsahu, tedy při překlopení všech bitů najednou (z 0111...11 na 1000...00).

Řešením tohoto problému je použití $2^N - 1$ stejných buněk proudových směrovačů, z nichž každá obsahuje zdroj o proudu I odpovídajícímu 1 LSB a přepínače proudu. Při změně vstupního signálu o 1 LSB dochází k přepnutí pouze jednoho zdroje, čímž se minimalizuje diferenciální nelinearita na hodnotu chyby souběhu mezi jednotlivými zdroji I_{LSB} . Nevýhodou tohoto přístupu je potřeba $2^N - 1$ buněk. Například vytvoření 11b převodníku by znamenalo 2048 identických buněk, což by vedlo k problematickému rozmístění na čipu (layout), a využití značné plochy čipu.

Nejvhodnější z hlediska přesnosti převodu a plochy čipu je kombinace obou metod. Zdroje proudů pro méně významné bity (LSB) jsou méně náročné na souběh, proto je lze bez větších problémů váhovat binárně. U zdroje proudu tvořeného proudovým zrcadlem lze binárního váhování snadno dosáhnout paralelním nebo sériovým řazením tranzistorů. V praxi se binární váhování používá pro první tři nebo čtyři LSB, vyšší bity jsou pak váhovány jednotkově [7].

1.3.4 Maticová architektura

S vysokým počtem jednotkově váhovaných buněk proudových směrovačů vzniká problém s layoutovým rozložením a potřebou vysokého počtu kontrolních vodičů. Prosté rozmístění buněk do řady by bylo jen těžce kompatibilní s rozmístěním ostatních bloků čipu, navíc by vznikly poměrně velké chyby souběhu buněk na opačných koncích řady vlivem procesního gradientu při výrobě křemíkového čipu. Řešení představuje maticová struktura rozložení jednotlivých buněk. Na obrázku 1.19 je uveden příklad takové struktury pro 6 bitový jednotkově váhovaný převodník.



Obrázek 1.19 Blokové schéma maticového uspořádání proudových směrovačů

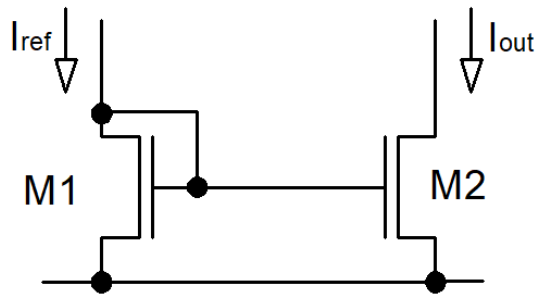
Zapojení se skládá z 64 identických buněk s proudovými směrovači, a dvou dekodérů, jeden pro první 3 bity, druhý pro poslední 3 bity. Dekodéry převádí binární kód na termometrický. Každá buňka pak obsahuje lokální dekodér, který má celkem 3 vstupy, a rozhoduje mezi třemi stavy: a) všechny buňky v řadě jsou vypnuté, b) všechny buňky v řadě jsou sepnuté, c) některé buňky v řadě jsou sepnuté. Díky použití lokálních dekodérů se podstatně snižuje počet ovládacích vodičů v celém zapojení [7], [9].

1.3.5 Proudové zdroje

Proudové zdroje tvoří spolu s přepínači základ proudových směrovačů, a jejich kvalita významně ovlivňuje vlastnosti celého převodníku. Při použití v mikroelektronice je nejjvhodnější realizace zdrojů pomocí proudových zrcadel. Jedná se o tranzistorové zapojení, které kopíruje proud jednou větví do větve druhé. Proud MOS tranzistorem lze definovat jako:

$$I_D = \frac{KP}{2} * \frac{W}{L} * (V_{GS} - V_T)^2. \quad (1.8)$$

Kde I_D je drainový proud tranzistoru, KP je technologická konstanta, W je šířka a L délka gate tranzistoru, V_{GS} je napětí na gate oproti source, a V_T je prahové napětí tranzistoru. V_T i KP jsou konstantní, proud tranzistoru je tedy určen poměrem W/L a napětím V_{GS} . Při spojení gate a drain tranzistor funguje jako dioda, přičemž je na něm úbytek napětí úměrný protékajícímu proudu a poměru W/L . Z těchto předpokladů vychází zapojení proudového zrcadla, uvedené na obrázku 1.20



Obrázek 1.20 Proudové zrcadlo

Řídicí část proudového zrcadla tvoří tranzistor M1 v zapojení diody, který vytváří napětí gate-source úměrné protékajícímu proudu I_{ref} . Toto napětí je pak přivedeno na gate řízeného tranzistoru M2, který tvoří proudový zdroj. Pokud mají oba tranzistory stejné poměry W/L , protéká tranzistorem M2 proud $I_{out} = I_{ref}$. Změnou poměru W/L tranzistorů lze měnit i poměry proudů v zrcadle. V praxi se pro vytváření přesných poměrů používá spojení několika stejných tranzistorů, spíše než změna velikosti jednoho, protože při rozměrech tranzistorů v řádech jednotek mikrometrů mají na vlastnosti tranzistoru značný vliv okrajové podmínky.

1.4 Integrované obvody v automobilovém průmyslu

V moderních automobilech řídí elektronika klíčové systémy jako motor, řízení, brzdy a další, jejichž selháním by mohlo dojít k újmě na zdraví či majetku. Tyto systémy proto musí zůstat funkční i při vystavení ztíženým provozním podmínkám a velkému rušení. Na elektroniku a integrované obvody v automobilovém průmyslu (Automotive) jsou proto kladeny velmi přísné nároky oproti elektronice spotřební třídy (Consumer).

Typickým specifickým pro integrované obvody v automobilovém průmyslu je velký rozsah pracovních teplot $-40\text{ }^{\circ}\text{C}$ až $185\text{ }^{\circ}\text{C}$ (teplota křemíku v čipu), přičemž v tomto rozsahu musí integrované obvody splňovat katalogové parametry. Ani při vyšších teplotách nesmí docházet ke kritickým chybám, například u regulátoru napětí je nepřijatelné aby zvýšením výstupního napětí zničil napájenou elektroniku.

Z hlediska návrhu integrovaných obvodů jsou nízké teploty problematické kvůli souběhu součástí (matching). V integrovaném obvodu totiž dochází k mechanickému pnutí, protože křemíkové obvody se zapouzdřují za tepla. Při vysokých teplotách bývají problematické zejména svodové proudy unipolárních tranzistorů, které s teplotou exponenciálně stoupají. S teplotou taky roste odpor tranzistorů v sepnutém stavu.

I samotné napájení elektroniky v automobilu je silně proměnlivé. Napětí baterie, typicky dosahuje 12V až 15V, avšak při startování může vlivem startovacího proudu v řádu stovek ampér dojít k poklesu napětí až na 5V. Elektronika řídicí jednotky motoru musí i při takovém poklesu napětí stále korektně fungovat. Ostatní systémy mohou při poklesu napětí přejít stavu resetu, ale musí okamžitě po startu přejít do správné funkce.

Elektronika v automobilu může být vystavená také vysokým napájecím napětím. Při startování z baterie jiného automobilu se může napájecí napětí obvodů zvednout na 24V, pokud omylem obsluhy dojde k sériovému propojení obou baterií. Tento stav může trvat až několik minut, přičemž nesmí dojít k poškození elektroniky. K největším napěťovým špičkám, trvajícím stovky mikrosekund, může dojít, pokud je při nastartovaném motoru odpojena baterie. Alternátor díky svému induktivnímu charakteru může při odpojení své zátěže vygenerovat napěťovou špičku přesahující 70V. Ani v takovém případě nesmí dojít k poškození elektronických systémů.

Při návrhu integrovaných obvodů je také nutné brát ohled na elektromagnetickou kompatibilitu, přičemž obvody musí zachovat korektní funkci i při velkém elektromagnetickém rušení, které mohou způsobovat spínané měniče, proudové špičky při spínání zátěží, ale také radiová komunikace. Je třeba se také zabývat snižováním vlastního vyzařování rušení.

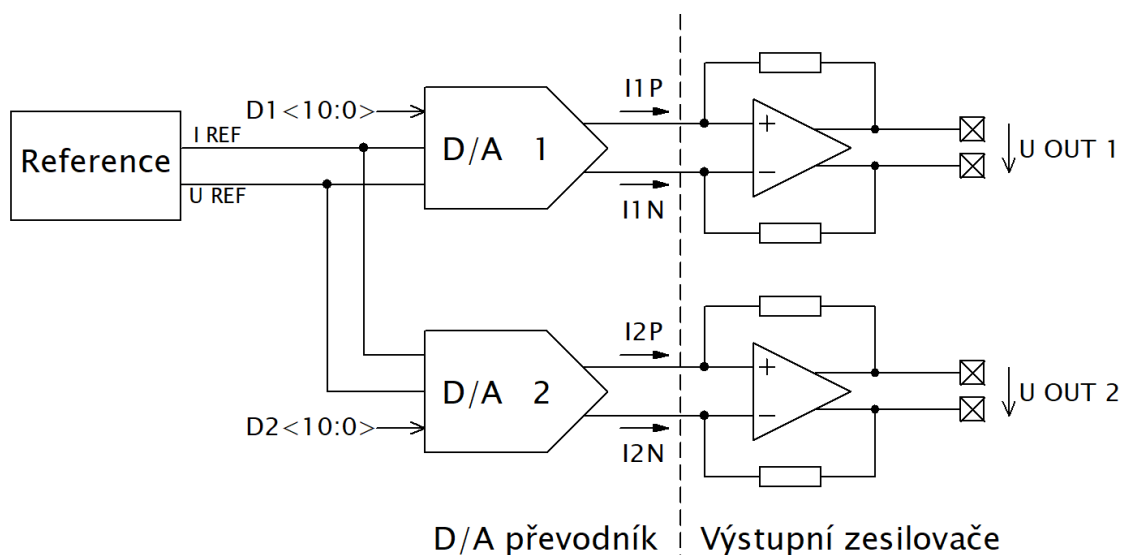
Integrované obvody jsou ze své podstaty citlivé na elektrostatické výboje (ESD). Při vystavení elektrostatickému výboji může dojít ke zničení obvodu, nebo při nejmenším ke snížení jeho životnosti. Je proto třeba přímo na křemíkový čip implementovat struktury, které dokážou výboje pohltit, aby nedošlo k poškození funkčních bloků. Elektrostatické výboje totiž mohou vzniknout už při výrobě a zapouzdřování čipu.

Z těchto důvodů je při návrhu integrovaných obvodů pro automobilový průmysl každý blok důkladně simulován přes široké spektrum procesních rozptylů, pracovních podmínek a hraničních teplot. Cílem je dosáhnout designu se spolehlivostí na 6 sigma, což odpovídá 3,14 nevyhovujícím vzorkům z milionu. Před uvedením na trh jsou obvody kompletně testovány, aby se eliminovaly jakékoliv výrobní defekty. Na testovatelnost obvodu je brán ohled už ve fázi návrhu [12], [13].

2 NÁVRH PŘEVODNÍKU

Navrhovaný převodník je jeden z mnoha bloků tvořících zákaznický specifický integrovaný obvod firmy ON Semiconductor. Jedná se o precizní poziční senzor sloužící k určení úhlu natočení hřídele elektromotoru v reálném čase. Při návrhu převodníku je tedy třeba zohlednit specifika elektroniky určené pro automobilové prostředí, jenž se vyznačuje nejen zvětšeným rozsahem pracovních podmínek, ale také odolností vůči vnějším vlivům a rušení. Navrhovaný dvoukanálový D/A převodník slouží k přesnému generování napěťových průběhů sinus a kosinus, a to při vzorkovací frekvenci maximálně 10 MHz a rozlišení 11 bitů na kanál.

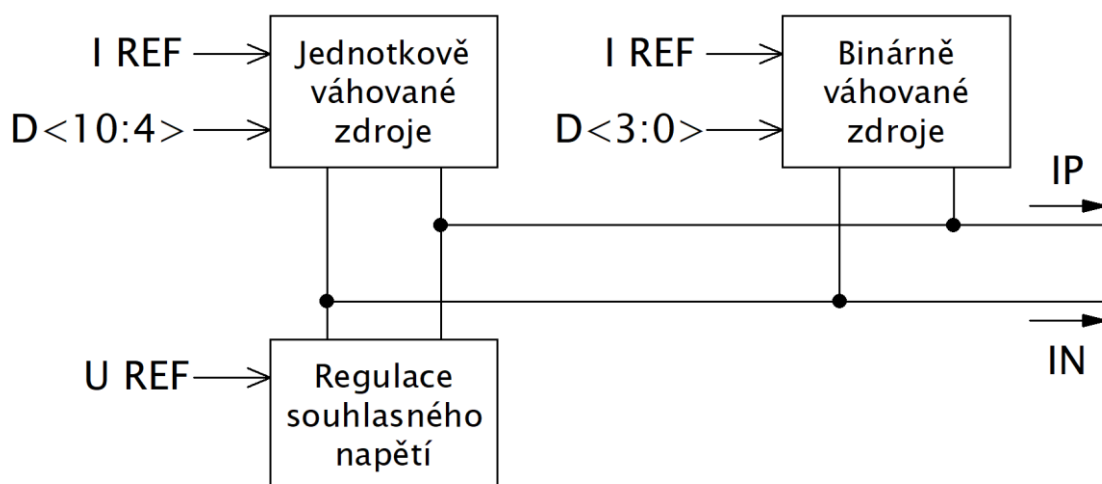
Na základě rozboru jednotlivých topologií D/A převodníků v předchozí kapitole byla zvolena realizace za pomoci proudových směrovačů, a to zejména díky vysokým rychlostem a přirozenému diferenciálnímu výstupu. Převod proudu na napětí je uskutečněn pomocí dvojice diferenciálních zesilovačů s rezistory ve zpětné vazbě. Realizace těchto výstupních obvodů není součástí této práce, je však nutné je zde pro úplnost uvést. Blokové schéma celého generátoru je uvedeno na obrázku 2.1.



Obrázek 2.1 Blokové schéma dvoukanálového generátoru

2.1 Architektura převodníku

S ohledem na dodržení požadavků na integrální a diferenciální nelinearitu uvedených v zadání, a zároveň minimalizování potřebné plochy převodníku na čipu, byla zvolena částečně segmentovaná topologie popsaná v kapitole 1.3.3. Na základě literatury [7] a praktických zkušeností firmy ON Semiconductor bylo zvoleno dělení „7+4“, tedy převod sedmi nejvyšších bitů je realizován pomocí 128 identických buněk proudových směrovačů se stejným nominálním proudem, a převod čtyř nejnižších bitů je zajištěn proudovými směrovači se 4 binárně váhovanými zdroji proudů. Zjednodušené blokové schéma jednoho kanálu D/A převodníku je uvedeno na obrázku 2.2.



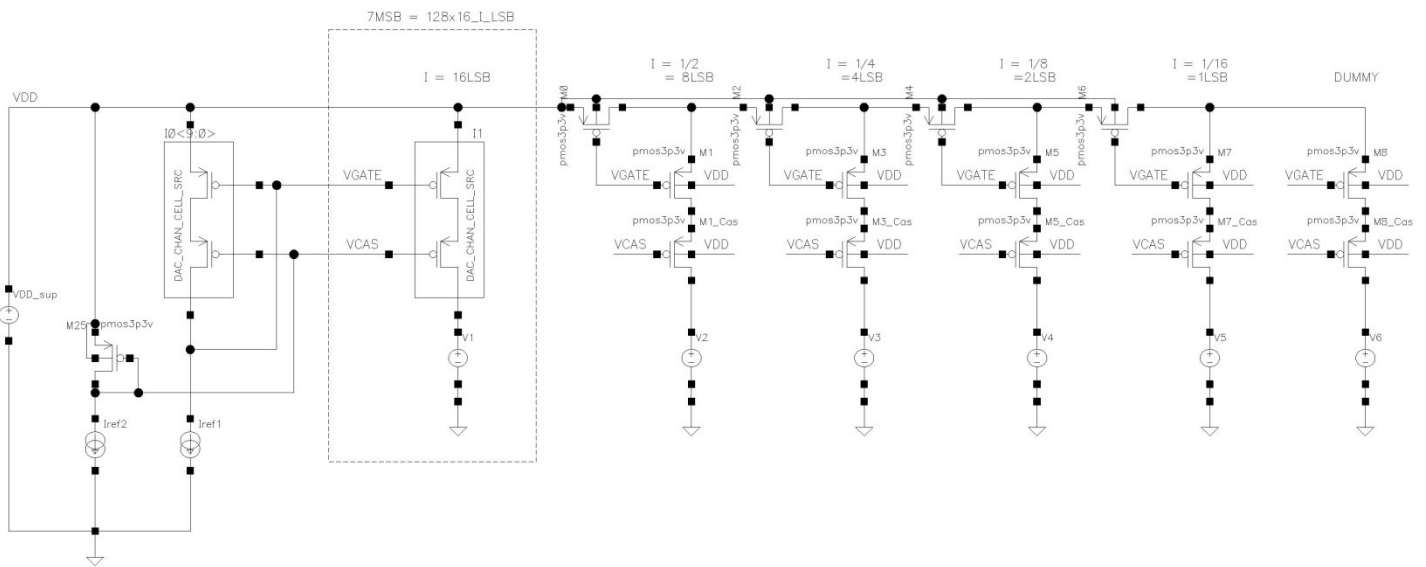
Obrázek 2.2 Blokové schéma jednoho kanálu D/A převodníku

Všechny výstupní proudy z jednotek proudových směrovačů se setkávají ve výstupních uzlech P a N, kde se sčítají podle 1. Kirchhofova zákona. Užitečným signálem je pak rozdíl proudů mezi oběma výstupy. Výstupní obvod má nízkou vstupní impedanci a prakticky udržuje nulový rozdíl napětí mezi jednotlivými vstupy. Kvůli plně diferenciální struktuře je však nutné toto napětí regulovat, ideálně do poloviny napájecího napětí, aby operační zesilovač mohl pracovat ve správných podmínkách. K tomu slouží obvody regulace souhlasného napětí.

Nominální velikost proudu jednotlivých zdrojů je řízena referenčním obvodem. Z důvodu minimalizování rozdílů zisku mezi oběma kanály je vhodné použít pro oba kanály jednu referenci. Díky tomu se také ušetří plocha spotřebovaného křemíku, což je důležité kvůli snižování výrobních nákladů.

2.2 Proudové zdroje

Požadovaný nominální proud všech zdrojů dohromady je přibližně $50 \mu\text{A}$. Při rozlišení 11 bitů je tento proud dělen na 2047 úrovní, kde nejmenší proud odpovídá hodnotě nejméně významnému bitu $1\text{LSB} = 24 \text{ nA}$. Zdroje jsou tvořeny proudovými zrcadly s P-MOS tranzistory. Pomocí vhodných dělicích poměrů tvořených kombinací tranzistorů v jednotlivých větvích jsou realizovány zdroje pro 127 identických buněk maticové struktury i 4 binárně váhované zdroje pro 4 nejnižší bity. Názorné schéma zdrojů proudu v převodníku je uvedeno na obrázku 2.3. Jedná se zároveň o schéma použité při simulaci.



Obrázek 2.3 Realizace proudových zdrojů D/A převodníku

Proud jedné buňky maticové struktury odpovídá $16 \text{ LSB} = 390 \text{ nA}$. Vzhledem k velkému počtu těchto zdrojů je vhodné, aby byly tvořeny pouze jedním tranzistorem na jednu buňku. Prvky zrcadla jsou tedy navrhovány na tento nominální proud. Protože proud jedné buňky je poměrně malý, je v řídicí části zrcadla použito 10 paralelně zapojených tranzistorů. Referenční proud je tedy 10x větší než požadovaný proud buňky. Pro zvýšení výstupní impedance jsou v každé větvi použity kaskodovací tranzistory. Napětí na gate kaskodových tranzistorů je tvořeno pomocí tranzistoru v zapojení diody, na kterém při vhodném poměru W/L a protékajícím proudu vzniká požadovaný úbytek napětí. Parametry všech součástek ve výsledném zapojení jsou uvedeny v dokumentaci (příloha 1).

Část proudových zdrojů pro 4 nejnižší bity tvoří tzv. $W-2W$ struktura, která je obdobou $R-2R$ děliče s rezistory. Zapojení vychází z [14]. Prakticky se jedná o rozvětvení proudového zrcadla, kde v každé větvi pomocí změny efektivního poměru W/L tranzistorů zapojených v sérii dochází k dělení proudů na poloviny. Součet všech proudů $W-2W$ struktury tranzistorů je pak roven proudu jedné „normální“ větve proudového zrcadla. Je však nutné poslední větev zdvojit, což tvoří zakončení $W-2W$ struktury, obdobně jako u $R-2R$ rezistorového zapojení. Tato tzv. „dummy“ větev pak tvoří neužitečný proud odváděný do nulového potenciálu napájení (GND).

Vzhledem k nárokům na integrální a diferenciální nelinearitu je při návrhu tranzistorů proudového zrcadla je nutné brát ohled zejména na matching, neboli souběh jednotlivých součástek. Nepřesnosti při výrobě součástek na desce křemíku způsobují rozdíly v jejich vlastnostech, čímž dochází k vzájemným odchylkám výstupních proudů zrcadel. Matchingové chyby mají v principu dva zdroje- náhodný, a systematický. Velikost náhodné chyby je způsobena statistickou distribucí difuzního procesu polovodičů a její vliv lze určit jako

$$\delta_M = \frac{K_{PM}}{\sqrt{S}}. \quad (2.1)$$

Kde δ_M je chyba matchingu, KP_M je technologická konstanta a S je plocha součástky. V daném výrobním procesu je KP_M konstantní, velikost chyby je závislá pouze na ploše, a má normální distribuci. Se správnými modely součástek ji lze simulovat pomocí monte carlo analýzy.

Systematická chyba vzniká rozdílným uspořádáním součástek, rozdíly v jejich okolí, díky procesnímu gradientu, teplotnímu gradientu, mechanickým tlakům v krystalové mřížce křemíku atd. Tyto chyby prakticky nelze simulovat. Se znalostí příčin jejich vzniku je ale lze správným návrhem výrazně omezit. Velký vliv má vzájemné rozmístění součástek a jejich blízké okolí. Se vzrůstající vzdáleností roste vliv procesního gradientu. Je tedy vhodné umisťovat součástky citlivé na matching co nejbližše sobě. Pokud je na čipu zdroj tepla, vzniká vlivem teplotního gradientu chyba u součástek, které jsou od zdroje tepla v různých vzdálenostech, a tedy fungují při rozdílné teplotě. Protože křemíkový čip je zapouzdřen za vysoké teploty, vzniká na něm při nízkých teplotách mechanické pnutí, které ovlivňuje krystalickou mřížku a mění vlastnosti polovodičů. Tato chyba je nejvýraznější při okrajích, v polovinách a na úhlopříčkách čipu. Vliv na matching součástek má i jejich blízké okolí. Například v blízkosti hlubokých i mělkých izolací se výrazně mění tlaky v krystalické mřížce.

Na vzájemný rozdíl proudu tranzistorů v proudových zrcadlech má největší vliv chyba prahového napětí V_T , jejíž vliv se méně uplatňuje se vzrůstajícím napětí gate-source. Matching tranzistorů v proudovém zrcadle lze tedy zlepšovat zmenšením poměru W/L , přičemž celková plocha tranzistoru může být stále relativně malá. Finální rozměry tranzistoru s ohledem na dostatečný matching při minimální ploše byly odvozeny z výsledků simulací. Chyby matchingu jsou nejlépe charakterizované v modelech součástek, a ruční výpočet by byl pouze orientační. Výsledky simulace chyby matchingu proudových zdrojů pomocí monte carlo analýzy jsou uvedeny v tabulce 1.

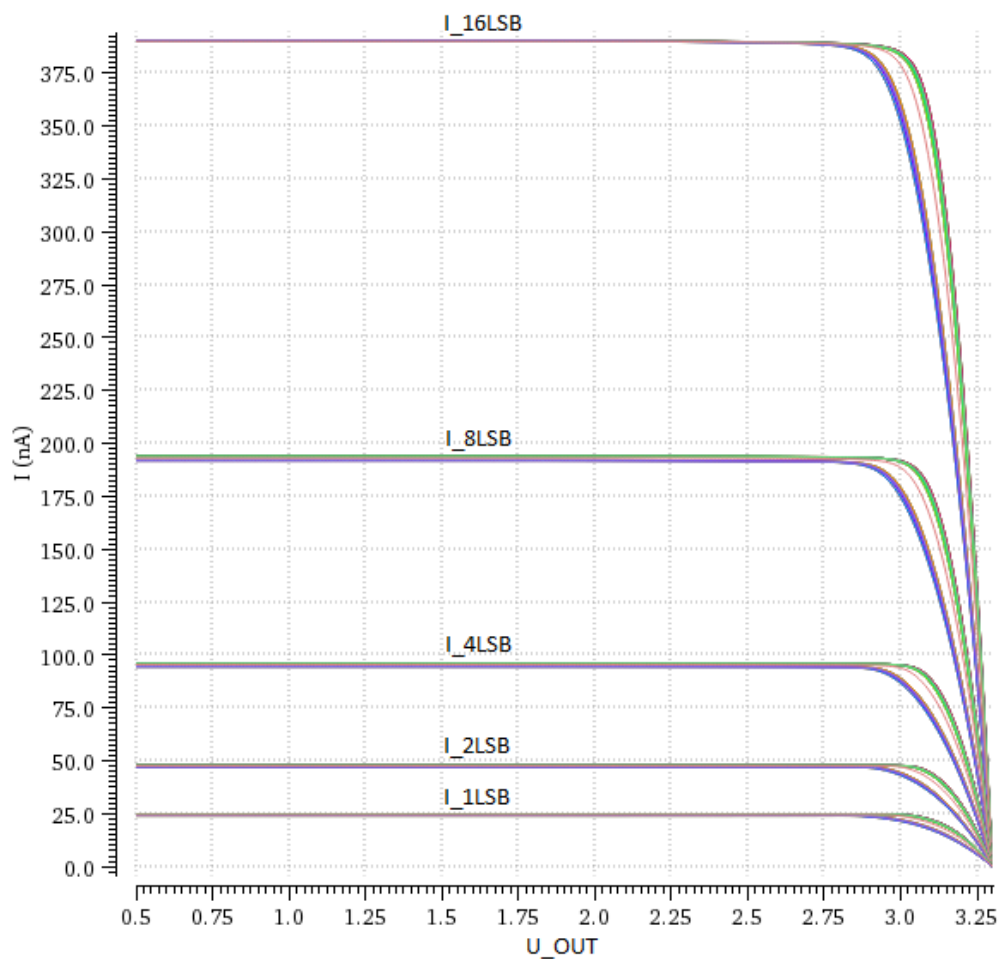
Tabulka 1 Výsledky Monte Carlo analýzy proudových zdrojů

	Name	Min	Max	Mean	StdDev	StdDev * 6
1	SRC_16LSB_Diff	-1.1E-08	1.13E-08	-5.9E-11	3.54E-09	2.1252E-08
2	SRC_16LSB_Abs	3.82E-07	3.99E-07	3.9E-07	2.66E-09	1.5972E-08
3	SRC_8LSB_Abs	1.89E-07	1.98E-07	1.93E-07	1.35E-09	8.094E-09
4	SRC_4LSB_Abs	9.24E-08	9.85E-08	9.54E-08	8.42E-10	5.0538E-09
5	SRC_2LSB_Abs	4.56E-08	4.96E-08	4.77E-08	5.55E-10	3.3276E-09
6	SRC_1LSB_Abs	2.31E-08	2.58E-08	2.45E-08	3.8E-10	2.2824E-09
7	16LSB-15LSB	2.02E-08	3.9E-08	2.94E-08	2.82E-09	1.6944E-08
8	15LSB	3.56E-07	3.65E-07	3.61E-07	1.38E-09	8.25E-09
9	16LSB-1LSB	3.57E-07	3.74E-07	3.66E-07	2.67E-09	1.6044E-08

Nejdůležitějším údajem je šestinásobek standardní odchylky (od střední hodnoty) v posledním sloupci. Při návrhu pro automobilový průmysl je to maximální chyba, při kterém musí zařízení stále splňovat požadované parametry. Požadavkem pro tento převodník je diferenciální nelinearita vždy menší než 1. Výpočet v 1. řádku uvádí náhodný rozdíl proudů mezi dvěma stejnými buňkami. Výpočty v 2. až 6. řádku pak uvádějí absolutní hodnoty proudů jednotlivých zdrojů. Lze pozorovat, že maximální

rozdíl proudů dvou zdrojů 16 LSB je menší, než proud zdroje 1 LSB. Diferenciální nelinearita těchto zdrojů tedy bude vždy menší než 1. Dalším důležitým bodem pro vyhodnocení nelinearity je rozdíl mezi součtem proudů 4 nejnižších bitů (kombinace 01111b = 15), a libovolným zdrojem 5. nejnižšího bitu (10000b = 16). Při této změně kombinací dochází k přepnutí největšího počtu zdrojů v jednom okamžiku, proto bývá zatížena největší chybou. Tento výpočet je uveden v 7. řádku. Maximální chyba je opět menší než 1LSB, požadavek na nelinearitu je tedy dodržen.

Dalším parametrem proudových zdrojů, který je nutné uvažovat, je rozsah výstupního napětí. Výsledné V-A charakteristiky z DC simulace zdrojů jsou na obrázku 2.4.



Obrázek 2.4 V-A charakteristiky proudových zdrojů

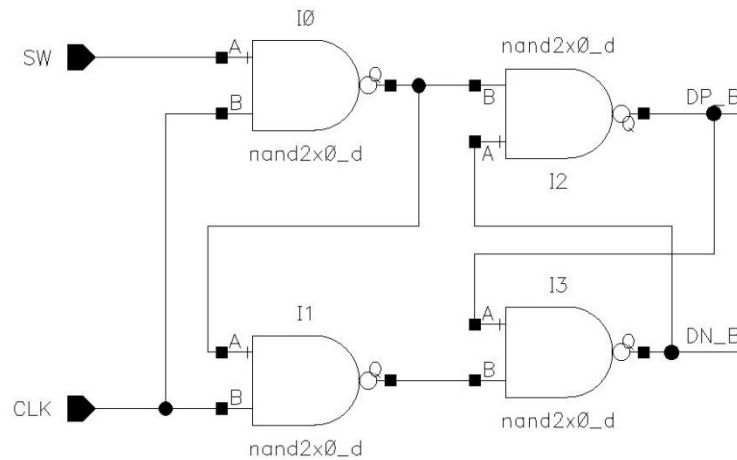
Překrývající se křivky znázorňují charakteristiku stejných zdrojů v různých okrajových podmínkách výrobního procesu (corners). Při cornerové simulaci jsou součástky simulovány v krajních výrobních rozptylech, avšak všechny jsou ovlivněny stejně. Tyto simulace tedy znázorňují rozptyly absolutních hodnot součástek, nikoliv relativní rozdíly mezi jednotlivými součástkami stejného typu (narozdíl od matchingové simulace popsané dříve). Absolutní hodnota proudů v pracovní oblasti se liší

minimálně, protože referenční proud v simulaci byl tvořen ideálním zdrojem, a tranzistory proudových zrcadel mají v simulaci stejné parametry. Simulace ale zachycuje rozdíly v minimálním napětí potřebném pro funkci proudového zrcadla.

Výstupní napětí zdrojů bude díky výstupním obvodům a obvodům regulace souhlasného napětí, téměř konstantní. Z grafu lze určit, že i v nejhorsích okrajových podmínkách potřebuje nejsilnější zdroj 16LSB ke správné funkci napětí na výstupu zhruba o 0,6V menší, než napájecí napětí. Výstupní napětí zdrojů bude regulováno na polovinu napájecího napětí, které se může pohybovat v rozmezí 3V – 3,6V. Zdroje tedy budou za každých podmínek pracovat správně.

2.3 Proudové přepínače

Proudový přepínač směřuje proud ze zdroje do výstupního uzlu P nebo N. Tvoří ho 2 tranzistory řízené komplementárními spínacími signály. Vlastnosti přepínače a jeho řízení mají zásadní vliv na dynamické vlastnosti celého převodníku. Cílem je předejít chybám popsaných v kapitole 1.3.2. Aby nedoházelo k časovým posunům při přepínání více než jednoho zdroje, a tím i k nežádoucím zákrmitům výstupních proudů, jsou ovládací signály všech přepínačů synchronizovány pomocí latch obvodů. Typické zapojení typu latch, použité i v obvodech navrhovaného převodníku, je uvedeno na obrázku 2.5.



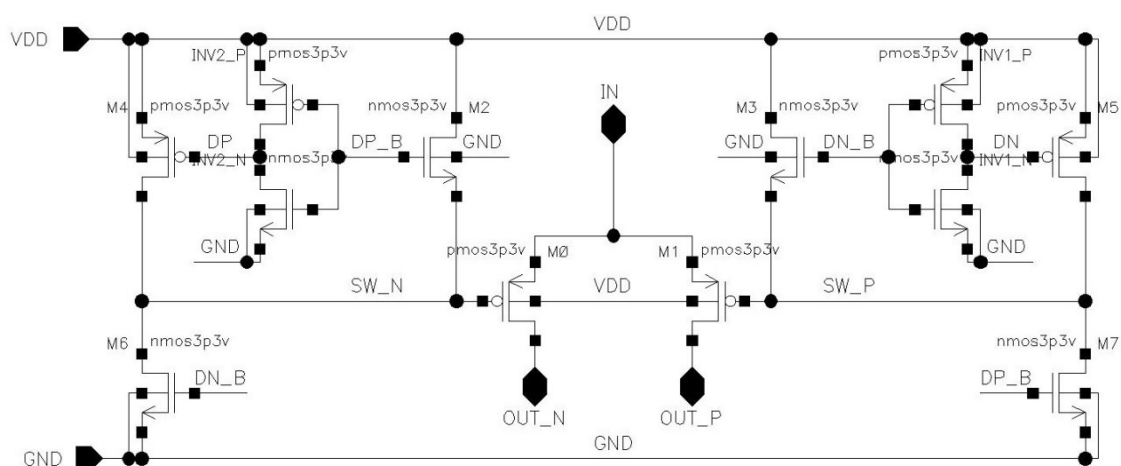
Obrázek 2.5 Latch obvod

Obvod tohoto typu má dva stavy, které určuje logická úroveň hodinového signálu (CLK). Pokud je hodinový signál v logické úrovni 1, jsou výstupy přímo ovládané vstupním signálem SW (tzv. průchozí stav). V okamžiku kdy hodinový signál přejde do stavu 0, přechází obvod do tzv. paměťového stavu, výstupní signály přestávají reagovat na změnu stavu vstupního signálu a udržují svou úroveň.

Digitální jádro integrovaného obvodu, jehož součástí bude navrhovaný převodník, je synchronní systém měnící svoje stavy na náběžné hraně hodinového signálu. Synchronizaci mimo jádro procesoru však nejde účinně zajistit. Zejména po

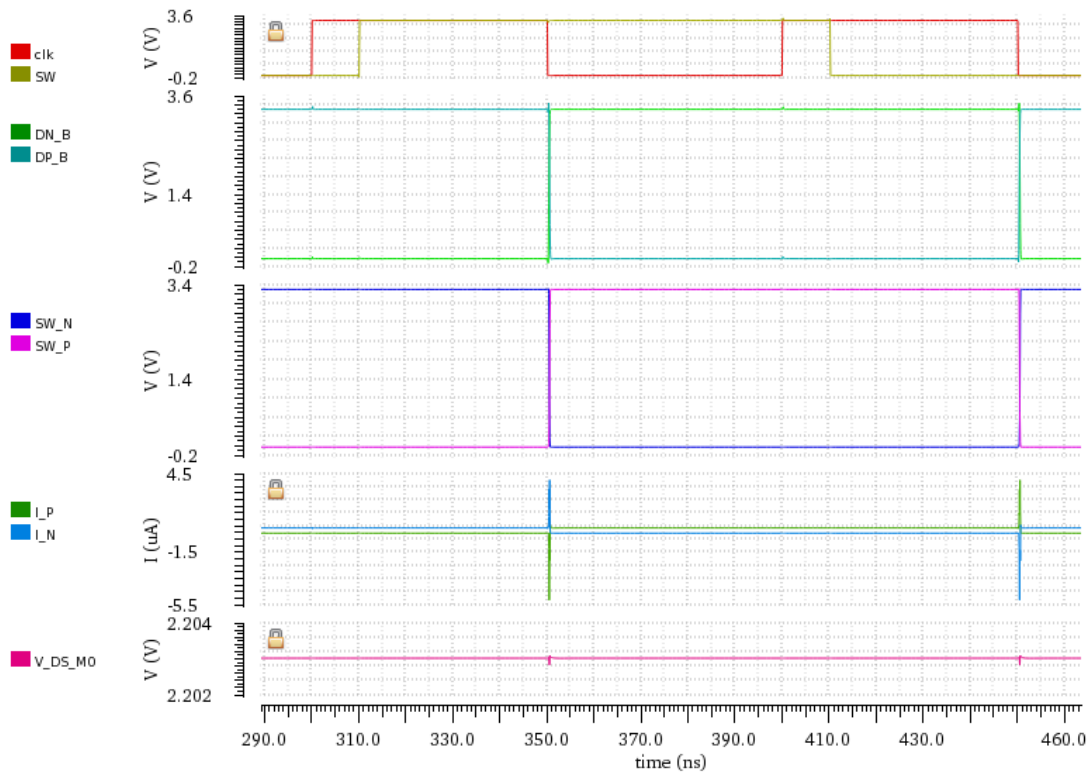
průchodu dalšími logickými obvody, jako dekodéry pro řízení buněk v matici a dekodéry v buňkách, mohou řídicí signály nabírat různé zpoždění. Mohlo by tedy docházet k nežádoucím stavům, kdy je latch obvod v průchozím stavu, ale řídicí signály ještě nejsou ustálené. Nejvhodnějším řešením je zavedení zpoždění o polovinu periody hodinového signálu. Toho je dosaženo invertováním CLK před vstupem do všech latch obvodů. Převodník pak mění svoje stavy na sestupné hraně CLK, kdy jsou všechny řídicí signály ustáleny, a naopak v době $CLK = \text{log } 1$, kdy se řídicí signály mění, zůstávají stavy přepínačů ustálené.

Výhodou latch obvodu je skutečnost, že poskytuje na výstupu dva synchronizované komplementární signály. Jejich průběh se dále upravuje pomocí driveru proudového přepínače, uvedeného na obrázku 2.6. Zapojení vychází z [10].

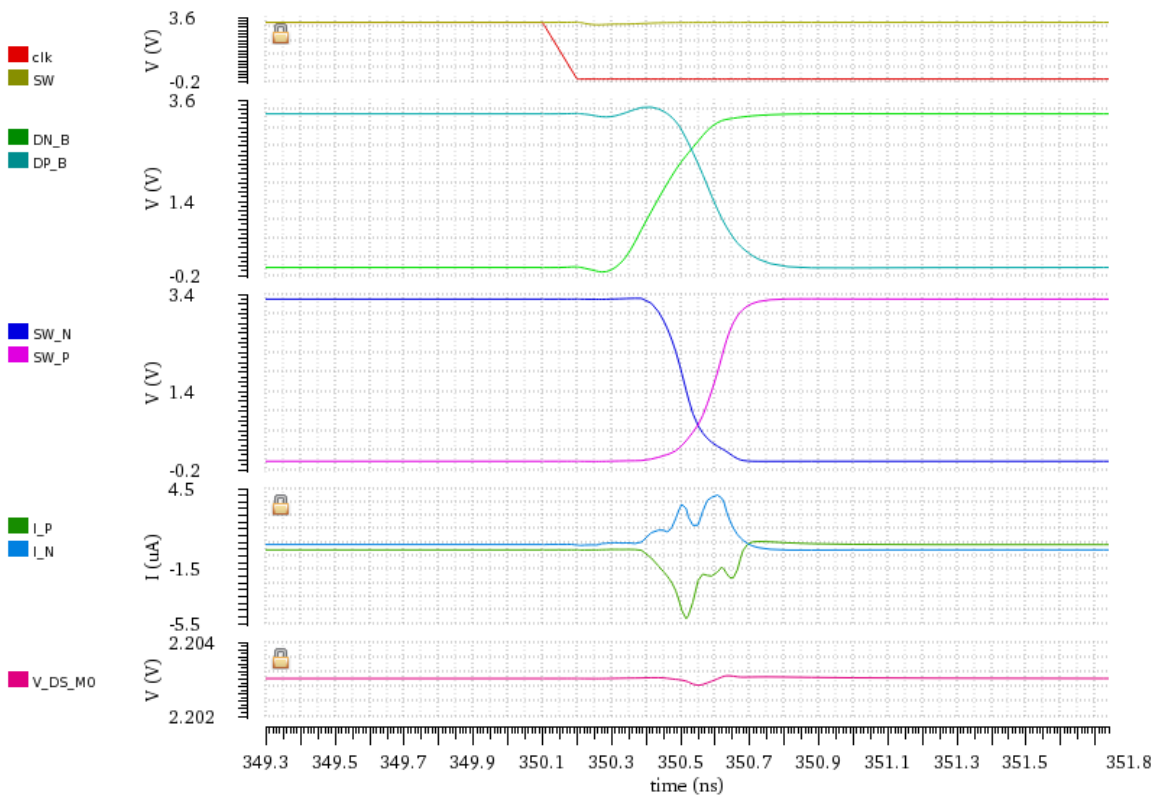


Obrázek 2.6 Driver proudového přepínače

Samotné přepínače tvoří tranzistory M0 a M1, na jejichž source je přiveden výstup z proudového zdroje. Tranzistory mají minimální velikost, jakou umožňuje výrobní proces, aby se minimalizovaly parazitní kapacity. Smyslem okolního obvodu je tvarování komplementárních signálů řídicích gate přepínacích tranzistorů. K přepnutí signálu SW_P z vysoké do nízké úrovně dochází prakticky okamžitě. Naopak k přepnutí z nízké do vysoké úrovně dochází se zpožděním způsobeným invertorem (tranzistory INV1_P a INV1_N) který ovládá gate tranzistoru M5. Vhodným dimenzováním velikostí tranzistorů driveru lze dosáhnout optimálního bodu křížení signálů SW_P a SW_N. Tím je zajištěn průběh přepínání tranzistorů tak, aby v žádném okamžiku nebyly oba v nevodivém stavu, a proud zdroje byl vždy konstantní. Výsledky časové simulace (transient) funkce obvodů proudových přepínačů jsou na obrázku 2.7 a 2.8.



Obrázek 2.7 Simulace přepínačů proudu



Obrázek 2.8 Detail průběhů při změně stavu proudových přepínačů

Průběhy v horním grafu zobrazují stavy řídicího signálu D (vstup SW do obvodu latch) a hodinový signál CLK. Pro účely simulace byla změna řídicího signálu zpožděna oproti náběžné hraně CLK, což simuluje náhodné zpoždění signálů. K přepínání však dochází při sestupné hraně CLK, takže se zpoždění neprojeví. V druhém grafu jsou zobrazeny Výstupní signály latch obvodu. Ve třetím grafu je zobrazeno napětí na gatech tranzistorů, které přepínají proud zdroje do uzlu P nebo N. Bod křížení signálů nastává při napětí zhruba 0,7 V, rezerva pro bezpečné sepnutí P-MOS tranzistorů je tedy dostatečná, a k současnému vypnutí obou tranzistorů nedochází.

Proudy v obou výstupních uzlech jsou zobrazeny ve čtvrtém grafu. Při přepínání směru proudu si lze všimnout poměrně velkých proudových špiček. Ty jsou způsobeny nabíjením a vybíjením parazitních kapacit tranzistorů při změně napětí na gatech spínacích tranzistorů. Proud zdroje však zůstává konstantní, což lze odvodit z posledního grafu, ve kterém je zobrazeno napětí na drainu tranzistoru proudového zdroje. Pokud by docházelo k nežádoucímu stavu vypnutí obou spínacích tranzistorů zároveň, byl by v tomto okamžiku pozorovatelný významný pokles napětí zdroje.

3 DESIGN PŘEVODNÍKU

V této kapitole je popsán výsledný design převodníku a jeho jednotlivých částí. Kompletní schémata včetně hodnot jednotlivých součástek jsou uvedena v příloze 1. Celé zapojení je strukturované do úrovní, přičemž každý schematický celek je jako samostatná buňka ve vyšší úrovni reprezentovaný vlastní schematickou značkou. Výhodou je přehlednost, a možnost snadného kopírování buněk, které jsou v zapojení použity vícrát. Seznam použitých buněk podle úrovní je pro přehlednost uveden v tabulce 2.

Tabulka 2 Seznam schematických buněk převodníku

Top	1. úroveň	2. úroveň	3. úroveň	
DAC	DAC_CHAN	DAC_CHAN_CELL	DAC_CHAN_CELL_SRC	
		DAC_CHAN_4LSB	DAC_CHAN_4LSB_SW	
		aux_Bin_to_Therm_3bit		
		aux_Bin_to_Therm_4bit		
	DAC_REF		DAC_REF_VREF	
			UPID_BIAS_OTAN	
			DAC_CHAN_CELL_SRC	
		DAC_VCMM_REG		

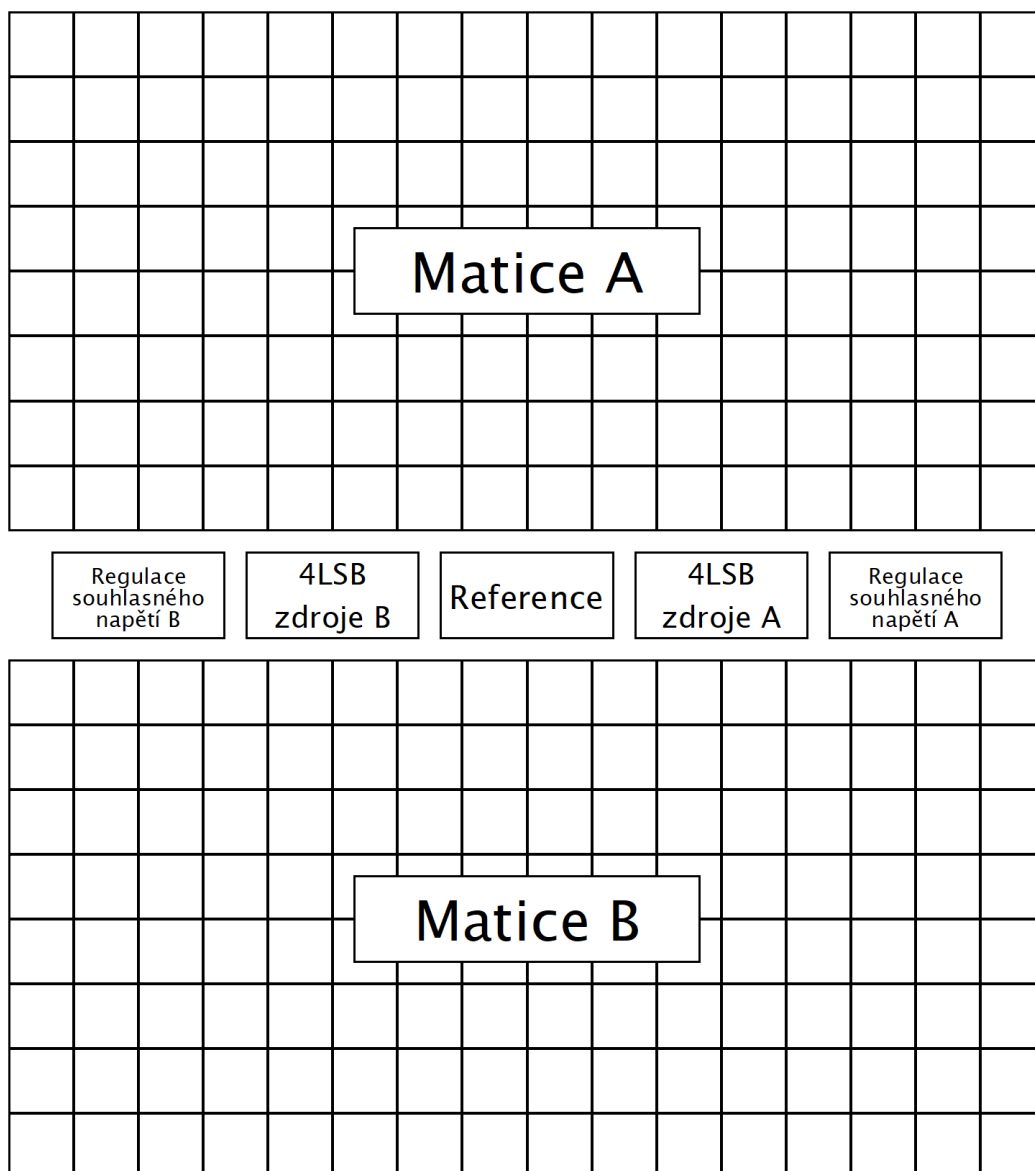
3.1 Dvoukanálový převodník

Celý převodník (DAC) se skládá ze dvou totožných kanálů, které jsou rozlišeny označením A a B, a reference, která je společná. Každý kanál se skládá z převodníku (DAC_CHAN) a regulátoru souhlasného napětí výstupů. Popis vstupních a výstupních pinů je uveden v tabulce 3.

Tabulka 3 Popis pinů převodníku

Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3.6V
VCC	Power	Neregulované napájecí napětí 5V typ.
GND	Ground	Nulový potenciál napájecího napětí
IN5u1	Analog	Referenční proud 5 μ A
IN5u2	Analog	Referenční proud 5 μ A
PD	Vstupní IO	Powerdown signál
CLK	Vstupní IO	Hodinový signál 10MHz
A<10:0>	Vstupní IO	Sběrnice 11bitů, vstup kanálu A
B<10:0>	Vstupní IO	Sběrnice 11bitů, vstup kanálu B
A_OUT_P	Vstupní / výstupní	Výstup P kanálu A
A_OUT_N	Vstupní / výstupní	Výstup N kanálu A
B_OUT_P	Vstupní / výstupní	Výstup P kanálu B
B_OUT_N	Vstupní / výstupní	Výstup N kanálu B

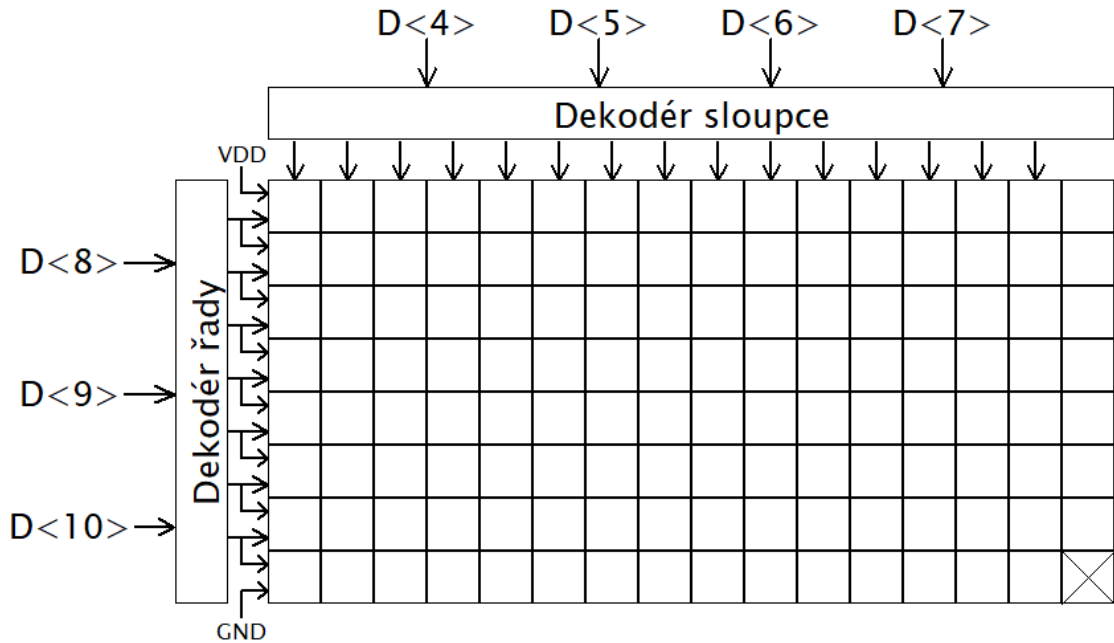
Na obrázku 3.1 je zobrazen návrh rozmístění (layout) komponent převodníku. Maticе proudových směrovačů obou kanálů jsou vzájemně rovnoběžné delšími stranami. Mezi nimi je ve středu umístěna společná reference. Díky tomuto rozmístění se minimalizuje vzdálenost mezi referencí a nejbližší buňkou matice, čímž se minimalizuje chyba matchingu. Ostatní obvody jsou umístěny ve zbytku vzniklé mezery mezi maticemi, aby se co nejlépe využila plocha čipu.



Obrázek 3.1 Návrh layoutu komponentů převodníku

3.2 Kanál převodníku

Buňka DAC_CHAN tvoří jeden kanál převodníku. Obsahuje binárně váhované zdroje pro 4 nejméně významné bity a matici jednotkově váhovaných zdrojů pro převod 7 nejméně významných bitů. Stav přepnutí binárně váhovaných zdrojů je řízen přímo příslušnými signály ze sběrnice. Stav přepnutí jednotlivých buněk matice je řízen pomocí dekodérů řady a sloupce, a lokálních dekodérů v každé buňce. Blokové schéma matice je znázorněno na obrázku 3.2.



Obrázek 3.2 Blokové schéma matice kanálu převodníku

Dekodéry převádí 3 (resp. 4) bity binárního kódu na termometrický kód, jehož jednotlivé bity jsou přivedeny do celé příslušné řady (resp. sloupce) matice. Poslední buňka matice je vynechána, ve schématu je však uvedena jako dummy buňka (nepoužitá), a to kvůli symetričnosti celé matice a zachování stejného blízkého okolí všem buňkám. Celá matice tedy obsahuje 127 buněk s nominálním proudem $I=16\text{LSB}$, celkem $128 \cdot 16 = 2032$. Nejnižších 15 LSB zajišťují binárně váhované zdroje, které doplňují rozlišení převodníku na požadovaných $2032+15 = 2047$ úrovní. Pravdivostní tabulky popisující stavy vstupních a výstupních signálů dekodérů jsou uvedeny v tabulce 4 a tabulce 5. Popis pinů kanálu převodníku je uveden v tabulce 6.

Tabulka 4 Pravdivostní tabulka dekodéru řady matice

Dek.	Bin <2>	Bin <1>	Bin <0>	Therm <6>	Therm <5>	Therm <4>	Therm <3>	Therm <2>	Therm <1>	Therm <0>
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

Tabulka 5 Pravdivostní tabulka dekodéru sloupce matice

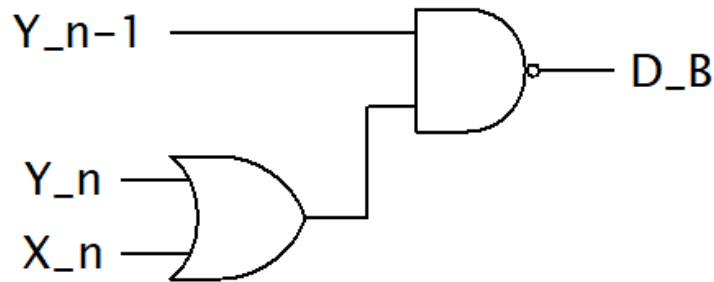
Dek.	Bin <3>	Bin <2>	Bin <1>	Bin <0>	Therm <14>	Therm <13>	Therm <12>	Therm <11>	Therm <10>	Therm <9>	Therm <8>	Therm <7>	Therm <6>	Therm <5>	Therm <4>	Therm <3>	Therm <2>	Therm <1>	Therm <0>
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
3	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
4	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
5	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
6	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
7	0	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
9	1	0	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
11	1	0	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
12	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
13	1	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
14	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Tabulka 6 Popis pinů kanálu převodníku

Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3,6V
GND	Ground	Nulový potenciál napájecího napětí
VGATE	Analog	Referenční napětí gate tranzistorů proudových zrcadel
VCAS	Analog	Referenční napětí gatekaskodových tranzistorů proudových zrcadel
CLK	Vstupní IO	Hodinový signál 10MHz
D<10:0>	Vstupní IO	Sběrnice 11bitů, vstupní binární kód
OUT_P	Vstupní / výstupní	Výstupní proud do uzlu P
OUT_N	Vstupní / výstupní	Výstupní proud do uzlu N

3.3 Buňka matice

Každá buňka matice (DAC_CHAN_CELL) se skládá z dekodéru, latch obvodu, proudového přepínače s driverem a proudového zdroje. Dekodér buňky rozhoduje směr přepnutí výstupního proudu v závislosti na stavu signálů sloupce a řady, ve které se daná buňka nachází. Schéma dekodéru z logických hradel OR a NAND je uvedeno na obrázku 3.3.



Obrázek 3.3 Lokální dekodér buňky

X_n je pozice sloupce, a Y_n pozice řady matice, ve které se buňka nachází. Zároveň se jedná o signály z dekodérů binárního na termometrický kód, které přísluší konkrétním řadám a sloupcům. Z pohledu buňky mohou nastat 3 stavy:

- 1) Předchozí řada (Y_{n-1}) signalizuje log. 0 = všechny buňky v řadě n jsou vždy sepnuté do uzlu N.
- 2) Předchozí řada (Y_{n-1}) signalizuje log. 1 = Proud se přepíná podle stavu signálu sloupce (X_n).
- 3) Předchozí řada (Y_{n-1}) i řada Y_n signalizují log 1 = všechny buňky v řadě n jsou vždy sepnuté do uzlu P.

Pravdivostní tabulka dekodéru je uvedena v tabulce 7. Kvůli zjednodušení dekodéru je jeho výstup (D_B) negovaný, což je kompenzováno záměnou výstupů z latch obvodu. Popis výstupních pinů buňky matice je uveden v tabulce 8.

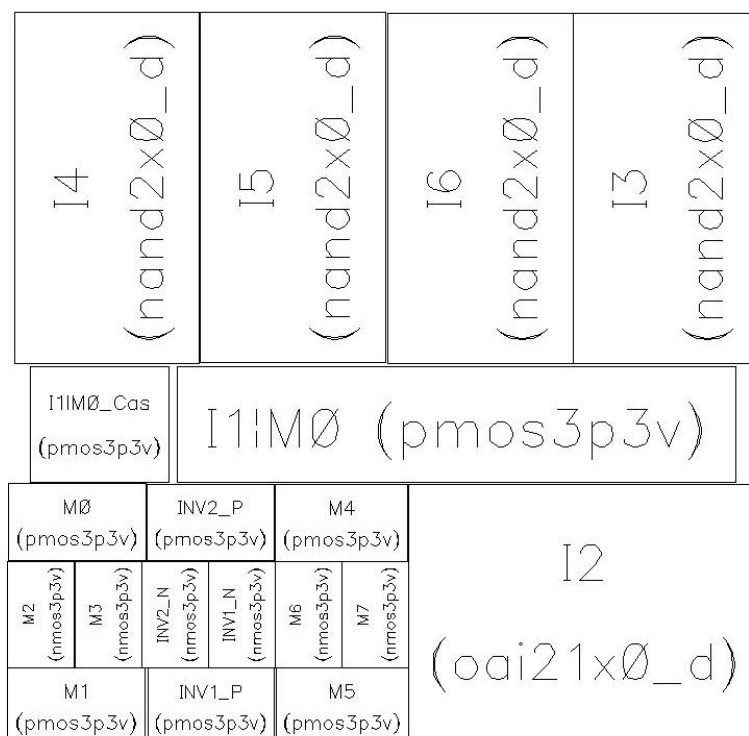
Tabulka 7 Pravdivostní tabulka dekodéru buňky

Y_{n-1}	Y_n	X_n	D_B
0	0	0	1
0	0	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Tabulka 8 Popis pinů buňky matice

Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3,6V
GND	Ground	Nulový potenciál napájecího napětí
VGATE	Analog	Referenční napětí gate tranzistorů proudových zrcadel
VCAS	Analog	Referenční napětí gatekaskodových tranzistorů proudových zrcadel
CLK	Vstupní IO	Hodinový signál 10MHz
Y_n-1	Vstupní IO	Spínací signál předchozí řady matice
Y_n	Vstupní IO	Spínací signál řady matice
X_n	Vstupní IO	Spínací signál sloupce matice
OUT_P	Vstupní / výstupní	Výstupní proud do uzlu P
OUT_N	Vstupní / výstupní	Výstupní proud do uzlu N

Na obrázku 3.4 je uvedený návrh fyzického rozložení (layout) jednotlivých součástek buňky. Tranzistor proudového zdroje a jeho kaskoda jsou umístěny uprostřed. Z horní strany jsou 4 NAND hradla, které tvoří latch obvod. Z dolní strany je pak umístěn dekodér, a driver s přepínacími tranzistory. Díky tomuto rozmístění mají všechny tranzistory proudových zdrojů v matici stejné okolí, a tedy stejný vliv okrajových podmínek, což zlepšuje jejich matching. Délka jedné strany buňky je přibližně 13 μm a celková plocha 169 μm^2 .



Obrázek 3.4 Návrh layoutu součástek buňky matice

3.4 Binárně váhované zdroje

Buňka DAC_CHAN_4LSB tvoří rozlišení převodníku pro 4 nejnižší bity. Skládá se z binárně váhovaných zdrojů a přepínačů proudu, pro které byla kvůli přehlednosti vytvořena samostatná schematická buňka DAC_CHAN_4LSB_SW. Tato buňka obsahuje obvod latch, 2 tranzistory sloužící jako přepínače proudu, a jejich driver. Zapojení je totožné se zapojením přepínačů v buňce matice. Rozdíl je ve zdroji řídicího signálu. Přepínače jsou řízeny přímo ze 4 nejnižších bitů sběrnice vstupního slova převodníku, bez potřeby dekodéru. V tabulce 9 je uvedený popis pinů buňky 4LSB, v tabulce 10 je pak popis buňky s přepínačem proudu.

Tabulka 9 Popis pinů buňky proudových směrovačů pro 4 LSB

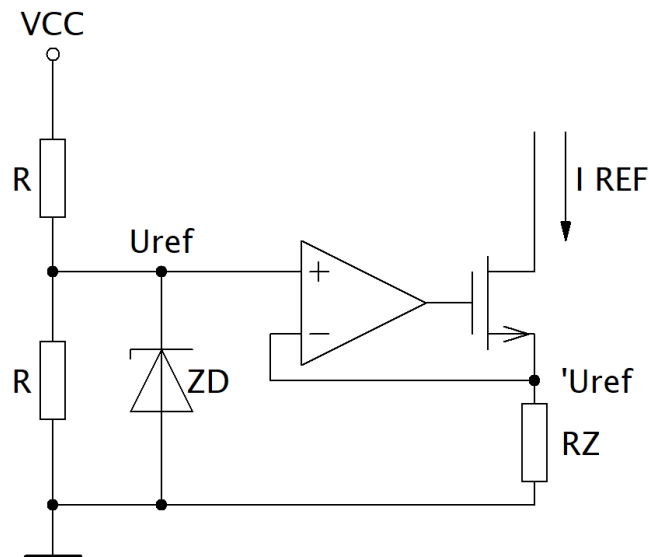
Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3,6V
GND	Ground	Nulový potenciál napájecího napětí
VGATE	Analog	Referenční napětí gate tranzistorů proudových zrcadel
VCAS	Analog	Referenční napětí gate kaskodových tranzistorů proudových zrcadel
CLK	Vstupní IO	Hodinový signál 10MHz
D<3:0>	Vstupní IO	Sběrnice 4bitů, vstupní binární kód
OUT_P	Vstupní / výstupní	Výstupní proud do uzlu P
OUT_N	Vstupní / výstupní	Výstupní proud do uzlu N

Tabulka 10 Popis pinů buňky přepínače proudu.

Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3,6V
GND	Ground	Nulový potenciál napájecího napětí
SW	Vstupní IO	Signál směru přepnutí proudu
CLK	Vstupní IO	Hodinový signál 10MHz
IN	Vstupní / výstupní	Vstup proudu ze zdroje
OUT_P	Vstupní / výstupní	Výstupní proud do uzlu P
OUT_N	Vstupní / výstupní	Výstupní proud do uzlu N

3.5 Reference

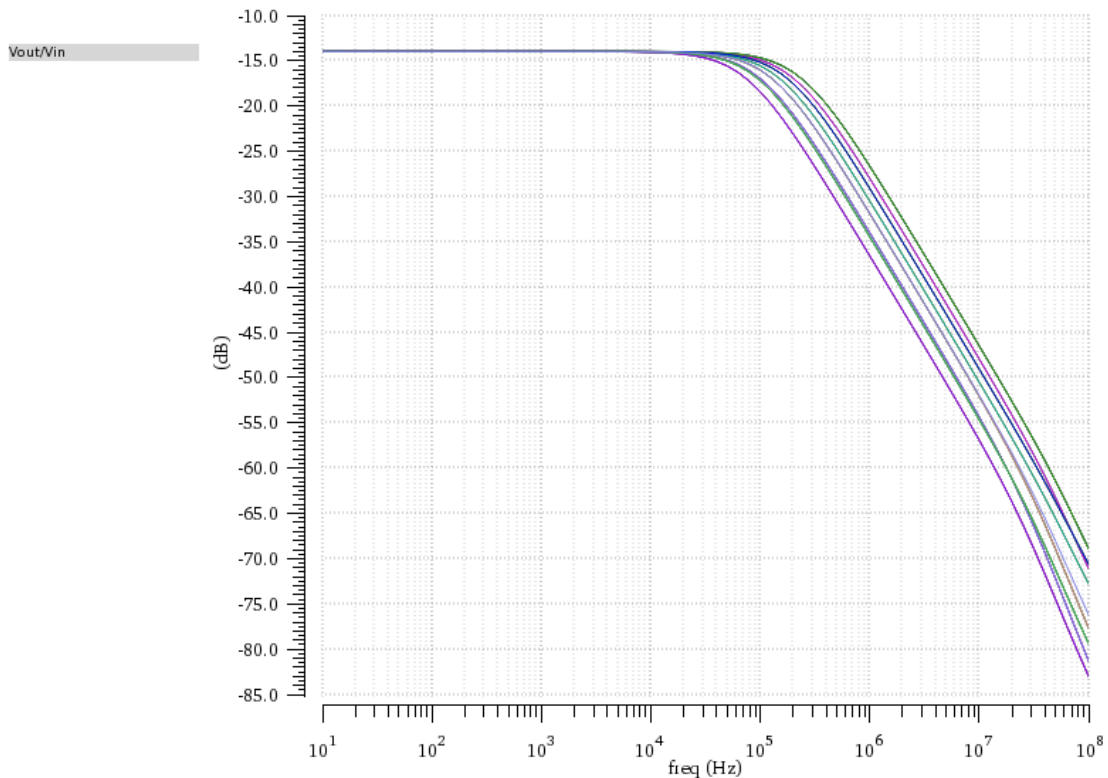
Buňka DAC_REF vytváří referenční proud který, prochází řídicí částí proudového zrcadla zdrojů proudu v D/A převodníku. Referenční proud je odvozen od neregulovaného napájení VCC s typickou hodnotou 5V. Principiální schéma části zapojení generující referenční proud je na obrázku 3.5.



Obrázek 3.5 Principiální schéma generátoru referenčního proudu

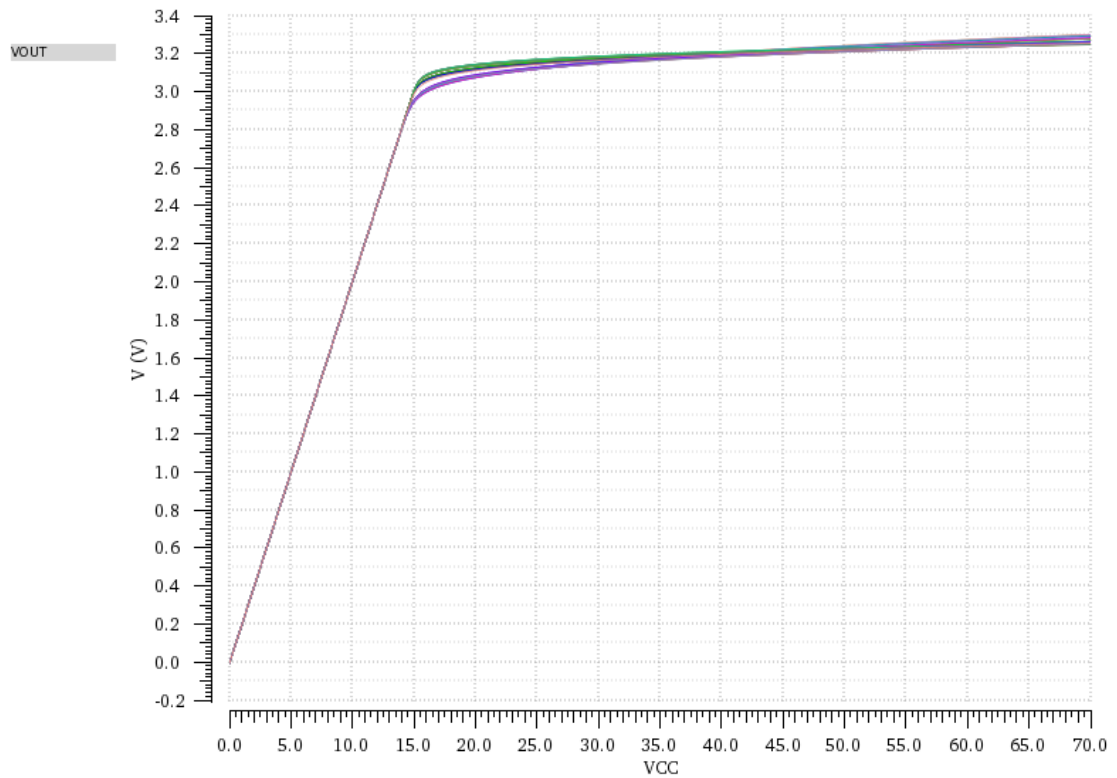
Celý referenční obvod je tvořen napěťovou referencí (DAC_REF_VREF), převodníkem proudu na napětí, a proudovými zrcadly, která vhodnými poměry vytváří referenční proud $3,9 \mu\text{A}$.

Referenční napětí je získáváno pomocí odporového děliče s poměrem 5:1. Při vstupním napětí $VCC = 5\text{V}$ je tedy napětí na výstupu děliče 1V. Pro omezení rychlých přechodových dějů a vlivu rušení na referenční proud je na výstup děliče zařazena kapacita, která spolu s odporem děliče tvoří dolní propust. Na obrázku 3.6 jsou výsledky AC cornerové simulace frekvenčních charakteristik napěťové reference. Mezní frekvence dolní propusti se pohybuje v rozmezí 75 kHz až 240 kHz.

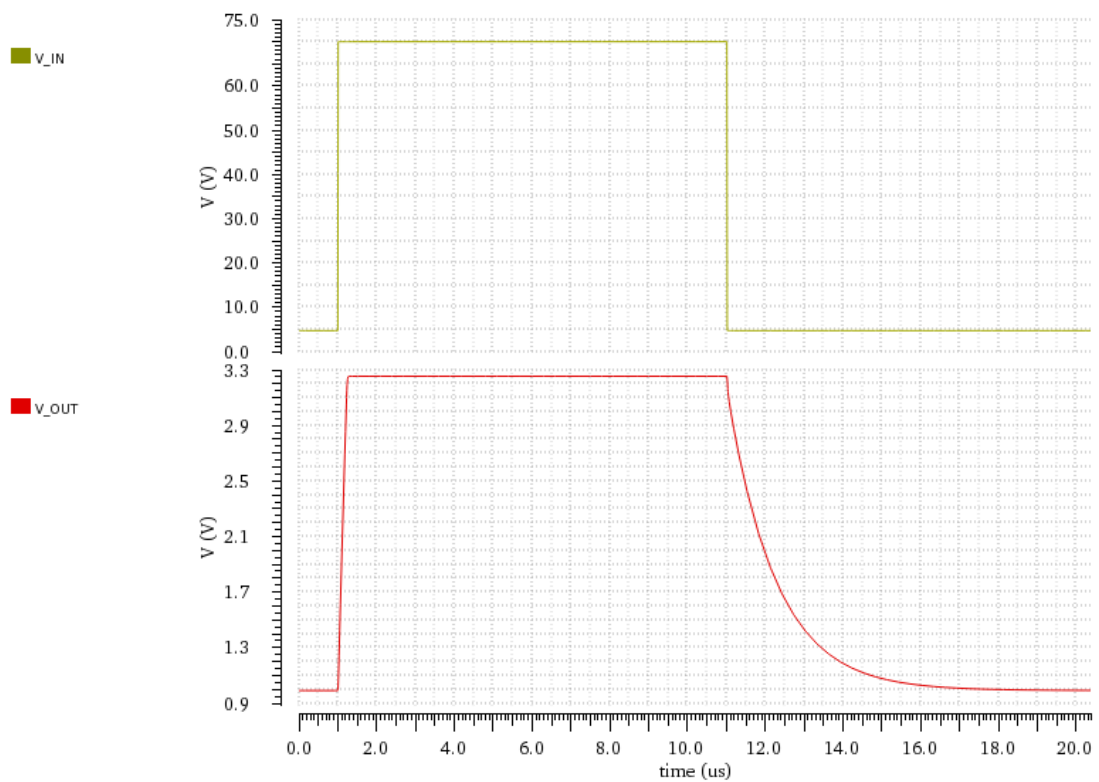


Obrázek 3.6 Simulace frekvenčních charakteristik napěťové reference

Neregulované napájecí napětí VCC může v extrémních případech skokově dosahovat až desítek voltů. Přitom je důležité, aby jakékoliv napětí uzlů v doméně regulovaného napájecího napětí VDD (tedy za děličem napětí) nebylo vyšší než 3,6V, protože by mohlo dojít k poškození izolační vrstvy gate MOS tranzistorů. Z těchto důvodů byl na výstup děliče připojen omezovací obvod, kterým začne z děliče odebírat proud, blíží-li se napětí na jeho výstupu hodnotě VDD. DC cornerové simulace převodní charakteristiky děliče napětí s omezovacím obvodem jsou uvedeny na obrázku 3.7. Na obrázku 3.8 je uvedena časová simulace skokové změny vstupního napětí děliče. Z obou simulací je patrná správná činnost omezovacího obvodu, protože výstupní napětí děliče nikdy nepřekročí napájecí napětí VDD = 3,3V.



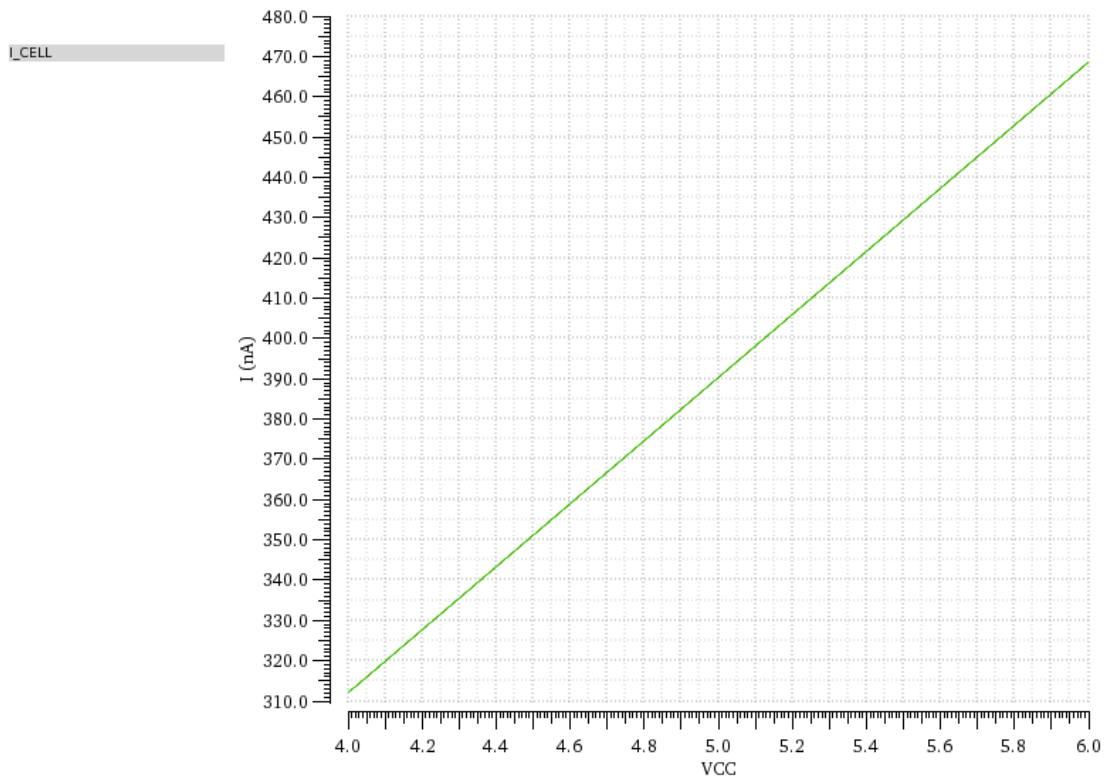
Obrázek 3.7 Simulace převodní charakteristiky napěťové reference



Obrázek 3.8 Časová simulace skokové změny vstupního napětí reference

Referenční napětí 1V z děliče je přes napěťový sledovač přivedeno na rezistor, čímž je vytvářen proud $10,4 \mu\text{A}$. Použitý operační zesilovač s názvem UPID_BIAS_OTAN je ověřené zapojení z jiného, již existujícího integrovaného obvodu firmy ON Semiconductor. Jelikož se jedná zcela o převzaté zapojení, není jeho návrh součástí této práce.

Proud $10,4 \mu\text{A}$ vstupuje do proudového zrcadla z P-MOS tranzistorů s poměrem 4:1, čímž vzniká proud $2,6 \mu\text{A}$. Ten vstupuje do zrcadla z N-MOS tranzistorů s poměrem 2:3, čímž vzniká požadovaná proud $3,9 \mu\text{A}$. Výstup N zrcadla má dvě větve, jedna je použita pro generování napětí VGATE a druhá pro generování napětí VCAS. Na obrázku 3.9 je uvedena převodní charakteristika vstupního napětí VCC na výstupní proud buňky matice.



Obrázek 3.9 Závislost proudu buňky matice na napájecím napětí VCC

V rámci zajištění stoprocentní funkčnosti integrovaných obvodů určených k distribuci je prováděno podrobné testování všech vyrobených čipů. Jedním z prováděných testů je měření proudové spotřeby v doméně regulovaného napájecího napětí VDD ve stavu Power down, kdy by měl být odběr zařízení nulový. Při aktivaci Power downu jsou přerušeny všechny vodivé cesty mezi VDD a GND. Pokud obvod i v tomto stavu vykazuje proudový odběr, jedná se o známku defektu a testovaný čip je vyřazen.

Stav Power down je aktivován přivedením log. 1 na vstup PD, čímž dojde k aktivaci P a N tranzistorů, které zkratují gate a source tranzistorů proudových zrcadel, čímž je deaktivují, a obvodem přestává téct proud.

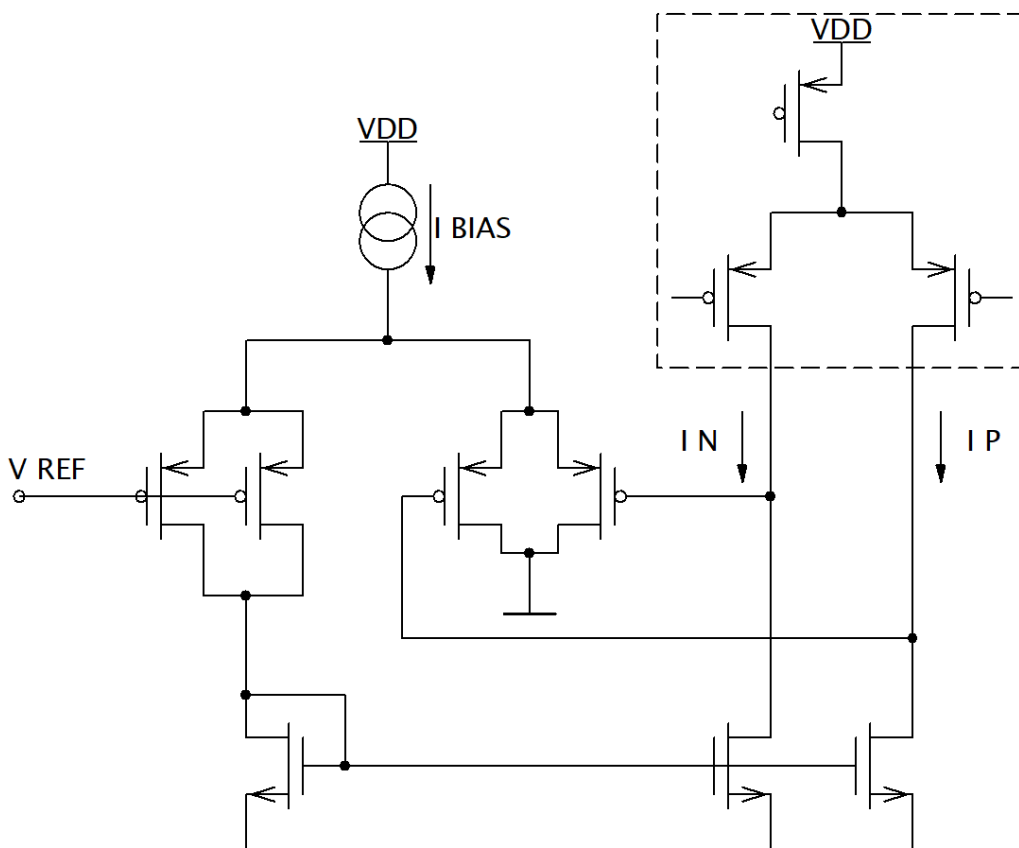
V tabulce 11 je uveden popis pinů referenčního obvodu.

Tabulka 11 Popis pinů referenčního obvodu

Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3,6V
VCC	Power	Neregulované napájecí napětí 5V typ.
GND	Ground	Nulový potenciál napájecího napětí
VGATE	Analog	Referenční napětí gate tranzistorů proudových zrcadel
VCAS	Analog	Referenční napětí gate kaskodových tranzistorů proudových zrcadel
PD	Vstupní IO	Aktivace Power down módu
FB_OUT	Analog	Zkratováno s FB_IN, slouží pouze pro simulaci stability zpětné vazby
FB_IN	Analog	Zkratováno s FB_OUT, slouží pouze pro simulaci stability zpětné vazby

3.6 Regulace souhlasného napětí

Obvod DAC_VCMM_REG funguje jako řízená proudová nora pro proudové zdroje D/A převodníku. Jeho účelem je udržovat průměr napětí v diferenciálních uzlech P a N na polovině velikosti napájecího napětí VDD. Zjednodušené schéma navrženého obvodu regulace souhlasného napětí, vycházející z [15], je uvedeno na obrázku 3.10.



Obrázek 3.10 Zjednodušené schéma regulace souhlasného napětí

Obvod regulace souhlasného napětí je tvořen zdvojeným diferenciálním párem a jím řízeným proudovým zrcadlem. Každý z tranzistorů v pravé větvi diferenciálního páru je připojen k jednomu uzlu výstupu. Tuto větev lze označit jako detekční. Druhou větev lze označit jako referenční, protože má gate obou tranzistorů připojené na referenční napětí. Toto napětí je získáváno odporovým děličem 1:1 napájeným z VDD.

Velikost proudu protékajícího detekční větví nezáleží na napětí jednoho či druhého výstupu, ale na jejich průměru, kterým je souhlasné napětí. Pokud se toto napětí zvýší, připojené tranzistory se uzavírají a detekční větví protéká menší proud. Tím se zvětší proud v referenční větvi, který teče do proudového zrcadla tvořeného N-MOS tranzistory. To způsobí větší otevření tranzistorů připojených k diferenciálním uzlům a snížení napětí. Oba N-MOS tranzistory se otevírají stejně, což znamená, že neovlivňují rozdíl proudů ve výstupních větvích.

Výstupní zesilovače fungují jako ideální převodníky proudu na napětí, čímž udržují nulový rozdíl napětí mezi uzly P a N. V situaci, kdy je převodník v polovině rozsahu, teče do každého uzlu 25 μ A, tedy polovina celkového proudu. Rozdíl proudů je nulový, a tedy je nulový i rozdíl napětí na výstupu. Pokud se kód převodníku mění, teče do jednoho uzlu větší proud než do druhého. Tento přebytečný proud teče z daného uzlu do výstupního zesilovače, který stejný proud dodává do druhého uzlu, protože se jedná o diferenciální strukturu. V obou uzlech je tedy opět stejné napětí, a do obou N-MOS tranzistorů stále teče 25 μ A. Obvod regulace souhlasného napětí tedy prakticky funguje v ustáleném stavu, a nemusí vyrovnávat dynamické změny napětí a proudů.

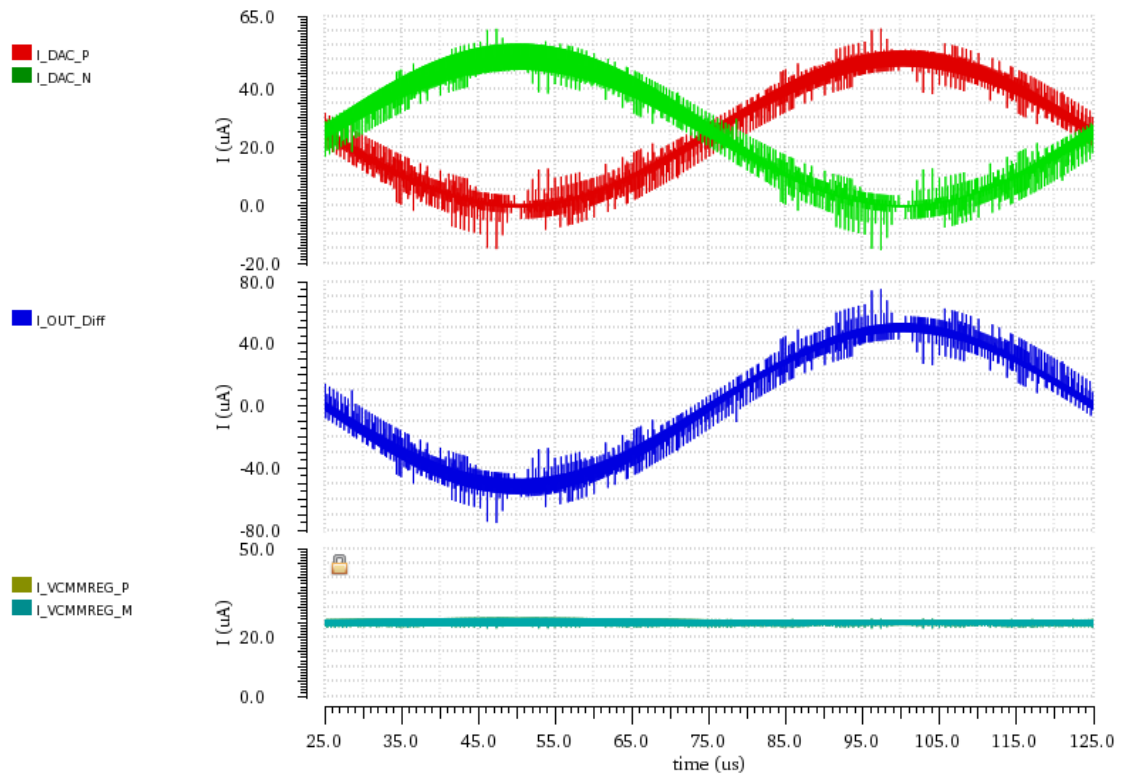
Diferenciální pár potřebuje pro svou funkci proudový zdroj. Ten je v navrženém zapojení tvořen proudovým zrcadlem. K jeho napájení je použit referenční proud z centrálního bias obvodu, který na čipu slouží ke generování stabilních referenčních proudů na napájení proudových zrcadel ostatních buněk. Popis pinů obvodu regulace souhlasného napětí je uveden v tabulce 12.

Tabulka 12 Popis pinů obvodu regulace souhlasného napětí

Název	Typ	Popis
VDD	Power	Regulované napájecí napětí min. 3V max 3.6V
GND	Ground	Nulový potenciál napájecího napětí
IN5u	Analog	Referenční proud 5 uA ze zdroje typu N
PD	Vstupní IO	Aktivace Power Down módu
OUT_P	Analog	Vstup proudu z uzlu P
FB_P	Analog	Napěťová zpětná vazba z uzlu P
OUT_N	Analog	Vstup proudu z uzlu N
FB_N	Analog	Napěťová zpětná vazba z uzlu N

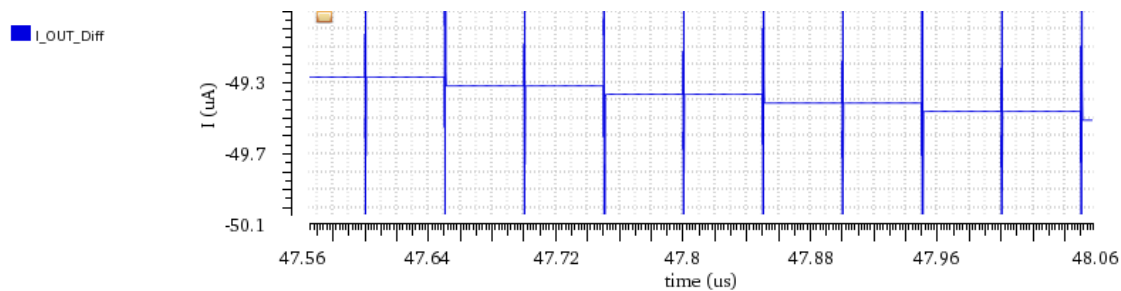
3.7 Simulace

Na obrázku 3.11 jsou výsledky časové simulace proudů jednoho kanálu převodníku při generování průběhu sinus o frekvenci 10 kHz. Na výstup převodníku je zapojen model ideálního diferenciálního zesilovače s odpory 20 k Ω ve zpětné vazbě, který simuluje převodník proudu na napětí. Výstup zesilovače je filtrován dolní propustí dimenzovanou na mezní frekvenci 100 kHz. Celé zapojení tak tvoří polovinu dvoukanalového generátoru, pro který je navržený D/A převodník určen.

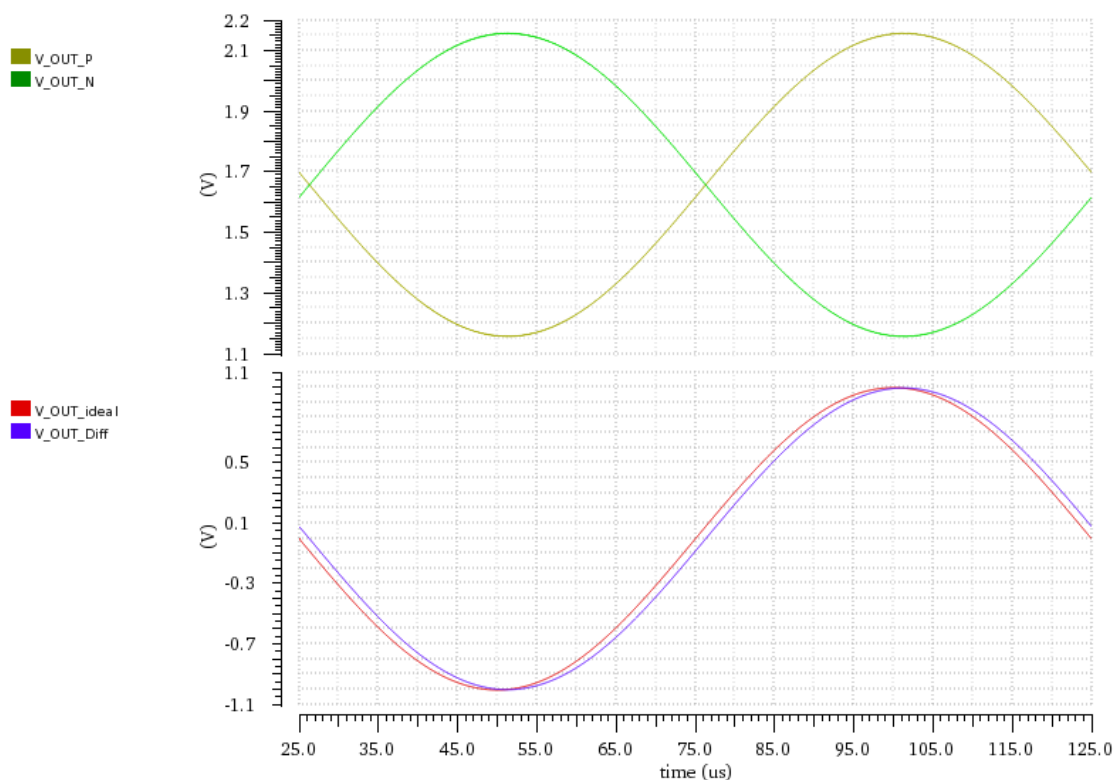


Obrázek 3.11 Simulované průběhy proudů při převodu sinus

V horním grafu jsou zobrazeny výstupní proudy z proudových směrovačů D/A převodníku. V prostředním grafu je pak zobrazen rozdíl mezi těmito proudy, který tvoří užitečný signál. Ve spodním grafu jsou zobrazeny proudy, které vstupují do regulátoru souhlasného napětí. Na první pohled si lze všimnout značného nežádoucího rušení, ve skutečnosti se však jedná pouze o krátké proudové pulzy v řádech stovek pikosekund, způsobené vybíjením a nabíjením parazitních kapacit přepínacích tranzistorů. Detail průběhu proudu je zobrazen na obrázku 3.12. Tyto pulzy zcela odstraňuje filtr, který je součástí převodníku proudu na napětí. Napěťové průběhy jsou zobrazeny na obrázku 3.13.

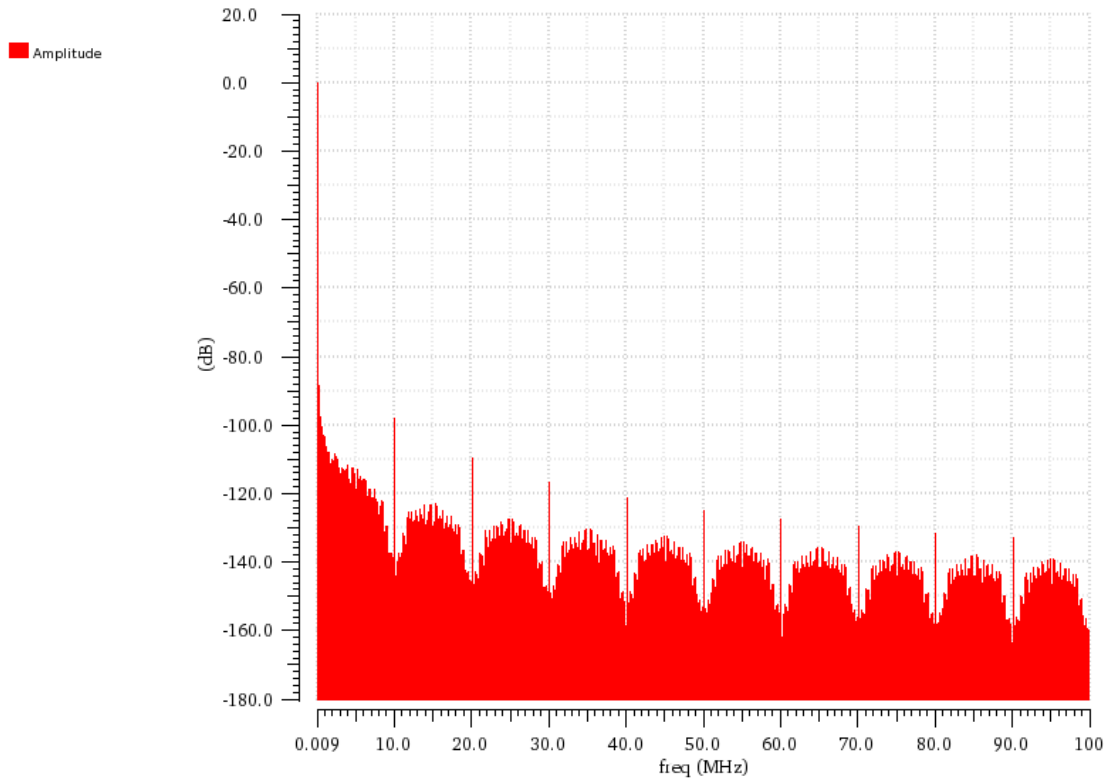


Obrázek 3.12 Detail průběhu proudu při časové simulaci převodníku

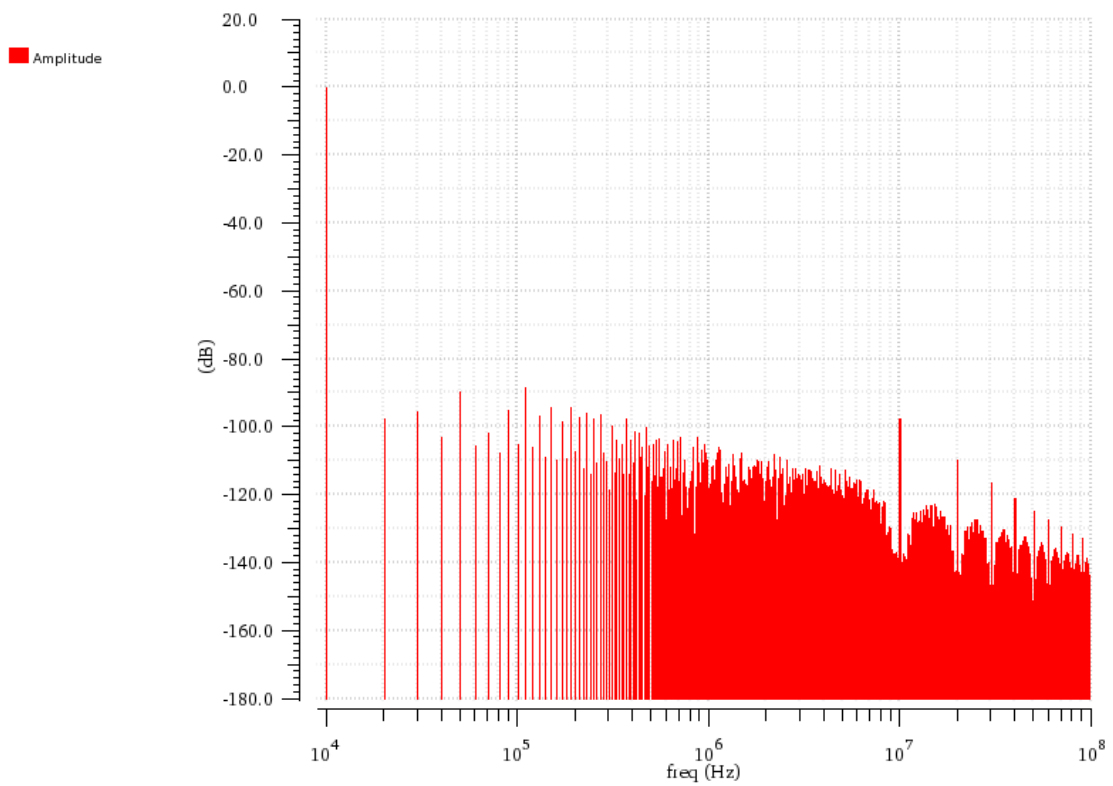


Obrázek 3.13 Simulované průběhy napětí při převodu sinus

V horním grafu jsou zobrazeny průběhy napětí výstupních uzlů P a N. V dolním grafu je modrou křivkou zobrazeno výstupní diferenciální napětí mezi těmito uzly, které tvoří užitečný signál generátoru. Červená křivka představuje ideální výstupní signál vypočítaný ze vstupního binárního kódu převodníku. Jediný rozdíl mezi reálným a ideálním průběhem je mírný fázový posun, způsobený výstupním filtrem. Na obrázku 3.14 je zobrazen výsledek zpracování výstupního diferenciálního signálu pomocí diskrétní fourierovy transformace. Lze pozorovat opakování výraznějších spektrálních čar po násobcích frekvence 10 MHz, což je vzorkovací frekvence. Na obrázku 3.15 je identický výsledek diskrétní fourierovy transformace, ale s logaritmickým zobrazením frekvenční osy. V násobcích hlavní frekvence 10 kHz se nevyskytují výraznější složky spektra. Převodník tedy vykazuje velkou linearitu převodu a malé zkreslení. Simulace však byla provedena pouze za optimálních podmínek, bez vlivu chyb matchingu.



Obrázek 3.14 Spektrum výstupního signálu převodníku s lineární frekvenční osou



Obrázek 3.15 Spektrum výstupního signálu převodníku s logaritmickou frekvenční osou

4 ZÁVĚR

V první části semestrální práce byly shrnuty obecné vlastnosti D/A převodníků a způsoby vyhodnocování jejich statických i dynamických parametrů. Byly prostudovány jednotlivé topologie D/A převodníků se zaměřením na proudové směrovače, jejich vlastnosti a způsoby realizací s ohledem na minimalizaci nežádoucích vlastností. Popsána byla také problematika návrhu integrovaných obvodů určených pro automobilový průmysl.

V druhé části byla zvolena topologie pro realizaci dvoukanálového D/A převodníku s proudovým diferenciálním výstupem pomocí techniky proudových směrovačů. Bylo navrženo kompletní zapojení na tranzistorové úrovni, s ohledem na výslednou aplikaci převodníku a požadované parametry. Byly simulovány vlastnosti jednotlivých částí zapojení, přičemž byla ověřena jejich funkčnost v širokém rozsahu provozních podmínek.

Provedené simulace celého zapojení vykazují zcela lineární chování převodníku a absenci zjistitelných systematických chyb v návrhu. Vliv systematických chyb vycházejících z layoutu lze určit pouze laboratorním měřením na vyrobeném prototypu. Náhodné chyby ovlivňující linearitu byly charakterizovány pomocí simulace a návrh uzpůsoben zadaným požadavkům. Výsledkem práce je zcela funkční zapojení vhodné pro použití v integrovaných obvodech určených pro provoz v automobilovém průmyslu.

LITERATURA

- [1] VRBA, Kamil a David KUBÁNEK. *A/D a D/A převodníky pro integrovanou výuku VUT a VŠB-TUO* [online]. 2014 [cit. 2019-11-29]. ISBN 978-80-214-5116-2. Dostupné z: <https://vut-vsbcz/home/get-file?file=468>
- [2] MÁCHA, P. *Návrh převodníku DA s plně diferenčním výstupem v technologii CMOS*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2017. 86 s. Vedoucí diplomové práce Ing. Vilém Kledrowetz, Ph.D.
- [3] BAKER, R. Jacob. *CMOS: circuit design, layout, and simulation*. 3rd ed. Hoboken, NJ: Wiley, c2010. ISBN 978-047-0881-323.
- [4] MALOBERTI, Franco. *Data Converters*. 1. Springer Science & Business Media, 2007. ISBN 0387324860.
- [5] ALLEN, Phillip E a Douglas R HOLBERG. *CMOS analog circuit design*. 2nd ed. New York: Oxford University Press, 2002, 784 s. ISBN 01-951-1644-5.
- [6] PLASSCHE, Rudy J. van de. *CMOS integrated analog-to-digital and digital-to-analog converters*. 2nd ed. Boston: KluwerAcademicPublishers, c2003. ISBN 14-020-7500-6.
- [7] RAZAVI, Behzad. TheCurrent-Steering DAC. *IEEE Solid-StateCircuitsMagazine* [online]. 2018, 30 January 2018, 10(1) [cit. 2019-12-07]. DOI: 10.1109/MSSC.2017.2771102. Dostupné z: <https://ieeexplore.ieee.org/document/8275558>
- [8] LUO, Pu, Weidong YANG a Dongbing FU. A currentswitchofcurrent-steering DAC output stag. *IEEE International Conference on Anti-Counterfeiting, Security and Identification* [online]. Xiamen, China, 2011 [cit. 2019-12-08]. DOI: 10.1109/ASID.2011.5967439.
- [9] MOODY, Tyler, Saiyu REN a Robert EWING. 10 bit currentsteering DAC in 90 nm technology. *NAECON 2014 - IEEE NationalAerospace and ElectronicsConference* [online]. Dayton, OH, USA. DOI: 10.1109/NAECON.2014.7045832. Dostupné z: <https://ieeexplore.ieee.org/document/7045832>
- [10] LUO, Fang-Jie, Yong-Sheng YIN, Shang-Quan LIANG a Ming-Lun GAO. Currentswitch driver and current source designsforhigh-speed current-steering DAC. *2008 2nd International Conference on Anti-counterfeiting, Security and Identification* [online]. Guiyang, China, 25.11.2008. DOI: 10.1109/IWASID.2008.4688421. Dostupné z: <https://ieeexplore.ieee.org/document/4688421>
- [11] LUO, Min, Mingyan YU a Gen LI. An11-bithigh-speed currentsteering DAC. *2012 2nd International Conference on ConsumerElectronics, Communications and Networks (CECNet)* [online]. Yichang, China, 17.5.2012. DOI: 10.1109/CECNet.2012.6202005. Dostupné z: <https://ieeexplore.ieee.org/document/6202005>
- [12] ŠOJDR, Marek. *Návrh nízko-příkonového interního napěťového regulátoru pro automobilové aplikace*. Brno, 2019. Dostupné také z: <https://www.vutbr.cz/studenti/zav-prace/detail/119426>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Roman Prokop.

- [13] LAUDE, D. IC design considerations for the harsh automotive electrical environment. *Proceedings of IEEE Custom Integrated Circuits Conference - CICC '94* [online]. San Diego, CA, USA: IEEE, 1994, 1994(1), 319-326 [cit. 2018-12-12]. DOI: 10.1109/CICC.1994.379710. ISBN 0-7803-1886-2. Dostupné z: <http://ieeexplore.ieee.org/document/379710/>
- [14] GUPTA, Shantanu, Vishal SAXENA, Kristy A. CAMPBELL a R. Jacob BAKER. W-2W Current Steering DAC for Programming Phase Change Memory. *2009 IEEE Workshop on Microelectronics and Electron Devices* [online]. Boise, ID, USA [cit. 2019-12-16]. DOI: 10.1109/WMED.2009.4816148. Dostupné z: <https://ieeexplore.ieee.org/document/4816148?reload=true>
- [15] Duque-Carrillo, J.F. Control of the common-mode component in CMOS continuous-time fully differential signal processing. *Analog Integr Circ Sig Process* 4, 131–140 (1993) doi:10.1007/BF01254864. Dostupné z: <http://ece.tamu.edu/~s-sanchez/CMFB%20detectors%20Duque.pdf>