



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NASTAVOVÁNÍ VNITŘNÍCH PARAMETRŮ INTEGROVANÉHO OBVODU POMOCÍ EXTERNÍHO REZISTORU

CONFIGURING INTEGRATED CIRCUIT WITH A SINGLE EXTERNAL RESISTOR

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Martin Chmelař

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Ing. Jaroslav Boušek, CSc.

BRNO 2022



Bakalářská práce

bakalářský studijní program **Mikroelektronika a technologie**

Ústav mikroelektroniky

Student: Martin Chmelař

ID: 220875

Ročník: 3

Akademický rok: 2021/22

NÁZEV TÉMATU:

Nastavování vnitřních parametrů integrovaného obvodu pomocí externího rezistoru

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte tranzistorové schéma bloku umožňujícího nastavení vnitřních parametrů integrovaného obvodu pomocí různých hodnot odporu rezistoru napájeného z vnitřního zdroje konstantního napětí a připojeného mezi dedikovaný pin a pin záporného napájení. Výstupem bloku bude tříbitové číslo v binárním kódu odpovídající velikosti proudu rezistorem. Určete toleranci hodnot rezistoru a funkci bloku ověřte počítačovou simulací.

DOPORUČENÁ LITERATURA:

- [1] Roubik Gregorian, "Introduction to CMOS OP-AMPs and Comparators", 1999, ISBN 978 0471317784.
- [2] John F. Wakerly, "Digital Design: Principles and Practices Package", 2008, ISBN 978-9332508125.

Termín zadání: 7.2.2022

Termín odevzdání: 2.6.2022

Vedoucí práce: prof. Ing. Jaroslav Boušek, CSc.

doc. Ing. Jiří Háze, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato práce se zabývá návrhem a simulací analogového obvodu, který je schopen pomocí připojení externího rezistoru nastavovat funkce dalších částí obvodu. Design je proveden v submikronové technologii.

KLÍČOVÁ SLOVA

Analogový návrh, simulace, čítač, dekodér, oscilátor, LDO, proudový zdroj, komparátor

ABSTRACT

This thesis deals with the design and simulation of an analog circuit that is able to adjust the functions of other parts of the circuit by connecting an external resistor. The design is done in submicron technology.

KEYWORDS

Analog design, simulation, counter, decoder, oscillator, LDO, current source, comparator

CHMELAŘ, Martin. *Nastavování vnitřních parametrů integrovaného obvodu pomocí externího rezistoru*. Brno: Brno University of Technology, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky, 2022, 43 s. Bakalářská práce. Vedoucí práce: prof. Ing. Jaroslav Boušek, CSc.

Prohlášení autora o původnosti díla

Jméno a příjmení autora: Martin Chmelař
VUT ID autora: 220875
Typ práce: Bakalářská práce
Akademický rok: 2021/22
Téma závěrečné práce: Nastavování vnitřních parametrů integrovaného obvodu pomocí externího rezistoru

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno

.....

podpis autora*

*Autor podepisuje pouze v tištěné verzi.

PODĚKOVÁNÍ

Rád bych poděkoval firmě **onsemi**, která mi umožnila dělat tuto práci pod jejich záštitou a která mi poskytla potřebné zdroje a odborné rady. Zvláště bych chtěl poděkovat mému nadřízenému Ing. Janu Ježíkovi, který mi poskytl velké množství odborných rad i zkušeností s analogovým návrhem v softwaru Cadence. Dále bych chtěl poděkovat svému vedoucímu práce prof. Ing. Jaroslavu Bouškovi CSc. a konzultantovi Ing. Peterovi Něničkovi za konzultaci formální a obsahové stránky práce.

Obsah

Úvod	10
1 Teoretický úvod	11
1.1 Proudové zrcadlo	11
1.2 Diferenční pár	12
1.3 Synchronní čítač	12
1.4 Verilog-A	14
1.5 Solido Variation Designer	14
2 Návrh	15
2.1 Proces převodu	15
2.2 Určení hodnot referenčních rezistorů	17
3 Popis bloků	20
3.1 Oscilátor	20
3.2 Čítač	22
3.3 Dekodér	24
3.4 Proudový zdroj	27
3.5 Proudový komparátor	27
3.6 Bias	29
3.7 LDO	31
4 Simulace	34
4.1 Stabilita LDO	34
4.2 Rychlost ustálení napětí na výstupu Rsns	35
4.3 Průběh převodu	36
4.4 Ověřování chybovosti výstupu	36
Závěr	38
Literatura	39
Seznam symbolů a zkratek	40
A Kódová implementace bloku dekodéru	41

Seznam obrázků

1.1	Schéma proudového zrcadla se závislostí výstupního proudu	11
1.2	Zapojení diferenčního páru s tranzistory a) NMOS a b) PMOS	12
1.3	Zapojení diferenčního páru s aktivní zátěží	13
1.4	4-bitový synchronní čítač	13
1.5	Zápis rezistoru v jazyce Verilog-A	14
2.1	Blokové schéma obvodu	16
3.1	Schéma oscilátoru	21
3.2	Schéma čítače	23
3.3	Blokové schéma dekodéru	24
3.4	Schéma dekodéru	26
3.5	Schéma proudového zdroje	28
3.6	Schéma proudového komparátoru	29
3.7	Schéma bias bloku	30
3.8	Schéma LDO bloku	32
4.1	Stabilita LDO v závislosti na teplotě, R_{sns} a parazitní kapacitě	35
4.2	Průběh napětí na výstupu R_{sns}	36
4.3	Tranzientní analýza průběhu převodu	37
4.4	Statistické rozložení špatně určené nižší výstupní hodnoty	37

Seznam tabulek

2.1	Pracovní parametry	17
2.2	Původní hodnoty rezistorů	17
2.3	Výsledné hodnoty rezistorů a referenčních proudů	19
3.1	Popis vstupů a výstupů oscilátoru	20
3.2	Popis vstupů a výstupů bloku čítač	22
3.3	Popis vstupů a výstupů bloku dekodér	25
3.4	Logické hodnoty pro vstupy a výstupy dekodéru	25
3.5	Popis vstupů a výstupů bloku proudový zdroj	27
3.6	Popis vstupů a výstupů bloku proudový komparátor	29
3.7	Popis vstupů a výstupů bloku bias	30
3.8	Popis vstupů a výstupů bloku LDO	33
4.1	Fázová bezpečnost	34

Úvod

Tato práce se věnuje návrhu části analogového integrovaného obvodu, který podle hodnoty rezistoru na dedikovaném pinu součástky nastaví další části tohoto obvodu. Jedná se tedy o jistou formu ADC (analogově digitální převodník – Analog-to-Digital Converter).

Výhodou takového obvodu je to, že by měl zákazníkovi umožnit jednoduše vybrat některé parametry, nebo funkce obvodu bez nutnosti programování nebo případně nějaké komunikace po sběrnici, a to pouze připojením jednoho rezistoru s danou tolerancí.

Návrh by měl být přizpůsoben tak, aby na dedikovaném pinu bylo konstantní napětí a aby se v závislosti na měřeném odporu měnil pouze protékající proud tímto pinem. To umožní určovat hodnotu připojeného rezistoru i pro nízká napájecí napětí (návrh počítá s minimálním napájecím napětím 1,6 V).

Výsledkem práce by mělo být odsimulované schéma, které bude plnit tuto funkci a bude schopno pracovat i v krajních situacích určených zadavatelem práce.

1 Teoretický úvod

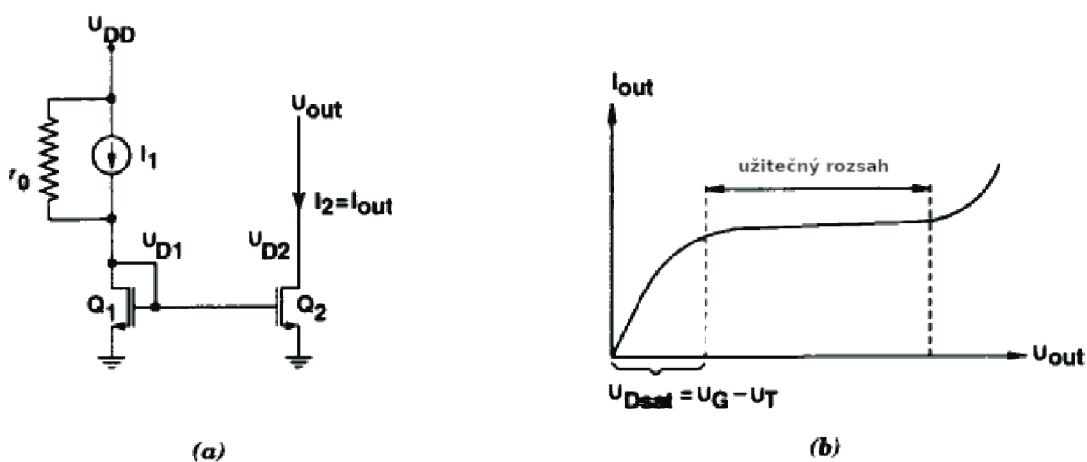
Tato kapitola popisuje teoretické analogové bloky, které jsou v různých obdobách použity při návrhu obvodu. Dále je zde popsán jazyk Verilog-A a software Solido Variation Designer.

1.1 Proudové zrcadlo

Proudové zrcadlo je jednou z nejčastějších částí analogových obvodů. Umožňuje zrcadlit, případně dělit i násobit vstupní proud na výstup.

Princip proudového zrcadla je založen na tom, že pokud máme dva identické tranzistory se stejným napětím gate-source a drain-source, přenáší stejný proud drainem [1].

Zapojení proudového zrcadla je na obrázku 1.1 a). Proud I_1 procházející tranzistorem Q_1 vytváří napětí U_{GS1} . Napětí U_{GS} obou tranzistorů je tedy stejné, ale může se lišit jejich U_{DS} a díky tomu nebude zrcadlo přesně zrcadlit. Jsou-li oba tranzistory ve stavu silné inverze, je proud obou drainů určen společným napětím U_{GS} a nedochází tak k příliš velkému rozdílu vstupního a výstupního proudu i při trochu rozdílných napětích U_{DS} [1]. Závislost výstupního proudu na napětí U_{DS} tranzistoru Q_2 je znázorněna na obrázku 1.1 b).



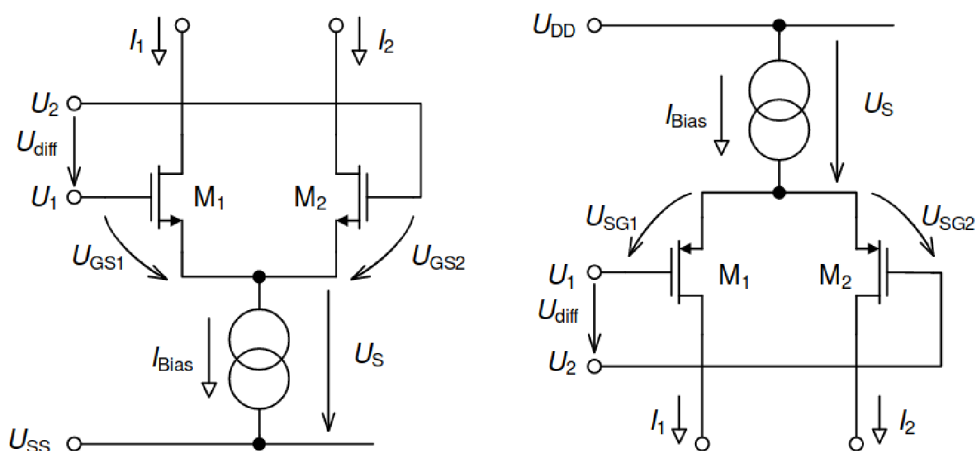
Obr. 1.1: a) Schéma proudového zrcadla b) Závislost výstupního proudu I_{out} na U_{out} [1]

Pomocí násobných tranzistorů je možné vytvořit proudová zrcadla, jejichž výstupní proudy jsou dány celočíselným násobkem (podílem) vstupního (referenčního) proudu [2].

1.2 Diferenční pár

Diferenční pár zesiluje rozdíl dvou signálů. Schéma diferenčního páru je znázorněné na obrázku 1.2.

Oba tranzistory M_1 i M_2 musejí mít shodné W/L . Pokud je na obou vstupech U_1 a U_2 stejné napětí, bude oběma tranzistory protékat stejný proud, který bude mít hodnotu poloviny I_{Bias} . Bude-li však napětí U_1 větší než napětí U_2 , začne tranzistorem M_1 protékat větší proud. Mírně vzroste napětí v bodě, ve kterém jsou připojeny source obou tranzistorů, a tím se sníží napětí U_{GS2} , které přivře tranzistor M_2 a sníží proud I_2 [3].



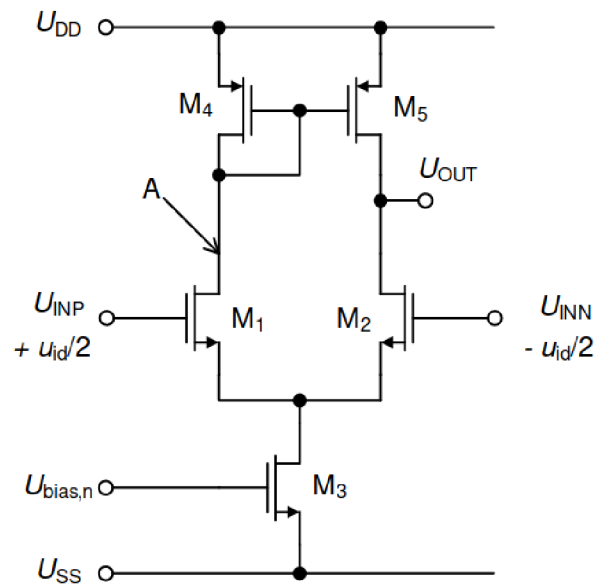
Obr. 1.2: Zapojení diferenčního páru s tranzistory a) NMOS a b) PMOS [3]

V této práci byl používán diferenční pár s aktivní zátěží. Výhodou tohoto zapojení je, že má pouze jeden výstup, na kterém má oproti diferenčnímu výstupu dvojnásobné zesílení [3]. Schéma takového zapojení je znázorněno na obrázku 1.3.

1.3 Synchronní čítač

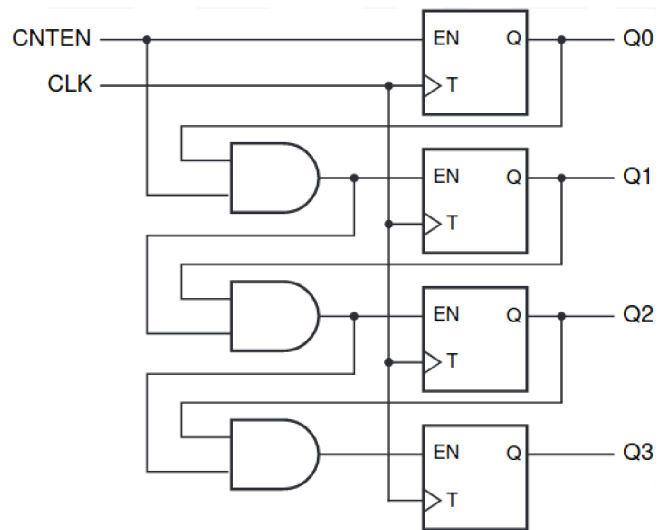
Synchronní čítač je tvořen klopnými obvody, které mají všechny jeden hodinový signál. Výhodou tohoto zapojení oproti asynchronnímu čítači je, že dochází k překlopení všech výstupů ve stejný čas a nevznikají tak přechodové stavy. Nevýhodou je komplikovanější konstrukce a nutnost použití nejen klopných obvodů, ale i logických hradel [4].

Klopný obvod typu T je možné vytvořit z klopného obvodu D a jednoho hradla XOR, tak že přivedeme výstup klopného obvodu na jeden vstup hradla XOR a druhý vstup hradla použijeme jako vstup nově vytvořeného klopného obvodu typu T.



Obr. 1.3: Zapojení diferenčního páru s aktivní zátěží [3]

Příklad takového synchronního 4-bitového čítače vytvořeného z T klopných obvodů je uveden na obrázku 1.4.



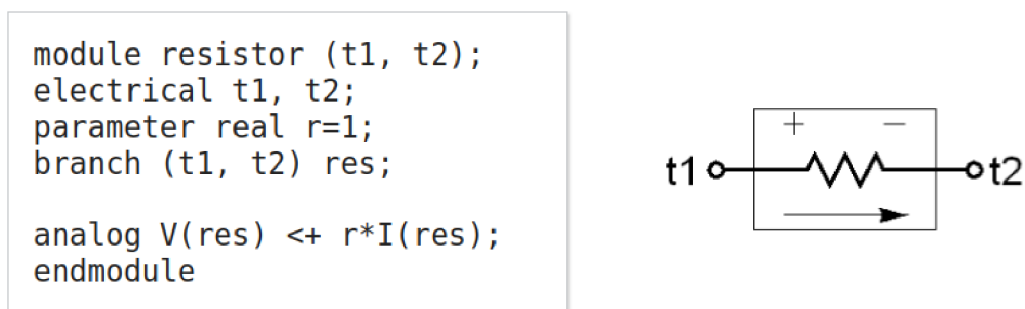
Obr. 1.4: 4-bitový synchronní čítač [4]

1.4 Verilog-A

Verilog-A je čistě analogová podmnožina Verilog-AMS, která slouží k vytváření modelů pro SPICE simulace. Stejně jako u Verilogu se jedná o jazyk, který popisuje hardware a tím se liší od programovacích jazyků [5].

Kód je tvořen hierarchickou strukturou modulů, kde modul je část kódu, který popisuje komponentu. Komponenty mohou být tvořeny ze základních prvků jako jsou rezistory, kondenzátory, cívky a polovodičové součástky. Samotná komponenta je pak tvořena uzly a větvemi, které jsou popsány vztahy [5].

Příklad zápisu rezistoru je uveden na obrázku 1.5. Na předposledním řádku je definováno napětí na větvi pomocí příspěvku. Takovýchto příspěvků může být několik a výsledné napětí je pak dáno jejich součtem. To umožňuje snadný popis například paralelní kombinace několika součástek.



Obr. 1.5: Zápis rezistoru v jazyce Verilog-A [5]

1.5 Solido Variation Designer

Tento software slouží primárně k určování statistické chybovosti sledovaných parametrů. Ve své podstatě se jedná o simulátor, který používá metodu Monte Carlo. Kromě této metody využívá strojové učení.

Simulátor nejprve odsimuluje nějaké množství náhodných běhů v řádu jednotek tisíců a poté podle toho, jaký konkrétní typ simulace byl zadán, simuluje konkrétní stavy. Díky této metodě dovoluje ověřovat statistické hodnoty i ve velmi málo pravděpodobných oblastech, pro které by bylo běžnou metodou Monte Carlo nutno odsimulovat řádově milióny běhů. V této práci byla například pomocí simulace HSV (typ simulace pro určení a ověření vysokých hodnot sigma – High Sigma Verification) ověřována výtežnost tak, aby byla větší než 5 sigma. Což odpovídá pravděpodobnosti 0,023 %, že bude výstupní hodnota mimo daný rozsah.

2 Návrh

Samotný návrh obvodu probíhal metodou top-down v softwaru od firmy Cadence. Jednotlivé bloky obvodu byly nejprve namodelovány z ideálních součástek a poté postupně nahrazovány reálnými zapojeními se zachováním stejné funkčnosti.

Ve schématech jsou použity různé typy tranzistorů. Všechny použité tranzistory kromě typu `nmosnvt5v` (trvalý kanál) mají indukovaný kanál a liší se pouze prahovým napětím a typem kanálu.

Nejnižší hodnotu prahové napětí mají tranzistory `nmoslvt5v`, `nmoslvt5v_iso`, `pmoslvt5v`. Vyšší hodnotu mají tranzistory `nmosxvt5v`, `nmosxvt5v_iso`, `pmosxvt5v`. Nejvyšší pak tranzistory `nmos5v`, `nmos5v_iso`, `pmos5v`. Tranzistory, které mají v názvu „iso“ jsou izolované.

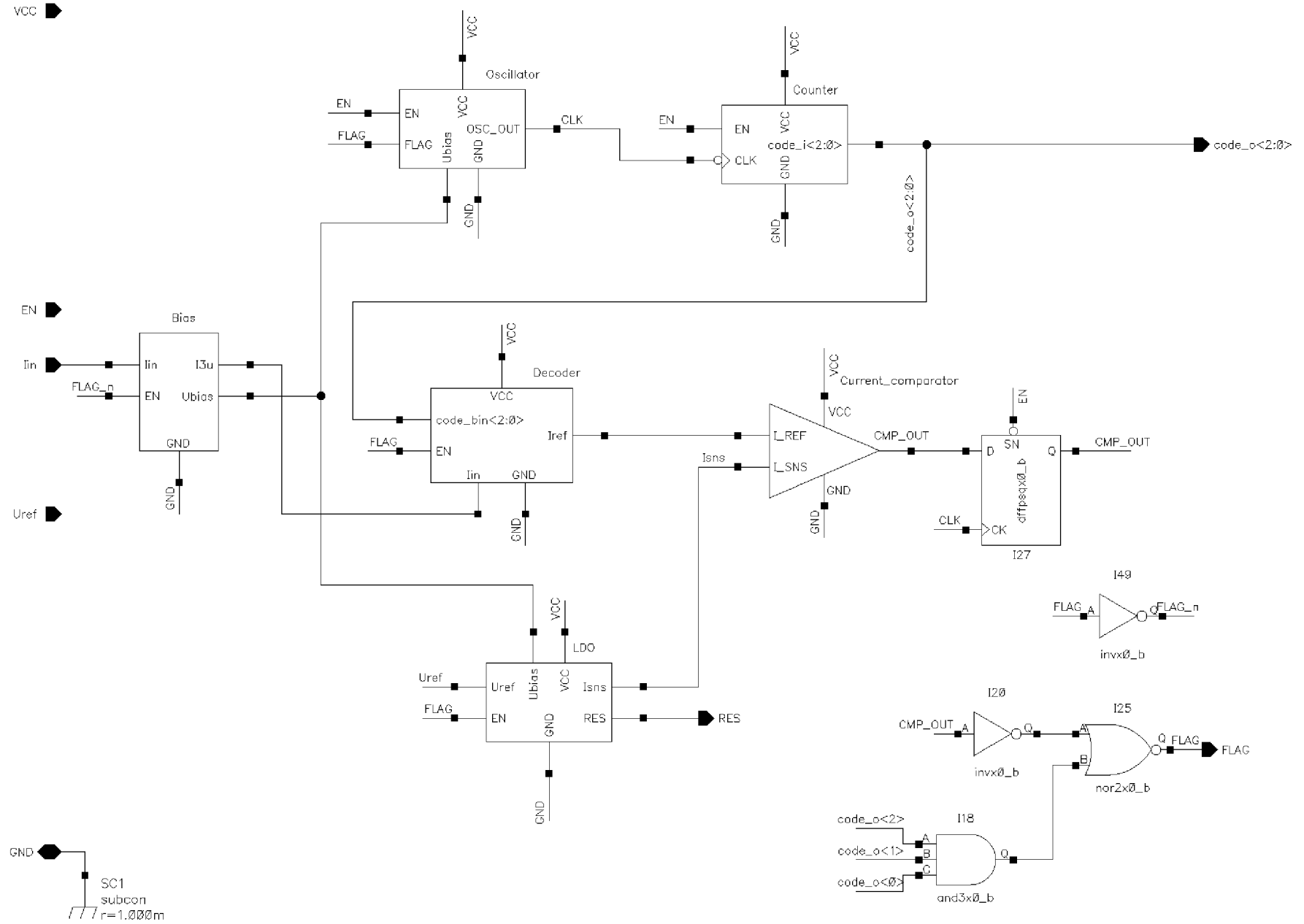
Blokové schéma tohoto obvodu je znázorněno na obrázku 2.1. V tabulce 2.1 jsou uvedeny základní parametry pro návrh.

2.1 Proces převodu

Jakmile je přiloženo napájecí napětí, začne se na výstupu RES stabilizovat napětí 1,4 V. Tento proces trvá v závislosti na konkrétních podmínkách okolo 150 μ s. Z tohoto důvodu je nutné nastavit vstup EN (který započne převod) do logické jedničky až po uplynutí tohoto časového intervalu. Po nastavení EN do logické jedničky začne blok oscilátoru generovat impulzy. Čítač se sestupnou hranou těchto impulzů inkrementuje hodnotu na sběrnici `code_o` vždy o jedna. Hodnota na sběrnici je přiváděna do dekodéru, kde je pomocí digitální logiky a spínaných proudových zdrojů nastavena určitá hodnota proudu na výstupu tohoto bloku.

Blok LDO zajišťuje napětí 1,4 V na výstupu RES, ke kterému je připojen měřený rezistor. Tři padesátiny proudu, který protéká výstupem RES, jsou přivedeny na výstup `Isns`.

Proudy z dekodéru (`Ires`) a bloku LDO (`Isns`) jsou porovnány pomocí proudového komparátoru. Proud z dekodéru se tedy po daných stupních zvětšuje s každým impulzem oscilátoru, dokud není větší než proud z LDO. Tato kontrola se provede vždy s náběžnou hranou impulzů z oscilátoru. Jakmile k tomu dojde, pomocná logika nastaví výstup FLAG do logické nuly (do stejného stavu se obvod dostane i v případě, že se na sběrnici objeví hodnota sedm). Zastaví se oscilátor a výslednou hodnotou určující, o který odpor se jedná, je binární číslo na sběrnici `code_o`.



Obr. 2.1: Blokové schéma obvodu

Tab. 2.1: Pracovní parametry

Parametr	Minimální hodnota	Maximální hodnota
Pracovní teplota	-40 °C	125 °C
Napájecí napětí	1,6 V	5,5 V
Referenční napětí	1,372 V	1,428 V
Nepřesnost hodnoty měřeného rezistoru	-	1 %
Kapacita výstupního pinu RES	-	10 nF
Proud výstupním pinem RES	-	50 μ A

2.2 Určení hodnot referenčních rezistorů

Výběr hodnot měřeného rezistoru byl nejprve určen tak, aby se jednalo o snadno dostupné hodnoty. Z tohoto důvodu byly rezistory vybírány z odporové řady E12. Jako minimální hodnota rezistoru byla určena hodnota 33 k Ω . Pro referenční napětí 1,4 V je tato hodnota v řadě E12 nejnižší možná, protože by pro hodnotu 27 k Ω (předcházející rezistor v řadě) muselo tímto rezistorem protékat 51,9 μ A. To překračuje maximální hodnotu proudu rezistorem zadanou jako 50 μ A. Další hodnoty rezistoru jsou určeny jako každá druhá hodnota v řadě. Takto získané hodnoty jsou uvedeny v tabulce 2.2.

Tab. 2.2: Původní hodnoty rezistorů

R _{sns} (k Ω)	I _{R_{sns}} (μ A)	Kód
33	42,4	7
47	29,8	6
68	20,6	5
100	14,0	4
150	9,3	3
220	6,4	2
330	4,2	1
470	3,6	0

Takto určené rezistory se ukázaly jako dostatečné do chvíle, než byly simulovány nepřesnosti referenčního napětí a procesní nepřesnosti.

Po tomto zjištění bylo nutno určit hodnoty rezistorů lepším způsobem. Část bloku dekodéru (kombinační část bez bloku proudového zdroje) byla pro tyto účely vytvořena pomocí Verilog-A modelu tak, aby umožnila použít vstupní parametry

pro referenční proudy. Díky této úpravě bylo možné měnit kombinační část pouze hodnotami a ne změnou zapojení.

Pro nové hodnoty rezistorů byla zvolena odporová řada E96 (1%). Nejprve byla určena hodnota nejnižšího rezistoru tak, aby i při 1% nepřesnosti směrem k nižší hodnotě neprotékal rezistorem větší proud než 50 μA . Určená hodnota byla 30,1 k Ω . Následně bylo odhadem určeno dalších sedm hodnot. Pro každou z nich pak byla pomocí metody Monte Carlo (100 běhů pro každou hodnotu) určena směrodatná odchylka. Hodnoty byly proloženy exponenciální závislostí. Rovnice této závislosti poté sloužila ke vhodnému rozložení nových hodnot.

Tato metoda se ukázala jako výrazně lepší než předchozí, ale stále nebyla chybavost rovnoměrně rozložená na všechny hodnoty. Ukázalo se, že pro vysoké hodnoty rezistorů vzniká procentuálně velká chyba na DAC převodníku oproti požadované hodnotě. Tato chyba je způsobena malým rozlišením převodníku.

Konečné hodnoty rezistorů byly nakonec určeny za pomoci softwaru Solido Variation Designer. Byly určeny nejhorší možné podmínky pro porovnávání. Existují dva typy těchto podmínek. U prvního typu je určená hodnota menší než požadovaná a u druhého typu je určená hodnota větší než požadovaná.

Hodnota nejnižšího možného rezistoru je určena již dříve zadanými podmínkami a díky tomu bylo možné určit první referenční proud takový, aby byla chybavost pod 5 sigma (tato hodnota byla z předchozích hodnot určena s ohledem na maximální hodnotu rezistoru a rozlišení DAC převodníku). Po určení prvního referenčního proudu byla určena další hodnota rezistoru a tak dále.

K ověřování byla používána HSV simulace se zadaným cílem 5 sigma. Výsledné hodnoty jsou uvedeny v tabulce 2.3. Referenční proudy jsou uváděny v hodnotách, které odpovídají padesáti třetinám reálného referenčního proudu. Je to z důvodu jednodušší představy, kde leží referenční proud mezi proudy protékajícími rezistorem.

Tab. 2.3: Výsledné hodnoty rezistorů a referenčních proudů

R_{sns} (k Ω)	$I_{R_{sns}}$ (μ A)	Kód	Umístění	I_{ref} (μ A)
30,1	46,5	7	7-6	37,32
45,3	30,9	6	6-5	24,42
69,8	20,1	5	5-4	16,17
107	13,1	4	4-3	10,17
174	8	3	3-2	6,08
301	4,7	2	2-1	3,58
549	2,6	1	1-0	1,83
1210	1,2	0	-	-

3 Popis bloků

Tato kapitola se zabývá popisem jednotlivých schematických bloků. Je zde popisována jak funkčnost, tak i samotné provedení každého bloku.

K návrhu byly použity prvky analogového návrhu, které jsou popsány v první kapitole, a byly využity některé jejich modifikace. Návrh všech bloků probíhal tak, aby byla dodržena funkčnost a struktura uvedená v předcházející kapitole.

3.1 Oscilátor

Tento blok slouží ke generování řídicích impulsů pro další bloky.

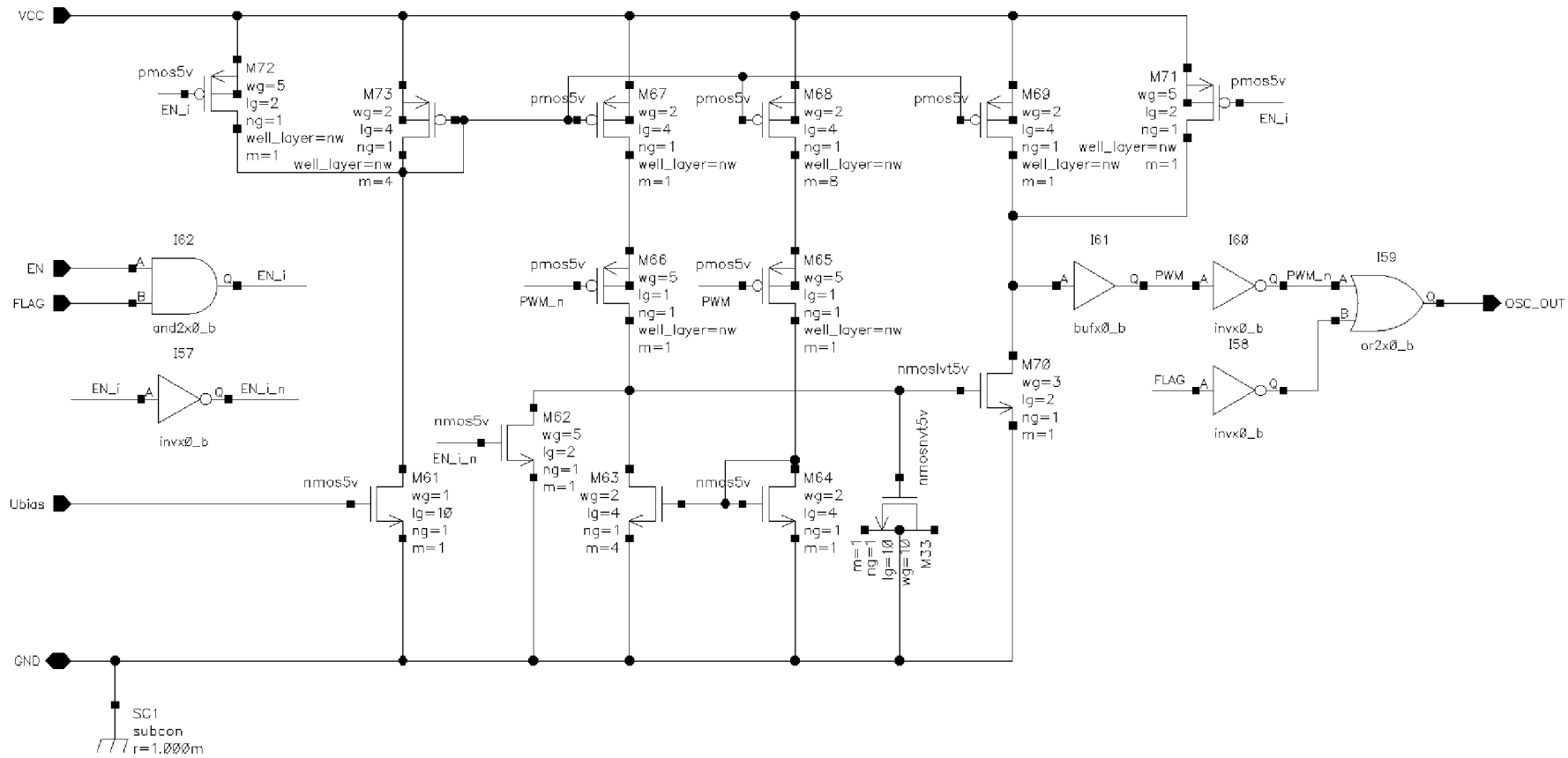
Funguje na principu nabíjení a vybíjení kondenzátoru konstantním proudem. Napětí na tomto kondenzátoru pak určuje, zda má být vybíjen, nebo nabíjen. Poměr nabíjecího k vybíjecímu proudu je 1:32. Z principu obvodu je tento poměr vhodný, protože je zde jen malý časový interval mezi kontrolou porovnávaných proudů a nastavením nových hodnot. A nedochází tak k dlouhým časovým intervalům, při kterých by v obvodu nedocházelo k žádné změně.

Jako kondenzátor je zde z důvodu technologie použit tranzistor s trvalým kanálem, který má spojeny vývody drain a source.

Nevýhodou tohoto zapojení je kvůli malým nabíjecím/vybíjecím proudům a teplotní závislosti kapacity změna periody při změně teploty (při teplotě -40 °C je perioda 1,5 krát delší než při teplotě 125 °C). Tato vlastnost zde ale byla ponechána z důvodu rychlejšího převodu při vyšších teplotách. Pro nízké teploty trvá ustálení referenčního proudu z dekodéru (I_{ref}) delší dobu a pro teplotně nezávislý oscilátor by bylo tedy nutné přizpůsobit periodu nejpomalejšímu převodu. Dosáhli bychom tím vždy stejné rychlosti převodu, ale stejné nebo delší než v tomto zapojení.

Tab. 3.1: Popis vstupů a výstupů oscilátoru

Název vývodu	Vstup/Výstup	Popis
EN	vstup	slouží k zapnutí bloku
FLAG	vstup	při log. 0 se CLK nastaví do log. 1
Ubias	vstup	referenční napětí pro běh bloku
CLK	výstup	výstup hodinového signálu
VCC	vstup/výstup	napájení bloku
GND	vstup/výstup	připojení země



Obr. 3.1: Schéma oscilátoru

3.2 Čítač

Při sestupné hraně na vstupu CLK inkrementuje výstupní sběrnici `code_i` o jedna.

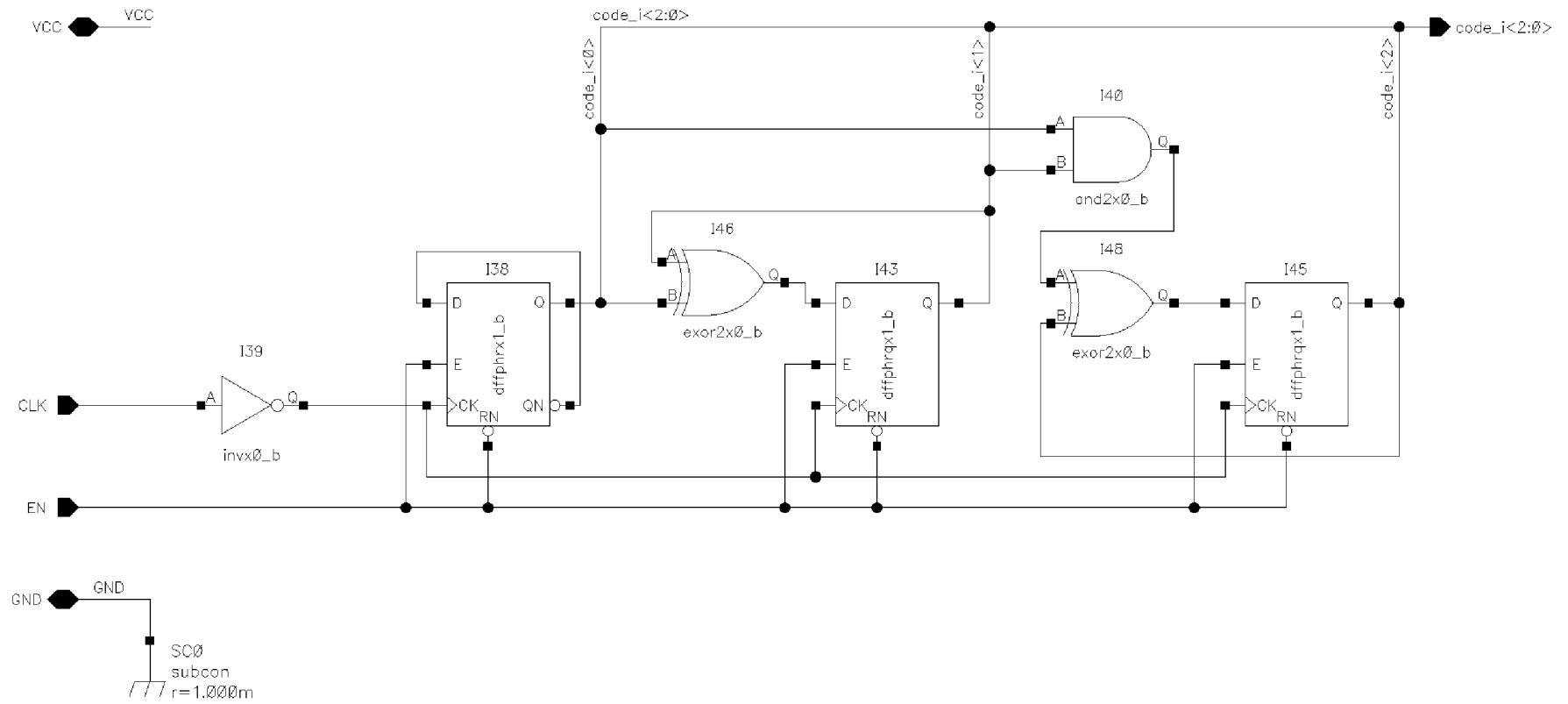
Čítač je konstruován jako synchronní. Tato varianta byla zvolena po předchozích pokusech s asynchronním čítačem. Ten ovšem způsoboval nežádoucí stavy při čítání, které měly za následek rychlé spínání v dekodéru. Díky tomuto spínání vznikaly nárazy proudů, které jsou v celém obvodu nežádoucí.

Knihovna pro digitální prvky v této technologii neobsahuje žádnou variantu klopného obvodu typu T. Z tohoto důvodu byly tyto klopné obvody vytvořeny za pomoci klopných obvodů typu D a hradla XOR. Jedná se principiálně o stejné zapojení, jaké je uvedeno na obrázku 1.4.

Při přivedení logické jedničky na vstup EN dojde k resetu hodnoty na sběrnici `code_i` na hodnotu nula.

Tab. 3.2: Popis vstupů a výstupů bloku čítač

Název vývodu	Vstup/Výstup	Popis
EN	vstup	slouží k zapnutí bloku
CLK	vstup	vstup hodinového signálu
code_i	výstup	výstupní 3-bitová sběrnice
VCC	vstup/výstup	napájení bloku
GND	vstup/výstup	připojení země

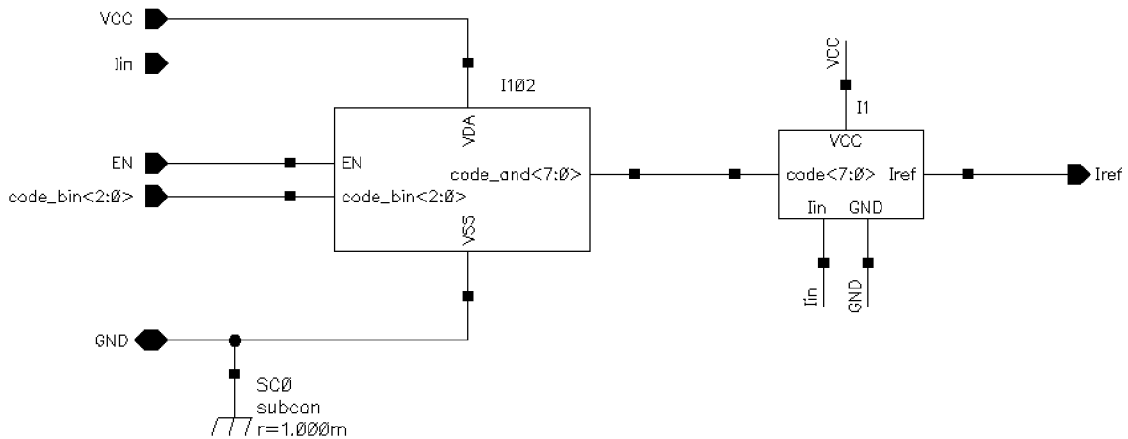


Obr. 3.2: Schéma čítače

3.3 Dekodér

Zajišťuje převod binární hodnoty vytvořené čítačem na proud určený k porovnávání. Z důvodu umožnění jednoduchého přepínání mezi Verilog-A modelem a schématem je blok tvořen dalšími dvěma podbloky (obrázek 3.3). První zajišťuje převod tříbitového vstupního čísla na osm bitů pro druhý blok. Druhý blok je proudový zdroj, který je popsán v následující kapitole.

Kombinační blok má dvě možné reprezentace. Jednou z nich je schéma, které je uvedeno na obrázku 3.4. Jedná se pouze o uspořádání základních logických hradel, které plní funkci zadanou v tabulce 3.4.



Obr. 3.3: Blokové schéma dekodéru

Druhou reprezentací je již zmíněný Verilog-A model, ten je rozdělen do několika částí. Celý kód je uveden v příloze A.1.

První část kódu tvoří definice vstupů a výstupů. Následuje definice parametrů. Parametry slouží k nastavování hodnot v kódu přímo ze simulačního prostředí. Zároveň je pro ně možné nastavit možný rozsah, díky čemuž se sníží riziko chyby. Po nadefinování parametrů jsou dále nadeklarovány pracovní proměnné.

Samotná funkční část kódu začíná až řádkem analog begin. Zadané parametry jsou v události initial_step přiřazeny do pole I_X. Tato událost zajistí, aby došlo k přiřazení pouze jednou a ne při každém průchodu kódem.

Následně je vyhodnoceno, zda je obvod povolen. V případě, že ano, dojde k přiřazení vstupní binární hodnoty do pole a jejího převodu do desítkové soustavy. Toto číslo slouží jako index pro pole I_X. Tímto postupem je tedy určen konkrétní referenční proud.

Abychom získali hodnotu takovou, že každý její bit přímo odpovídá sepnutí konkrétní části proudového zdroje, je zvolený referenční proud dělen nejmenším

možným krokem DAC převodníku (blok proudový zdroj). K převodu na jednotlivé bity slouží použitý for cyklus.

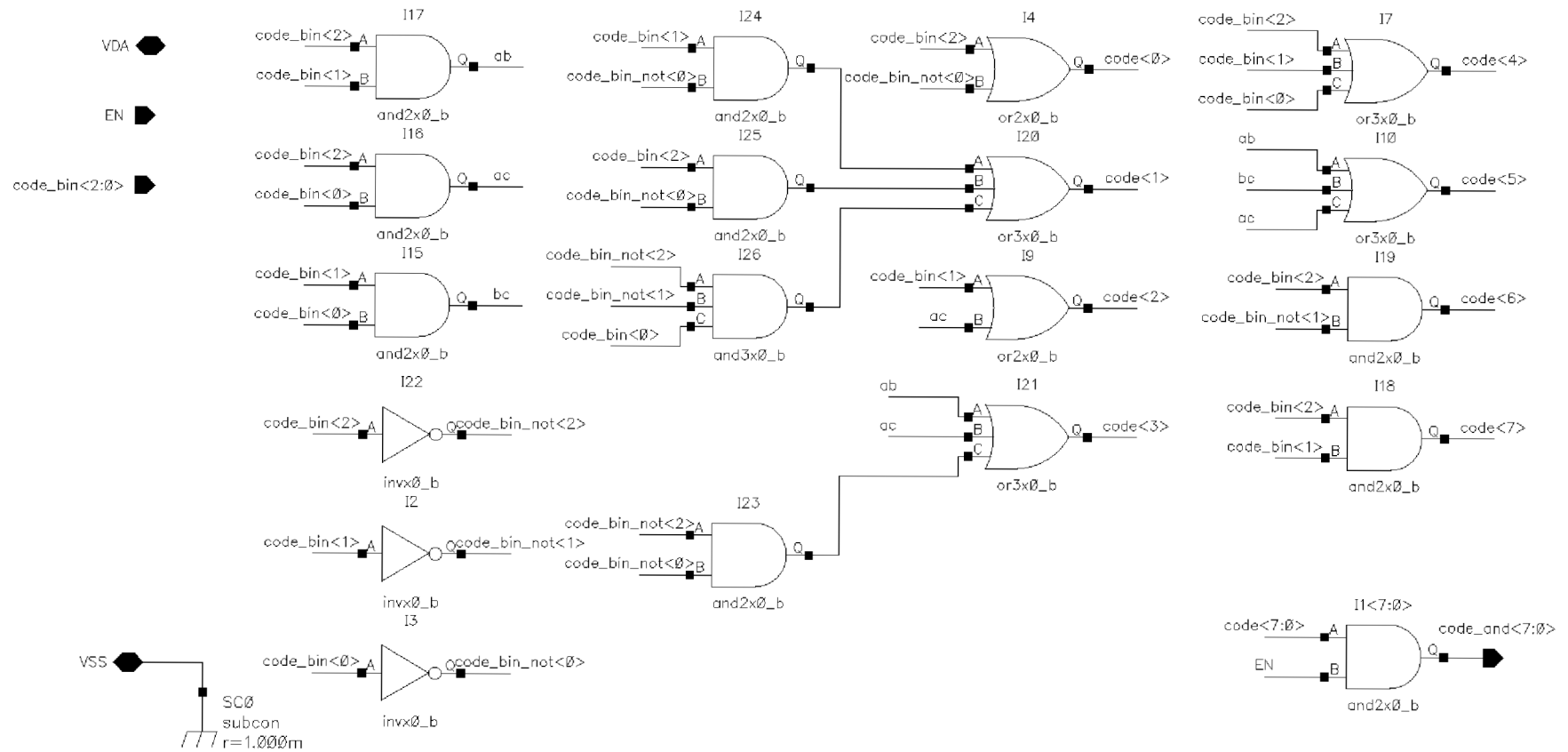
V poslední části kódu dochází k nastavení výstupů do logických jedniček a nul. Je to prováděno se zpožděním 2 ns a rychlostí náběžné i sestupné hrany 10 ns.

Tab. 3.3: Popis vstupů a výstupů bloku dekodér

Název vývodu	Vstup/Výstup	Popis
code_bin	vstup	vstupní 3-bitová sběrnice
Iin	vstup	refereční proud pro podblok proudový zdroj
EN	vstup	slouží k zapnutí bloku
Iref	výstup	refereční proud daný hodnotou na vstupu code_bin
VCC	vstup/výstup	napájení bloku
GND	vstup/výstup	připojení země

Tab. 3.4: Logické hodnoty pro vstupy a výstupy dekodéru

A	B	C	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	0	0	0	0	0	0	1	0	0	1
0	0	1	0	0	0	1	0	0	1	0
0	1	0	0	0	0	1	1	1	1	1
0	1	1	0	0	1	1	0	1	0	0
1	0	0	0	1	0	1	0	0	1	1
1	0	1	0	1	1	1	1	1	0	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	X	X	X	X	X	X	X	X



Obr. 3.4: Schéma dekodéru

3.4 Proudový zdroj

Tento blok je součástí bloku dekodér a slouží k převodu 8-bitové hodnoty na proud v rozsahu 0 až 3 μA . Nejnižšímu bitu odpovídá hodnota 11,72 nA.

Blok je navrhnut jako mnohonásobné proudové zrcadlo, které je konstruováno tak, že se zrcadlí podíly referenčního proudu. Tímto blokem vždy protékají minimálně 3 μA , ale nedochází zde k násobení chyby referenčního proudu. Jednotlivé větve zrcadla jsou spínány pomocí NMOS tranzistorů, jejichž rozměry byly nadimenzovány tak, aby zvládly v sepnutém stavu propustit dostatečný proud a zároveň nebyly zbytečně rozměrné.

Výhodou tohoto zapojení je malá chyba zrcadlení, ale dochází zde k obsazení mnohonásobně větší oblasti čipu. Velikost tohoto bloku na čipu tvoří zhruba polovinu celkové plochy.

Tab. 3.5: Popis vstupů a výstupů bloku proudový zdroj

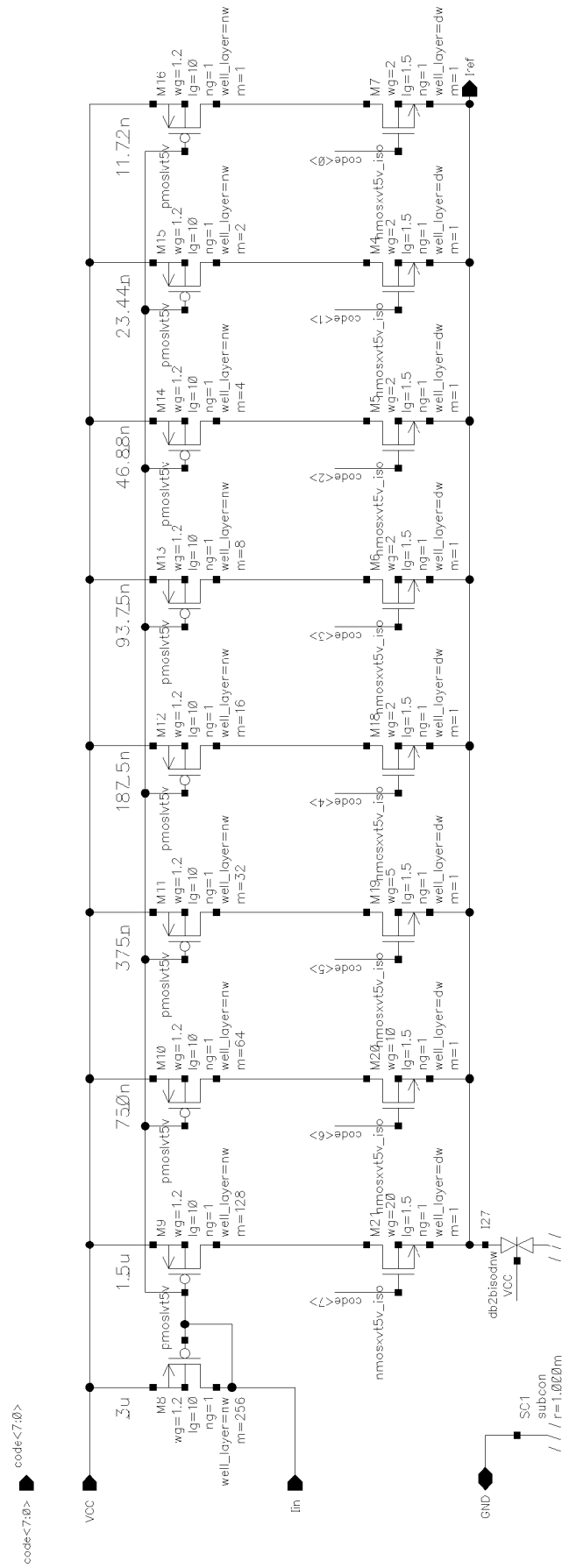
Název vývodu	Vstup/Výstup	Popis
code	vstup	vstupní 8-bitová sběrnice
I _{in}	vstup	referenční proud
I _{ref}	výstup	podíl I _{in} daný hodnotou vstupní sběrnice code
VCC	vstup/výstup	napájení bloku
GND	vstup/výstup	připojení země

3.5 Proudový komparátor

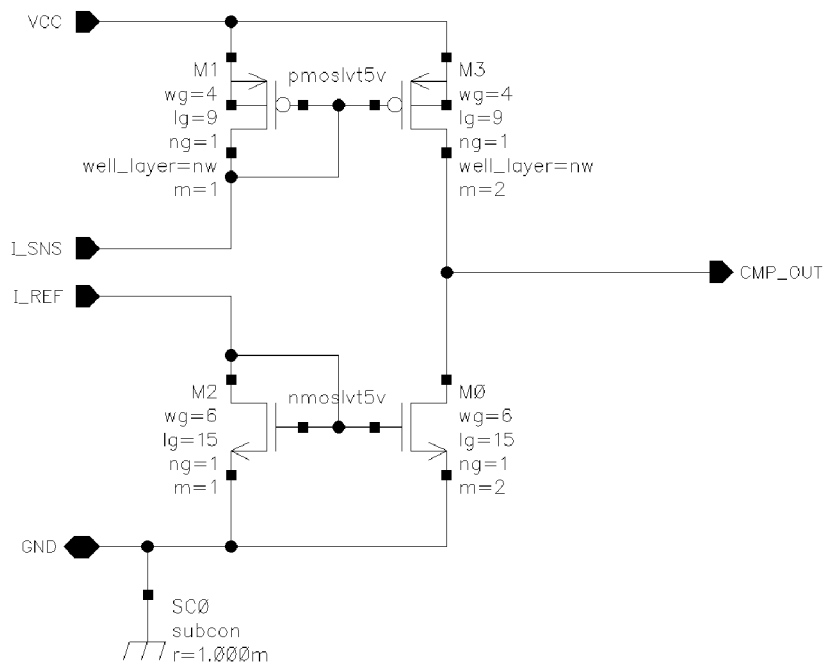
Tento blok porovnává proud I_{sns} z bloku LDO a proud I_{ref} z dekodéru. V případě, že je I_{ref} větší, je výstup z komparátoru blízký 0 V. V opačném případě je výstup blízký k VCC.

Je konstruován jako dvě proudová zrcadla, která jsou zapojena proti sobě. Výhodou je jednoduchost zapojení a tedy jeho jednoduché doladování. Nevýhodou je nepříliš ostrý přechod při blízkých hodnotách porovnávaných proudů. Ostrost tohoto přechodu je zvýšena násobností obou zrcadel.

Velikosti tranzistorů byly nastaveny tak, aby měly dlouhé kanály. Díky tomu lépe zrcadlí při rozběhu výrobních parametrů (což je v této části obvodu zásadní), ale pro propuštění dostatečných proudů musejí mít i odpovídající šířku kanálu. To ovšem způsobí větší kapacitu, která vzniká mezi gate a source tranzistoru. Tato kapacita se projevovala při nejnižších hodnotách proudů (hodnoty I_{ref} kolem 110 nA)



Obr. 3.5: Schéma proudového zdroje



Obr. 3.6: Schéma proudového komparátoru

nedostatečnou rychlostí tohoto bloku. Výsledné velikosti tranzistorů jsou určeny s ohledem na předchozí vlastnosti.

Tab. 3.6: Popis vstupů a výstupů bloku proudový komparátor

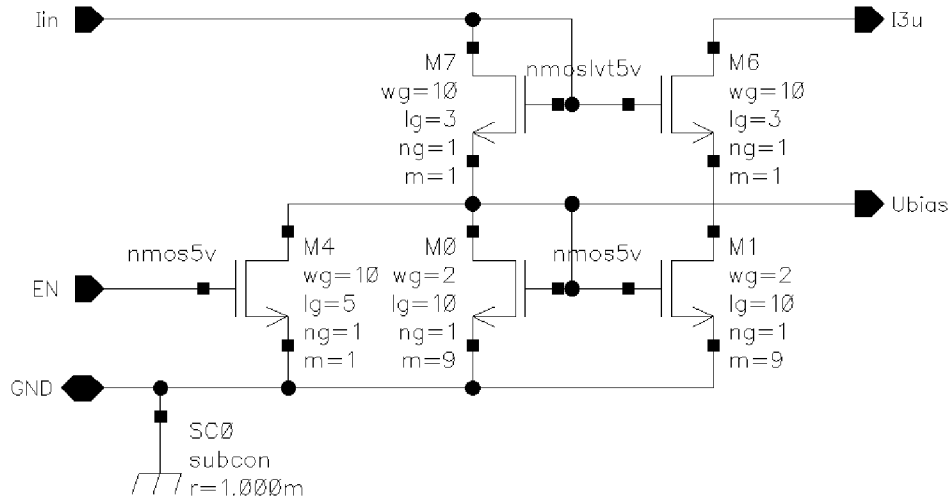
Název vývodu	Vstup/Výstup	Popis
I_SNS	vstup	porovnávaný proud
I_REF	vstup	porovnávaný proud
CMP_OUT	výstup	výstup určující, zda je větší I_SNS nebo I_REF
VCC	vstup/výstup	napájení bloku
GND	vstup/výstup	připojení země

3.6 Bias

Zajišťuje nastavení pracovních napětí a proudu pro další bloky.

Je navržen jako jednoduché kaskodové proudové zrcadlo s možností uzemnění referenčního proudu a tak k jeho deaktivaci. Kaskodové zrcadlo zde bylo použito kvůli přesnosti zrcadlení.

Vstupní referenční proud je přímo zrcadlen na výstup I3u. Na výstupu Ubias vznikne napětí, které slouží k nastavení pracovního bodu v jiných částech obvodu. V dalších blocích je napětí Ubias připojeno na gate tranzistoru, který má stejný rozměr a typ jako tranzistor M0 (obrázek 3.7). V těchto blocích je pomocí násobnosti (parametr m) určena velikost protékajícího proudu pro správný běh konkrétního bloku (m=3 odpovídá proudu 1 μ A).



Obr. 3.7: Schéma bias bloku

Tab. 3.7: Popis vstupů a výstupů bloku bias

Název vývodu	Vstup/Výstup	Popis
EN	vstup	slouží k zapnutí bloku
Iin	vstup	referenční proud
I3u	výstup	zrcadlený proud Iin
Ubias	výstup	referenční napětí pro ostatní bloky
GND	vstup/výstup	připojení země

3.7 LDO

Jedná se v podstatě o LDO regulátor, který umožňuje měřit proud na výstupu, a tři padesátiny tohoto proudu jsou nastaveny na výstup I_{sns} .

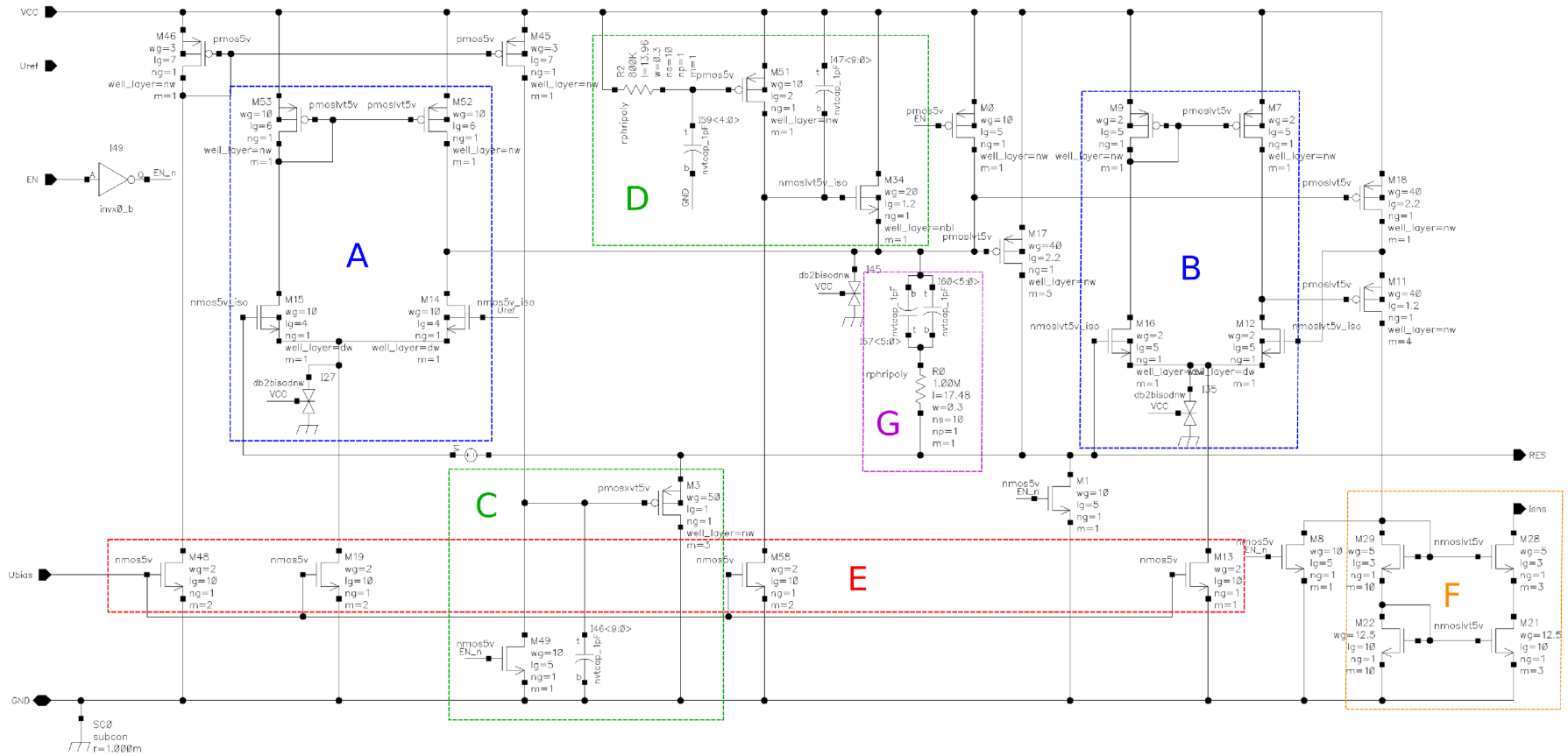
Nejdůležitější část bloku tvoří diferenční pár (obrázek 3.8 část A), který porovnává napětí U_{ref} s napětím na výstupu RES, a odpovídajícím způsobem nastavuje napětí pro gate PMOS tranzistoru (typ P byl zvolen z důvodu malého rozdílu napětí na výstupu RES a minimálního napájecího napětí). Jeho rozměry jsou nastaveny tak, aby zvládal propoušet dostatečný proud v krajních situacích a měl nejdelší možnou délku takovou, aby při rozběhu výrobních parametrů nedošlo k výrazné nepřesnosti proudu na tranzistoru sloužícímu k určování proudu výstupem RES.

K určení několikatiny (při daném zapojení tři padesátiny) proudu výstupem RES je provedeno pomocí tranzistoru, který má stejné rozměry jako tranzistor pro řízení napětí na výstupu RES, ale je zde pouze jedenkrát (řídící tranzistor je pětinasobný). Aby pro něj byly zajištěny stejné pracovní podmínky, je napětí na drainu tohoto tranzistoru řízeno pomocí diferenčního páru (obrázek 3.8 část B) mezi oběma tranzistory. Takto získaný proud je poté podělen pomocí násobného kaskodového zrcadla (obrázek 3.8 část F).

Z důvodu stability obvodu i pro případné parazitní kapacity (do 10 nF) na výstupu RES je v obvodu zavedena millerovská kompenzace v podobě kmitočtové nuly (obrázek 3.8 část G). Ve schématu jsou v nule použity dva stejné antiparalelně zapojené kondenzátory. Tyto kondenzátory jsou ve skutečnosti tranzistory s trvalým kanálem, které mají spojený drain a source a využívají kapacitu hradla. Tyto tranzistory byly použity kvůli požadavku firmy. Z technologických důvodů se kapacita takového kondenzátoru chová jinak při různé polarizaci, proto jsou zapojeny antiparalelně.

Aby bylo možné měřit odpor výstupem RES v takovémto zapojení, není možné v případě vysokého napětí na výstupu RES stahovat toto napětí k zemi pomocí tranzistoru, protože by hodnota na výstupu I_{sns} odpovídala třem padesátinám součtu proudu procházejícím rezistorem a proudu tranzistoru zapojenému k zemi. Dojde-li tedy k tomu, že je napětí na RES větší než referenční napětí, řídící PMOS tranzistor se uzavře a napětí začne pomalu klesat pouze díky proudu rezistorem.

Tento blok (z důvodů zmíněných v předchozím odstavci) počítá s postupným náběhem referenčního napětí U_{ref} . Náběh je pro účely simulace tvořen RC článkem. K pomalému náběhu slouží i dvě napěťové rampy tvořené pomocí RC článků (obrázek 3.8 části C a D), které při napětí U_{bias} začnou přivírat tranzistory, které drží výstup RES na GND a gate řídícího tranzistoru na VCC.



Obr. 3.8: Schéma LDO bloku

Tab. 3.8: Popis vstupů a výstupů bloku LDO

Název vývodu	Vstup/Výstup	Popis
EN	vstup	slouží k zapnutí bloku
Uref	vstup	referenční napětí pro napětí výstupu RES
Ubias	vstup	referenční napětí pro běh bloku
Isns	výstup	tři padesátiny proudu protékajícího výstupem RES
RES	výstup	výstup pro připojení neznámého rezistoru
VCC	vstup/výstup	napájení bloku
GND	vstup/výstup	připojení země

4 Simulace

V této části práce jsou popsány některé simulace, které byly prováděny během návrhu. Simulace byly nejprve prováděny na ideálních blocích a po ověření funkčnosti celého obvodu následně na reálných zapojeních uvedených v předcházející kapitole. Jsou zde popsány i jejich výsledky a uvedené grafy.

4.1 Stabilita LDO

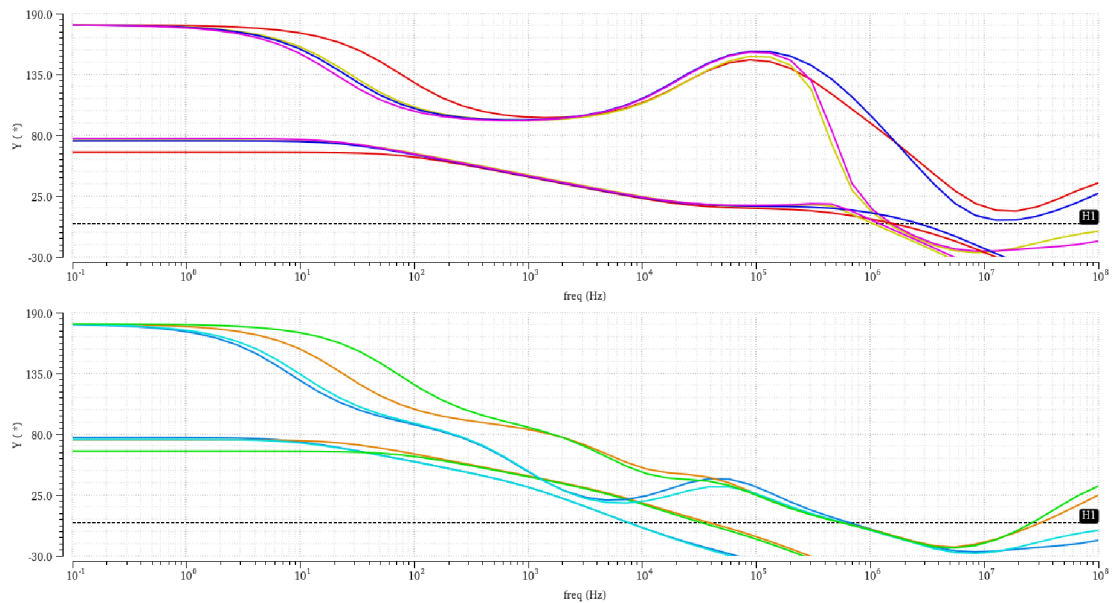
Jednou z nejkomplikovanějších částí návrhu bylo navrhnout blok LDO tak, aby byl schopný na výstup R_{sns} co nejrychleji nastavit požadované referenční napětí a nedocházelo ke kmitání. Pro zhodnocení těchto vlastností byla použita STB analýza. Jedná se o analýzu, která linearizuje obvod okolo DC pracovního bodu. Spočítá zesílení a fázové posunutí v závislosti na frekvenci.

Na obrázku 4.1 jsou na ose y společně vyneseny zesílení a fázový posuv. Toto vykreslení umožňuje velmi rychle určit, zda je daný systém stabilní. Jsou zde vyneseny průběhy pro krajní pracovní hodnoty obvodu a obrázek je rozdělen do dvou částí podle parazitní kapacity (horní je pro 10 nF a spodní pro 1 pF). Fázový posun a zesílení pro jeden běh jsou vždy vyneseny stejnou barvou.

Z hodnot uvedených v tabulce 4.1 je patrné, že k nejnižší fázové bezpečnosti dochází pro největší parazitní kapacitu a největší zátěž na výstupu R_{sns} při nejnižší teplotě.

Tab. 4.1: Fázová bezpečnost

Hodnota	Teplota -40 °C	Teplota 125 °C
$V_{in}=1,6$; capacity=1p; $R_{sns}=30,1K$	124,7	123,4
$V_{in}=1,6$; capacity=1p; $R_{sns}=1210K$	35,55	101,2
$V_{in}=1,6$; capacity=10n; $R_{sns}=30,1K$	44,50	41,02
$V_{in}=1,6$; capacity=10n; $R_{sns}=1210K$	13,34	18,00
$V_{in}=5,5$; capacity=1p; $R_{sns}=30,1K$	108,8	144,4
$V_{in}=5,5$; capacity=1p; $R_{sns}=1210K$	32,32	80,59
$V_{in}=5,5$; capacity=10n; $R_{sns}=30,1K$	48,77	42,73
$V_{in}=5,5$; capacity=10n; $R_{sns}=1210K$	16,03	18,78



Name	Vin	Rsns	Name	Vin	Rsns
Loop Gain dB20			Loop Gain Phase		
Loop Gain dB20	5.5	1.21M	Loop Gain Phase	1.6	30.1k
Loop Gain dB20	5.5	30.1k	Loop Gain Phase	1.6	1.21M
Loop Gain dB20	1.6	1.21M	Loop Gain Phase	5.5	30.1k
Loop Gain dB20	1.6	30.1k	Loop Gain Phase	5.5	1.21M
Loop Gain Phase			Loop Gain dB20		
Loop Gain Phase	5.5	1.21M	Loop Gain dB20	1.6	30.1k
Loop Gain Phase	5.5	30.1k	Loop Gain dB20	1.6	1.21M
Loop Gain Phase	1.6	1.21M	Loop Gain dB20	5.5	30.1k
Loop Gain Phase	1.6	30.1k	Loop Gain dB20	5.5	1.21M

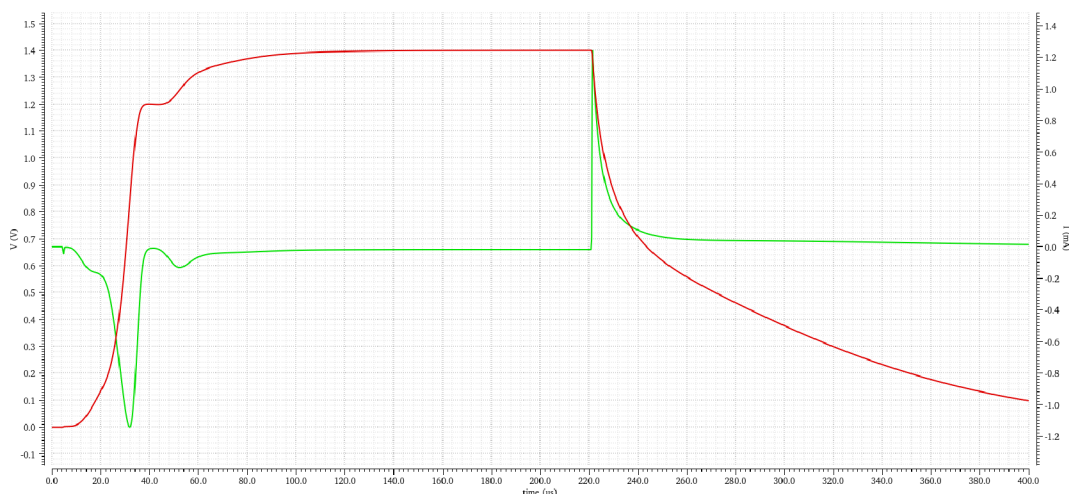
Obr. 4.1: Stabilita LDO v závislosti na teplotě, Rsns a parazitní kapacitě

4.2 Rychlost ustálení napětí na výstupu Rsns

Rychlost ustálení napětí na výstupu Rsns je výrazně ovlivněna průběhem referenčního napětí a částmi bloku LDO, které zajišťují pomalejší nárůst napětí na výstupu RES.

Díky pomalému nárůstu nedochází k nastavení vyššího napětí, než je referenční. To výrazně urychlí převod, protože není nutné čekat na snížení napětí na výstupu RES. Na výstupu jsou kapacity (parazitní, kompenzační) vybíjeny pouze pomocí externího rezistoru a proces tak může trvat v závislosti na externím rezistoru a velikosti napětí až stovky μs .

Průběhy napětí a proudu výstupem jsou vyneseny na obrázku 4.2. Tento průběh byl simulován pro hodnotu rezistoru $83\text{ k}\Omega$, parazitní kapacitu 10 nF a hodnotu napájecího napětí $1,6\text{ V}$.



Obr. 4.2: Průběh napětí (červený) a proudu (zelený) na výstupu Rsns

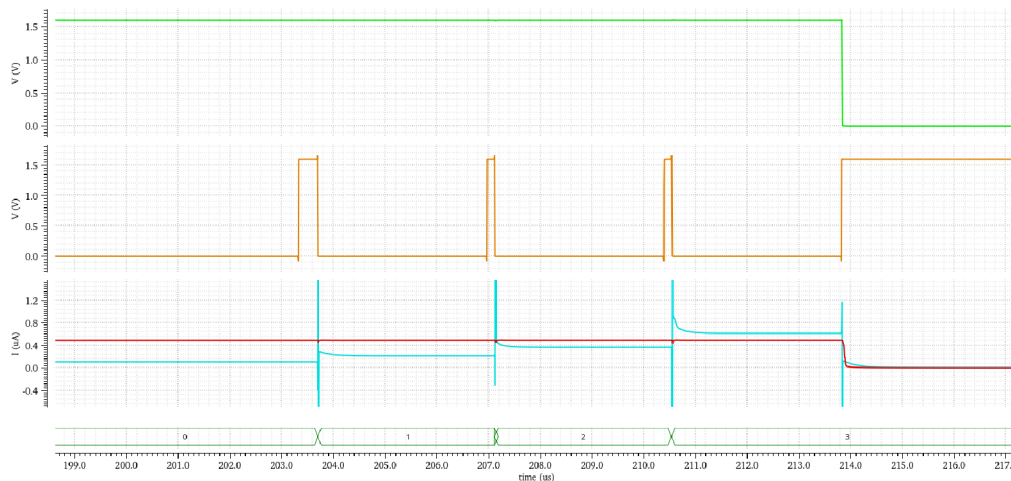
4.3 Průběh převodu

Na obrázku 4.3 jsou vyneseny zeleně hodnoty signálu FLAG, který při logické nule vypne převod. Hodinový signál z oscilátoru je oranžový. Porovnávané proudy vstupující do proudového komparátoru jsou červeně a azurově, číslo udává zjištěnou hodnotu.

Na průbězích je patrná změna referenčního proudu při sestupné hraně hodinového signálu. V okamžiku, kdy je hodnota referenčního proudu (azurová) větší než proud z LDO bloku (červená), dochází při náběžné hraně hodinového signálu k ukončení převodu a vypnutí obvodu.

4.4 Ověřování chybovosti výstupu

Příklad ověření hodnoty referenčního proudu (mezi výstupy 0 a 1) pomocí softwaru Solido Variation Designer je uveden na obrázku 4.4. Na ose x je uvedena výstupní hodnota obvodu a na ose y pravděpodobnost, že bude daný vzorek nabývat této hodnoty. Pravděpodobnost je uváděna v hodnotách sigma. Běžné vzorky jsou vyneseny zelenou barvou. Žluté a fialové byly generovány až jako poslední a slouží k přesnému ověření hodnot v oblasti kolem 5 sigma.

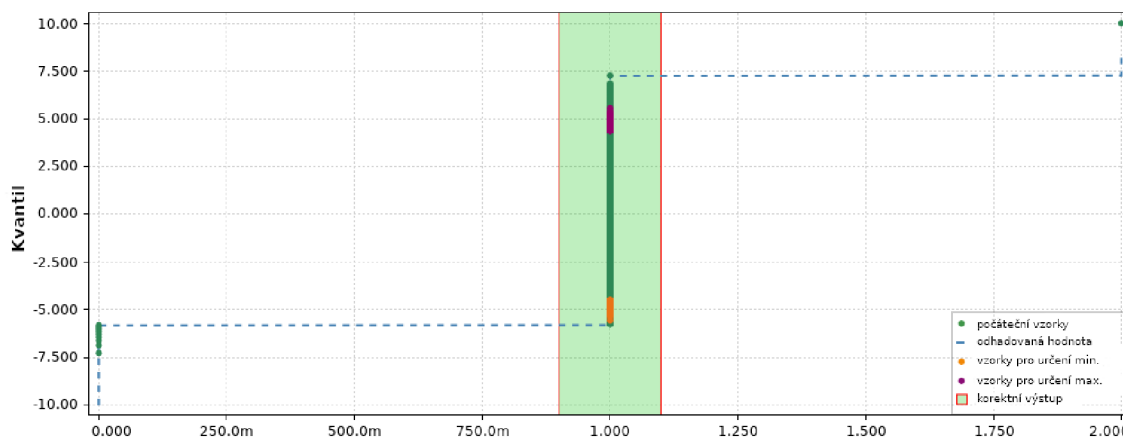


Obr. 4.3: Tranzientní analýza průběhu převodu

Na obrázku 4.4 je také patrná výrazně menší chyba směrem k výstupní hodnotě 2. To je způsobeno tím, že je zde ověřována chyba určení nižší hodnoty a rezistor nabývá o 1 % větší hodnotu (než je jeho nominální hodnota).

Referenční proud a napětí jsou nastaveny tak, aby zhoršovaly tento konkrétní přechod. Na proud I_{ns} má vliv převážně napětí U_{ref} . Na proud I_{ref} má naopak vliv pouze proud I_{in} . Díky tomu je možné oba proudy přiblížit ke stejné hodnotě (v tomto případě snížením napětí U_{ref} a zvětšením proudu I_{in}).

Software dále umožňuje zobrazit například histogram, ale ten vzhledem k digitální povaze výstupu a množství správně určených hodnot oproti špatně určeným neposkytuje potřebný přehled.



Obr. 4.4: Statistické rozložení špatně určené nižší výstupní hodnoty (pro výstupní hodnotu 1)

Závěr

Výsledkem práce je funkční schéma obvodu, který zvládne určit, který z osmi možných hodnot rezistorů je připojen k tomuto obvodu. Hodnoty rezistorů a jejich přiřazené kódy jsou uvedeny v tabulce 2.3.

Rychlost převodu je do 230 μs (záleží na hodnotě měřeného rezistoru a teplotě). Samotný převod trvá do 30 μs , ale 200 μs trvá ustálení napětí na výstupním pinu RES.

Tolerance rezistorů byla určena na 1%. K chybnému určení hodnoty dochází podle simulace v méně než 0,023 % případech. Reálně k chybnému určení dojde méně často. Tato chybovost byla ověřena v krajních případech, u kterých ovšem nelze určit, s jakou pravděpodobností nastane. Neznáme například distribuci externího 1% rezistoru. Dále neznáme přesnou distribuci napětového a proudového referenčního zdroje. Pro účely simulace byla použita vždy nejhorší možná varianta (když bylo napětí maximální, tak byl proud minimální a naopak).

Byl otestován v krajních mezích. Je tedy schopen pracovat v teplotách od $-40\text{ }^{\circ}\text{C}$ do $125\text{ }^{\circ}\text{C}$, s parazitními kapacitami (na výstupním pinu RES) do 10 nF i s napájecím napětím od 1,6 V do 5,5 V a při libovolné kombinaci těchto parametrů.

Vhodným pokračováním práce by bylo vytvořit layout pro celý obvod a pokusit se odstranit velké kondenzátory v startovacích rampách LDO bloku. Tyto kondenzátory zabírají značnou plochu celého obvodu na čipu.

Literatura

- [1] GREGORIAN, Roubik. *Introduction to CMOS OP-AMPs and Comparators*. New York: John Wiley & Sons, 1999. ISBN 978-0471317784.
- [2] KADAŇKA, Petr. *ANALOGOVÉ INTEGROVANÉ OBVODY (MAIO)*. Brno, 2015. Skriptum. Vysoké učení technické v Brně.
- [3] KLEDROWETZ, Vilém a Jiří HÁZE. *Návrh analogových integrovaných obvodů*. Brno, 2015. Skriptum. Vysoké učení technické v Brně.
- [4] WAKERLY, John F. *Digital Design: Principles and Practices*. 3rd edition. New York: Prentice Hall, 2002. ISBN 0-13-769191-2.
- [5] DESIGNER'S GUIDE CONSULTING, INC. *Introduction to Verilog-A* [online]. Dostupné z: <https://verilogams.com/tutorials/vloga-intro.html>

Seznam symbolů a zkratk

ADC	analogově digitální převodník – Analog-to-Digital Converter
CLK	hodinový signál – clock
DAC	digitálně analogový převodník – Digital-to-Analog Converter
EN	povolovací signál – enable
GND	uzemnění – ground
HSV	typ simulace pro určení a ověření vysokých hodnot sigma – High Sigma Verification
LDO	regulátor napětí s nízkým úbytkem – Low-dropout regulator
NMOS	unipolární tranzistor s indukovaným kanálem typu N – N-channel metal-oxide semiconductor
PMOS	unipolární tranzistor s indukovaným kanálem typu P – P-channel metal-oxide semiconductor
RES	označení pinu pro připojení měřeného rezistoru – pin dedicated for measured resistor
STB	typ analýzy pro určení stability od firmy Cadence – type of stability analysis made by Cadence
VCC	napájecí napětí – Voltage Common Collector

A Kódová implementace bloku dekodéru

Výpis A.1: Implementace bloku dekodéru v jazyce VerilogA.

```
1 // VerilogA for aaag78Proj, decoder_verilog, veriloga
2
3 'include "constants.vams"
4 'include "disciplines.vams"
5
6 'define STEP 0.1953125
7 //the smallest step of DAC (uA)
8
9 'define LOGICTH 0.9
10 //don't use 0.8 (simulation expression issues)
11
12 module decoder_verilog(code_bin, code_and, EN, VDA, VSS);
13
14 output [7:0] code_and;
15 electrical [7:0] code_and;
16
17 input EN;
18 electrical EN;
19
20 input [2:0] code_bin;
21 electrical [2:0] code_bin;
22
23 inout VDA, VSS;
24 electrical VDA, VSS;
25
26 //////////////////////////////////PARAMS////////////////////////////////////
27 parameter real Vin = 5.5 from[1.6:5.5];
28 parameter real Uref = 1.4;
29
30 parameter real I_0 = 39.65 from(0:50];
31 parameter real I_1 = 29.3 from(0:50];
32 parameter real I_2 = 20.688 from(0:50];
33 parameter real I_3 = 14.355 from(0:50];
34 parameter real I_4 = 9.242 from(0:50];
35 parameter real I_5 = 5.46 from(0:50];
36 parameter real I_6 = 2.89 from(0:50];
37 //////////////////////////////////PARAMS////////////////////////////////////
38 integer ENbool = 0;
```

```

39 integer    i;
40 integer    value;
41
42 integer    code [2:0];
43 integer    switch;
44
45 integer    Vout [7:0];
46 real      I_X [7:0];
47
48 analog begin
49     @(initial_step) begin
50         I_X [7]=0;
51         I_X [6]=I_0;
52         I_X [5]=I_1;
53         I_X [4]=I_2;
54         I_X [3]=I_3;
55         I_X [2]=I_4;
56         I_X [1]=I_5;
57         I_X [0]=I_6;
58     end
59
60     if(V(EN) >= 'LOGICTH) begin
61         ENbool = 1;
62
63         code [2]=V(code_bin [2])>='LOGICTH?1:0;
64         code [1]=V(code_bin [1])>='LOGICTH?1:0;
65         code [0]=V(code_bin [0])>='LOGICTH?1:0;
66
67         switch = code [2]*4+code [1]*2+code [0];
68     end else
69         ENbool = 0;
70
71     value=I_X[switch]/'STEP;
72     for(i = 0; i<8; i~= i+1)begin
73         Vout [i]=value&1;
74         value=value>>1;
75     end
76
77     V(code_and [0])<+transition(Vout [0] ,2n,10n,10n)*ENbool*Vin;
78     V(code_and [1])<+transition(Vout [1] ,2n,10n,10n)*ENbool*Vin;
79     V(code_and [2])<+transition(Vout [2] ,2n,10n,10n)*ENbool*Vin;

```

```
80 V(code_and[3])<+transition(Vout[3],2n,10n,10n)*ENbool*Vin;
81 V(code_and[4])<+transition(Vout[4],2n,10n,10n)*ENbool*Vin;
82 V(code_and[5])<+transition(Vout[5],2n,10n,10n)*ENbool*Vin;
83 V(code_and[6])<+transition(Vout[6],2n,10n,10n)*ENbool*Vin;
84 V(code_and[7])<+transition(Vout[7],2n,10n,10n)*ENbool*Vin;
85
86 end
87
88 endmodule
89
90 'undef STEP
91 'undef LOGICTH
```