



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

PŘÍDAVNÝ PAMĚŤOVÝ MODUL PRO VYSOKORYCHLOSTNÍ KAMERU

EXTENDED MEMORY MODULE FOR THE HIGH-SPEED CAMERA

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Jakub Trtílek

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Ing. Vladislav Musil, CSc.

BRNO 2017



Diplomová práce

magisterský navazující studijní obor **Mikroelektronika**
Ústav mikroelektroniky

Student: Bc. Jakub Trtílek

ID: 154898

Ročník: 2

Akademický rok: 2016/17

NÁZEV TÉMATU:

Přídavný paměťový modul pro vysokorychlostní kameru

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte koncepci rychlého paměťového modulu pro vysokorychlostní kameru, který umožní ukládat delší záznamy videosekvencí. Proveďte několik návrhů o různých maximálních kapacitách paměti, ze kterých vyberete ekonomicky výhodný modul. Pro tuto vybranou verzi paměťového modulu navrhněte schéma zapojení a plošný spoj. Dále navrhněte funkční (IP) bloky, které umožní otestovat celý návrh. Bloky navrhněte v jazyku VHDL v prostředí Vivado Design Suite. Na vyrobeném modulu demonstруйте funkčnost zápisu a čtení z paměti.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 6.2.2017

Termín odevzdání: 25.5.2017

Vedoucí práce: prof. Ing. Vladislav Musil, CSc.

Konzultant:

doc. Ing. Lukáš Fucík, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Cílem diplomové práce je návrh rychlého paměťového modulu a seznámení se s problematikou týkající se ukládání dat v paměti vysokorychlostní kamery. Práce se zabývá dvěma návrhy k rozšíření paměťové kapacity vysokorychlostní kamery pomocí paměti typu DDR3. Pro výslednou výrobu byla vybrána komerčně vhodnější varianta. Hlavním úkolem je design schématického zapojení ovládacího obvodu FPGA, který bude řídit datový přenos z CMOS senzoru kamerového systému do nadřazeného vývojového prostředí MicroZed. Výsledný návrh by měl umožnit komerční prodej vysokorychlostní kamery jako samostatné jednotky.

KLÍČOVÁ SLOVA

Vysokorychlostní kamera, DDR3 SDRAM, DDR3 SODIMM, FPGA, Artix typu XC7A50T a XC7A200T, návrh paměťového modulu

ABSTRACT

Goal of the diploma thesis is a design of fast memory module and to introduce myself with issues involved in data storage in memory of high speed camera. The work is concerned about two designs adding memory capacity of high speed camera with DDR3 memory modules. For production is selected the more suitable design that is better for commercial purposes. The main objective is to design a schematic with FPGA as a main controller, that will operate data flow from CMOS sensor to superior development board MicroZed. Final design should allow us to sell the high speed camera as a separate unit.

KEYWORDS

High speed video camera, DDR3 SDRAM, DDR3 SODIMM, FPGA, Artix XC7A50T and XC7A200T, design of memory module

TRTÍLEK, J. *Přídavný paměťový modul pro vysokorychlostní kameru*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav mikroelektroniky (elektrotechnologie), 2017. 75 s., 28 s. příloh. Diplomová práce. Vedoucí práce: prof. Ing. Vladislav Musil, CSc.

Experimentální část této diplomové práce byla podpořena výzkumnou infrastrukturou
vybudovanou v rámci projektu CZ.1.05/2.1.00/03.0072

Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

PROHLÁŠENÍ

Prohlašuji, že svoji diplomovou práci na téma přídavný paměťový modul pro vysokorychlostní kameru jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce prof. ing. Vladislavovi Musilovi, CSc. a konzultantovi ing. Tomáši Ratajovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne

.....

(podpis autora)

Obsah

Seznam obrázků	4
Seznam tabulek	6
Úvod	11
1 Rozbor zadání diplomové práce.....	13
1.1 Vysokorychlostní kamera	13
1.2 MicroZed	14
1.3 Lux1310.....	15
1.4 Specifikace nutných vlastností paměťového modulu	16
1.5 Porovnání možných návrhů	17
2 Zpracování signálu z kamery	20
2.1 Programovatelná hradlová pole	20
2.1.1 Architektura programovatelných hradlových polí.....	20
2.2 Paměť typu DDR3 SDRAM	22
2.2.1 Impedanční zakončení adresové sběrnice	25
2.2.2 Impedanční zakončení datové linky	26
2.3 Paměťový modul DDR3 SODIMM.....	26
2.4 LVDS signály	29
2.5 Konstrukce spojů s definovanou impedancí	30
2.5.1 Impedance struktury microstrip.....	31
2.5.2 Impedance struktury stripline	32
3 Návrh paměťového modulu	34
3.1 Výběr obvodu FPGA	35
3.2 Výběr DDR3 paměti	36
3.3 Návrh desky plošných spojů.....	37
3.4 Schéma zapojení	39
3.5 Zapojení DDR3 paměti.....	39
3.6 Zapojení obvodu FPGA	41
4 Návrh s využitím paměťových modulů.....	44
4.1 Výběr obvodu FPGA	45
4.2 Výběr DDR3 SODIMM paměti.....	46
4.3 Návrh plošného spoje.....	47

4.4	Schéma zapojení	49
4.4.1	Zapojení SODIMM paměti.....	49
4.4.2	Zapojení FPGA obvodu.....	52
4.4.3	Ukázka ostatních zapojení.....	53
4.5	Výsledná realizace plošného spoje	54
4.6	Návrh napájecích zdrojů	56
4.7	Postup návrhu zdroje ADP5053	57
4.7.1	Nastavení spínací frekvence	57
4.7.2	Nastavení výstupního napětí.....	58
4.7.3	Výpočet indukčnosti výstupní cívky	58
4.7.4	Výpočet kapacity výstupního kondenzátoru	59
4.7.5	Zastavěná plocha DPS	60
4.8	ABRA skladové hospodářství.....	61
5	Simulace funkčnosti paměti DDR3.....	63
5.1	Inicializace paměti DDR3.....	64
5.2	Zápis do paměti DDR3	65
5.3	Čtení z paměti DDR3.....	67
6	Závěr	68
	Použitá literatura	70
	SEZNAM SYMBOLŮ A ZKRATEK	73
	SEZNAM PŘÍLOH.....	75

Seznam obrázků

Obr.č. 1	Vysokorychlostní kamera bez kovového pouzdra	13
Obr.č. 2	Blokové schéma vývojové desky MicroZed [2]	14
Obr.č. 3	CMOS senzor Lux1310 [3]	15
Obr.č. 4	Logická buňka obvodu FPGA [6]	21
Obr.č. 5	Konfigurace LUT [7]	21
Obr.č. 6	SSTL_18 výstupní buffer [8]	22
Obr.č. 7	Blokové schéma paměti DDR3 [4]	24
Obr.č. 8	Přizpůsobené vedení se sériovým odporem [9].....	25
Obr.č. 9	Zakončení datové linky se sériovým odporem [9].....	26
Obr.č. 10	Rozměry modulu SODIMM (v milimetrech) [10].....	27
Obr.č. 11	Ukázka zapojení paměťových čipů na modulu SODIMM [10].....	28
Obr.č. 12	Integrované kondenzátory na paměťovém modulu [10].....	28
Obr.č. 13	SODIMM konektor pro povrchovou montáž [11]	29
Obr.č. 14	LVDS funkční schéma [11].....	30
Obr.č. 15	Ukázka řezu DPS se spoji typu microstrip a stripline [13]	31
Obr.č. 16	Blokové schéma integrace paměťových čipů.....	35
Obr.č. 17	Vzhled FPGA obvodu pouzdra CSG324 [16].....	36
Obr.č. 18	Materiálové složení desky plošného spoje [18]	38
Obr.č. 19	Schéma zapojení paměti DDR3	40
Obr.č. 20	Rozmístění kondenzátorů pro paměť DDR3 [8].....	40
Obr.č. 21	Ukázka zapojení banky 15	42
Obr.č. 22	Blokové schéma s využitím paměťových modulů	45
Obr.č. 23	Ukázka složení 14ti vrstvé DPS [18]	48
Obr.č. 24	Schéma řídicích a ostatních důležitých signálů paměti SODIMM	50
Obr.č. 25	Schéma adresové sběrnice paměti SODIMM	50
Obr.č. 26	Schéma datové sběrnice paměti SODIMM.....	51
Obr.č. 27	Schéma zapojení adresové sběrnice k obvodu FPGA	52
Obr.č. 28	Obousměrný převodník signálů různých napěťových úrovní	53
Obr.č. 29	Pohled na plošný spoj paměťového modulu shora.....	54
Obr.č. 30	Pohled na výsledný plošný spoj paměťového modulu zespod.....	55
Obr.č. 31	Fotografie vrchní strany součástek.....	55
Obr.č. 32	Fotografie spodní strany součástek	56
Obr.č. 33	Minimální potřebná plocha 21 mm x 14 mm (dle specifikace) [25].....	60
Obr.č. 34	Fotografie plochy zastavěné zdrojem ADP5053.....	61
Obr.č. 35	Ukázka technologického postupu pro osazení DPS.....	62
Obr.č. 36	Ukázka kusovníku z programu ABRA.....	62
Obr.č. 37	Blokové schéma simulace funkčnosti paměti DDR3	63
Obr.č. 38	Ukázka simulace inicializace paměti	64
Obr.č. 39	Doporučená inicializace dle specifikace [4].....	65

Obr.č. 40 Ukázka zápisu dat.....	66
Obr.č. 41 Ukázka čtecí sekvence	67

Seznam tabulek

Tabulka 1 Vlastnosti CMOS senzoru LUX1310 [3]	16
Tabulka 2 Porovnání vlastností [9]	25
Tabulka 3 Přehled rozměrových vlastností struktury stripline.....	33
Tabulka 4 Nutný počet filtračních kondenzátorů [20]	42
Tabulka 5 Konstrukční třída VI [18].....	49
Tabulka 6 Pravdivostní tabulka funkce zápis [4]	66
Tabulka 7 Pravdivostní tabulka funkce čtení [4]	67

Úvod

Hlavním cílem diplomové práce je seznámit se s požadavky na ukládání dat z vysokorychlostní kamery a na jejich základě navrhnout dvě různé koncepce rychlého paměťového modulu (o různých maximálních kapacitách), který umožní realizovat delší záznamy rychlých videosekvencí. Pro výslednou výrobu bude vybrána komerčně výhodnější varianta. Pro tuto variantu bude následně realizován projekt pomocí programu Vivado Design Suite, ve kterém bude vytvořen testovací program pro vyzkoušení funkčnosti paměti (inicializace, zápis, čtení). Program pro testování komunikace mezi obvodem FPGA a pamětí typu DDR3 bude simulován také v prostředí Vivado Design Suite. Diplomová práce byla zadána firmou Photon Systems Instruments (PSI) a výsledek bude prakticky využit pro její komerční účely.

Již přes více než dvacet let tým firmy PSI (Photon Systems Instruments) vyrábí inovativní zařízení s rozsáhlou kvalifikací v oborech optiky, elektroniky a softwaru, které jsou určeny pro vědecké účely. Za posledních deset let se firmě podařilo vytvořit spolehlivou síť distributorů pro lepší zákaznickou podporu v jednotlivých regionech světa. Poskytují místní konzultace a jsou partnery pro prodej, servis, výcvik a technickou podporu. Firma PSI se účastní také několika tuzemských a mezinárodních projektů podporovaných vládou ČR, ostatními Evropskými vládami a Evropskou kosmickou agenturou (ESA). [1]

V současné době má vysokorychlostní kamera k dispozici DDR3 paměť integrovanou na vývojové desce MicroZed. Její kapacita je 8 Gb s rychlostí přenosu 1600 MT/s. Tato rychlost je dostatečná pro přenos veškerých dat z CMOS senzoru kamery, avšak velikost kapacity značně omezuje délku videosekvence. Při maximální rychlosti přenosu dat je paměť schopna uložit videosekvenci o délce půl sekundy. Proto se často nevyužívá například plné rozlišení senzoru nebo je snížena rychlost snímkování za sekundu. Tato rychlost se může pohybovat ve velkém rozmezí až 10 000 snímků za sekundu. Maximální hodnota však nemůže být při plném rozlišení.

Vysokorychlostní kamera uloží celou videosekvenci do DDR3 paměti a následně data vyčítá pomalou rychlostí a přeposílá je po standardu Ethernet do připojeného stolního počítače nebo jiného zařízení. Tato kamera bývá většinou součástí velkého měřicího systému, který je řízen centrální jednotkou.

Rozbor zadání diplomové práce popisuje současný systém vysokorychlostní kamery, jeho složení, funkci a vlastnosti. Rozbor obsahuje hlavní faktory ovlivňující proces návrhu, které postupně formují celkové zadání. Následovně jsou vypracovány a porovnány možné návrhy paměťového modulu. Srovnání je provedeno pro možnost integrace paměťových čipů či celých paměťových modulů typu SODIMM. Maximální kapacita návrhů je rozdílná (2 GB nebo 32 GB) a tvoří hlavní parametr výběru vhodnější varianty. S maximálním datovým tokem 2 GB/s je tak možné zaznamenat 1 sekundu či 16 sekund.

V kapitole zpracování signálu z kamery je popis základních vlastností a elementárních stavebních prvků programovatelných hradlových polí a DDR3 pamětí. Jsou rozebrány veškeré potřebné informace pro výběr řídicího FPGA obvodu jako mikrokontroleru pro správu paměťových čipů. Takovýto obvod je totiž základem celého návrhu a flexibilním řešením pro rozšířené funkce celého zařízení. Paměť typu DDR3 spadá pod kategorii SDRAM (Synchronous Dynamic Random-Access Memory) neboli synchronní dynamické paměti s náhodným přístupem. Návrh implementace těchto pamětí přímo na plošný spoj přináší mnoho různých komplikací, jelikož DDR3 čipy pracují s vyššími frekvencemi hodinového signálu. V řádu stovek MHz již totiž může docházet k jevům, které se u nižších frekvencí (stejnoseměrných) neprojeví. Jsou to například různé odrazy signálů na vedení, které není impedančně přizpůsobeno. Proto může docházet k přeslechům a dalším nežádoucím jevům.

Návrh prvního řešení paměťového modulu obsahuje dva DDR3 čipy, které by zvětšili kapacitu zařízení o 16 Gb a umožnili by svojí rychlostí částečné vyčítání již při samotném zápisu. Tím by se teoretická kapacita zařízení ještě více zvětšila. Paměťový modul bude řízen hlavní deskou MicroZed, ale bude z velké části nezávislý na procesech v řídicí jednotce. V práci je pouze částečně popsáno zapojení, které bylo provedeno v programu PADS, kvůli velkému rozsahu celého schématu. U elementárních nezbytných prvků se nachází popis, který vede k lepšímu pochopení zapojení jako celku.

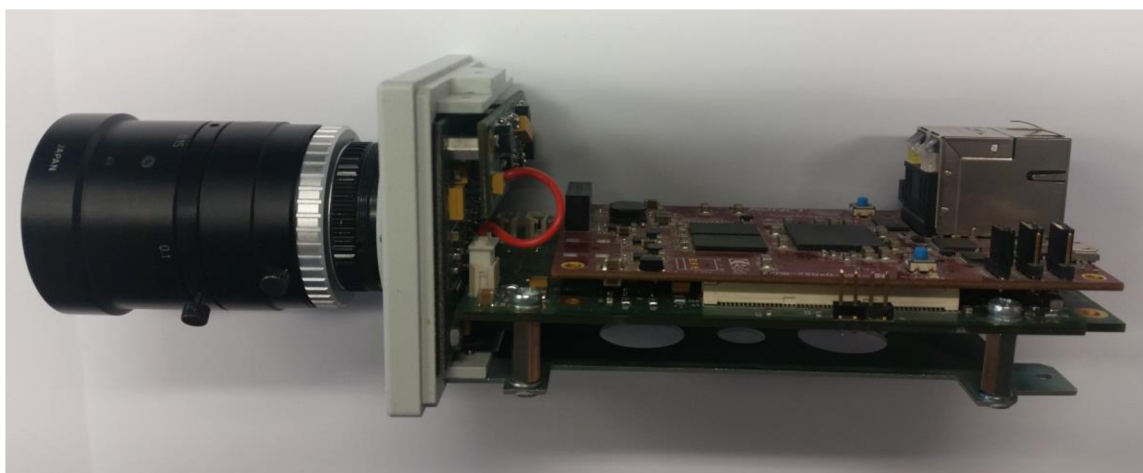
Návrh řešení s využitím paměťových modulů je založen na integraci dvou modulů SODIMM typu DDR3, které rozšíří kapacitu zařízení až o 32 GB. Návrh bude téměř nezávislý na nadřazené vývojové desce MicroZed a bude ukládat zaznamenaná data do jednoho či do druhého modulu. Šířka datové sběrnice těchto pamětí je 64 bitů (oproti osmi v předchozím návrhu), proto bude možné zvolit nižší pracovní frekvenci pro zápis videosekvence. Sníží se tak riziko přeslechů na datových linkách.

Firma PSI, pro kterou je projekt vytvářen, vybrala pro výrobu řešení s využitím paměťových modulů. Tento návrh byl zpracován do podoby čtrnáctivrstvého plošného spoje v programu PADS. Finální DPS byla poptána ve firmě Gatema, která se zabývá výrobou plošných spojů. Byly vyrobeny a plně osazeny dva prototypové kusy pro testování funkčnosti návrhu jako celku.

1 Rozbor zadání diplomové práce

Prvním důležitým krokem při řešení této diplomové práce je rozbor požadavků na paměťový modul vysokorychlostní kamery na základě současného zařízení vysokorychlostní kamery. V tomto rozboru jsou uvedeny veškeré hlavní faktory, které ovlivňují počátek procesu návrhu, a postupně budou formovat samotné zadání. V úvodu této kapitoly jsou vyjmenovány základní vlastnosti některých prvků vysokorychlostní kamery. Z těchto vlastností jsou pak v závěru kapitoly odvozeny minimální požadavky pro samotný návrh.

1.1 Vysokorychlostní kamera



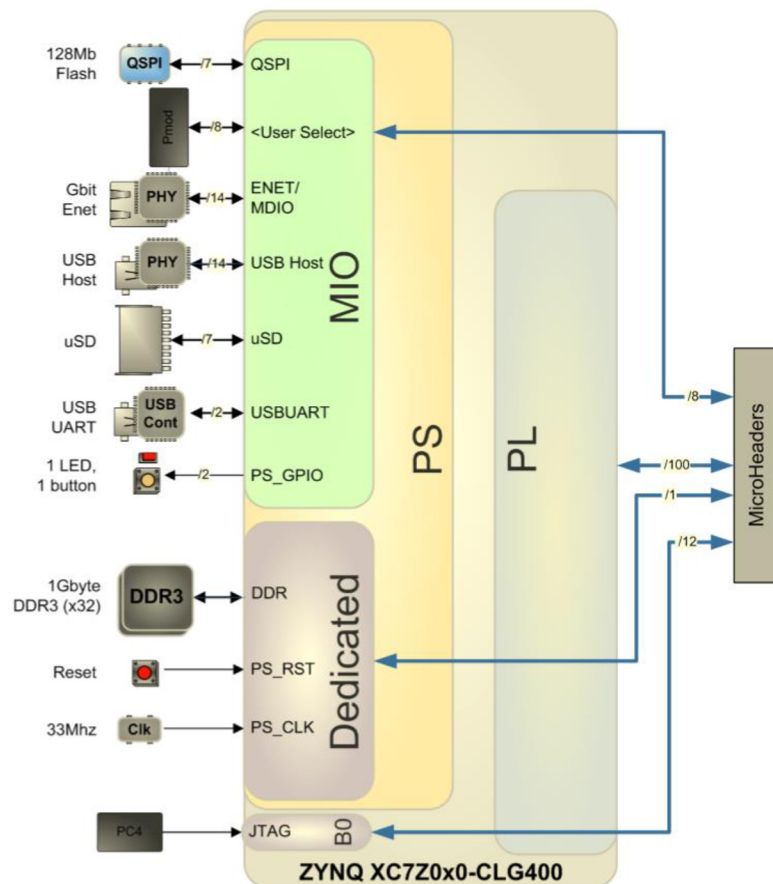
Obr.č. 1 Vysokorychlostní kamera bez kovového pouzdra

Vysokorychlostní kamera se skládá z několika modulů, které jsou spojeny pomocí konektorů a kabelů. Celé zařízení je chráněno kovovým pouzdem, které má otvory pro výstupní konektory, které umožňují spojení s jinými různými zařízeními. Na obrázku č. 1 je zobrazena vysokorychlostní kamera bez kovového pouzdra. Firma PSI, pro kterou je tato práce řešena, vyvinula mnoho verzí kamer, které jsou využívány v různých nadřazených systémech. Avšak je snahou, aby obsahovaly některé společné znaky či výstupy. Mezi základní druhy datových spojení jsou zařazeny Ethernet, mikro USB a kolíková lišta, na kterou je možné připojit libovolný propojovací kabel. Pomocí Ethernetu se připojují nadřazené řídicí systémy nebo je kamera připojena do lokální sítě. Z těchto systémů je kamera ovládána a veškeré datové výměny jsou uskutečněny pomocí technologie Ethernet díky tomuto kabelu. Univerzální kolíková lišta je například používána pro ovládání a regulaci světelných zdrojů. Mikro USB je převážně využíváno

pouze firmou pro konfiguraci obvodu FPGA (ovládající kamerový systém) a nahrávání nových softwarových verzí.

1.2 MicroZed

Hlavním řídicím prvkem vysokorychlostní kamery je vývojová deska od firmy AVNET s názvem MicroZed. Firma PSI vybrala tuto desku jako vhodný vývojový nástroj, který není drahý a obsahuje veškeré nutné periferie pro řízení vysokorychlostní kamery. Centrální řídicí jednotkou je programovatelný FPGA čip Zynq 7010, který je kompromisem řady Artix 7 a jádra procesoru ARM Cortex A9. Výhodou této kombinace je procesorové zpracování video signálů s integrovanými periferiemi a jednoduchá implementace vlastních funkcí. Jednou z periferií je Gigabit ethernet standard, který umožňuje připojení k jakémukoliv počítači. Samotná kamera totiž nemá dostatečné množství úložného místa pro natáčená videa, proto je zapotřebí přemístit natočené video například do připojeného počítače. Na obrázku číslo 2 je znázorněno blokové schéma vývojové desky, které obsahuje rychlé paměti DDR3, které však nejsou pro danou aplikaci dostatečně velké. Aktuálně jsou plně využívány a jsou značným omezením maximální doby videosekvencí. [2]

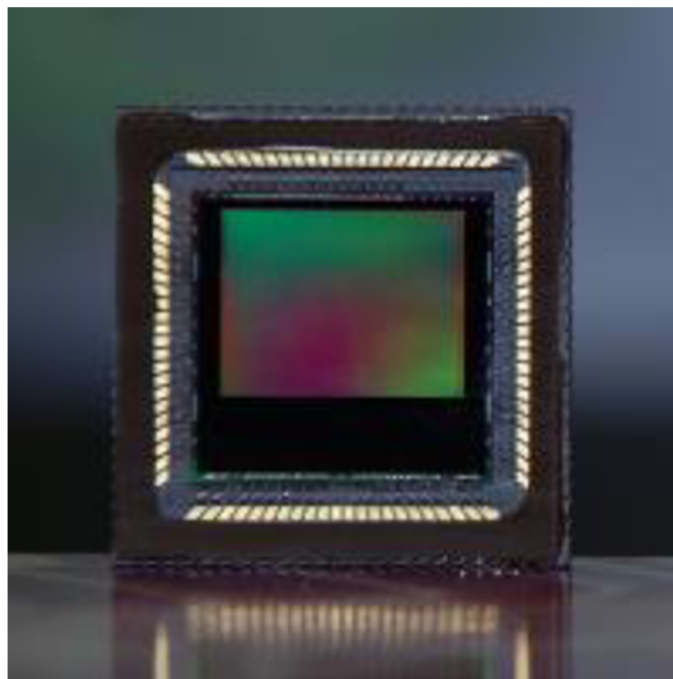


Obr.č. 2 Blokové schéma vývojové desky MicroZed [2]

Vývojová deska obsahuje dvě kolíkové lišty (o sto vývodech) a pomocí sendvičové struktury je spojena s plošným spojem vyvinutým firmou PSI, který má za úkol propojit datové a adresové linky pro CMOS čip kamery. Na plošném spoji se také nachází například regulátory sloužící k tvorbě některých napájecích úrovní potřebných pro celý systém.

1.3 Lux1310

Hlavní částí vysokorychlostní kamery je CMOS digitální senzor, který je zobrazen na obrázku č. 3. Tento senzor je připojen kolmo k řídicí desce pomocí konektoru tak, aby byl zintegrován v předním krytu kamery. Senzor Lux1310 je nabízen na trhu pro mnoho oblastí využití jako například čtení čárových (barcode) kódů, analýzu pohybu a jiná průmyslová využití. Jeho vlastnosti určují hlavní podmínky celého návrhu. Základní vlastnosti senzoru Lux1310 jsou uvedeny v tabulce 1. [3]



Obr.č. 3 CMOS senzor Lux1310 [3]

Velkou výhodou tohoto senzoru jsou dobré dynamické vlastnosti rozlišení a rychlost snímkování. Maximální rychlost snímkování se odvíjí od nastaveného rozlišení. Při nastavení maximálního rozlišení 1280 x 1024 pixelů může senzor snímat až 1000 snímků za vteřinu. Pokud budeme toto rozlišení snižovat, jak je uvedeno v tabulce 1 můžeme například dosáhnout rychlosti 8300 snímků za vteřinu při rozlišení 256 x 256 pixelů. Tuto

rychlost lze zvýšit až do extrému milión snímků za vteřinu. Lukrativnější je však střední rozlišení s vysokou rychlostí snímkování.

Tabulka 1 Vlastnosti CMOS senzoru LUX1310 [3]

Maximální rozlišení	1280 x 1024 pixelů
Rychlost snímkování	1070 snímků/s (1280x1024) 4165 snímků/s (640x512) 8300 snímků/s (256x256)
Analog - digital konverter	12 b
Analogový zisk	1x až 16x
Hodinový signál	25 MHz až 90 MHz
Výstupní data	16 LVDS portů 300 Mb/s pro jeden port (25 MHz) 1080 Mb/s pro jeden port (90 MHz)
Napájecí napětí	1,8 V
Energetická spotřeba	2 W při maximálním rozlišení a snímkování
Barevný filtr	RGB nebo monochromní
Rozsah pracovních teplot	- 40 °C až 70 °C

1.4 Specifikace nutných vlastností paměťového modulu

Návrh má být proveden jako implementace paměťového modulu do současné verze vysokorychlostní kamery. Jeho maximální rozměr 65 mm x 118,5 mm je definován velikostí kovového pouzdra kamery a jeho výška 1,5 cm distančními sloupky. Bude uchycen pomocí čtyř spojovacích sloupků. Bude obsahovat dva konektory, pomocí kterých bude umožněno vytvoření sendvičové struktury s vývojovou deskou MicroZed. Pro spojení se senzorem CMOS bude použit pravoúhlý konektor.

Vysokorychlostní kamera bude připojena k jedinému napájecímu zdroji (5 V či 12 V). Pro vývojovou desku a CMOS senzor konkrétně musí obsahovat zdroje napěťových úrovní: 1,8 V, 3,3 V a 5 V.

Senzor Lux1310 je ovládán několika řídicími signály s napěťovou úrovní 1,8 V. Data jsou zprostředkována pomocí 16-bitové datové sběrnice LVDS (Low Voltage

Differential signals), neboli nízkonapětovými diferenčními signály s úrovní 1,8 V. Senzor CMOS vyžaduje diferenční hodinové signály pro správnou synchronizaci přenosu dat. Ze specifikace maximální rychlosti senzoru a šířky datové sběrnice lze vypočítat rychlost přenosu dat. Při přenosové frekvenci 90 MHz je datová přenosová rychlost 1080 Mb za vteřinu pro jednu datovou linku. Pro celý systém je tedy přenosová rychlost 2,1 GB za vteřinu. Paměťový modul by měl podporovat plnou rychlost přenosu dat, tak aby byl zápis dat co nejjednodušší a mohl probíhat synchronně. [3]

1.5 Porovnání možných návrhů

Cílem návrhu je paměťový modul, který bude součástí zařízení vysokorychlostní kamery a bude podporovat přenosovou rychlost 1080 Mb za vteřinu, která vyplývá z maximální přenosové frekvence 90 MHz po 16-bitové LVDS sběrnici. Díky takto vysokému požadavku na rychlost je vhodné vytvářet návrh s paměťmi typu DDR3. V současné době je dostupnost DDR3 pamětí výborná a jejich podpora pro výrobu a design je aktuální a přístupná do určité míry i veřejnosti. Mnoho podobných technologií totiž není publikováno pro veřejnost či jsou součástí firemních tajemství. Pro tuto diplomovou práci tedy vyplývají dvě možná řešení. V následujících řešeních jsou uvedeny možnosti výběru komponent, avšak hlavní důvody výběru budou vysvětleny v kapitolách o jednotlivých částech návrhů.

Prvním řešením je integrace paměťových čipů přímo na desku plošného spoje a jejich ovládání pomocí některého FPGA obvodu. Paměťové čipy typu DDR3 se standardně vyrábí ve velikostech od 1Gb po 16Gb. Jejich maximální přenosová rychlost je většinou 1600 MT/s (MT/s = Megatransferů za sekundu) z čehož plyne pro návrh, že šířka sběrnice se musí zhruba rovnat šířce sběrnice pamětí. Pro 16-bitovou sběrnici CMOS senzoru tedy musí návrh obsahovat minimálně buď jednu 16-bitovou paměť nebo dvě 8-bitové paměti. Například pokud by návrh obsahoval dvě 8-bitové paměti, které se vyrábí s maximální kapacitou 8Gb, vysokorychlostní kamera by byla schopna zaznamenat videosekvenci o velikosti jedné vteřiny. Tato délka videa není dostatečně lákavá pro komerční účely.

Tuto konfiguraci by bylo možné kapacitně zdvojnásobit a to následujícím způsobem. Uvažujme například FPGA obvod X7CA50T – CSG324, který má k dispozici 4 banky programovatelných vstupů a výstupů (banka je funkční blok vstupů a výstupů se stejným napájecím zdrojem a společnou zemí). Dvě banky jsou zapotřebí pro spojení s nadřazeným systémem a CMOS senzorem. Zbývají tedy dvě banky pro návrh propojení s paměťmi. Jeden 8-bitový čip zabere adresovou i datovou sběrnici jednu celou banku. 16-bitový čip zabírá dokonce více než jednu banku a pro návrh se tak stává nevhodným. Pokud bychom však využili společného adresového prostoru, bylo by možné připojit ke dvou bankám až čtyři 8-bitové paměťové čipy. Sdílení adresové sběrnice přináší také mnoho nevýhod a nejistot v takovémto systému. Návrh by musel být dokonalý při tvorbě takzvané *fly-by* dělicí se adresové sběrnici. V takovémto návrhu by mohlo docházet

ke kritickým odrazům signálů a adresová linka by nemusela být spolehlivá [4]. Proto jsem se ve svém návrhu přiklonil k nesdílení adresové sběrnice a připojení tedy pouze dvou paměťových čipů o největší možné velikosti a to 8 Gb.

Integrace paměťových čipů přímo na DPS má mnoho výhod a nevýhod. Její výhodou by byla malá plocha zastavěného plošného spoje a možnost miniaturizace pro kamerový systém. Řídící FPGA obvod je možné vybrat z levnější řady, například Artix 7 XC7A50T – CSG324, který lze pořídit zhruba za 70 amerických dolarů a má pouze 324 kuličkových vývodů. Návrh tedy může být proveden na desce plošných spojů o menším počtu vrstev (odhadovaný počet vrstev 8) a bude jednodušší na realizaci. Nevýhodou návrhu je však extrémní náročnost navýšení kapacity a nepružnost v oblasti změny kapacity paměti.

Druhým řešením je integrace již hotových paměťových modulů do zařízení vysokorychlostní kamery. Díky rozměrovým omezením připadají v úvahu jediné paměťové moduly typu DDR3 SODIMM. Tyto moduly jsou nejčastěji využívány v notebookech a jsou vyráběny ve velké kapacitní škále. Teoreticky by univerzálnost těchto modulů mohla znamenat pro zákazníka, že může specifikovat požadavek na maximální kapacitu. V současné době se vyrábí SODIMM paměti typu DDR3 s maximální kapacitou 16 GB. Zmíněná paměť 16 GB by dokázala uložit videosekvenci o délce 8 vteřin.

Při podrobném prozkoumání rozměrů kamerového systému bylo zjištěno, že je možné umístit dvě konektorové patice ze spodní strany DPS a vytvořit tak návrh až pro maximální kapacitu 32 GB. Patice musejí být umístěny naproti sobě a každá s jinou výškou umístění DDR3 modulu. Jedna bude například 5,2 mm vysoká a druhá 9,2 mm vysoká. Existují patice pro uchycení SODIMM paměti i v nižší výšce, ale ve vysoce integrovaném návrhu je takový konektor nevhodný, protože se pod uchycený modul nevejdou rozměrově jiné součástky a hrozilo by vodivé spojení s DPS.

Uvažujme dva SODIMM konektory s šířkou datové sběrnice 64 bitů a celkovým počtem vývodů 204. Pro tuto konfiguraci a řízení je zapotřebí FPGA obvod, který má volných šest bank programovatelných vstupů a výstupů. Jeden paměťový modul totiž vyžaduje téměř celé tři banky. Dále bude zapotřebí dvě volné banky pro propojení s nadřazeným systémem a CMOS senzorem. Když sečteme potřebný počet programovatelných vstupně výstupních vývodu dostaneme minimální počet 400. Při výběru FPGA obvodu z portfolia firmy Xilinx zjistíme, že minimální pouzdro tohoto obvodu je s 676 vývody. Důležité při výběru je také nezapomenout na potřebnou licenci pro programovou podporu obvodu. Pro veškeré typy programovatelných obvodů z řady Artix 7 a nižší lze získat licenci zdarma při registraci na internetu. Obvody řad vyšších jako jsou Kintex a Virtex již mají placenou licenci řádově v hodnotě 3500 dolarů.

Tento druhý návrh má oproti prvnímu několik výhod a nevýhod. Hlavní výhodou je maximální kapacita až 32 GB, pomocí které by bylo možné zaznamenat až 16 vteřin videozáznamu. Další výhodou, která se pojí s SODIMM pamětmi je flexibilita výměny

modulu. Je možné vložit jakýkoliv modul od kteréhokoliv výrobce, protože jsou vyráběny podle celosvětových standardů. Pro libovolného zákazníka by tedy bylo možné vždy upravit kapacitu paměti na míru a podle přání. Mezi nevýhody tohoto návrhu můžeme řadit hlavně vyšší výrobní náklady. Složitý FPGA obvod například XC7A200T – FBG676 se prodává na trhu řádově okolo 250 dolarů a paměťové moduly jsou také řádově dražší než samotný paměťový čip. Důležitým aspektem je složitost výsledného návrhu. Design bude mít hustší integraci komponent díky - většímu FPGA obvodu, dvěma paměťovým modulům (každý s 204 vývody) a nutnosti tyto paměťové moduly umístit na desce plošného spoje naproti dvěma konektorům, které spojují plošný spoj s vývojovou deskou. Při omezení rozšíření rozměrů plošného spoje bude narůstat počet potřebných vrstev. Firma Xilinx uvádí, že BGA pouzdro s 676 vývody vyžaduje při plném zapojení minimálně čtyři až pět aktivních vrstev. Tím pádem se zvyšuje minimální počet vrstev z osmi alespoň na dvanáct a více.

2 Zpracování signálu z kamery

V kapitole zpracování signálu z kamery jsou popsány základní pojmy a součástky, které byly použity či jsou důležité pro vlastní návrh a pochopení jeho funkčnosti. Je zde uvedeno, co to jsou programovatelná pole a jakým způsobem fungují. Jsou zde rozebrány ty nejdůležitější pojmy pro základní pochopení programovatelných obvodů. Dále je zde popsána funkce DDR3 paměti s některými důležitými parametry pro pochopení návrhu paměťového modulu. Součástí tohoto úvodu jsou také pojmy jako například LVDS signály či impedanční přizpůsobení kritických signálových cest.

2.1 Programovatelná hradlová pole

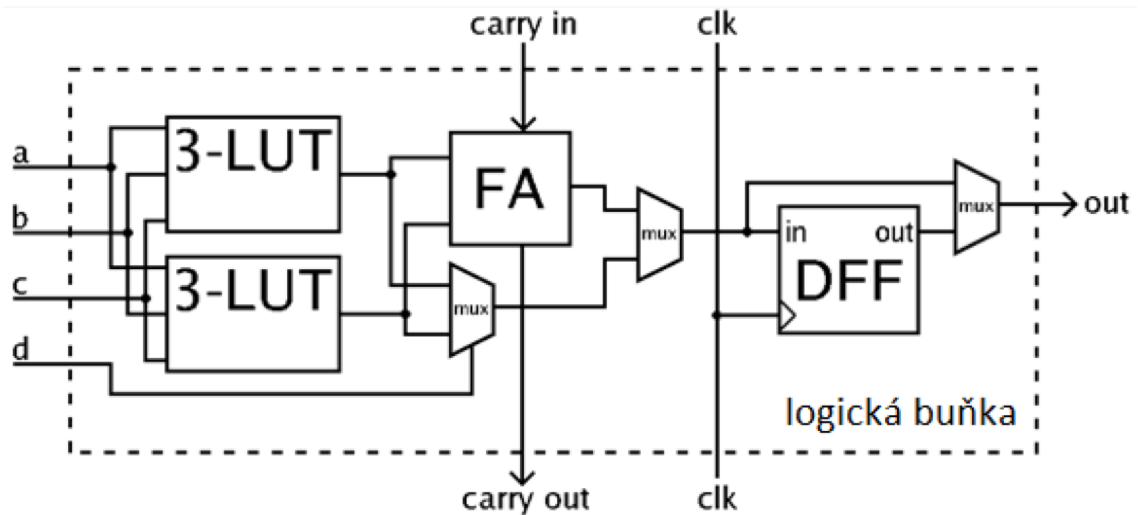
Programovatelná hradlová pole (FPGA, Field Programmable Gate Array) jsou speciální číslicové integrované obvody obsahující různě složité programovatelné bloky propojené konfigurovatelnou maticí spojů. Zákazník může pomocí programové podpory (Verilog nebo VHDL jazyku) takovýto obvod opakovaně rekonfigurovat a využít v řadě odlišných aplikací.

Obvody FPGA dnes nacházejí uplatnění v široké škále aplikací díky své programovatelnosti, snadnému návrhu, flexibilitě, neustále klesajícím cenám a zvolna se snižující spotřebě energie čipem. Typické použití je v oblasti menších sérií navrhovaných zařízení, kdy se nevyplatí návrh zákaznického integrovaného obvodu a současně konvenční řešení systému s procesorem už není vhodné (mohou být rychlejší). Další aplikace můžeme nalézt například v oblasti prototypování složitějších zákaznických integrovaných obvodů. Velká programovatelná hradlová pole dnes umožňují i implementaci komplikovaných procesorů. [5]

2.1.1 Architektura programovatelných hradlových polí

Základními stavebními prvky programovatelných hradlových polí jsou logické buňky, I/O vývody a propojovací kanály.

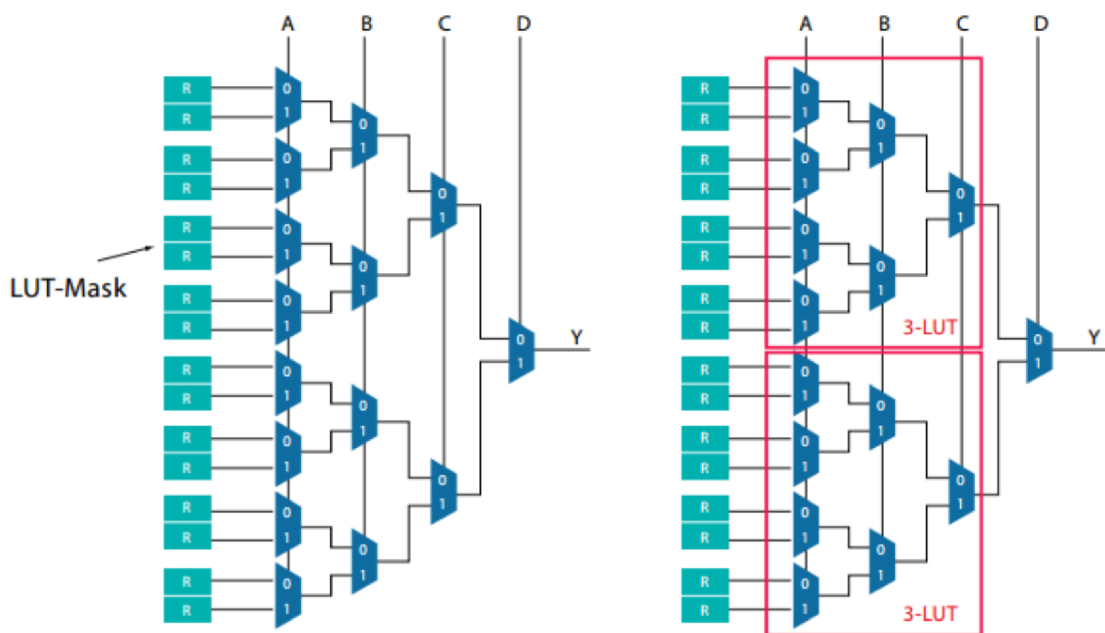
Logické buňky se většinou skládají z vyhledávací tabulky neboli LUT (Lookup table), úplné sčítačky a klopného obvodu typu D jako je například znázorněno na obrázku č. 4. Vyhledávací tabulky plní jednu ze základních úloh programovatelných obvodů. Dokáží totiž v sobě uložit pravdivostní tabulku pro překlad Booleovských funkcí většinou s čtyřmi až šesti vstupními proměnnými. [6]



Obr.č. 4 Logická buňka obvodu FPGA [6]

Počet LUT určuje složitost FPGA obvodů a omezuje možnosti použití těchto obvodů. Výrobce nabízí mnoho variant obvodů s různými počty vyhledávacích tabulek, protože jejich nevyužití zvyšuje zbytečně cenu produktů a také neefektivnost řešení/implementace.

Na obrázku č. 5 je znázorněna funkce vyhledávacích tabulek. Skládá se z LUT masky neboli konfiguračních bitů, které jsou uloženy v SRAM paměti. Tato konfigurace je pak přenesena do řady multiplexorů, které vybírají a předávají signály tak, že ve výsledku vytvoří potřebnou pravdivostní tabulku a nastaví podle ní výstup. V logických buňkách se většinou vyskytují dvě třívstupové tabulky.



Obr.č. 5 Konfigurace LUT [7]

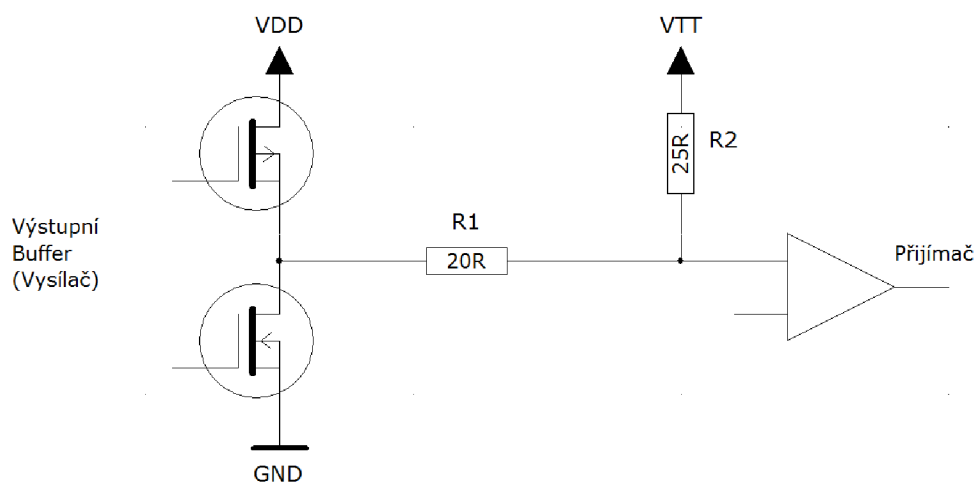
Dražší a náročnější FPGA obvody používají také kromě programovatelných buněk pevné bloky. Tyto bloky mají specifickou funkci s větším výkonem. Obsahují například vysokorychlostní multigigabitové přijímače a vysílače. Nejsou postaveny z vyhledávacích tabulek, ale z rychlých tranzistorů. Dále mezi pevné bloky můžeme zařadit například různé druhy implementovaných pamětí či DSP (digital signal processing) bloků, které umožňují vytvořit jednoduché rychlé funkce jako jsou AND, OR, XOR atd..

2.2 Paměť typu DDR3 SDRAM

Paměť typu DDR3 spadá pod kategorii SDRAM (Synchronous Dynamic Random-Access Memory) neboli synchronní dynamické paměti s náhodným přístupem. Je to paměť, která je synchronní s řídicími obvody, což znamená, že je zapotřebí externího hodinového signálu. SDRAM technologie je široce využívána v počítačových systémech, avšak byla ihned následována lepší technologií DDR (double data rate neboli dvojího datového zápisu). Jakákoliv změna je zaznamenána při nástupné i sestupné hraně hodinového signálu. Existuje několik generací DDR pamětí, těmi nejnovějšími jsou DDR5.

Pipelining (překrývání strojových instrukcí) je, že čip může přijímat nové příkazy ještě předtím, než provedl a zpracoval příkazy předchozí. Pro zápis dat tato technologie umožňuje zapisovat neustále bez čekání na reálně zapsaná data do paměti. Pro čtení s pipeline technologií lze po čtecím příkazu několik pevně daných hodinových signálů posílat dodatečné příkazy. [4]

Paměť typu DDR3 se liší od předchozích typů DDR pamětí standardem JEDEC SSTL_15, který definuje tranzistorový výstupní buffer. Hlavním rozdílem je velikost napájecího napětí, které se s technologií zmenšuje. Pro DDR2 paměti bylo 1,8V nebo 1,9V. Na obrázku číslo 6 je zobrazen standard pro výstupní buffer DDR2 paměti, jelikož podobný standard pro DDR3 paměti není zveřejněn. [8]



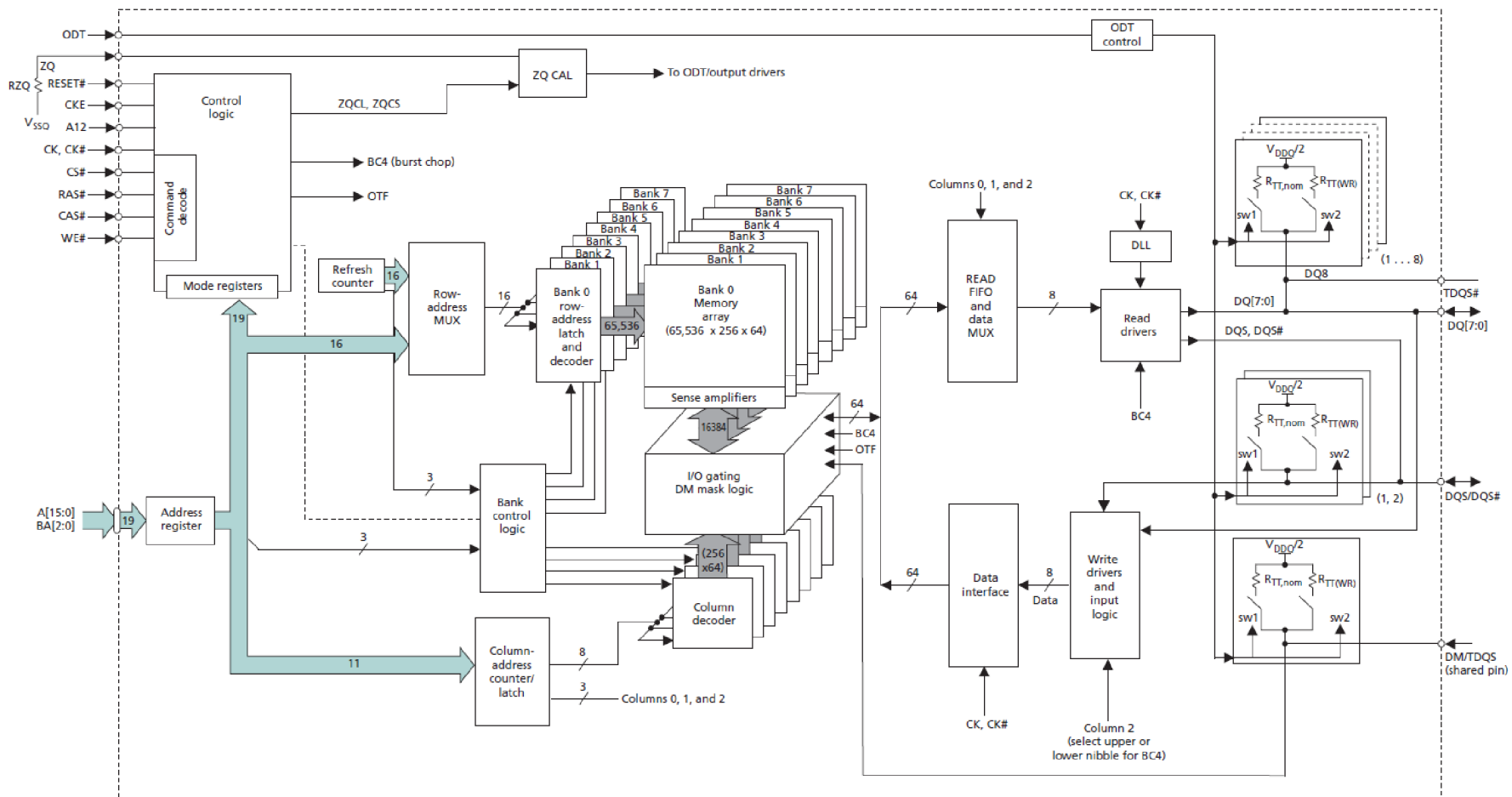
Obr.č. 6 SSTL_18 výstupní buffer [8]

Rychlost DDR paměti je dána frekvencí hodinového signálu. Tyto moduly využívají jak nástupné hrany, tak sestupné hrany, čímž zvyšují přenos dat za vteřinu dvojnásobně. Reálná frekvence vstupního hodinového signálu tedy může být například 800 MHz a přenosová rychlost tedy bude 1600 MT/s (mega transferů za vteřinu). Tato frekvence je však pro vnitřní vyčítání příliš vysoká. Proto se využívá techniky předpokládaného vyčítání. Pro DDR3 je tento zásobník 8 bitů hluboký, oproti DDR2, kde je 4 bity hluboký. Tuto techniku lze také chápat, že vnitřní paměť je synchronizována se čtvrtinovou frekvencí. Předpokládaný výčet se dočasně ukládá do výstupního bufferu a je vyčítán již jen jednou za hodinový signál, který tím pádem musí být dvojnásobný. Pro lepší představu paměť s rychlostí přenosu 1600MT/s funguje ve skutečnosti na frekvenci 200 MHz.

Na obrázku číslo 7 je zobrazeno blokové schéma vybrané paměti s kapacitou 8 Gb a šířkou datové linky 8 bitů. Diagram je rozdělen na dvě hlavní části. Z levé části přichází řídicí signály z mikrokontroléru jako například ODT, CS# nebo adresová sběrnice. Tato část nastavuje veškeré druhy zápisů a kontroluje správné používání paměti a integritu signálů. Adresová sběrnice určuje, do které banky a kterou pozicí začíná zápis. Ve středu diagramu je znázorněno rozložení a propojení jednotlivých bloků paměti. Paměť je rozdělena do osmi bank, z nichž každá obsahuje 65 536 řádků, 256 sloupců o délce slova 64 (jelikož data jsou osmi bitová a DDR3 paměti předpokládají vyčtení 8 slov během jednoho kroku). [4]

V pravé části se nacházejí datové signály, které mají nastavitelná zakončení. Tyto terminace lze nastavit pomocí řídicího signálu ODT. Velikost těchto odporů je klíčová pro integritu signálů. DDR3 paměti mají výhodu, že spínání těchto zakončení může být dynamické čímž se zvyšuje rychlost přeběhu signálu. Důležitou součástí terminací je také možnost kalibrace a tak snížení nechtěných odrazů signálů na vedení. Pro zachování jednoduchosti lze nevyužít vnitřních odporových zakončení a definovat datovou linku jiným způsobem, který bude dále popsán.

V následujících dvou krátkých kapitolách budou rozebrány metody zakončení vedení a jeho přizpůsobení. Doporučené techniky jsou přímo od výrobce paměťových čipů Micron. Způsoby se liší pro datovou a adresovou sběrnici, tak aby bylo dosaženo co největší integrity signálu a nedocházelo k odrazům a následným přeslechům. Na tyto pravidla je nutné myslet a pamatovat při návrhu plošného spoje, rozložení spojů a nastavení jejich impedančních přizpůsobení. Většina návrhových programů dokáže impedance vedení spočítat, avšak musí být správně zadány fyzikální konstanty pro specifický materiál desky plošného spoje.



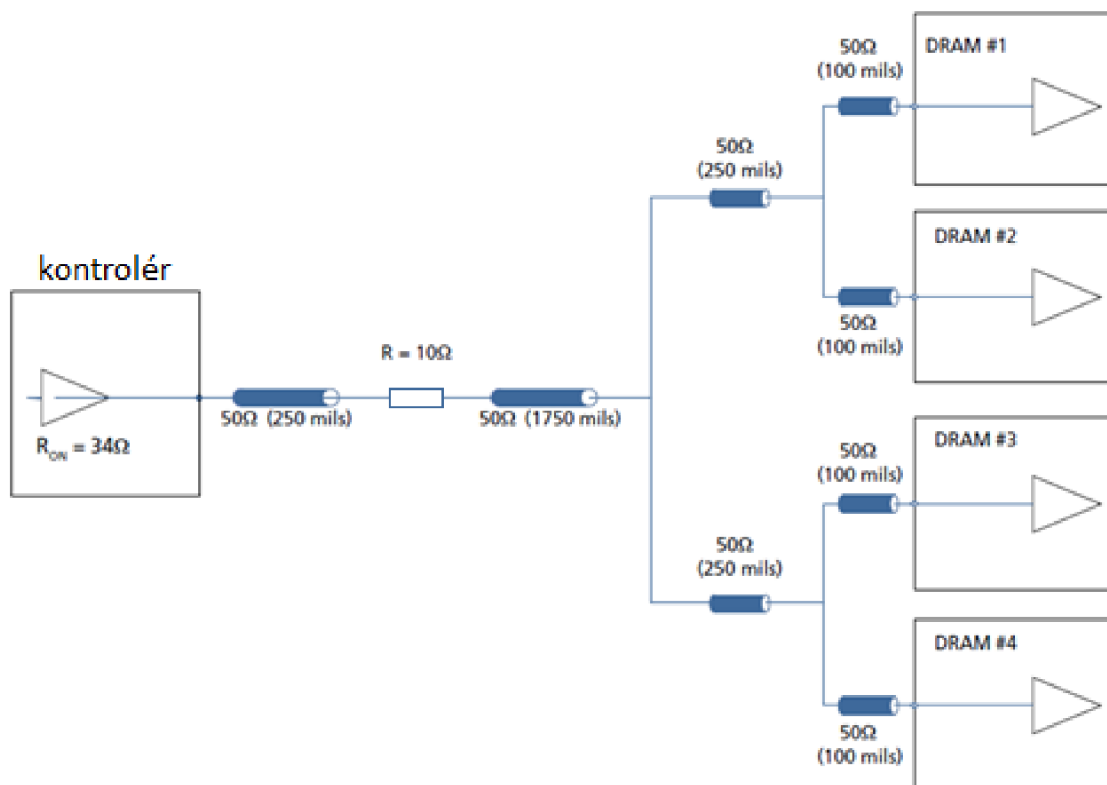
Obr.č. 7 Blokové schéma paměti DDR3 [4]

2.2.1 Impedanční zakončení adresové sběrnice

Terminace systémů spojení jednoho kontroleru s jedním paměťových čipem jsou většinou přímočaré: impedance kontroleru by měla být stejná jako impedance vedení. Pro posílení signálu lze použít sériových odporů. U adresových sběrnic by takovéto odpory měli být umístěny co nejbližší kontroleru, maximálně se blížit polovině vzdálenosti k paměti. Existuje několik doporučených variací terminací. Pro svůj návrh jsem vybral techniku zvanou stromové větvení se sériovými odpory. Tento způsob má průměrné vlastnosti oproti jiným, ale vyniká v jednoduchosti tvorby DPS, takže obsahuje méně komplikací při návrhu. Porovnání vlastností oproti ostatním technikám je v tabulce 2. Na obrázku číslo 8 je zobrazena tato technika přizpůsobení vedení s odporem $50\ \Omega$ a sériovým odporem $10\ \Omega$. Kontrolér musí mít odporové zakončení o velikosti $34\ \Omega$ neboli $ZQ/7$ (Externí rezistor o velikosti $240\ \Omega$). [9]

Tabulka 2 Porovnání vlastností [9]

Terminace	překmit [ps]	rychlost přeběhu [V/ns]	rozdíl napětí [mV]
Větvící - V _{tt} a R	5	1,5	140
Větvící - bez R	28	1,7	510
Větvící - $10\ \Omega$ R	33	2,2	560
Fly by	5	2,2	100



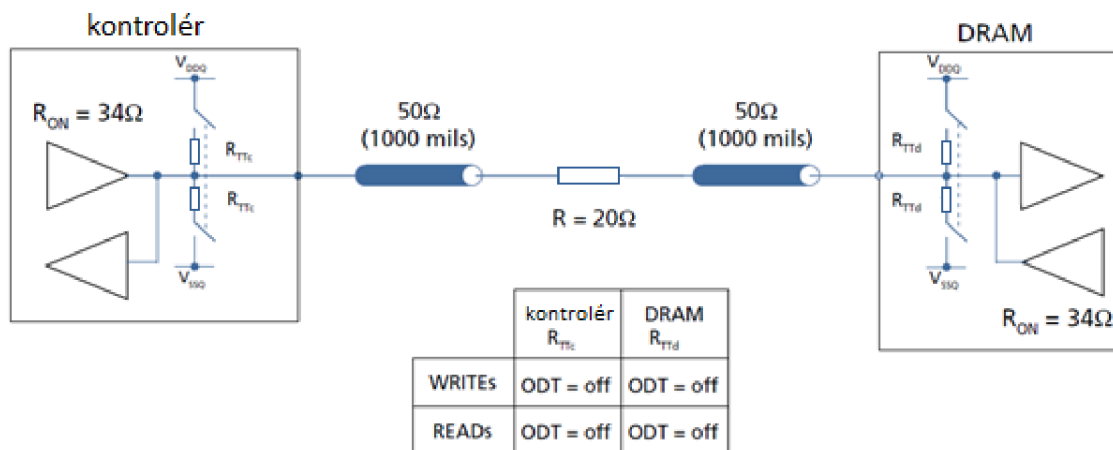
Obr.č. 8 Přizpůsobené vedení se sériovým odporem [9]

2.2.2 Impedanční zakončení datové linky

Pro návrh zakončení datové linky existují pouze dvě možnosti. Jedním z řešení je použití sériových odporů nebo přímým spojením, za použití ODT spínaného zakončení. Navíc DDR3 paměti podporují dva druhy velikostí zakončení - 34Ω a 40Ω , pro větší shodnost s impedancí datové linky při vyčítání hodnot, jak je zobrazeno na obrázku číslo 9. [9]

Obecně terminace pomocí sériových odporů přináší akceptovatelnou kvalitu signálu bez nutnosti ovládání ODT. Z toho plyne ušetření energie při zápisech a čteních. Při návrhu této techniky je zapotřebí umístit odpory uprostřed mezi kontrolér a paměťový čip. Tato podmínka může být komplikací při návrhu širších datových sběrnic, díky velkému zabranému prostoru odpory.

Technika připojení datové linky napřímo a spínaného zakončení ODT přináší větší kvalitu signálů, avšak přináší mnoho komplikací pro naprogramování mikrokontroleru, tak aby byly spínány odpory ve správný čas a o správné hodnotě (40Ω , 60Ω , 120Ω).

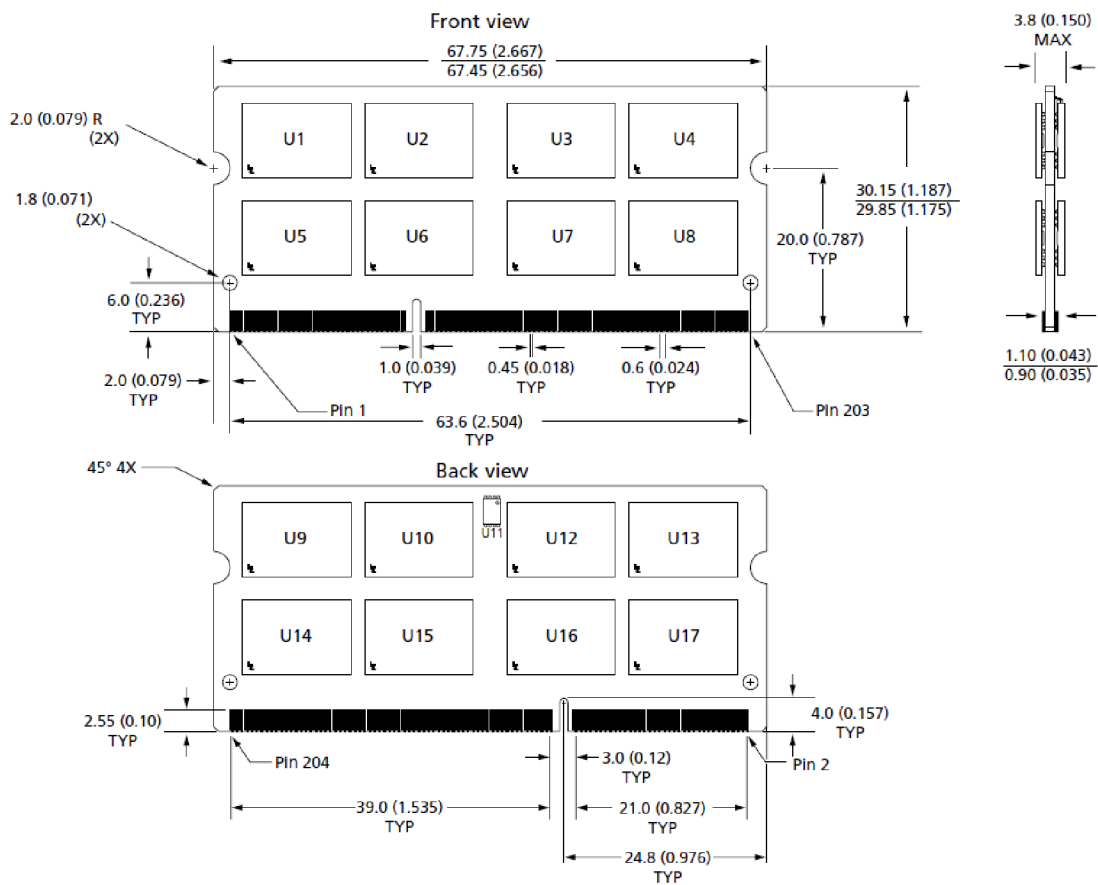


Obr.č. 9 Zakončení datové linky se sériovým odporem [9]

2.3 Paměťový modul DDR3 SODIMM

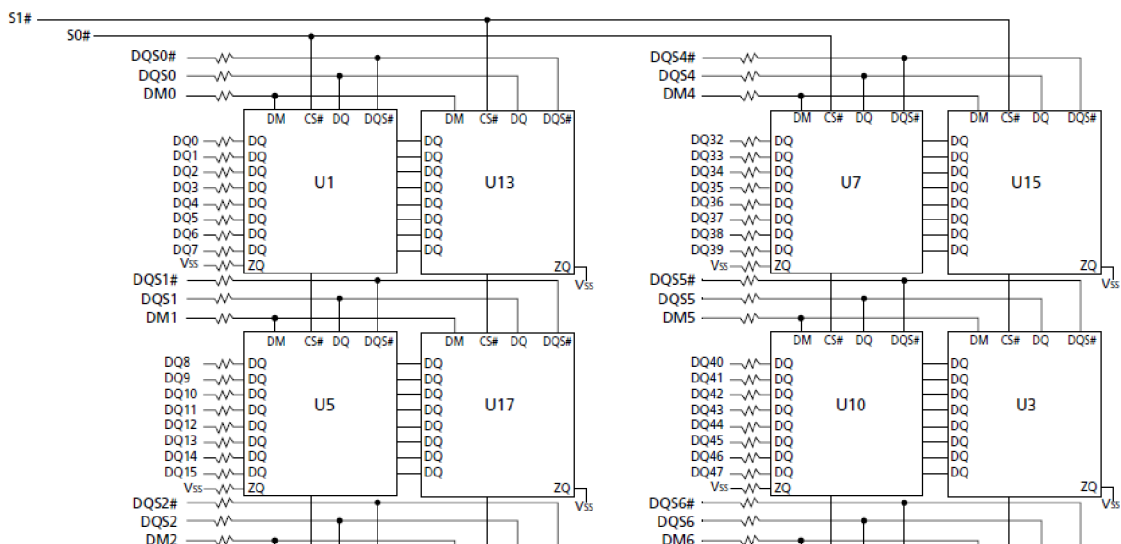
Paměťové moduly SODIMM (small outline dual in-line memory module) patří do kategorie počítačových paměťových modulů DIMM (dual in-line memory module). Avšak mají zhruba poloviční rozměrovou velikost. Existuje několik celosvětových standardů paměťových modulů typu DDR3, ovšem všechny jsou navrženy tak, aby nebylo možné je zaměnit s předchozími typy paměti typu DDR a DDR2. Tyto paměťové moduly jsou řazeny do dvou kategorií. S šířkou datové sběrnice 64 bitů a 72 bitů. Jsou vyráběny o různých kapacitách v rozmezí od 2 GB do 16 GB. Mohou se také například lišit maximální rychlostí přenosu dat, který se liší jednotlivými výrobci. Například firma

Micron nabízí tyto moduly s maximálními rychlostmi přenosu dat 1600 MT/s nebo 1866 MT/s. V následujících odstavcích je stručně rozebráno složení těchto paměťových modulů.



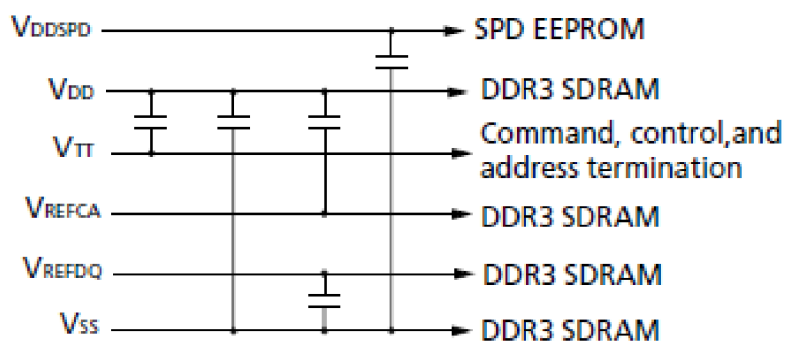
Obr.č. 10 Rozměry modulu SODIMM (v milimetrech) [10]

Na obrázku č. 10 jsou zobrazeny rozměry SODIMM modulů s rozmístěním důležitých komponent. Moduly jsou osazeny jednotlivými paměťovými čipy z obou stran a veškeré důležité vývody jsou vyvedeny na kontaktní plošky, které zapadají do konektoru. Tyto plošky jsou v řadě z obou stran. Paměťový modul má po stranách oblé výřezy, které zapadají do kovového uchycení. Na obrázku č. 10 můžeme vidět, že samotný modul obsahuje šestnáct paměťových čipů a jeden integrovaný obvod s EEPROM pamětí, ve které jsou zapsány kritické časové konstanty. Polovina 256 bytové paměti je zaplněna JEDEC standardy JC-45. Druhá polovina této paměti je uvolněna pro jakékoliv využití. Tato paměť také slouží k detekci připojení celého modulu a jeho identifikaci. [10]



Obr.č. 11 Ukázka zapojení paměťových čipů na modulu SODIMM [10]

Funkční blokový diagram zobrazený na obrázku č. 11 slouží k základnímu pochopení ovládání jednotlivých paměťových čipů. Je zde využíváno šestnácti 8bitových obvodů, z čehož plyne že při 64-bitové datové sběrnici může být polovina integrovaných obvodů zablokována. K tomuto účelu slouží signály S1# a S0#. Díky zablokování poloviny obvodů, může být sdílen společný datový prostor pro čipy, které se nachází přímo naproti sobě z vrchní a spodní strany DPS. Velice důležitou vlastností paměťových modulů je přítomnost nutných kondenzátorů a zakončovacích rezistorů přímo na plošném spoji modulu. Díky tomu je možné integrovat modul bez nutnosti vkládání velkého počtu kondenzátorů do návrhu. Některé z integrovaných kondenzátorů jsou zobrazeny na obrázku č. 12. [10]



Obr.č. 12 Integrované kondenzátory na paměťovém modulu [10]

Důležitou součástí paměťových modulů jsou také konektory, do kterých modul můžeme vložit. Tyto patice jsou vyráběny mnoha firmami v řadě variant s drobnými rozdíly vlastností a ceny. Ve většině případů jsou vyráběny z tvrdých plastů, které splňují ROHS certifikaci. Na obrázku č. 13 je zobrazen obecný SODIMM konektor. Některé konektory jsou pozlacené pro větší mechanickou a chemickou odolnost. Hlavními rozdíly pro použití konektoru v designu je výška uchycení modulů. Mezi nejčastější výškové rozměry řadíme: 4 mm, 5,2 mm, 8 mm a 9,2 mm. Při rozhodování výběru konektorů je důležité nezapomenout, aby se na plošném spoji pod uchyceným modulem nenacházela příliš vysoká součástka, která by mohla zkratovat modul, či úplně znemožnit jeho upevnění. Při výběru výšky 4 mm je vhodné ne vkládat pod modul žádné součástky. Pro velikost 5,2mm je již možné použít malé SMD pasivní součástky jako například důležité kondenzátory.

Patice také umožňují částečné překrývání paměťových modulů přes sebe. Při použití různých výšek, které mají alespoň rozdíl 4 mm, je možné umístit konektory těsně vedle sebe, tak aby byly moduly nad sebou. Tohoto faktu je často využíváno v noteboocích s vysokou integrací, kdy se vkládá nejprve spodní modul, poté vrchní.

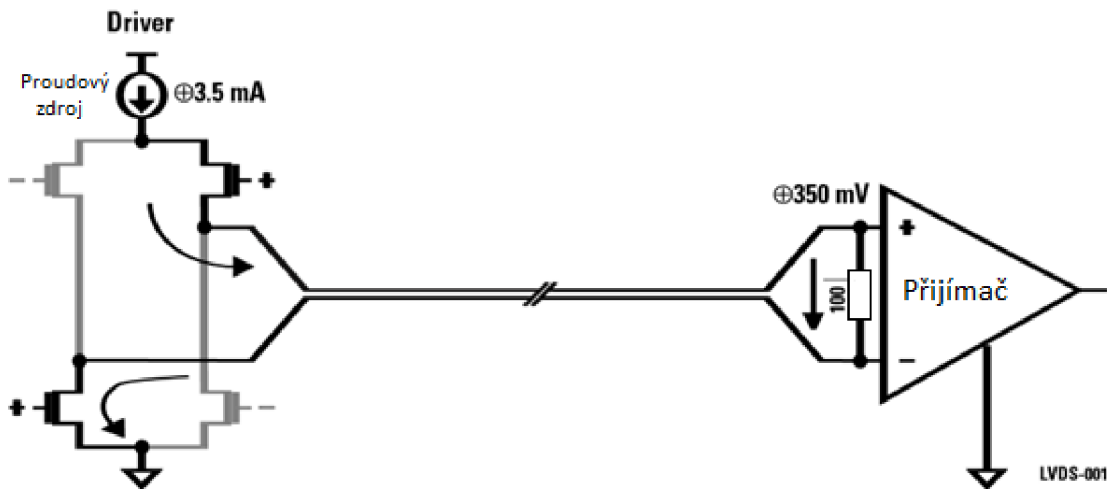


Obr.č. 13 SODIMM konektor pro povrchovou montáž [11]

2.4 LVDS signály

Low Voltage Differential Signaling (LVDS) neboli nízkonapěťové diferenciální signály jsou novou technologií, která odpovídá moderním potřebám velkých přenosových rychlostí a malé energetické spotřebě. LVDS se stává nejpopulárnější moderní diferenciální přenosovou linkou. Dosahuje totiž přenosových rychlostí gigabitů za vteřinu při spotřebě v řádu miliwattů.

Mezi základní výhody můžeme řadit například: nízká spotřeba s vysokým přenosem dat, kompatibilita s nízkými napětími, nízká generace šumu, velká odolnost vůči okolnímu rušení a robustnost přenosové linky.



Obr.č. 14 LVDS funkční schéma [11]

Na obrázku č. 14 je zobrazeno funkční schéma, které popisuje jak standard LVDS pracuje. Vysílač obsahuje proudový zdroj klasicky o velikosti 3,5 mA, který dodává energii do obvodu. Jelikož přijímač má vysoký vstupní odpor, většina proudu protéká přes 100 Ω odpor. Na tomto odporu se vytváří úbytek napětí 350 mV. Pokud se vysílač přepne, tento proud změní směr a tak vytvoří pravdivostní logickou hodnotu 1 a 0. Existují dvě možnosti terminačních odporů – externí a interní. [12]

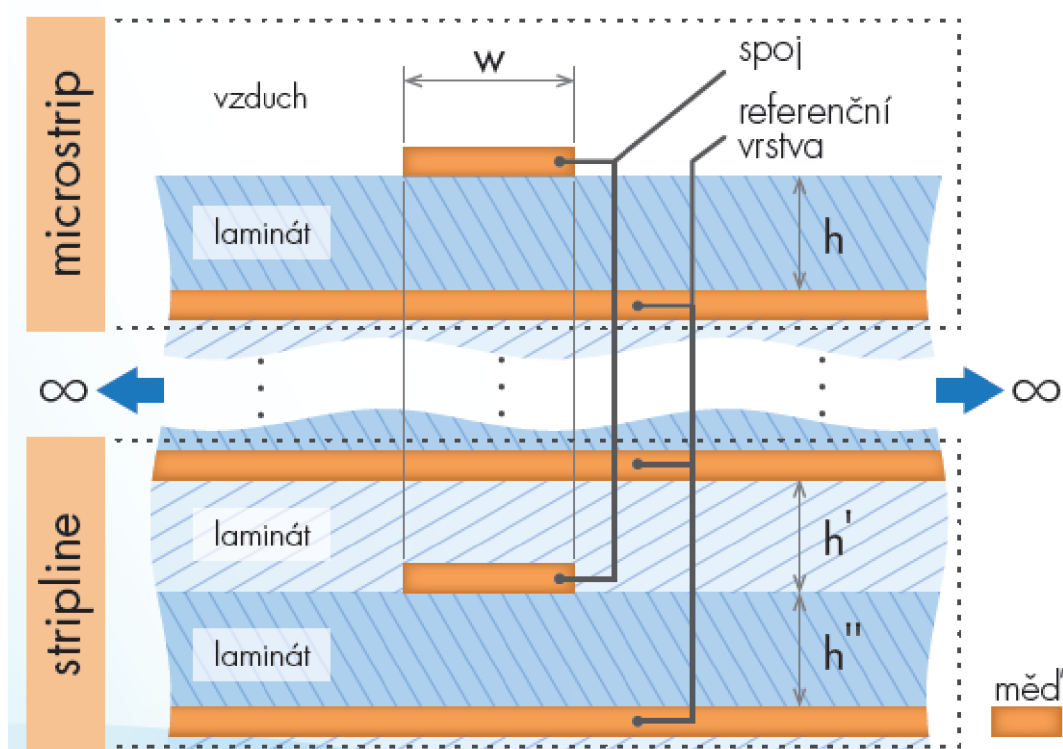
Firma Xilinx implementovala LVDS standard do všech FPGA obvodů sedmé řady a to o logických úrovních 1,8 V a 2,5 V. Možnosti připojení těchto signálů se u každého FPGA obvodu liší a jsou podrobně popsány ve specifikacích. Jedno z důležitých kritérií je jedná-li se o HR (high range – velký napěťový rozsah) banku nebo HP (high performance – velký výkon) banku.

2.5 Konstrukce spojů s definovanou impedancí

Pro konstrukci spojů s definovanou impedancí se používají dvě základní struktury. Jsou jimi microstrip (spoj na povrchu desky) a stripline (spoj uvnitř desky). Tyto struktury jsou názorně zobrazeny na obrázku č. 15 i s jejich okolím. Impedance závisí nejen na vlastním spoji, ale také na jeho okolí, které je definované při výrobě plošného spoje. Microstrip a stripline okolí definují v podobě předpokládaných dielektrických materiálů (laminát a vzduch) a takzvané referenční vrstvy, které definují částečně indukčnost a především kapacitu. Výslednou impedanci pak můžeme zjednodušeně vypočítat z následující rovnice 1. [13]

$$Z_0 \cong \sqrt{\frac{L}{C}} \quad (1)$$

Důležitost uvedených struktur spočívá ve známých a popsáných vlastnostech. Jsou k nim odvozeny základní vzorce jejichž výsledky jsou spolehlivé. Ze zadaných rozměrů a fyzikálních vlastností jsme schopni určit Z_0 a hlavně i naopak. Existuje několik internetových online kalkulačtorů, avšak v diplomové práci jsou uvedeny rovnice, ze kterých většina vychází.



Obr.č. 15 Ukázka řezu DPS se spoji typu microstrip a stripline [13]

2.5.1 Impedance struktury microstrip

Díky odvozené rovnici 2 jsme schopni vypočítat impedanci spoje microstrip. Rovnice obsahuje rozměrové vlastnosti struktury a dielektrickou konstantu laminátu - permitivitu. Většina proměnných je dána výrobou plošného spoje, kromě šířky w . Při řízení impedance postupujeme následovně. Nejprve vytvoříme koncept složení plošného spoje a konzultujeme jej s výrobcem. Následně ověříme pomocí rovnic (2) a (3) za jakých podmínek je možné vytvořit námi požadovanou impedanci spoje. Pokud výslednou impedanci nejsme schopni docílit v povolené konstrukční třídě, je zapotřebí

pozměnit složení plošného spoje. V následující rovnici 2 w znamená šířku spoje, h tloušťku laminátu, t tloušťku mědi a ϵ_r relativní permitivitu laminátu. [13]

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln \left[\frac{5,98 * h}{(0,8 * w + t)} \right] \quad (2)$$

Pro výpočet impedance diferenčního páru můžeme využít rovnice 3. Výpočet vychází ze známé impedance Z_0 a přidává novou proměnnou s (šířku mezery mezi spoji).

$$Z_{diff} = 2 * Z_0 * \left[1 - 0,48 * e^{-0,96 * \frac{s}{h}} \right] \quad (3)$$

2.5.2 Impedance struktury stripline

V praxi se většinou využívá struktur stripline, jelikož uzavření vysokorychlostních signálů uvnitř plošného spoje značně snižuje emisi elektromagnetického vlnění do okolí. Pomocí odvozené rovnice 4 a 5 jsme schopni vypočítat impedanci jednoduchého a diferenčního spoje. Rovnice obsahují proměnné h' a h'' jako tloušťky laminátů nad a pod spojem a h jako celkovou tloušťku. Ostatní parametry jsou stejné jako u microstrip struktury. [13]

$$Z_0 = \frac{80}{\sqrt{\epsilon_r}} * \ln \left[\frac{1,9 * (2 * h' + t)}{(0,8 * w + t)} \right] * \left(1 - \frac{h'}{4 * h''} \right) \quad (4)$$

$$Z_{diff} = 2 * Z_0 * \left[1 - 0,347 * e^{-2,9 * \frac{s}{h}} \right] \quad (5)$$

V svém finálním návrhu jsem veškeré diferenční a vysokorychlostní signály spojil pomocí struktur stripline, tak aby elektromagnetické záření bylo stíněno zemnicími vrstvami a nedocházelo k příliš velkému rušení desky MicroZed v sendvičové struktuře. V následujících vzorcích 6 až 7 je uveden postup při výpočtu definovaných impedancí linek. Výsledné parametry jsem poté pro jednoduchost sjednotil pro všechny signály, aby byla udržena jistá konzistence návrhu. Pro větší přehlednost jsou uvedeny veškeré potřebné parametry v tabulce 3.

$$Z_0 = \frac{80}{\sqrt{3,9}} * \ln \left[\frac{1,9*(2*0,154+0,018)}{(0,8*0,15+0,018)} \right] * \left(1 - \frac{0,154}{4*0,201} \right) = 49,17 \Omega \quad (6)$$

$$Z_{diff} = 2 * 49,17 * \left[1 - 0,347 * e^{-2,9*\frac{0,15}{0,373}} \right] = 87,7 \Omega \quad (7)$$

Tabulka 3 Přehled rozměrových vlastností struktury stripline

proměnná	význam	hodnota
w	šířka spoje	0,15 [mm]
t	tloušťka mědi	0,018 [mm]
h'	tloušťka laminátu	0,154 [mm]
h''	tloušťka laminátu	0,201 [mm]
s	šířka mezery	0,15 [mm]
ϵ_r	permitivita	3,9 [-]

Tyto výsledky impedančního přizpůsobení při konkrétních rozměrových vlastnostech uvedených v tabulce 3 jsou vhodné pro implementaci DDR3 pamětí. Doporučené hodnoty ze specifikací jsou 50 Ω pro samostatnou linku vedení a 90 Ω až 95 Ω pro diferenciální signály. Vypočtené hodnoty jsou poddimenzovány, jelikož impedanci spoje může ovlivnit několik faktorů. Mezi hlavní faktory, které navyšují impedanci spoje, řadíme pájecí plošky. Jako další ovlivňující faktory lze uvést množství prokovů či malá vzdálenost od ostatních spojů. [14]

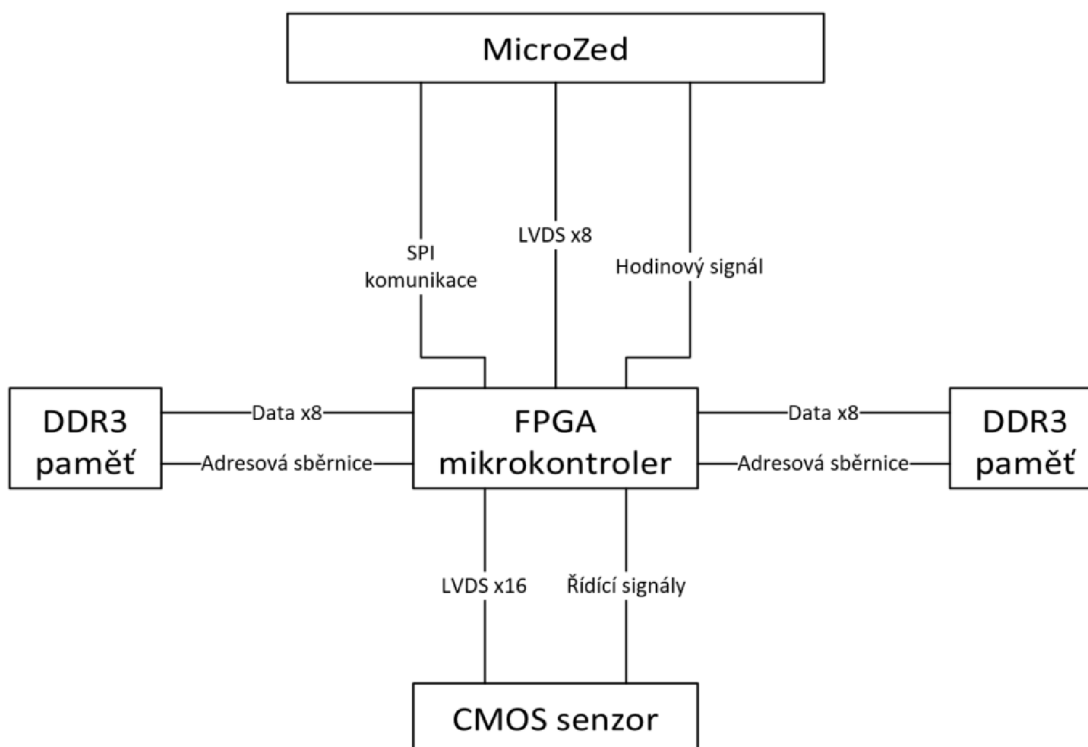
3 Návrh paměťového modulu

Paměťový modul je navrhnut jako součást propojovací desky, která je mezi CMOS digitálním senzorem a MicroZed modulem. FPGA obvod paměťového modulu bude proto naprogramován a řízen z vývojového prostředí, které je již součástí vysokorychlostní kamery. Hlavním úkolem modulu je rychlé uložení posílaných dat do DDR3 paměti a tím pádem umožnění na pokyn vyčítání a přeposlání dat menší rychlostí přes řídicí desku do počítače. Z obvodu FPGA se tedy částečně stane mikrokontroler pro paměťové čipy, kde se budou ukládat všechna příchozí data nezávisle na řídicí desce. Ta bude jenom určovat synchronizační pulsy pro začátek a konec nahrávání.

Na obrázku číslo 16 je zobrazeno blokové schéma navržené implementace do celého systému. Návrh je optimalizován pro potřebnou rychlost přenosu. Na trhu se vyskytuje mnoho verzí paměťových čipů s rozdílnou rychlostí, datovou kapacitou či šířkou datové linky. Požadavek maximální rychlosti datového přenosu je 2,1 GB za vteřinu což pro šestnáctibitovou datovou sběrnici znamená přenos 1080 MT/s. Aby bylo dosaženo dostatečné přenosové rychlosti, v návrhu jsou použity dva 8-bitové paměťové čipy. 8-bitové jsou vybrány proto, jelikož lze adresovou a datovou sběrnici připojit pouze do jedné FPGA banky. Tento fakt šetří mnoho jinak nevyužitých vývodů, které by díky návrhovým pravidlům nebylo možné využít.

Návrh je založen na možnosti naprogramovat FPGA obvod tak, aby byl schopen řídit CMOS senzor a vyčítat z něj požadovaná data. Tyto data následovně při plné rychlosti ukládat simultánně do dvou 8-bitových DDR3 pamětí. FPGA obvod je řízen nadřazeným systémem, který bude poskytovat potřebné hodinové signály a pomocí SPI komunikace bude naprogramován a ovládán. Tato komunikace umožní například spuštění snímání videosekvencí nebo poupravení některých časových konstant nadřazeným systémem. Pro lepší přenos většího množství dat mezi FPGA obvodem a deskou MicroZed byla implementována 8-bitová LVDS sběrnice. Ta slouží k přenosu natočených a uložených videosekvencí. Nízkonapěťové diferenciální signály byly použity pro větší šumovou imunitu a velký datový přenos.

Jelikož byly provedeny návrhy přidavného paměťového modulu dva, bylo zapotřebí pro výslednou realizaci zvolit vhodnější návrh, který byl následně rozpracován a vyroben. Firma PSI se rozhodla, že zvolí z důvodu větší paměťové kapacity a přenosové rychlosti návrh obsahující integraci SODIMM paměťových modulů. V následující kapitole je popsán návrh první s jeho schématickým zapojením, ale neobsahující finální návrh desky plošných spojů.



Obr.č. 16 Blokové schéma integrace paměťových čipů

3.1 Výběr obvodu FPGA

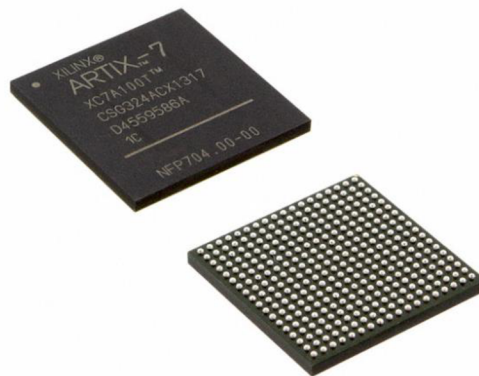
Programovatelné hradlové pole je nejdůležitější částí návrhu. Lze pomocí něj implementovat flexibilní procesor, který bude ovládat potřebné periferie a bude obsluhovat veškerou datovou komunikaci. Díky neustálému vývoji produktů je programovatelné pole nejlepším řešením s možností návrh kdykoliv vylepšit či upravit pro jiný produkt.

Při výběru programovatelného hradlového pole jsem porovnal produktovou nabídku od firem Intel FPGAs (dříve se nazývajících Altera) a Xilinx. Hlavním cílem tohoto průzkumu bylo zjistit, jestli existuje velký cenový rozdíl mezi nabízenými FPGA obvody pro danou implementaci. Jelikož firma Photon Systems Instruments využívá produktů Xilinx a cenový rozdíl byl zanedbatelný, tak jsem upřednostnil výběr produktů Xilinx.

Postup výběru obvodu byl následující. Nejprve jsem vyhledal programovatelné obvody se schopností podpory DDR3 pamětí. Tuto vlastnost mají veškeré obvody z nejnovější sedmé řady, která se dělí podle velikosti polí do několika kategorií. Těmi jsou Artix, Kintex a Virtex. S přihlédnutím na cenu bylo nejvhodnější vybírat z nejlevnější řady Artix. Je to řada produktů, která je postavena na technologii 28nm určená pro nízkonákladové návrhy. Využívá nízkých napájecích napětí a oproti předchozím řadám má o 50% nižší spotřebu. Ta se dále dělí na mnoho různých variací pouzder, velikostí RAM pamětí, počtem logických buněk a dalších. Pro daný odhad potřebných počtu vývodů, jsem vybral BGA pouzdro CSG324 (Ball Grid Array –

kontakty jsou tvořeny polem kulovitých vývodů). Dále bylo zapotřebí odhadnout požadovanou velikost vyhledávací tabulky (LUT z anglického Lookup table). Tento odhad jsem provedl díky programu Vivado od firmy Xilinx, kde jsem simuloval zapojení dvou DDR3 pamětí k procesoru a jejich obsluhu. [15]

Na závěr jsem ověřil, jestli je daný procesor cenově výhodný a jestli výrobce tento druh má v aktuální nabídce. Do finálního výběru se tedy dostal programovatelný obvod XC7A50T – CSG324. Avšak toto rozhodnutí nemusí ve výsledku býti finální, jelikož může být odhad velikosti LUT mylný. Proto pro výslednou implementaci je možné, díky stejnému pouzdru i zapojení, toto FPGA zaměnit za obvod s větším počtem LUT, například XC7A75T – CSG324. Na obrázku č. 17 je zobrazen vzhled BGA pouzdra. [15]



Obr.č. 17 Vzhled FPGA obvodu pouzdra CSG324 [16]

3.2 Výběr DDR3 pamětí

Hlavním cílem výběru bylo navrhnout cenově dostupné řešení pro rozšíření dostatečně rychlé paměti, do které by se ukládala data získaná z vysokorychlostní kamery. Tato vysokorychlostní kamera zaznamená každou vteřinu dva gigabyty dat. Toto velké množství dat se dále přenáší po 16-bitové sběrnici, což se rovná datovému přenosu 1080 MT/s (MT/s = Megatransferů za vteřinu). Pro takto velké množství dat bylo vhodné vybrat paměť typu DDR3 SDRAM. Tyto paměti se vyrábí v různých rychlostních kategoriích, avšak nejvíce dostupné na trhu jsou o rychlostech 1866 MT/s nebo 1600 MT/s. Firma Micron nabízí mnoho různých variant paměťových čipů lišící se rychlostmi, úrovní napájecího napětí, kapacitou uložených dat a dalšími parametry. Pro tuto implementaci bylo vhodné vybrat co největší kapacitu, tak aby se zvětšila maximální možná délka

natáčené videosekvence. Největší nabízená kapacita pro šířku sběrnice 8 bitů je 8 Gb v jednom paměťovém čipu. [17]

Všechna potřebná kritéria splňuje čip MT41K1G8SN – 107. Čip má BGA pouzdro vhodné pro bezolovnaté pájení s 78 vývody a uprostřed izolačním pruhem. Paměť pracuje s nižším napájecím napětím a to 1,35 V. Kdyby bylo zapotřebí, paměťový čip je vždy zpět kompatibilní s napájecí úrovní 1,5 V, která byla využívána v minulých generacích DDR3 pamětí. [4]

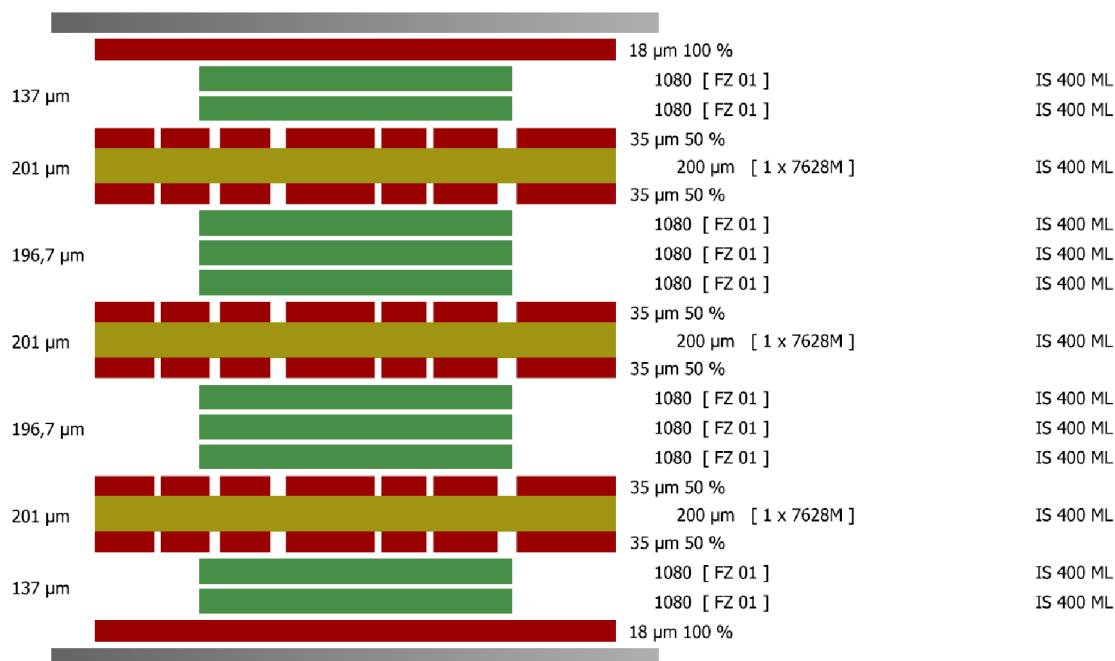
3.3 Návrh desky plošných spojů

Pro přesný návrh a správné propojení na desce plošných spojů je zapotřebí nejprve určit technologii plošného spoje. Z čeho bude vyroben, jaké jsou materiálové konstanty, jak budou jednotlivé vrstvy na plošném spoji tlusté atd.. Proto jsem kontaktoval a poptal osmivrstvý plošný spoj u firmy Gatema, která vyrábí navržené plošné spoje pro firmu PSI.

Složení požadovaného plošného spoje je zobrazeno na obrázku číslo 18. Skládá se z osmi vodivých vrstev, které jsou vyznačeny červenou barvou. Z technologických důvodů je tloušťka vnitřních vrstev pevně dána - 35 μ m. Vnější vrstvy jsou definovány o tloušťce 18 μ m před pokovením. Tento vícevrstvý plošný spoj je lisován ze tří základních materiálů IS400 - podobných materiálu FR4. Základní materiály jsou vyznačeny žlutou barvou. Pro spojení základních materiálů se používá takzvaná lepicí fólie neboli prepreg. Je to neúplně vytvrzený základní materiál o různých tloušťkách, který se lisováním vytvrdí, vrstvy spojí a vytvoří izolační vrstvu. Je vyznačen zelenou barvou. Pro dostatečné izolační vzdálenosti se používá minimálně dvou nebo i tří prepregů. Ve výsledku tak navrhované slisované složení bude mít tloušťku 1,55 mm a bude se skládat z 65 % prepregu. [18]

Deska plošného spoje bude zařazena do konstrukční třídy V. Ta udává minimální šířku vodičů 0,2 mm, minimální šířku izolačních mezer 0,2 mm a nejmenší průměr otvoru 0,3 mm. Tato konstrukční třída je vybrána podle nejmenšího použitého pouzdra a velikosti jeho vývodů.

Navrhovaná DPS bude mít standardní zelenou nepájivou masku s požadavkem na bílý potisk. Bílý potisk je velkou výhodou při prototypové výrobě, protože při různých opravách a úpravách není zapotřebí vždy hledat, kde se jaká součástka nachází. Popisky nejdůležitějších vývodů či napájecích úrovní zrychlují samotnou práci s deskou a diagnostiku chyb.



Obr.č. 18 Materiálové složení desky plošného spoje [18]

Jako povrchovou úpravu jsem vybral imerzní Ni/Au = ENIG (Electroless Nickel Immersion Gold). Z chemického hlediska je zlato ideální prvek pro svrchní krytí DPS. Vzhledem k tomu, že zlato netvoří oxidy, mají teplota a skladovací podmínky prakticky nulový vliv na životnost oproti jiným povrchovým úpravám. Výborná smáčivost je důsledkem prakticky okamžitého rozpouštění zlata do pájky. Zlato se rozpouští velice rychle do mědi. K zabránění smíchání zlata a mědi a eventuálním problémům s pájením způsobeným zoxidovanou mědí na povrchu DPS je nanášena mezi tyto dva kovy vrstva niklu. Tato technologie je ideální pro prototypovou výrobu, jelikož je odolná pro několikanásobné pájení a opravy. [18]

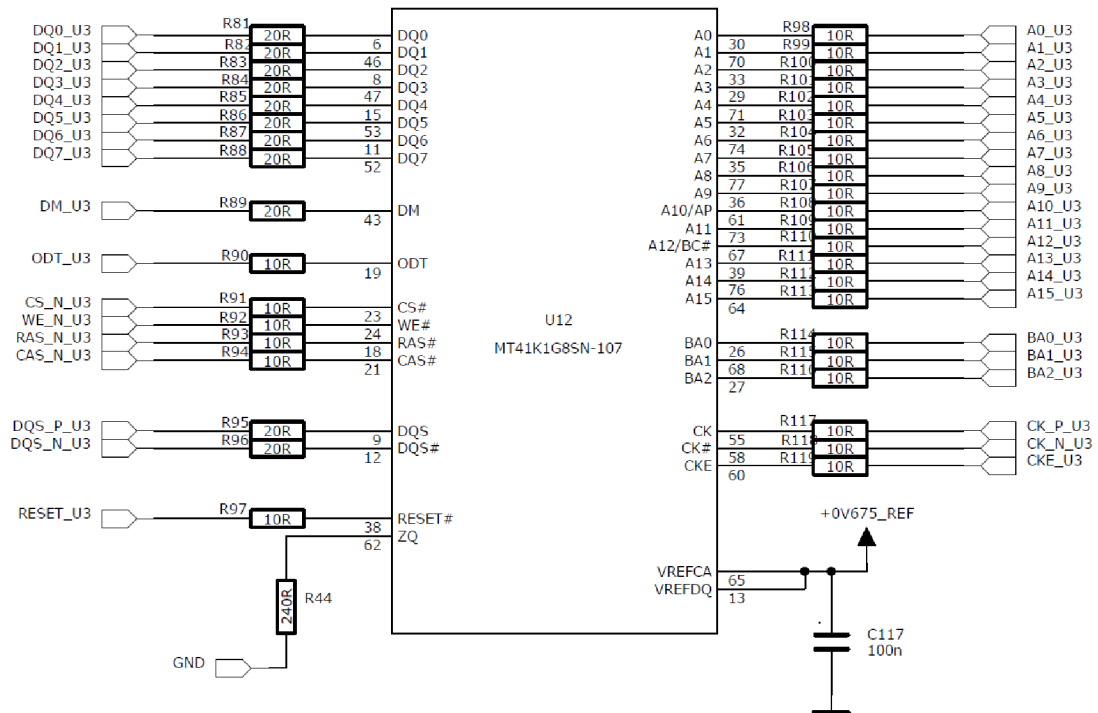
3.4 Schéma zapojení

Pro návrh schématu zapojení bylo použito programu PADS. Nejprve bylo zapotřebí vytvořit kompletní knihovnu součástek a jejich pouzder, které se budou vyskytovat na plošném spoji. Tvorba obyčejných součástek s jednoduchou funkcí a nízkým počtem vývodů bývá jednoduchá, avšak pracná při přesném rozměrové popisu pouzder. Nejsložitější však bylo přidání schématické značky FPGA obvodu, díky velkému množství vývodů a rozložení funkčních pinů do několika takzvaných bank. Proto byla rozdělena schématická značka na několik podcelků, které se přidávají do schématu postupně a jednotlivě. Signálové vývody jsem umístil do konkrétních bank 14, 15, 16, 34, 35 a konfigurační banky. Všechny ostatní napájecí a zemnicí vývody jsou skryty uvnitř schématické značky, aby nenarušovali přehledné zapojení a orientaci v něm. [19]

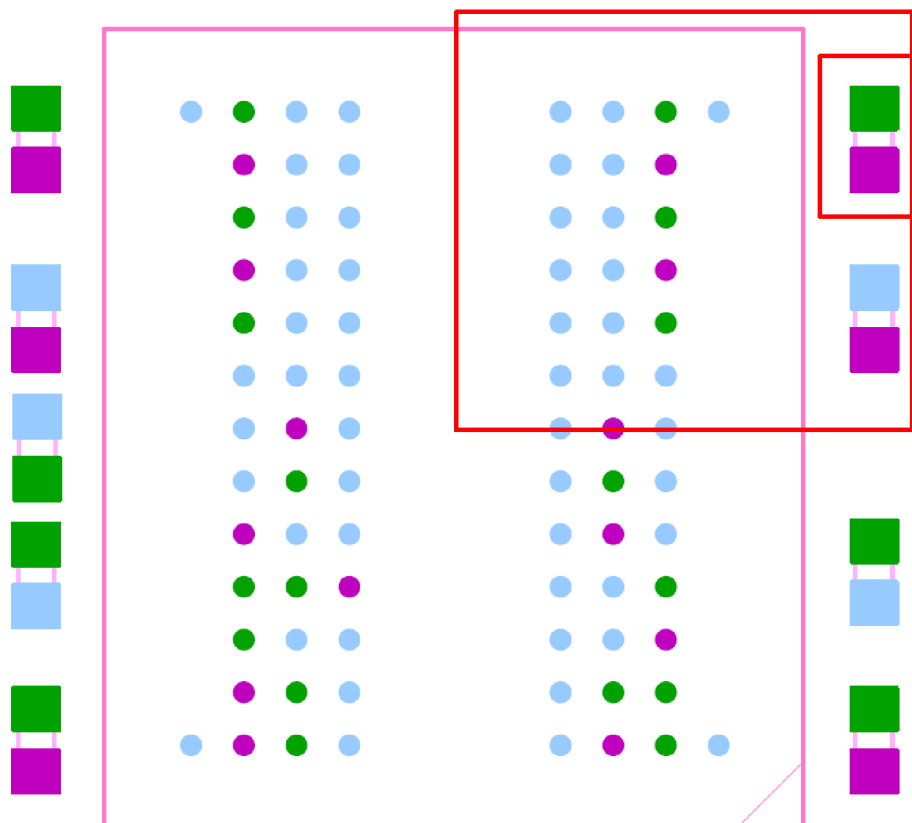
3.5 Zapojení DDR3 paměti

Podle doporučení v katalogových listech od firmy Micron byly zapojeny obě DDR3 paměti. Po kontrole s některými návrhy, které jsou přístupné na internetu bylo rozhodnuto, že není zapotřebí u těchto obvodů oddělovat napájecí okruh a zemnicí okruh. Oddělení by bylo potřeba pouze v případě nebezpečí velkého zarušení napájecích zdrojů nebo průtoku větších spínaných proudů přes plošný spoj. Kalibrovací odpor byl určen na 240 Ω . Tuto velikost umí obvod dělit celými čísly: 2, 3, 4, 5, 6, 7 a podle výsledných hodnot kalibrovat svá odporová zakončení. Bylo použito techniky zakončení datové linky se sériovými odpory a techniky adresové sběrnice přizpůsobeného vedení se sériovými odpory, jak je již uvedeno v teoretickém úvodu práce. Na obrázku číslo 19 můžete vidět navržené zapojení paměti MT41K1G8SN – 107. [4]

Na obrázku číslo 20 je zobrazeno doporučené rozložení filtračních kondenzátorů pro napájecí úroveň. Umístění je rozděleno na čtyři shodné kvadranty. Pro zjednodušení nejsou použity oddělené zemnicí a napájecí okruhy, což znamená že v jednom kvadrantu jsou umístěny dva kondenzátory mezi napájecí úroveň a zem. Pro co nejlepší charakteristiku budou použity kondenzátory s velikostí pouzdra 0603 (1,6 mm x 0,85 mm) a kapacitou 100nF, které budou umístěny co nejbližší pouzdru DDR3 paměti. Dále je doporučeno umístit jeden kondenzátor o větší kapacitě pro celý systém, který nemusí být v přímé blízkosti paměťového čipu. [8]



Obr.č. 19 Schéma zapojení paměti DDR3



Obr.č. 20 Rozmístění kondenzátorů pro paměť DDR3 [8]

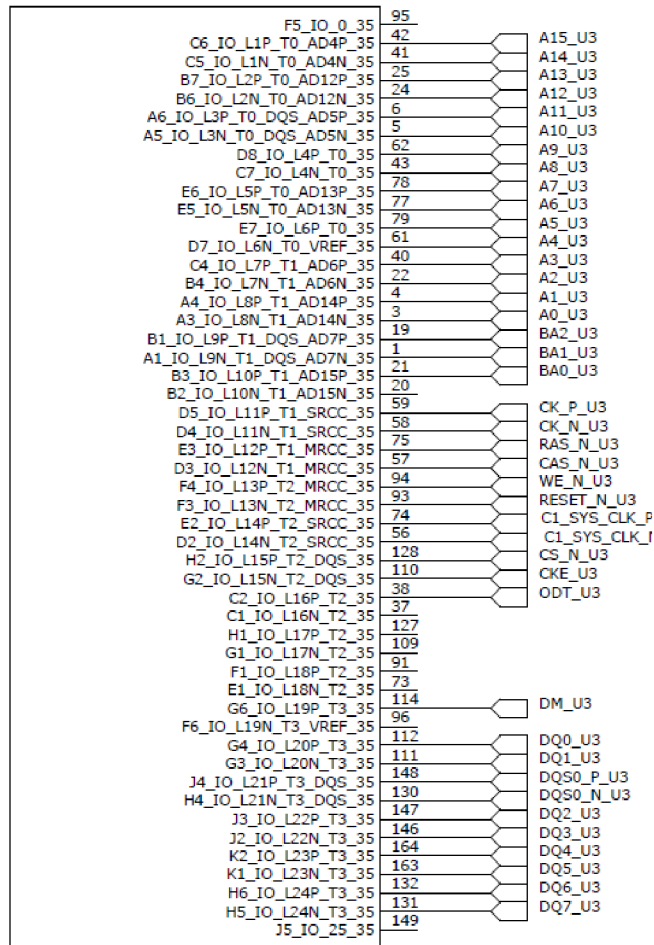
3.6 Zapojení obvodu FPGA

Jak již bylo řečeno, zapojení obvodu FPGA se skládá z jednotlivých návrhů bank. Vybrané programovatelné hradlové pole obsahuje čtyři banky o stejné velikosti 50 pinů a podobných vlastnostech. Dále obsahuje jednu banku o menším počtu vývodů pro signály využívané celým obvodem. Jako poslední důležitou částí jsou konfigurační vývody, pomocí kterých se například obvod FPGA programuje nebo diagnostikuje (JTAG). Díky tomuto standardu bude možné programovatelný obvod velice jednoduše debugovat a prototypovou verzi tak rychleji odzkoušet. Chyby pak mohou být dříve odstraněny a produkt se dostane do portfolia firmy v kratším časovém úseku.

V prvním kroku návrhu je zapotřebí určit jednotlivé napájecí úrovně bank. Každá banka může mít jinou úroveň, avšak poté není s jinými úrovněmi již kompatibilní. V tomto případě bylo nutné dedikovat dvě banky pro DDR3 paměti s napájecí úrovní 1,35 V. Zbylé dvě banky musejí být napájeny úrovní 1,8 V kvůli velkému počtu LVDS signálů z CMOS kamerového čipu a datové lince do MicroZed desky. Při návrhu rozdělení signálů do bankových skupin bylo důležité nezapomenout na některé konfigurační piny, které se nachází v bance číslo 14. Díky této komplikaci nelze k této bance připojit DDR3 paměť. Toto je způsobeno částečným propojením s JTAG standardem a ostatními konfiguračními vývody, které musejí být na minimálním napájecím napětí 1,8V. [20]

Na obrázku číslo 21 je ukázka jedné banky a její propojení s DDR3 pamětí. Piny jsou popsány stejným způsobem, jako je nazývá firma Xilinx a lze z nich vyčíst specifické funkce. Vývody jsou rozděleny do párů, které je možné využít pro diferenciální signály označené jako P (pozitivní) a N (negativní). Vývody označené jako SRCC a MRCC jsou určeny k distribuci hodinových signálů. Rozdílem je počet regionů do kterých má tento signál přístup.

BANK35
U13-C
XC7A50T



Obr.č. 21 Ukázka zapojení banky 15

Při zapojování složitějších obvodů, které jsou náchylné na jakékoliv zákmity napájecího napětí, nesmí být zapomenuto na filtrační kondenzátory. Specifikace udává přesný počet a velikost nutných kondenzátorů pro jednotlivá napájení. Minimální počet kondenzátorů je zobrazen v tabulce 4. Tento počet je definován pro každý druh obvodu, programovatelné obvody z vyšší řady (Kintex) mají většinu kondenzátorů již ve svém pouzdru a proto se nutný počet skokově snižuje. Řada Artix 7 tuto výhodu však nemá.

Tabulka 4 Nutný počet filtračních kondenzátorů [20]

Obvod	Vccint					Vccbram					Vccaux		Vcco Bank 0		Vcco (pro každou banku)		
	680 μF	330 μF	100 μF	47 μF	4,7 μF	0,47 μF	100 μF	47 μF	4,7 μF	0,47 μF	47 μF	4,7 μF	0,47 μF	47 μF	4,7 μF	0,47 μF	
XC7A50T	0x	1x	0x	0x	3x	5x	1x	0x	0x	1x	1x	2x	4x	1x	1x	2x	4x

Výrobce také udává jaké fyzikální vlastnosti musí požadované kondenzátory mít, tak aby byli účinné pro danou aplikaci. Hlavními sledovanými veličinami jsou parazitní indukčnost a parazitní rezistivita neboli ESL a ESR. Například pro nejmenší kondenzátory 0,47 μF je doporučený rozsah ESR od 1 $\text{m}\Omega$ do 20 $\text{m}\Omega$. Maximální hodnota parazitní indukčnosti je 0,5 nH. Doporučeny jsou keramické kondenzátory v pouzdech SMD o velikosti 0603 z kategorií X7R nebo X5R. Tyto kategorie spadají do právě námi požadovaných vlastností. [20]

4 Návrh s využitím paměťových modulů

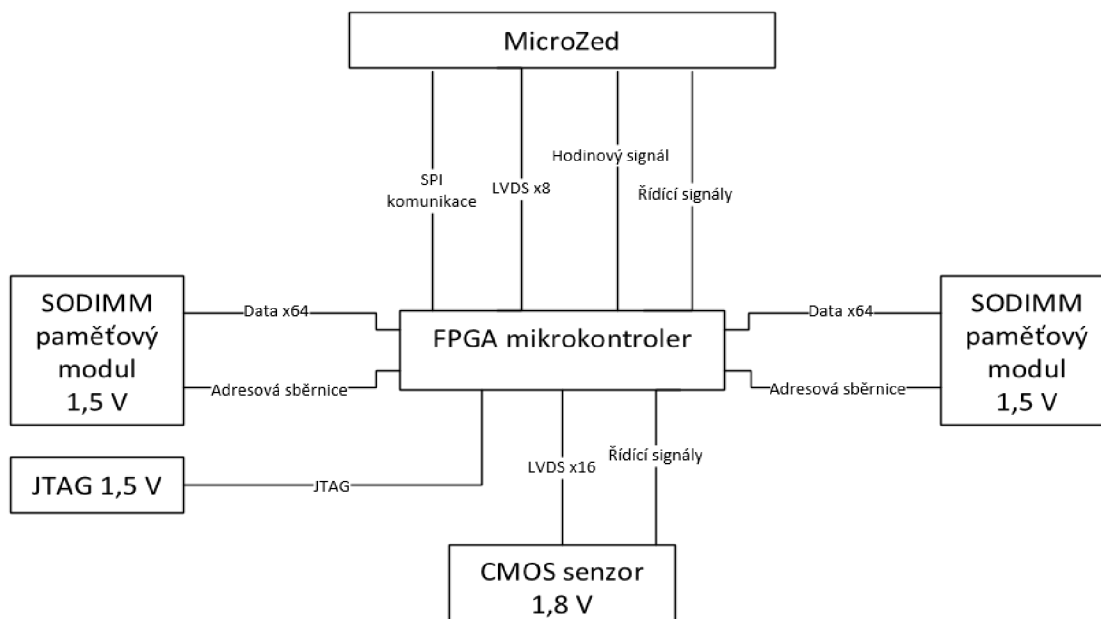
V následující kapitole je popsán kompletní návrh paměťového modulu, který využívá DDR3 SODIMM paměťových modulů. Tento druhý návrh byl vybrán firmou PSI pro finální rozpracování a výrobu, jelikož byly výhody paměťového modulu zhodnoceny jako důležitější než větší celkové náklady (větší pořizovací cena komponent, větší výrobní cena plošného spoje). Kapitola tedy obsahuje oproti kapitole předchozí i ukázkou navrhnuté desky plošných spojů s osazenými komponenty.

Celý paměťový modul je sestrojen jako propojení CMOS senzoru a nadřazené vývojové desky MicroZed. Veškerá spojení jsou provedena skrze FPGA obvod, který má za úkol obsluhu dvou 64-bitových SODIMM paměťových modulů. Tyto moduly jsou vyráběny s již zmíněnými DDR3 paměťovými čipy s rychlostí přenosu 1600 MT/s. Díky velké šířce sběrnice se maximální datový tok rovná standardu PC3 – 12800 neboli 12,8 GB/s. Při vhodném mezivyrovnání dat videosekvence FPGA obvodem by bylo možné nechat pracovat paměť s výrazně nižší frekvencí a tak snížit mnoho rizik, která vznikají při přenosu dat na vyšších frekvencích.

Obvod bude naprogramován tak, aby po zahájení videosekvence automaticky ukládal zaznamenaná data do paměťových modulů. Výhoda tohoto návrhu spočívá v jednodušším zápisu dat, jelikož je možné zapisovat všechna data s dostatečnou rychlostí pouze do jednoho ze dvou modulů. Druhý paměťový modul nemusí být ve výsledném produktu přítomen. FPGA obvod je schopen samostatně řídit CMOS senzor nebo může propojit řídicí signály do nadřazeného systému, aby byla zachována kompatibilita se současným softwarem desky MicroZed. Vývojová deska poskytuje návrhu hodinové signály, tak aby bylo možné všechny tyto systémy synchronizovat a donastavit zpoždění jednotlivých signálů.

Na obrázku č. 22 je zobrazeno blokové schéma návrhu s využitím SODIMM paměťmi. Design obsahuje také standard JTAG, pomocí kterého bude možné rychle a efektivně pracovat na softwarovém vývoji produktu a jeho odzkoušení v kompletním měřicím systému. Rozhodovací úroveň 1,5 V je dána společným napájecím napětím banky 14, ke které jsou připojeny pevně dané konfigurační signály. Tato úroveň je kompatibilní s většinou JTAG adaptérů.

Datová komunikace mezi FPGA čipem a deskou MicroZed je zprostředkována pomocí SPI rozhraní. Tato komunikace je obousměrná a slouží k přenosu jednoduchých informací jako jsou například časové konstanty či spouštěcí sekvence. Pro přenos videosekvencí slouží osmibitová LVDS datová sběrnice, která je omezena pouze maximálním hodinovým signálem FPGA čipů.



Obr.č. 22 Blokové schéma s využitím paměťových modulů

4.1 Výběr obvodu FPGA

Programovatelná hradlová pole jsou již na trhu od roku 1984. Současné firmy jako jsou například Xilinx či Intel FPGAs mají velká portfolia, ze kterých lze vybírat obvody kompatibilní s řízením DDR3 paměti. Výběr byl v počátku zúžen, jelikož firma PSI aktivně používá některé produkty od firmy Xilinx a cenový rozdíl není dostatečně lukrativní.

Postup výběru byl podobný při hledání vhodného programovatelného obvodu pro první návrh. Hlavním kritériem výběru je kompatibilita s paměti typu DDR3. V současné době lze tedy vybírat ze sedmé řady druhů Artix, Kintex a Virtex. Tyto programovatelné hradlové pole jsou postaveny na nových technologiích 28nm, které snižují spotřebu energie až o 50 %. Nejvýhodnější je postupovat při výběru od řady Artix po Virtex, jelikož cenové rozdíly mezi řadami jsou dosti velké.

Prvním krokem je odhad minimálního počtu programovatelných vstupně/výstupních vývodů. Z předchozího návrhu již víme, že minimální počet bank pro spojení CMOS senzoru a nadřazeného systému jsou dvě. Pro jednu 64-bitovou SODIMM paměť je zapotřebí 3 téměř plné banky. V součtu se tedy dostáváme pro tento návrh na 8 volných bank což znamená 400 programovatelných vývodů. Bude tedy zapotřebí pouzdro o minimálním počtu vývodů 676, jež lze určit ze specifikace [15].

Důležitým kritériem dalšího výběru je nutnost pořízení licence k programové podpoře některých obvodů. Obvody využívající jádro řady Artix lze programovat s licenci, která je zdarma ke stažení na stránkách firmy Xilinx. Řady vyšší však vyžadují

pořízení licence, která je nabízena v hodnotě zhruba 3500 dolarů. Tato cena by pro prototypovou výrobu byla nevýhodná.

Banky u programovatelných polí se dělí na dvě skupiny a to HP (high performance) a HR (high range). Tyto kategorie definují kompatibilitu s různými napěťovými úrovněmi a vstupně/výstupními standardy. HP banka plně podporuje LVDS s napěťovou úrovní 1,8 V. Pokud by byl LVDS signál s úrovní 2,5 V připojen jako vstup, tak by bylo možné pomocí zakončovacího odporu kompatibility dosáhnout. Jako výstupní signál by však kompatibilní nemohl být. Stejně pravidlo platí pro HR banku, která má nativní obousměrnou funkčnost pro 2,5 V. Je tedy zřejmá nutnost z blokového schématu č. 22 zabezpečit kompatibilitu těchto signálů s CMOS senzorem a vývojovou deskou MicroZed. [21]

Ve finálním výběru přichází v úvahu z řady Artix pouze typ XC7A200T – FBG676 či z řady Kintex XC7K160T – FBG676. Programovatelná pole z řad vyšších či většími pouzdry jsou také řádově dražší o tisíce dolarů za kus. Díky cenově nákladné licenci pro obvody Kintex, byl finálně vybrán obvod XC7A200T – FBG676 s cenou pohybující se okolo 220 dolarů za kus. Obvod byl vybrán i přes částečnou nekompatibilitu s napěťovými úrovněmi, která může být vyřešena pro malý počet obousměrných signálů jednoduchým převodníkem úrovní, který by neměl nijak ovlivnit pomalejší signály.

Pouzdro FBG676 je BGA pouzdro s roztečí kulovitých vývodů 1 mm a celkovým rozměrem 27 mm x 27 mm. Pouzdro se skládá ze substrátu, který propojuje kulovité vývody a flip chip, který je bez hermetického pouzdření umístěn na něm. Flip chip je chráněn pouze epoxidovou underfillovou směsí. Pro řadu Artix nejsou na substrátu umístěné žádné vlastní kondenzátory. [19]

4.2 Výběr DDR3 SODIMM paměti

Paměťové moduly typu DDR3 SODIMM jsou vyráběny se standardním vývodovým zapojením a jsou nezaměnitelné za jiné druhy paměťových modulů. Na trhu se vyskytují dvě základní verze a to s šířkou datové sběrnice 64 bitů či 72 bitů. 64-bitová verze je svojí rychlostí PC3-12800 značně dostačující pro ukládání videosekvencí z CMOS senzoru, proto není zapotřebí uvažovat vícebitovou verzi. Rychlost sběrnice PC3-12800 odpovídá datovému přenosu 1600 MT/s s vnější frekvencí 800Mhz. [17]

Pro výběr modulu není důležitý výrobce či maximální kapacita ba dokonce nezávisí na rychlosti paměťového modulu. Veškeré moduly totiž obsahují EEPROM paměť 256 bytů velikou, ve které jsou uloženy klíčové údaje o modulu, tak aby bylo možné kontrolér či FPGA obvod nastavit a přizpůsobit ho jakékoliv verzi. V budoucnu bude tedy možné vložit jakýkoliv modul typu DDR3 SODIMM a zákazník by tak měl mít možnost kapacitu dynamicky měnit.

Pro prototypovou verzi byla vybrána paměť MT8KTF51264HZ-1G6, která má kapacitu 4 GB a maximální rychlost 1600 MT/s. Důvodem je menší pořizovací cena pro prototypovou verzi, kterou je zapotřebí řádně otestovat a v další revizi zlepšit. Důležité pro návrh je otestování dostatečné rychlosti datového přenosu a integrity signálů. Důvodem výběru paměťového modulu od firmy Micron jsou již implementované moduly v programové podpoře od firmy Xilinx, které umožní generaci IP bloku pro ovládání paměti.

4.3 Návrh plošného spoje

Plánování rozložení vrstev vícevrstvého plošného spoje je jedním z nejdůležitějších aspektů pro dosažení nejlepšího možného výkonu produktu. Špatně navrhnutý substrát s nevhodnými materiály dokáže degradovat elektrický výkon přenosu signálů a zvýšit tak emise do okolí, přeslech a může učinit návrh více náchylný k okolnímu rušení.

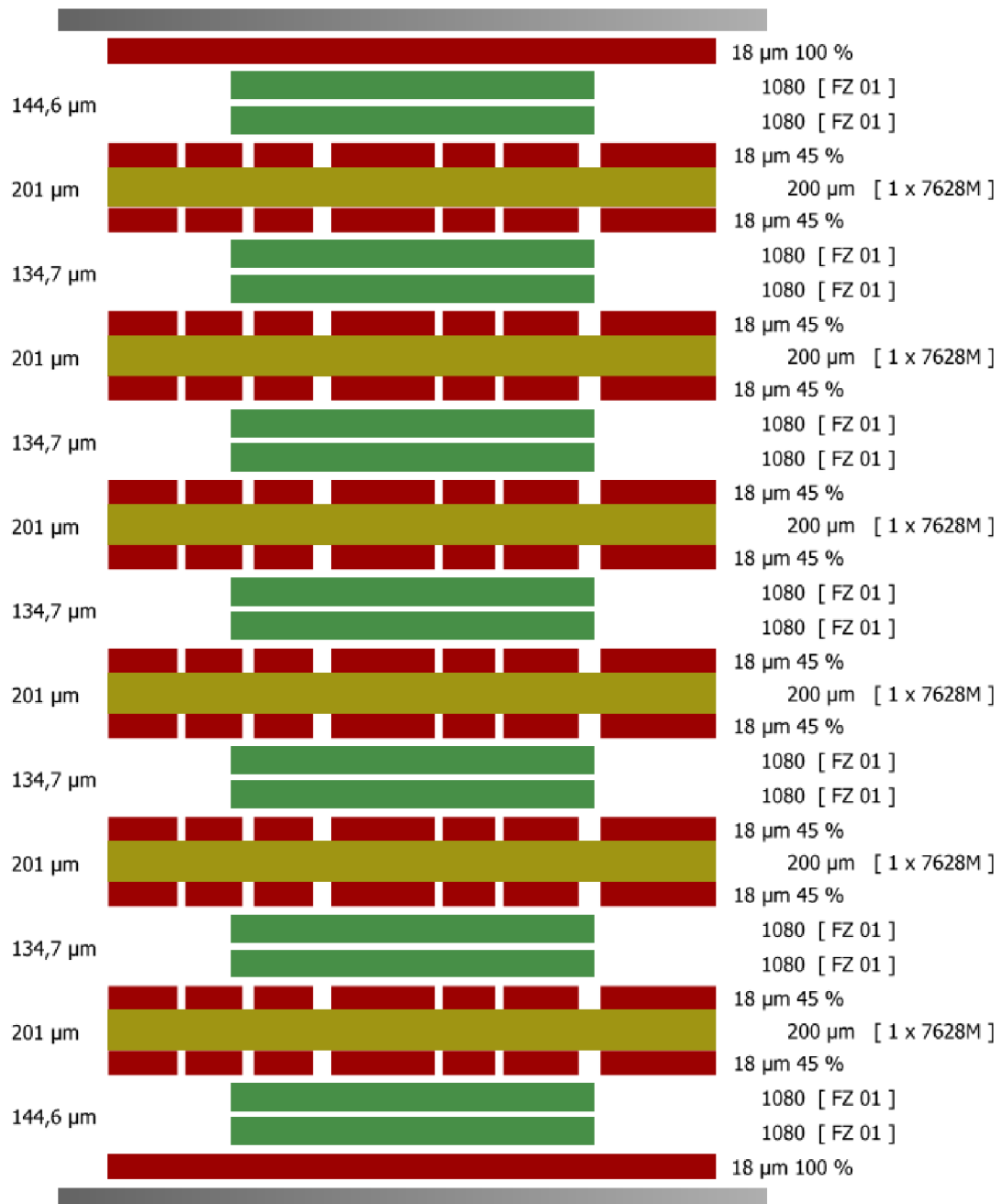
Naopak správně navržený substrát DPS dokáže efektivně snížit elektromagnetickou emisi, přeslechy a zvýšit integritu signálů s nízkou indukčností napájecí sítě. Je důležité potlačit šum již u zdroje, než se snažit vyřešit problémy vzniklé v již hotovém produktu. Pokud se nám podaří při dodržení všech pravidel vytvořit návrh takzvaně na první pokus, snížíme tím značně náklady na vývoj a čas pro distribuci na trh. Zvýšíme dobu života produktu a jeho spolehlivost.

V teoretickém úvodu bylo rozebráno, že na desce plošného spoje můžeme spojit signály pomocí struktur stripline a microstrip. Při řízené velikosti impedance má struktura stripline značně nižší emise elektromagnetického záření do okolí než signály na povrchu DPS. Veškeré signály jsou pevně spjaty s vylitými plochami (zemnicí či napájecí), které snižují přeslechy a zvyšují integritu signálů. Je důležité, aby vylité plochy byli kontinuální, jelikož slouží jako cesta zpětného proudu. Protéká přímo pod signálovou cestou, kde je spojení s nejnižší impedancí. Při rozdělení například napájecích vrstev je zapotřebí spojit tyto plochy pomocí kondenzátorů, které umožní průchod vysokorychlostních signálů.

V návrhu s využitím paměťových modulů SODIMM bylo postupováno následovně. Ve specifikaci od firmy Xilinx bylo zjištěno, že pro plné zapojení FPGA obvodu s 676 vývody je zapotřebí 4 až 5 signálových vrstev. Díky snaze o co nejnižší elektromagnetické vyzařování do okolí, nebylo využito vrstev top a bottom jako signálových (pro vysokorychlostní signály). Návrh se také potýkal s problematikou prostorového uspořádání. Paměti SODIMM jsou umístěny naproti 50 pinovým konektorům spojující design s deskou MicroZed. Proto při výpočtu vrstev bylo počítáno s šesti vnitřními signálovými vrstvami. [22]

Dalším omezením návrhu vrstev byl počet potřebný napájecích úrovní. Pro kvalitní rozvod napájecích zdrojů s dostatečně širokými plochami bylo vyzkoušeno, že je zapotřebí dvou vnitřních napájecích vrstev. Nyní máme tedy základ minimálního počtu

vrstev DPS (6 signálových vrstev, 2 napájecí, top, bottom). Posledním krokem je proložení vrstev vylitými zemnicími plochami tak, aby každý rychlý signál mohl být svázan s jednou takovou vrstvou. Proto byly vloženy čtyři zemnicí vrstvy. Výsledný počet vrstev je tedy 14. Na obrázku č. 23 je znázorněno složení 14 vrstvé DPS. Sled navržených vrstev je následující od vrchní po spodní: Top, GND, Signal1, PWR1, Signal2, GND, Signal3, Signal4, GND, Signal5, PWR2, Signal6, GND, Bottom. Veškeré vrstvy, kde mohou být routovány rychlé signály, jsou umístěny vedle zemnicích vrstev.



Obr.č. 23 Ukázka složení 14ti vrstvé DPS [18]

Vodivé vrstvy jsou vyznačeny červenou barvou. Z technologických důvodů je tloušťka vnitřních vrstev 18 μm , jelikož je zapotřebí aby návrh splňoval požadavky VI konstrukční třídy. Vnější vrstvy jsou definovány o tloušťce 18 μm před pokovením. Lisování probíhá ze šesti základních materiálů IS400 (podobných materiálu FR4). Tyto základní materiály jsou vyznačeny žlutou barvou. Pro spojení základních materiálů se používá takzvaná lepicí fólie neboli prepreg. Neúplně vytvrzený základní materiál (vyznačen zelenou barvou) se lisováním vytvrdí, vrstvy spojí a vytvoří izolační vrstvu. Pro dostatečné izolační vzdálenosti se používá minimálně dvou nebo i tří prepregů. Ve výsledku tak navrhované slisované složení bude mít tloušťku 2,4 mm a bude se skládat z 65,3 % prepregu. Povrchové úpravy plošného spoje jsou popsány v návrhu integrace paměťových čipů. [18]

Návrhová pravidla jsou přiřazeny z VI konstrukční třídy, její specifikace je uvedena v tabulce 5. Tato konstrukční třída byla zvolena díky impedančnímu přizpůsobení vysokorychlostních signálů. Je výhodou také pro routování FPGA obvodu z důvodu malých izolačních mezer mezi BGA kuličkami.

Tabulka 5 Konstrukční třída VI [18]

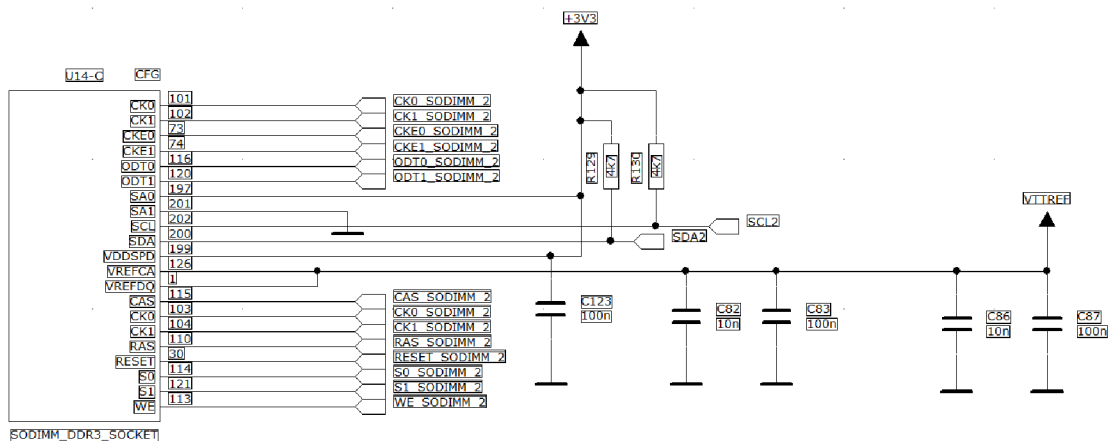
minimální šířka vodičů	150 μm
minimální šířka izolačních mezer	150 μm
minimální přesah plošky na poloměr	125 μm
nejmenší průměr otvoru	250 μm

4.4 Schéma zapojení

Kapitola zabývající se schématem zapojení návrhu neobsahuje celé schéma zapojení. Cílem této kapitoly je nastínit postup návrhu schématu s ukázkami důležitých částí. Kompletní schéma návrhu, který byl proveden v návrhovém prostředí PADS od firmy Mentor Graphics, je v příloze A.

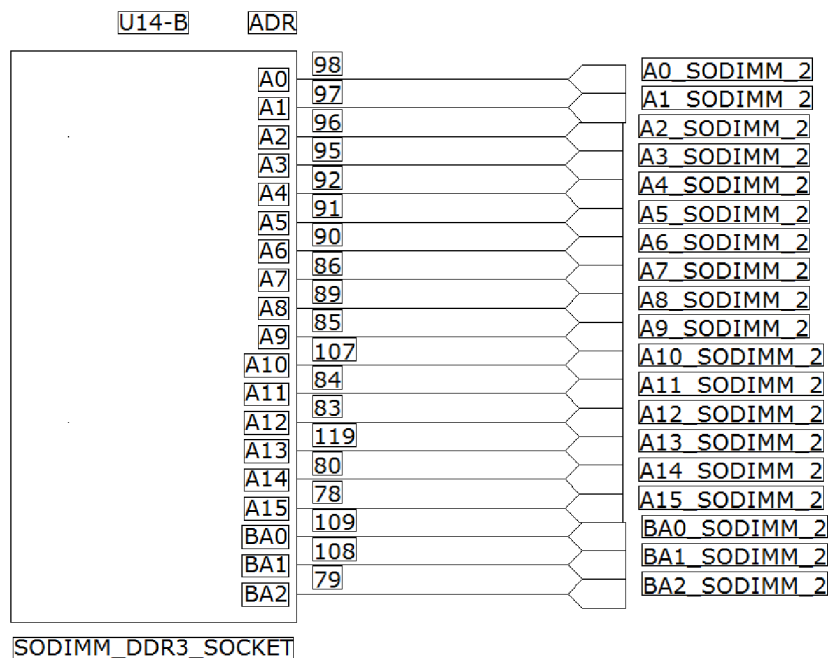
4.4.1 Zapojení SODIMM pamětí

Díky většímu počtu vývodů SODIMM pamětí (204) bylo zapotřebí schéma rozdělit do několika funkčních bloků, tak aby byla zachována přehlednost a rychlá orientace ve schématu. Paměti byly rozděleny do tří bloků: datová sběrnice, adresová sběrnice, řídicí signály a ostatní. Zbylé napájecí a zemní signály jsou skryty v samotné vytvořené značce.



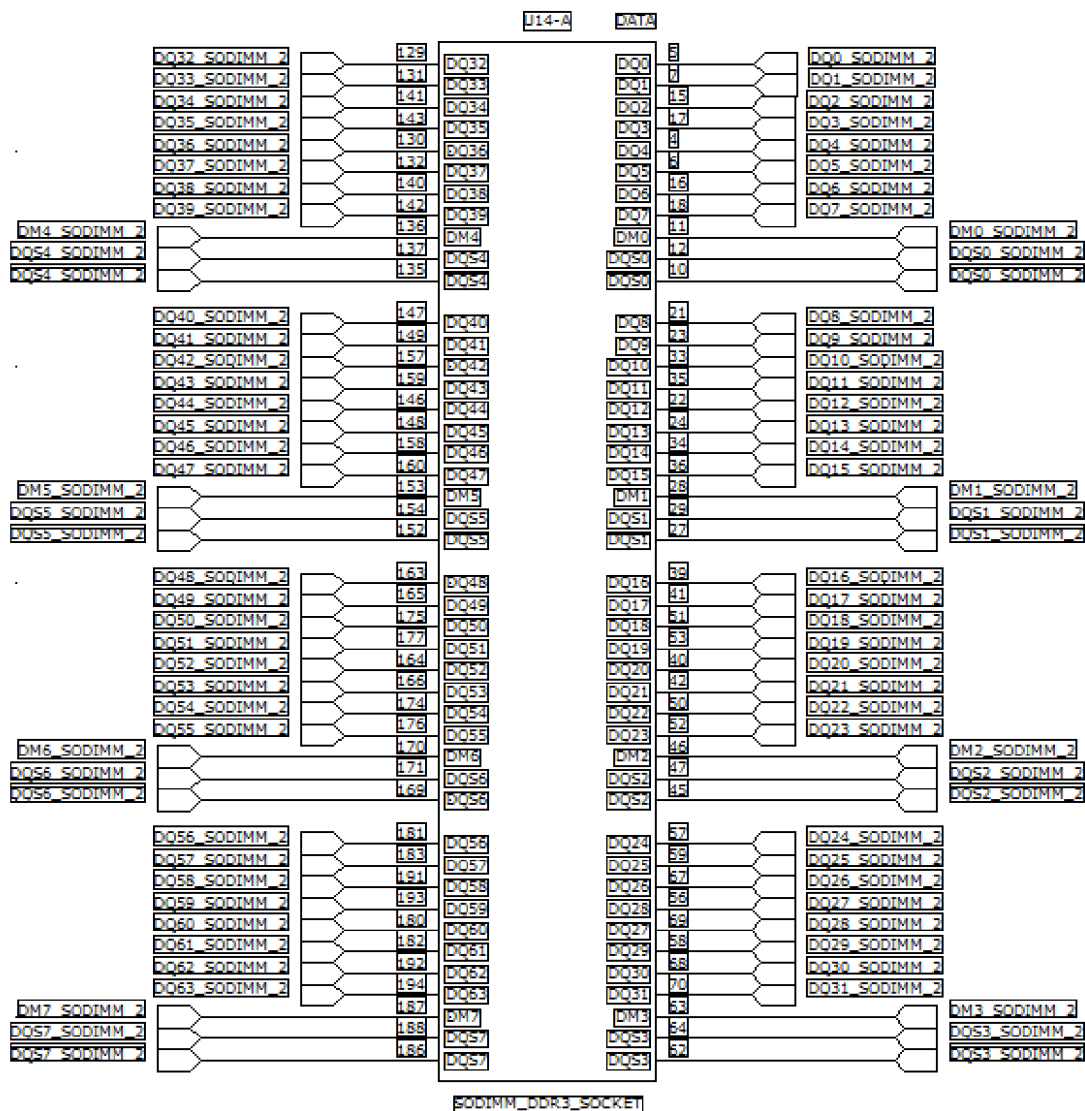
Obr.č. 24 Schéma řídicích a ostatních důležitých signálů paměti SODIMM

SODIMM paměti mají již implementované filtrační kondenzátory na samotném modulu. Návrh obsahuje pouze několik nutných komponent, které lze jednoduše rozestavět okolo konektoru v těsné blízkosti. Moduly obsahují EEPROM paměť, která komunikuje pomocí I2C standardu. Pro posílení komunikační sběrnice byli implementovány odpory spojené s napájecí úrovní 3,3 V. Samotné řídicí signály není nutné žádným způsobem zakončovat, dostačující je impedanční přizpůsobení 50 Ω. Pro vývod s referenčním napětím bylo využito dvou filtračních kondenzátorů o různých hodnotách, aby bylo pokryto větší frekvenční spektrum.



Obr.č. 25 Schéma adresové sběrnice paměti SODIMM

Při propojování adresové sběrnice není použito žádné odporové zakončení, důležité je pouze impedanční přizpůsobení a stejná délka cest propojených signálů.



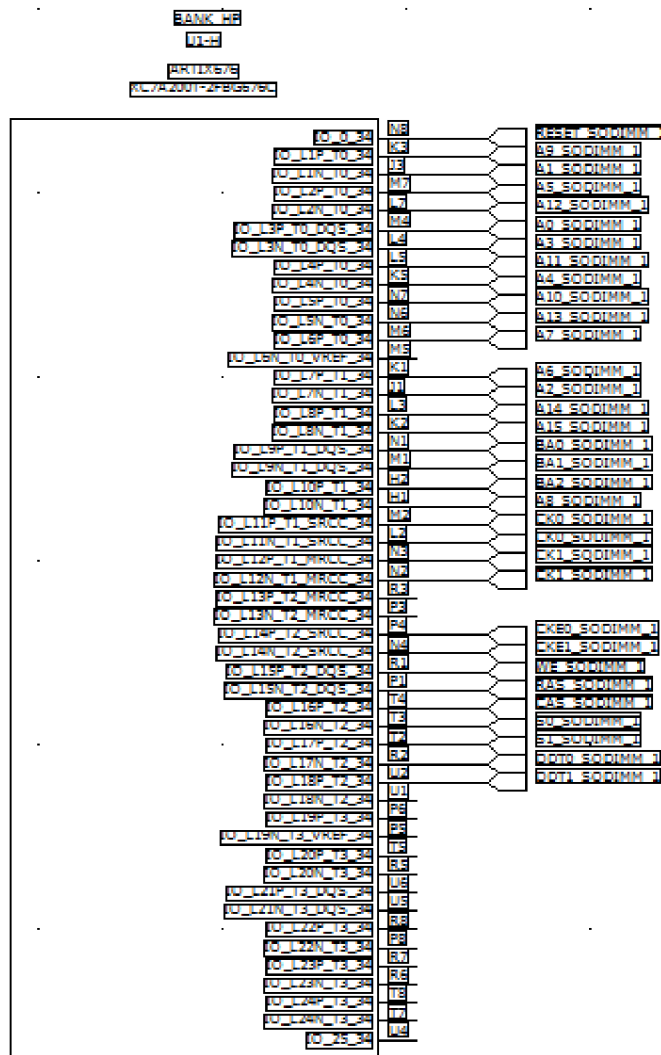
Obr.č. 26 Schéma datové sběrnice paměti SODIMM

Pro propojení datové sběrnice bylo využito impedančně přizpůsobených signálů 50 Ω . Ke každé bitové skupině je přítomen maskovací signál DM (data mask) a diferenční signál DQS (data strobe). Tento signál plní funkci časování. Je vyslán s nastaveným předstihem před datovými signály, tak aby DDR3 paměť byla schopná ve správné době nastavit požadované registry pro zápis a vyčkávat na příjem. Byl tedy vytvořen diferenční pár s impedančním přizpůsobením 90 Ω . SODIMM paměť s 64 bitovou sběrnicí je podstatně rozměrově menší než klasická DIMM paměť. S takto širokou datovou sběrnicí může však nastat problém s nedostatkem místa při výsledném routování. Veškeré prokovy do vnitřních vrstev musejí být v blízkosti vývodů, aby nebyla ovlivněna impedance linek a bitové skupiny musejí být řádně délkově vyrovnány. Při návrhu paměti blíže než 3,5 palce od kontroléru musí být skupiny v délkové toleranci plus mínus 1 %. Pokud tuto podmínku splňují, tak je zabezpečeno stejné zpoždění, které nepřekračuje kritické hodnoty. [14]

4.4.2 Zapojení FPGA obvodu

Při vytváření schématu FPGA obvodu jsem postupoval se zkušenostmi z předchozího návrhu. Prvním krokem byla tvorba schématické značky, která se skládá z osmi programovatelných bank, jedné konfigurační, dvou celků s MGTX přijímači a vysílači a jednoho celku pro nastavení napájecích úrovní všech bank (sloužící k jednodušší úpravě a kontrole).

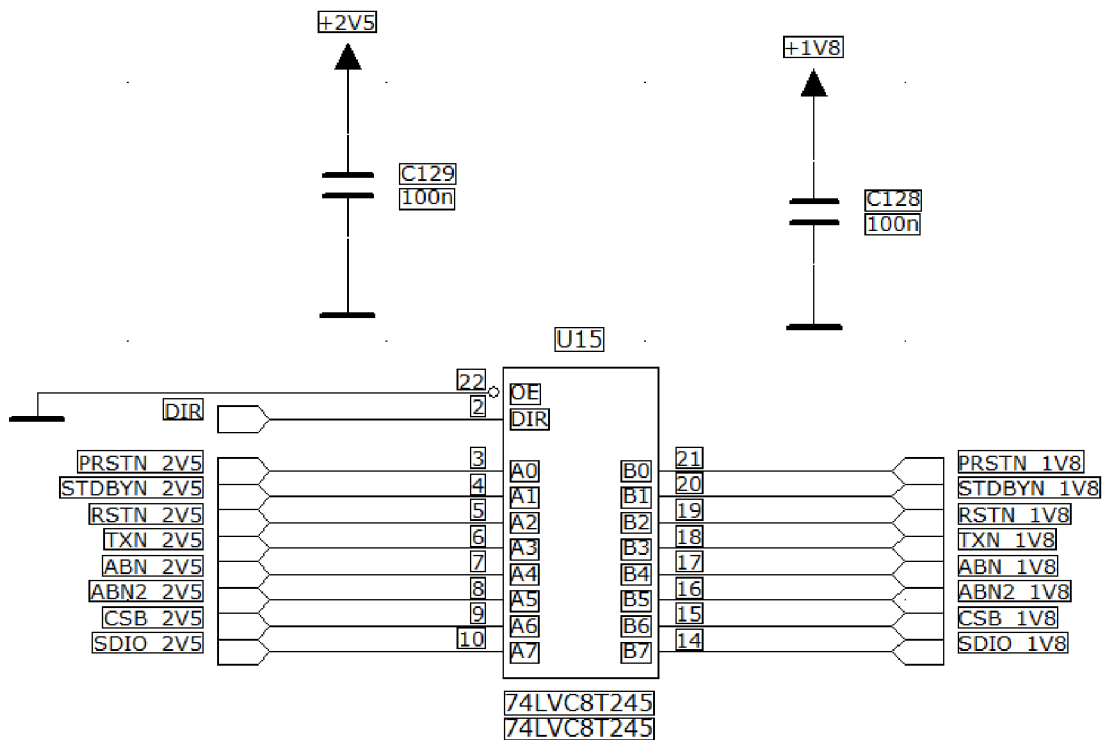
Problematika návrhu spočívá v uspořádání adresových signálů paměti DDR3. Ve specifikaci není v žádné části uvedeno, v jakém pořadí musí být adresová sběrnice uspořádána. Díky tomuto faktu je možné zapojit tento modul mnoha způsoby, které ovšem mohou výsledný návrh značně ovlivnit. Na obrázku č. 27 je ukázka zapojení jedné z adresových sběrnic. Pro výsledný návrh je zapotřebí vyzkoušet mnoho různých způsobů, tak aby byl při tvoření tzv. layoutu využit ideální počet vnitřních vrstev a nedocházelo tak k nedostatku místa. Toto schéma je výsledkem mnoha pokusů.



Obr.č. 27 Schéma zapojení adresové sběrnice k obvodu FPGA

4.4.3 Ukázka ostatních zapojení

Z požadavků na návrh vyplývá mnoho různých drobných úprav, které vyžadují přidání specifických komponent. V této krátké kapitole bude uveden pouze jeden takový příklad, který poslouží k nastínění komplexnosti a obtížnosti tvorby návrhu.



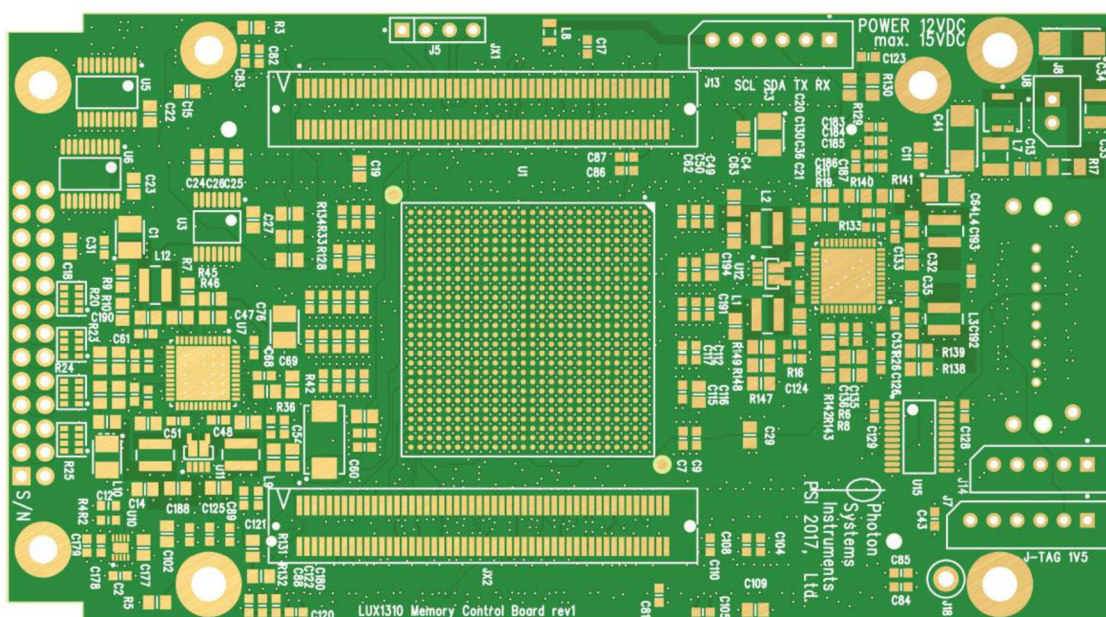
Obr.č. 28 Obousměrný převodník signálů různých napěťových úrovní

Pro realizaci propojení CCD čipu kamery a FPGA obvodu byli rezervovány dvě HR (high range) banky. Tyto banky umožňují propojení LVDS signálů s úrovní 2,5 V. Pro LVDS signály platí pravidlo, že FPGA obvod jako přijímač nemusí mít splněnu podmínku stejných napěťových úrovní. Vybraný obvod neobsahuje žádné HP (high performance) banky, které by byli 100 % kompatibilní. Pro výstupní data tyto podmínky nevytváří žádný problém, avšak ovládací signály musejí mít rozhodovací úroveň 1,8V. Signály nejsou kompatibilní i přesto, že nejsou obousměrné, protože FPGA obvod by byl použit jako vysílač. Pro vyřešení tohoto problému byl vložen osmibitový převodník napěťových úrovní zobrazený na obrázku č. 28. Přebodník 74LVC8T245 je obousměrný s dostatečně malým zpožděním. Pro volbu směru je využíváno signálu DIR, který bude nativně v logické úrovni pro volbu směru 2,5 V -> 1,8 V. Pro odstranění zákmitů napájecích úrovní jsou umístěny dva kondenzátory v těsné blízkosti vývodů. [23]

4.5 Výsledná realizace plošného spoje

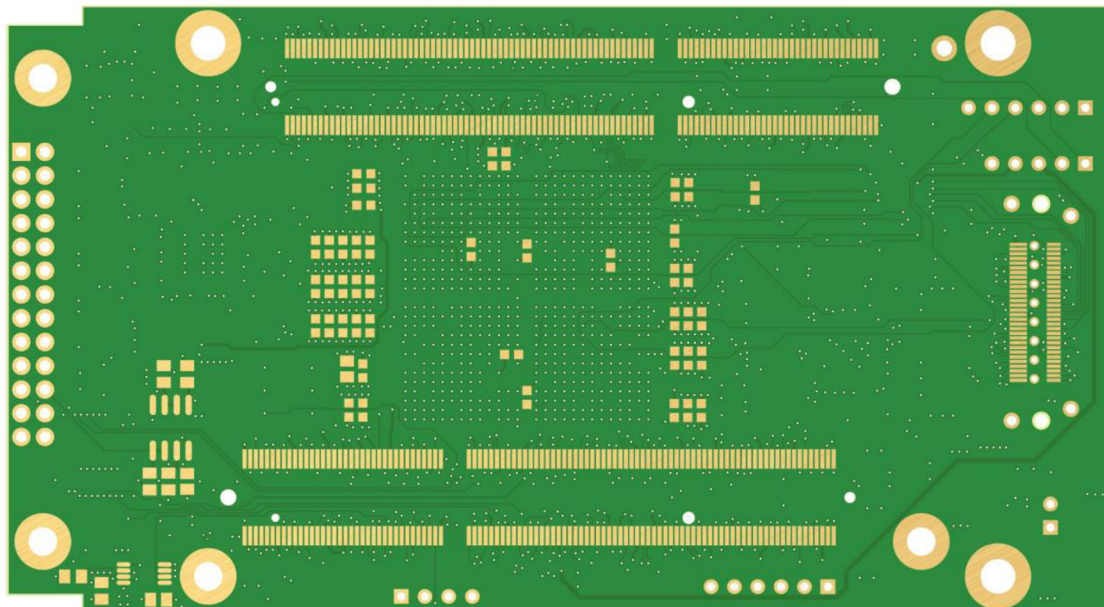
Realizace DPS byla provedena v počítačovém programu PADS od firmy Mentor Graphics v podprogramech layout a router. Tyto programy mi umožnili definovat složení desky plošného spoje a návrhová pravidla. Modul byl zařazen do konstrukční třídy VI s nejtenčí možnou cestou 0,15 mm a izolační mezerou 0,15 mm. Při návrhu bylo postupováno následujícím způsobem.

Prvním krokem je rozdělení komponent do funkčních bloků s co nejmenším počtem křížených vodičů. Tyto bloky jsem uspořádal do větších celků, které mají stejné napájecí úrovně pro jednodušší tvoření napájecích vrstev. Tyto celky byly dále uspořádány na desce plošného spoje tak, aby byli dodrženy izolační vzdálenosti a zastavení plochy bylo co největší. Následně bylo možné do zbylého prostoru vložit potřebný počet doporučených kondenzátorů. Na obrázcích č. 29 a 30 jsou zobrazeny výsledné vrstvy top a bottom.



Obr.č. 29 Pohled na plošný spoj paměťového modulu shora

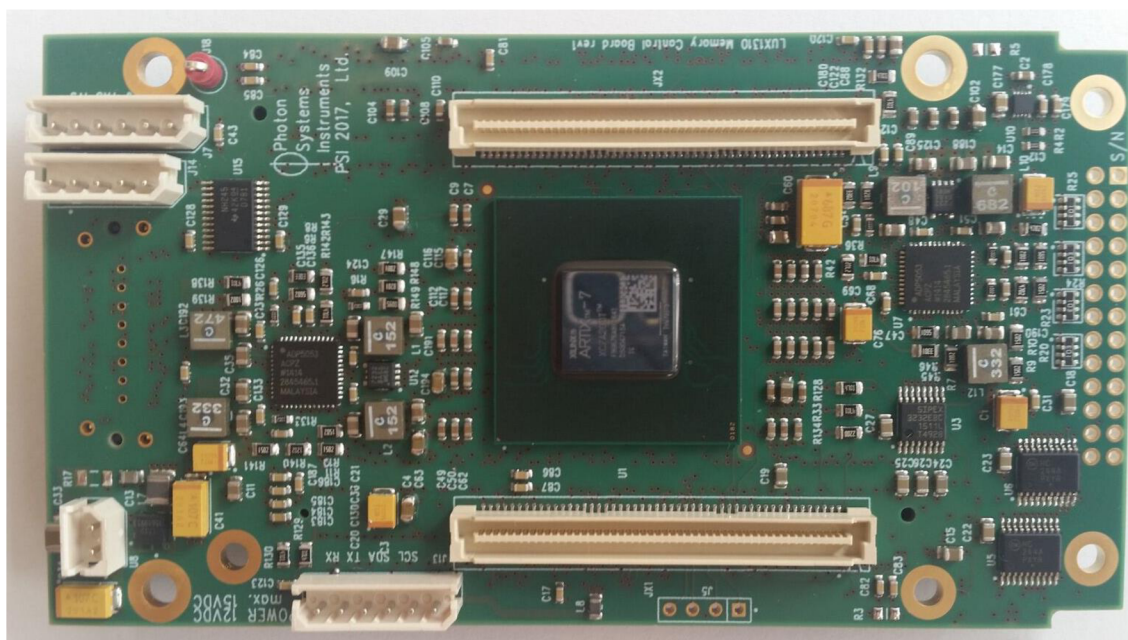
Návrh obsahuje z velké části pasivní komponenty s velikostí pouzdra 0603 (1,6 mm x 0,85 mm). Cílem byla minimalizace návrhu a její zastavené plochy, jelikož není přípustné rozšíření velikosti DPS. Je zapotřebí také nezapomenout, že prokovy zaplňují velkou část plochy nejenom venkovních vrstev, ale i vnitřních. V návrhu bylo použito přes 1800 prokovů s velikostí vrtání 0,3 mm.



Obr.č. 30 Pohled na výsledný plošný spoj paměťového modulu zespod

Výsledný plošný spoj byl poptán firmou PSI ve firmě Gatema, která sídlí v Blansku nedaleko Brna. Firma nabídla výrobu celého přířezu tedy osmi kusů. Vícevrstvé plošné spoje není možné objednat kusově pro prototypovou výrobu, jelikož jsou příliš specifickou a jedinečnou objednávkou.

Následně bylo poptáno osazení plošného spoje v kooperaci s firmou RACOM. Pro diplomovou práci byli některé komponenty objednány jako vzorkové, tudíž byli osazeni pouze dva prototypové moduly. Na obrázcích č. 31 a 32 jsou vyfoceny obě strany osazeného paměťového modulu.



Obr.č. 31 Fotografie vrchní strany součástek



Obr.č. 32 Fotografie spodní strany součástek

4.6 Návrh napájecích zdrojů

Ve výsledném návrhu diplomové práce je obsažen také kriticky důležitý návrh napájecích zdrojů nejen pro vlastní paměťový modul, ale také pro vývojový kit MicroZed a CMOS modul. Při návrhu musí být myšleno na efektivitu přeměny energie a přesnost napěťových úrovní. FPGA obvody mají malou toleranci odchylek napájecích úrovní, proto je zapotřebí návrh optimalizovat pro přesný a teplotně stabilní zdroj.

Pro celkový návrh bylo zapotřebí implementovat přímo na plošný spoj mnoho zdrojů napájení. Návrh využívá těchto úrovní: 1 V, 1,5 V, 1,8 V, 2,5 V, 3,3 V, 5 V, referenčního napětí 0,75 V a 1,5 V oddělený zdroj pro posílení terminací datových linek, které jsou uskutečněny přímo na SODIMM modulech.

Při současných technologických možnostech se naskýtá mnoho řešení pro implementaci potřebných zdrojů. Například firma Linear Technology nabízí ve svých katalogových listech širokou škálu napěťových regulátorů vhodných pro FPGA obvody, které se vyznačují výhodou malého nutného počtu filtračních kondenzátorů a cívek. Tyto komponenty jsou totiž již umístěny přímo v pouzdru regulátoru. Tyto regulátory však vyrábí vždy pouze jednu napěťovou úroveň s požadovanou přesností. Návrh by obsahoval poměrně vysoký počet regulátorů, které by zabírali velkou plochu na plošném spoji. Hlavní kritérium výběru je potřebná zastavěná plocha. [24]

Vhodným řešením by byl integrovaný obvod, který by umožnil tvorbu hned několika napěťových úrovní s dostatečnou proudovou dotací. Firma Analog Devices nabízí specifický obvod doporučený pro tvorbu napájecích úrovní pro FPGA obvody. Tím je obvod ADP5053, který je integrovaným řešením čtyř nezávislých regulátorů a vlastního dohlížení nad správnou úrovní napětí. Všechny kanály jsou teplotně stabilní v celém

rozsahu s přesností 1,5 %. Tento obvod má široký rozsah vstupního napětí od 4,5 V do 15 V. Hlavním důvodem vyhledání integrovaného řešení je nutnost ušetřit co největší plochu na desce plošného spoje, jelikož není možné rozměry této DPS jakkoliv změnit. Je součástí již vyvinutého systému, který je pevně daný. [25]

V prvním návrhu pro generování dvou klíčových referenčních napětí, jsem vyhledal nízkošumový dvoukanalový napěťový regulátor ADP223 od firmy Analog Devices. Jeho počáteční přesnost je plus minus 1 %, kterou ovšem ovlivňují rezistory ve zpětné vazbě (předpoklad 1 % chyby SMD rezistorů). Splňuje základní podmínku, aby zabíral co nejméně místa na desce plošného spoje. Tento dvoukanalový regulátor je uzavřen v malém, osmi-vývodovém pouzdře LFCSP (2 mm x 2 mm), vhodného pro bezolovnaté pájení. Tento integrovaný obvod také vyniká v dobré teplotní stabilitě a potlačení vstupního napětí o frekvenci větší než 100kHz. [26]

Pro návrh integrace paměťových modulů SODIMM však regulátor ADP223 nebyl proudově dostačující. Byl zaměněn za TPS 51206 regulátor určený přímo pro paměti typů DDR2, DDR3 a DDR4. Tento dvoukanalový regulátor vytváří napájecí napětí pro zakončovací odpory DDR paměti. Druhý kanál pak vytváří nutné referenční napětí. Regulátor dokáže špičkově dodat či pojmout proud o velikosti 2 A při napětí 1,5 V. Vyniká rychlou odezvou a malým počtem potřebných keramických kondenzátorů. Jeho velkou výhodou je velikost pouzdra, jelikož je dodáván v pouzdru desetipinového WSON. I při tak vysokém výkonu je pouzdro veliké pouze 2,1 mm x 2,1 mm. [27]

4.7 Postup návrhu zdroje ADP5053

V následující kapitole bude krok po kroku rozebrán postup vytváření schématu zapojení spínaného regulátoru ADP5053 dle doporučené metodiky z technické specifikace [25], který byl pro návrh vybrán. Postup bude uveden pouze jako příklad pro nastavení jednoho výstupního kanálu.

Návrh předpokládá velký maximální špičkový odběr proudu. Proto bylo zapotřebí původní vstupní napětí 5 V změnit na 12 V, aby nebyly příliš proudově namáhány vstupní konektor a cesty. Díky vyššímu napětí bude stejný výkon přenášen menším proudem. Přívodové cesty na plošném spoji se tím pádem nebudou tak značně ohřívat ztrátovým výkonem.

4.7.1 Nastavení spínací frekvence

Prvním krokem je nastavení spínací frekvence zdroje. Obecně se dá říci, že vyšší frekvence znamená nižší potřebné hodnoty součástek a tím pádem menší zastavěnou plochu díky menším velikostem pouzder. Naopak nižší spínací frekvence znamená větší efektivitu přeměny energie, díky menším spínacím ztrátám. Frekvenci lze nastavit v rozsahu 250 kHz až 1,4 MHz pomocí rezistoru připojeného k vývodu RT a zemi. Pro

návrh bylo použito frekvence 600 kHz a odpor R_T lze vypočíst dle následujícího vztahu (8). Výsledný odpor lze sestavit pomocí sériové kombinace více odporů. [25]

$$R_{RT}(k\Omega) = \left(\frac{14,822}{f(kHz)}\right)^{1,081} \quad (8)$$

$$R_{RT}(k\Omega) = \left(\frac{14,822}{600}\right)^{1,081} = 31,6 \text{ k}\Omega$$

4.7.2 Nastavení výstupního napětí

Výstupní napětí je nastavováno zpětnou vazbou vývodu FB, který má referenční napětí 0,8 V (V_{ref}). Pomocí Ohmova zákona můžeme odvodit z napěťového děliče následující vzorec pro výstupní napětí (rovnice 9). [25]

$$R_{bot} = R_{top} * \left(\frac{V_{ref}}{V_{out} - V_{ref}}\right) \quad (9)$$

Pro výpočet takového děliče však musíme uvažovat reálné hodnoty odporů, tedy hodnoty, které se vyskytují například v často používané normované řadě E12. Pro jednodušší výpočet lze také použít programů třetích stran, které jsou volně dostupné na internetu. Při takovémto návrhu nesmíme zapomenout na celkovou rezistivitu, která udává maximální velikost proudu. Ta by se měla pohybovat v řádech 10 k Ω a neměla by příliš překročit 100 k Ω . Většina programů tohoto typu vypočítá procentuální chybu požadovaného napětí. Pro lepší korekci lze jeden z odporů nahradit paralelní kombinací, která bude mít přesnější požadovanou hodnotu. Nemá však příliš smysl korigovat chybu menší než 0,5 %, jelikož samotná přesnost výroby těchto normovaných odporů je 1 %.

Pro konkrétní příklad výstupního požadovaného napětí byli určeny rezistory $R_{top} = 8,2 \text{ k}\Omega$ a $R_{bot} = 33 \text{ k}\Omega$ s odchylkou 0,121 %.

4.7.3 Výpočet indukčnosti výstupní cívky

Maximální dodaný proud kanálu číslo jedna je 4 A. Ve výpočtech spínaných zdrojů je určen maximální zákmitový proud (ΔI) o velikosti 35 % z maximální hodnoty. V následujícím návrhu je 1,4 A veliký. Vzorec č. 10 udává výpočet velikosti výstupní cívky. [25]

$$L = \left[(V_{in} - V_{out}) * \frac{V_{out}}{V_{in}} \right] / (\Delta I * f) \quad (10)$$

$$L = \frac{\left[(12 - 1) * \frac{1}{12} \right]}{1,4 * 600\ 000} = 1,09 \mu H$$

Výsledek je zapotřebí zaokrouhlit na reálnou hodnotu nabízených cívek na trhu. Výkonové cívky pro velké proudy lze vybrat od výrobce Coilcraft z řady XFL4020 například o hodnotě 1 μH , která se nejvíce blíží vypočtené hodnotě 1,09 μH .

4.7.4 Výpočet kapacity výstupního kondenzátoru

Výběr výstupních kondenzátorů přímo ovlivňuje zvlnění výstupního napětí regulátoru a jeho dynamiku. Při náhlém zvýšení odběru proudu, kondenzátory dodávají požadovanou energii, dokud regulátor nezareaguje na zvýšení proudu výstupní cívkou. Náhlá změna odběru proudu může snížit výstupní napětí. Pro výpočet minimální kapacity pro zamezení tohoto jevu lze využít vzorce č. 8. Ve výpočtu využijeme požadovanou maximální odchylku výstupního napětí (ΔV_{out}) jako 1 % odchylku. [25]

$$C_{out} = \frac{\Delta I^2 * L}{(V_{in} - V_{out}) * \Delta V_{out}} \quad (11)$$

$$C_{out} = \frac{1,4^2 * 1}{(12 - 1) * 0,01} = 17,8 \mu\text{F}$$

Podobnou úvahou lze odvodit opačný problém. Při skokovém snížení odběru proudu dynamika výstupní cívky a regulátoru reaguje na změnu pomaleji. Nadbytečný proud je zapotřebí uložit v kondenzátoru a způsobuje tak zvětšení výstupního napětí. Výpočet velikosti výstupního kondenzátoru pro redukci tohoto jevu lze provést dle rovnice č. 12. [25]

$$C_{out} = \frac{2 * \Delta I^2 * L}{(V_{out} + \Delta V_{out})^2 - V_{out}^2} \quad (12)$$

$$C_{out} = \frac{2 * 1,4^2 * 1}{(1 + 0,01)^2 - 1^2} = 195 \mu\text{F}$$

Důležitým parametrem pro výběr kondenzátoru je také ekvivalentní sériový odpor neboli ESR. Určuje, jaký druh kondenzátoru je zapotřebí použít. Keramické kondenzátory mají velice nízký odpor, avšak nedisponují velikými kapacitami. Při výsledném návrhu lze vytvořit kombinaci několika kondenzátorů, tak aby byli dodrženy potřebné parametry. Přibližnou hodnotu ESR lze vypočíst dle rovnice č. 13. [25]

$$R_{ESR} = \frac{\Delta V_{out}}{\Delta I} \quad (13)$$

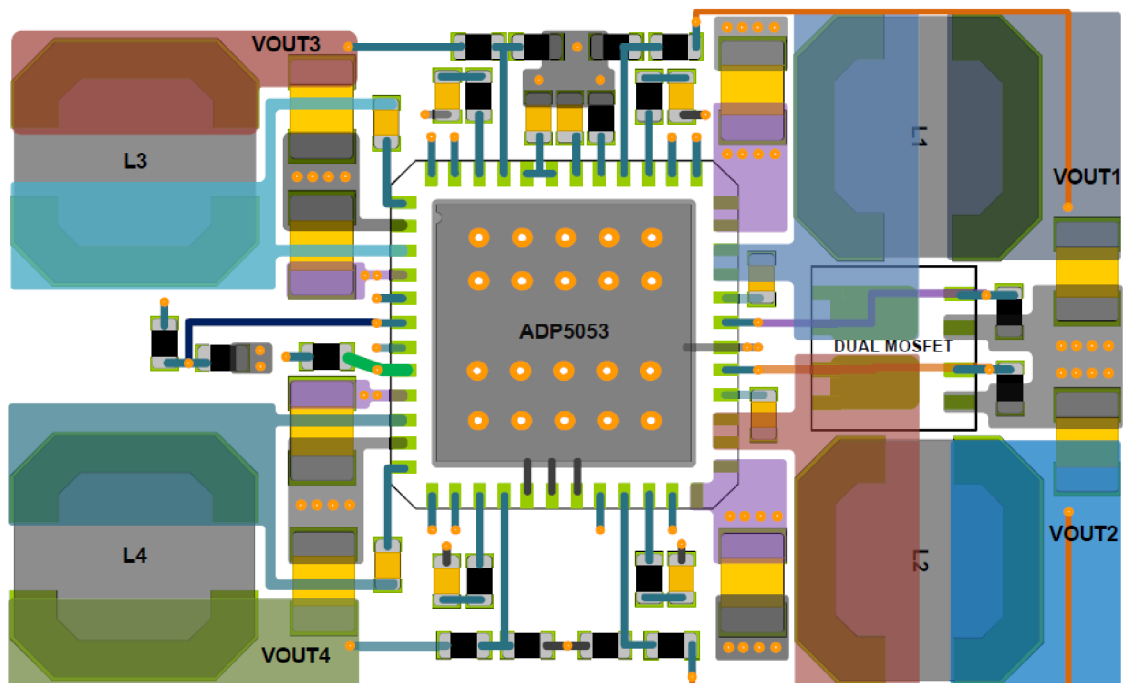
$$R_{ESR} = \frac{0,01}{1,4} = 7,14 \text{ m}\Omega$$

Výsledkem výpočtů pro výběr výstupního kondenzátoru je výběr nejhoršího scénáře, tedy největší vypočtené kapacity. Pro vzorový výpočet je výsledkem výstupní

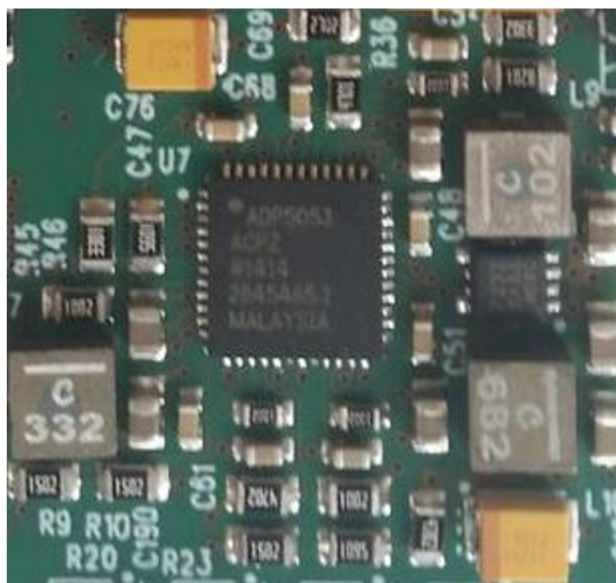
kondenzátor o minimální hodnotě 195 μF a ekvivalentním odporu 7,14 $\text{m}\Omega$. V návrhu lze těchto parametrů docílit použitím několika keramických kondenzátorů z řady X5R či X7R.

4.7.5 Zastavěná plocha DPS

Cílem návrhu integrace čtyřkanálového spínaného zdroje byla co nejmenší výsledná plocha na DPS. Obrázky č. 33 a 34 slouží k porovnání minimální potřebné plochy uvedené ve specifikaci a plochy výsledného návrhu. Hlavním rozdílem, které ovlivňují velikost obsazené plochy je druh použitých pouzder. Ve vlastním návrhu o velikosti 21 mm x 26 mm jsem využil převážně pouzder SMD 0603 a 0805, dle možností skladových zásob firmy PSI. V ukázkovém návrhu o velikosti 21 mm x 14 mm jsou použity velikosti SMD 0402. [25]



Obr.č. 33 Minimální potřebná plocha 21 mm x 14 mm (dle specifikace) [25]



Obr.č. 34 Fotografie plochy zastavěné zdrojem ADP5053 (25 mm x 23 mm)

4.8 ABRA skladové hospodářství

Firma PSI si před několika lety zakoupila počítačový software ABRA, který slouží zejména pro řízení výroby a skladu. Ať už při zpracování objednávky nebo výroby prototypu, je vždy nutné vše pečlivě zaznamenat do systému a ve výsledku vytvořit výrobní příkaz. V následující kapitole vysvětlím základní kroky, které vedou k výrobě osazené DPS. Veškeré kroky jsem provedl vlastnoručně, tak abych byl v budoucnu schopen do systému zadávat výrobu DPS sám.

Celý postup začíná na úrovni skladu a skladových zásob. Každá položka má svoji kartu a takzvané PSI číslo. Podle unikátních identifikátorů lze vždy jednoduše zjistit, jaký počet kusů je přítomen na skladě a v jakém sektoru ho lze najít. Pro vlastní návrh je zapotřebí vytvořit pro každý druh součástky skladovou kartu, pokud taková již neexistuje. Většinou se jedná o nové komponenty, které byli v návrhu použity poprvé. Vlastní skladovou kartu má také poptaný plošný spoj od firmy Gatema. Skladové karty mohou také obsahovat jednoduché informace jako například dodavatele, nákupní cenu a další.

Pokud má každá unikátní komponenta svoji skladovou kartu, lze započít tvorbu osazovací verze DPS. Ta se skládá ze dvou částí: vytvoření osazovacího výkresu v programu PADS a založení osazovací verze v systému ABRA. Z programu PADS získáme dva soubory pdf s rozložením komponent ve vrstvách „top“ a „bottom“. Do skladového systému se zadává kusovník pro tuto verzi a technologický postup. Na obrázku č. 35 je zobrazena ukázka technologického postupu pro kooperaci osazení DPS s externí firmou. Čárové kódy slouží k zaznamenání času stráveného zaměstnancem nad jednotlivým úkonem. Zaměstnavatel tak může mít přehled nejen o zaměstnancích

a jejich výkonech, ale také nad potřebným průměrným časem pro výrobu konkrétního výrobku.

Poř.	Etapa	Čas operace	Operace	Čárový kód
1	KOO	0 min	Kooperace - tisková šablona F69901	
2	KOO	0 min	Kooperace - technologická příprava výroby F69901	
3	KOO	0 min	Kooperace - osazení F69901/ osazovací verze 1.1	
4	BEZ	0 min	Oživení / testování / kontrola / oprava	
5	BEZ	0 min	Přijem na sklad	

Obr.č. 35 Ukázka technologického postupu pro osazení DPS

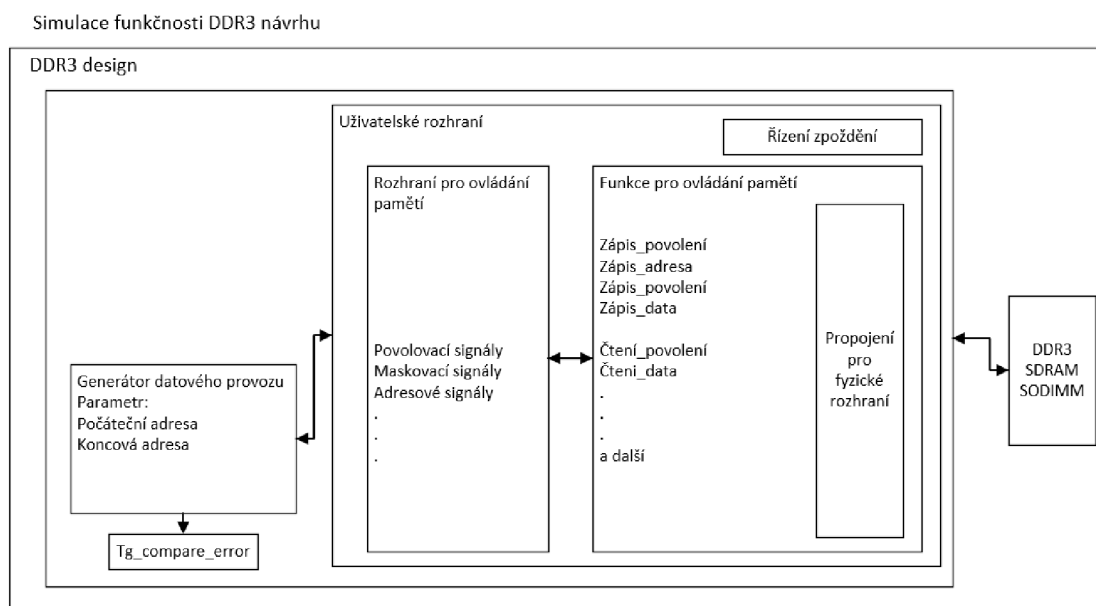
Závěrem operací je tvorba požadavku na výrobu a vyhotovení výrobního příkazu. Požadavek slouží pouze jako mezioperace, při které se určí potřebný počet kusů a musí být schválen vedoucím výroby. Výrobní příkaz plošného spoje se skládá z kusovníku komponent dodávaných firmou PSI a seznamem komponent, které typicky vlastní a nabízí RACOM. Na obrázku č. 36 je zobrazena část kusovníku z programu ABRA, která porovnává požadovaný počet kusů a počet kusů na skladu. Je tedy ihned zřejmé, které součástky je nutné doobjednat a zajistit jejich dodání k osazení.

Poz.	Typ	Materiál/Pol.	Požadováno	Stav skladu	Zajištěno	Jed.	Vychystáno
1	MA	PSI21767	F69901 - lux1310 memory control board rev1	2,000	0,000	ks	○
2	MA	PSI08308	74HC244ADTG	4,000	444,000	4,000	●
3	MA	PSI21373	74LVC2G241DP	2,000	10,000	2,000	●
4	MA	PSI07873	74LVC8T245PW	2,000	552,000	2,000	●
5	MA	PSI10678	Nenormovaný materiál v kusovníku	4,000	0,000	ks	○
6	MA	PSI21699	XC7A200T-2FBG676C	2,000	2,000	2,000	●
7	MA	PSH15817	FCI 61083-101400LF PLUG, SMD, 0.8MM, 100WAY	4,000	116,000	4,000	●
8	MA	PSH16801	CAPC 0603 10% X7R 16V 100nF	66,000	1 239,000	66,000	●
9	MA	PSH19912	CAPC 0603 10% X7R 50V 10nF	8,000	4 402,000	8,000	●
10	MA	PSH16362	CAPC 0603 10% X5R 10V 10uF	8,000	3 560,000	8,000	●
11	MA	PSI21676	CAPC 0603 10% X7R 16V 470nF	104,000	4 000,000	104,000	●
12	MA	PSI21677	CAPC 0603 10% X7R 50V 4,7nF	12,000	2 700,000	12,000	●
13	MA	PSI21678	CAPC 0603 10% X5R 6,3V 4,7uF	60,000	4 000,000	60,000	●
15	MA	PSI02941	CAPC 0805 10% X5R 16V 10uF	30,000	2 890,000	30,000	●
17	MA	PSI10678	Nenormovaný materiál v kusovníku	20,000	0,000	ks	○
18	MA	PSI04061	CAPC 0805 10% X7R 16V 4,7uF	4,000	2 994,000	4,000	●
19	MA	PSI04062	CAPC 1210 10% X5R 16V 10uF	2,000	433,000	2,000	●
20	MA	PSI02967	CAPT B 10% 6,3V 100uF	10,000	884,000	10,000	●
21	MA	PSH18890	CAPT C 10% 16V 100uF	4,000	1 405,000	4,000	●
22	MA	PSI21680	CAPT D 10% 4V 680uF	2,000	4,000	2,000	●
24	MA	PSI21691	XFL4020-152MEC	4,000	5,000	4,000	●
25	MA	PSI21692	XFL4020-102MEC	2,000	5,000	2,000	●
26	MA	PSI21693	XFL4020-332MEC	4,000	5,000	4,000	●
27	MA	PSI21694	XFL4020-472MEC	2,000	5,000	2,000	●
28	MA	PSI21695	XAL4030-682MEC	2,000	5,000	2,000	●
29	MA	PSI06488	LCBB-600	2,000	2 555,000	2,000	●

Obr.č. 36 Ukázka kusovníku z programu ABRA

5 Simulace funkčnosti paměti DDR3

Pro ověření funkčnosti návrhu bylo zapotřebí vytvořit testovací program, který pomocí jednoduchých funkcí otestuje komunikaci mezi obvodem FPGA a paměťovými moduly typu SODIMM. Před samotnou výrobou DPS bylo zapotřebí provést simulaci kalibrace, zápisu a čtení pro alespoň jeden paměťový modul s navrženým zapojením. Z části bylo využito již hotových funkčních bloků z programu Vivado Design Suite, které bylo nutné upravit dle vlastního navrženého zapojení, nakonfigurovat a propojit je takovým způsobem, aby vytvořili jeden velký simulační celek. Na obrázku č. 37 je zakresleno zjednodušené blokové schéma pro simulaci funkčnosti paměti DDR3.

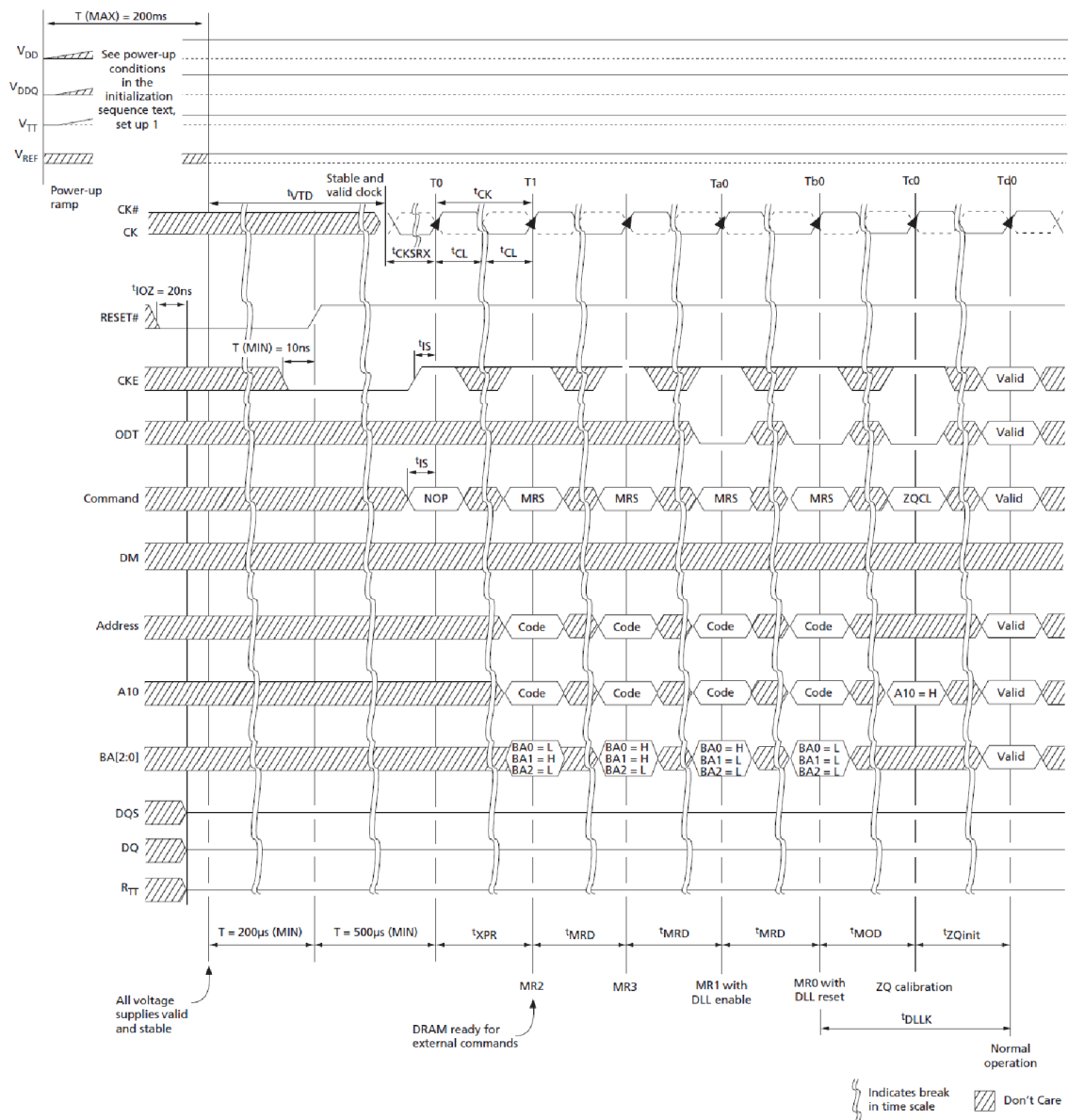


Obr.č. 37 Blokové schéma simulace funkčnosti paměti DDR3

K testování funkčnosti návrhu je využito bloku pro simulaci chování paměti DDR3, který byl vygenerován pro konkrétní typ paměti. Firma Xilinx integrovala do svého vývojového prostředí modely paměťových modulů od firmy Micron, které obsahují časové a jiné parametry.

Generátor datového provozu vytváří jednoduché smyčky zápisů a čtení, které se spustí po úspěšné kalibraci paměťových linek. V jednotlivých smyčkách dochází k inkrementaci adresového prostoru a zapisovaných dat, tak aby při porovnání s vyčtenými daty bylo možné ověřit, že zapsaná data byla ve správném adresovém prostoru. Při zjištění chyby je generován chybový signál s názvem `Tg_compare_error`, který signalizuje nejen stav, ale i podmínky při kterých byl zachycen. Hlavními parametry, které lze měnit pro simulaci jsou počáteční a koncová adresa.

Uživatelské rozhraní obsahuje tři podcelky. První blok nazvaný řízení zpoždění obsahuje kalibraci zpoždění datových linek, která je vždy provedena po zapnutí systému. Tento blok generuje signál s anglickým názvem `init_calib_complete`, který signalizuje



Obr.č. 39 Doporučená inicializace dle specifikace [4]

5.2 Zápis do paměti DDR3

Příkaz zápisu je používán k jednorázovému zápisu do aktivní řady. Hodnota signálů BA [2:0] vybírá požadovanou banku. Signály A10 a A12 jsou využívány k volbě automatického vybíjení po dokončení příkazu, aby bylo možné provést zápis do jiného bloku paměti. Tabulka č. 6 znázorňuje požadované logické úrovně ovládacích signálů pro zapisovací příkaz.

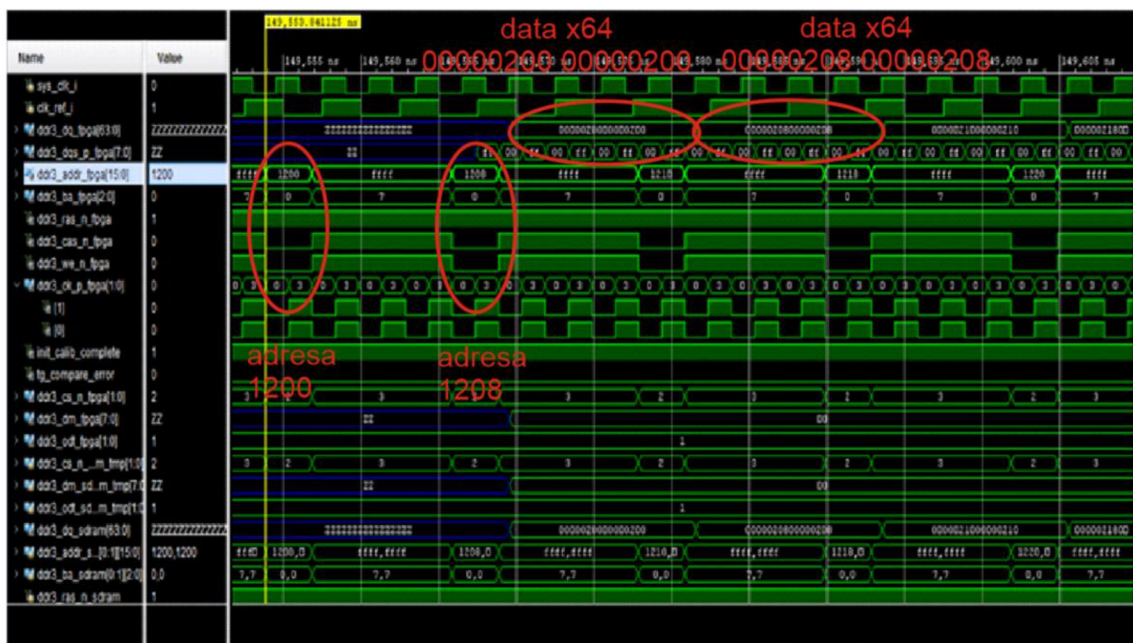
Tabulka 6 Pravdivostní tabulka funkce zápis [4]

Funkce	CKE	CS#	RAS#	CAS#	WE#	BA [2:0]	A12	A10
Zápis	1	0	1	0	0	BA	1	0
Zápis s automatickým vybitím	1	0	1	0	0	BA	1	1

Při zápisu je nutné, aby byl ovládán maskovací signál DM zároveň s datovou linkou. Pokud by byl signál DM v logické úrovni 1, data budou ignorována a nebude proveden zápis. Pro úspěšný zápis musí být signál DM v logické úrovni 0.

Na obrázku č. 40 je zobrazen průběh zápisu ze simulace pro ověření funkčnosti návrhu. Je prováděna inkrementace adresového prostoru a zapisovaných dat, tak aby bylo možné při vyčtení provést porovnání. Simulace byla provedena s frekvencí hodinového signálu paměti 333 MHz.

Příkaz pro zápis či čtení je vždy synchronizován s hodinovým signálem paměti a je vyslán s předstihem před samotnými zapisovanými daty. Pozdržení datové sběrnice lze nastavit v rozsahu pěti až desíti period hodinového signálu. Takovýmto postupem lze docílit spolehlivější inicializace paměťového bloku.



Obr.č. 40 Ukázka zápisu dat

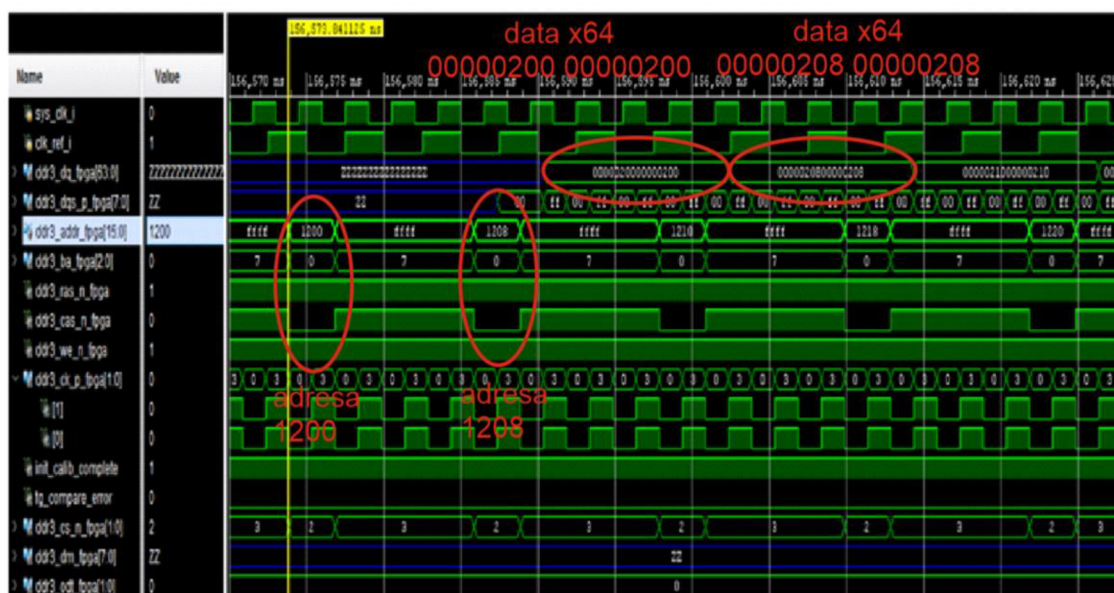
5.3 Čtení z paměti DDR3

Příkaz pro čtení iniciuje jednorázový přístup do aktivní řady. Adresová sběrnice A [12:0] určuje nejen adresový prostor pro čtení, ale také druh čtení. Při přístupu do paměti, musejí být jednotlivé bloky takzvaně „přednabity“. Z tohoto důvodu existují jednorázové či vícenásobné typy čtecích příkazů, které po ukončení sekvence vybijí blok a umožní tak přístup do jiného bloku. Požadované logické úrovně ovládacích signálů pro příkaz čtení jsou zobrazeny v tabulce č. 7.

Tabulka 7 Pravdivostní tabulka funkce čtení [4]

Funkce	CKE	CS#	RAS#	CAS#	WE#	BA [2:0]	A12	A10
Čtení	1	0	1	0	1	BA	1	0
Čtení s automatickým vybitím	1	0	1	0	1	BA	1	1

Simulační program cyklicky vyčítá uložená data ve známém prostoru a porovnává je se zapsanými daty. Dochází tedy k inkrementaci adresového prostoru vyčítání (1200, 1208, 1216, 1224...) a inkrementaci samotných uložených dat (0000020000000200, 0000020800000208, ...). Výsledek je ihned porovnáván se známou sekvencí zapsaných dat a chybový stav je ihned signalizován výstupem Tg_compare_error. Na obrázku č. XX je zobrazen průběh čtecí sekvence ze simulačního programu, který byl proveden pro frekvenci hodinového signálu 333 MHz. Příklad reprezentuje bezporuchový průběh testování funkčnosti paměti typu DDR3.



Obr.č. 41 Ukázka čtecí sekvence

6 Závěr

Cílem diplomové práce je návrh rychlého paměťového modulu a seznámení se s problematikou týkající se ukládání dat v paměti vysokorychlostní kamery. Pro práci jsem vytvořil dva návrhy k rozšíření paměťové kapacity vysokorychlostní kamery pomocí paměti typu DDR3. Návrh jsem provedl dle požadavků firmy Photon Systems Instruments (PSI), se kterou jsem po celý čas řešení mé diplomové práce úzce spolupracoval. Pro výslednou výrobu byla vybrána firmou PSI komerčně výhodnější varianta. Modul úspěšně zvyšuje požadovanou kapacitu paměti typu DDR3 o 32 GB. Návrh splňuje podmínku ukládání videosekvence s maximální přenosovou rychlostí CMOS senzoru, která je přibližně rovna 2 GB/s. Paměťový modul je tak schopen zaznamenat videosekvenci o velikosti 16 sekund. Z důvodu omezené základní kapacity (1GB), vysokorychlostní kamera v současné době zaznamenává pouze velmi krátké děje v řádu stovek milisekund, které probíhají například při osvětlení rostlin světelným zářením. Je možné, díky rozšíření paměťové základny, také rozšířit možné komerční využití pro pomalejší děje (v řádu sekund).

Úvod diplomové práce sestává z rozboru zadání a jeho možnými řešeními. Jsou zde rozebrány základní vlastnosti kamerového systému, které jednoznačným způsobem vytváří minimální požadavky na výsledný paměťový modul.

Diplomová práce se zabývá rozбором zadání, ve kterém jsou popsány minimální požadavky na rozšiřující paměťový modul. Z těchto požadavků jsem navrhl dvě možná řešení, která se liší hlavním parametrem, a to maximální kapacitou paměti. První návrh obsahuje integraci paměťového čipu na samotný modul a druhý se zabývá zabudováním paměťových modulů typu DDR3 SODIMM.

Diplomová práce popisuje teoretické znalosti potřebné k pochopení funkce paměti DDR3 a obvodů FPGA, které jsou hlavními součástmi návrhu. Samotný návrh pak obsahuje jako hlavní řídicí jednotku programovatelné hradlové pole od firmy Xilinx, které řídí ukládání dat z kamerového CMOS čipu do dvou navržených paměťových bloků, každý o maximální velikosti 16 GB. Nadřazenou jednotkou celého systému je vývojová deska MicroZed, která na pokyn uložená data vyčítá a přeposílá do stolního počítače. Vysokorychlostní kamera může být prodávána i jako součást větších měřících celků, které firma PSI nabízí.

Při realizaci vybraného návrhu jsem vytvořil schématické zapojení a výrobní podklady, v programu PADS, pro výrobu desky plošných spojů. Výroba a osazení čtrnáctivrstvé DPS byla realizována ve firmě Gatema a.s. a RACOM s.r.o. Samotné objednání však z důvodů administrativních provedli pracovníci firmy PSI. Ve výrobě však došlo k nečekaným technologickým komplikacím, které bohužel nebylo možné žádným způsobem ovlivnit. Osazený plošný spoj byl dodán s tak velkým časovým zpožděním, že nebylo možné provést úplné otestování modulu, ale jen zprovoznění základní funkčnosti zařízení.

Pro testování modulu a paměti DDR3 SODIMM jsem vytvořil program pro obvod FPGA, který ověřuje plnou funkčnost paměti. Pro jeho vytvoření jsem částečně využil generovaných bloků programem Vivado Design Suite, které jsem podle svého návrhu upravil. To mi umožnilo provést jednoduchý test s dvěma indikačními led diodami, které signalizují úspěšnou kalibraci a chybový stav při porovnávání zapsaných a vyčtených dat. Dalším krokem bude test závislý na řídicí frekvenci, aby bylo zjištěno s jakou velkou přenosovou rychlostí je schopný paměťový modul pracovat. Při vyšších frekvencích může docházet ke kritickým přeslechům.

Jako pokračování diplomové práce bude zapotřebí návrh plně integrovat do vysokorychlostní kamery a provést plné otestování vyvinutého modulu. Ve firmě PSI pracuji jako brigádník již pět let a dalším rokem nastupuji jako stálý zaměstnanec. V integraci modulu budu tedy pokračovat s cílem finálního zprovoznění videozáznamů z CMOS senzoru a ve spolupráci s ostatními zaměstnanci zprovozním zařízení tak, aby pracovalo s nadřazenými systémy. Se získanými znalostmi a zkušenostmi v oblasti návrhu DPS integrující 676 vývodový obvod FPGA bude možné provést inovaci zařízení vysokorychlostní kamery, která by integrovala jediný obvod FPGA, který by řídil celý systém. Sloučení bych vzhledem k náročnosti provedl pouze za předpokladu sériové výroby vysokorychlostní kamery.

Použitá literatura

- [1] Photon Systems Instruments [online]. Drásov: Photon Systems Instruments, spol. s r.o., 2017 [cit. 2017-05-14]. Dostupné z: www.psi.cz
- [2] AVNET. MicroZed Production. *MicroZed Production* [online]. 2014, 11 [cit. 2017-05-14]. Dostupné z: microzed.org/sites/default/files/./MicroZed_Rev_F_Schematic_141212.pdf
- [3] LUX1310. *Luxima* [online]. Luxima Technology, 2017 [cit. 2017-05-14]. Dostupné z: http://www.luxima.com/product_briefs/LUX1310.html
- [4] Micron. DDR3L SDRAM. *DDR3L SDRAM* [online]. 2015, 205 [cit. 2017-05-14]. Dostupné z: https://www.micron.com/./8gb_ddr3l.pdf
- [5] FPGA. Xilinx [online]. Xilinx, 2017 [cit. 2017-05-14]. Dostupné z: <https://www.xilinx.com/products/silicon-devices/fpga.html>
- [6] FPGA (Field-programmable gate array). CompuSys Solutions [online]. 2013 [cit. 2017-05-14]. Dostupné z: <http://compusyssolutions.com/category/main>
- [7] ALTERA. FPGA architecture. *FPGA architecture* [online]. 2006, 14 [cit. 2017-05-14]. Dostupné z: https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/wp/wp-01003.pdf
- [8] Micron. General DDR SDRAM functionality. *General DDR SDRAM functionality* [online]. 2001, 11 [cit. 2017-05-14]. Dostupné z: <https://www.micron.com/./tn4605.pdf>
- [9] Micron. Technical note. *DDR3 Point to point design* [online]. 2013, 11 [cit. 2017-05-14]. Dostupné z: https://www.micron.com/./tn4113_ddr3_point_to_point_design.pdf
- [10] Micron. 1.35V DDR3L SDRAM SODIMM. *MT16KTF2G64HZ – 16GB* [online]. micron, 2014, 15 [cit. 2017-05-14]. Dostupné z: https://www.xilinx.com/support/documentation/user./ug471_7Series_SelectIO.pdf
- [11] Mouser. *Mouser* [online]. 2017 [cit. 2017-05-14]. Dostupné z: <http://cz.mouser.com/Connectors/Memory-Connectors>
- [12] Texas Instruments. LVDS Owner's Manual. *LVDS Owner's Manual* [online]. 2008, 111 [cit. 2017-05-14]. Dostupné z: www.ti.com/LVDS
- [13] PCB Expert. Referenční vrstvy spojů s definovanou impedancí na DPS. *Newsletter* [online]. 2017, (1), 8 [cit. 2017-05-14]. Dostupné z: <http://www.edatools.cz/mainhome/pcb-expert/newsletter/pcb-expert-newsletter-2017-1>

- [14] NXP. Hardware and Layout Design Considerations for DDR3 SDRAM Memory Interfaces. *AN3940* [online]. Freescale Semiconductor, 2013, 111 [cit. 2017-05-14]. Dostupné z: www.nxp.com/files/32bit/doc/app_note/AN3940.pdf
- [15] Xilinx. 7 Series FPGA Overview. *Product Specification* [online]. 2016, 18 [cit. 2017-05-14]. Dostupné z: https://www.xilinx.com/support/./ds180_7Series_Overview.pdf
- [16] Artix 7. *Digikey* [online]. Digi-Key, 2017 [cit. 2017-05-14]. Dostupné z: <http://www.digikey.com/catalog/en/partgroup/artix-7/31424>
- [17] Micron. *Micron* [online]. Micron Technology, 2017 [cit. 2017-05-14]. Dostupné z: <http://www.micron.com>
- [18] Gatema. *Pcb.gatema* [online]. gatema, 2017 [cit. 2017-05-14]. Dostupné z: <http://pcb.gatema.cz/>
- [19] Xilinx. 7 Series FPGAs Packaging and Pinout. *Product Specification* [online]. 2016, 288 [cit. 2017-05-14]. Dostupné z: https://www.xilinx.com/support/./ug475_7Series_Pkg_Pinout.pdf
- [20] Xilinx. 7 Series FPGAs. *PCB Design Guide* [online]. 2016, 74 [cit. 2017-05-14]. Dostupné z: https://www.xilinx.com/support/./ug483_7Series_PCB.pdf
- [21] Xilinx. 7 Series FPGAs SelectIO Resources. *User Guide* [online]. xilinx, 2016, 188 [cit. 2017-05-14]. Dostupné z: https://www.xilinx.com/support/documentation/./ug471_7Series_SelectIO.pdf
- [22] Xilinx. Recommended Design Rules and Strategies for BGA Devices. *User Guide* [online]. xilinx, 2016, 53 [cit. 2017-05-14]. Dostupné z: <https://www.xilinx.com/./ug1099-bga-device-design-rules.pdf>
- [23] Nexperia. 8-bit dual supply translating transceiver; 3-state. *74LVC8T245* [online]. Nexperia, 2011, 28 [cit. 2017-05-14]. Dostupné z: assets.nexperia.com/documents/data/./74LVC_LVCH8T245.pdf
- [24] Linear Technology. Power Management Solutions for Xilinx FPGAs. *Power management* [online]. Linear Technology, 2016, 20 [cit. 2017-05-14]. Dostupné z: http://cds.linear.com/docs/en/solutions-manual/Power_Management_Solutions_for_Xilinx_FPGAs.pdf
- [25] Analog Devices. Integrated Power Solution with Quad Buck Regulators and Supervisory Circuits. *ADP5053* [online]. 2016, 37 [cit. 2017-05-14]. Dostupné z: www.analog.com/media/en/technical/./data/./ADP5053.pdf
- [26] Analog Devices. Dual, 300 mA Output, Low Noise, High PSRR Voltage Regulators. *ADP223* [online]. 2011, 37 [cit. 2017-05-14]. Dostupné z: www.analog.com/media/en/./data/./ADP222_223_224_225.pdf

- [27] Texas Instruments. TPS51206 2-A Peak Sink / Source DDR Termination Regulator. *TSP51206* [online]. texas instruments, 2016, 26 [cit. 2017-05-14]. Dostupné z: <http://www.ti.com/lit/ds/slusah1c/slusah1c.pdf>

SEZNAM SYMBOLŮ A ZKRATEK

- BGA – Ball Grid Array, pouzdro s kulovitými vývody na spodní straně pouzdra
- CMOS – Complementary Metal Oxide Semiconductor, typ integrovaných obvodů
- DDR – Double Data Rate, dvojí datový zápis
- DIMM – Dual In-line Memory Module, paměťový modul
- DIR – Direction, směr
- DPS – Deska plošných spojů
- DSP – Digitální signálový procesor
- EEPROM – Electrically Erasable Programmable Read Only Memory, elektricky mazatelná ROM paměť
- ENIG – Electroless Nickel Immersion Gold, povrchová úprava DPS
- ESL – Ekvivalentní sériová indukčnost
- ESR – Ekvivalentní sériový odpor
- FPGA – Field Programmable Gate Array, programovatelné hradlové pole
- FR4 Flame Resistant 4, typ plošného spoje
- HP – High Power, banka programovatelného obvodu s větším výkonem
- HR – High Range, banka programovatelného obvodu s větším rozsahem
- JEDEC – Joint Electron Devices Engineering Council, organizace schvalující technologické standardy
- JTAG – Joint Test Action Group, standard pro testování obvodů
- LUT – Lookup Table, vyhledávací tabulka
- LVDS – Low Voltage Differential Signaling, nízkonapěťové diferenční signály
- MT/s – Mega transferů za vteřinu
- PSI – Photon Systems Instruments, zkratka firmy
- ROHS – Restriction Of Hazardous Substances, směrnice zakazující nebezpečné látky
- SDRAM – Synchronous Dynamic Random Access Memory, synchronní dynamická paměť typu RAM
- SMD – Surface Mount Device, součástka pro povrchovou montáž
- SODIMM Small Outline DIMM, menší alternativa DIMM paměti
- SPI – Serial Peripheral Interface, sériové periferní rozhraní

C - kapacita
 C_{out} – výstupní kapacita
 \mathcal{E}_R – relativní permitivita
 f – frekvence
 h – celková tloušťka vrstvy
 h' – tloušťka laminátu
 h'' – tloušťka laminátu
 ΔI – zvlnění proudu
 L – indukčnost
 R_{ESR} – ekvivalentní sériový odpor
 s – izolační mezera mezi diferenciálními signály
 t – tloušťka mědi
 V_{in} – vstupní napětí
 V_{out} – výstupní napětí
 ΔV_{out} – zvlnění výstupního napětí
 w – šířka cesty
 Z_0 – impedance
 Z_{diff} – impedance diferenciálního páru

SEZNAM PŘÍLOH

A SCHÉMA ZAPOJENÍ NÁVRHU S VYUŽITÍM PAMĚŤOVÝCH MODULŮ

B SCHÉMA ZAPOJENÍ NÁVRHU S VYUŽITÍM PAMĚŤOVÝCH MODULŮ

C DESKA PLOŠNÉHO SPOJE PAMĚŤOVÉHO ROZŠÍŘENÍ

C.1 Potisk vrchní strana součástek

C.2 Nepájivá maska vrchní strana součástek

C.3 Vrchní strana součástek

C.4 Vnitřní vrstva číslo 2 (GND)

C.5 Vnitřní vrstva číslo 3 (Signal 1)

C.6 Vnitřní vrstva číslo 4 (PWR)

C.7 Vnitřní vrstva číslo 5 (Signal 2)

C.8 Vnitřní vrstva číslo 6 (GND)

C.9 Vnitřní vrstva číslo 7 (Signal 3)

C.10 Vnitřní vrstva číslo 8 (Signal 4)

C.11 Vnitřní vrstva číslo 9 (GND)

C.12 Vnitřní vrstva číslo 10 (Signal 5)

C.13 Vnitřní vrstva číslo 11 (PWR)

C.14 Vnitřní vrstva číslo 12 (Signal 6)

C.15 Vnitřní vrstva číslo 13 (GND)

C.16 Spodní strana součástek

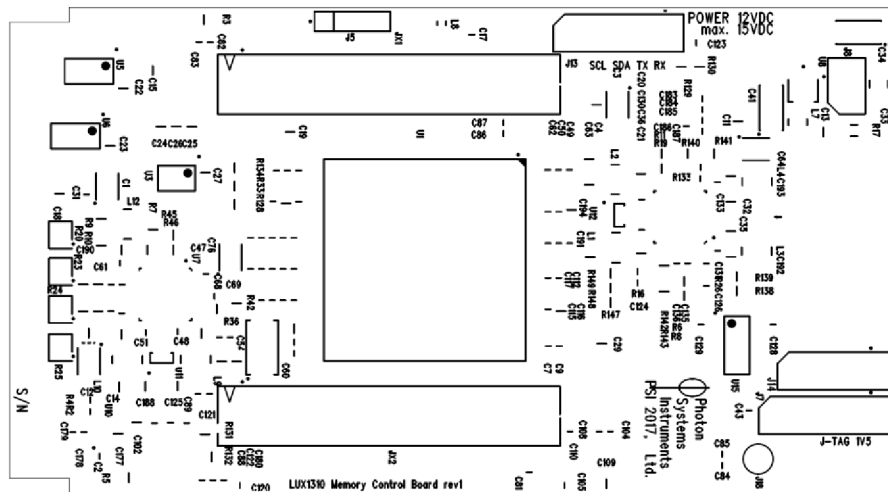
C.17 Nepájivá maska spodní strany součástek

C.18 Prokovené vrtání

D SEZNAM SOUČÁSTEK

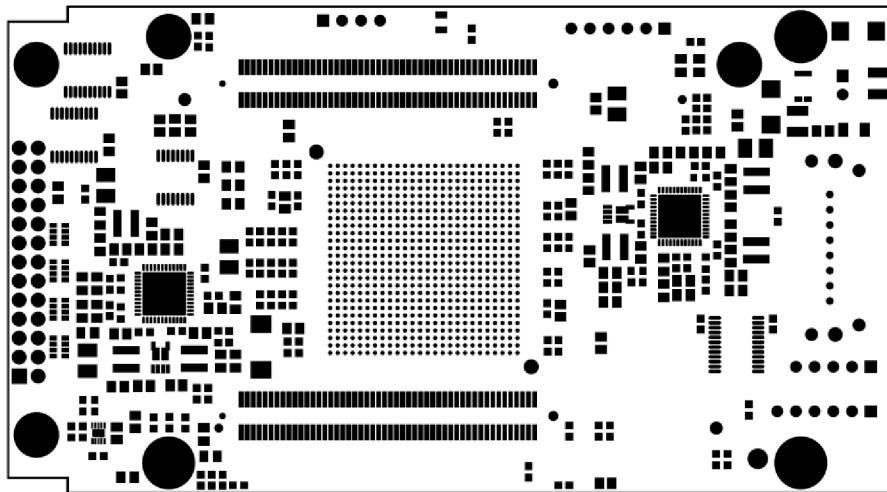
DESKA PLOŠNÉHO SPOJE PAMĚŤOVÉHO ROZŠÍŘENÍ

C.1 Potisk vrchní strana součástek



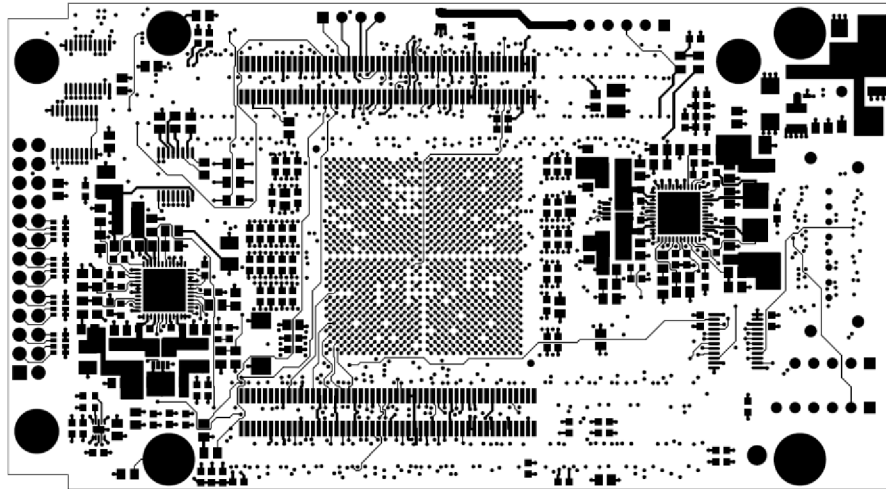
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.2 Nepájivá maska strana vrchní strana součástek



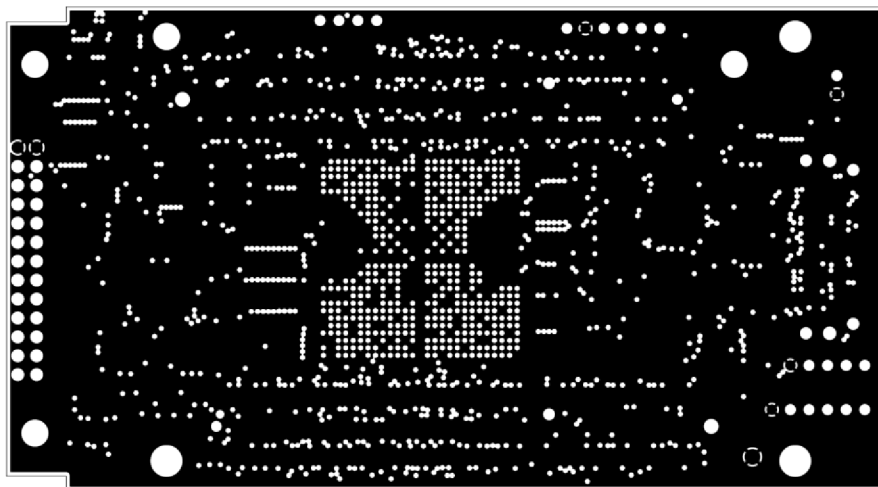
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.3 Vrchní strana součástek



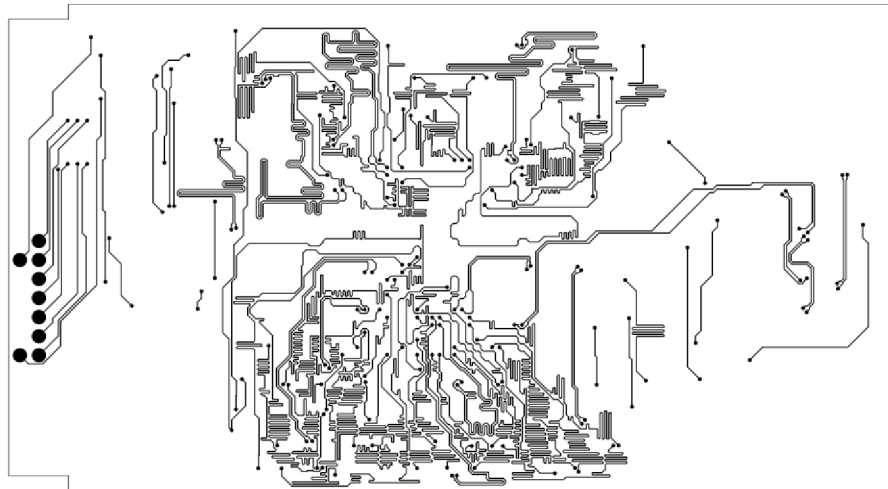
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.4 Vnitřní vrstva číslo 2 (GND)



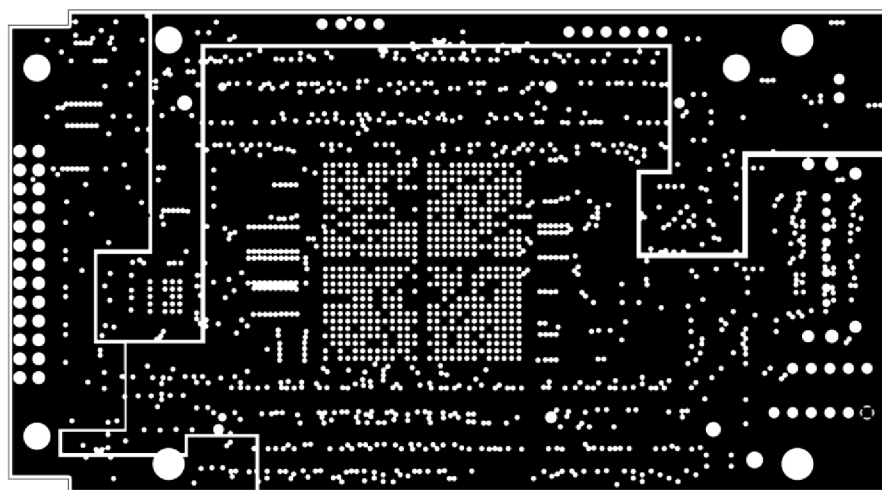
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.5 Vnitřní vrstva číslo 3 (Signal 1)



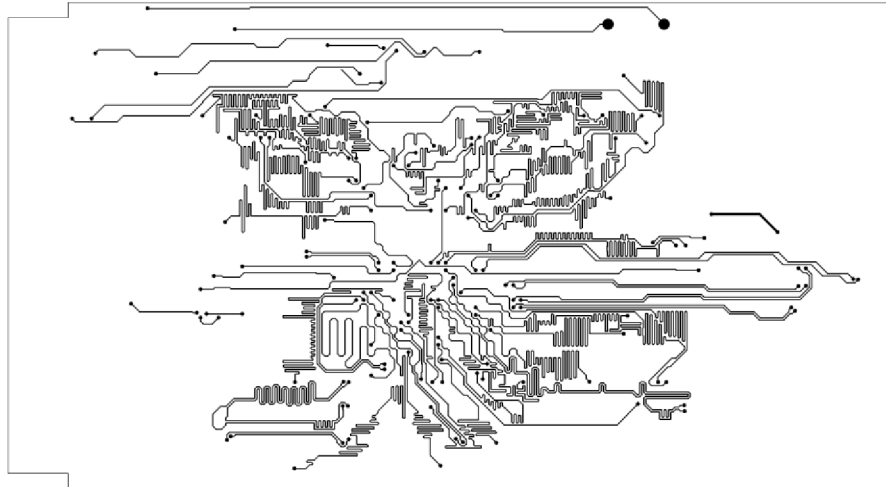
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.6 Vnitřní vrstva číslo 4 (PWR)



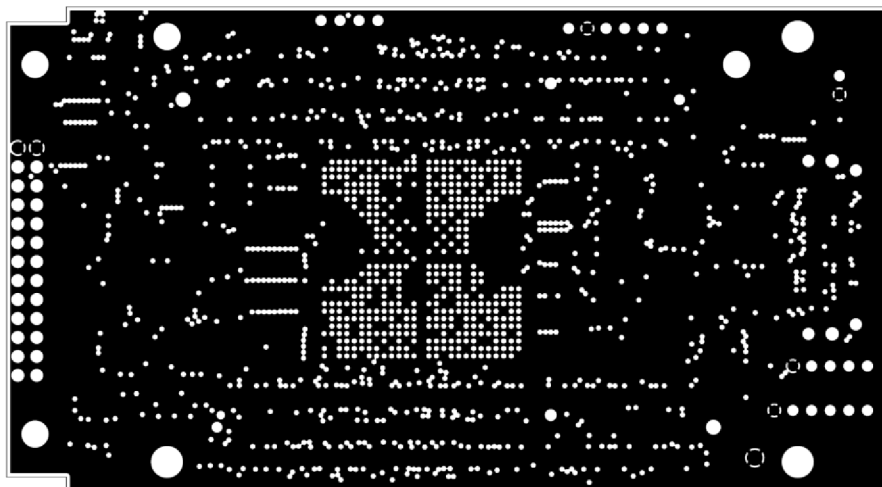
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.7 Vnitřní vrstva číslo 5 (Signal 2)



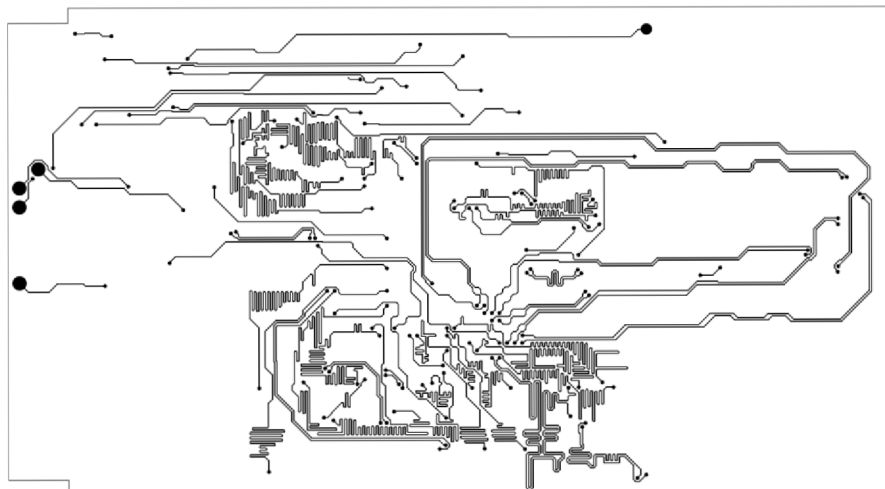
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.8 Vnitřní vrstva číslo 6 (GND)



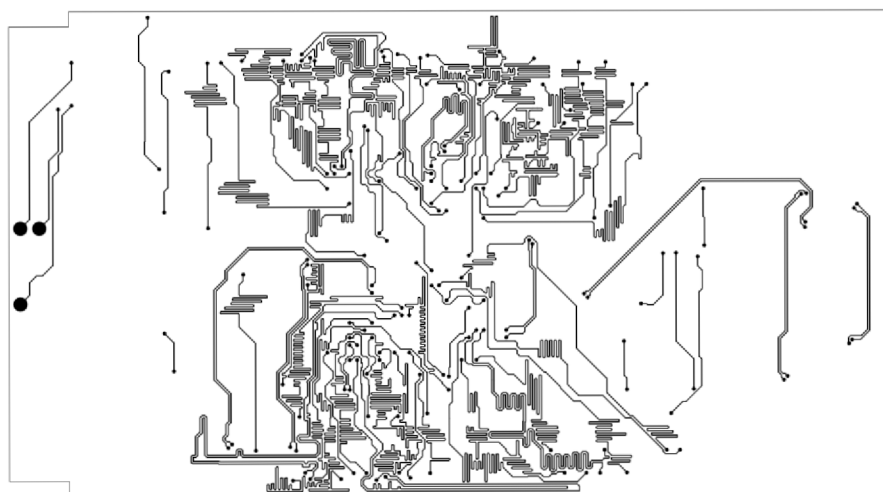
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.9 Vnitřní vrstva číslo 7 (Signal 3)



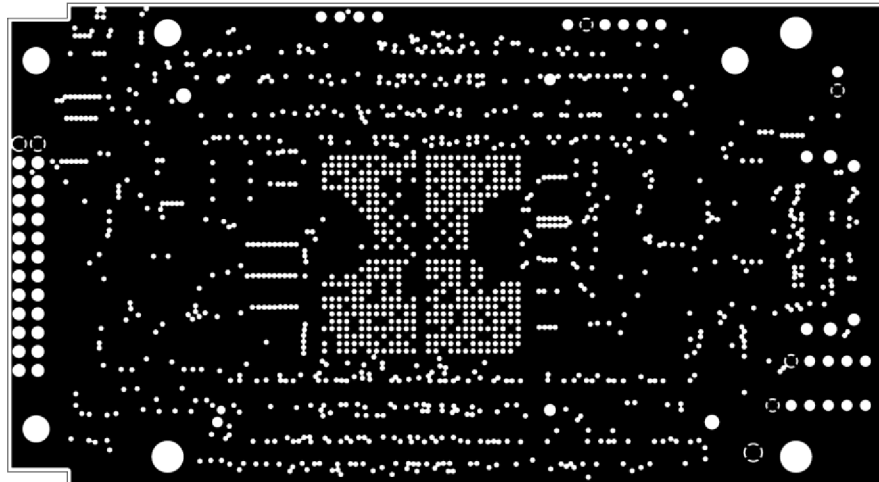
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.10 Vnitřní vrstva číslo 8 (Signal 4)



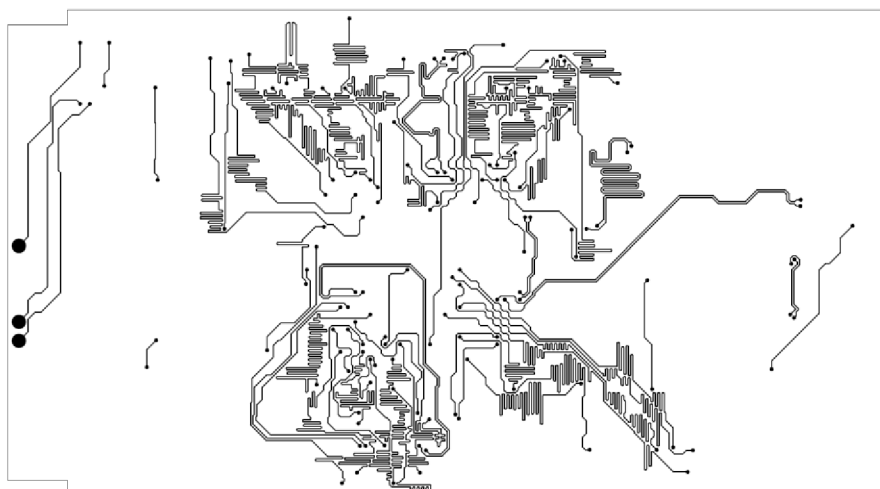
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.11 Vnitřní vrstva číslo 9 (GND)



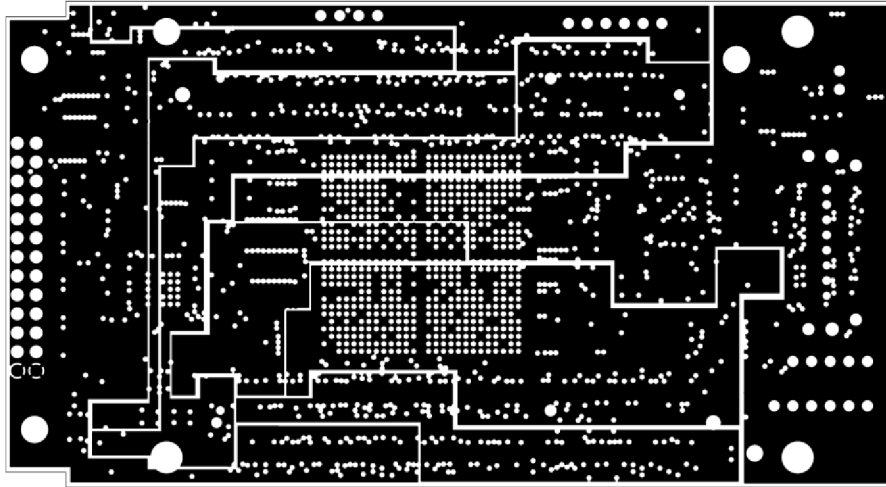
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.12 Vnitřní vrstva číslo 10 (Signal 5)



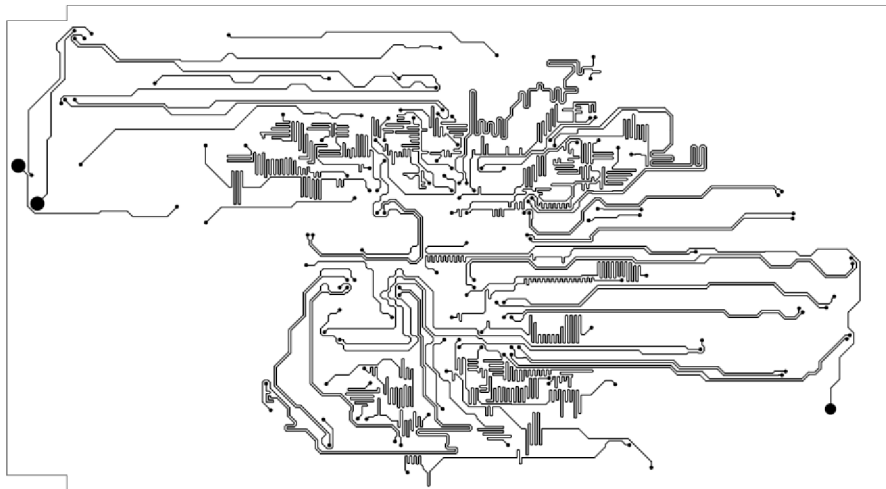
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.13 Vnitřní vrstva číslo 11 (PWR)



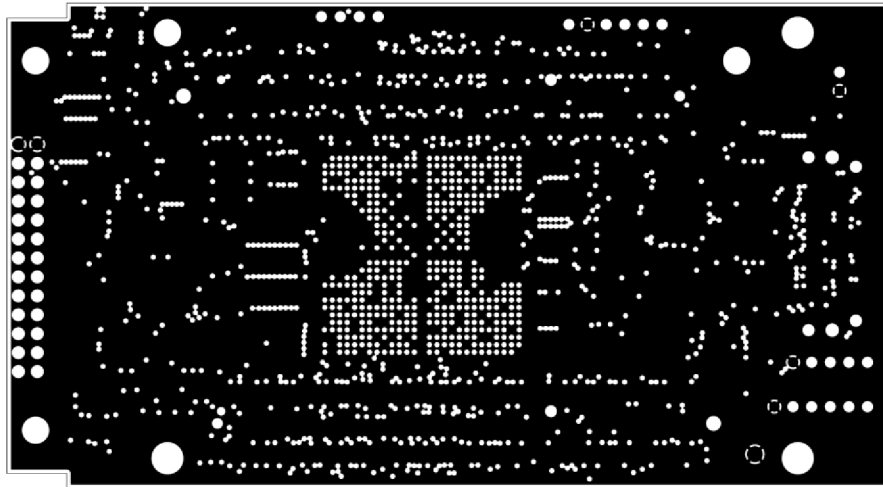
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.14 Vnitřní vrstva číslo 12 (Signal 6)



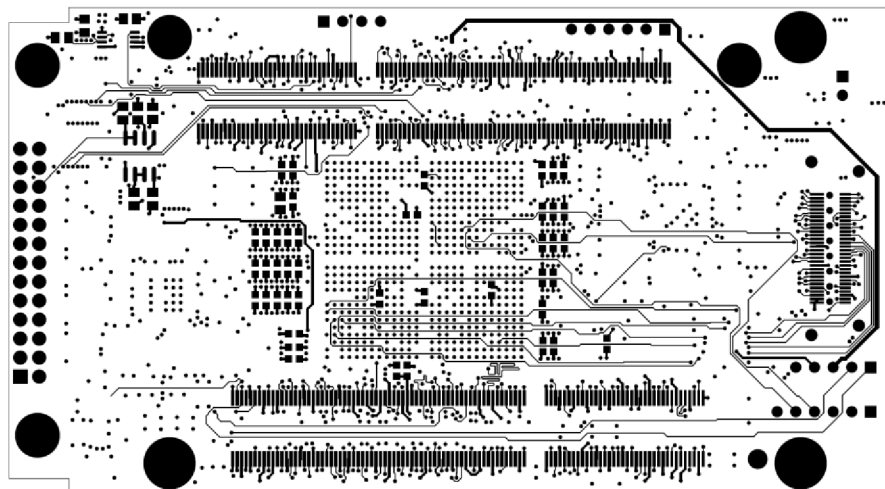
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.15 Vnitřní vrstva číslo 13 (GND)



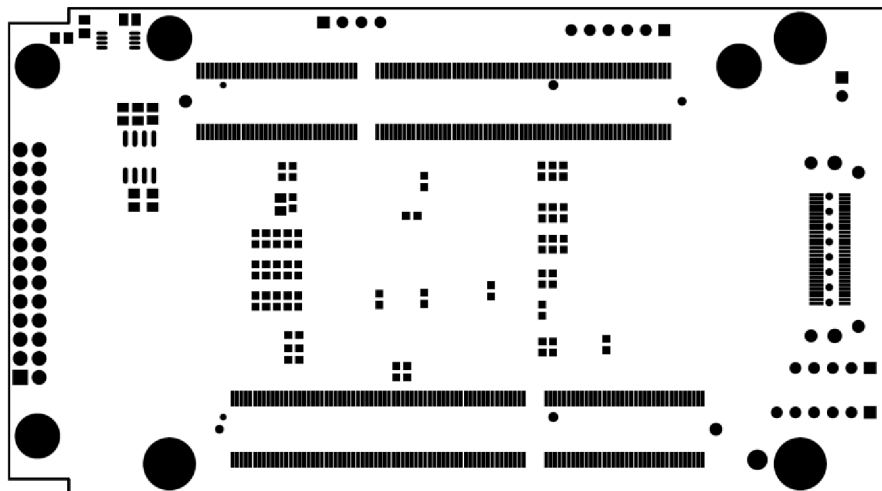
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.16 Spodní strana součástek



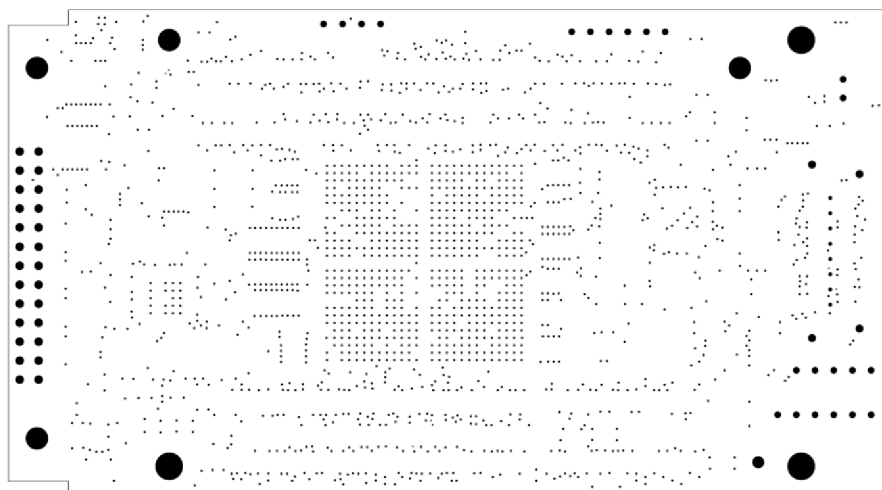
Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.17 Nepájivá maska spodní strany součástek



Rozměr desky 118,5 x 65 [mm], měřítko M1:1

C.18 Prokovené vrtání



Rozměr desky 118,5 x 65 [mm], měřítko M1:1

D SEZNAM SOUČÁSTEK

Označení	Hodnota	Pouzdro	Popis
C1	100u/6V	CAPT3528N(B)	Tantalový kondenzátor
C2	10u	CAP1608N(0603)	Keramický kondenzátor
C3	100u/6V	CAPT3528N(B)	Tantalový kondenzátor
C4	47u	CAP2012N(0805)	Keramický kondenzátor
C5	4u7	CAP1608N(0603)	Keramický kondenzátor
C6	4u7	CAP1608N(0603)	Keramický kondenzátor
C7	470n	CAP1608N(0603)	Keramický kondenzátor
C8	470n	CAP1608N(0603)	Keramický kondenzátor
C9	470n	CAP1608N(0603)	Keramický kondenzátor
C10	470n	CAP1608N(0603)	Keramický kondenzátor
C11	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C12	100u/6V	CAPT3528N(B)	Tantalový kondenzátor
C13	100n	CAP2012N(0805)	Keramický kondenzátor
C14	4u7	CAP2012N(0805)	Keramický kondenzátor
C15	4u7	CAP2012N(0805)	Keramický kondenzátor
C17	100n	CAP1608N(0603)	Keramický kondenzátor
C18	100n	CAP2012N(0805)	Keramický kondenzátor
C19	100n	CAP2012N(0805)	Keramický kondenzátor
C20	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C21	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C22	100n	CAP2012N(0805)	Keramický kondenzátor
C23	100n	CAP2012N(0805)	Keramický kondenzátor
C24	100n	CAP2012N(0805)	Keramický kondenzátor
C25	100n	CAP2012N(0805)	Keramický kondenzátor
C26	100n	CAP2012N(0805)	Keramický kondenzátor
C27	100n	CAP2012N(0805)	Keramický kondenzátor
C28	100n	CAP2012N(0805)	Keramický kondenzátor
C29	47u	CAP2012N(0805)	Keramický kondenzátor
C30	100n	CAP2012N(0805)	Keramický kondenzátor
C31	100n	CAP1608N(0603)	Keramický kondenzátor
C32	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C33	10u/16V	CAP3225N(1210)	Keramický kondenzátor
C34	100u/16V	CAPT6032N(C)	Tantalový kondenzátor
C35	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C36	100n	CAP1608N(0603)	Keramický kondenzátor
C41	100u/16V	CAPT6032N(C)	Tantalový kondenzátor
C42	100n	CAP1608N(0603)	Keramický kondenzátor

C43	100n	CAP1608N(0603)	Keramický kondenzátor
C44	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C45	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C47	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C48	100n	CAP1608N(0603)	Keramický kondenzátor
C49	4u7	CAP1608N(0603)	Keramický kondenzátor
C50	4u7	CAP1608N(0603)	Keramický kondenzátor
C51	100n	CAP1608N(0603)	Keramický kondenzátor
C52	4u7	CAP1608N(0603)	Keramický kondenzátor
C53	4u7	CAP1608N(0603)	Keramický kondenzátor
C54	4n7	CAP1608N(0603)	Keramický kondenzátor
C55	4n7	CAP1608N(0603)	Keramický kondenzátor
C57	4n7	CAP1608N(0603)	Keramický kondenzátor
C58	470n	CAP1608N(0603)	Keramický kondenzátor
C59	470n	CAP1608N(0603)	Keramický kondenzátor
C60	680u	CAPT7343N(D)	Tantalový kondenzátor
C61	100n	CAP1608N(0603)	Keramický kondenzátor
C62	470n	CAP1608N(0603)	Keramický kondenzátor
C63	47u	CAP2012N(0805)	Keramický kondenzátor
C64	100u/6V	CAPT3528N(B)	Tantalový kondenzátor
C66	470n	CAP1608N(0603)	Keramický kondenzátor
C67	470n	CAP1608N(0603)	Keramický kondenzátor
C68	100n	CAP1608N(0603)	Keramický kondenzátor
C69	100n	CAP1608N(0603)	Keramický kondenzátor
C70	470n	CAP1608N(0603)	Keramický kondenzátor
C71	470n	CAP1608N(0603)	Keramický kondenzátor
C72	47u	CAP2012N(0805)	Keramický kondenzátor
C73	470n	CAP1608N(0603)	Keramický kondenzátor
C74	47u	CAP2012N(0805)	Keramický kondenzátor
C75	4u7	CAP1608N(0603)	Keramický kondenzátor
C76	100u/6V	CAPT3528N(B)	Tantalový kondenzátor
C77	470n	CAP1608N(0603)	Keramický kondenzátor
C78	470n	CAP1608N(0603)	Keramický kondenzátor
C79	470n	CAP1608N(0603)	Keramický kondenzátor
C81	100n	CAP1608N(0603)	Keramický kondenzátor
C82	10n	CAP1608N(0603)	Keramický kondenzátor
C83	100n	CAP1608N(0603)	Keramický kondenzátor
C84	10n	CAP1608N(0603)	Keramický kondenzátor
C85	100n	CAP1608N(0603)	Keramický kondenzátor
C86	10n	CAP1608N(0603)	Keramický kondenzátor
C87	100n	CAP1608N(0603)	Keramický kondenzátor

C88	10u	CAP1608N(0603)	Keramický kondenzátor
C89	100n	CAP1608N(0603)	Keramický kondenzátor
C90	4u7	CAP1608N(0603)	Keramický kondenzátor
C91	4u7	CAP1608N(0603)	Keramický kondenzátor
C92	470n	CAP1608N(0603)	Keramický kondenzátor
C93	470n	CAP1608N(0603)	Keramický kondenzátor
C94	470n	CAP1608N(0603)	Keramický kondenzátor
C95	47u	CAP2012N(0805)	Keramický kondenzátor
C96	470n	CAP1608N(0603)	Keramický kondenzátor
C97	4u7	CAP1608N(0603)	Keramický kondenzátor
C98	4u7	CAP1608N(0603)	Keramický kondenzátor
C99	470n	CAP1608N(0603)	Keramický kondenzátor
C100	470n	CAP1608N(0603)	Keramický kondenzátor
C101	470n	CAP1608N(0603)	Keramický kondenzátor
C102	47u	CAP2012N(0805)	Keramický kondenzátor
C103	470n	CAP1608N(0603)	Keramický kondenzátor
C104	4u7	CAP1608N(0603)	Keramický kondenzátor
C105	4u7	CAP1608N(0603)	Keramický kondenzátor
C106	470n	CAP1608N(0603)	Keramický kondenzátor
C107	470n	CAP1608N(0603)	Keramický kondenzátor
C108	470n	CAP1608N(0603)	Keramický kondenzátor
C109	47u	CAP2012N(0805)	Keramický kondenzátor
C110	470n	CAP1608N(0603)	Keramický kondenzátor
C111	4u7	CAP1608N(0603)	Keramický kondenzátor
C112	4u7	CAP1608N(0603)	Keramický kondenzátor
C113	470n	CAP1608N(0603)	Keramický kondenzátor
C114	470n	CAP1608N(0603)	Keramický kondenzátor
C115	470n	CAP1608N(0603)	Keramický kondenzátor
C116	47u	CAP2012N(0805)	Keramický kondenzátor
C117	470n	CAP1608N(0603)	Keramický kondenzátor
C118	10n	CAP1608N(0603)	Keramický kondenzátor
C119	100n	CAP1608N(0603)	Keramický kondenzátor
C120	100n	CAP1608N(0603)	Keramický kondenzátor
C121	100n	CAP1608N(0603)	Keramický kondenzátor
C122	100n	CAP1608N(0603)	Keramický kondenzátor
C123	100n	CAP1608N(0603)	Keramický kondenzátor
C124	4n7	CAP1608N(0603)	Keramický kondenzátor
C125	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C126	4n7	CAP1608N(0603)	Keramický kondenzátor
C127	4n7	CAP1608N(0603)	Keramický kondenzátor
C128	100n	CAP1608N(0603)	Keramický kondenzátor

C129	100n	CAP1608N(0603)	Keramický kondenzátor
C130	100n	CAP1608N(0603)	Keramický kondenzátor
C131	100n	CAP1608N(0603)	Keramický kondenzátor
C132	47u	CAP2012N(0805)	Keramický kondenzátor
C133	100n	CAP1608N(0603)	Keramický kondenzátor
C134	4u7	CAP1608N(0603)	Keramický kondenzátor
C135	100n	CAP1608N(0603)	Keramický kondenzátor
C136	100n	CAP1608N(0603)	Keramický kondenzátor
C137	4u7	CAP1608N(0603)	Keramický kondenzátor
C138	4u7	CAP1608N(0603)	Keramický kondenzátor
C139	4u7	CAP1608N(0603)	Keramický kondenzátor
C140	470n	CAP1608N(0603)	Keramický kondenzátor
C141	470n	CAP1608N(0603)	Keramický kondenzátor
C149	470n	CAP1608N(0603)	Keramický kondenzátor
C150	470n	CAP1608N(0603)	Keramický kondenzátor
C151	470n	CAP1608N(0603)	Keramický kondenzátor
C152	470n	CAP1608N(0603)	Keramický kondenzátor
C153	4u7	CAP1608N(0603)	Keramický kondenzátor
C154	470n	CAP1608N(0603)	Keramický kondenzátor
C155	4u7	CAP1608N(0603)	Keramický kondenzátor
C156	4u7	CAP1608N(0603)	Keramický kondenzátor
C157	4u7	CAP1608N(0603)	Keramický kondenzátor
C158	4u7	CAP1608N(0603)	Keramický kondenzátor
C159	4u7	CAP1608N(0603)	Keramický kondenzátor
C160	4u7	CAP1608N(0603)	Keramický kondenzátor
C161	4u7	CAP1608N(0603)	Keramický kondenzátor
C162	4u7	CAP1608N(0603)	Keramický kondenzátor
C163	4u7	CAP1608N(0603)	Keramický kondenzátor
C164	4u7	CAP1608N(0603)	Keramický kondenzátor
C165	470n	CAP1608N(0603)	Keramický kondenzátor
C166	470n	CAP1608N(0603)	Keramický kondenzátor
C167	470n	CAP1608N(0603)	Keramický kondenzátor
C168	470n	CAP1608N(0603)	Keramický kondenzátor
C169	470n	CAP1608N(0603)	Keramický kondenzátor
C170	470n	CAP1608N(0603)	Keramický kondenzátor
C171	470n	CAP1608N(0603)	Keramický kondenzátor
C172	470n	CAP1608N(0603)	Keramický kondenzátor
C173	470n	CAP1608N(0603)	Keramický kondenzátor
C174	470n	CAP1608N(0603)	Keramický kondenzátor
C175	470n	CAP1608N(0603)	Keramický kondenzátor
C176	470n	CAP1608N(0603)	Keramický kondenzátor

C177	220n	CAP2012N(0805)	Keramický kondenzátor
C178	100n	CAP1608N(0603)	Keramický kondenzátor
C179	10u	CAP1608N(0603)	Keramický kondenzátor
C180	100n	CAP1608N(0603)	Keramický kondenzátor
C181	470n	CAP1608N(0603)	Keramický kondenzátor
C182	470n	CAP1608N(0603)	Keramický kondenzátor
C183	10u	CAP1608N(0603)	Keramický kondenzátor
C184	100n	CAP1608N(0603)	Keramický kondenzátor
C185	100n	CAP1608N(0603)	Keramický kondenzátor
C186	100n	CAP1608N(0603)	Keramický kondenzátor
C187	100n	CAP1608N(0603)	Keramický kondenzátor
C188	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C190	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C191	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C192	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C193	10u/16V	CAP2012N(0805)	Keramický kondenzátor
C194	10u/16V	CAP2012N(0805)	Keramický kondenzátor
J1		MTG300_600	Montážní otvor
J2		MTG300_600	Montážní otvor
J3		MTG300_600	Montážní otvor
J4		MTG370_700	Montážní otvor
J5	HDR1X4	HDR1X4	2.54mm hřebínkový konektor
J6		MTG300_600	Montážní otvor
J7	SPOX-6	5267-6	2.50 mm konektor
J8	SPOX-2	5267-2	2.50 mm konektor
J10		MTG370_700	Montážní otvor
J11	LPH26S	70247-26	2.54mm konektor
J12		MTG370_700	Montážní otvor
J13	SPOX-6	5267-6	2.50 mm konektor
J14	SPOX-5	5267-5	2.50 mm konektor
J15	QSH-030-01-X-D-RA	QSH-030-01-X-D-RA	Pravoúhlý konektor, 0.50 mm
J18	KEYS5007	TP_500X	Testovací bod
JX1	BERGSTAK-100	61083-100	0.8mm konektor
JX2	BERGSTAK-100	61083-100	0.8mm konektor
L1	1.5uH	INDP4040X210N	Výkonová cívka
L2	1.5uH	INDP4040X210N	Výkonová cívka
L3	4.7uH	INDP4040X210N	Výkonová cívka
L4	3.3uH	INDP4040X210N	Výkonová cívka
L7	MI1210K600R-1	IND3225N(1210)	Cívka
L8	LCBB-600	IND2012N(0805)	Cívka

L9	1uH	INDP4040X210N	Výkonová cívka
L10	6.8uH	INDP4040X310N	Výkonová cívka
L12	3.3uH	INDP4040X210N	Výkonová cívka
R2	10K	RES1608N(0603)	Rezistor
R3	R nebo L	RES2012N(0805)	Rezistor
R4	10K	RES1608N(0603)	Rezistor
R5	R nebo L	RES2012N(0805)	Rezistor
R6	56K	RES2012N(0805)	Rezistor
R7	10K	RES2012N(0805)	Rezistor
R8	330K	RES2012N(0805)	Rezistor
R9	15K	RES2012N(0805)	Rezistor
R10	15K	RES2012N(0805)	Rezistor
R11	15K	RES2012N(0805)	Rezistor
R12	4K7	RES2012N(0805)	Rezistor
R13	4K7	RES2012N(0805)	Rezistor
R14	330R	RES2012N(0805)	Rezistor
R15	330R	RES2012N(0805)	Rezistor
R16	10K	RES1608N(0603)	Rezistor
R17	NC/OR	RES3216N(1206)	Rezistor
R18	10K	RES1608N(0603)	Rezistor
R19	15K	RES2012N(0805)	Rezistor
R20	10K	RESN_CRA06P-8	Rezistorová síť
R21	10K	RES1608N(0603)	Rezistor
R22	10K	RES2012N(0805)	Rezistor
R23	10K	RESN_CRA06P-8	Rezistorová síť
R24	10K	RESN_CRA06P-8	Rezistorová síť
R25	10K	RESN_CRA06P-8	Rezistorová síť
R26	10K	RES1608N(0603)	Rezistor
R27	10K	RES1608N(0603)	Rezistor
R28	8K2	RES2012N(0805)	Rezistor
R29	33K	RES2012N(0805)	Rezistor
R30	10K	RES2012N(0805)	Rezistor
R31	5K6	RES2012N(0805)	Rezistor
R32	47K	RES2012N(0805)	Rezistor
R33	4K7	RES2012N(0805)	Rezistor
R34	15K	RES2012N(0805)	Rezistor
R35	47K	RES2012N(0805)	Rezistor
R36	4K7	RES2012N(0805)	Rezistor
R37	10K	RES2012N(0805)	Rezistor
R42	27K	RES2012N(0805)	Rezistor
R45	3K3	RES2012N(0805)	Rezistor

R46	5k6	RES2012N(0805)	Rezistor
R128	4k7	RES2012N(0805)	Rezistor
R129	4k7	RES2012N(0805)	Rezistor
R130	4k7	RES2012N(0805)	Rezistor
R131	4k7	RES2012N(0805)	Rezistor
R132	4k7	RES2012N(0805)	Rezistor
R133	10k	RES1608N(0603)	Rezistor
R134	220R	RES2012N(0805)	Rezistor
R138	4k7	RES2012N(0805)	Rezistor
R139	10k	RES2012N(0805)	Rezistor
R140	12k	RES2012N(0805)	Rezistor
R141	15k	RES2012N(0805)	Rezistor
R142	4k7	RES2012N(0805)	Rezistor
R143	27k	RES2012N(0805)	Rezistor
R147	10k	RES2012N(0805)	Rezistor
R148	8k2	RES2012N(0805)	Rezistor
R149	560R	RES2012N(0805)	Rezistor
U1	XC7A200T-2FBG676C	BGA676C100P26X26 2700X2700X254	FPGA Artix
U2	SODIMM_DDR3	122A-52A00	SODIMM DDR3 konektor 5,2 mm
U3	SP3232EBCY-L	SOPT65X640-16N	RS-232 vysílač/přijímač
U4	P82B96TD	SO8N	Dvoukanálový obousměrný buffer
U5	74HC244ADTG	SOPT65X640-20N	8-bitový buffer
U6	74HC244ADTG	SOPT65X640-20N	8-bitový buffer
U7	ADP5053_LFCSP	QFN50P700X700X80-49N	Čtyřkanálový spínaný zdroj
U8	ZEN132V230A	DFN400X400X200-3N	Zenerova dioda
U9	ADP5053_LFCSP	QFN50P700X700X80-49N	Čtyřkanálový spínaný zdroj
U10	TPS51206	SON40P200X200X80-11N	Napěťový zdroj DDR3 terminací
U11	SI7232	SOTFL65P330X112-8N	N-kanálový MOSFET; 20V / 8-25A
U12	SI7232	SOTFL65P330X112-8N	N-kanálový MOSFET; 20V / 8-25A
U13	74LVC2G241	SOPT65X490-8N	Dvoukanálový buffer
U14	SODIMM_DDR3	122A-92A00	SODIMM DDR3 konektor 9,2 mm
U15	74LVC8T245	SOPT65X640-24N	8-bitový převodník rozhodovacích úrovní