



TECHNICKÁ UNIVERZITA V LIBERCI
Fakulta mechatroniky, informatiky
a mezioborových studií ■

Výukové moduly logických obvodů s nízkou napět'ovou úrovní

Bakalářská práce

Studijní program: B2612 – Elektrotechnika a informatika
Studijní obor: 2612R011 – Elektronické informační a řídicí systémy

Autor práce: **Lukáš Ryba**
Vedoucí práce: Ing. Leoš Petržílka
Konzultant: prof. Ing. Zdeněk Plíva, Ph.D.





Learning Modules logic circuits with low voltage level

Bachelor thesis

Study programme: B2612 – Electrotechnology and informatics
Study branch: 2612R011 – Electronic information and control systems

Author: **Lukáš Ryba**
Supervisor: Ing. Leoš Petržílka
Consultant: prof. Ing. Zdeněk Plíva, Ph.D.



ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Lukáš Ryba**
Osobní číslo: **M10000290**
Studijní program: **B2612 Elektrotechnika a informatika**
Studijní obor: **Elektronické informační a řídicí systémy**
Název tématu: **Výukové moduly logických obvodů s nízkou napěťovou úrovní**
Zadávající katedra: **Ústav informačních technologií a elektroniky**


Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte literaturu vztahující se ke konfigurovatelným logickým obvodům a nastudujte možnosti převodu logických signálů různých logických úrovní.
2. Seznamte se s návrhovým systémem Eagle.
3. S vybranými obvody navrhnete moduly do výukové stavebnice RC didactic (Domino).
4. Proveďte měření parametrů navržených zapojení, moduly aplikujte do ukázkové úlohy a výsledky vyhodnoťte.

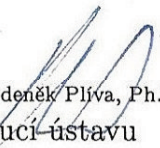
Rozsah grafických prací: Dle potřeby dokumentace
Rozsah pracovní zprávy: cca 30 stran
Forma zpracování bakalářské práce: tištěná/elektronická
Seznam odborné literatury:

- [1] Plíva Z.: Eagle prakticky, BEN, Praha 2010
- [2] Szendiuch I.: Základy technologie mikroelektronických obvodů a systémů, VUTIUM, Brno, 2009
- [3] Výukové materiály předmětu EZA (elearning.fm.tul.cz)

Vedoucí bakalářské práce: **Ing. Leoš Petržílka**
Ústav informačních technologií a elektroniky
Konzultant bakalářské práce: **prof. Ing. Zdeněk Plíva, Ph.D.**
Ústav informačních technologií a elektroniky
Datum zadání bakalářské práce: **12. září 2014**
Termín odevzdání bakalářské práce: **15. května 2015**


prof. Ing. Václav Kopecný, CSc.
děkan




prof. Ing. Zdeněk Plíva, Ph.D.
vedoucí ústavu

V Liberci dne 12. září 2014

Prohlášení

Byl(a) jsem seznámen(a) s tím, že na mou bakalářskou práci se plně vztahuje zákon č. 121/2000 Sb. o právu autorském, zejména § 60 – školní dílo.

Beru na vědomí, že Technická univerzita v Liberci (TUL) nezasahuje do mých autorských práv užitím mé bakalářské práce pro vnitřní potřebu TUL.

Užiji-li bakalářskou práci nebo poskytnu-li licenci k jejímu využití, jsem si vědom povinnosti informovat o této skutečnosti TUL; v tomto případě má TUL právo ode mne požadovat úhradu nákladů, které vynaložila na vytvoření díla, až do jejich skutečné výše.

Bakalářskou práci jsem vypracoval(a) samostatně s použitím uvedené literatury a na základě konzultací s vedoucím bakalářské práce a konzultantem.

Současně čestně prohlašuji, že tištěná verze práce se shoduje a elektronickou verzí, vloženou do IS STAG.

Datum: *13.5.2015*

Podpis: *Ymbaš Hla*

Poděkování

Touto cestou bych rád poděkoval vedoucímu práce panu ing. Leoši Petržílkovi za připomínky, cenné rady, konzultace, čas a trpělivost a dále také panu prof. ing. Zdeňku Plívovi, Ph.D., za zapůjčení odborné literatury a Technické univerzitě v Liberci za materiály potřebné k vypracování této práce a možnosti studia. Také rodině za trpělivost a podporu ve studiu.

Abstrakt

Tato bakalářská práce se zabývá návrhem a realizací modulů s nízkou napěťovou úrovní, které jsou kompatibilní se stavebnicí RC didactic (Domino). Moduly slouží k výuce předmětů, zabývající se především číslicovou elektronikou. Práce je rozdělena do osmi základních kapitol. Druhá kapitola „Výběr IO pro realizaci modulů“ obsahuje historii logických obvodů, přehled řad vyráběných technologiemi TTL a CMOS včetně komentářů. Kapitola třetí s názvem „Použité napěťové úrovně v modulech“ popisuje napěťové úrovně využívané v číslicové elektronice a možnosti převodu určitých napěťových úrovní nejen mezi výrobními technologiemi TTL a CMOS, ale i v systémech obsahující jednu technologii. Čtvrtá kapitola „Software použitý k návrhu modulů“ popisuje program Eagle, ve kterém byly navrženy schémata a desky plošných spojů modulů realizovaných v rámci této bakalářské práce a simulátor elektronických obvodů Tina-TI. Kapitola pátá pod názvem „Přehled a popis výukových modulů“ popisuje schémata zapojení, realizaci a funkci modulů, včetně příkladu možné realizace ve výuce. Šestá kapitola „Výroba a realizace navržených modulů“ komentuje výrobu modulů, od návrhu v softwaru Eagle přes osazení, pájení až po finální produkt. Kapitola sedmá „Ověření funkčnosti, měření a vyhodnocení modulů“ obsahuje postup měření modulů s daným zapojením logické funkce včetně grafů a vyhodnocení daného měření. Poslední osmou kapitolu je „Závěr“, kde jsou zmíněny výsledky této bakalářské práce. V přílohách je umístěn seznam použitých součástek, schémata a návrhy desek plošných spojů navržených modulů a možnosti zapojení logických funkcí hlavních součástek.

Klíčová slova: RC didactic (Domino), Eagle, TTL, CMOS, IO (integrovaný obvod)

Abstract

This thesis describes the design and implementation of modules with low voltage levels that are compatible with RC didactic kit (Domino). The modules are used for teaching purposes, mainly dealing with digital electronics. The work is divided into eight chapters. The second chapter, "Selection of IC Modules for the Implementation" contains the history of logic circuits, overview of series produced by TTL and CMOS technologies, including comments. The third chapter entitled "Applied Voltage Levels in the Modules" describes the voltage levels used in digital electronics and the possibility of transferring certain voltage levels, not only between production TTL and CMOS technologies, but also in systems containing just one technology. The fourth chapter "Software used for the Design of Modules" describes the Eagle program, in which was designed electric diagrams and PCBs, which were realized in this thesis. And also simulator of electronic circuits Tina-TI. The fifth chapter entitled "Overview and Description of Teaching Modules" describes diagrams, implementation and function of modules, including an example for possible implementation in the school lessons. The sixth chapter "Production and Implementation of the Proposed Modules" comments production of modules, from the design software Eagle over mounting, soldering to the final product. Chapter seven "Measurement and Evaluation" contain measuring modules procedure, with that logic functions, including charts and evaluation of the measurement. The last eighth chapter is „The Conclusion“, where are discussed the results of this work. In the appendix is bill of material, electric drawings and designs of module PCBs and the possible connections of the main components.

Key words: RC didactic (Domino), Eagle, TTL, CMOS, IC (integrated circuit)

Obsah

Seznam obrázků	11
Seznam tabulek	11
1. Úvod.....	12
2. Výběr IO pro realizaci modulů.....	13
2.1 Historie integrovaných logických obvodů	13
2.2 Přehled řad výrobních technologií	14
2.2.1 Technologie TTL	14
2.2.2 Technologie CMOS	15
2.3 Logické funkce.....	17
3. Použití napět'ové úrovně v modulech	18
3.1 Převod napět'ových úrovní v logických obvodech	18
3.2 Převod napětí mezi výrobními technologiemi	19
4. Software použitý k návrhu modulů.....	20
4.1 Návrhový program Eagle	20
4.2 Simulátor elektronických obvodů TINA-TI	23
5. Přehled a popis výukových modulů	24
5.1 Popis elektronického zapojení navržených modulů	24
5.2 Modul UNI LOGIC 1.....	25
5.2.1 Popis elektronického schématu a funkce modulu UNI LOGIC 1..	25
5.2.2 Příklad možného zapojení ve výuce - multiplexor.....	27
5.3 Modul UNI LOGIC 2.....	29
5.3.1 Popis elektronického schématu a funkce modulu UNI LOGIC 2..	29
5.3.2 Příklad možného zapojení ve výuce - R-S klopný obvod.....	30
5.4 Modul LOGIC LEVEL CONVERTOR.....	31
5.4.1 Popis elektronického schématu a funkce modulu LOGIC LEVEL CONVERTOR	31
5.4.2 Příklad možného zapojení ve výuce.....	32
6. Výroba a realizace navržených modulů	34

7. Ověření funkčnosti, měření a vyhodnocení modulů.....	35
7.1 Použité přístroje	35
7.2 Zapojení, měření a vyhodnocení modulu UNI LOGIC 1	36
7.2.1 Zapojení a postup měření modulu UNI LOGIC 1	36
7.2.2 Vyhodnocení měření modulu UNI LOGIC 1	36
7.3 Zapojení, měření a vyhodnocení modulu UNI LOGIC 2	38
7.3.1 Zapojení a postup měření modulu UNI LOGIC 2	38
7.3.2 Vyhodnocení měření modulu UNI LOGIC 2	38
7.4 Zapojení, měření a vyhodnocení modulu LOGIC LEVEL CONVERTOR .	39
7.4.1 Zapojení a postup měření modulu LOGIC LEVEL CONV.	39
7.4.2 Vyhodnocení měření modulu LOGIC LEVEL CONV.....	40
8. Závěr	41
Seznam použité a citované literatury	43
Přílohy	
Příloha A	
Seznam použitých součástek.....	45
Příloha B	
Možnosti zapojení SN74AUP1T97	46
Příloha C	
Výkresová dokumentace UNI LOGIC 1.....	49
Schéma.....	49
DPS – strana top.....	50
DPS – strana bottom	51
Čelní panel - potisk	52
Příloha D	
Možnosti zapojení SN74LVC1G58	53
Příloha E	
Výkresová dokumentace UNI LOGIC 2.....	55
Schéma.....	55
DPS – strana top.....	56
DPS – strana bottom	57

Čelní panel - potisk	58
Příloha F	
Výkresová dokumentace LOGIC LEVEL CONVERTOR.....	59
Schéma	59
DPS – strana top.....	61
DPS – strana bottom	62
Čelní panel - potisk	63
Příloha G	
Obsah přiloženého cd.....	64

Seznam obrázků

2.1: Hradlo NAND, technologie TTL.....	14
2.2: Dvouvstupové hradlo NAND, technologie CMOS	16
3.1: Vstupní / výstupní napěťové úrovně technologií TTL a CMOS	18
3.2: Jedna ze situací kolize napěťových úrovní	19
4.1: Příklad navržené součástky použité ve vyrobeném modulu	20
4.2: Příklad propojení vývodů schéma – pouzdro v editoru knihoven	21
4.3: Část obvodu navrženého v editoru návrhu schémat	21
4.4: Část navržené desky plošného spoje.....	22
4.5: Příklad simulace elektronického obvodu programem TINA-TI.....	23
5.1: Integrovaný obvod SN74AUP1T97.....	25
5.2: Konverze napěťových úrovní s IO SN74AUP1T97	26
5.3: Multiplexor jako přepínač.....	27
5.4: Vnitřní schéma multiplexoru	28
5.5: Integrovaný obvod SN74LVC1G58	29
5.6: Schéma R-S klopného obvodu.....	31
5.7: Integrovaný obvod SN74LVC8T245.....	32
7.1: Osciloskop GW Instek GDS-2072A.....	35
7.2: Generátor stavebnice Domino od firmy RC didactic.....	36
7.3: Graf převodu napěťové úrovně z 3,3 V na 2,5 V.....	37
7.4: Graf invertující funkce a převodu napěťové úrovně z 1,8 V na 3,3 V.....	37
7.5: Graf funkce NAND a převod napěťové úrovně z 5 V na 1,8 V	39
7.6: Graf převodu napěťové úrovně z 3,3 V na 1,8 V.....	40

Seznam tabulek

1: Pravdivostní hodnoty multiplexoru - přepínače.....	28
2: Napěťové úrovně integrovaného obvodu SN74LVC8T245	33

1. Úvod

Stavebnice RC didactic je hodně využívaná ve školství, a to hlavně na středních a vysokých školách, kde slouží pro výuku předmětů se zaměřením na elektroniku. Tato práce vznikla na základě myšlenky rozšířit možnosti výše zmiňované stavebnice, které by zkvalitnily a doplnily její možné použití. Jelikož jde technologie rychle dopředu, tak se v dnešní době na trh dostávají moderní multifunkční elektronické součástky v podobě integrovaných obvodů. Těmito moderními součástkami se zabývá tato bakalářská práce.

Práce je zaměřená na výrobu prototypů modulů, které se zabývají logickými funkcemi s nízkým napětím a převodem mezi napětíovými úrovněmi. V práci je prokázáno, že systémy pracující s různými napětími a logickými funkcemi nemusí být tak rozsáhlé a složité. Tyto integrované obvody byly použity v této práci pro demonstraci možnosti realizace logické funkce a zároveň k převodu napětíové úrovně.

Teoretická část této práce se v druhé kapitole zabývá historií integrovaných obvodů a následným přehledem řad technologií TTL a CMOS. V třetí kapitole je uveden přehled napětíových úrovní a možnosti jejich převodů mezi sebou. Čtvrtá kapitola se zabývá stručným popisem softwaru Eagle, který je základem pro realizaci výroby modulů.

Praktickou částí začíná kapitola pátá, která popisuje realizaci modulů, včetně popisu zapojení elektronických součástek na tištěných spojích. Jednotlivé moduly jsou pak popsány v podkapitolách, kde jsou podrobně okomentovány integrované obvody, použité v modulech. Šestá kapitola popisuje výrobu modulů od návrhu, přes osazení až po pájení. V sedmé kapitole je zmíněno měření vyrobených modulů včetně grafů a vyhodnocení tohoto měření.

V závěru této práce je popsán postup realizace navržených modulů a okomentovány výsledky měření.

2. Výběr IO pro realizaci modulů

2.1 Historie

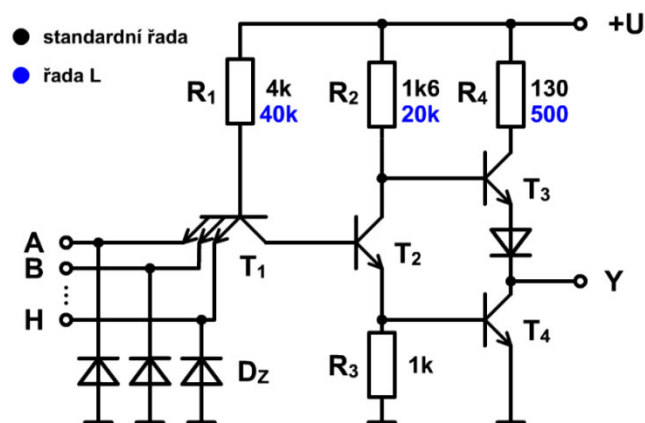
Koncem devatenáctého století byly vyvinuty první logické obvody pracující na principu elektromechaniky (relé). Tuto techniku vystřídaly, začátkem století dvacátého, logické obvody sestaveny z elektronek. Nevýhodou ovšem bylo, že složitější obvody nabývaly velkých rozměrů s nemalou spotřebou. Teprve po vynalezení tranzistoru mohl nastat skutečný rozvoj číslicové techniky. Nejprve se začínalo diskretními součástkami (rezistor, dioda a tranzistor). Použití modulů z těchto součástí však nebylo nijak jednoduché. Moduly se navzájem ovlivňovaly. Největší rozšíření obvodů umožnila technologie integrovaných obvodů. Tato výroba zaručuje: spolehlivost, lepší obvodové řešení, při větších sériích i menší finanční náklady. Snahou této technologie bylo vyrobit logické obvody realizující základní funkce, obzvláště NAND a NOR, obvody by měly mít dostatečné zesílení (kaskádní řazení), měly by být dostatečně rychlé, spolehlivé, s nízkou spotřebou, nenákladnou výrobou a odolné proti rušení. Postupem času se využívaly logiky typu např. RTL (rezistor-tranzistor) nebo DTL (dioda-tranzistor), ale největšího uplatnění a rozšíření dosáhla TTL (tranzistor-tranzistor) logika, která byla představena v roce 1965 (standardní bipolární řada 7400). Vzhledem ke snižování spotřeby a zvyšování rychlosti, byly vyvíjeny různé modifikace. Jelikož u těchto obvodů byla velké spotřeba, byly v sedmdesátých letech vyvinuty unipolární logické obvody vyrobené komplementární technologií CMOS. Velkou výhodou je tak spotřeba, která ve statickém režimu je uváděna 10nW na jedno hradlo. Nevýhodou však je rychlost a malý výstupní proud. Standardní řada CMOS 4000 byla také modifikována. Následující výrobou byly ekvivalenty obvodů 7400 nesoucí označení C (74C00). Výroba pokračovala rychlými variantami s označením HC, HCU a HCT. Řada HCT je navíc kompatibilní s obvody TTL (rozhodovací úrovně, napájecí napětí atd.). Dalším vývojem byla snaha snížit napájecí napětí, vzniklé řady nesou označení např. LV (Low Voltage). V dnešní době je možné setkat se s obvody pracujícími od 0,8V napájecího napětí. Postupem času se objevily obvody BiCMOS, používající na jednom čipu bipolární i unipolární technologii. Unipolární technologií je tvořeno jádro čipu s velkou hustotou integrace a malou spotřebou. Bipolární technologií je tvořena výstupní část, což zaručuje vysokou rychlost a velké výstupní proudy. [5]

2.2 Přehled řad výrobních technologií

Obvody je možné rozdělit do několika skupin a podskupin (výroba, řada, napájecí napětí apod.), ale dvě nejzákladnější skupiny jsou, podle použitých součástek v integrovaných obvodech, TTL a CMOS.

2.2.1 Technologie TTL (tranzistorově tranzistorová logika)

Původní návrh této logiky byl s tranzistorem na vstupu a tranzistorem na výstupu. Počet vstupů je ovlivněn počtem emitorových vstupů tranzistoru (víceemitorový). Příklad zapojení víceemitorového tranzistoru je uveden na obrázku č. 2.1, funkce negovaného logického součinu (NAND).



Obrázek 2.1: Hradlo NAND, technologie TTL

Přehled řad

Standardní řada 74_

74L – řada s malou spotřebou (Low Power)

Rozdíl mezi touto a standardní řadou je ve velikosti rezistorů (větší R), což vede ke snížení příkonu, ale následkem je i snížení rychlosti.

74H – rychlá řada (High Speed)

Rezistory jsou oproti standardní řadě zmenšeny, což vyvolává opačný efekt než u řady 74L (zvětšení příkonu a zmenšení rychlosti).

Vzhledem k vývoji byly tyto řady (74L a 74H) překonány a jsou již minulostí.

2. Výběr IO pro realizaci modulů

74S (Schottkyho rychlá řada s normální spotřebou)

Všechny nové modifikace používají Schottkyho diody. Tranzistorová struktura tyto diody využívá, čímž se zabrání přesycování báze a vypínací doba se zkrátí (na cca 1ns).

74LS (Schottkyho řada s malou spotřebou – Low Power Schottky)

Tato řada vznikla kombinací řad L a S. Oproti standardní řadě jsou tyto obvody rychlejší, ale s pětkrát menší spotřebou. Technologie LS nepoužívá víceemitorový tranzistor, ale diody.

74AS, 74ALS

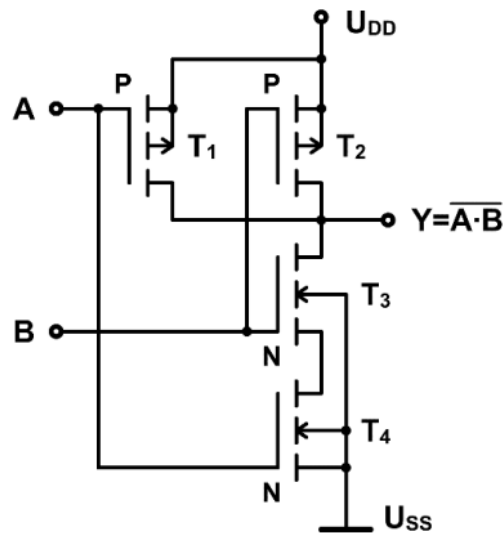
Modifikací bylo dosaženo zmenšení přechodu PN, tím se u řady AS zvýšila rychlost a u řady ALS snížila spotřeba. Tyto řady opět používají diody namísto víceemitorových tranzistorů.

74F

Tato řada je vyvinuta novou technologií z firmy Fairchild. 74F řada patří svým poměrem rychlost/příkon mezi nejlepší.

2.2.2 Technologie CMOS (unipolární tranzistory)

Hlavním problémem u řad TTL (bipolární logické obvody) je příkon. Koncem šedesátých let byl představen logický integrovaný obvod CMOS, který zaručuje menší statický příkon (až o několik řádů). Obvod CMOS konstruovaný pomocí tranzistorů MOSFET snižuje příkon, to je zapříčiněno velkým vstupním odporem ($10^{13} - 10^{17} \Omega$). Nevýhodou pak může být výstupní odpor ($k\Omega$). Výhodou této technologie je hustota obvodů na čipu. Tímto byla navržena řada s označením 4000, později i ekvivalenty řady 7400. První obvody řady CMOS měly nevýhodu v rychlosti oproti TTL obvodům a byly velice náchylné na statickou elektřinu. Proto obvody CMOS potřebují ohleduplnější zacházení než bipolární obvody. Příklad zapojení s unipolárními tranzistory je zobrazen na obrázku č. 2.2, hradlo NAND.



Obrázek 2.2: Dvouvstupové hradlo NAND, technologie CMOS

Řady CMOS

CMOS 4000 (CD 4000)

Tyto obvody jsou v této řadě CMOS nejstarší z hlediska vývoje. Charakteristický je velký rozsah napájecího napětí max. 18 V (typické $U=3\div 15$ V), malý příkon a nižší rychlost vůči novějším CMOS obvodům. Čím je napájecí napětí větší, tím vyšší je šumová imunita a zlepšené dynamické vlastnosti, ale také je vyšší spotřeba.

Přehled řad

74C

Obdoba řady CMOS 4000 pracující též s napájecím napětím $3\div 15$ V => nízký příkon a rychlost. Řada 74C v dnešní době nevyužitá, nicméně typové označení a rozložení vývodů je shodné s řadou 7400.

74HC, 74HCT, 74HCU (High speed CMOS)

HC a HCT obvody jsou asi pětikrát rychlejší oproti řadě 4000 (při napájecím napětí 5V). HCT – značí kompatibilitu s napěťovými úrovněmi TTL. Použití jako náhrada za staré typy.

74AC, 74ACT, 74AHC, 74AHCT (Advanced CMOS, Advanced High Speed CMOS)

Tato řada je nástupcem předchozích řad (HC/HCT), jsou velmi rychlé s použitím pokročilých technologií. Písmeno T opět značí kompatibilitu s logikou TTL. Některé firmy nabízejí obvody se značením VHC/VHCT (Very High Speed CMOS)

2. Výběr IO pro realizaci modulů

74LV, 74LVC, 74ALVC, 74LCX, 74LVQ, 74LVX (nízkonapěťové obvody)

Tyto obvody jsou určeny pro 3,3 V logiku. LVC, LVX a LCX mohou na vstupu tolerovat i napětí 5 V, tzn. možné použití jak u 3,3 V logiky, tak i u 5 V logiky.

74AVC, 74VCX (Advanced Very Low Voltage CMOS)

Tyto obvody jsou určeny především ke sběrnicevým funkcím, využívají 2,5 V logiku a řadí se mezi nejrychlejší logické obvody řady CMOS.

74AUP (Advanced Ultra Low Power CMOS)

Logické obvody AUP se řadí mezi nízkonapěťové a jsou stavěny pro 3,3 V logiku, ale mohou pracovat i s nižším napětím (2,5 V a 1,8 V). Funkční jsou i s napájecím napětím 0,8 V.

74AUC (Advanced Ultra-LV CMOS)

Obvody AUC jsou funkční při napájecím napětí 0,8 V ÷ 2,7 V, ale konstruovány byly především pro zařízení napájená 1,8 V logikou.

2.3 Logické funkce

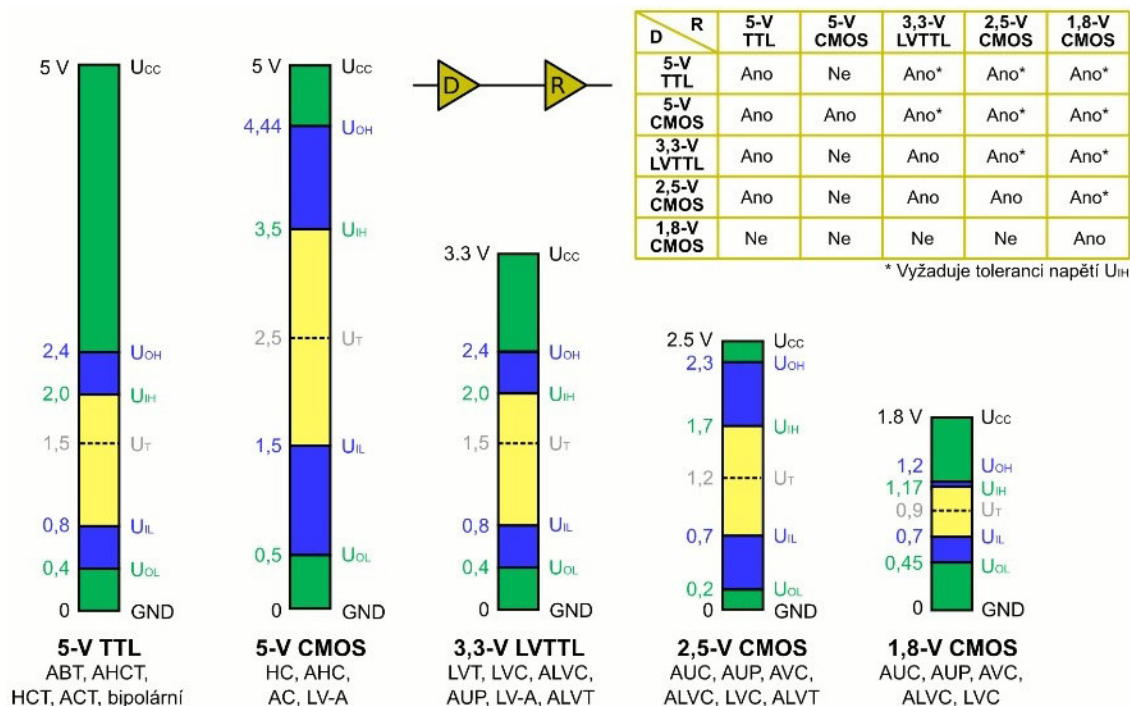
Práce je zaměřena na výrobu modulů pro výuku číslicové elektroniky. Tyto moduly obsahují integrované obvody 74AUP a 74LVC, které mají možnost pracovat s napěťovými úrovněmi od 1,8 V do 5 V a zároveň zastávat logické hradlo funkce AND, OR, NAND, NOR atd. Moduly obsahují několik IO s logickými hradly. Pomocí těchto logických hradel lze sestavovat složité logické obvody jako je například dekodér, sčítačka, multiplexor apod., které se řadí mezi kombinační logické obvody nebo klopné obvody, čítače, posuvné registry atd., které patří do skupiny sekvenčních logických obvodů.

3. Požité napěťové úrovně v modulech

Napěťových úrovní se v systémech objevuje několik. Mezi nejběžněji používané patří úrovně o napětí 5 V, 3,3 V, 2,5 V a 1,8 V. Různé technologie integrovaných obvodů jako je TTL či CMOS mohou pro správnou funkčnost používat jiné napěťové úrovně. Převod mezi úrovněmi je popsán v následující kapitole.

3.1 Převod napěťových úrovní v logických obvodech

V dnešní době existují systémy pracující s různými napěťovými úrovněmi nebo jeden systém může obsahovat několik úrovní. Aby byly tyto systémy po komunikační stránce kompatibilní, je zapotřebí tyto napěťové úrovně převádět. K tomu slouží různé převodníky, tzv. konvertory, které mají dnes podobu integrovaných obvodů. Tyto integrované obvody musí zaručit bezpečný převod a bezproblémovou komunikaci vstupů a výstupů, aniž by došlo k poškození součástek přepětím. Nutnost konvertovat napětí je nejlépe vidět v grafickém zpracování na obrázku č. 3.1, kde jsou uvedeny výrobní technologie TTL a CMOS o různých napěťových úrovních.



Obrázek 3.1: Vstupní / výstupní napěťové úrovně technologií TTL a CMOS

3.2 Převod napětí mezi výrobními technologiemi

Jsou-li systémy nebo jeden systém s technologií TTL a CMOS a oba používají stejnou napěťovou úroveň 5 V, tak podle předchozího obrázku č. 3.1, je zřejmé, že by mohly být kompatibilní. Záleží nejen na řadě určité technologie, ale také na tom, která technologie je uvedena jako primární a která jako sekundární. Přímé propojení technologií je možné pouze v některých případech uvedených v tabulce na obrázku č. 3.1, vpravo nahoře. Grafy uvádějí maximální a minimální vstupní a výstupní hodnoty. Rozmezí napětí je uvedeno od GND po V_{CC} . Maximální vstupní napětí logické nuly je U_{IL} , maximální výstupní napětí logické nuly U_{OL} , minimální vstupní napětí pro logickou jedničku je U_{IH} a minimální výstupní napětí z integrovaného obvodu pro logickou jedničku je pod označením U_{OH} . Rozmezí napětí, kde není určeno, o jakou logickou hodnotu se jedná, je zobrazeno žlutou barvou. Toto rozmezí se nazývá zakázané pásmo.

TTL => CMOS

Rozhodovací úroveň $U_T = 0,5 (U_{DD} - U_{SS})$

Min. vstupní napětí U pro úroveň H $U_{IHmin} = 0,7 (U_{DD} - U_{SS})$

Max. vstupní napětí U pro úroveň L $U_{ILmax} = 0,3 (U_{DD} - U_{SS})$

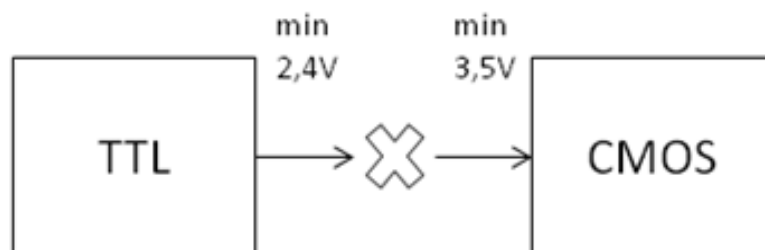
Vstup CMOS není přímo slučitelný s výstupem TTL.

Příklad zapojení TTL a CMOS technologie, obrázek č. 3.2:

CMOS: napájecí napětí = 5 V => $U_{IHmin} = 0,7 \cdot 5 = 3,5$ V

TTL: $U_{OHmin} = 2,4$ V

Řešením je například rezistor $1,5 \div 4,7$ k Ω mezi výstup TTL a V_{CC} .



Obrázek 3.2: Jedna ze situací kolize napěťových úrovní

4. Software použitý k návrhu modulů

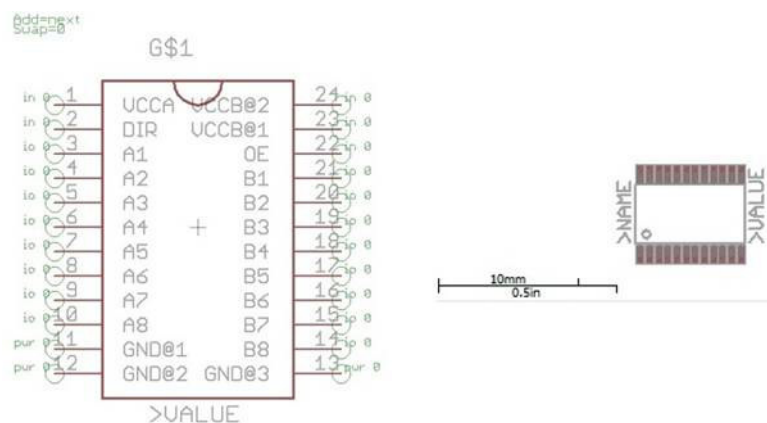
Software je nedílnou součástí každého vývojáře. Nejrozšířenějším a nejlépe dostupným softwarem, pro návrh schémat a desek plošných spojů, je produkt od firmy CadSoft s názvem Eagle (Easily Applicable Graphical Layout Editor).

4.1 Návrhový program EAGLE

Tento softwarový nástroj, vyvinut několika autory, se používá nejen ke kreslení schémat, ale především k návrhu desek plošných spojů. Software obsahuje několik editorů. Nachází se zde editor knihoven, schémat a desek.

Editor knihoven

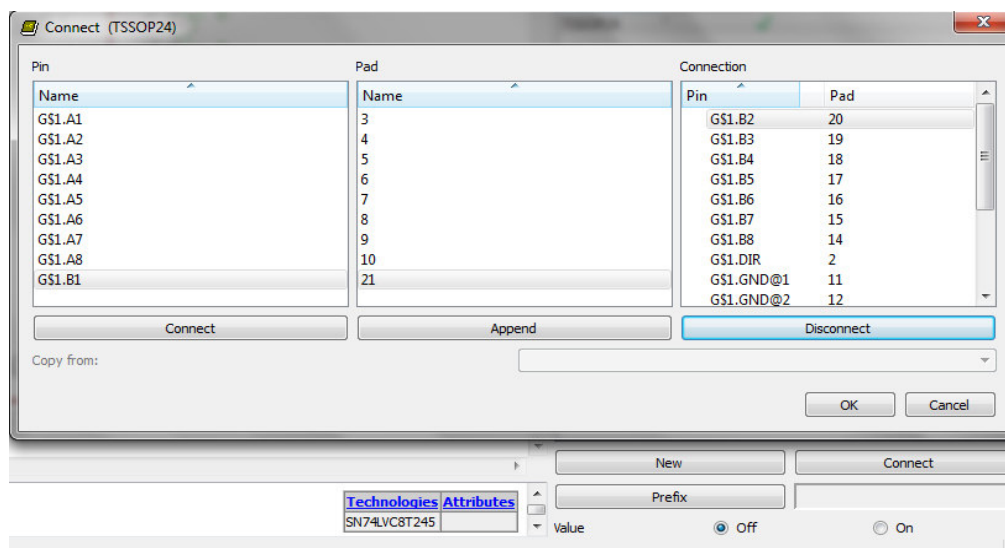
Slouží ke správě součástek. V tomto editoru je i možnost vytvoření součástky, která není dostupná v knihovnách a tím doplňovat, rozšiřovat a zakládat nové knihovny. Schématické značky se vykreslují dle platných norem a pouzdra podle označení. Výrobci mohou mít u stejné součástky rozdílná pouzdra, ale ve většině případů mají výrobci stejná označení pouzder. Software obsahuje několik desítek předdefinovaných knihoven se součástkami (od rezistorů, kondenzátorů, cívek, přes integrační obvody až po procesory). Součástka použita v jednom z modulů a navržena v editoru knihoven, je zobrazena na obrázku č. 4.1 (vlevo schématická značka, vpravo pouzdro).



Obrázek 4.1: Příklad navržené součástky použité ve vyrobeném modulu

4. Software použitý k návrhu modulů

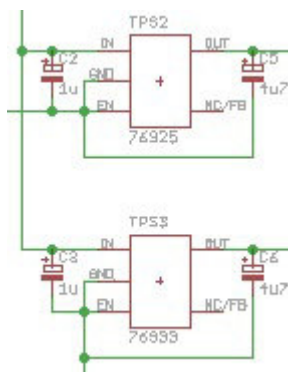
Při návrhu součástky je jedním z důležitých kroků propojení vývodů součástky ve schématu s vývody pouzdra. Chyba v tomto kroku znamená nefunkčnost součástky na desce. Propojení se provede pomocí tlačítka Connect a následným spárováním kontaktů mezi schématem a pouzdem. Příklad propojení je znázorněn na obrázku č. 4.2.



Obrázek 4.2: Příklad propojení vývodů schéma – pouzdro v editoru knihoven

Editor návrhu schémat

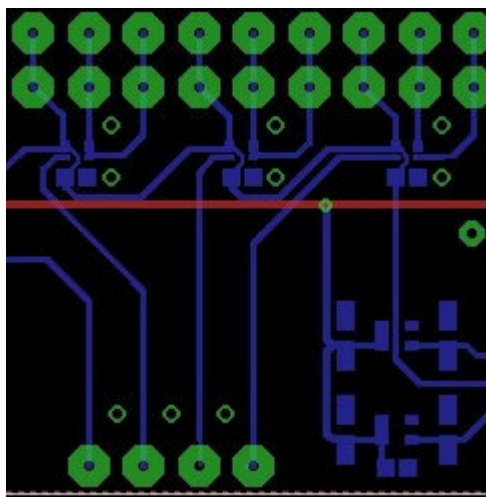
V tomto editoru se navrhují kompletní schémata zapojení elektronických obvodů. Propojení mezi jednotlivými součástkami se promítne v editoru pro návrh desek plošných spojů. Editor návrhu schémat je propojen s editorem návrhu DPS, proto se jakákoliv změna ve schématu objeví v návrhu desky. Schémata navržená v editoru, slouží také k lepší orientaci v plošném spoji a k prezentaci desky a zapojení. Příklad části obvodu navrženého v editoru je zobrazen na obrázku č. 4.3.



Obrázek 4.3: Část obvodu navrženého v editoru návrhu schémat

Editor pro návrh desek plošných spojů

Nejdůležitější (finální) editor, kvůli kterému byl program Eagle vyvinut. V tomto editoru se rozmísťují součástky na plochu, která představuje desku plošného spoje. Nabídka velkého počtu hladin umožňuje navrhovat nejen spoje, ale také různé ohraničení, popisky pro lepší přehled a orientaci v plošném spoji apod.



Obrázek 4.4: Část navržené desky plošného spoje

Výhody EAGLE

Software má výhodu především v jednoduchosti, o kterou se zasloužili autoři během dlouholetého vývoje. Další výhodou je dostupnost, která je ve free verzi přístupná všem potenciálním uživatelům. Výhodou je také spousta dodávaných knihoven se součástkami, ať už standardními nebo od různých výrobců.

Nevýhody EAGLE

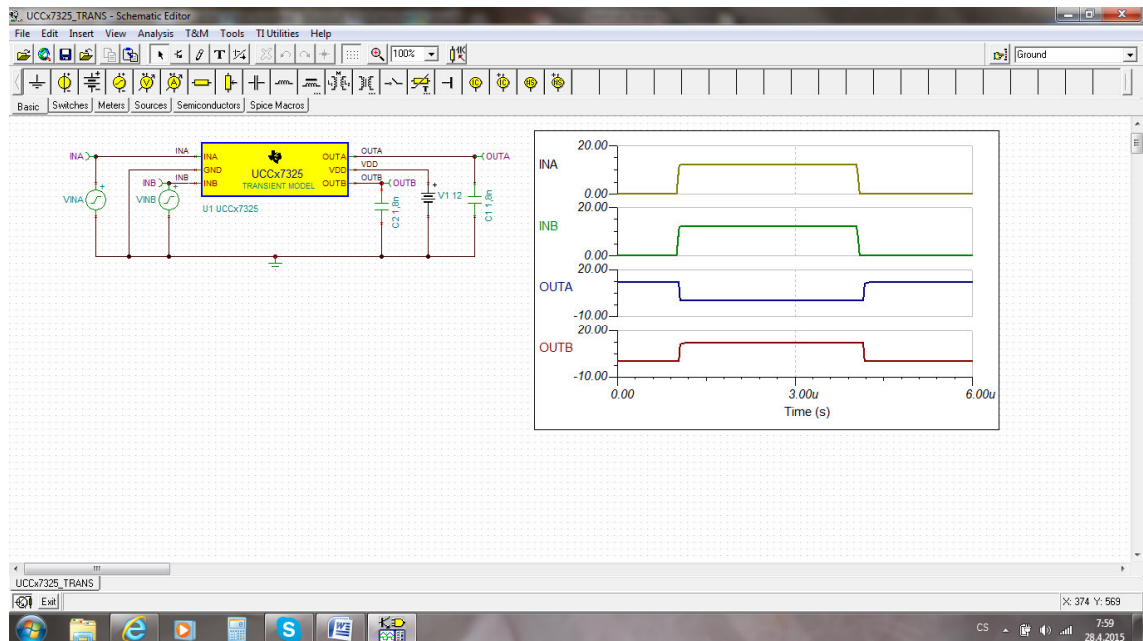
Jednou z nevýhod je verze programu v češtině. Free verze má nevýhodu v několika omezeních, jako je například velikost desky, počet vrstev na desce apod., ale tyto nevýhody by se týkaly projektů, které jsou rozsáhlé a vyžadují více vrstev a větší plochu desky. Nevýhodou je také možnost kontroly správného zapojení součástek po elektronické stránce. Program neobsahuje simulační nástroje, jako je virtuální voltmetr, ampérmetr, osciloskop a jiné měřicí přístroje.

Před samotnou výrobou desky je dobré si ověřit funkčnost elektronického obvodu pomocí nějakého softwarového simulátoru. Na internetu je dostupných hned několik simulátorů od různých firem a v různých jazycích.

4.2 Simulátor elektronických obvodů TINA-TI

Simulační program TINA-TI od firmy Texas Instruments slouží k simulaci elektronických obvodů. Simulátor má možnost sestavovat analogové i číslicové elektronické obvody a provádět měření a analýzu obvodů včetně grafů. Program je vybaven knihovnami od pasivních součástek přes integrační obvody až po měřicí přístroje.

Příklad zapojení integrovaného obvodu s grafickým vyhodnocením vstupních a výstupních hodnot je zobrazeno na obrázku č. 4.5.



Obrázek 4.5: Příklad simulace elektronického obvodu programem TINA-TI

Program TINA-TI je dostupný na internetu ve verzi zdarma, která je oproti placené plné verzi ochuzena o některé knihovny obsahující složité integrované obvody a procesory.

5. Přehled a popis výukových modulů

Cílem této práce bylo navrhnout tři moduly s různými integrovanými obvody, které mezi sebou budou, po stránce napěťových a logických úrovní, kompatibilní. Jelikož TTL logické obvody pomalu ustupují a setkání s nimi už je spíše historií. Proto byly zvoleny integrované obvody vyrobené technologií CMOS.

Elektronické součástky byly vybrány na základě logického myšlení. Aby bylo možné jednoduše vyměnit poškozenou součástku, tak jsou ve většině případů zvolena smd pouzdra. Součástky jsou umístěny na desce plošného spoje ze strany bottom. Při výměně tak odpadá zbytečná demontáž celé desky od předního panelu. Součástky smd mají další výhodu a to ve formě miniaturizace, která je technologickou budoucností. Součástky jako jsou dutinky a přepínače musejí být nevyhnutelně umístěny ze strany top. Aby se vyhnulo většímu množství propojovacích vodičů (jednostranný plošný spoj), tak byl návrh vytvořen jako dvoustranná deska plošného spoje. Dvoustranná deska má výhodu z hlediska impedančního vedení, stínění apod. Jelikož se jedná o moduly pro elektronickou stavebnici RC didactic, tak mají plošné spoje rozměry podle standardní krabičky stavebnice – tj. 90x45 [mm].

Schémata, desky plošných spojů a potisky všech navržených modulů jsou uvedeny v přílohách. Desky plošných spojů jsou pro lepší orientaci a přehlednost vyobrazeny s motivem plošného spoje a obrysy součástek.

5.1 Popis elektronického zapojení navržených modulů

Všechny tři moduly jsou napájeny ze stabilizovaného zdroje 5 V. Napětí 5 V je přivedeno na vstup V_{CC} elektronické součástky Fuse32, která slouží jako pojistka proti přepětí. To by mohlo poškodit součástky v obvodu. Z výstupu V_{OUT} je pak napájen celý modul napětím 5V, což je standardní napájecí napětí stavebnice Domino.

Každý modul je vybaven optickou signalizací, která je aktivní v případě, že je modul připojen k napájení. Paralelně k signalizační led diodě je připojen rezistor R 2 o velikosti 2 k Ω , který má funkci děliče proudu. Sériově k těmto dvěma prvkům je připojen rezistor R 1 o velikosti 51 Ω , který má funkci předřadného odporu a vzniká na něm úbytek napětí. Dalším prvkem zapojeného v sérii je zenerova dioda, která má za

úkol stabilizovat napětí, které by mohlo zakolísat při větším odběru proudu. Paralelně k těmto čtyřem prvkům je připojen keramický kondenzátor o velikosti 100 nF, který má funkci odrušovacího kondenzátoru.

Následující části obvodů jsou individuální pro určitý modul obsahující odlišné elektronické součástky.

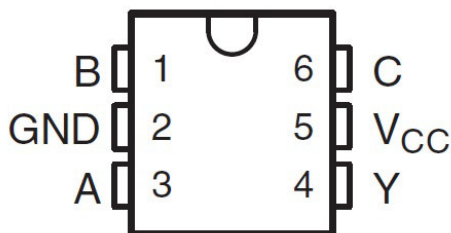
5.2 Modul UNI LOGIC 1

Tento modul určený k výuce má možnost realizace logického hradla s funkcí NAND, NOR, AND, OR atd. a v kombinaci s hradlem je možnost konvertoru napěťových úrovní. Tyto funkce zajišťují integrované obvody s označením SN74AUP1T97 v modulu UNI LOGIC 1.

5.2.1 Popis elektronického schématu a funkce modulu UNI LOGIC 1

Schéma a návrh desky plošného spoje modulu UNI LOGIC 1 je vyobrazeno v příloze C.

Integrovaný obvod SN74AUP1T97 má šest vývodů neboli pinů. Schématická značka je zobrazena na obrázku č. 5.1. Piny pod číslem 2 a 5 jsou určeny k napájení integrovaného obvodu (GND a V_{CC}), Piny číslo 1, 3 a 6 jsou vstupy hradla a pin číslo 4 je výstup z hradla.



Obrázek 5.1: Integrovaný obvod SN74AUP1T97

Každý integrovaný obvod má v návrhu paralelně k napájecím pinům zapojen odrušovací keramický kondenzátor o velikosti 100 nF.

5. Přehled a popis výukových modulů

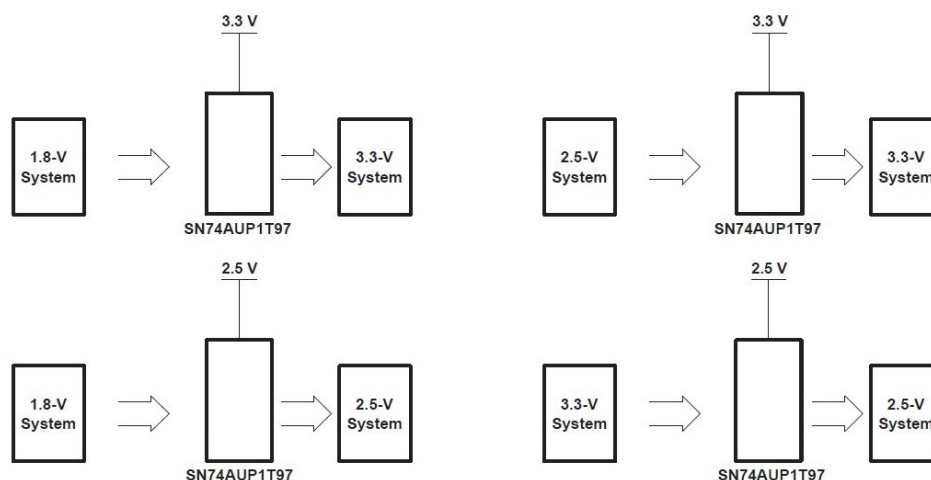
Integrovaný obvod nabízí několik možných variant zapojení vstupů hradla a tím i několik realizovatelných logických funkcí. Možnosti zapojení, včetně schématických značek a tabulkou pravdivostních hodnot je zobrazeno v příloze.

V kombinaci se zvolenou logickou funkcí je možnost funkce konvertoru napět'ových úrovní. Integrovaný obvod SN74AUP1T97 umožňuje převádět napět'ovou úroveň z 1,8 V, 2,5 V a 3,3 V na napět'ovou úroveň o velikosti 2,5 V nebo 3,3 V. Napět'ová úroveň na výstupu hradla je závislá na napájecí úrovni hradla, tzn. jakou úrovní je napájeno logické hradlo, taková napět'ová úroveň je na výstupu z hradla. Možnost výběru napájecí napět'ové úrovně 2,5 V nebo 3,3 V umožňuje posuvný dvoupolohový přepínač.

Modul je vybaven konvertory napětí v podobě integrovaných obvodů s označením TPS76925 a TPS 76933, kde poslední dvě číslice udávají výstupní napětí z konvertoru (25 = 2,5 V, 33 = 3,3 V). Na vstupní pin konvertoru je přivedeno napětí o velikosti 5V z výstupu Fuse32. Výstupy z konvertorů jsou připojeny na již zmiňovaný posuvný dvoupolohový přepínač a k dutinkám. Každý konvertor má paralelně ke vstupu i výstupu zapojené kondenzátory o velikosti 1 μF u vstupu a 4,7 μF u výstupu.

Na vstup hradla je možné přivést logické hodnoty 0 a 1. Dutinky, které jsou součástí modulu, mají označení GND pro logickou nulu a 2,5 nebo 3,3 V pro logickou jedničku, ale rozdílnou napět'ovou úroveň. Pomocí propojovacích vodičů, lze různě kombinovat logické nuly a jedničky i napět'ové úrovně pro každé ze čtyř hradel individuálně.

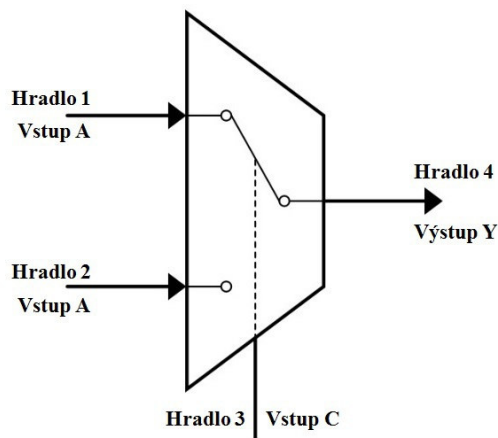
Na následujícím obrázku č. 5.2 je znázorněna možnost konverze napět'ových úrovní pomocí integrovaného obvodu SN74AUP1T97.



Obrázek 5.2: Konverze napět'ových úrovní s IO SN74AUP1T97

5.2.2 Příklad možného zapojení ve výuce - multiplexor

Pomocí tohoto modulu lze zapojit logickou funkci obsahující maximálně čtyři logická hradla. Jako příklad je uvedena realizace multiplexoru jako přepínače. Funkce realizovaná modulem UNI LOGIC 1 je znázorněna na obrázku č. 5.3.



Obrázek 5.3: Multiplexor jako přepínač

Realizace multiplexoru modulem UNI LOGIC 1 vypadá následovně.

Napájecí napětí $V_{CC} = 2,5 \text{ V}$

Hradlo č. 1:

Vstup A (pin 3) = Logická nula (GND) nebo logická jednička (2,5 V)

Vstup B (pin 1) = 2,5 V

Vstup C (pin 6) = Výstup Y (pin 4) hradla č. 3

Výstup Y (pin 4) = Vstup A (pin 3) hradla č. 4

Hradlo č. 2:

Vstup A (pin 3) = Logická nula (GND) nebo logická jednička (2,5 V)

Vstup B (pin 1) = 2,5 V

Vstup C (pin 6) = Vstup C (pin 6) hradla č. 3

Výstup Y (pin 4) = Vstup C (pin 6) hradla č. 4

Hradlo č. 3:

Vstup A (pin 3) = GND

Vstup B (pin 1) = 2,5 V

Vstup C (pin 6) = Logická nula (GND) nebo logická jednička (2,5 V)

5. Přehled a popis výukových modulů

Výstup Y (pin 4) = Vstup C (pin 6) hradla č. 1

Hradlo č. 4:

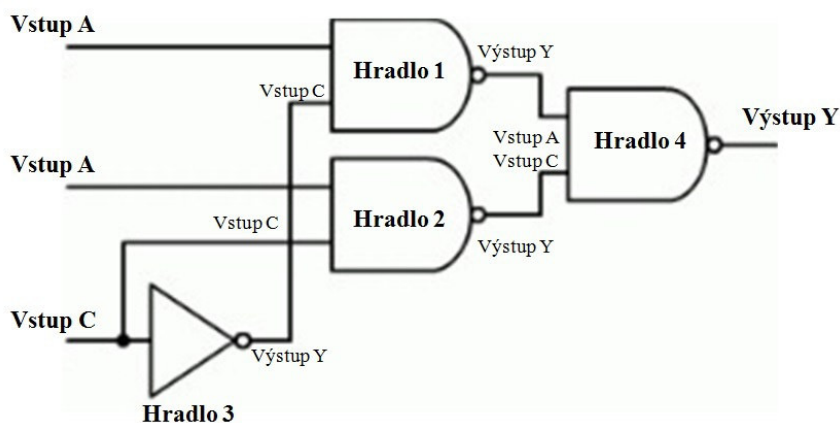
Vstup A (pin 3) = Výstup Y (pin 4) hradla č. 1

Vstup B (pin 1) = 2,5 V

Vstup C (pin 6) = Výstup Y (pin 4) hradla č. 2

Výstup Y (pin 4) = NEZAPOJENO !!! VÝSTUP MULTIPLEXORU

Vnitřní schéma zapojení multiplexoru pomocí modulu UNI LOGIC 1 je vyobrazeno na obrázku č. 5.4.



Obrázek 5.4: Vnitřní schéma multiplexoru

Následující tabulka č. 9 obsahuje pravdivostní hodnoty multiplexoru jako přepínače. Je-li na vstupu C hradla č. 3 logická nula, tak na výstupu multiplexoru bude stejná logická hodnota, jako je na vstupu A hradla č. 1. Logická jednička na vstupu C hradla č. 3, posílá na výstup multiplexoru stejnou logickou hodnotu, jaká se nachází na vstupu A hradla č. 2.

Tabulka 1: Pravdivostní hodnoty multiplexoru - přepínače

Hradlo 3	Hradlo 2	Hradlo 1	Hradlo 4
C	A	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

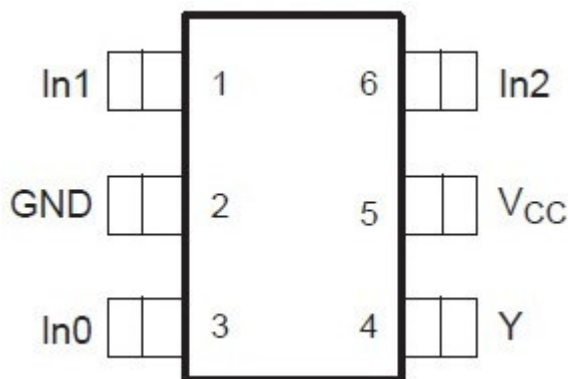
5.3 Modul UNI LOGIC 2

Ve výuce lze tento modul použít k realizaci logického hradla, které má funkci závislou na zapojení vstupních pinů hradla integrovaného obvodu SN74LVC1G58 a v kombinaci s hradlem lze převádět napěťové úrovně. Možnosti zapojení a tím zvolit funkci hradla je zobrazeno v příloze D.

Modul UNI LOGIC 2 obsahuje čtyři integrované obvody SN74LVC1G58 a tím je modul rozšířen o další možnosti využití.

5.3.1 Popis elektronického schématu a funkce modulu UNI LOGIC 2

Jak je vidět na obrázku č. 5.5, tak integrovaný obvod má 6 vývodů neboli pinů. Napájení obvodu je přivedeno na pin č. 2 (GND) a pin č. 5 (V_{CC}). Piny č. 1, 3 a 6 jsou vstupy logického hradla, pin č. 4 je pak výstupní pin hradla.



Obrázek 5.5: Integrovaný obvod SN74LVC1G58

Tento integrovaný obvod má možnost konvertovat napěťovou úroveň o velikosti 1,8 V, 2,5 V, 3,3 V a 5 V, která je přivedena na vstupy logického hradla. Tento modul je vybaven dalším konvertorem TPS76918, který má na výstupu napětí 1,8 V. Všechna možná napětí jsou přivedena jak do dutinek, ze kterých je možné vybrat určitou napěťovou úroveň pro vstupy hradel, tak i do čtyřpolohového otočného přepínače, ze kterého lze zvolit napájecí napětí integrovaného obvodu. Napěťová úroveň na výstupu hradla je totožná s napěťovou úrovní napájení integrovaného obvodu.

Modul UNI LOGIC 2 obsahuje čtyři integrované obvody SN74LVC1G58. Schéma a návrh desky plošného spoje modulu UNI LOGIC 2 je uvedeno v příloze E.

5.3.2 Příklad možného zapojení ve výuce – R-S klopný obvod

Jako příklad zapojení modulu UNI LOGIC 2, byla zvolena realizace klopného obvodu R-S s hradly s logickou funkcí NAND.

Napájecí napětí $V_{CC} = 3,3 \text{ V}$

Hradlo č. 1:

Vstup In0 (pin 3) = 3,3 V

Vstup In1 (pin 1) = Vstup S klopného obvodu - Logická nula (GND) nebo logická jednička (3,3 V) a zároveň propojení s vstupem In2 (pin 6)

Vstup In2 (pin 6) = Propojení s vstupem In1 tohoto hradla č. 1

Výstup Y (pin 4) = Vstup In1 (pin 1) hradla č. 3

Hradlo č. 2:

Vstup In0 (pin 3) = 3,3 V

Vstup In1 (pin 1) = Vstup R klopného obvodu - Logická nula (GND) nebo logická jednička (3,3 V) a zároveň propojení s vstupem In2 (pin 6)

Vstup In2 (pin 6) = Propojení s vstupem In1 tohoto hradla č. 2

Výstup Y (pin 4) = Vstup In2 (pin 6) hradla č. 4

Hradlo č. 3:

Vstup In0 (pin 3) = 3,3 V

Vstup In1 (pin 1) = Výstup Y hradla č. 1

Vstup In2 (pin 6) = Výstup Y hradla č. 4

Výstup Y (pin 4) = Vstup In1 (pin 1) hradla č. 4 a zároveň výstup Q z R-S klopného obvodu

Hradlo č. 4:

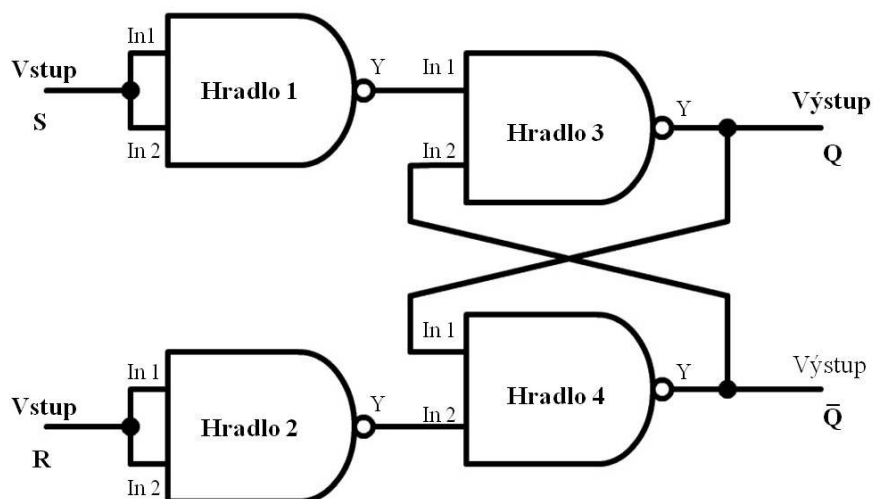
Vstup In0 (pin 3) = 3,3 V

Vstup In1 (pin 1) = Výstup Y (pin 4) hradla č. 3

Vstup In2 (pin 6) = Výstup Y (pin 4) hradla č. 2

Výstup Y (pin 4) = Vstup In2 (pin 6) hradla č. 3 a zároveň výstup \bar{Q} z R-S klopného obvodu

Vnitřní schéma zapojení R-S klopného obvodu pomocí modulu UNI LOGIC 2 je vyobrazeno na obrázku č. 5.6.



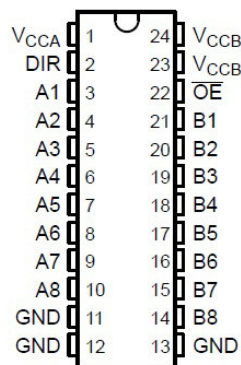
Obrázek 5.6: Schéma R-S klopného obvodu

5.4 Modul LOGIC LEVEL CONVERTOR

Tento modul LOGIC LEVEL CONVERTOR je možno využít ve výuce jako konvertor napěťových úrovní od 1,8 V do 5 V. Konverzi zajišťuje integrovaný obvod SN74LVC8T245 v modulu, který neobsahuje žádná logická hradla. Schéma a návrh desky plošného spoje je zobrazen v příloze F.

5.4.1 Popis elektronického schématu a funkce modulu LOGIC LEVEL CONVERTOR

Hlavní součástí v modulu je integrovaný obvod SN74LVC8T245 vyobrazený na obrázku č. 5.7. Obvod disponuje 24 piny. Pin č. 1 s názvem V_{CCA} napájí vstupy/výstupy A1 až A8 pod čísly pinů 3 až 10. Piny 23 a 24 V_{CCB} napájí vstupy/výstupy B21 až B14. GND je přivedeno na piny 11, 12 a 13 pod stejným názvem GND. Vstup OE realizuje zapnutí/vypnutí převodu mezi A a B. Je-li na OE přivedena logická jednička, tak nastává stav vysoké impedance, což znamená izolaci a integrovaný obvod nepřevádí data ze sběrnice na sběrnici.



Obrázek 5.7: Integrovaný obvod SN74LVC8T245

Logická nula na vstupu OE značí převod. Tento převod a směr toku dat určuje vstup DIR. Logická nula na DIR uvádí porty B do stavu vysoké impedance a data se přenáší z portů B do portů A. Přivedená logická jednička na vstup DIR dává do stavu vysoké impedance porty A, v tomto případě se data přenáší z A do B.

Na desce plošného spoje jsou k dispozici dva otočné čtyřpolohové přepínače. Prvním přepínačem je možno volit napětovou úroveň na napájecím vstupu V_{CCA}, který je přímo propojen se vstupem DIR. Druhým přepínačem je možno volit napětovou úroveň na napájecích vstupech V_{CCB}. Vstup OE je přímo připojen na GND, což představuje logickou nulu a tím je přenos dat stále aktivován. Obvod je dále doplněn dvěma integrovanými obvody, z nichž každý obsahuje čtyři komparátory. Komparátor má funkci porovnání dvou napětí přivedených na vstup operačního zesilovače. Na výstupu každého komparátoru je zapojen předřadný rezistor o velikosti 51 Ω v sériovém zapojení s led diodou červené barvy, která signalizuje zvolené napětové úrovně na napájení V_{CCA} a V_{CCB}.

5.4.2 Příklad možného zapojení ve výuce

Jako příklad zapojení modulu LOGIC LEVEL CONVERTOR je zvolena konverze napětí z 5 V na 2,5 V při přenosu dat z portů A do portů B.

První přepínač má navolenou napětovou úroveň 5 V. Tato úroveň je přivedena na V_{CCA} a zároveň na vstup DIR integrovaného obvodu. 5 V na vstupu DIR představuje logickou hodnotu 1, což znamená převod dat z portů A do portů B. Napětová úroveň na druhém přepínači je v poloze 2,5 V. Toto napětí je přivedeno na V_{CCB} a bude na výstupu portů B z integrovaného obvodu. Na porty A1 až A8 je přivedeno napětí o

5. Přehled a popis výukových modulů

hodnotě logické jedničky odpovídající napěťové úrovni 5 V. Nyní bude na výstupech B1 až B8 hodnota logické jedničky o napěťové úrovni 2,5 V. Tím je realizován převod mezi napěťovými úrovněmi. Následující tabulka č. 10 ukazuje minimální vstupní napětí logické jedničky a maximální vstupní napětí logické nuly při různých napěťových úrovních uváděné v katalogovém listu od výrobce součástky.

Tabulka 2: Napěťové úrovně integrovaného obvodu SN74LVC8T245

Napěťová úroveň [V]	Logická jednička min U [V]	Logická nula max U [V]
1,8	1,17	0,63
2,5	1,7	0,7
3,3	2	0,8
5	3,5	1,5

Z této tabulky je vidět, že velikosti napětí logické nuly nebo jedničky při různých napěťových úrovních odpovídá napětím uvedeným na obrázku č. 2.1. Porovnáním napětí z tabulky a obrázku je zřejmé, že se jedná o integrovaný obvod vyrobený technologií CMOS.

6. Výroba a realizace navržených modulů

V softwaru Eagle byla navržena elektronická schémata s vybranými elektronickými součástkami. Na základě tohoto schématu byly v editoru desek rozmístěny součástky a následně propojeny cestami. Vzhledem k tomu, že na jednostranném plošném spoji by vzniklo nepřiměřené množství propojovacích vodičů, byl návrh desky realizován pro dvoustrannou desku, což má výhodu eliminovat rušivé jevy. Výroba desek byla realizována v laboratoři PCBlab na Technické univerzitě v Liberci.

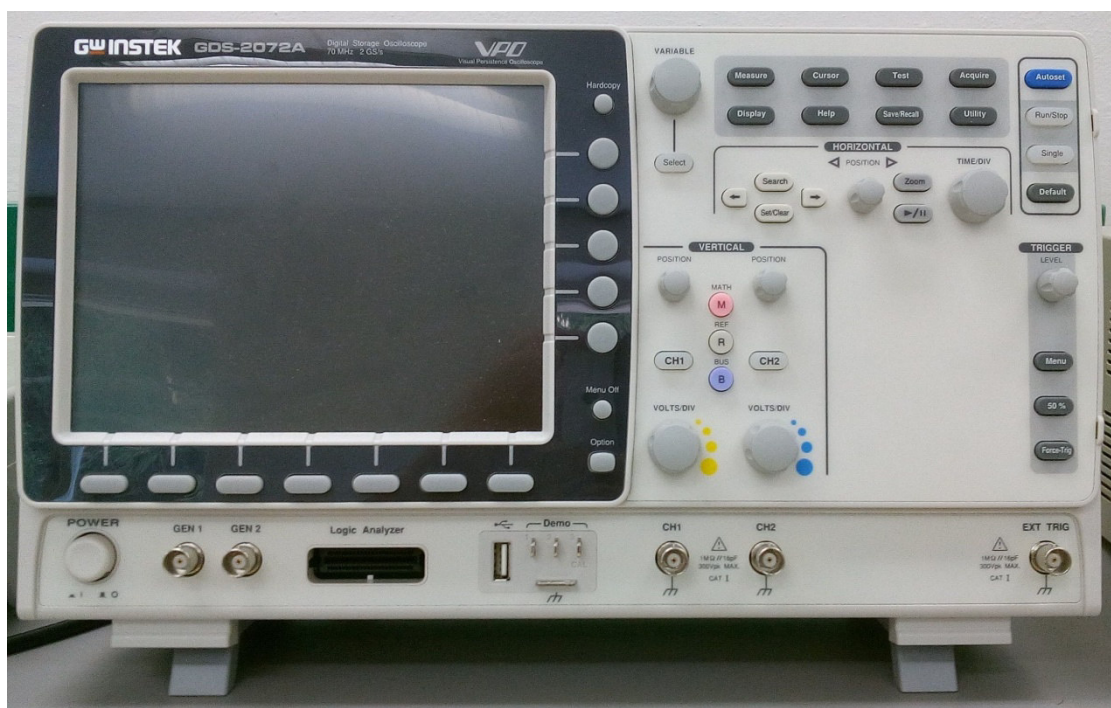
Při pájení byla použita hrotová páječka BASETech s kulatým hrotem o průměru 1,2 mm ve špici, pájecí kapalina s označením R obsahující kalafunu 10-30 % a synt. etanol 0-90 %, bezolovnatý cín s obsahem Sn 99,3 % a Cu 0,7 % o průměru 0,5 mm, měděný vodič (licna) o velikosti 0,3 mm a sprej na čištění plošných spojů.

Na spoj desky plošného spoje byla nanесena pájecí kapalina a přiložena součástka. Poté byla použita páječka, aby se spoj prohřál a následně byl přiložen cín. Přebytečný cín, který by mohl spojit kontakty součástek, byl odstraněn pomocí měděného vodiče. Potom byl spoj vyčištěn a řádně ošetřen sprejem. U integrovaných obvodů byla provedena kontrola, zda nejsou kontakty propojeny. Ke kontrole byl použit multimetr se zvukovou signalizací.

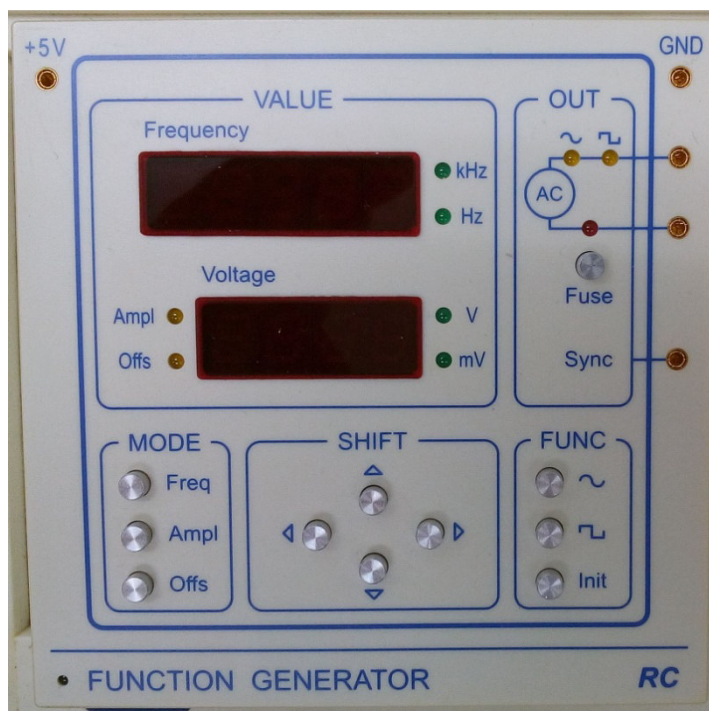
7. **Ověření funkčnosti, měření a vyhodnocení modulů**

7.1 **Použité přístroje**

Měření proběhlo v technické učebně Technické univerzity v Liberci. K těmto měřením posloužil osciloskop GDS-2072A od firmy GW Instek vyobrazen na obrázku č. 7.1. Pulsy obdélníkového charakteru dodával generátor ze stavebnice Domino od výrobce RC Didactic, který je zobrazen na obrázku č. 7.2.



Obrázek 7.1: *Osciloskop GW Instek GDS-2072A*



Obrázek 7.2: Generátor stovebnice Domino od firmy RC didactic

7.2 Zapojení, měření a vyhodnocení modulu UNI LOGIC 1

7.2.1 Postup měření modulu UNI LOGIC 1

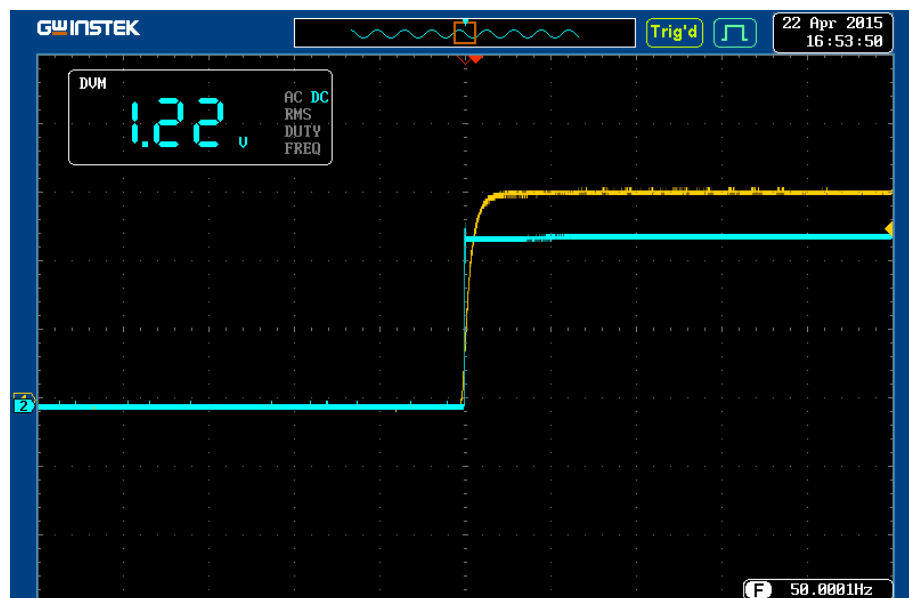
Tento modul byl zapojen jako logická funkce představující neinvertující budič při napájecím napětí 2,5 V a invertor s napájecím napětím 3,3 V. Na generátoru pulsů byla nastavena frekvence o hodnotě 50 Hz. První kanál osciloskopu byl připojen na výstup generátoru, resp. vstup logického hradla a druhý kanál snímal chování na výstupu hradla v závislosti na změně na vstupu. Napájecí napětí součástek SN74AUP1T97 v modulu bylo nastaveno na 2,5 V a poté na 3,3 V. Na vstup hradla bylo přivedeno napětí z generátoru o hodnotách 1,8, 2,5 a 3,3 V.

7.2.2 Vyhodnocení měření modulu UNI LOGIC 1

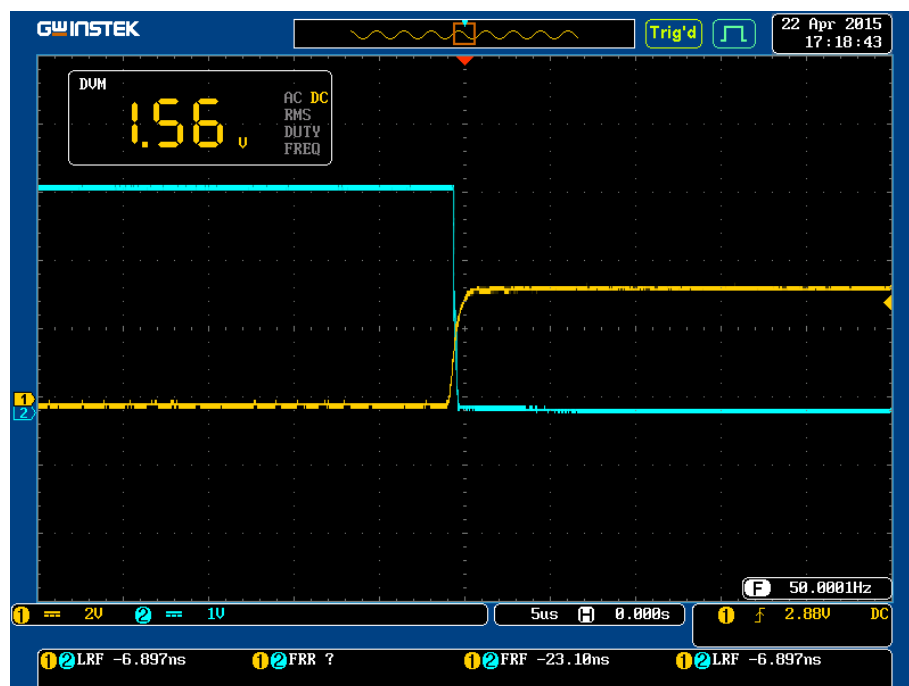
Kromě změny logické hodnoty 0 a 1 se žádné jiné změny neočekávaly a měření tuto domněnku prokázalo. V případě zapojení neinvertujícího budiče je na výstupu hradla při logické nule vždy nulové napětí [mV] a při logické jedničce je velikost napětí

7. Ověření funkčnosti, měření a vyhodnocení modulů

2,5 V. Logická funkce neinvertujícího budiče s převodem napět'ové úrovně z 3,3 V na 2,5 V je zobrazena na obrázku č. 7.3. Obrázek č. 7.4 ukazuje převod napět'ové úrovně z 1,8 V na 3,3 V v kombinaci s logickou funkcí invertoru. Žlutá křivka představuje vstupní hodnoty a modrá křivka výstupní hodnoty hradla.



Obrázek 7.3: Graf převodu napět'ové úrovně z 3,3 V na 2,5 V



Obrázek 7.4: Graf invertující funkce a převodu napět'ové úrovně z 1,8 V na 3,3 V

7. *Ověření funkčnosti, měření a vyhodnocení modulů*

Z těchto uvedených grafů je vidět nejen reakce výstupu na změnu vstupu, ale také rychlost, jakou hradlo reaguje na vstup. Hradlo reaguje v řádech desítek ns, což odpovídá hodnotám uvedeným v katalogovém listu udávaného výrobcem součástky. Ustálení napětí logické jedničky na výstupu je rychlejší než ustálení na vstupu hradla, resp. na výstupu generátoru.

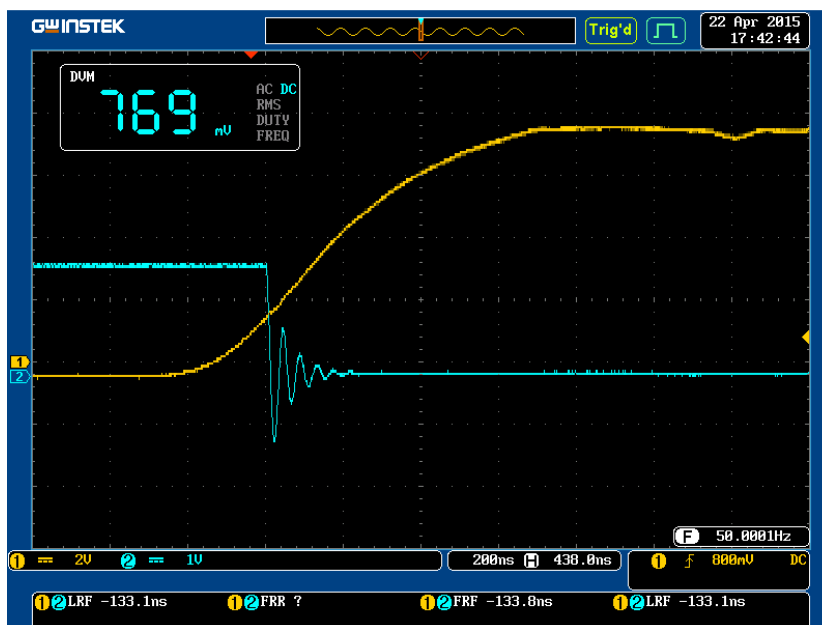
7.3 Zapojení, měření a vyhodnocení modulu UNI LOGIC 2

7.3.1 Postup měření modulu UNI LOGIC 2

Nejpoužívanější logická funkce NAND byla realizována při měření a ověření funkčnosti modulu UNI LOGIC 2. Součástky SN74LVC1G58 instalované v modulu byly postupně napájeny napětím o velikosti 1,8, 2,5, 3,3 a 5 V. Vstupní napětí hradla bylo nastavováno v pořadí 1,8, 2,5, 3,3 a 5V a to v kombinaci se všemi napájecími napětími.

7.3.2 Vyhodnocení měření modulu UNI LOGIC 2

Napětíový signál přivedený na vstup hradla NAND je bezproblémově převeden na výstup hradla, kde nabývá napětíové úrovně o velikosti V_{cc} . Na obrázku č. 7.5 je vidět jak výstupní signál (modrá křivka) při změně logické úrovně mírně zakmitá, ale rychlost ustálení na logické hodnotě nula je opět rychlejší než změna signálu na vstupu (žlutá křivka) hradla. Zákmity na výstupu hradla mohla způsobit nekvalitní měřicí sonda, která je používána studenty při měření. Při jakékoliv manipulaci se sondou se charakter křivky mění. Pro přesnější měření by bylo nutné použít kvalitnější sondy.

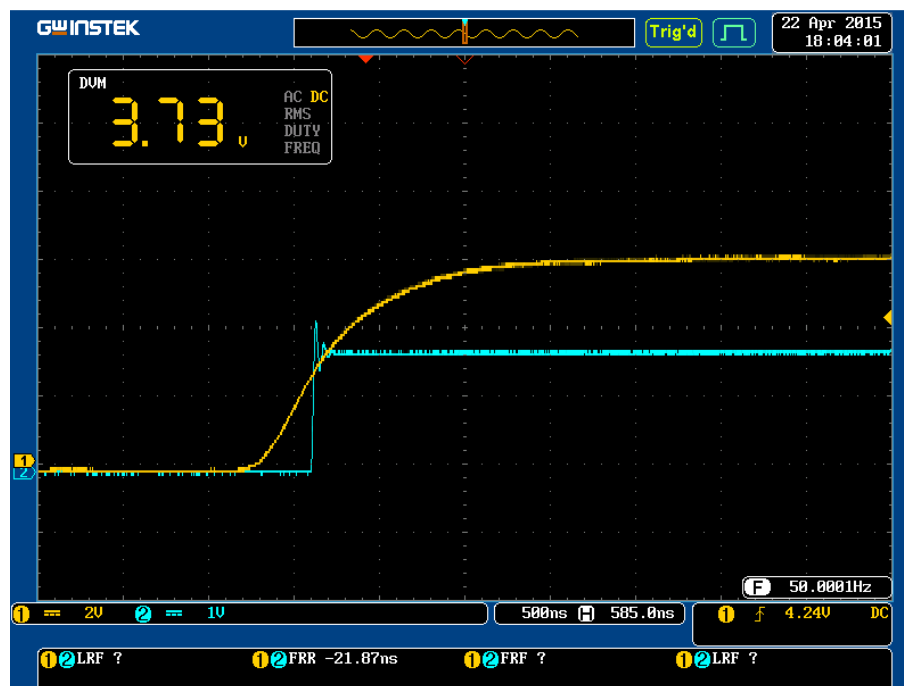


Obrázek 7.5: Graf funkce NAND a převod napěťové úrovně z 5 V na 1,8 V

7.4 Zapojení, měření a vyhodnocení modulu LOGIC LEVEL CONV.

7.4.1 Postup měření modulu LOGIC LEVEL CONVERTOR

Tento modul převádí velikosti napěťových úrovní z 1,8, 2,5, 3,3 nebo 5 V na 1,8, 2,5, 3,3 nebo 5 V. Napájecí napětí VCCA a VCCB byla nastavena postupně podle výše uvedených napěťových úrovní a vstupy A měly tyto úrovně jako vstupní signály. Měřeny byly všechny možné kombinace. Jako příklad naměřených hodnot byl vybrán převod napětí z 3,3 V na 1,8 V, který je zobrazen na obrázku č. 7.6.



Obrázek 7.6: Graf převodu napěťové úrovně z 3,3 V na 1,8 V

7.4.2 Vyhodnocení měření modulu LOGIC LEVEL CONVERTOR

Měřením tohoto modulu se prokázalo, že je vhodný pro převod jakékoliv napěťové úrovně od 1,8 V do 5 V. Tento modul se chová jako hradlo s logickou funkcí neinvertujícího budiče. Rychlost reakce výstupního signálu na vstupní signál je v řádech desítek ns. Opět je na grafu vidět mírný zákmit při změně na výstupu hradla, což je zapříčiněno měřicí sondou.

8. Závěr

Cílem této bakalářské práce bylo realizovat tři moduly s nízkou napěťovou úrovní k výuce předmětů zabývajících se číslicovou elektronikou, a které budou kompatibilní se stavebnicí Domino od firmy RC didactic.

V softwaru Eagle byla navržena schémata a desky plošných spojů. Jelikož knihovny Eaglu nedisponují všemi součástkami a pouzdry, byly proto součástky TPS769XX, SN74AUP1T97, SN74LVC1G58 a SN74LVC8T245 navrženy a doplněny do knihoven. Návrh byl realizován jako dvoustranný plošný spoj. V programu Eagle v hladině 250 Descript byl také navržen potisk čelního panelu.

Rozmístění součástek a velikost desky plošného spoje musí odpovídat standardu určenému pro stavebnici Domino (napájecí dutinky, signalizační led dioda apod.). Součástky byly rozmístěny na desku o rozměrech 90x45 [mm] jak ze strany bottom (součástky s pouzdrům smd), tak i ze strany top (dutinky, přepínače a led diody).

Fyzická výroba desek plošných spojů byla provedena v laboratoři PCB lab na Technické univerzitě v Liberci. Součástky byly zajištěny z prostředků katedry ITE a z části jako sponzorský dar firmy RS Components.

Pomocí modulu UNI LOGIC 1 nebo UNI LOGIC 2 lze sestavit jakýkoliv logický obvod s maximálně čtyřmi hradly a v kombinaci s hradly je možnost převodu napěťových úrovní.

Modul LOGIC LEVEL CONVERTOR zastává třístavový budič sběrnice, který realizuje nejen převod logických signálů, ale také konvertor napěťových úrovní.

Poznatek, integrovaných obvodů, které lze využít jako logické hradlo a zároveň převádět napěťovou úroveň má velkou výhodu v systémech, kde je potřeba mít logické funkce a zároveň několik napěťových úrovní. Ušetří to spoustu místa na deskách plošných spojů, práce při návrzích a realizacích a finance.

Při měření se prokázalo, že moduly jsou vhodné jako doplněk stavebnice Domino a jsou využitelné pro výuku číslicové elektroniky, kde student s těmito třemi moduly má možnost vyzkoušet převod napěťových úrovní v kombinaci s logickým hradlem. Tyto tři moduly mají dohromady k dispozici osm logických hradel s převodníky napěťových úrovní a jeden osmivstupový / osmivýstupový převodník napěťových úrovní. Tímto počtem hradel a převodníků lze získat nepřeberné množství zapojení a zkušeností s novými multifunkčními součástkami.

Seznam použité a citované literatury

- [1] PLÍVA, Zdeněk. *EAGLE prakticky: řešení problémů při běžné práci*. 2. vyd. Praha: BEN - technická literatura, 2010, 184 s. ISBN 978-80-7300-252-7.
- [2] JEDLIČKA, Petr. *Přehled obvodů řady TTL 7400: 1. díl 7400 až 7499*. 2. vyd. Praha: BEN - technická literatura, 2005, 287 s. ISBN 80-730-0169-1.
- [3] JEDLIČKA, Petr. *Přehled obvodů řady TTL 7400: 2. díl 74100 až 74199*. 2. vyd. Praha: BEN - technická literatura, 2005, 311 s. ISBN 80-730-0170-5.
- [4] JANÍK, Pavel. *Paja-trb.cz: Elektronika - Eagle* [online]. Třebíč, 1.5.2012 [cit. 2015-01-15]. Dostupné z: <http://www.paja-trb.cz/index.html>
- [5] *Mikrokontroléry PIC: Web o číslicové technice a mikrokontrolérech PIC* [online]. 19.4.2011 [cit. 2015-01-15]. Dostupné z: <http://www.mikrokontrolery-pic.cz/>
- [6] OLEJÁR, Martin. *ELWEB.CZ: Elektronické aplikace* [online]. Praha, 1999 [cit. 2014-12-06]. Dostupné z: <http://www.elweb.cz/index.php>
- [7] KLAUZ, Milan. *DPS: Elektronika od A do Z* [online]. 2015 [cit. 2015-02-14]. Dostupné z: <http://www.dps-az.cz/>
- [8] SCHOMMERS, Anton. *Elektronika tajemství zbavená: Kniha 1: Pokusy se stejnosměrným proudem*. 1. české vyd. Ostrava: HEL, 1998, 112 s. ISBN 80-902-0599-2.
- [9] SCHOMMERS, Adrian. *Elektronika tajemství zbavená: Kniha 3: Pokusy s číslicovou elektronikou*. 1. vyd. Ostrava: HEL, 1999, 123 s. ISBN 80-861-6703-8.

- [10] DIEDRICH, Kurt. *Elektronika tajemství zbavená: Kniha 5: Pokusy s operačními zesilovači*. 1. čes. vyd. Překlad Miroslav Hrdina. Ostrava: HEL, 2004, 207 s. ISBN 80-861-6724-0.

Příloha A – Seznam použitých součástek

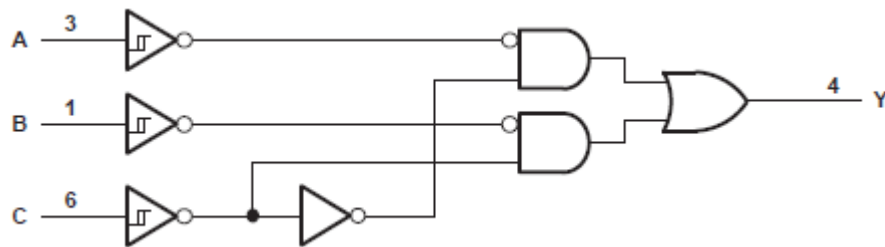
Název	Označení	Hodnota	Počet ks			Celkem ks
			Modul 1	Modul 2	Modul 3	
Rezistor	51R	51Ω	1	1	19	21
Rezistor	2k0	2000Ω	1	1	1	3
Kondenzátor	1μ	1μF - elektrolytický	2	3	3	8
Kondenzátor	4μ7	4,7μF - elektrolytický	2	3	3	8
Kondenzátor	100n	100nF - keramický	5	5	1	11
Led dioda	green	led dioda - zelená	1	1	1	3
Led dioda	red	led dioda - červená			8	8
Zenerova dioda	ZD3V3	3,3V	1	1	1	3
Konvertor	TPS76918	V _{out} = 1,8V		1	1	2
Konvertor	TPS76925	V _{out} = 2,5V	1	1	1	3
Konvertor	TPS76933	V _{out} = 3,3V	1	1	1	3
Pojistka	Fuse32	V _{out} = 5V	1	1	1	3
Komparátor	LM339				2	2
Integrovaný obvod	SN74AUP1T97		4			4
Integrovaný obvod	SN74LVC1G58			4		4
Integrovaný obvod	SN74LVC8T245				1	1
Přepínač 2-polohový	posuvný		1			1
Přepínač 4-polohový	otočný			1	2	3
Patice	PIN-6			1	2	3
Dutinka			33	35	39	107

Příloha B - Možnosti zapojení SN74AUP1T97

Tabulka funkčních hodnot

Vstupy			Výstup Y
C	B	A	
L	L	L	L
L	L	H	L
L	H	L	H
L	H	H	H
H	L	L	L
H	L	H	H
H	H	L	L
H	H	H	H

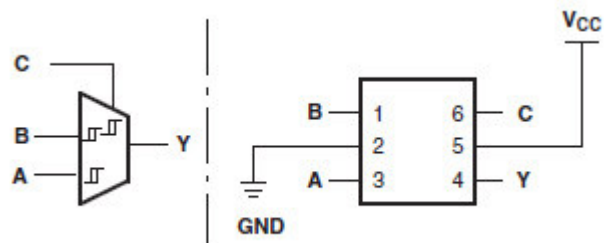
Blokové schéma (pozitivní logika)



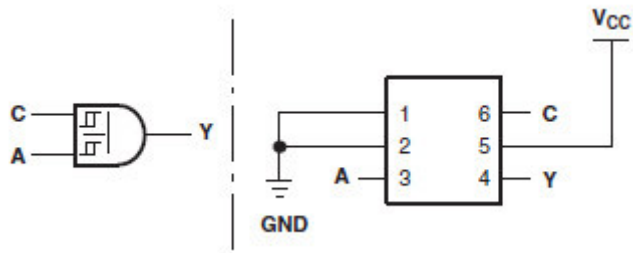
Multiplexor (přepínač)

Když C = L, Y = B

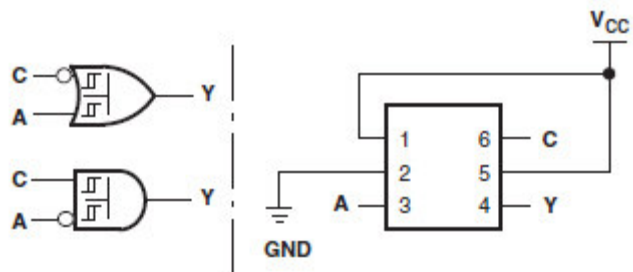
Když C = H, Y = A



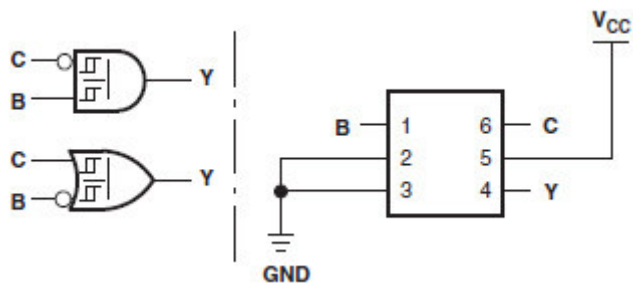
Dvouvstupové hradlo AND



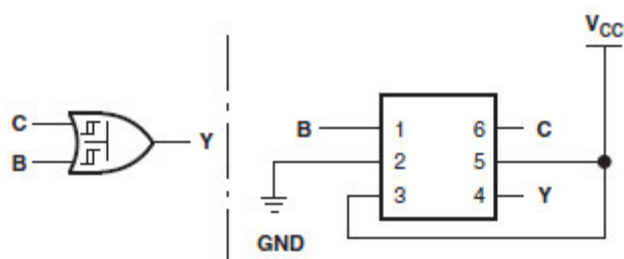
Dvouvstupové hradlo OR / NAND s jedním invertujícím vstupem



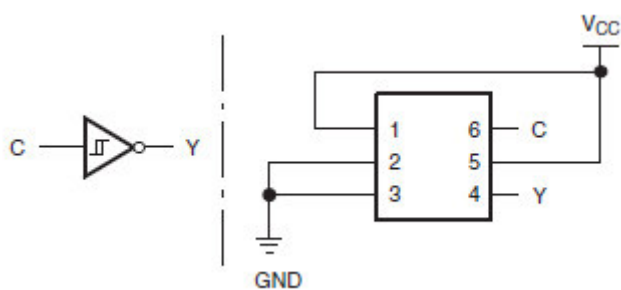
Dvouvstupové hradlo AND / NOR s jedním invertujícím vstupem



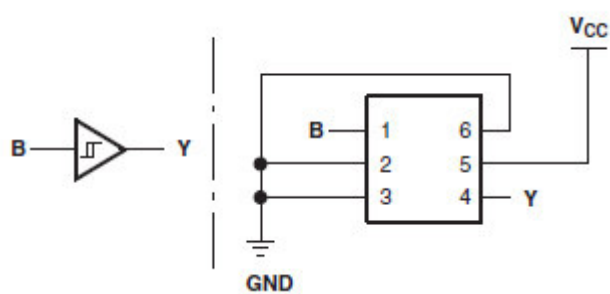
Dvoustupové hradlo OR



Invertor

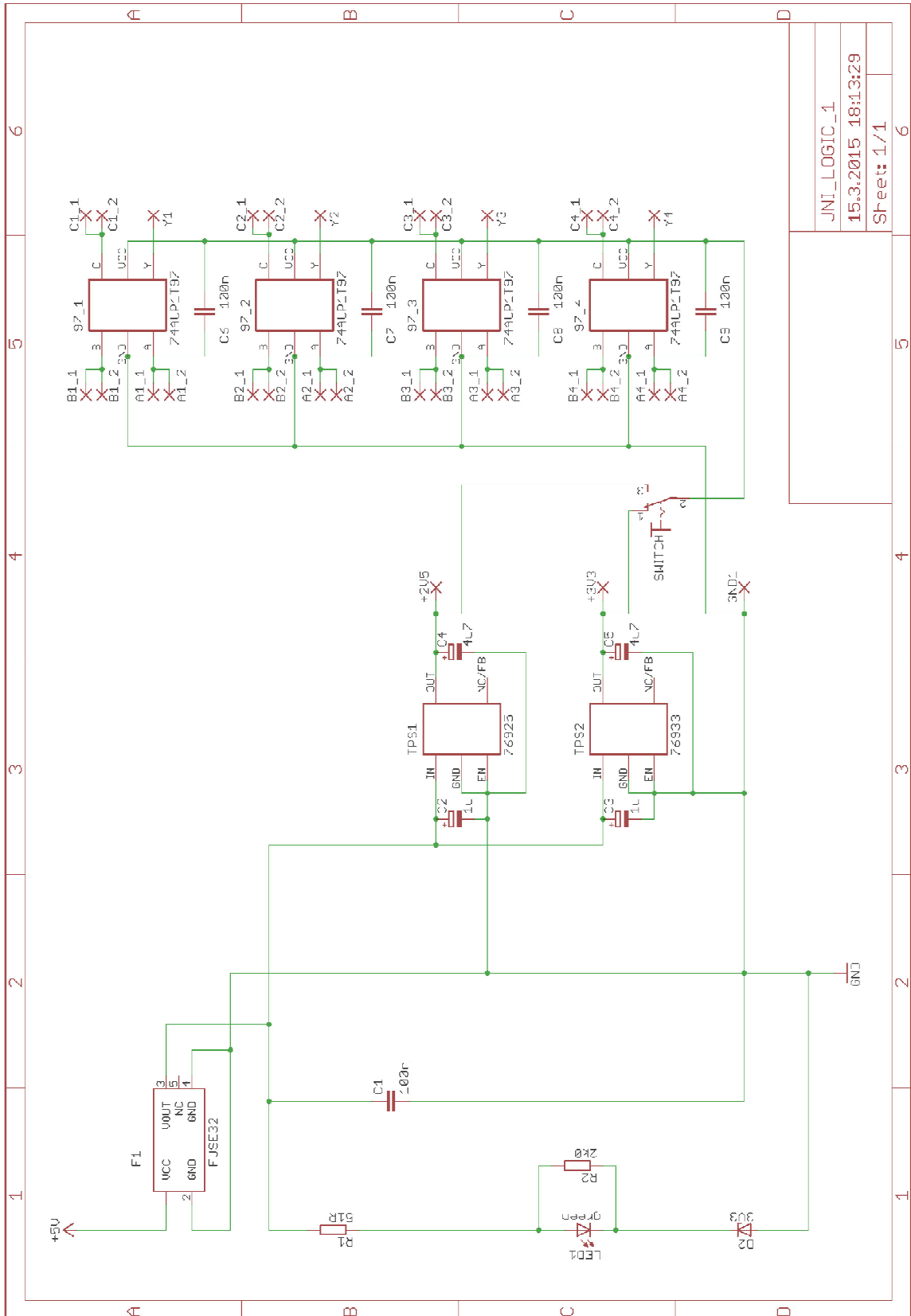


Neinvertující budič



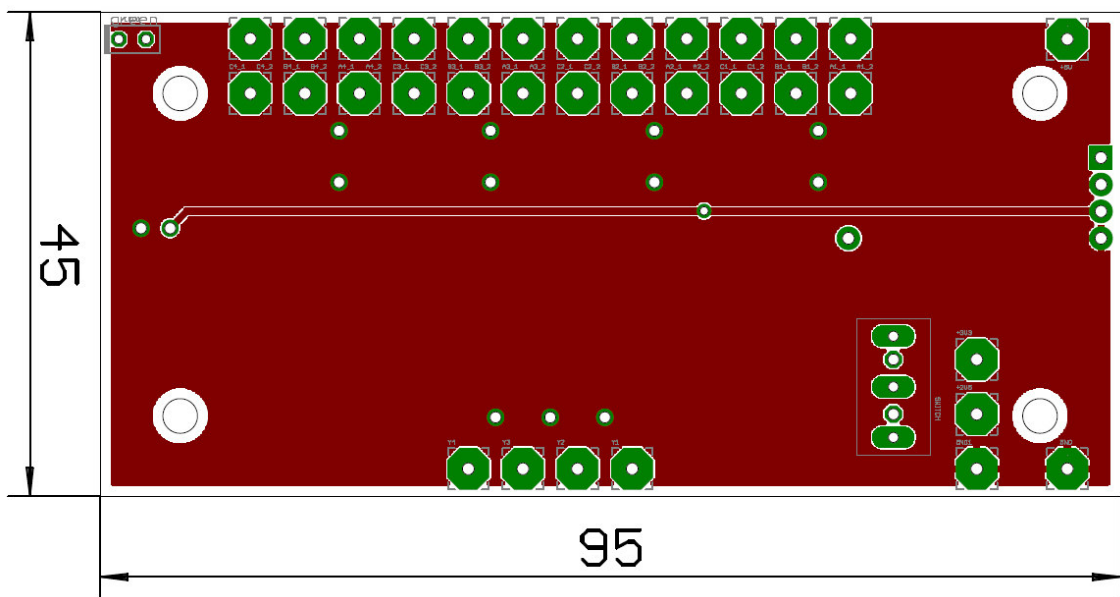
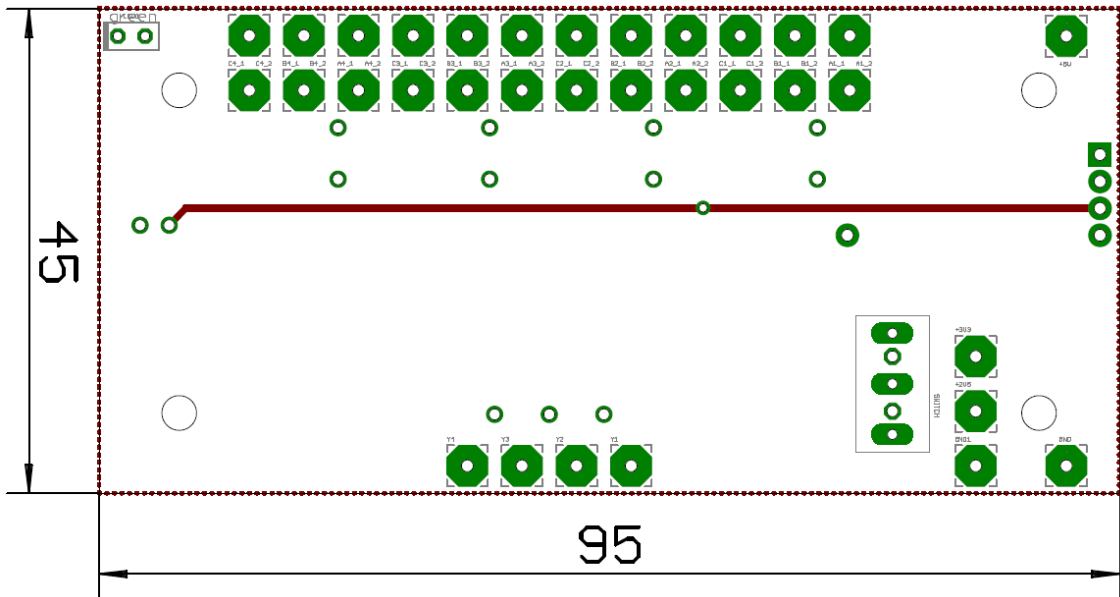
Příloha C – Výkresová dokumentace UNI LOGIC 1

Schéma

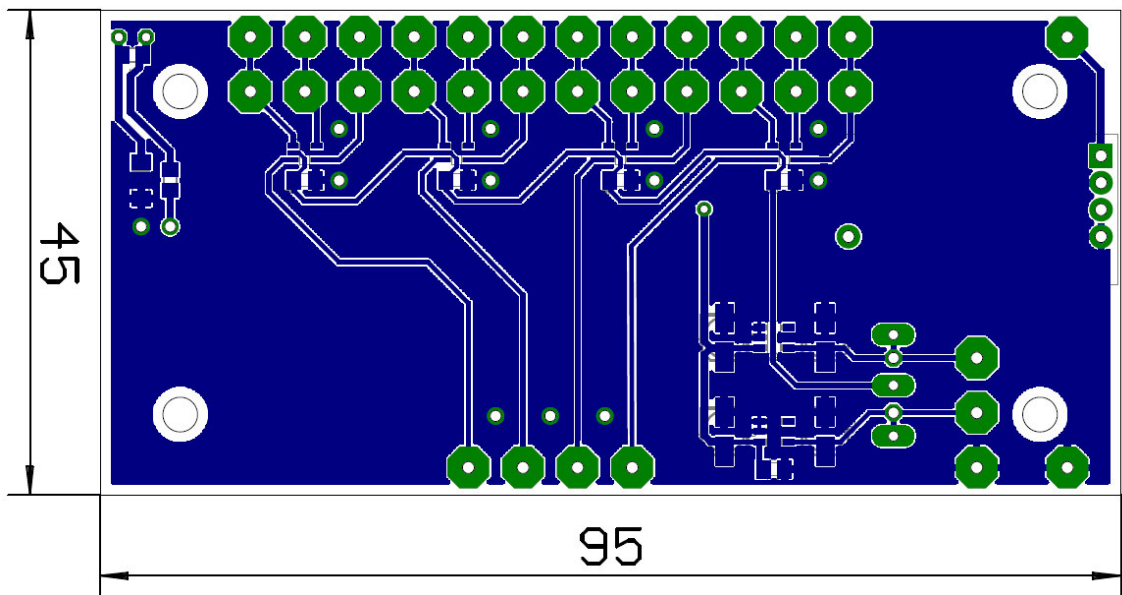
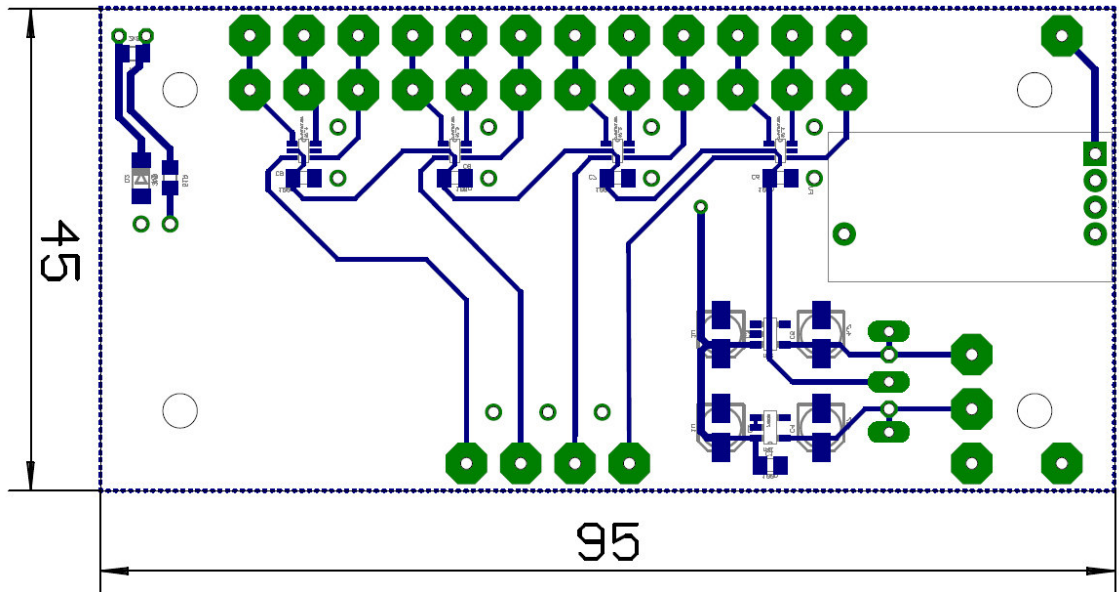


JNI_LOGIC_1	6
15.3.2015 18:13:29	
Sheet: 1/1	

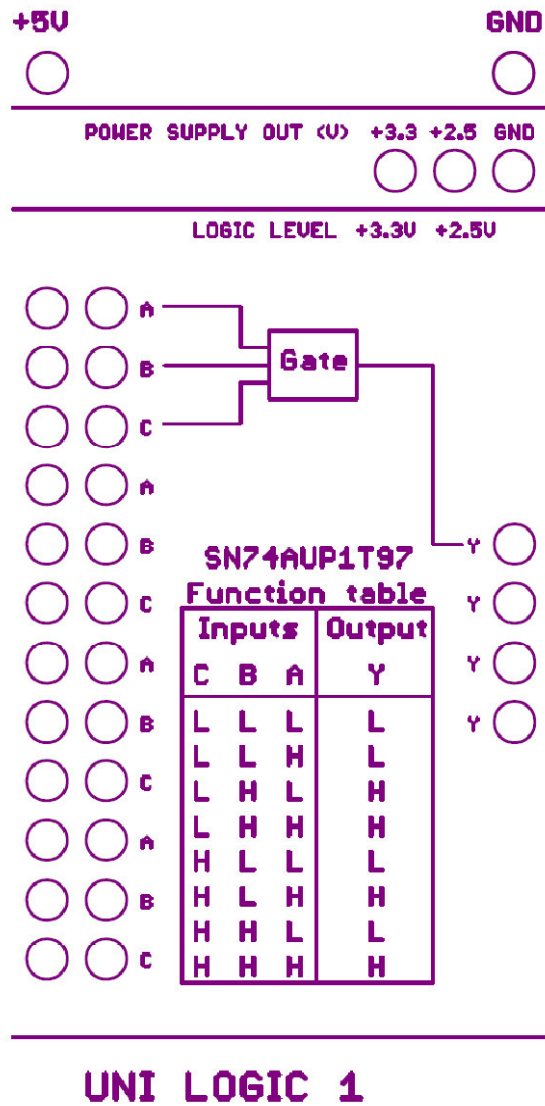
DPS – strana top



DPS – strana bottom



Čelní panel - potisk

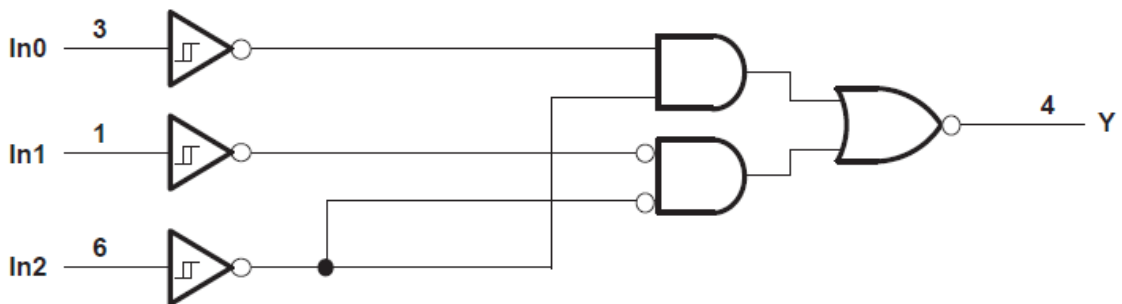


Příloha D – Možnosti zapojení SN74LVC1G58

Tabulka funkčních hodnot

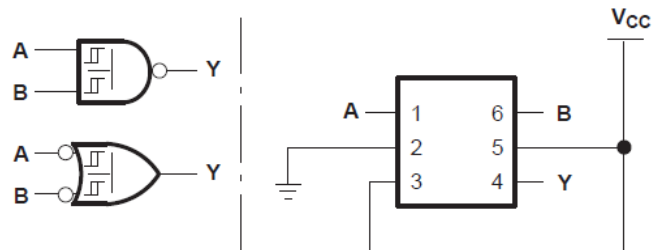
Vstupy			Výstup
In2	In1	In0	Y
L	L	L	L
L	L	H	H
L	H	L	L
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	L
H	H	H	L

Blokové schéma (pozitivní logika)



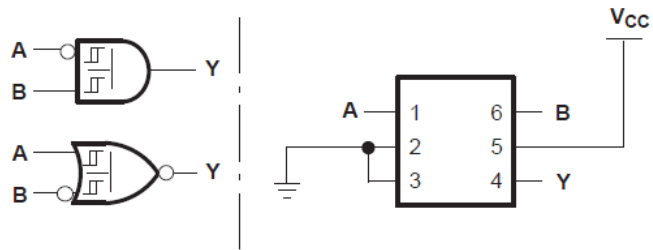
Dvouvstupové hradlo NAND

Dvouvstupové hradlo OR v dvěma invertujících vstupy



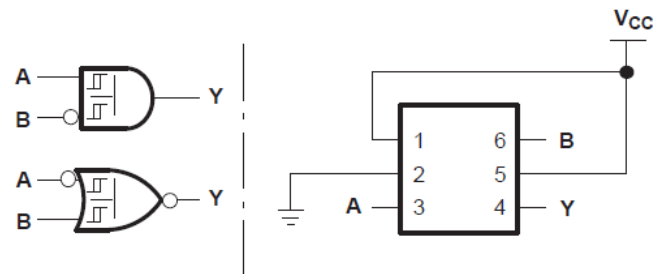
Dvouvstupové hradlo AND s invertujícím vstupem A

Dvouvstupové hradlo NOR s invertujícím vstupem B



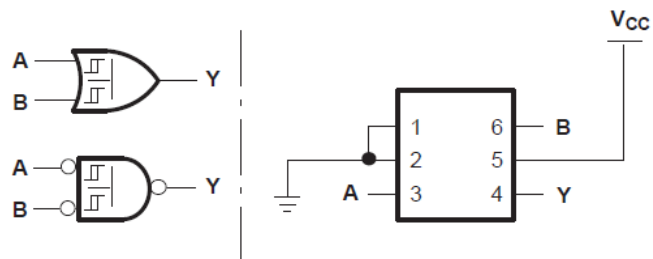
Dvouvstupové hradlo AND s invertujícím vstupem B

Dvouvstupové hradlo NOR s invertujícím vstupem A

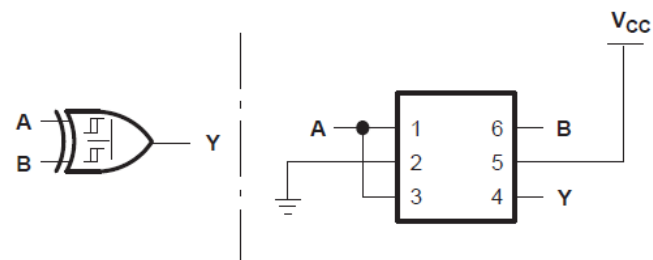


Dvouvstupové hradlo OR

Dvouvstupové hradlo NAND s dvama invertujícími vstupy

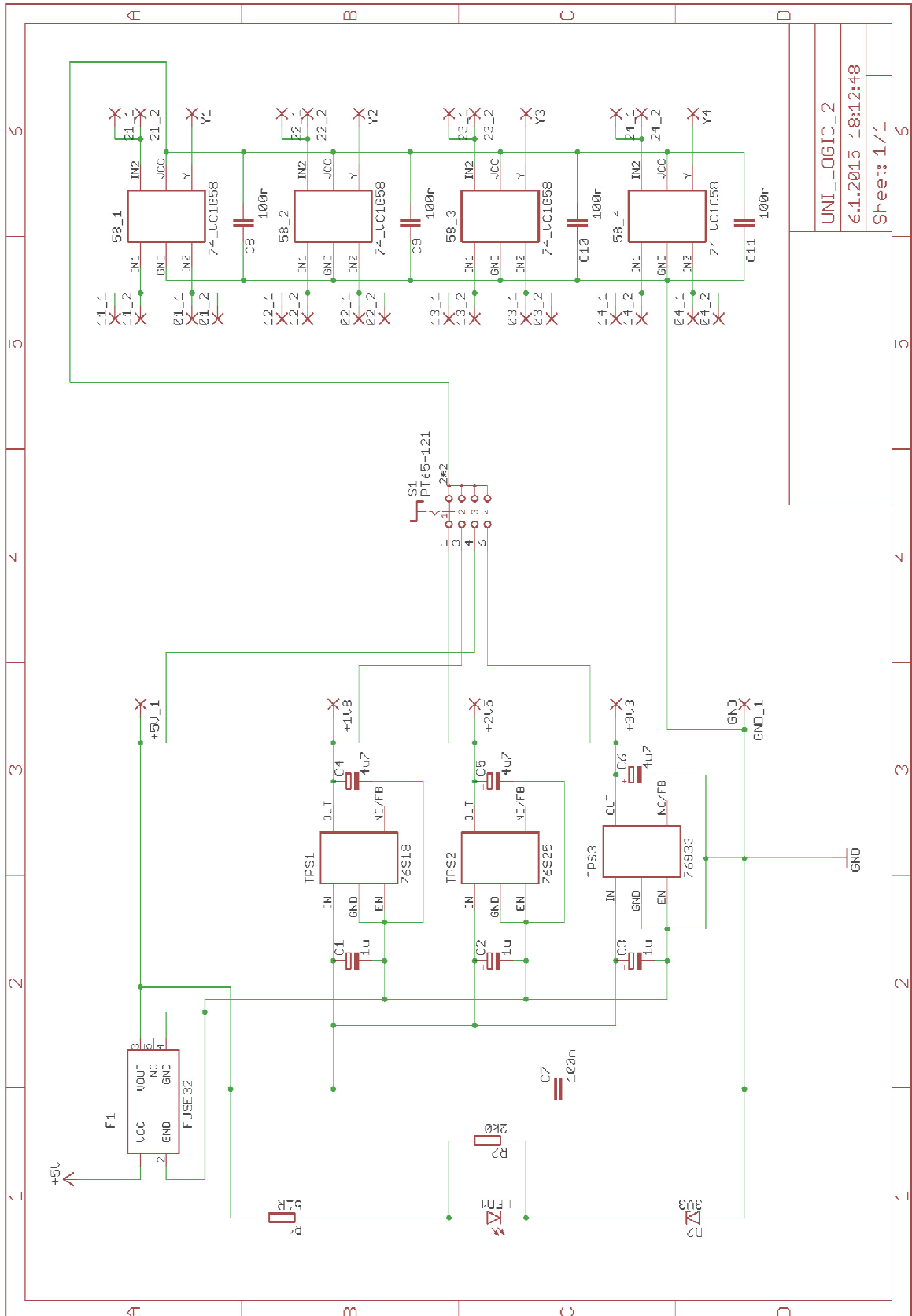


Dvouvstupové hradlo XOR



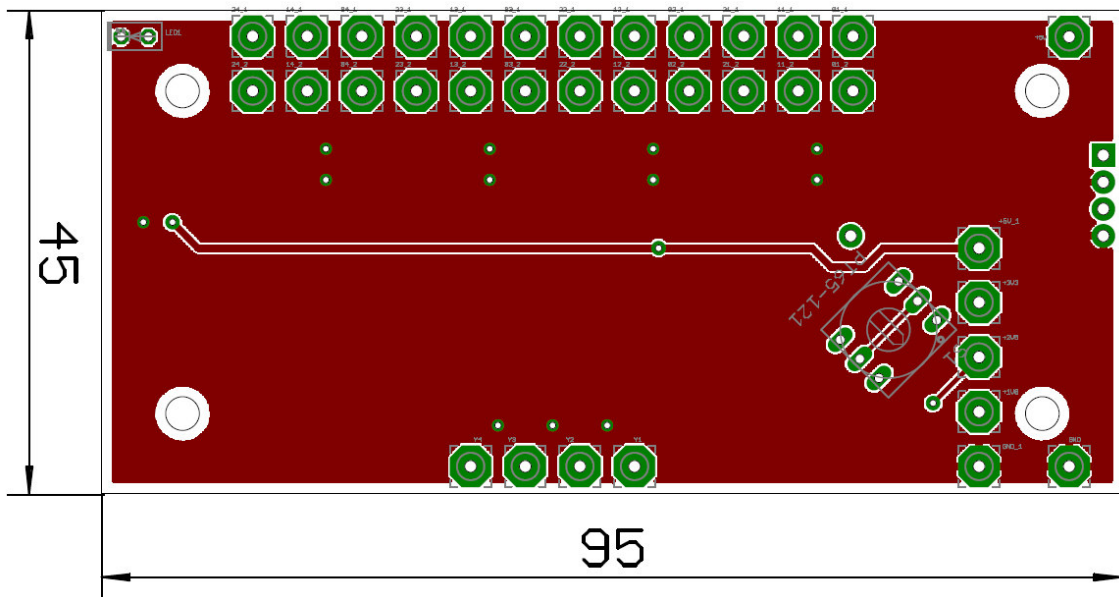
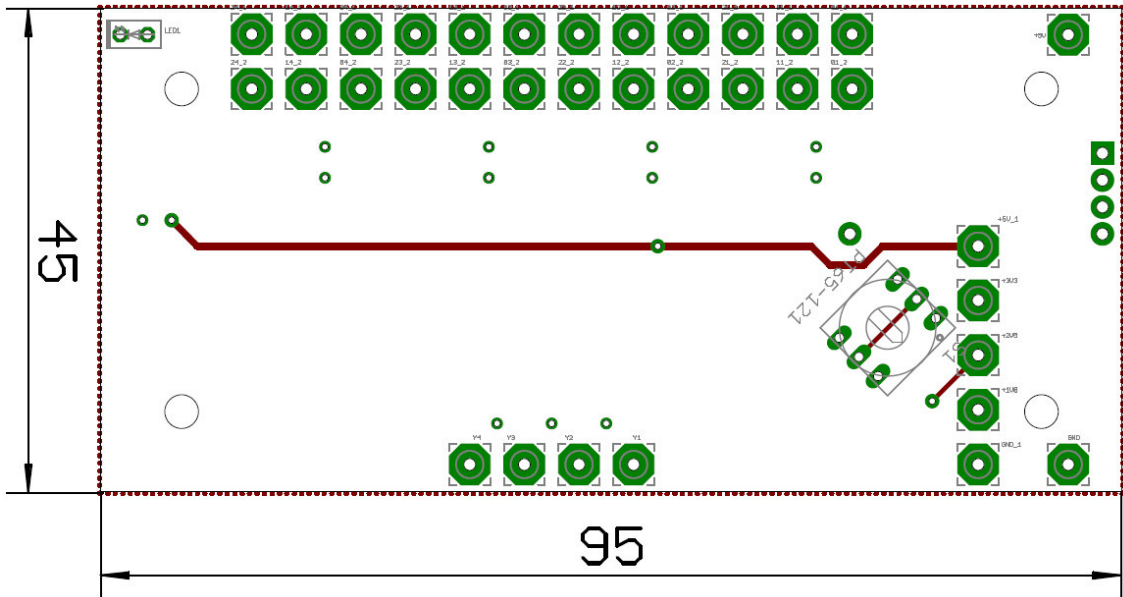
Příloha E – Výkresová dokumentace UNI LOGIC 2

Schéma

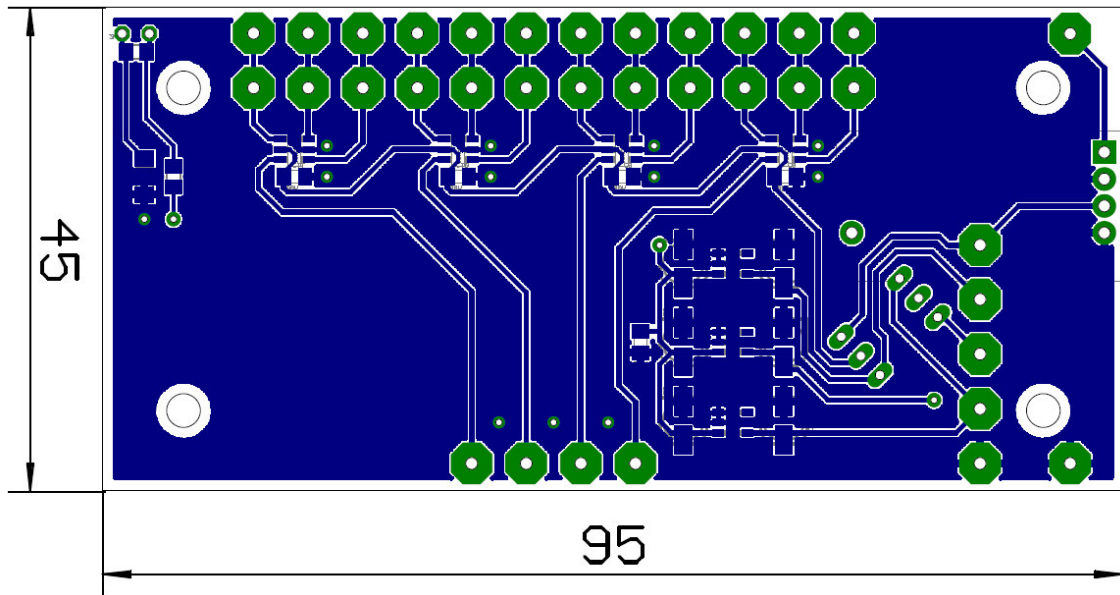
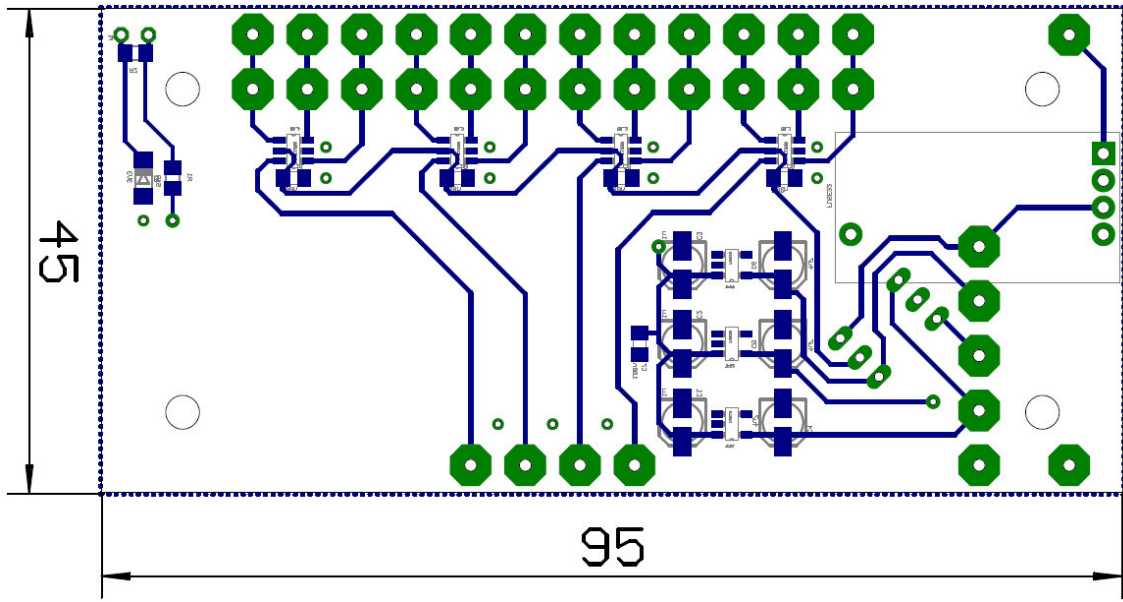


UNI_OGIC_2
6.1.2015 18:12:48
Sheet: 1/1

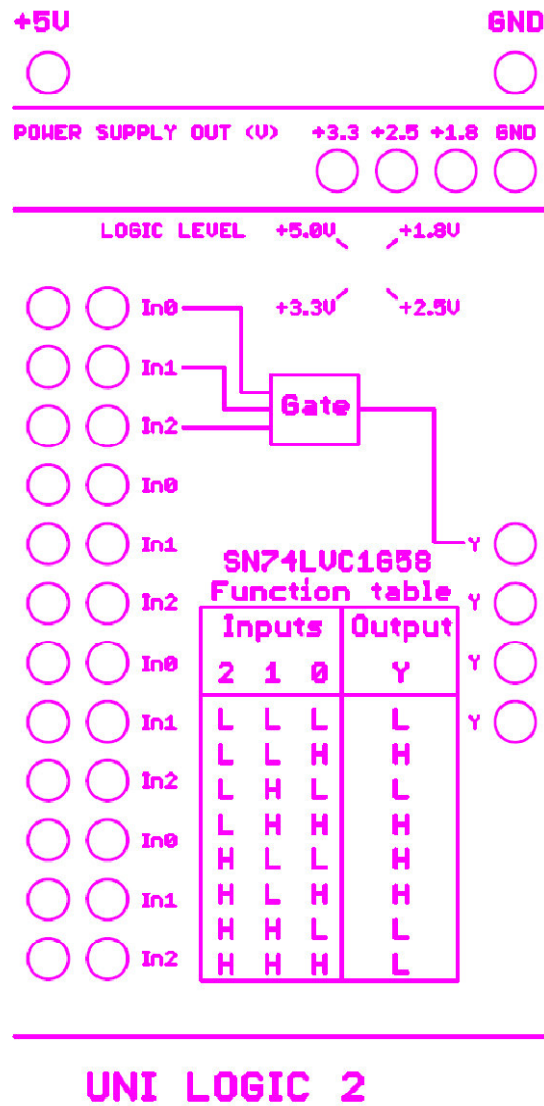
DPS – strana top



DPS – strana bottom

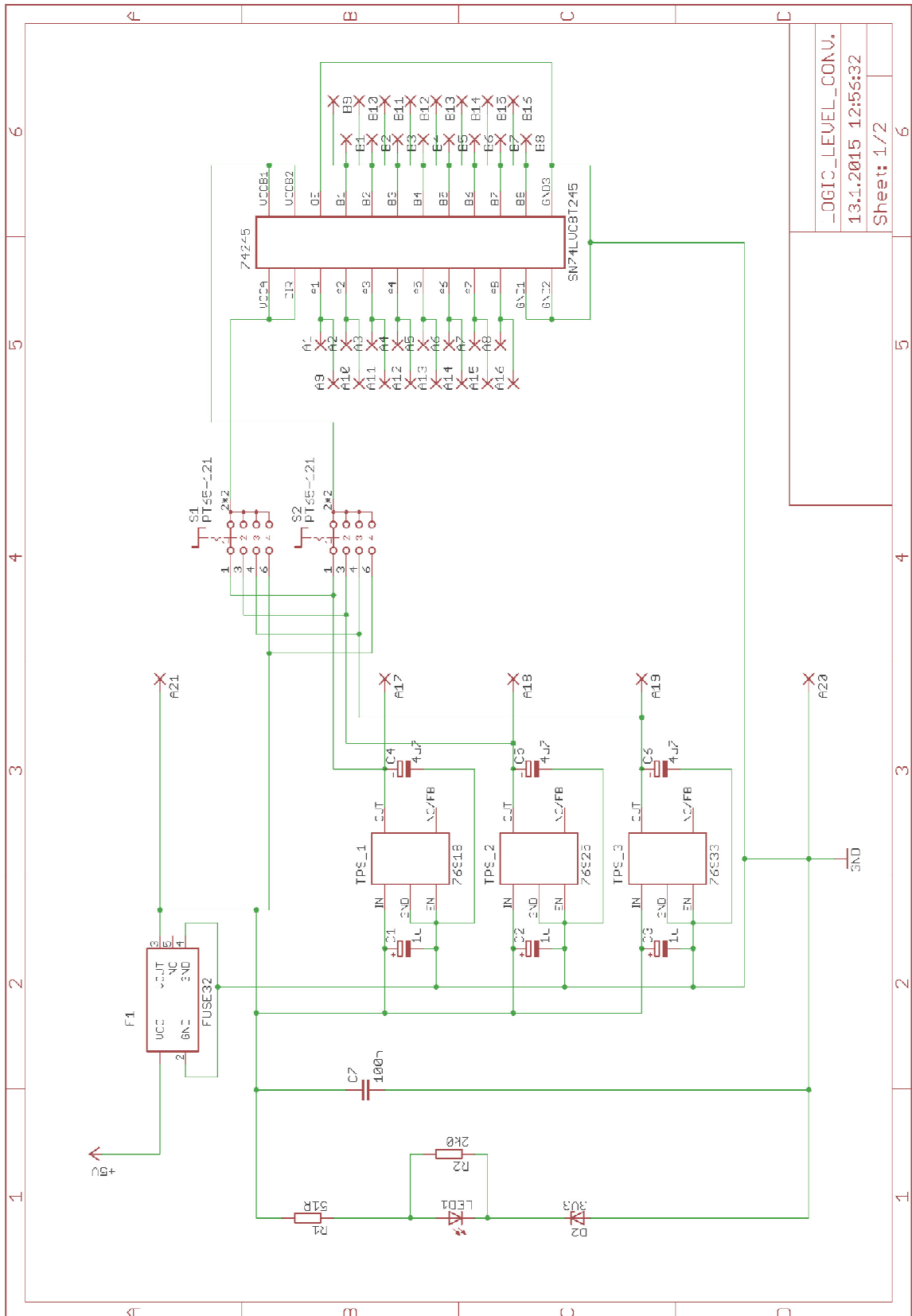


Čelní panel - potisk



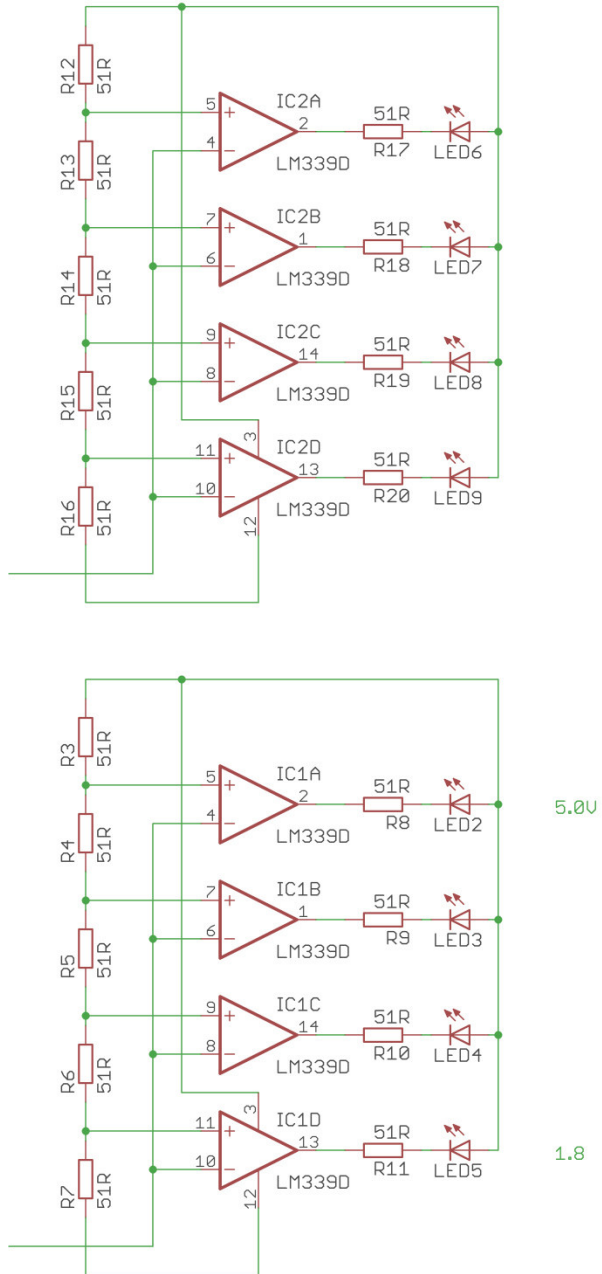
Příloha F – Výkresová dokumentace LOGIC LEVEL CONV.

Schéma

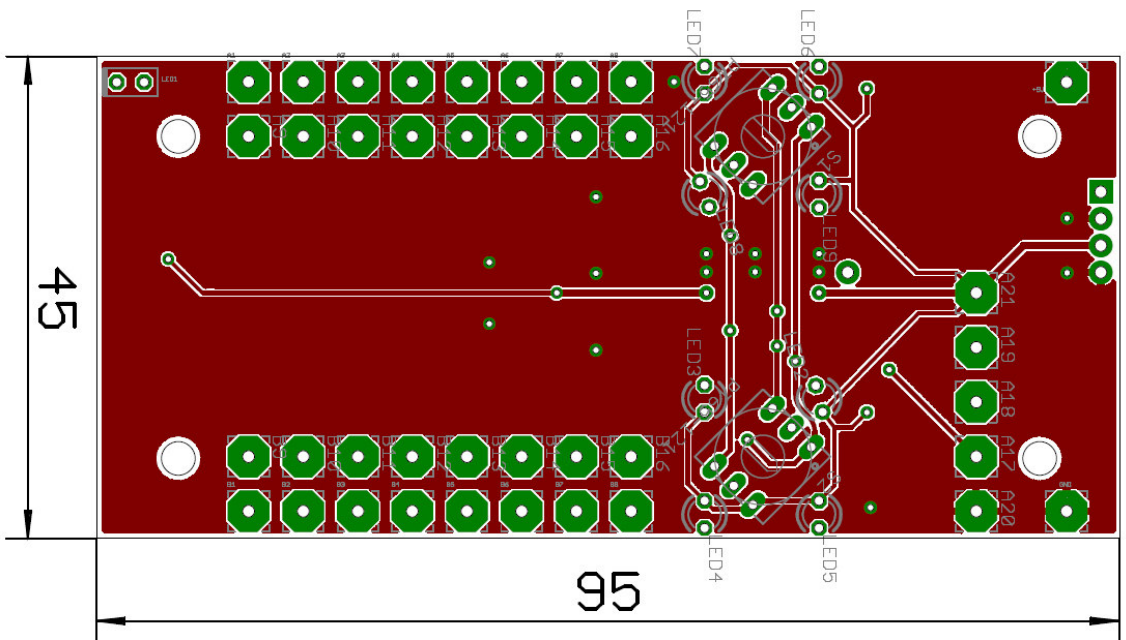
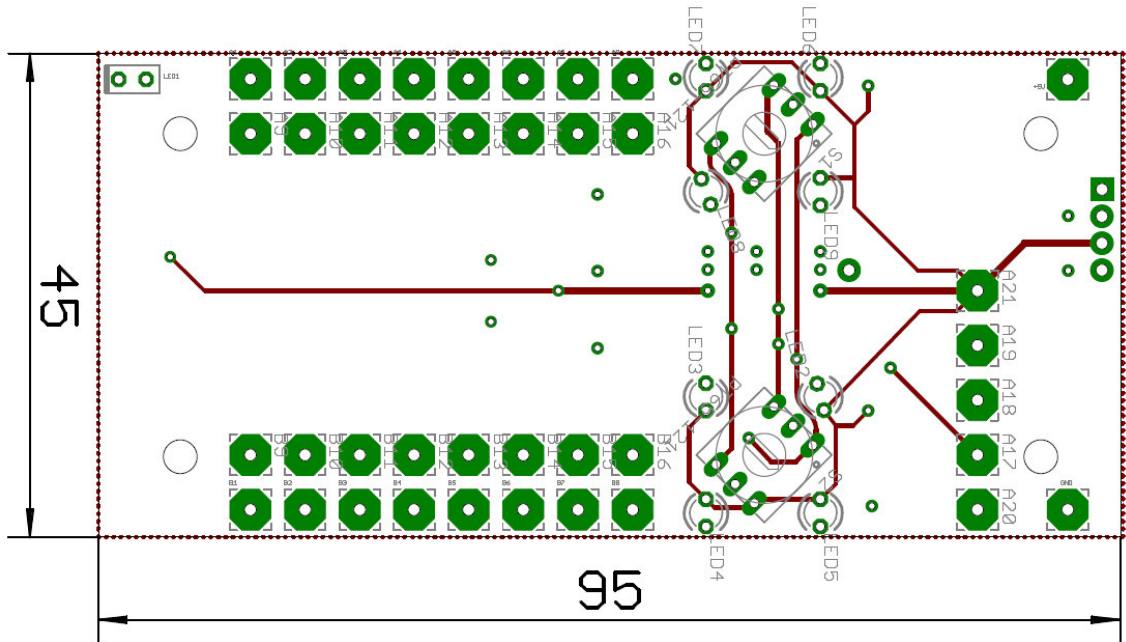


_LOGIC_LEVEL_CONV.	
13.1.2015 12:56:32	
Sheet: 1/2	6

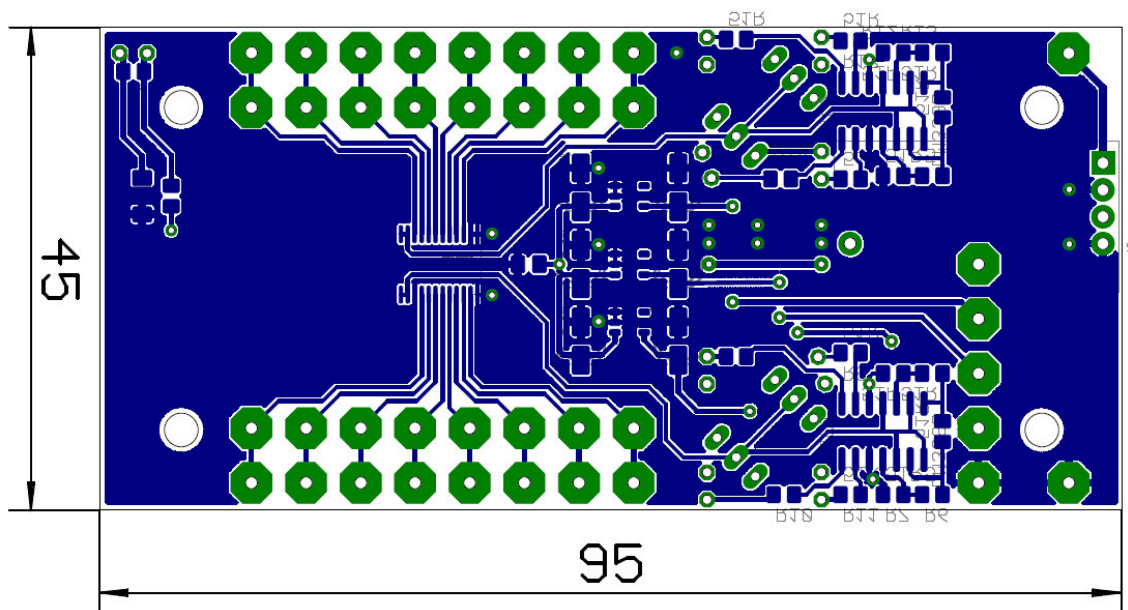
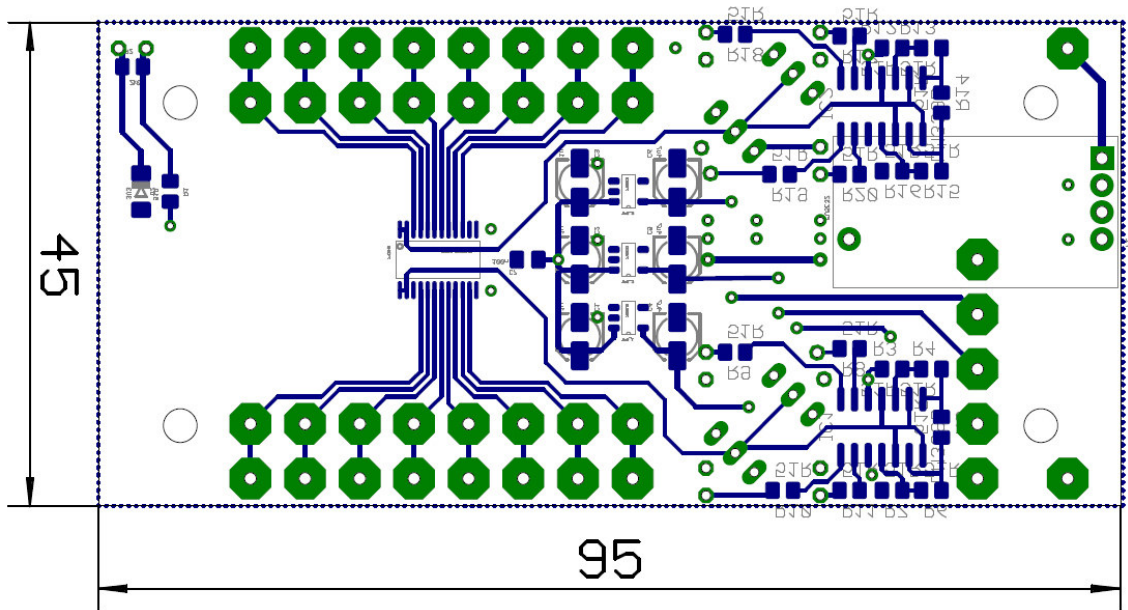
Schéma



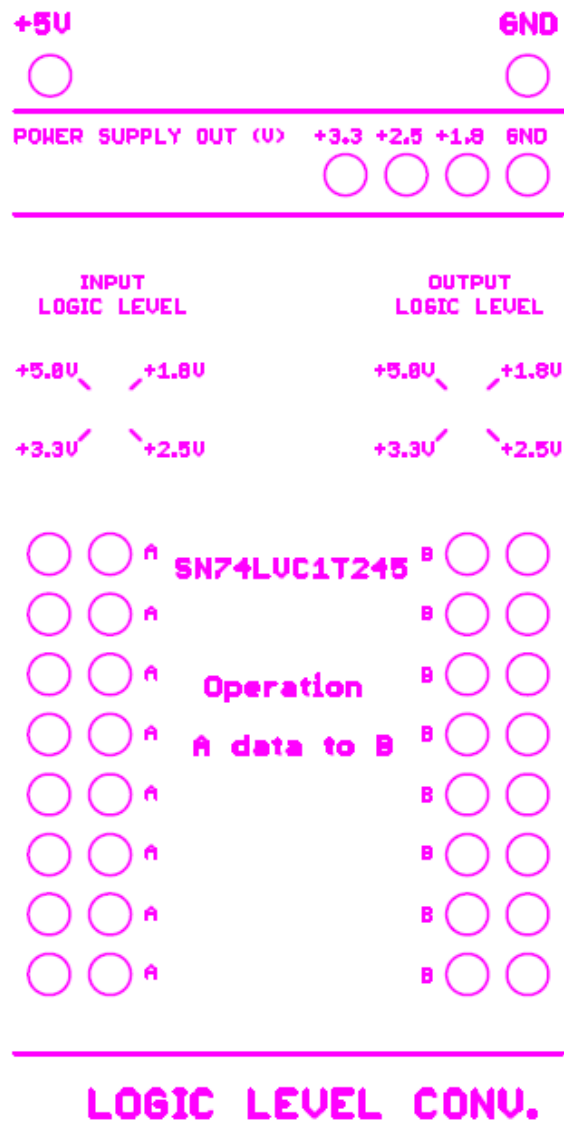
DPS – strana top



DPS – strana bottom



Čelní panel – potisk



Příloha G

Obsah přiloženého cd

- text bakalářské práce
 - bakalarska_prace_2015_Lukas_Ryba.pdf
 - bakalarska_prace_2015_Lukas_Ryba.doc
 - kopie_zadani_bakalarska_prace_2015_Lukas_Ryba.pdf
- fotografie – snímky pořízené při realizaci a měření modulů
- výkresová dokumentace
 - návrhy desek plošných spojů z programu Eagle
- katalogové listy použitých součástek