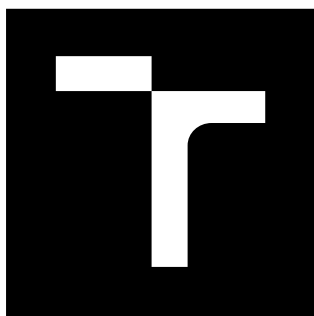


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

BAKALÁŘSKÁ PRÁCE



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY

A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV AUTOMATIZACE A MĚŘICÍ TECHNIKY

DEPARTMENT OF CONTROL AND INSTRUMENTATION

ŘÍZENÍ MODELŮ REGULOVANÝCH SOUSTAV

CONTROL OF SYSTEM MODELS

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

František Procháska

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Tomáš Macho, Ph.D.

BRNO 2016

Bakalářská práce

bakalářský studijní obor **Automatizační a měřicí technika**

Ústav automatizace a měřicí techniky

Student: František Procháška

ID: 164375

Ročník: 3

Akademický rok: 2015/16

NÁZEV TÉMATU:

Řízení modelů regulovaných soustav

POKYNY PRO VYPRACOVÁNÍ:

1. Seznamte se s možnostmi implementace algoritmů PSD, PSD a on-off do mikrokontroléru Freescale MC9S08LH64 s využitím vývojové desky TWR-S08LH64.
2. Navrhněte modely regulovaných soustav pomocí zapojení s operačními zesilovači. Uvažujte soustavy 1. až 3. řádu a časové konstanty v řádu sekund. Řešte připojení modelu k mikrokontroléru. Navrhněte potřebné přizpůsobovací obvody.
3. Modely včetně přizpůsobovacích obvodů realizujte a oživte.
4. Implementujte algoritmy PSD a on-off do mikrokontroléru Freescale MC9S08LH64 a demonstруйте jejich funkčnost při řízení modelů regulovaných soustav.

DOPORUČENÁ LITERATURA:

MC9S08LH64 Reference Manual. Rev. 5.1. Freescale Semiconductor. 2012.

TWR-S08 User gude. Axiom manufacturing. 2010.

FROHN, Manfred - OBERTHÜR, Wolfgang - SIEDLER, Hans-Jobst - WIEMER Manfred - ZASTROW, Peter.
Elektronika - polovodičové součástky a základní zapojení. Praha: BEN 2006. 500 s. ISBN 80-7300-123-3.

Termín zadání: 8.2.2016

Termín odevzdání: 23.5.2016

Vedoucí práce: Ing. Tomáš Macho, Ph.D.

Konzultant bakalářské práce:

doc. Ing. Václav Jirsík, CSc., předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Práce je zaměřena na návrh a realizaci modelů regulovaných soustav pomocí operačních zesilovačů a jejího řízení regulátory typu PSD, Beta PSD a on-off.

KLÍČOVÁ SLOVA

model dynamického systému, MC9S08LH64, PSD, BetaPSD, On-off

ABSTRACT

This thesis is focused on design and implementation of dynamic system models and their controlling by PSD, Beta PSD and on-off algorithms.

KEYWORDS

model of plant, MC9S08LH64, PSD, BetaPSD, On-off

PROCHÁSKA, F. Řízení modelů regulovaných soustav. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2016. 59 s. Vedoucí bakalářské práce Ing. Tomáš Macho, Ph.D..

PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma „Řízení modelů regulovaných soustav“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně

.....

podpis autora

PODĚKOVÁNÍ

Rád bych poděkoval vedoucímu diplomové práce panu Ing. Tomáši Machovi, Ph.D. za odborné vedení, konzultace, trpělivost a podnětné návrhy k práci.

V Brně

.....

podpis autora

OBSAH

Úvod	10
1 Mikrokontrolér MC9S08LH64	11
2 PSD regulátor	13
2.1 Beta PSD	16
2.2 On-off regulátor	16
3 Implementace regulátorů	18
3.1 Uživatelské rozhraní regulátoru	26
3.2 Periferie regulátoru	28
4 Modelování regulovaných soustav	31
4.1 Návrh modelu	35
5 Dosažené výsledky	49
Závěr	54
Literatura	55
Seznam příloh	57
A Možný postup odvození přírůstkového tvaru PSD regulátoru	58
B Obsah přiloženého CD	59
C Schéma modelu regulované soustavy	
D Schéma přizpůsobovacích obvodů	

SEZNAM OBRÁZKŮ

1.1	Registry procesoru architektury HCS08 [7]	11
2.1	Dynamické omezení sumační složky PSD regulátoru [5]	14
2.2	Zesílení šumu různých implementací diferenční složky PSD regulátoru v závislosti na vzorkovací periodě [5]	15
2.3	Stavový diagram Beta PSD regulátoru s filtrací derivační složky typu invariantní plocha [6]	16
2.4	Přenos relé s hysterezí (M - velikost akčního zásahu, h - hystereze) [3]	17
2.5	Časový průběh regulované veličiny při řízení regulátorem typu on-off [3]	17
3.1	Minimální realizace a součtový tvar PSD regulátoru [6]	18
3.2	Algoritmus regulátoru	19
3.3	Výpočet příspěvku sumační složky k akčnímu zásahu (pro přehlednost vynecháno ošetření záporného překmitu Y antiwindupem)	20
3.4	Výpočet příspěvku diferenční složky k akčnímu zásahu	21
3.5	Výpočet akčního zásahu PSD a Beta PSD regulátorů	22
3.6	Výpočet akčního zásahu On-off regulátoru	23
3.7	Transformace zadaných parametrů na parametry PSD algoritmu	24
3.8	Typy přenášených rámců	27
3.9	Blokové schéma čítače TPM [7]	29
3.10	Časový průběh signálů při přenosu dat po sběrnici I2C [7]	30
4.1	Model založený na Frobeniově kanonickém tvaru [2]	31
4.2	Realizace a) invertoru, b) zesilovače, c) sumátoru, d) integrátoru po- mocí operačního zesilovače v invertujícím zapojení[1]	32
4.3	Blokové schéma uzavřené smyčky operačního zesilovače se zpětnou vazbou [1]	33
4.4	Vliv zesílení operačního zesilovače v otevřené smyčce na zesílení uza- vřené smyčky, frekvenční charakteristika A_o operačního zesilovače typu OP07 [12]	34
4.5	Ochrana vysokoimpedančních vstupů operačního zesilovače před ru- šením [6]	35
4.6	Zvolený tvar modelu	35
4.7	Možné realizace integrátoru a) invertující b) neinvertující (diferenci- ální) c) Howlandův proudový zdroj [1]	36
4.8	Chyba vzniklá odchylkou odporu R3 v zapojení Howlandova prou- dového zdroje jako integrátoru, simulováno s TL070CD, R1=100 k Ω , R2=10 k Ω , R3=10 k Ω , R=100 k Ω , C=1 μ F	37

4.9	Změna velikosti vstupního proudu operačního zesilovače typu TL081 se vstupními tranzistory JFET při připojení souhlasného vstupního napětí [14]	38
4.10	Prodloužení časové konstanty integrátoru pomocí odporového děliče .	39
4.11	Realizace integrátoru s proměnnou časovou konstantou a nulováním .	39
4.12	Závislost maximálního rozkmitu výstupního napětí TL061 na odporu zátěže [13]	41
4.13	Zesilovač s proměnným zesílením v invertujícím zapojení realizující koeficienty v modelu	42
4.14	Blokové schéma modelu soustavy se znaménky stavových veličin . . .	42
4.15	Schéma sumačního zesilovače na vstupu modelu	43
4.16	Schéma sumačního zesilovače na výstupu modelu	44
4.17	Obvod pro úpravu rozsahu výstupního napětí modelu pro rozsah DA převodníku	45
4.18	Antialiasingový filtr 2. řádu	46
4.19	DA převodník s obvodem pro úpravu výstupního rozsahu 0 až 2,5 V na rozsah -12 V až 12 V	48
5.1	Změřená odezva soustavy třetího řádu na jednotkový skok 4 V	49
5.2	Změřená amplitudová charakteristika první části antialiasingového filtru	50
5.3	Změřená odezva PSD regulátoru na skok řídicí veličiny o 1 V	51
5.4	Změřená odezva modelu systému řízeného PSD regulátorem s filtrací diferenční složky typu invariantní plocha na skok řídicí veličiny na 1 V, bez použití antialiasingového filtru	52
5.5	Změřená odezva akční veličiny při řízení modelu PSD regulátorem s filtrací diferenční složky typu invariantní plocha na skok řídicí veličiny na 1 V, bez použití antialiasingového filtru	52
5.6	Změřená odezva soustavy řízené pomocí on-off regulátoru na skok řídicí veličiny o 1,5 V s hysterezí 1 V a periodou vzorkování 0,1s, bez použití antialiasingového filtru	53

SEZNAM TABULEK

3.1	Rovnice pro implementaci diferenční složky PSD regulátoru s filtrací. [5]	25
3.2	Význam řídicích znaků	28
4.1	Srovnání parametrů operačních zesilovačů TL061C a TL081C při pokojové teplotě [13], [14]	37
5.1	Změřená napětí na výstupu omezovacího obvodu při překročení mezních napětí	50

ÚVOD

V rámci bakalářského studijního programu Automatizační a Měřicí technika je vyučován předmět BMIC (Mikroprocesory). Studenti jsou seznámeni s principy činnosti mikroprocesorů a jejich periférií. V průběhu počítačových cvičení mají možnost vyzkoušet si základy jejich programování v jazyce C a assembleru. Vzhledem k zaměření studijního programu by bylo vhodné tato cvičení rozšířit o možnost použití mikrokontroléru k regulaci.

Používání regulovaných soustav je finančně i prostorově náročné a přináší bezpečnostní rizika. Pro výukové účely jsou proto modely vhodnou alternativou. Cílem této práce je navrhnout model regulované soustavy za pomoci operačních zesilovačů a přizpůsobovacích obvodů pro připojení k vývojové desce TWR-S08LH64 od společnosti Freescale Inc. s mikrokontrolérem MC9S08LH64. Součástí přizpůsobovacích obvodů je také antialiasingový filtr s pevnou časovou konstantou a převodník analogového signálu na digitální.

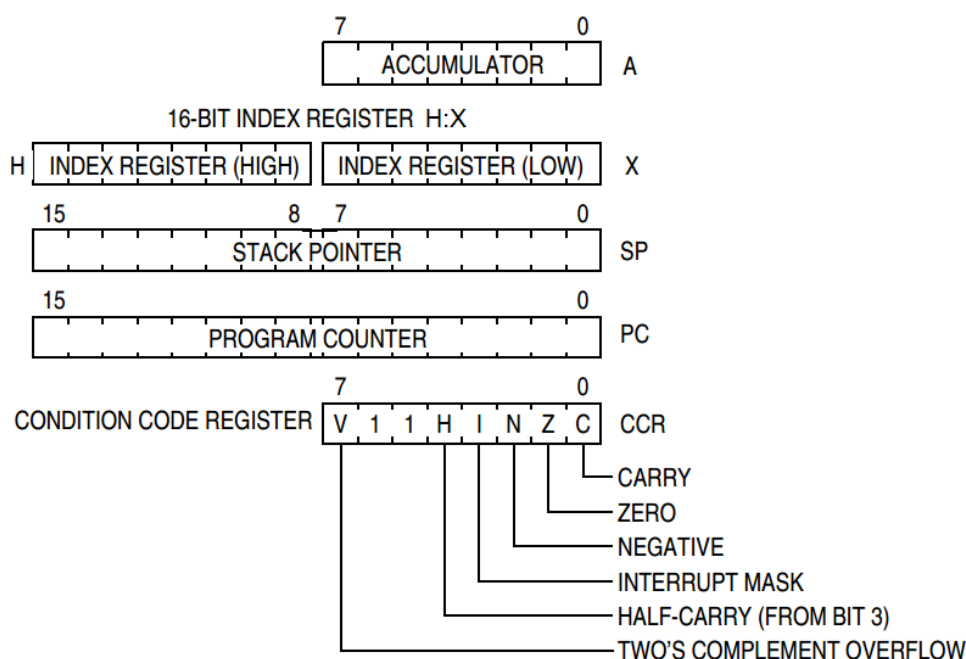
Cílem práce je také návrh implementace řídicích algoritmů PSD, Beta PSD a On-off regulátorů, se kterými jsou studenti seznámeni v BRR1 (Řízení a regulace 1) a BRR2 (Řízení a regulace 2). Kde se naučí také metody pro jejich nastavování.

Použití vývojové desky TWR-S08LH64 v této práci bylo zvoleno s ohledem na předmět BMIC, kde studenti tyto vývojové desky používají při výuce. K jejich připojení s modelem budou použity moduly TWR-ELEV od stejné společnosti.

1 MIKROKONTROLÉR MC9S08LH64

Regulátor je realizován v 8 bitovém mikrokontroléru MC9S08LH64, který používají studenti při výuce předmětu Mikroprocesory, v rámci bakalářského studia. Na čipu mikrokontroléru je integrována 4 kB paměť RAM a dva 32 kB bloky paměti flash. Mikrokontrolér je určen především pro měřicí a medicínské aplikace. V této oblasti je výhodou integrovaný 16b AD (analogově digitální) převodník a řadič segmentového LCD displeje. Další předností je optimalizace pro bateriový provoz. [7]

Mikrokontrolér je založen na jádře architektury HCS08, která je stejně jako její předchůdce HC08 akumulátorově orientovaná. V procesoru je integrováno pět registrů viz. obrázek 1.1. Akumulátor slouží jako vstupně výstupní registr aritmetických a logických operací. Registr X může být použit podobně jako akumulátor. Společně s registrem H, jako párový registr H:X, rozšiřuje možnosti přístupu procesoru k paměti. CRR (Condition code register) slouží k indikaci příznaků nastavovaných při provádění instrukcí jako přetečení, nulový výsledek, half carry a povolení maskovatelných přerušení. [7]



Obr. 1.1: Registry procesoru architektury HCS08 [7]

Jádro mikrokontroléru může pracovat s taktovacím kmitočtem až 40 MHz. Jako zdroje hodinového signálu jsou k dispozici na čipu mikrokontroléru integrované oscilátory s integrovanou referencí, externí referencí a fázovým závěsem. Tyto oscilátory jsou ovládány pomocí registrů periferie ICS (Internal clock source). Periferie ICS dále

umožňuje volbu referenčního zdroje signálu a nastavení předděliček pro taktování procesoru, sběrnice a referenčních hodinových signálů používaných integrovanými periferiemi. [9]

Pro úsporu energie jsou kromě úsporných režimů k dispozici módy Wait, low power Run mód a třístupňový Stop mód. Další úspory elektrické energie je možné dosáhnout vypnutím nepotřebných periferií a hodinového signálu na jejich sběrnících. Vypnutím hodinového signálu, nebo přechodem do stop módu ztrácí periferie nastavení uložená v registrech a po opětovné aktivaci tak musí být inicializovány. Toto se týká také pinů. Před vstoupením do stop módu proto musí být potřebná nastavení uložena do paměti RAM. [7]

2 PSD REGULÁTOR

PSD regulátor je diskrétním ekvivalentem PID regulátoru. Je proto možné pro jeho návrh použít metody pro návrh spojitých regulátorů. Jeho nastavení tak může být poměrně snadné.[6]

Stejně jako PID se PSD regulátor skládá ze tří složek. Proporcionální složka (K) zůstává stejná jako u PID, sumační složka (S) nahrazuje integrační složku a diferenční složka (D), nahrazuje derivační složku.[2]

Sumační složka může být vytvořena náhradou integrálu obdélníky zprava nebo zleva, jak je ukázáno v rovnicích (2.2) a (2.1). Má-li být sumační složkou zajištěno vyregulování nulové regulační odchylky, musí výpočet této složky probíhat s dostatečnou přesností, aby nedocházelo k zaokrouhlovacím chybám.[2]

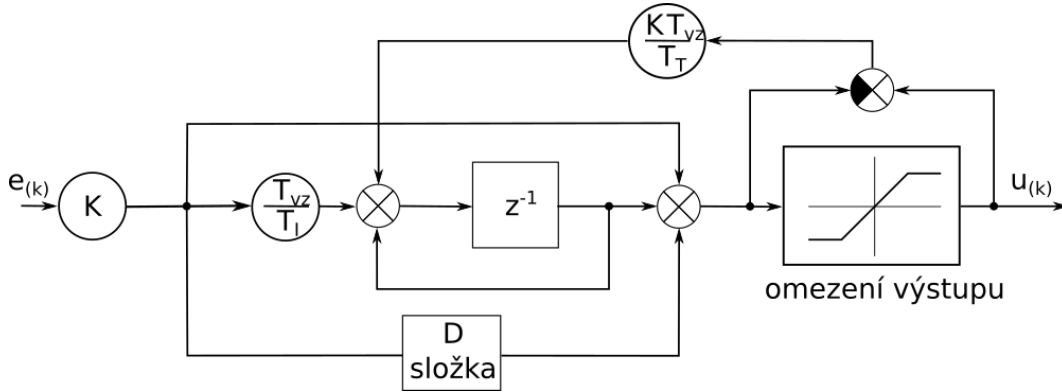
$$F_I(z) = \frac{T_{vz}}{T_I(1 - z^{-1})} \quad (2.1)$$

$$F_I(z) = \frac{T_{vz}z^{-1}}{T_I(1 - z^{-1})} \quad (2.2)$$

Velikost akčního zásahu je omezena maximálním zásahem, který dokáže vyvinout akční člen a velikostí jeho vstupního registru. Zapsáním hodnoty vyšší než je šířka vstupního registru v paměti akčního členu dojde k přetečení. Aby se předešlo této situaci, bývá velikost akčního zásahu omezena již v algoritmu regulátoru pomocí saturace. [6]

V důsledku omezené velikosti akčního zásahu dochází k windup efektu. Windup efekt se projevuje jako prodleva mezi poklesem řídicí veličiny a akčního zásahu, v případech kdy je akční zásah saturován. K tomuto zpoždění dochází v důsledku neomezeně rostoucího příspěvku sumační složky. Sumační složka v těchto případech stále přičítá regulační odchylku, ačkoliv na akční zásah v saturaci to již nemá vliv. Délka zpoždění závisí především na velikosti hodnoty, která musí být opět odečtena. [6]

Windup efekt může být částečně omezen saturací integrační složky. Lepší variantou je dynamické omezení omezení saturační složky využívající rozdíl vypočteného akčního zásahu od skutečné hodnoty měřené za akčním členem nebo modelem saturace, jako zpětné vazby pro sumátor. Toto řešení je zobrazeno v blokovém diagramu 2.1. Velikost této zpětné vazby je dána konstantou T_T , která musí být nastavena experimentálně. Jako počáteční odhad se doporučuje volit časovou konstantu integrátoru T_I . [6]



Obr. 2.1: Dynamické omezení sumační složky PSD regulátoru [5]

Dynamické omezení windup efektu tak jak je zobrazeno ve schématu 2.1 může v případě nevhodně zvolené časové konstanty dynamického omezení a zesílení diferenciální složky regulátoru způsobit opačnou reakci sumační složky na změnu žádané hodnoty, než je očekáváno. První diference s krátkou vzorkovací periodou reaguje na jednotkový skok krátkým vysokým impulzem, jehož část se při překročení omezení přes zpětnou vazbu odečte od vstupu sumátoru. V těchto případech dochází k výraznému prodloužení přechodového děje v regulačním obvodu.[6]

K volbě proporcionální, integrační a derivační složky u diskrétního regulátoru navíc přibývá nutnost volby vzorkovací periody (T_{vz}) AD (analogově digitálních) a DA (digitálně analogových) převodníků. Délka periody vzorkování má vliv na rychlost, stabilitu a šumové vlastnosti regulátoru. Použití AD převodníku s sebou navíc přináší nutnost konstrukce antialiasingového filtru, aby byl splněn vzorkovací teorem. Potřebný útlum tohoto filtru se určí na základě dynamického rozsahu použitého AD převodníku.[6]

Při volbě délky vzorkovací periody je důležitá délka dopravního zpoždění, vzniklého vzorkováním, a rychlost přechodového děje v regulačním obvodu. Proto je snaha použít co nejkratší periodu vzorkování. Jejím zkracováním, ale dochází k nárůstu zesílení diferenciální složky regulátoru a tím ke zhoršení šumových vlastností této složky. Při realizaci regulátoru je proto nutné použít diferenciální složku s filtrací.[6]

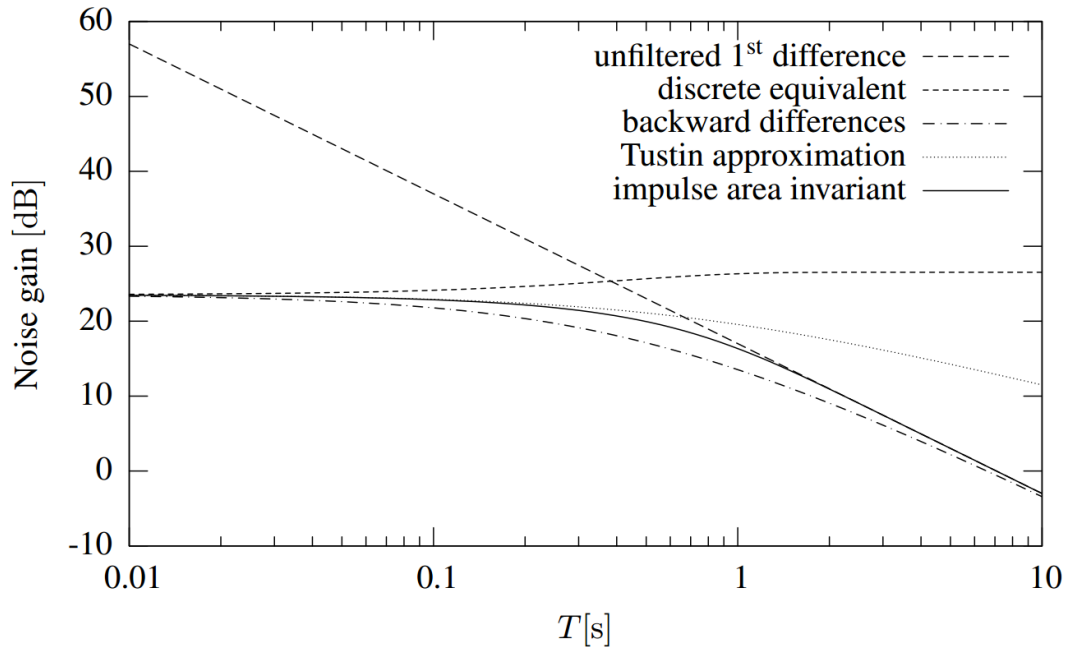
Většina filtrů diferenciální složky aproximuje tvar odezvy spojitého derivačního regulátoru s filtrací. Ze srovnání zesílení diferenciálních složek pro šumový signál v grafu 2.2 vychází nejlépe filtrace metodou zpětných diferencí, rovnice (2.3), a impulzní invariantní plochou, rovnice (2.4). Ze srovnání vychází dobře také Tusinova aproximace, která ale není doporučována protože při dlouhé vzorkovací periodě se její pól blíží -1.[5]

$$F_D(z) = \frac{T_D N}{T_D + N T_{vz}} \frac{1 - z^{-1}}{1 - \frac{T_D}{T_D + N T_{vz}} z^{-1}} \quad (2.3)$$

$$F_D(z) = \frac{T_D}{T_{vz}} (1 - e^{-\frac{T_{vz}N}{T_D}}) \frac{1 - z^{-1}}{1 - e^{-\frac{T_{vz}N}{T_D}} z^{-1}} \quad (2.4)$$

V rovnicích diferenční složky s filtrací vystupuje parametr N . Přenos derivační složky regulátoru s filtrací je ukázán v rovnici (2.5). U spojitých regulátorů tento parametr tvoří spolu s T_D (zesílení diferenční složky) časovou konstantu $\frac{N}{T_D}$, která láme frekvenční charakteristiku derivační složky $z + 20$ dB/dek na 0 dB/dek. Parametr N se běžně volí v rozsahu od 3 do 20. S rostoucí hodnotou tohoto parametru se zlom ve charakteristice posouvá k vyšším frekvencím a zásah derivační složky je tak silnější. [6]

$$F_D(s) = \frac{T_D s}{\frac{T_D}{N} s + 1} \quad (2.5)$$

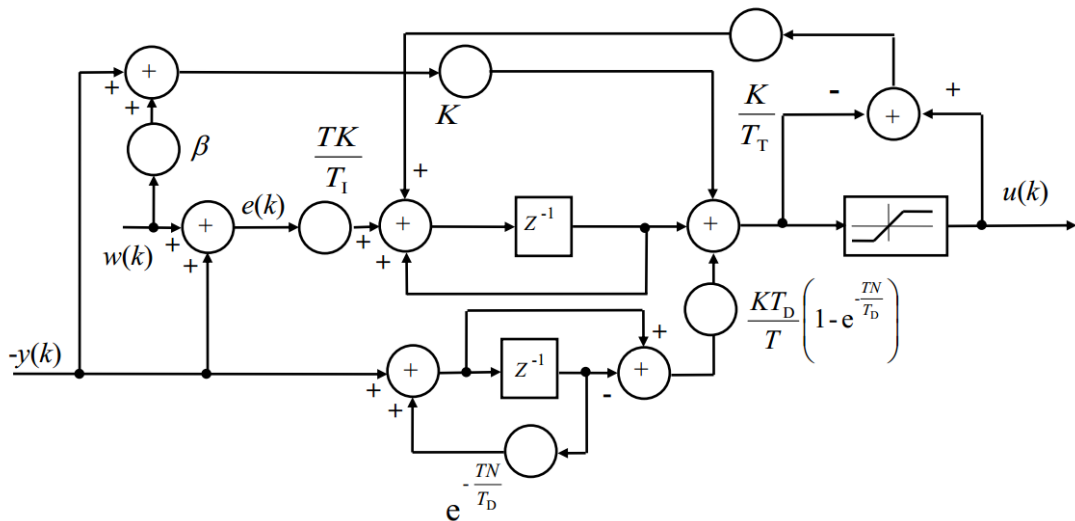


Obr. 2.2: Zesílení šumu různých implementací diferenční složky PSD regulátoru v závislosti na vzorkovací periodě [5]

2.1 Beta PSD

Pro lepší kontrolu nad odezvou regulovaného systému může být PSD regulátor upraven na regulátor typu Beta PSD. Tato modifikace vznikne nahrazením regulační odchylky na vstupu proporcionální složky rozdílem regulované veličiny a řídicí veličiny vážené parametrem beta. Dále je nahrazena regulační odchylka na vstupu diferenciální složky záporně vzatou regulovanou veličinou. Změny řídicí veličiny tak nejsou zesilovány diferenciální složkou.[6]

Přidáním parametru beta regulátor získal další stupeň volnosti a umožňuje tak samostatné nastavení dynamiky odezvy na řízení a poruchu. Ve srovnání s PSD nebo PID regulátorem bývá s tímto regulátorem při stejném nastavení dosahováno menších překmitů při skokové změně akční veličiny. Beta PSD regulátor může, jako regulátor S-PD nalézt využití v procesech, kde jsou nežádoucí prudké změny akční veličiny. Parametr beta je v tomto případě nastaven na hodnotu 0.[6]

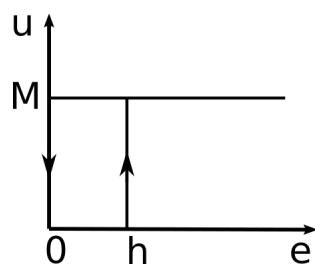


Obr. 2.3: Stavový diagram Beta PSD regulátoru s filtrací derivační složky typu invariantní plocha [6]

2.2 On-off regulátor

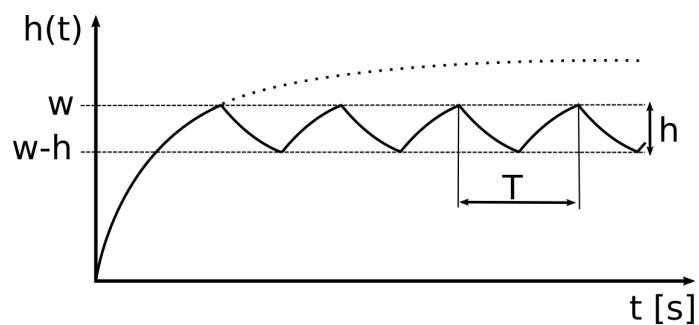
Regulátor typu on-off řídí regulovanou soustavu přepínáním maximální a nulové velikosti akčního zásahu.

Při realizaci regulátoru jako jednoduchého komparátoru lze očekávat náhodné kmitání akční veličiny vlivem působení šumu. Je proto vhodné vložit do regulátoru hysterezi. [3]



Obr. 2.4: Přenos relé s hysterezí (M - velikost akčního zásahu, h - hystereze) [3]

Výstup soustavy řízené tímto regulátorem bude oscilovat kolem žádané hodnoty. On-off regulátor proto může být použit pouze, když je tato situace přijatelná. Zvětšením se šířky hystereze lze snížit frekvenci kmitů v regulovaném obvodu. Zároveň však dochází k růstu amplitudy kmitů regulované veličiny. [3]



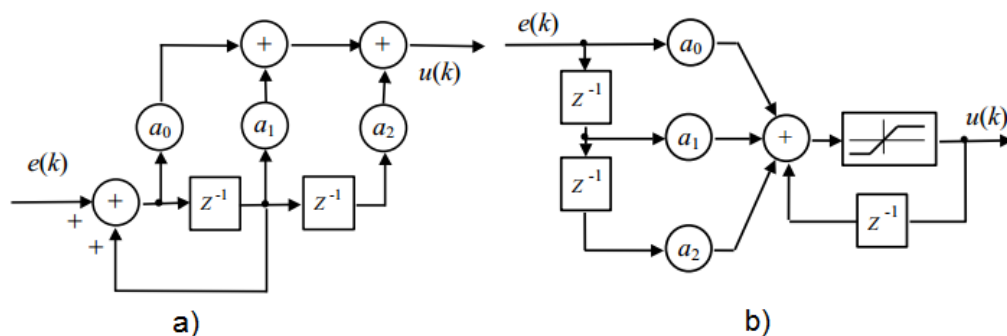
Obr. 2.5: Časový průběh regulované veličiny při řízení regulátorem typu on-off [3]

3 IMPLEMENTACE REGULÁTORŮ

PSD regulátor bývá realizován v různých uspořádáních. V blokovém diagramu 3.1.a je jeho minimální realizace. V tomto uspořádání je obtížné přidat filtraci derivační složky nebo dynamické omezení integrační složky. Naopak přírůstkový tvar, rovnice (3.2) (odvození je ukázáno v příloze), je pro přidání dynamického omezení integrační složky výhodný viz. blokový diagram 3.1.b. Další možností je implementace v polohovém tvaru, jak je ukázáno v rovnicích (5.3) a (3.4).[6] Vzhledem k možnosti implementace filtrace derivační složky i omezení windup efektu byla tato varianta zvolena pro implementaci do mikrokontroléru.

$$u(z) = K\left(1 + \frac{T_{vz}}{T_I} \frac{z^{-1}}{1 - z^{-1}} + \frac{T_D}{T_{vz}}(1 - z^{-1})\right) \quad (3.1)$$

$$u(z) = e(z)K\left(1 + \frac{T_D}{T_{vz}}\right) + z^{-1}K\left(-1 + \frac{T_{vz}}{T_I} - 2\frac{T_D}{T_{vz}}\right) + z^{-2}K\left(\frac{T_D}{T_{vz}}\right) + u(z)z^{-1} \quad (3.2)$$



Obr. 3.1: Minimální realizace a součtový tvar PSD regulátoru [6]

Implementovaný algoritmus pro výpočet akčního zásahu, zobrazený ve vývojových diagramech na obrázcích 3.2 až 3.6, je volán bez parametrů přímo z přerušovací rutiny AD převodníku. Pro předání výsledku převodu je použita globální proměnná. Celý výpočet akčního zásahu probíhá ve 32 b datovém typu float. Rychlost výpočtu je dostatečná. Při měření zkušební verze trval výpočet akčního zásahu 1,4ms při taktu jádra 20 MHz a taktu sběrnice 5 MHz. Je proto třeba nastavit delší časový interval v periférii watchdog, aby nedocházelo k restartům mikrokontroléru.

Polohový tvar PSD regulátoru:

$$u_{(k)} = K(e_{(k)} + x_{I(k-1)} + \frac{T_D}{T_{Vz}}(e_{(k)} - e_{(k-1)})) \quad (3.3)$$

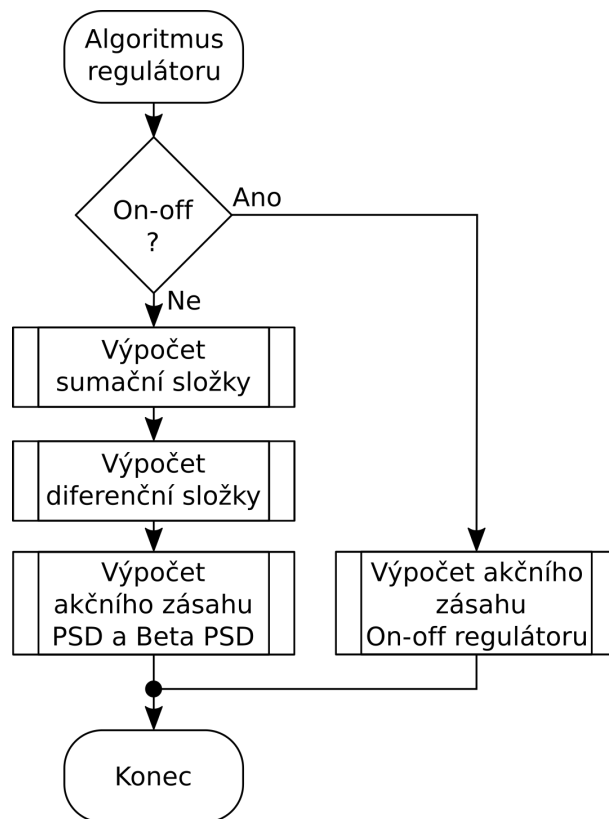
$$x_{I(k)} = \frac{T_{Vz}}{T_I} e_{(k)} + x_{I(k-1)} \quad (3.4)$$

Polohový tvar beta PSD regulátoru s filtrací diferenční složky:

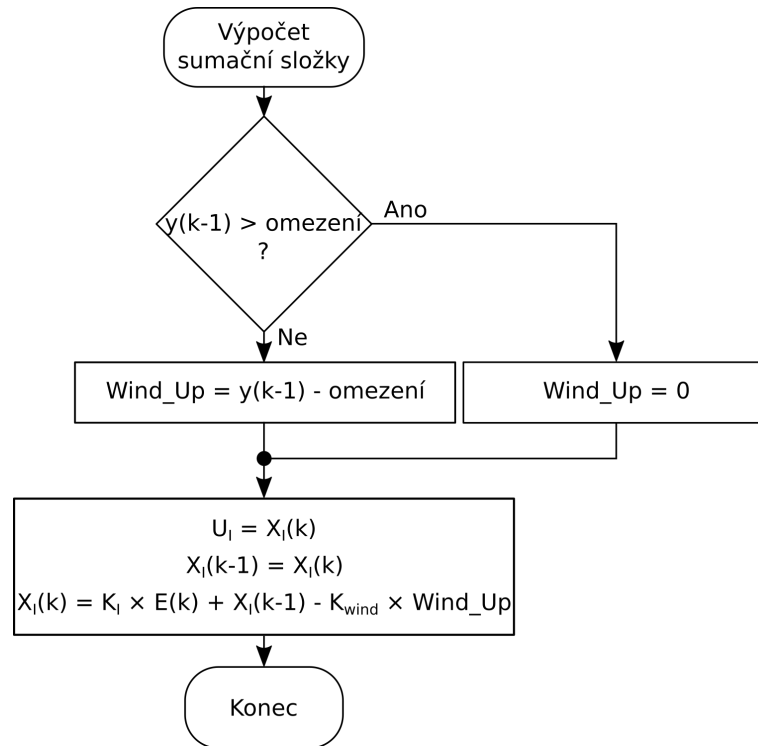
$$u_{(k)} = K(\beta w_{(k)} - y_{(k)} + x_{I(k-1)} + N(x_{D(k-1)} - x_{D(k-1)})) \quad (3.5)$$

$$x_{I(k)} = \frac{T_{Vz}}{T_I} (w_{(k)} - y_{(k)}) + x_{I(k-1)} \quad (3.6)$$

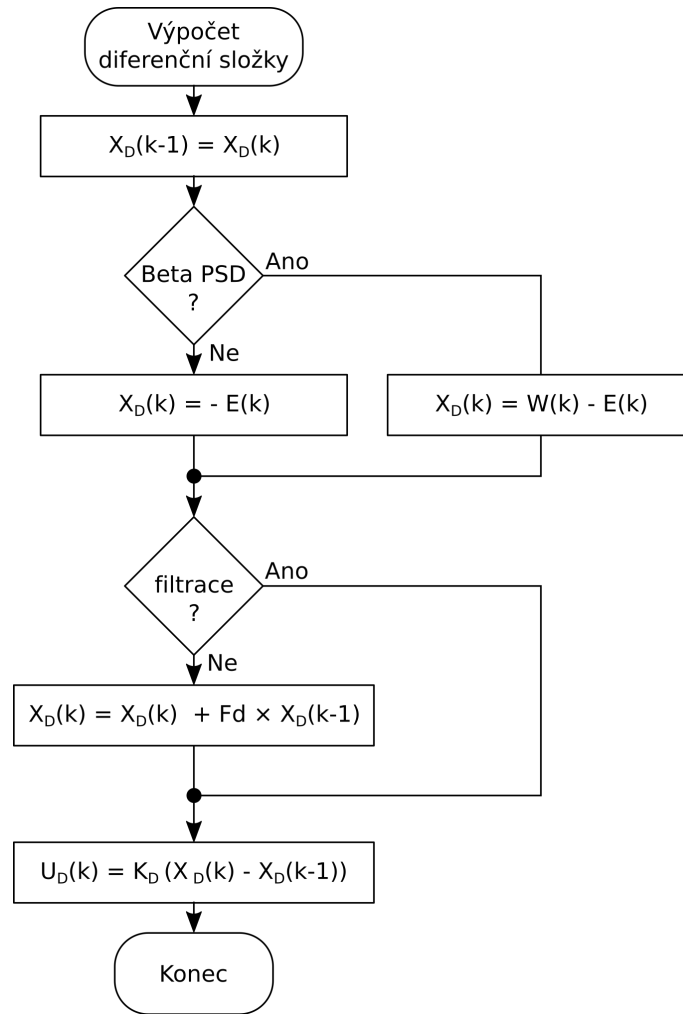
$$x_{D(k)} = -y_{(k)} + e^{-\frac{T_{Vz}}{T_D} N} x_{D(k-1)} \quad (3.7)$$



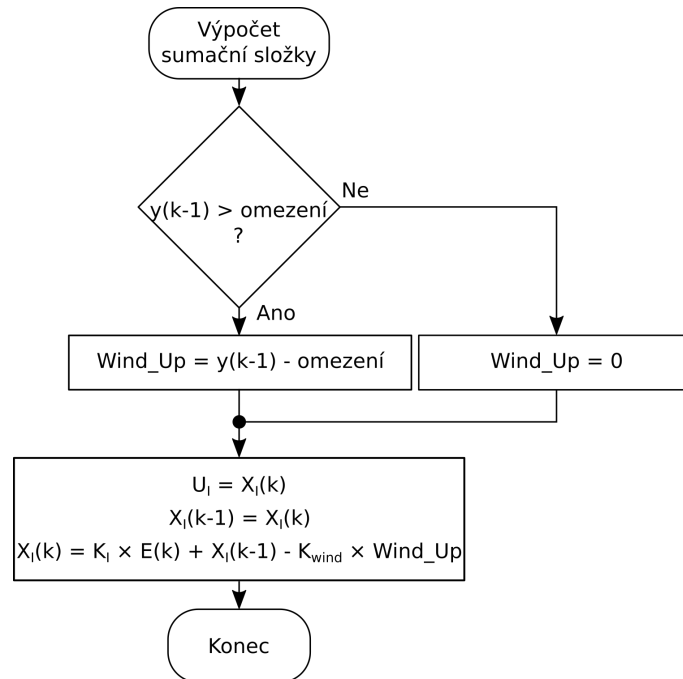
Obr. 3.2: Algoritmus regulátoru



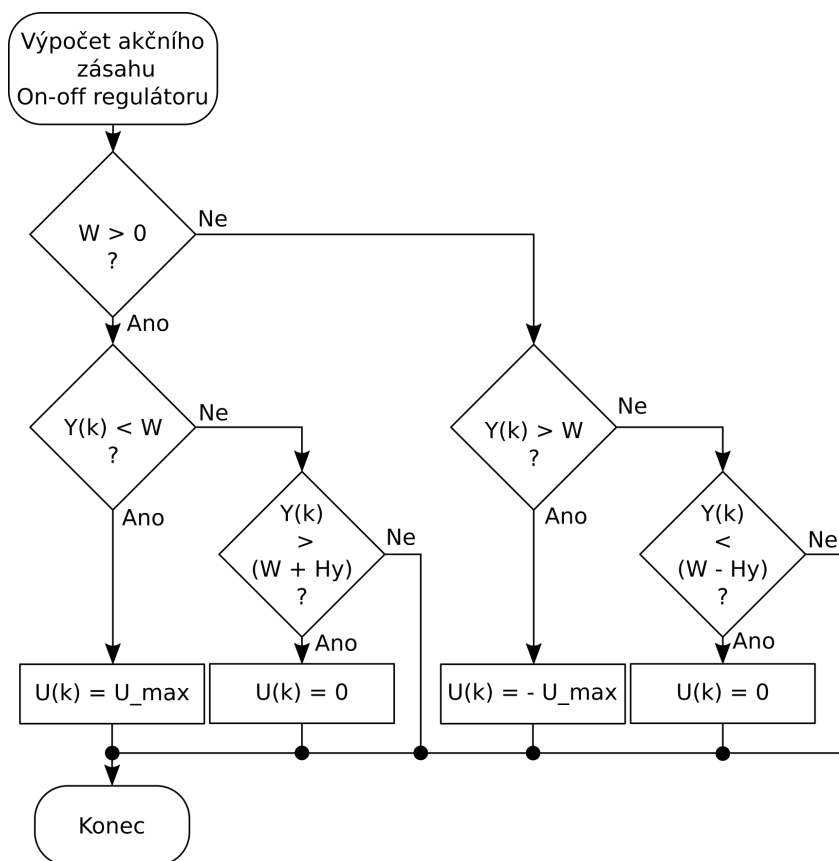
Obr. 3.3: Výpočet příspěvku sumační složky k akčnímu zásahu (pro přehlednost vynecháno ošetření záporného překmitu Y antiwindupem)



Obr. 3.4: Výpočet příspěvku diferenční složky k akčnímu zásahu

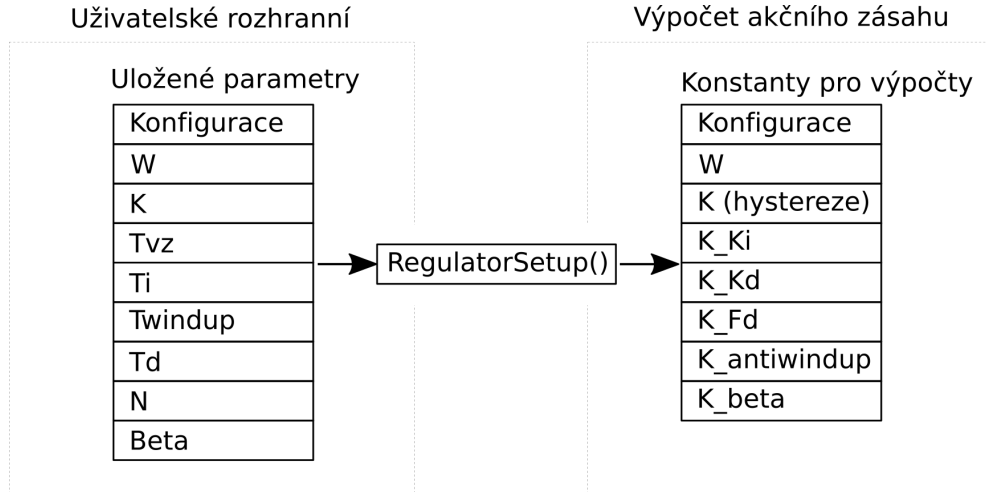


Obr. 3.5: Výpočet akčního zásahu PSD a Beta PSD regulátorů



Obr. 3.6: Výpočet akčního zásahu On-off regulátoru

V rovnicích ve vývojových diagramech vystupují konstanty, vzniklé přepočtem ze zadaných parametrů regulátoru. Toto řešení bylo zvoleno pro urychlení výpočtu akčního zásahu. Při každém spuštění nebo změně parametrů je proto volána funkce pro výpočet těchto parametrů jak je ukázáno na obrázku 3.7. Přepočet parametrů je implementován podle rovnic (3.8) až (3.16). Pouze parametry beta a K (zesílení regulátoru) jsou používány PSD regulátorem bez dalších úprav. Pokud nastaveno použití regulátoru typu on-off je parametr K použit pro uložení součtu žádané hodnoty s hysterezí.



Obr. 3.7: Transformace zadaných parametrů na parametry PSD algoritmu

Rovnice výpočet konstanty K_I

$$K_I = \frac{T_{vz}}{T_I} \quad (3.8)$$

Rovnice výpočet konstanty K_w dynamického omezení windup efektu

$$K_w = \frac{T_{vz}}{T_T} \quad (3.9)$$

Rovnice výpočet konstant K_d nefiltrované první diference

$$K_d = N \quad (3.10)$$

Rovnice výpočet konstant K_d a F_d diskrétního ekvivalentu spojité derivace

$$K_d = N \quad (3.11)$$

$$F_d = e^{-\frac{T_{vz}}{T_D} N} \quad (3.12)$$

Rovnice výpočet konstant K_d a F_d náhrady pomocí zpětných diferencí

$$K_d = \frac{T_D N}{T_D + T_{vz} N} \quad (3.13)$$

$$F_d = \frac{T_D}{T_D + T_{vz} N} \quad (3.14)$$

Rovnice výpočet konstant K_d a F_d impulzně invariantní plochy

$$K_d = \frac{T_D}{T_{vz}} (1 - e^{-\frac{T_{vz}}{T_D} N}) \quad (3.15)$$

$$F_d = e^{-\frac{T_{vz}}{T_D} N} \quad (3.16)$$

V implementovaném algoritmu je sloučen výpočet příspěvku k akčnímu zásahu všech implementovaných typů diferenčních složek do dvou rovnic. Toto zjednodušení se nabízí při pohledu do tabulky 3.1, kde jsou uvedeny rovnice pro výpočet příspěvku k akčnímu zásahu všech implementovaných variant diferenční složky. Typ použité diferenční složky pro výpočet je dán rovnicemi použitými při inicializaci konstant K_d a F_d .

Rovnice pro výpočet příspěvku diferenční složky bez filtrace:

$$u_{D(k)} = \frac{T_D}{T_{vz}} (e_{(k)} - e_{(k-1)})$$

Rovnice pro výpočet příspěvku diskrétního ekvivalentu spojitě derivace:

$$u_{D(k)} = N(x_{D(k)} - x_{D(k-1)}) \quad x_{D(k)} = e_{(k)} + x_{D(k-1)} e^{-\frac{T_{vz}}{T_D} N}$$

Rovnice pro výpočet příspěvku diferenční složky s náhradou zpětnou diferencí:

$$u_{D(k)} = \frac{T_D N}{T_D + T_{vz} N} (x_{D(k)} - x_{D(k-1)}) \quad x_{D(k)} = e_{(k)} + x_{D(k-1)} \frac{T_D}{T_D + T_{vz} N}$$

Rovnice pro výpočet příspěvku difference typu impulzně invariantní plocha:

$$u_{D(k)} = \frac{T_D}{T_{vz}} (1 - e^{-\frac{T_{vz}}{T_D} N}) (x_{D(k)} - x_{D(k-1)}) \quad x_{D(k)} = e_{(k)} + x_{D(k-1)} e^{-\frac{T_{vz}}{T_D} N}$$

Tab. 3.1: Rovnice pro implementaci diferenční složky PSD regulátoru s filtrací. [5]

Pro výpočet konstant K_d a F_d diskrétního ekvivalentu spojitě derivace a diferenční složky typu impulzně invariantní plocha byla implementována aproximace exponenciální funkce na základě rozvoje do taylorovy řady o deseti prvcích, podle rovnice (3.17). [17] Tento počet prvků se z hlediska přesnosti ukázal jako dostačující. Použití více prvků již, vzhledem k použitému datovému typu nemělo přínos k přesnosti. Při použití nižšího počtu prvků rozvoje docházelo u nízkých výsledků k odchylkám. Výpočet není v situacích, kdy jsou očekávány velmi nízké výsledky, s daným datovým typem přesný. Tyto případy jsou ošetřeny lineární aproximací a vrácením nuly.

$$e^x = 1 + \sum_{n=1}^{\infty} \left(\frac{x^n}{n!} \right) \quad (3.17)$$

3.1 Uživatelské rozhraní regulátoru

Aplikace v mikrokontroléru umožňuje uživateli zjišťovat a měnit parametry, typ regulátoru a žádanou hodnotu pomocí sériového portu. Regulátor takto nastavené parametry ukládá do paměti RAM a po restartu je inicializován pomocí konfigurace nastavené ve zdrojovém kódu před kompilací.

Komunikace s uživatelem je realizována pomocí periferie SCPI připojené k převodníku sériové linky na sběrnici USB. Tento převodník je součástí vývojové desky.

Sériové rozhraní mikrokontroléru je nastaveno pro komunikaci rychlostí 56000 baud/s. Komunikace probíhá v režimu přenosu 8b dat, jednoho start a jednoho stop bitu, bez parity a softwarového nebo hardwarového řízení datového toku. Pro kontrolu chyb a synchronizaci při komunikaci je využita knihovna MIN [16], zabezpečující komunikaci pomocí rámců.

Rámce mohou nést 15 b dat. Začátek rámce je označen třemi po sobě jdoucími SOF (start of frame) byty. Hlavička dále obsahuje 8b uživatelské označení a jeden řídicí byt s informací o počtu odeslaných bytů doplněnou čtyřmi vyhrazenými bity, které mohou být využity.[16]

Aplikace regulátoru rozlišuje jednotlivé rámce pomocí jeho pořadí v probíhající transakci. Ve čtyřech volných řídicích bitech je přenášeno označení typu transakce viz. tabulka 3.2. Po odeslání dat je přeneseno 16 b Fletcherova kontrolního součtu a rámec je ukončen ukončovacím bytem.[16]

Na obrázku číslo 3.8 jsou zobrazeny všechny druhy rámců používaných při komunikaci. Význam řídicích znaků je uveden v tabulce 3.2. Knihovna MIN po přijetí rámce zavolá funkci pro jeho zpracování. [16] Tato funkce vyhodnotí zda byl přijat očekávaný rámec, odpoví zprávou ACK, případně RESET a pokračuje v jeho zpracování.

Zprávy ACK a RESET slouží k zajištění synchronizace při komunikaci. Zpráva ACK je očekávána jako odpověď na každý odeslaný rámec s výjimkou naměřených dat mikrokontrolérem. Kvůli jednoznačné identifikaci vždy používá ID přijatého rámce na který odpovídá a nese jeho řídicí znak v datové části.

Iniciátorem komunikace je vždy zařízení připojené k mikrokontroléru po sériové lince. Předpokládá se, že toto zařízení bude také řešit případy, kdy nedorazí očekávaná data, odesláním RESET a opětovným odesláním požadavku.

Konfigurace (a odpověď na dotaz na aktuální nastavení), dva rámce

	control	ID	D0	D1	D2	D3	D4	D5	D6
(0x17)	0x27	0(1)	Konf.	W		T_{vz}	K		T_i
	control	ID	D0	D1	D2	D3	D4	D5	D6
(0x17)	0x27	1(2)	T_d		N	Beta	T_{windup}		D_{filtr}

Dotaz na aktuální nastavení

control	ID
0x10	0

Změna žádané hodnoty

control	ID	D0	D1
0x42	0	W	

Změření přechodové charakteristiky

Nastavení

control	ID	D0
0x31	0	počet

Odpověď 1

control	ID	D0	D1	D2	D3	D4
0x35	pořadí	ADC (Y)		U	W	

Odpověď 2

control	ID	D0	D1
0x32	pořadí	ADC (Y)	

Acknowledge

control	ID	D0
0x71	ID	typ

Restart

control	ID
0x60	0

Obr. 3.8: Typy přenášených rámců, význam zkratk ¹

¹*control* řídicí znak, *ID* číselné označení, *D_n* jeden byt dat, *konf.* typ regulátoru, *W* žádaná hodnota, *T_{vz}* vzorkovací perioda, *K* zesílení a hystereze, *T_i* časová konstanta sumace, *T_d* časová konstanta difference, *N* parametr filtru diferenční složky, *T_{windup}* časová konstanta pro antiwindup, *D_{filtr}* zvolená filtrace

0x10	Získání informací o nastavení
0x20	Data pro nastavení regulátoru
0x30	Změření N vzorků $h(t)$, žádost i data
0x40	Změna žádané hodnoty
0x60	Restart komunikace
0x70	Acknowledge, odpověď na přijatý rámeček

Tab. 3.2: Význam řídicích znaků

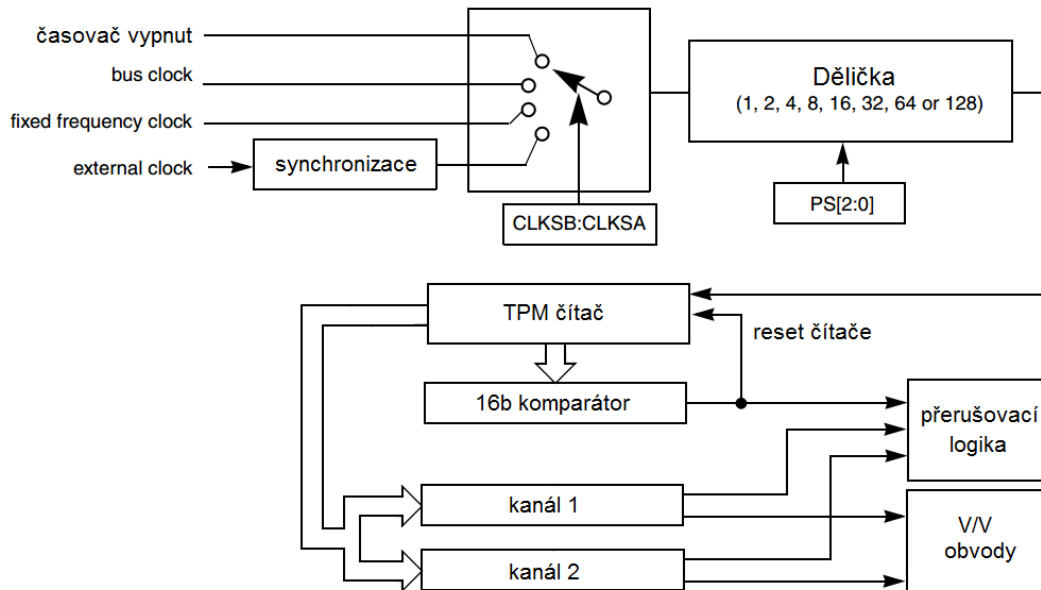
3.2 Periferie regulátoru

Vzorkovací perioda číslicového regulátoru je generována pomocí dvoukanálového čítače-časovače, periferie TPM (Timer pulse-width modulator). Zjednodušený blokový diagram periferie TPM je znázorněn na obrázku 3.9.[7]

Periferie TPM je založena na 16b čítači. Čítač je vybaven programovatelnou předděličkou hodinového signálu a umožňuje zkrácení periody pomocí MOD (modulo) registru. Kanály tvoří 16b registry, které mohou být podle nastaveného módu použity pro generování PWM signálu, nebo přerušeni na základě srovnání s čítačem, další možností je zachycení aktuální hodnoty čítače při měření intervalu.[7]

Nastavení periody je velmi flexibilní. Čítač může využít vysokého taktovacího kmitočtu sběrnice nebo některý z integrovaných oscilátorů. Zvolenou referenci je potom možné dále dělit až 128 krát. [7]

V aplikaci regulátoru je periferie TPM2 používána jako časovač spouštějící konverzi AD převodníku. V tomto režimu je každému kanálu časovače přiřazeno spouštění převodu jednoho kanálu převodníku. [7]



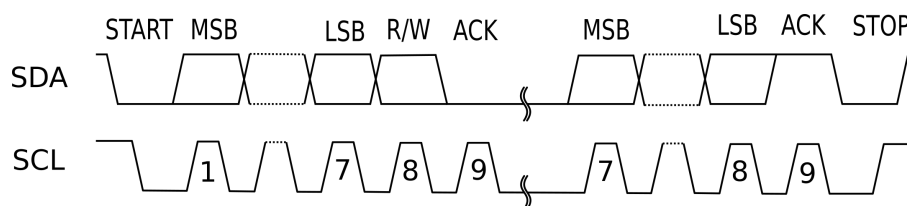
Obr. 3.9: Blokové schéma čítače TPM [7]

Pro konverzi analogového signálu do číslicové formy je využit AD převodník integrovaný na čipu mikrokontroléru. Převodník je založen na principu postupné aproximace. Rychlost převodu je proto závislá na nastaveném rozlišení.[7]

Rozlišení převodníku je nastavitelné v rozsahu 8 až 16 b. Výstupní data jsou v základním nastavení zarovnána vpravo, bez znaménka. přepnutím do diferenciálního módu se jejich tvar změní dvojkový doplněk. Vstup převodníku je možné pomocí integrovaného multiplexoru přepínat mezi 24 vstupními kanály. Na vnější piny mikrokontroléru je však vyvedena pouze část z nich.[7]

Pro převod akčního zásahu na analogový signál je použit 12b DA (digitálně analogový) převodník MCP4726 vyráběný společností Microchip. Převodník může využít externí referenci a má integrovaný výstupní zesilovač s nastavitelným zesílením 1 nebo 2. Komunikace s mikrokontrolérem probíhá po sběrnici I2C.[11]

I2C, také IIC, je sériová dvou vodičová multi-master sběrnice. Datový vodič je označen SDA. Vodič pro přenos hodinového signálu SCL. Komunikaci začíná vždy zařízení Master, který bude v průběhu komunikace generovat hodinový signál na sběrnici. Komunikace je zahájena odesláním start bitu. Dále je odeslána adresa cílového zařízení s příznakem volby čtení/zápis, následovaná odpovědí od adresovaného zařízení nastavením acknowledge bitu. Komunikace pokračuje přenosem dat. Po skončení komunikace master uvolní sběrnici odesláním stop bitu. Master má také možnost vyslat opakovaný start signál, může tak komunikovat s jiným zařízením nebo provést změnu mezi čtením a zápisem, bez uvolnění sběrnice pro jiné zařízení[3.10].[7]



Obr. 3.10: Časový průběh signálů při přenosu dat po sběrnici I2C [7]

Pro komunikaci po sběrnici I2C je použita periferie IIC (Inter Integrated Circuit), integrovaná na čipu mikrokontroléru. Periferie má pět registrů. Adresový registr, registr pro nastavení frekvence, dva konfigurační registry, datový registr a status registr. V IIC Control Register 1 se provádí povolení modulu, přerušení, volba master módu, nastavení odeslání transmit/receive a acknowledge bitů a odeslání opakovaného startu komunikace. [7]

Po zahájení komunikace je proces dále řízen přerušovací rutinou, která zajistí odeslání nebo uložení přijatých dat do zásobníku v RAM. Modul generuje přerušení v případě dokončení přenosu bytu, při ztrátě kontroly nad sběrnici a ve slave módu, při shodě přijaté adresy s nastavenou. Důvod přerušení lze zjistit z IIC Status registru. Ukončení komunikace a odeslání Stop signálu na sběrnici v Master módu se provede po vynulování bitu MST v IICC1.[7]

Pro připojení periférií k vývojové desce jsou použity rozšiřující moduly TWR-ELEV. Vývojová deska TWR-S08LH64 je navržena jako součást modulárního vývojového systému Freescale Tower System. V tomto provedení jsou nabízeny také rozšiřující vývojové desky vybavené hardwarem pro řízení motorů, zpracování analogových signálů a komunikaci s uživatelem. Rozšiřující desky mohou být propojeny s vývojovou deskou a mikrokontrolérem vložením do propojovacích modulů. Signály jsou přístupné ve dvouřadých 40 pinových dutinkových lištách, umístěných na vnější straně TWR-ELEV modulů.[10]

V konektoru J8, modulu TWR-ELEV, je na pinu 7 přístupný pin mcu PTB5/MOSI/SCL, na pinu 8 pin PTB4/MISO/SDA. Na pinech 27 a 28 tohoto konektoru jsou vyvedeny signály pinu mikrokontroléru PTA6/KBIP6/ADP10/ACMP+ a PTA7/KBIP7/ADP11/ACMP-.[10]

4 MODELOVÁNÍ REGULOVANÝCH SOUSTAV

Pro vytvoření modelu simulujícího reálný spojitý systém je třeba získat matematický popis modelovaného systému. Tento popis může být vytvořen s přihlédnutím ke skutečné fyzikální podstatě systému a popisovat i jeho skutečné vnitřní stavy. Druhým přístupem je popis pouze vstupně výstupní chování s uměle vytvořenými vnitřními stavy, jako je tomu v případě operátorového přenosu systému.[2]

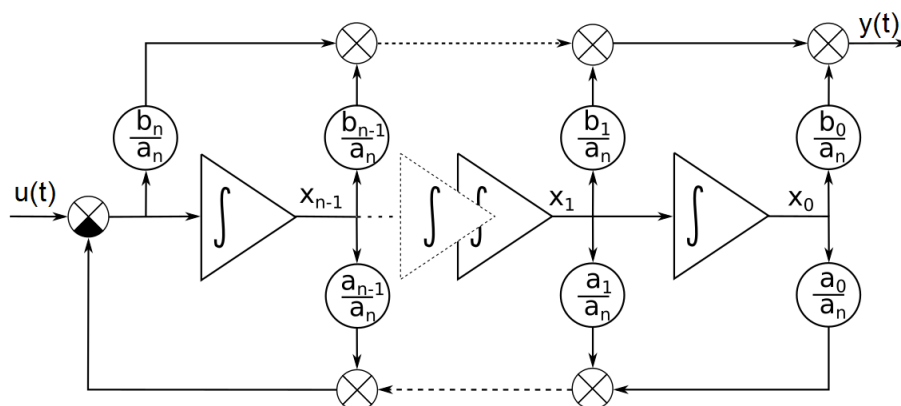
Vzhledem k univerzálnosti modelu vytvořeného na základě operátorového přenosu, byl tento přístup zvolen v této práci. Pro vytvoření modelu musí být operátorový přenos ve tvaru podílu dvou racionálních polynomů, které neobsahují nezkrácené póly nebo nuly. V tomto tvaru je zajištěno, že je systém říditelný a pozorovatelný.[2]

Přechod od přenosové funkce k modelu není jednoznačně definován. Pro vytvoření modelu z přenosové funkce systému, tak existuje několik metod. Metoda snižování řádu derivace může být použita v případě, že přenosová funkce je ve tvaru podílu dvou roznásobených polynomů, jako v rovnici (4.1). Prvním krokem je normalizace přenosové funkce prvkem nejvyššího řádu polynomu jmenovatele. Polynom je následně rozšířen libovolnou proměnnou, která bude vyjádřena jako rozdíl vstupní veličiny a jejích vlastních integrálů. Výstupní rovnicí (4.3) je normalizovaná čitatelová část přenosové funkce a stavovými proměnnými jsou výstupy integrátorů. Takto získaný model odpovídá Frobeniovu kanonickému tvaru říditelnosti. [2]

$$F(p) = \frac{Y(p)}{U(p)} = \frac{b_3 p^3 + b_2 p^2 + b_1 p + b_0}{a_3 p^3 + a_2 p^2 + a_1 p + a_0} \frac{X(p)}{X(p)} \quad (4.1)$$

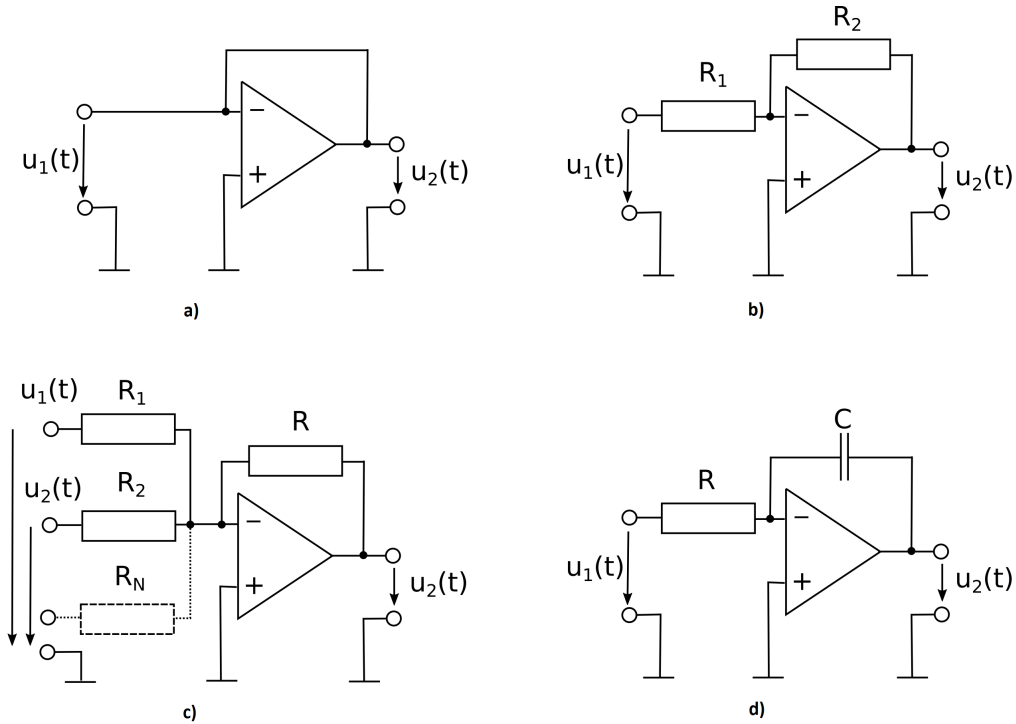
$$X(p) = U(p) - X(p) \left(\frac{a_2}{a_3} \frac{1}{p} + \frac{a_1}{a_3} \frac{1}{p^2} + \frac{a_0}{a_3} \frac{1}{p^3} \right) \quad (4.2)$$

$$Y(p) = X(p) \left(\frac{b_3}{a_3} + \frac{b_2}{a_3} \frac{1}{p} + \frac{b_1}{a_3} \frac{1}{p^2} + \frac{b_0}{a_3} \frac{1}{p^3} \right) \quad (4.3)$$



Obr. 4.1: Model založený na Frobeniově kanonickém tvaru [2]

Operační zesilovače mají vysoké zesílení a diferenciální vstupy. Proto je možné s nimi pomocí zpětné vazby realizovat některé z matematických operací a jsou vhodné pro realizaci modelů. Ve schématech 4.2.a, 4.2.b, 4.2.c a 4.2.d jsou ukázána některá ze základních zapojení operačního zesilovače. [4]



Obr. 4.2: Realizace a) invertoru, b) zesilovače, c) sumátoru, d) integrátoru pomocí operačního zesilovače v invertujícím zapojení[1]

Pomocí odporového děliče ve zpětné vazbě může být realizováno násobení konstantou viz. schéma 4.2.b. Výstupní napětí tohoto zapojení dáno rovnicí (4.4). Pro neinvertující zapojení platí rovnice (4.5). Toto zapojení může být rozšířeno na součtový zesilovač připojením dalších signálů přes rezistory do vstupního uzlu, jak je ukázáno ve schématu 4.2.c. Závislost výstupního napětí na vstupních je u součtového zesilovače popsána rovnicí (4.6). Podobným způsobem je možné vytvořit také rozdílový zesilovač. Ve schématu 4.2.d je, použitím kondenzátoru ve zpětné vazbě, realizován invertující integrátor. Pro toto zapojení platí vztah (4.7). [1]

$$u_o = -u_i \frac{R_2}{R_1} \quad (4.4)$$

$$u_o = u_i \left(1 + \frac{R_2}{R_1}\right) \quad (4.5)$$

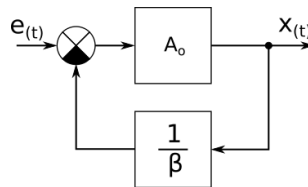
$$u_o = -u_1 \frac{R}{R_1} - u_2 \frac{R}{R_2} - u_3 \frac{R}{R_3} \quad (4.6)$$

$$u_o = -\frac{1}{RC} \int u_1 dt + u_o(0) \quad (4.7)$$

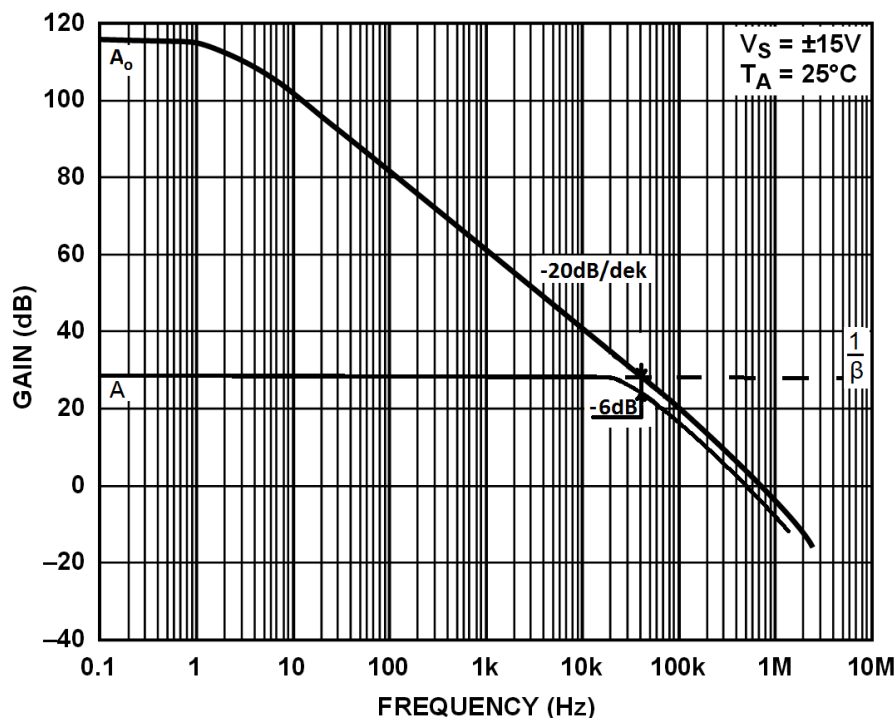
V rovnicích (4.4) až (4.7) jsou zanedbány nežádoucí vlastnosti operačního zesilovače a obvodových součástek. Zesílení těchto obvodů je omezeno zesílením operačního zesilovače v otevřené smyčce A_o . Statické zesílení operačního zesilovače bývá velmi vysoké. Běžně se pohybuje v rozsahu 80 až 120 decibelů. Ve frekvenční charakteristice, ale brzy dochází ke zlomu o -20dB/dek , který je vidět na obrázku 4.4. Skutečné zesílení navrženého obvodu lze vypočítat pomocí Blackova vztahu (4.8). Tento vztah je možné získat na základě blokového schématu 4.3.[1]

Omezením zesílení obvodu zesílením operačního zesilovače dojde na frekvenční charakteristice obvodu ke zlomu, s poklesem -6dB v bodě protnutí přenosů A_o a $\frac{1}{\beta}$. V případě, že se charakteristika takto láme o více než -20dB/dek bude obvod náchylný ke kmitání.[1]

$$A = -\frac{\beta}{1 + \frac{\beta}{A_o}} \quad (4.8)$$



Obr. 4.3: Blokové schéma uzavřené smyčky operačního zesilovače se zpětnou vazbou [1]



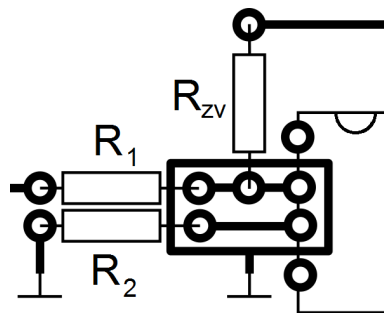
Obr. 4.4: Vliv zesílení operačního zesilovače v otevřené smyčce na zesílení uzavřené smyčky, frekvenční charakteristika A_o operačního zesilovače typu OP07 [12]

Operační zesilovače dále, zhoršují vlastnosti obvodu vnesením šumu a stejnosměrného offsetu. Tato rušivá napětí zároveň zesilují. Operační zesilovače s bipolárními vstupními tranzistory dosahují, ve srovnání se zesilovači s unipolárními vstupy, nižšího stejnosměrného offsetu a jsou výhodnější také z hlediska šumových vlastností.

Nevýhodou operačních zesilovačů s bipolárními vstupními tranzistory je nízký vstupní odpor. Některé typy operačních zesilovačů mohou zatížit vstupní obvody proudy vyššími než 100 nA [1]. Alternativou jsou operační zesilovače s bipolárními vstupními tranzistory a kompenzací vstupních proudů. Příkladem může být operační zesilovač typu OP07, který má výrobcem garantován vstupní proud nižší než 10 nA.[12] Vliv vstupních proudů je možné částečně kompenzovat zatížením obou vstupů operačního zesilovače stejnou impedancí. Jsou-li vstupní proudy stejné vzniklé úbytky napětí se tak odečtou. V důsledku nedokonalého párování vstupních tranzistorů, ale bývají vstupní proudy nestejně. [1]

V případě potřeby velmi malých vstupních proudů je řešením použití operačního zesilovače s unipolárními vstupními tranzistory. Vstupní proudy operačního zesilovače typu TL061 se vstupními tranzistory typu Jfet dosahují několika desítek až stovek pikoampér. [13] V obvodech s vysokou impedancí je nutné počítat s horším

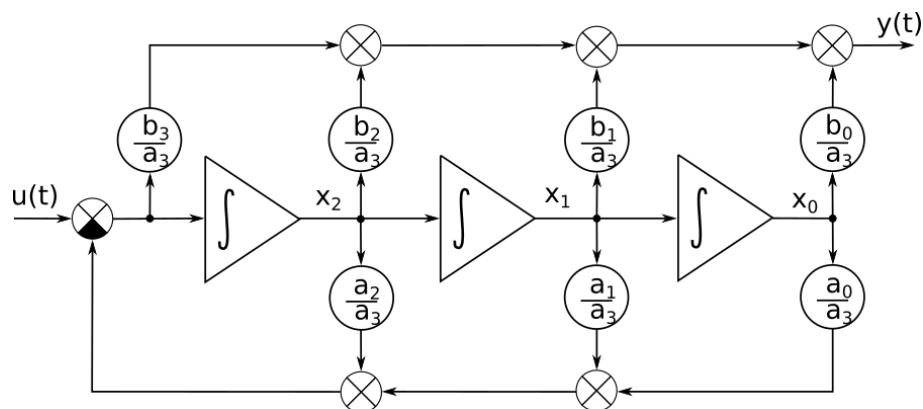
potlačení indukovaných rušivých napětí. Při použití operačního zesilovače s unipolárními vstupy se proto doporučuje omezit délku přívodů ke vstupním pinům a vedení těchto přívodů rovnoběžně, těsně vedle sebe. Předpokládá se, že indukovaná rušivá napětí budou v obou přívodech podobná a dojde tak k jejich odečtení. Je také vhodné oba vstupy umístit do ochranného kruhu s potenciálem země. Tyto úpravy jsou ukázány na obrázku 4.5.[1]



Obr. 4.5: Ochrana vysokoimpedančních vstupů operačního zesilovače před rušením [6]

4.1 Návrh modelu

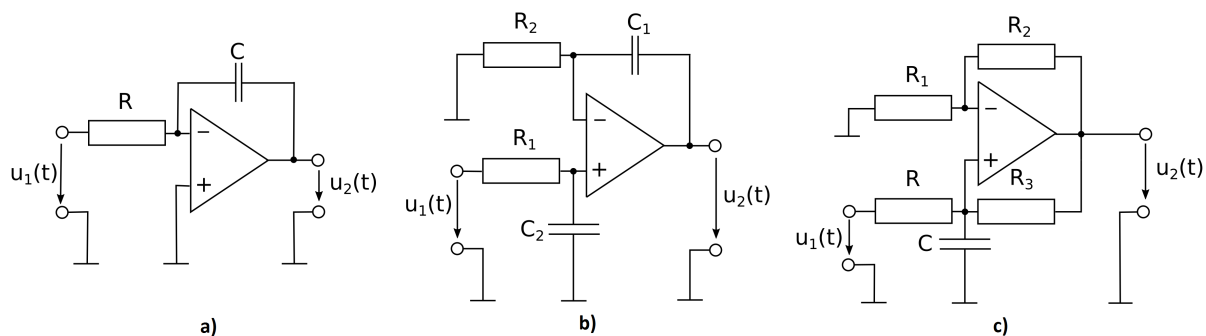
Pro realizaci modelů byl zvolen tvar odpovídající Frobéniovu kanonickému tvaru říditelnosti pro systém třetího řádu jak je zobrazen v blokovém schématu 4.6.



Obr. 4.6: Zvolený tvar modelu

Integrátory v modelu jsou realizovány v invertujícím zapojení, kvůli velkému vlivu přesnosti použitých pasivních součástek na vlastnosti neinvertujících zapojení. Možnosti realizace integrátorů v neinvertujícím zapojení jsou ukázány ve schématech

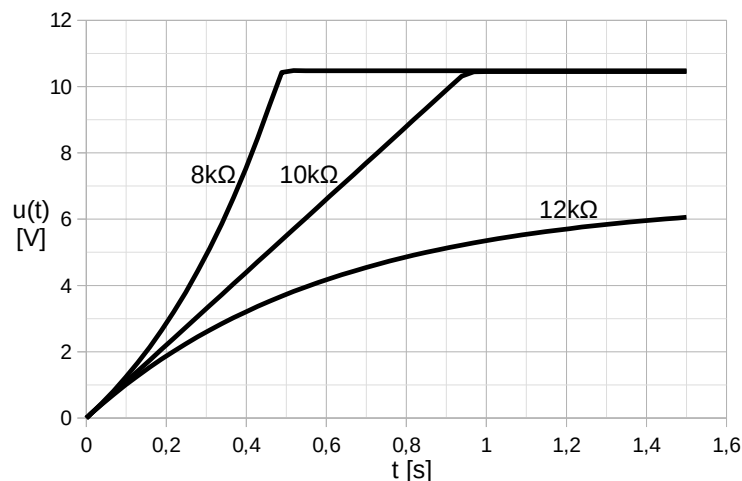
4.7.b a 4.7.c. Neinvertující integrátor založený na Howlandově proudovém zdroji viz. schéma 4.7.c, vyžaduje přesné dodržení poměru odporů dle rovnice (4.10). Odchylny odporu použitých rezistorů snižují výstupní impedanci proudového zdroje a projeví se změnou tvaru přechodové charakteristiky jak je ukázáno v grafu 4.8.[15] V zapojení podle schématu 4.7.b je navíc při realizaci nulování třeba zajistit aby nulovací obvod vybil oba kondenzátory.[1]



Obr. 4.7: Možné realizace integrátoru a) invertující b) neinvertující (diferenciální) c) Howlandův proudový zdroj [1]

$$u_o = \frac{(1 + \frac{R_2}{R_1})}{RC} \int u_1 dt + u_o(0) \quad (4.9)$$

$$R = \frac{R_1 R_3}{R_2} \quad (4.10)$$



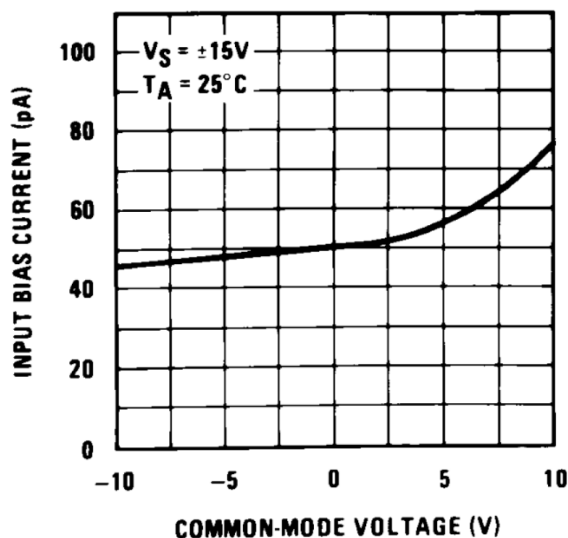
Obr. 4.8: Chyba vzniklá odchylkou odporu R_3 v zapojení Howlandova proudového zdroje jako integrátoru, simulováno s TL070CD, $R_1=100 \text{ k}\Omega$, $R_2=10 \text{ k}\Omega$, $R_3=10 \text{ k}\Omega$, $R=100 \text{ k}\Omega$, $C=1 \text{ }\mu\text{F}$

Pro realizaci integrátorů byly vybrány běžně dostupné operační zesilovače se vstupními tranzistory typu JFET a s možností kompenzace offsetu typu TL061, případně TL081.

Typy TL061 a TL081 se liší především šířkou pásma, zesílením a šumovými vlastnostmi. Vlastnosti těchto zesilovačů jsou srovnány v tabulce 4.1. Vstupní proudy těchto operačních zesilovačů se mění v závislosti na vstupním napětí, závislost je zobrazena v grafu 4.9. Volba realizace integrátoru v invertujícím zapojení je proto výhodná i z hlediska zajištění nulového napětí na vstupech operačního zesilovače.

			TL061	TL081
mezní kmitočet	f_T	[MHz]	1	3
diferenciální zesílení.	A_{VD}	[V/mV]	3 - 6	25 - 200
ekvivalentní vstupní šumové napětí	u_n	[$nV\sqrt{Hz}$]	42	18

Tab. 4.1: Srovnání parametrů operačních zesilovačů TL061C a TL081C při pokojové teplotě [13], [14]



Obr. 4.9: Změna velikosti vstupního proudu operačního zesilovače typu TL081 se vstupními tranzistory JFET při připojení souhlasného vstupního napětí [14]

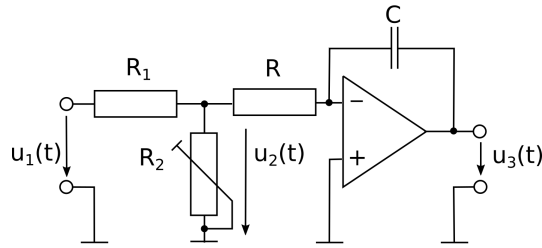
Při volbě napájecího napětí obvodu je třeba zohlednit vliv rozkmitu napětí na odstup signál šum v obvodu. Při použití běžných operačních zesilovačů je třeba počítat s omezeným rozsahem napětí, které dokáží zpracovat jejich vstupní a výstupní obvody. V aplikacích s nízkým napájecím napětím, je proto třeba použít zesilovače se vstupy a výstupy označovanými jako rail-to-rail, které dokáží pracovat i s napětím blízkým napájecímu.[1]

Operační zesilovače použité při realizaci modelu regulované soustavy nejsou kvůli uspořádání výstupních tranzistorů vhodné pro nízká napájecí napětí. Maximální rozkmit jejich výstupního napětí je přibližně o 2 V nižší než napájecí napětí. Modely jsou pro dosažení velkého odstup signál šum napájeny symetrickým napětím -12 V a 12 V.

Časová konstanta integrátorů použitých v modelu je musí být dostatečně dlouhá. Nejjednodušším řešením je použití kombinace kondenzátoru s vysokou kapacitou a rezistoru s odporem v řádu megaohmů. Toto řešení je nevýhodné z hlediska šumových vlastností obvodu a vyžaduje operační zesilovače s malými vstupními proudy. Je proto vhodné snížit odpor rezistoru. Toho je možné při zachování časové konstanty dosáhnout zařazením napěťového děliče na vstup integrátoru jak je ukázáno ve schématu 4.10. Výpočet odporového děliče je ukázán v rovnici (4.12).

$$u_o = -\frac{R_2}{R_1 + R_2} \frac{1}{\tau} \int u_1 dt = \frac{1}{1} \int u_1 dt \quad (4.11)$$

$$\frac{R_2}{R_1 + R_2} = \tau \quad (4.12)$$

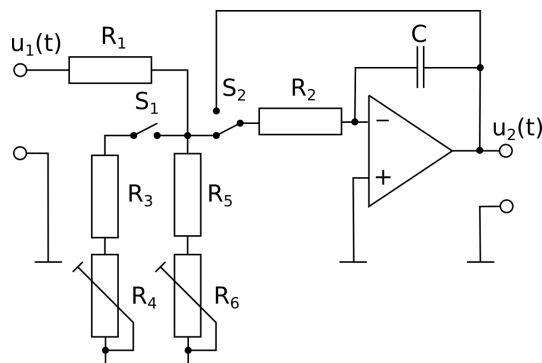


Obr. 4.10: Prodloužení časové konstanty integrátoru pomocí odporového děliče

Integrátory v modelu jsou zapojeny podle schématu na obrázku 4.11. V tomto schématu je pro lepší přehlednost vynechán odporový trimr s odporem $100\text{ k}\Omega$. V obvodu je zapojen přepínací kontakt relé (S2) pro vynulování integrátoru. Spínač S1 umožňuje přepnutí časové konstanty integrátoru z 1 s na 10 s . Tento přepínač byl navržen jako součást integrátoru, protože prodloužení časové konstanty snížením zesílení zpětnovazebních zesilovačů již nebylo vhodné. Při nízké zesílení zpětnovazebních zesilovačů totiž zvyšuje riziko limitace integračních zesilovačů.

Výpočet hodnot pasivních součástí v rovnicích (4.13) až (4.27) vychází z požadované vstupní impedance, časové konstanty obvodu a zvolené hodnoty zpětnovazebního kondenzátoru $1\ \mu\text{F}$. Pro přesné nastavení časové konstanty je třeba vstupní odporové děliče kompenzovat pomocí odporových trimrů na nepřesnost zpětnovazebního kondenzátoru a dostupné hodnoty rezistorů, které přesně neodpovídají návrhu.

Výstupy operačních zesilovačů by neměly být přetěžovány. Součet vstupních odporů zesilovačů zatěžujících integrační zesilovače by proto měl být nejméně $2\text{ k}\Omega$. V ideálním případě by vzhledem k charakteristice v grafu 4.12 měla být zatěžovací impedance vyšší než $8\text{ k}\Omega$. Aby byla splněna tato podmínka, zesilovače realizující koeficienty ve Frobeniově modelu a integrátory budou mít vstupní odpor blízký $30\text{ k}\Omega$.



Obr. 4.11: Realizace integrátoru s proměnnou časovou konstantou a nulováním

$$R_1 = 20 \text{ k}\Omega \quad (4.13)$$

$$R_2 \geq 10 \cdot R_1; \quad R_2 = 220 \text{ k}\Omega \quad (4.14)$$

$$\tau = R_2 \cdot C = 220 \cdot 10^3 \cdot 1 \cdot 10^{-6} = 0,22 \text{ s} \quad (4.15)$$

$$A_{\text{VstSum}} = \frac{1}{4} \quad (4.16)$$

$$A_{\text{Del3}} = \frac{\tau}{A_{\text{Sum}}} = \frac{0,22}{0,25} = 0,88 \quad (4.17)$$

$$R_5 + R_6 = \frac{A_{\text{Del1}} \cdot R_1}{1 - A_{\text{Del1}}} = \frac{0,88 \cdot 20 \cdot 10^3}{1 - 0,88} = 146,66 \text{ k}\Omega \quad (4.18)$$

$$R_3 + R_4 = \frac{0,1 \cdot A_{\text{Del1}} \cdot R_1}{1 - 0,1 \cdot A_{\text{Del1}}} = \frac{0,1 \cdot 0,88 \cdot 20 \cdot 10^3}{1 - 0,1 \cdot 0,88} = 1,929 \text{ k}\Omega \quad (4.19)$$

$$R_4 \geq 10\% \cdot 1,929 \cdot 10^3 = 200 \text{ }\Omega; \quad R_3 = R_{3,4} - 0,5 \cdot R_4 = 1,8 \text{ k}\Omega \quad (4.20)$$

Výpočty v rovnicích (4.13) až (4.20) se vztahují k integrátoru 3. Tento integrátor je kvůli nízkému zesílení sumátoru navržen s kratší časovou konstantou a nižším dělicím poměrem vstupního děliče $\frac{u_o}{u_i} = 0.8$. V zapojení byl problém se zatížením děliče vlastním integrátorem a hodnoty odporů v děliči na vstupu tohoto integrátoru byly určeny experimentálně. Odpor rezistoru R_5 byl změněn na hodnotu $220 \text{ k}\Omega$ a odpor trimru R_6 na $100 \text{ k}\Omega$. Zapojení integrátoru 3 bylo realizováno s odpory rezistorů $R_1=22 \text{ k}\Omega$, $R_2=220 \text{ k}\Omega$, $R_3=1,6 \text{ k}\Omega$, $R_4=1 \text{ k}\Omega$, $R_5=220 \text{ k}\Omega$ a $R_6=100 \text{ k}\Omega$.

Výpočty hodnot součástí integrátorů 1 a 2 jsou v rovnicích (4.21) až (4.27). Při realizaci těchto integrátorů byly použity rezistory řady E12: $R_1=27 \text{ k}\Omega$, $R_2=330 \text{ k}\Omega$, $R_3=680 \text{ }\Omega$, $R_4=200 \text{ }\Omega$, $R_5=12 \text{ k}\Omega$ a $R_6=2 \text{ k}\Omega$.

Vztahy použité v rovnicích (4.18), (4.19), (4.24), (4.26) jsou vyjádřené z rovnice (4.12).

$$R_1 = 3 \cdot 10 \text{ k}\Omega = 30 \text{ k}\Omega \quad (4.21)$$

$$R_2 \geq 10 \cdot R_1; \quad R_2 \geq 300 \text{ k}\Omega \quad (4.22)$$

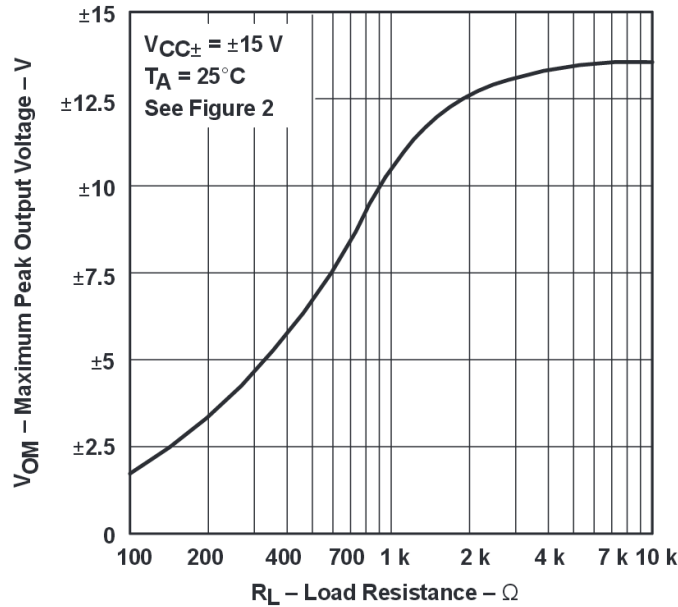
$$\tau = R_2 \cdot C = 330 \cdot 10^3 \cdot 1 \cdot 10^{-6} = 0,33 \text{ s} \quad (4.23)$$

$$R_5 + R_6 = \frac{\tau \cdot R_1}{1 - \tau} = \frac{0,33 \cdot 30 \cdot 10^3}{1 - 0,33} = 14,77 \text{ k}\Omega \quad (4.24)$$

$$R_6 \geq 10\% \cdot 14,77 \cdot 10^3 = 2 \text{ k}\Omega; \quad R_5 = R_{5,6} - 0,5 \cdot R_6 = 10 \text{ k}\Omega \quad (4.25)$$

$$R_3 + R_4 = \frac{0,1\tau \cdot R_1}{1 - 0,1\tau} = \frac{0,1 \cdot 0,33 \cdot 30 \cdot 10^3}{1 - 0,1 \cdot 0,33} = 1,024 \text{ k}\Omega \quad (4.26)$$

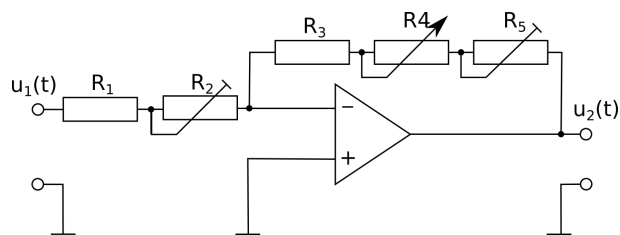
$$R_4 \geq 10\% \cdot 1,024 \cdot 10^3 = 100 \ \Omega; \quad R_3 = R_{3,4} - 0,5 \cdot R_4 = 950 \ k\Omega \quad (4.27)$$



Obr. 4.12: Závislost maximálního rozkmitu výstupního napětí TL061 na odporu zátěže [13]

Koeficienty v modelu jsou realizovány pomocí zesilovačů s proměnným v invertujícím zapojení. Konstanty zesílení byly zvoleny v rozsahu 1 až 20 s ohledem na přehlednost stupnice a možnost limitace integračních zesilovačů při nízkém zesílení.

Pro realizaci zesílení $A = 20$ musí být dle rovnice (4.4) ve zpětných vazbách použity rezistory s odporem $600 \ k\Omega$. Nejbližší běžně dostupná hodnota potenciometrů je $500 \ k\Omega$, vstupní odpor zesilovačů proto bude nižší než $30 \ k\Omega$, přibližně $26 \ k\Omega$. Sériově k tomuto rezistoru musí být připojen odporový trimr pro kompenzaci výrobní tolerance zpětnovazebního potenciometru. Dolní mez zesílení zesilovače, $A = 1$, je nastavena rezistorem s odporem $26 \ k\Omega$ zapojeným v sérii se zpětnovazebním potenciometrem. Potřebný odpor trimrů je odhadnut na základě $20 \ %$ výrobní tolerance zpětnovazebního potenciometru. Při realizaci byly použity rezistory $R_1=20 \ k\Omega$, $R_2=10 \ k\Omega$, $R_3=20 \ \Omega$, $R_4=500 \ k\Omega$ a $R_5=10 \ k\Omega$.



Obr. 4.13: Zesilovač s proměnným zesílením v invertujícím zapojení realizující koeficienty v modelu

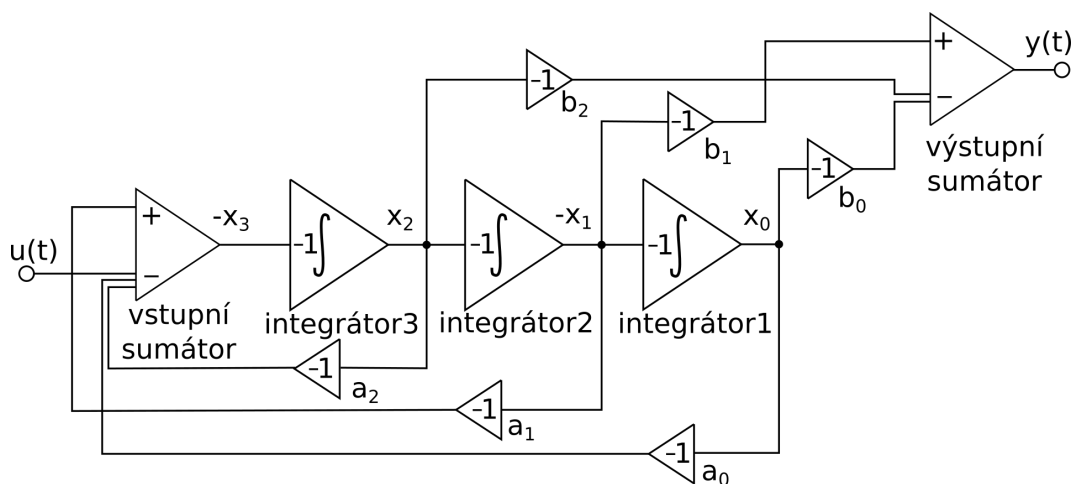
$$A_{20} = \frac{R_3 + R_4 + R_5}{R_5 + R_2} = \frac{500 + 26}{26} = 20,2 \quad (4.28)$$

$$A_1 = \frac{R_3 + R_4 + R_5}{R_5 + R_2} = \frac{26}{26} = 1 \quad (4.29)$$

$$R_3 = R_1 = 20 \text{ k}\Omega \quad (4.30)$$

$$R_2 = R_5 = 20\%R_4 = 0,2 \cdot 26 \cdot 10^3 = 5,2 \text{ k}\Omega \quad (4.31)$$

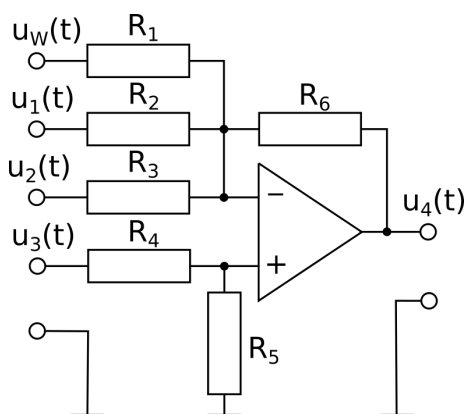
V důsledku použití integrátorů v invertujícím zapojení je nutné řešit měnící se polaritu signálů signálů reprezentujících stavové veličiny v obvodu. Znaménka signálů jsou zobrazena ve schématu 4.14. Sumační členy jsou proto realizovány jako rozdílové zesilovače.



Obr. 4.14: Blokové schéma modelu soustavy se znaménky stavových veličin

Vstupní sumátor je pro snížení rizika limitace navržen se zesílením 0,25. Při volbě odporu rezistorů je v případě sumátorů třeba uvažovat zatížení operačního zesilovače vstupními signály přes zpětnovazební rezistor. Protože na výstup každého

sumátoru bude připojen pouze jediný obvod, operační zesilovač může být zatížen dvěma paralelními impedancemi s odporem $20\text{ k}\Omega$, které budou tvořeny zpětnou vazbou a připojeným integrátorem. Výpočty hodnot obvodových prvků sumátoru na vstupu soustavy jsou uvedeny v rovnicích (4.36) až (4.35). Při realizaci tohoto zapojení byly použity rezistory $R_1=39\text{ k}\Omega$, $R_2=39\text{ k}\Omega$, $R_3=39\text{ }\Omega$, $R_4=39\text{ k}\Omega$, $R_5=6,8\text{ k}\Omega$ a $R_6=10\text{ k}\Omega$.



Obr. 4.15: Schéma sumačního zesilovače na vstupu modelu

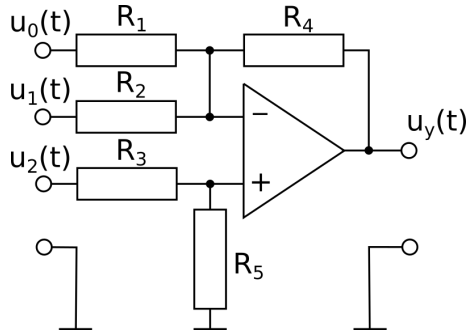
$$R_1 = R_2 = R_3 = R_4 = 40\text{ k}\Omega \quad (4.32)$$

$$A = \frac{1}{4} \quad (4.33)$$

$$R_6 = R_1 \cdot A = \frac{40 \cdot 10^3}{4} = 10\text{ k}\Omega \quad (4.34)$$

$$R_5 = R_1 || R_2 || R_6 = \frac{1}{\frac{1}{40 \cdot 10^3} + \frac{1}{40 \cdot 10^3} + \frac{1}{10 \cdot 10^3}} = 6,5\text{ k}\Omega \quad (4.35)$$

Zesílení výstupního sumátoru je rovno jedné. Výpočty odporu rezistorů jsou uvedeny v rovnicích (4.36) až (4.38). Při realizaci tohoto zapojení byly použity rezistory z řady E12 $R_1=20\text{ k}\Omega$, $R_2=20\text{ k}\Omega$, $R_3=20\text{ }\Omega$, $R_4=20\text{ k}\Omega$ a $R_5=10\text{ k}\Omega$.



Obr. 4.16: Schéma sumačního zesilovače na výstupu modelu

$$R_1 = R_2 = R_3 = R_4 = 20 \text{ k}\Omega \quad (4.36)$$

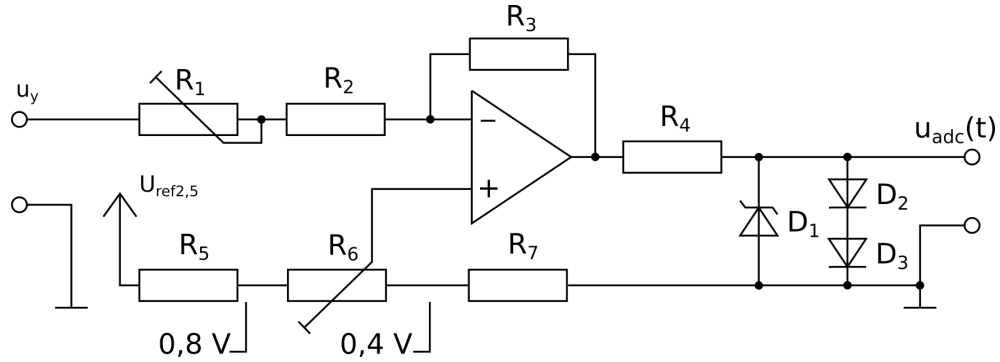
$$A = 1 \quad (4.37)$$

$$R_5 = R_1 \parallel R_4 = \frac{1}{\frac{1}{20 \cdot 10^3} + \frac{1}{20 \cdot 10^3}} = 10 \text{ k}\Omega \quad (4.38)$$

Konverze výstupního signálu ze soustavy do číslicové formy bude provedena pomocí AD převodníku integrovaného na čipu mikrokontroléru. Jako napěťová reference převodníku je použita integrovaná Bandgap reference s napětím 1,17 V [8]. Výstupní napětí modelu tak musí být upraveno, aby jeho rozkmit odpovídal vstupnímu rozsahu převodníku.

Převodník pro úpravu napěťové úrovně výstupního signálu je realizován pomocí operačního zesilovače typu OP07 v invertujícím zapojení. Navržené zapojení je ve schématu 4.17, obvodové prvky byly vypočteny pomocí rovnic (4.39) a (4.40). Vstupní signál je tímto obvodem zeslaben na rozsah -0,585 V až 0,585 V a je k němu přičten stejnosměrný offset 0,585 V. Zdrojem referenčního napětí pro odvození offsetu je integrovaná napěťová reference typu TL413, která je zároveň použita jako reference DA převodníku.

Pro přesné nastavení referenčního napětí na vstupu operačního zesilovače je navržen odporový dělič s odporovým trimrem. Při návrhu rezistorů byl zvolen rozsah nastavitelného napětí 0,4 V a odpor trimru 1 kΩ. Výpočet odporového děliče je v rovnicích (4.41) a (4.42). Při realizaci byly použity rezistory $R_1=10 \text{ k}\Omega$, $R_2=15 \text{ k}\Omega$, $R_3=1 \text{ k}\Omega$, $R_4=2 \text{ k}\Omega$, $R_5=4,7 \text{ k}\Omega$, $R_6=1 \text{ k}\Omega$ a $R_7=1 \text{ k}\Omega$.



Obr. 4.17: Obvod pro úpravu rozsahu výstupního napětí modelu pro rozsah DA převodníku

$$A = \frac{U_{\text{ADC-pp}}}{U_{\text{výst-pp}}} = \frac{1,17}{24} = 0,0488 \quad (4.39)$$

$$R_{1,2} = \frac{R_3}{A} = \frac{1 \cdot 10^3}{0,0488} = 20,5 \text{ k}\Omega \quad (4.40)$$

$$R_5 = \frac{U}{I} = \frac{2,5 - 0,8}{\frac{0,4}{1 \cdot 10^3}} = 4,25 \text{ k}\Omega \quad (4.41)$$

$$R_7 = \frac{U}{I} = \frac{0,4}{\frac{0,4}{1 \cdot 10^3}} = 1 \text{ k}\Omega \quad (4.42)$$

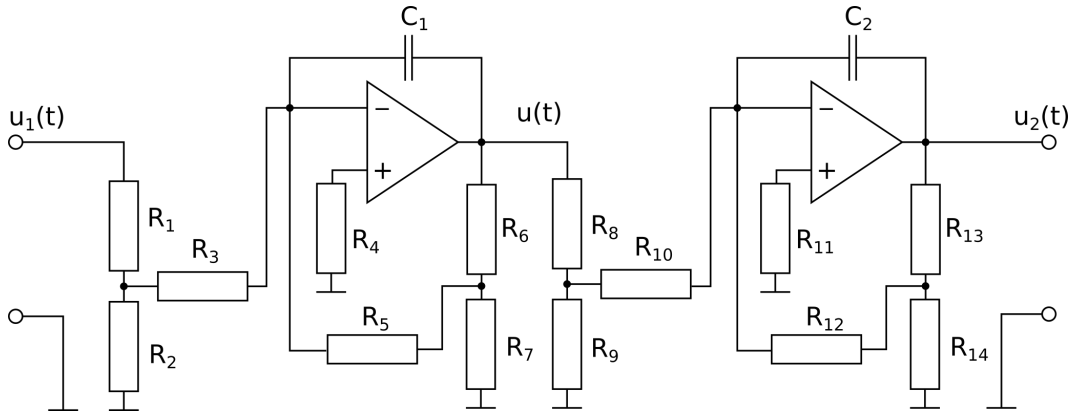
Na výstupu přizpůsobovacího obvodu na ve schématu na obrázku 4.17 je započena ochrana vstupu mikrokontroléru před překročením mezního vstupního napětí složená z ochranných diod a rezistoru s odporem $2 \text{ k}\Omega$. Tento rezistor byl vybrán podle katalogového listu mikrokontroléru [8]. AD převodník integrovaný v mikrokontroléru může se vstupním odporem $2 \text{ k}\Omega$ pracovat při použití rozlišení 12 b a taktovacím kmitočtem v rozsahu od 4 do 8 MHz. Ochranné diody společně s rezistorem musí zajistit, že výstupní napětí neopustí rozsah $-0,3 \text{ V}$ až $V_{dd} + 0,3 \text{ V}$. V_{dd} (napájecí napětí mikrokontroléru) je v tomto případě $3,3 \text{ V}$. Antiparalelně připojena dioda na výstupu obvodu je typu BAT42 s nízkým úbytkem napětí. Sériová dvojice diod je složena z diod typu Tesla KA206.

Aby byl splněn vzorkovací teorém a nedocházelo k aliasing efektu je součástí přizpůsobovacích obvodů antialiasingový filtr 2. řádu. Filtr je navržený pro AD převodník s rozlišením 12 b se vzorkovací frekvencí 10 Hz . Je proto třeba na frekvenci 10 Hz dosáhnout útlumu alespoň -72 dB .

Při návrhu obvodového řešení byl použit stejný způsob prodloužení časové konstanty pomocí odporového děliče jako při návrhu integračních zesilovačů. Hodnoty odporů v napěťovém děliči jsou vypočteny v rovnici (4.47), použitý vztah byl vyjádřen z rovnice (4.12). Kapacita kondenzátoru 470 nF a odpor rezistoru $200 \text{ k}\Omega$

byly vypočteny pomocí online návrhové aplikace Analog Filter Wizard společnosti Analog Devices, Inc. dostupné z URL: <<http://www.analog.com/designtools/en/filterwizard/>>. Výpočty obvodových prvků v rovnicích (4.44) až (4.47) jsou shodné pro obě části filtru. Při realizaci filtru byly použity rezistory $R_1=18\text{ k}\Omega$, $R_2=2\text{ k}\Omega$, $R_3=220\text{ k}\Omega$, $R_4=120\text{ k}\Omega$, $R_5=220\text{ k}\Omega$, $R_6=18\text{ k}\Omega$, $R_7=2\text{ k}\Omega$, $R_8=18\text{ k}\Omega$, $R_9=2\text{ k}\Omega$, $R_{10}=220\text{ k}\Omega$, $R_{11}=120\text{ k}\Omega$, $R_{12}=220\text{ k}\Omega$, $R_{13}=18\text{ k}\Omega$, $R_{14}=2\text{ k}\Omega$.

$$DR_{12b} = 20\log(2^N) = 20\log(2^{12}) = -72,2\text{ dB} \quad (4.43)$$



Obr. 4.18: Antialiasingový filtr 2. řádu

$$\tau = \frac{R_1 + R_2}{R_2} R_3 \cdot C_1 = 10 \cdot 200 \cdot 10^3 \cdot 470 \cdot 10^{-9} = 0,94\text{ s/rad} \quad (4.44)$$

$$f_{\text{mez}} = \frac{1}{\tau \cdot 2 \cdot \pi} = \frac{1}{0,94 \cdot 2 \cdot \pi} = 0,1693\text{ Hz} \quad (4.45)$$

$$R_1 \leq \frac{R_3}{10} = \frac{200 \cdot 10^3}{10} = 20\text{ k}\Omega \quad (4.46)$$

$$R_2 = \frac{A}{1-A} R_1 = \frac{0,1}{1-0,1} 18 \cdot 10^3 = 2\text{ k}\Omega \quad (4.47)$$

V mikrokontroléru není integrován DA převodník je proto třeba použít externí. Zvolen byl převodník Microchip MCP4726 připojený pomocí dvou vodičové sériové sběrnice IIC.

Komunikace s DA převodníkem je poměrně jednoduchá. Po zaslání adresy následuje byt v jehož první části jsou tři řídicí bity, po nich již následují data. Pomocí řídicích bitů jsou odlišeny operace s volatílní a nevolatílní pamětí a zápis do konfiguračního registru. [11]

Konfigurační registr umožňuje vypnout převodník, přepnout napětovou referenci a nastavit dvojnásobné zesílení výstupního zesilovače. Adresa převodníku na sběrnici

je dána výrobcem při výrobě, použitý převodník má nastavenou adresu 0x60 hexadecimálně. Výhodou zvoleného převodníku může být integrovaná nevolatilní paměť umožňující uložení výchozího nastavení. [11]

Převodník je napájen napájecím napětím mikrokontroléru. Jako zdroj referenčního napětí je použita napěťová reference typu TL413. Rozsah výstupního napětí proto musí být upraven na rozsah -12 V až 12 V, se kterým pracuje soustava. Navržený obvod je zobrazen ve schématu 4.19. Pull-up rezistory R_8 a R_9 na sběrnici I2C mají doporučenou hodnotu 10 k Ω . Při měření komunikace probíhající na frekvenci 100 kHz pomocí osciloskopu se tato hodnota ukázala jako vysoká. Náběžná hrana hodinových pulzů plynule navazovala na hranu sestupnou. Přesto, že byla linka při měření zatížena sondou bude komunikace s DA převodníkem, pro zvýšení spolehlivosti, probíhat na frekvenci 50 kHz.

Ze signálu na výstupu DA převodníku jsou pomocí R-C filtru odstraněny vyšší harmonické složky, pro omezení rušení. Přizpůsobovací obvod má vstupní odpor přibližně 10 k Ω a zesílení 9,6. Návrh součástek je proveden v rovnicích (4.48) až (4.50). Odporový dělič je navržen podobným způsobem jako v případě přizpůsobovacího obvodu pro AD převodník.

Pro přesné nastavení je v děliči zařazen odporový trimr 1 k Ω , s jehož pomocí je možné měnit stejnosměrný offset v rozsahu 0,4 V, výpočet děliče je uveden v rovnicích (4.51) a (4.52). Při realizaci filtru byly použity rezistory $R_1=620 \Omega$, $R_2=10 \text{ k}\Omega$, $R_3=4,7 \text{ k}\Omega$, $R_4=91 \text{ k}\Omega$, $R_5=2,4 \text{ k}\Omega$, $R_6=1 \text{ k}\Omega$, $R_7=2,4 \text{ k}\Omega$, $R_8=10 \text{ k}\Omega$, $R_9=10 \text{ k}\Omega$.

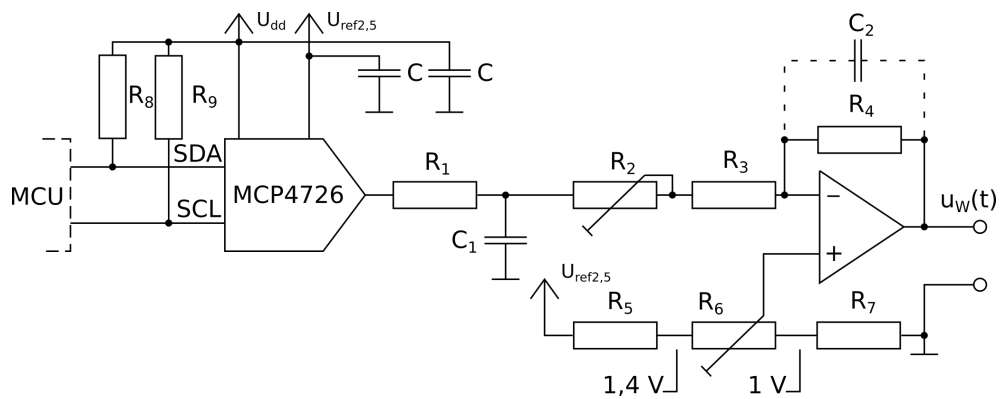
$$A = \frac{U_{\text{DAC-pp}}}{U_{\text{vstup-pp}}} = \frac{24}{2,5} = 9,6 \quad (4.48)$$

$$R_2 + R_3 = \frac{R_2}{A} = \frac{91}{9,6} \doteq 9,47 \text{ k}\Omega \quad (4.49)$$

$$R_2 = 10 \text{ k}\Omega; \quad R_3 = R_2 + R_3 - 0,5 \cdot R_2 = (10 - 5) \cdot 10^3 = 5 \text{ k}\Omega \quad (4.50)$$

$$R_5 = \frac{U}{I} = \frac{2,5 - 1,4}{\frac{0,4}{1 \cdot 10^3}} = 2,75 \text{ k}\Omega \quad (4.51)$$

$$R_7 = R_5 = 2,75 \text{ k}\Omega \quad (4.52)$$

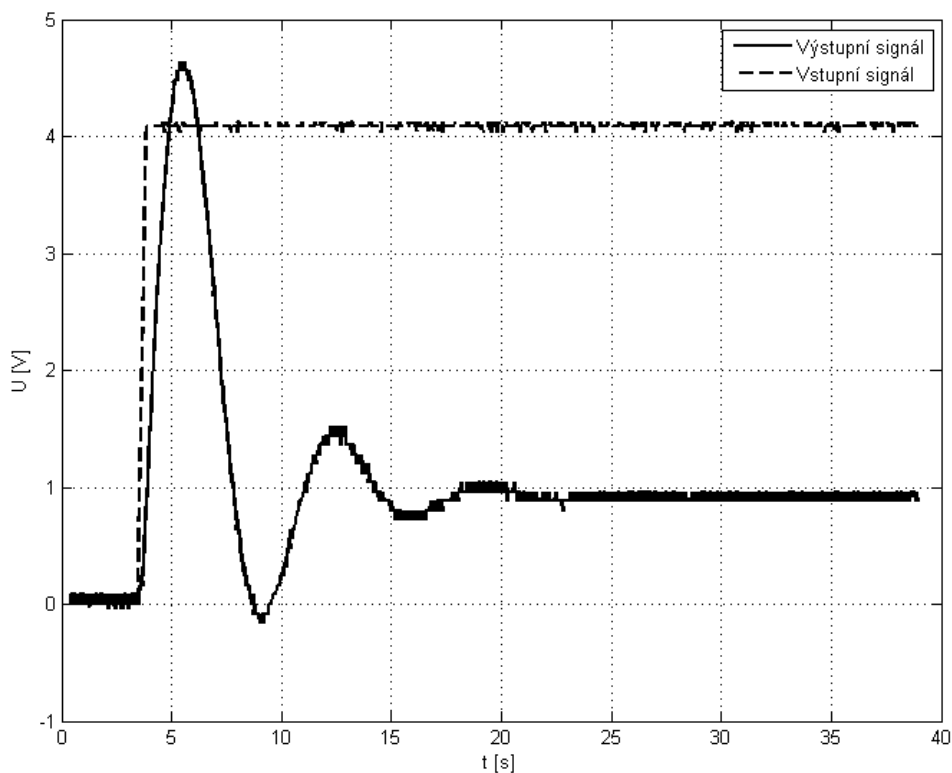


Obr. 4.19: DA převodník s obvodem pro úpravu výstupního rozsahu 0 až 2,5 V na rozsah -12 V až 12 V

5 DOZAŽENÉ VÝSLEDKY

Pro ověření funkčnosti modelu regulované soustavy byla změřena zkušební přechodová charakteristika soustavy třetího řádu. Pomocí potenciometrů byl na modelu nastaven přenos podle rovnice (5.1). Odezva změřená na modelu je zobrazena v grafu na obrázku 5.1.

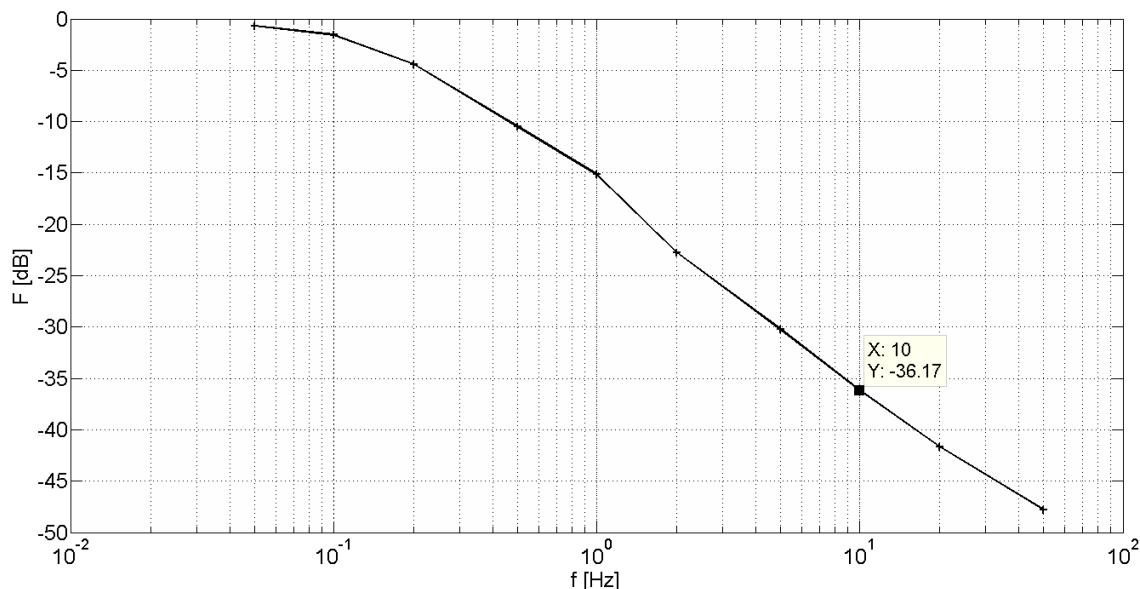
$$F(p) = \frac{p^2 + p + 0,1}{1p^3 + p^2 + p + 0,5} \quad (5.1)$$



Obr. 5.1: Změřená odezva soustavy třetího řádu na jednotkový skok 4 V

Realizovaný antialiasingový filtr na výstupu přizpůsobovacích obvodů má na frekvenci 10 Hz útlum -74,3 dB viz. rovnice (5.2). Pro vstupní signál s frekvencí 10 Hz a napětím $9,2 V_{pp}$ bylo na jeho výstupu pomocí osciloskopu naměřeno napětí $1.76 mV_{pp}$. V grafu na obrázku číslo 5.2 je změřená frekvenční charakteristika první poloviny antialiasingového filtru.

$$F_{10} = 20 \log \left(\frac{u}{u_i} \right) = 20 \log \left(\frac{0,00176}{9,2} \right) = -74,3655 \text{ dB} \quad (5.2)$$



Obr. 5.2: Změřená amplitudová charakteristika první části antialiasingového filtru

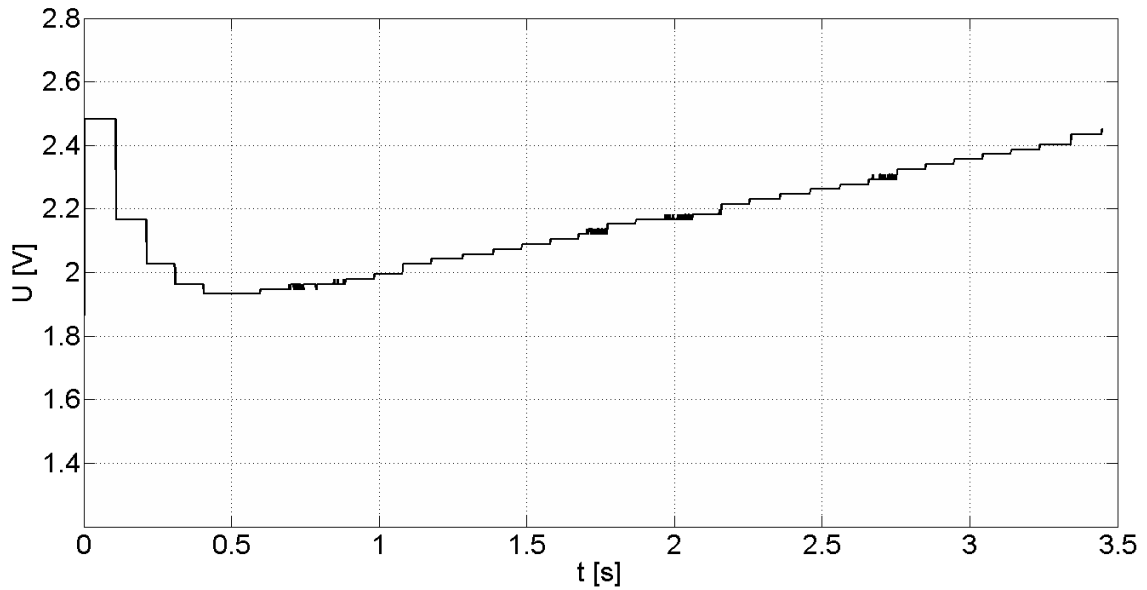
Dále byla ověřena funkčnost ochranných obvodů na výstupu soustavy. Tyto obvody chrání mikrokontrolér proti překročení mezních vstupních napětí -0,3 V a 3,6V na výstupu přizpůsobovacích obvodů. V tabulce 5.1 jsou naměřená výstupní napětí za ochranným obvodem při přivedení nebezpečného napětí na jeho vstup.

Vstupní napětí	výstupní napětí
+3 V	1,382 V
+12 V	1,555 V
-3 V	-0,239 V
-12 V	-0,282 V

Tab. 5.1: Změřená napětí na výstupu omezovacího obvodu při překročení mezních napětí

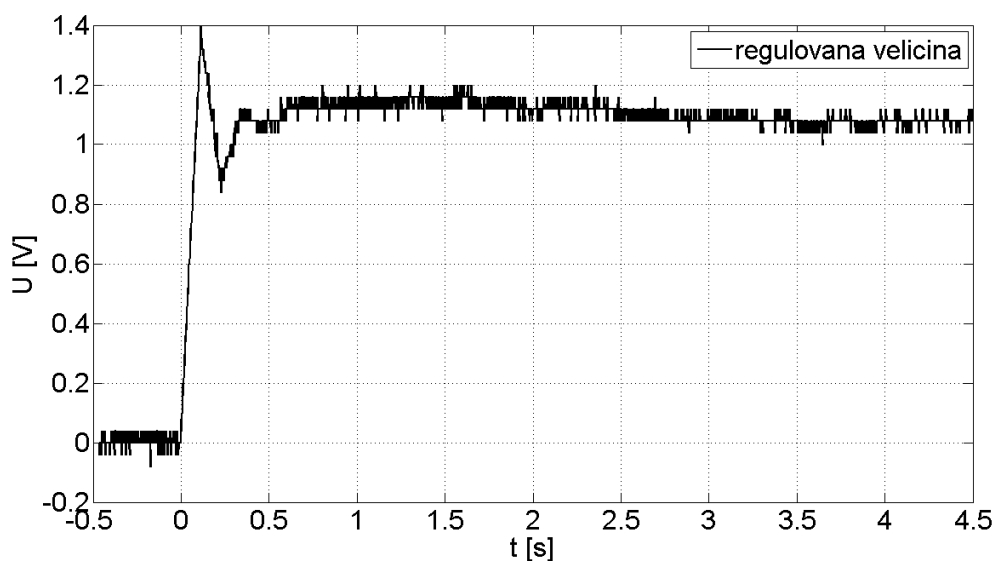
Pro ověření implementovaných algoritmů regulátoru byly navrženy parametry PSD regulátoru $K=3,43$, $T_I=1,75$, $T_D=0,431$. Časové konstanty byly navrženy pomocí nástroje SISO tool, který je k dispozici v programu MATLAB společnosti MathWorks a přepočteny pro použití v regulátoru ve tvaru jako je v rovnici (5.3). Změřená odezva implementovaného regulátoru s těmito parametry na skok žádané hodnoty je zobrazena v grafu na obrázku 5.3.

$$F_R = K \left(1 + \frac{T_{vz}}{T_I} \frac{1}{1 - z^{-1}} + \frac{T_D}{T_{vz}} 1 - z^{-1} \right) \quad (5.3)$$

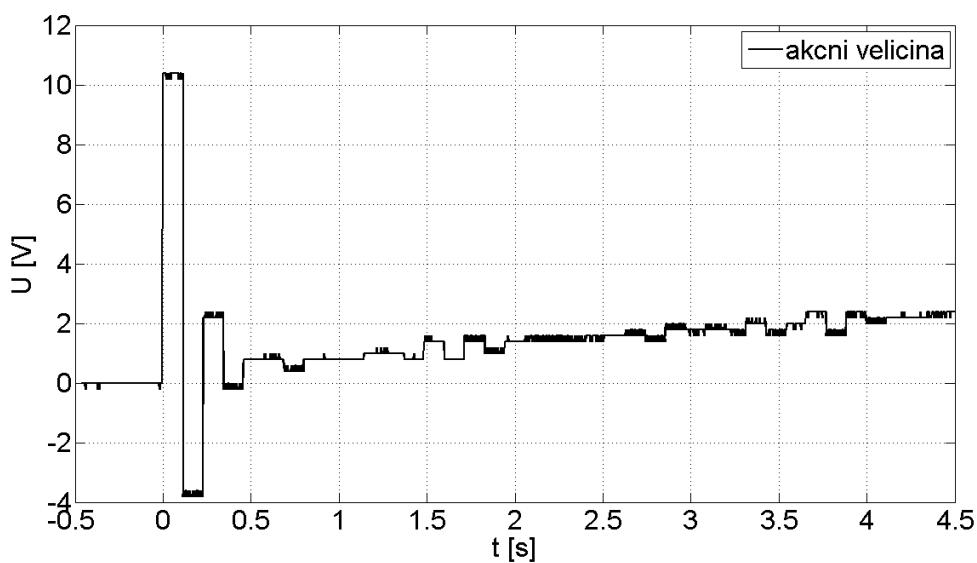


Obr. 5.3: Změřená odezva PSD regulátoru na skok řídicí veličiny o 1 V

S tímto regulátorem a namodelovanou soustavou podle rovnice 5.1 byla následně změřena odezva v uzavřené smyčce. Vzhledem k rychlosti soustavy a stabilitě regulovaného obvodu nebyl při měření použit antialiasingový filtr. V grafech na obrázcích 5.4 a 5.5 jsou zobrazeny průběhy regulované a akční veličiny. Průběhy byly změřeny na vstupu a výstupu modelu, změřené napětí je tak invertované oproti vstupu a výstupu regulátoru. Oběma průběhům proto bylo před vykreslením grafu změněno znaménko.



Obr. 5.4: Změřená odezva modelu systému řízeného PSD regulátorem s filtrací diferenciální složky typu invariantní plocha na skok řídicí veličiny na 1 V, bez použití antialiasingového filtru

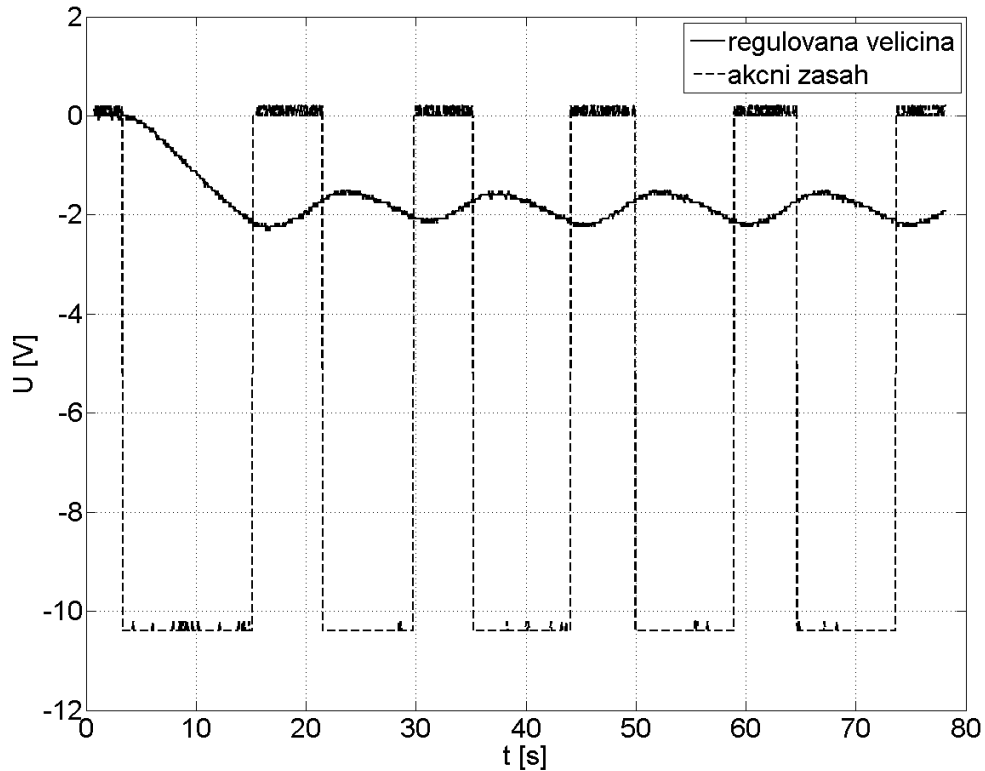


Obr. 5.5: Změřená odezva akční veličiny při řízení modelu PSD regulátorem s filtrací diferenciální složky typu invariantní plocha na skok řídicí veličiny na 1 V, bez použití antialiasingového filtru

Dále byla ověřena funkčnost On-off regulátoru. Na modelu byl pro tento pokus nastaven přenos uvedený v rovnici číslo (5.4). Průběhy jsou měřeny na vstupu a

výstupu modelu, znaménko napětí je tak oproti vstupu a výstupu regulátoru invertované přizpůsobovacími obvody. Zaznamenané průběhy akční a řízené veličiny jsou v grafu na obrázku číslo 5.6.

$$F(p) = \frac{0.1}{p^2 + 0,4p + 0,4} \quad (5.4)$$



Obr. 5.6: Změřená odezva soustavy řízené pomocí on-off regulátoru na skok řídicí veličiny o 1,5 V s hysterezí 1 V a periodou vzorkování 0,1s, bez použití antialiasingového filtru

Při pokusech byla zjištěna nefunkčnost filtrací diferenční složky v případě, že je její časová konstanta velmi blízká vzorkovací periodě. Tato vlastnost se projevuje u regulátorů s filtrací typu invariantní plocha a diskrétního ekvivalentu spojitě derivace. Protože oba filtry potřebují při inicializaci výpočet exponenciální funkce je to pravděpodobně důsledek nedostatečně přesného výpočtu implementované exponenciální funkce.

ZÁVĚR

Bakalářská práce se zabývá návrhem a realizací modelu regulovaných soustav za pomoci operačních zesilovačů, přizpůsobovacích obvodů umožňujících připojení k vývojové desce TWR-S08LH64 a návrhem implementace algoritmů PSD, Beta PSD a On-Off regulátorů.

Byl navrženo a realizováno zařízení umožňující modelovat soustavy prvního až třetího řádu. Vnitřním uspořádáním model odpovídá Frobeniovu kanonickému tvaru systému třetího řádu. Koeficienty navrženého modelu je možné měnit pomocí potenciometrů ve dvou rozsazích 1 až 20 a 0,1 až 2.

Součástí modelu jsou relé pro resetování integrátorů a moduly pro přizpůsobení napěťových úrovní soustavy a převodníků realizované pomocí operačních zesilovačů. Na plošném spoji s přizpůsobovacími obvody je realizován také antialiasingový filtr druhého řádu. Návrh filtru předpokládá použití regulátoru s pevnou vzorkovací periodou 0.1 s. Při simulaci filtru bylo dosaženo útlumu 72 dB na frekvenci 10 Hz. Útlum je dostatečný pro použití AD převodníku s rozlišením 12 b (dynamický rozsah přibližně 72dB).

Dále byl implementován algoritmus pro výpočet akčního zásahu PSD, Beta PSD a On-Off regulátorů. Pro PSD regulátory je implementováno dynamické omezení sumační složky a 4 filtry diferenční složky. Kvůli ochraně proti přetečení při výpočtech je pro výpočty použit datový typ float. Rozsah parametrů regulátoru tak téměř neomezený.

Software regulátoru umožňuje změnu konfigurace pomocí sériové linky a dokáže změřit přechodovou charakteristiku. Vzhledem k tomu, že mikrokontrolér není vybaven pamětí EEPROM jsou přijaté parametry uloženy pouze do paměti RAM a po restartu se použije výchozí nastavení. Funkci pro měření přechodové charakteristiky se nepodařilo odladit, příčinou je pravděpodobně propustnost komunikačního rozhraní.

Data jsou při komunikaci přenášena pomocí rámců. K tomuto je použita knihovna MIN, která rámeček označí pomocí tří startbyťů a jako ochranu proti chybám připojí 16 b Fletcher CRC. Implementovaný protokol umožňuje nastavení i čtení aktuálních parametrů regulátoru. Data jsou při komunikaci kódována jako 12 b čísla s fixní řádovou čárkou. Rozsah a přesnost parametrů nastavitelných pomocí sériového rozhraní jsou proto omezené.

Pro ověření funkční implementace komunikačního protokolu vznikla zkušební verze 32 b aplikace pro operační systém Windows 7. S její pomocí lze v grafickém rozhraní měnit, nebo zjistit aktuálně nastavené parametry regulátoru. Dále dokáže odeslat příkaz pro změření přechodové charakteristiky. Přijatá data jsou zobrazena v jednoduchém grafu bez měřítka. Data je možné uložit do textového souboru.

LITERATURA

- [1] PUNČOCHÁŘ, J.: *Operační zesilovače v elektronice*. 3. vyd. Praha: BEN, 1996. 467 s. ISBN 80-901984-3-0. [cit. 2015-12-20].
- [2] BLAHA, P., VAVŘÍN, P.: *Řízení a regulace 1*, Brno: VUT, 2005. [cit. 2015-12-20].
- [3] ŠOLC, F.; VÁCLAVEK, P.; VAVŘÍN, P.: *Řízení a regulace II*, Brno: VUT, 2004. [cit. 2015-12-20].
- [4] ŠOLC, F.; VÁCLAVEK, P.: *Modelování a simulace*[online]. Brno: FEKT VUT, 2007. [cit. 2015-12-20].
- [5] PIVOŇKA, P.; SCHMIDT, M.: Comparative Analysis of Discrete Derivative Implementations in PID Controllers. In *Systems Theory and Applications*[online], vol. 2. Řecko: WSEAS, 2007. s. 33-37. ISBN: 978-960-8457-90-4. [cit. 2015-12-20] Dostupné z URL: <<http://www.wseas.us/e-library/conferences/2007csc/papers/561-186.pdf>>.
- [6] PIVOŇKA, P.: *Číslíková řídicí technika*. Brno: FEKT VUT, 2012. [cit. 2015-12-20].
- [7] FREESCALE SEMICONDUCTOR INC.: *MC9S08LH64 Reference Manual*[online]. Revision 5.1. 2012. [cit. 2015-12-20]. Dostupné z URL: <http://www.nxp.com/files/microcontrollers/doc/ref_manual/MC9S08LH64RM.pdf>.
- [8] FREESCALE SEMICONDUCTOR INC.: *MC9S08LH64 Series Data Sheet*[online]. Revision 6.1. 2012. [cit. 2015-12-20]. Dostupné z URL: <http://www.nxp.com/files/microcontrollers/doc/ref_manual/MC9S08LH64RM.pdf>.
- [9] FREESCALE SEMICONDUCTOR INC.: *Internal Clock Source (ICS) Module on the HCS08s in Depth, Rev. 0*[online]. 2005. [cit. 2015-11-24]. Dostupné z URL: <http://cache.freescale.com/files/microcontrollers/doc/app_note/AN3041.pdf>.
- [10] FREESCALE SEMICONDUCTOR INC.: *TWR-ELEV Primary*[online]. 2010. [cit. 2015-12-20]. Dostupné z URL: <http://cache.freescale.com/files/microcontrollers/hardware_tools/schematics/TWR-ELEV-PRI-SCH.pdf>.

- [11] MICROCHIP TECHNOLOGY INC.: *8-/10-/12-Bit Voltage Output Digital-to-Analog Converter with EEPROM and I²CTM Interface*[online]. 2012. ISBN 978-1-62076-161-8, [cit. 2015-12-20]. Dostupné z URL: <<http://ww1.microchip.com/downloads/en/DeviceDoc/22272C.pdf>>.
- [12] ANALOG DEVICES, INC.: *OP07: Ultralow Offset Voltage Operational Amplifier Data Sheet (Rev. G)*[online]. 2011. [cit. 2015-12-20]. Dostupné z URL: <<http://www.analog.com/media/en/technical-documentation/data-sheets/OP07.pdf>>.
- [13] TEXAS INSTRUMENTS, INC.: *TL06xx Low-Power JFET-Input Operational Amplifiers (Rev. L)*[online]. 1978. REVISED 2015. [cit. 2015-12-20]. Dostupné z URL: <<http://www.ti.com/lit/ds/symlink/tl061.pdf>>.
- [14] TEXAS INSTRUMENTS, INC.: *TL08xx JFET-Input Operational Amplifiers (Rev. I)*[online]. 1977. REVISED 2015. [cit. 2015-12-20]. Dostupné z URL: <<http://www.ti.com/lit/ds/symlink/tl081.pdf>>.
- [15] NATIONAL SEMICONDUCTOR CORP.: Appendix A Output Impedance as a Function of Trimming. In *AN-1515 A Comprehensive Study of the Howland Current Pump*. 2008. REVISED 2013, s. 9. [cit. 2015-12-20]. Dostupné z URL: <<http://www.ti.com/lit/an/snoa474a/snoa474a.pdf>>.
- [16] TINDELL KEN: *Microcontroller Interconnect Network (MIN) version 1.0*. REVISED 15. 3. 2015. [cit. 2016-04-05]. Dostupné z URL: <<https://github.com/min-protocol/min/wiki>>.
- [17] IBL, VÁCLAV: *Taylorovy řady elementárních funkcí: diplomová práce* [online]. V Praze: Univerzita Karlova v Praze, Matematicko-fyzikální fakulta, Katedra didaktiky matematiky. 2009. [cit. 2016-05-18]. Vedoucí diplomové práce byl RNDr. Antonín Slavík, Ph.D.. Dostupné z URL: <http://kdm.karlin.mff.cuni.cz/diplomky/vaclav_ibl/taylorovy_rady.pdf>.

SEZNAM PŘÍLOH

A	Možný postup odvození přírůstkového tvaru PSD regulátoru	58
B	Obsah přiloženého CD	59
C	Schéma modelu regulované soustavy	
D	Schéma přizpůsobovacích obvodů	

A MOŽNÝ POSTUP ODVOZENÍ PŘÍRŮSTKOVÉHO TVARU PSD REGULÁTORU

Základní rovnice PSD regulátoru:

$$F(z) = K\left(1 + \frac{T_{vz}}{T_I} \frac{z^{-1}}{1 - z^{-1}} + \frac{T_D}{T_{vz}}(1 - z^{-1})\right) \quad (\text{A.1})$$

Převedením rovnice na společného jmenovatele vznikne:

$$F(z) = \frac{E(z)}{U(z)} = \frac{K\left(1 + \frac{T_D}{T_{vz}}\right) + z^{-1}K\left(-1 + \frac{T_{vz}}{T_I} - 2\frac{T_D}{T_{vz}}\right) + z^{-2}K\left(\frac{T_D}{T_{vz}}\right)}{1 - z^{-1}} \quad (\text{A.2})$$

Přírůstkovým tvar PSD regulátoru lze z této rovnice získat vyjádřením $U(z)$ jako závislosti na $E(z)$ a $U(z - 1)$:

$$u(z) = e(z)K\left(1 + \frac{T_D}{T_{vz}}\right) + z^{-1}K\left(-1 + \frac{T_{vz}}{T_I} - 2\frac{T_D}{T_{vz}}\right) + z^{-2}K\left(\frac{T_D}{T_{vz}}\right) + u(z)z^{-1} \quad (\text{A.3})$$

B OBSAH PŘILOŽENÉHO CD

Na CD jsou ve složce Aplikace k dispozici projekty programového vybavení regulátoru a aplikace pro jeho ovládání pomocí počítače. Ve složce Regulátor je k dispozici projekt se zdrojovými soubory implementovaného programového vybavení pro mikrokontrolér MC9S08LH64. Tento projekt je vytvořený ve vývojovém prostředí CodeWarrior for MCU, verze 10.6.

Projekt se zdrojovými soubory a zkompilevanou 32b aplikací pro operační systém Windows 7 je uložen ve složce Konfigurační aplikace. Projekt je možné otevřít ve vývojovém prostředí Code::Blocks. Aplikace ve složce bin Debug je zkompilevána pomocí překladače GCC (GNU Compiler Collection), staženého spolu s 64b verzí balíku Cygwin.

Dále jsou ve složce Naměřené hodnoty k dispozici naměřené hodnoty použité pro vytvoření grafů v kapitole Dosažené výsledky. Data jsou uložena v souborech CSV a pro vykreslení grafů pomocí příložených skriptů v souborech *.mat vytvořených programem Matlab.

Ve složce schémata jsou uložena schémata z příloh C a D ve formátu pdf.