

TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky, informatiky
a mezioborových studií



BAKALÁŘSKÁ PRÁCE

Liberec 2020

Pavel Šafář

Komunikační jednotka pro obvody firmy Allegro MicroSystems

Bakalářská práce

Studijní program:

B2612 Elektrotechnika a informatika

Studijní obor:

Elektronické informační a řídicí systémy

Autor práce:

Pavel Šafář

Vedoucí práce:

Ing. Lubomír Slavík, Ph.D.

Ústav mechatroniky a technické informatiky





Zadání bakalářské práce

Komunikační jednotka pro obvody firmy Allegro MicroSystems

Jméno a příjmení: **Pavel Šafář**
Osobní číslo: M17000059
Studijní program: B2612 Elektrotechnika a informatika
Studijní obor: Elektronické informační a řídicí systémy
Zadávací katedra: Ústav mechatroniky a technické informatiky
Akademický rok: 2019/2020

Zásady pro vypracování:

1. Seznamte se se stávajícím stavem, zejména se zařízením ASEK-20, a navrhnete řešení nedostatků.
2. Zvolte vyhovující typ řídicího obvodu (MCU/FPGA) s ohledem na budoucí možnosti rozšíření a dostatečnou datovou propustnost při kontinuálním sběru dat.
3. Navrhnete a realizujete hardware komunikační jednotky pro obvody firmy Allegro MicroSystems.
4. Vytvořte základní software implementující žádané funkce.

Rozsah grafických prací:
Rozsah pracovní zprávy:
Forma zpracování práce:
Jazyk práce:

dle potřeby dokumentace
30–40 stran
tištěná/elektronická
Čeština



Seznam odborné literatury:

- [1] Biberidis, N., Alpago, O., Deligiannis, S.: *AST Manchester Protocol and AST Manchester Slave Controller Specification: AST Manchester Specification*. Revision 2.1. Manchester, New Hampshire, USA, 2017, 37 s. Allegro MicroSystems, LLC – Confidential.
- [2] Biberidis, N., Rigoni, B., Wilkinson, L., Shorman, B.: *Manchester protocol shared with SENT/PWM Outputs and/or Analog Output? v2.2: AST IP Spec Definition*. Revision 2.2. Worcester, Massachusetts 01616-0036 U.S.A, 2017, 15 s.
- [3] Šťastný, J.: *FPGA prakticky*. BEN – technická literatura, 2011. ISBN: 978-80-7300-261-9.
- [4] MARTIN, T.: *The Insider's Guide To The STM32 ARM Based Microcontroller*. Hitex Ltd., UK, 2008. (EN), ISBN: 0-9549988-8.

Vedoucí práce:

Ing. Lubomír Slavík, Ph.D.
Ústav mechatroniky a technické informatiky

Datum zadání práce:

10. října 2019

Předpokládaný termín odevzdání:

18. května 2020

prof. Ing. Zdeněk Plíva, Ph.D.
děkan

L.S.

doc. Ing. Milan Kolář, CSc.
vedoucí ústavu

Prohlášení

Prohlašuji, že svou bakalářskou práci jsem vypracoval samostatně jako původní dílo s použitím uvedené literatury a na základě konzultací s vedoucím mé bakalářské práce a konzultantem.

Jsem si vědom toho, že na mou bakalářskou práci se plně vztahuje zákon č. 121/2000 Sb., o právu autorském, zejména § 60 – školní dílo.

Beru na vědomí, že Technická univerzita v Liberci nezasahuje do mých autorských práv užitím mé bakalářské práce pro vnitřní potřebu Technické univerzity v Liberci.

Užiji-li bakalářskou práci nebo poskytnu-li licenci k jejímu využití, jsem si vědom povinnosti informovat o této skutečnosti Technickou univerzitu v Liberci; v tomto případě má Technická univerzita v Liberci právo ode mne požadovat úhradu nákladů, které vynaložila na vytvoření díla, až do jejich skutečné výše.

Současně čestně prohlašuji, že text elektronické podoby práce vložený do IS/STAG se shoduje s textem tištěné podoby práce.

Beru na vědomí, že má bakalářská práce bude zveřejněna Technickou univerzitou v Liberci v souladu s § 47b zákona č. 111/1998 Sb., o vysokých školách a o změně a doplnění dalších zákonů (zákon o vysokých školách), ve znění pozdějších předpisů.

Jsem si vědom následků, které podle zákona o vysokých školách mohou vyplývat z porušení tohoto prohlášení.

31. května 2020

Pavel Šafář

Poděkování

Chtěl bych tímto poděkovat vedoucímu práce panu Ing. Lubomíru Slavíkovi, Ph.D. za odborné konzultace a užitečné rady. Velká zásluha také patří společnosti Allegro MicroSystem Europe Limited, která mi poskytla podporu, vybavení, materiál a přístup k jejich know-how, což hluboce rozšířilo moje dosavadní znalosti zejména v oblasti analogové elektroniky a programování embedded systémů. Poděkování patří všem zaměstnancům pražského odštěpného závodu, především Ing. Pavlovi Krejčímu, Ing. Václavu Machovi a Ing. Radkovi Kristiánovi.



Komunikační jednotka pro obvody firmy Allegro MicroSystems

Abstrakt

Tato práce se zabývá návrhem a výrobou nové komunikační jednotky pro obvody firmy Allegro MicroSystems. Jedná se o zařízení používané při testování a trimování prototypů zejména Hallových senzorů přes protokol Manchester. Hlavními cíli vývoje bylo odstranění potíží, které se vyskytují v aktuálně používaném komunikátoru – ASEK-20. Mělo by být dosaženo vyšších přenosových rychlostí a zvýšení spolehlivosti při komunikaci přes sběrnici Manchester díky novému výstupnímu budiči.

Klíčová slova

ASEK-20; komunikační jednotky; STM32H7; ARM; výstupní budiče; výkonové operační zesilovače; I²C; SPI



Communication unit for circuits of the company Allegro MicroSystems

Abstract

This work deals with the design and manufacture of a new communication unit for Allegro MicroSystems circuits. It is a device used for testing and trimming prototypes, especially Hall sensors via the Manchester protocol. The main goals of the development were to eliminate the problems that occur in the communicator used – ASEK-20. Higher transfer rates and increased reliability when communicating via the Manchester bus should be achieved thanks to the new output buffer.

Keywords

ASEK-20; communication unit; STM32H7; ARM; output buffer; power operational amplifier; I²C; SPI



Obsah

Seznam obrázků.....	9
Seznam zkratk.....	11
Úvod.....	13
1.1 Cíle práce	13
1 Současný stav řešené problematiky.....	14
1.1 ASEK-20.....	14
2 Hardware	17
2.1 Výběr řídicího obvodu	17
2.1.1 FPGA	17
2.1.2 Mikrokontrolery ARM.....	18
2.1.3 Volba konkrétního MCU	19
2.2 Blokové schéma	19
2.3 Možné principy realizace sběrnice Manchester	21
2.4 Výběr výkonových operačních zesilovačů.....	23
2.5 Konstrukce výstupního polomůstku.....	28
2.5.1 Problematika buzení MOSFET polomůstků.....	28
2.6 Napájení	30
2.6.1 Požadavky na napájení.....	30
2.6.2 5V měnič.....	31
2.6.3 Invertující měnič	33
2.6.4 Řešení problémů se záporným měničem	35
2.7 Rozšiřující deska	38
3 Software a komunikace s PC.....	40
3.1 Návrh komunikačního protokolu	40
3.2 Software pro mikrokontroler.....	41
Závěr.....	43
Seznam použité literatury	44
Seznam příloh	48
Příloha 1: Schéma zkušební desky s polomůstkem a dosažené výsledky	49
Příloha 2: Schéma komunikační jednotky	51
Příloha 3: Návrh desky plošných spojů pro komunikační jednotku	60
Příloha 4: Seznam součástí plně osazené desky.....	67



Seznam obrázků

Obrázek 1: Schéma výstupního obvodu ASEK-20, zjednodušeno pro zachycení podstatných částí [21]	14
Obrázek 2: Výstupní signál na sběrnici Manchester. Část signálu odstraněna. [21].....	15
Obrázek 3: Odezva výstupního bufferu ASEK-20 na skokovou změnu signálu s kapacitní zátěží 1,1 μ F (CH1 - modrá) [21]	16
Obrázek 4: Odezva výstupního bufferu ASEK-20 na skokovou změnu signálu s kapacitní zátěží 100 nF (CH1 - modrá) [21].....	16
Obrázek 5: Blokové schéma komunikační jednotky	20
Obrázek 6: Blokové schéma výstupního bufferu pro sběrnici Manchester při použití budiče MOSFET jako zdroje výstupního signálu.....	21
Obrázek 7: Blokové schéma výstupního bufferu pro sběrnici Manchester při použití výkonového zesilovače jako zdroje výstupního signálu.....	22
Obrázek 8: Blokové schéma výstupního bufferu pro sběrnici Manchester při použití polomůstku jako zdroje výstupního signálu a výkonového zesilovače pro jeho napájení	23
Obrázek 9: Ilustrace zkresení trojúhelníkového signálu při složení pouze z prvních dvou lichých harmonických. Generováno programem MATLAB R2020a	24
Obrázek 10: Testovací deska pro operační zesilovače LT1210 a OPA521 (pohledy z obou stran PCB).....	26
Obrázek 11: Výstupní signál zesilovače LT1210 (C2 – růžová) a vstupní signál (C1 – žlutá) při zatížení výstupu kapacitou 100 nF	27
Obrázek 12: Výstupní signál zesilovače LT1210 (C2 – růžová) a vstupní signál (C1 – žlutá) při zatížení výstupu kapacitou 1 μ F.....	27
Obrázek 13: Schéma parazitních kapacit a odporů MOSFET	28
Obrázek 14: Návrh zkušební DPS s polomůstkem buzeným obvodem FAN8811	29
Obrázek 15: Schéma step-down měniče napětí s obvodem AOZ1284	31
Obrázek 16: Návrh zkušební PCB s měničem AOZ1284PI a osazený prototyp.....	33



Obrázek 17: Schéma doporučeného zapojení LM2596-ADJ pro invertující měnič napětí [18].....	34
Obrázek 18: Schéma invertujícího měniče napětí v komunikační jednotce	35
Obrázek 19: Schéma soft-start modulu.....	36
Obrázek 20: Vizualizace soft-start modulu a komunikační jednotky	36
Obrázek 21: Průběh napětí na kondenzátorech C1 a C2 (CH2 - žlutá) a na výstupu modulu (CH1 - modrá)	37
Obrázek 22: Vizualizace rozšiřující desky při osazení všech součástek (pohledy z obou stran)	38
Obrázek 23: Komunikační jednotka (vývojová deska s nasazeným rozšiřujícím modulem).....	39



Seznam zkratek

A/D	analogově digitální
ADC	analogově digitální převodník
ARM	Advanced RISC Machine, název firmy a architektura procesorů
ASCII	american standard code for information interchange
CMOS	complementary metal–oxide–semiconductor
D/A	digitálně analogový
DAC	digitálně analogový převodník
DMA	direct memory access
FPGA	field programmable gate array
GBW	gain bandwidth product
GND	ground
GPIO	general-purpose input/output
HAL	hardware abstraction layer
HS	High-Speed
HW	hardware
I²C	inter-integrated circuit
IGBT	insulated-gate bipolar transistor
MCU	microcontroller unit
MLCC	multi layer chip capacitor
MOSFET	metal oxide semiconductor field effect transistor
OZ	operační zesilovač
PC	personal computer
PCB	printed circuit board



PHY	physical layer
RAM	random-access memory
R_{DS}	elektrický odpor mezi elektrodami drain a source
SCPI	standard commands for programmable instruments
SDRAM	synchronous dynamic random acces memory
SPI	serial peripheral interface
SW	software
TMC	test and measurement class
UART	universal asynchronous receiver-transmitter
U_{GS}	elektrické napětí mezi elektrodami gate a source
ULPI	UTMI+ low pin interface
USB	universal serial bus
UTMI	USB2.0 Transceiver Macrocell Interface



Úvod

V současnosti dochází v elektronice k pokroku, jehož rychlost nemá v historii obdoby. Elektronické systémy se stávají neustále komplexnějšími a přesnějšími, což klade čím dál větší nároky na jejich návrh a důkladné testování. Ruku v ruce s tím musí současně probíhat vývoj měřícího vybavení, na které se obvykle kladou větší požadavky na přesnost než na výrobek. Základem vybavení každého takového vývojového pracoviště bývají přesné univerzální měřicí přístroje od užšího okruhu firem patřících ke světové špičce v oboru. Některé testy si ale vyžadají vývoj specifických prostředků pro danou aplikaci. Podobný požadavek na vývoj specifické komunikační jednotky stál i za vznikem této bakalářské práce. Firma Allegro MicroSystems mi umožnila podílet se na návrhu a realizaci nové verze zařízení ASEK-20, které zaměstnanci pravidelně používají ve vývoji ke komunikaci se zkušebními vzorky senzorů. Jednalo se o komplexní úkol, jež mi umožnil velmi prohloubit moje znalosti návrhu analogových i digitálních obvodů a programování mikrokontrolerů ARM.

1.1 Cíle práce

Cílem této práce je vytvoření nového univerzálního komunikačního zařízení, primárně pro integrované obvody firmy Allegro MicroSystems. Mělo by být dosaženo lepších technických parametrů, než kterými disponuje současné řešení – komunikátor ASEK-20. Prioritní je zcela nový návrh výstupního budiče sběrnice Manchester, jež v současné podobě znemožňuje spolehlivou komunikaci s 3,3 V CMOS logikou. Očekává se i zvýšení přenosové rychlosti.

Předpokládá se větší potenciál pro rozšiřování a možné snadné úpravy funkcí softwaru pro konkrétní úkoly v budoucnu. To vyžaduje zejména dostatečnou datovou propustnost a kapacitu paměti RAM pro datový buffer. Dojde i ke změně příkazů pro větší uživatelskou příležitost.

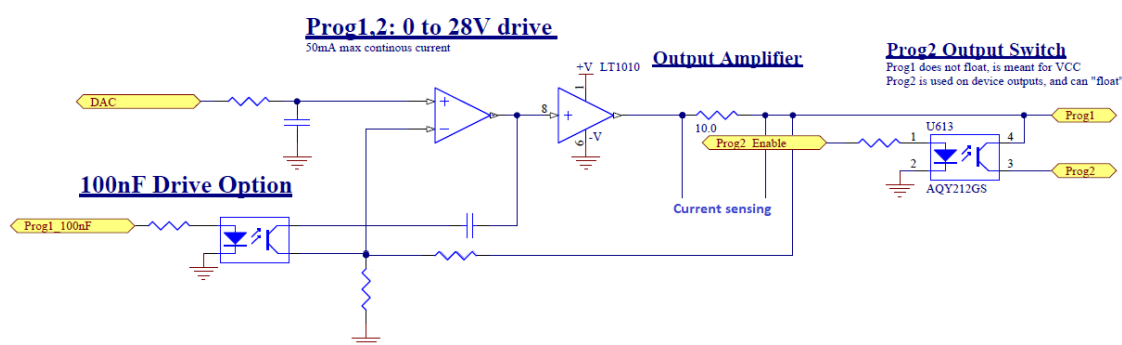


1 Současný stav řešené problematiky

V současnosti je při vývoji pro komunikaci po proprietární sběrnici Manchester s integrovanými obvody používán ASEK-20. Jedná se o zařízení, které je jako součást zkušebních sad senzorů firmy Allegro Microsystems dostupný ve volném prodeji.

1.1 ASEK-20

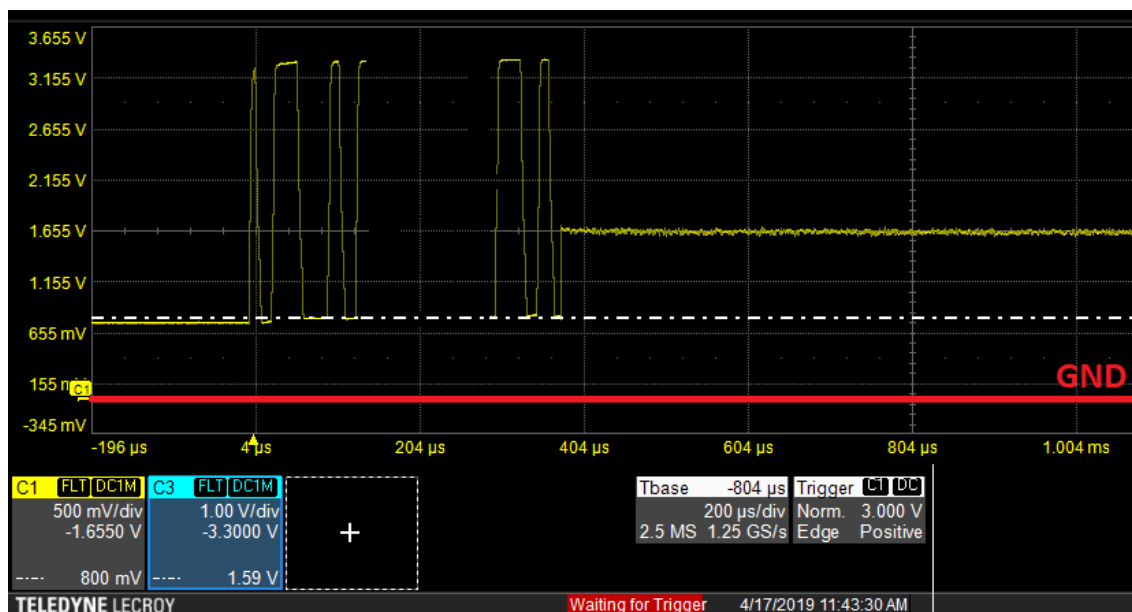
ASEK-20 je univerzální programátor a komunikační jednotka, sloužící pro vývojové účely. Není předpokládáno použití v sériové výrobě. Podporuje standardní sběrnice I²C a SPI, ale zároveň i proprietární jednovodičovou sběrnici Manchester, sloužící ke komunikaci s digitální částí senzorů firmy Allegro Microsystems. Obsahuje také i další programovatelné GPIO piny, A/D a D/A převodník. Jádrem je FPGA, komunikující přes galvanicky oddělený UART s obvodem FT232RL. Tento převodník zprostředkovává přenos dat do počítače přes USB. [21] Aktuální koncepce komunikace má velkou výhodu ve velmi snadném galvanickém oddělení od PC, což je u vývojových nástrojů podstatné pozitivum výrazně snižující riziko poškození počítače, zařízení i testovaného obvodu. Nevýhoda je jasná – UART není určen pro vysoké přenosové rychlosti. U mikrokontrolerů obvykle dosahuje rychlostí do cca 12 MBd. Použitý převodník USB na UART FT232RL je omezen na maximálně 3 MBd. [1]



Obrázek 1: Schéma výstupního obvodu ASEK-20, zjednodušeno pro zachycení podstatných částí [21]



Hlavní nevyhovující vlastností je nevhodně navržený budič sběrnice Manchester s příliš vysokým výstupním odporem. V některých režimech komunikace je nutné analogový výstup testovaného senzoru programátorem „přetlačit“, což vyžaduje oproti běžné situaci značný proud. Při vysoké výstupní impedanci budiče dojde k podstatnému nedodržení logických úrovní. Viz [Obrázek 2] níže s připojenou 3,3 V součástkou. Logická 0 s napětím 658 mV je neakceptovatelná, měla by být nižší než 0,3 V a to s dostatečnou rezervou.

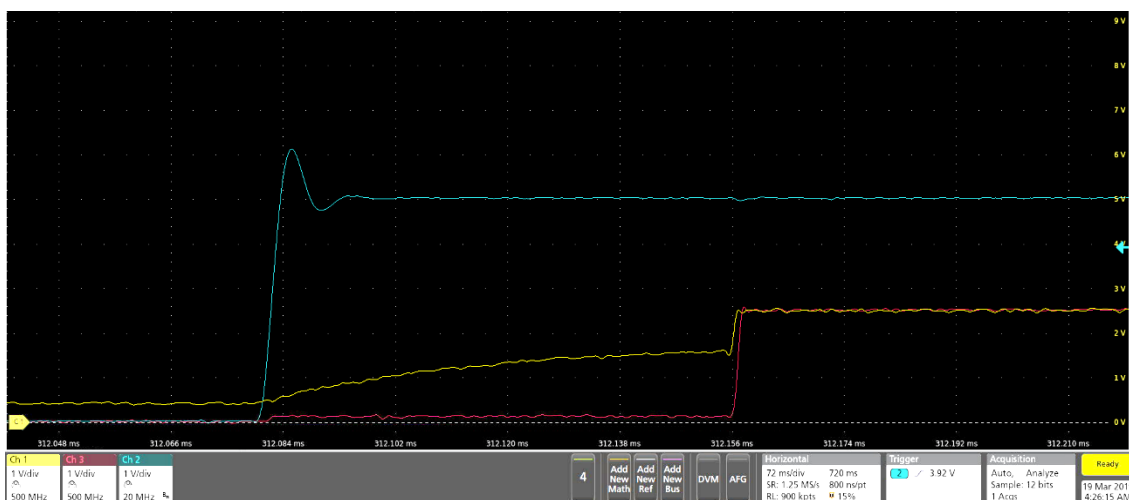


Obrázek 2: Výstupní signál na sběrnici Manchester. Část signálu odstraněna. [21]

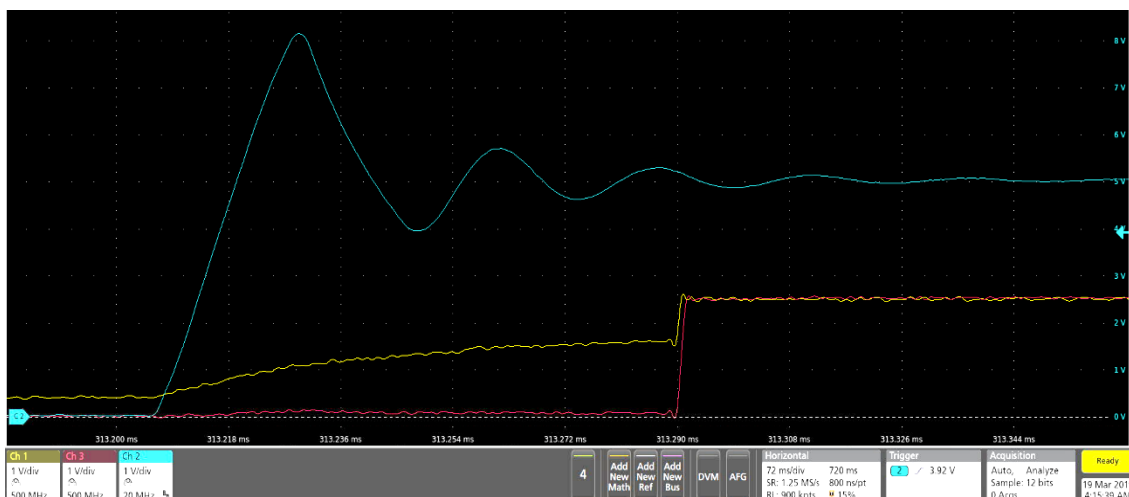
Ze schématu [Obrázek 1] jsou patrné čtyři hlavní příčiny tohoto problému. V ASEKu není záporné napájení. To omezuje maximální možný úbytek na výstupním budičím obvodu a kabelu na méně než 0,3 V. Při udávaném proudu 50 mA musí být odpor celé této cesty (včetně vedení země) pod 6 Ω . (Při použití záporného napětí by úbytek šlo kompenzovat.) Tím se dostáváme k dalšímu evidentnímu problému. Autor původního zapojení očividně chtěl měřit proud tekoucí do připojené zátěže. (Zesilovač signálu z proudového bočníku a A/D převodník nejsou zachyceny na zjednodušeném obrázku [Obrázek 1]) Potenciálně se může jednat o velmi užitečnou možnost, ale použití bočníku s hodnotou 10 Ω zcela vylučuje dříve uvedenou podmínku bezproblémové funkčnosti. V současnosti byl tento rezistor nouzově nahrazen propojkou. Dále z výrobcem udávaných charakteristik výkonového bufferu LT1010 [2] vyčteme typickou výstupní impedanci při pokojové teplotě okolo 7 Ω . Následující člen řetězce, optočlen AQY212GS může přidat až 0,7 Ω . [3]



Problém nastává i u výstupu pro napájení testované součástky. Zde při kapacitním zatížení dochází k enormnímu překmitu, což může být velice nešetrné pro připojený obvod. V původním zapojení je softwarově zapnutelná kompenzace pro kapacitu 100 nF, v praxi však na připojených deskách bývá často až 1,1 μF (MLCC 100 nF a 1 μF paralelně) a ani zapnutá kompenzace neeliminuje kmitání úplně. Viz modrá stopa na výsledcích měření níže, které bylo převzato z interní dokumentace firmy Allegro MicroSystems.



Obrázek 3: Odezva výstupního bufferu ASEK-20 na skokovou změnu signálu s kapacitní zátěží 1,1 μF (CH1 - modrá) [21]



Obrázek 4: Odezva výstupního bufferu ASEK-20 na skokovou změnu signálu s kapacitní zátěží 100 nF (CH1 - modrá) [21]



2 Hardware

2.1 Výběr řídicího obvodu

Jedním ze základních kroků při návrhu koncepce vyvíjeného zařízení byl výběr řídicího integrovaného obvodu. Z plánovaného způsobu využití je patrných několik základních kritérií. Pro budoucí rozšíření se počítá s celkem vysokou datovou propustností. Zařízení by mělo v dalších fázích vývoje zvládat obslužit minimálně dvě SPI sběrnice s frekvencí hodinového signálu nad 20 MHz a dále obsluhovat několik GPIO pinů (minimálně cca 4, spíše až 8) podobnou rychlostí. Ostatní sběrnice již takovou zátěž nepředstavují. Hrubým odhadem tedy datové toky mají dosahovat kolem 20-30 MB/s. Tímto prakticky vyřazujeme z úvah jednoduché 8 b mikrokontrolery. Ty bývají určené zejména pro jednodušší aplikace, kde nejsou vysoké datové toky (typicky se v takových případech jedná nejvýše o jednotky MB/s, spíše násobně méně). Zároveň z vysokého datového toku plyne potřeba velké paměti RAM. Řídicí obvod by měl mít integrovaný řadič externí paměti, což je opět spíše doménou vyšších řad mikroprocesorů ARM než jednoduchých 8 b architektur. V úvahu přicházely dvě nejvhodnější řešení: vyšší řada mikrokontrolerů ARM a FPGA.

Shrnu stručně klíčové požadavky. Vhodné komunikační rozhraní (100 Mbps/1 Gbps Ethernet, USB 2.0 High-Speed či USB 3.0 SuperSpeed), řadič externí paměti RAM, dostatek GPIO pro všechny sběrnice a zejména paralelní externí RAM, dostatečná datová propustnost a snadná rozšiřitelnost programu o základní zpracování dat (úpravy SW na míru pro budoucí použití).

2.1.1 FPGA

Většina výše zmíněných vlastností hovoří pro výběr programovatelných hradlových polí (FPGA). Vyrábí se ve značné škále řad, od základních až po velmi komplexní, které dokážou zpracovávat stovky gigabitů dat za sekundu. Jejich architektura je zaměřena na masivní paralelizaci úkonů. Počet pinů není kritický, existují FPGA i s vyššími stovkami GPIO. Pro zavrnutí tohoto řešení jsem měl zejména následující důvody:



- Očekává se relativně snadná možnost úprav softwaru pro budoucí využití, zejména přidávání vyšších vrstev (analýzy dat). Toto je u FPGA trochu obtížnější, hlavně s ohledem na debugování
- Všechny sběrnice je nutné definovat při tvorbě kódu, obvykle nejsou implementované v hardwaru. Trochu to kompenzuje dostupnost předpřipravených bloků.
- Vývoj aplikací pro FPGA často vyžaduje dražší HW i SW nástroje a z některých aspektů je hodnocen jako náročnější.

U FPGA se nabízí ještě jedna velice zajímavá možnost. Lze do něj nahrát blok s již hotovým procesorovým jádrem, které se následně napojí na další na míru vytvořené bloky (především implementace sběrnic). S dostatečně velkým počtem logických prvků v FPGA se jedná asi o nejlepší možnost, která kombinuje některé podstatné výhody obou cest. Toto řešení nebylo vybráno kvůli tomu, že jsem s ním neměl předchozí zkušenosti a obával jsem se komplikací. Zpětně bych ho vyhodnotil jako nejvhodnější. Zejména zde je oproti mikrokontrolerům mnohem větší potenciál na zvyšování datové propustnosti. [4]

2.1.2 Mikrokontrolery ARM

Výhoda tohoto řešení spočívá ve snadném programování a debugování. (Což vyplývá ze sekvenčního zpracování dat a instrukcí.) Nižší možnost paralelizace jednotlivých datových přenosů je zde do značné míry kompenzována bohatou nabídkou hardwarově implementovaných sběrnic, která je pro potřeby této aplikace dostatečná a také poměrně sofistikovaným systémem DMA, jež zcela zásadně dokáže odlehčit datový tok přes jádro MCU. U vyšších řad je běžný integrovaný řadič externích SRAM/SDRAM a podpora USB 2.0 High-Speed. (Často ale s nutností externího ULPI/PHY čipu, což v tomto případě není, kromě složitějšího layoutu desky, velký problém.)

Nevýhoda spočívá v omezené datové propustnosti. Přenosová rychlost do PC je omezena nejrychlejším dostupným rozhraním, bez výrazného potenciálu ke zlepšení v budoucnu. [5] Toto řešení bylo vybráno s ohledem na snadnou tvorbu SW.



2.1.3 Volba konkrétního MCU

Vzhledem k tomu, že v současné verzi se neplánuje produkce výraznějšiho počtu kusů, není zde prioritou cena. Je nutno klást důraz zejména na dostatečné naddimenzování architektury. Velkou roli také hraje dostupnost vývojových prostředků, čímž je myšleno vývojové prostředí, programátor/debugger a vývojové kity s žádanými periferiemi. Při průzkumu nabídek významných dodavatelů součástek nebyly nalezeny žádné mikrokontrolery, které by zásadním způsobem v této konkrétní aplikaci převyšovaly rodinu STM32. Ta je preferována pro dobrou dostupnost značného množství knihoven, bezplatné vývojové prostředí, rozmanitou nabídku vývojových desek a předchozí zkušenosti s programováním těchto obvodů. Dalším aplikováním požadavků na řadič externí paměti RAM a USB 2.0 HS byl výběr omezen na řady STM32F4, STM32F7 a STM32H7. Dále již rozhodla maximální frekvence jádra – STM32H7 dosahují více než dvojnásobné rychlosti. Jistou výhodou může být i přítomnost druhého jádra (ARM Cortex M4) u některých typů. [6] [7] Pro první pokusy byla vybrána vývojová deska STM32H757XI-EVAL s mikrokontrolerem STM32H757XIH6U.

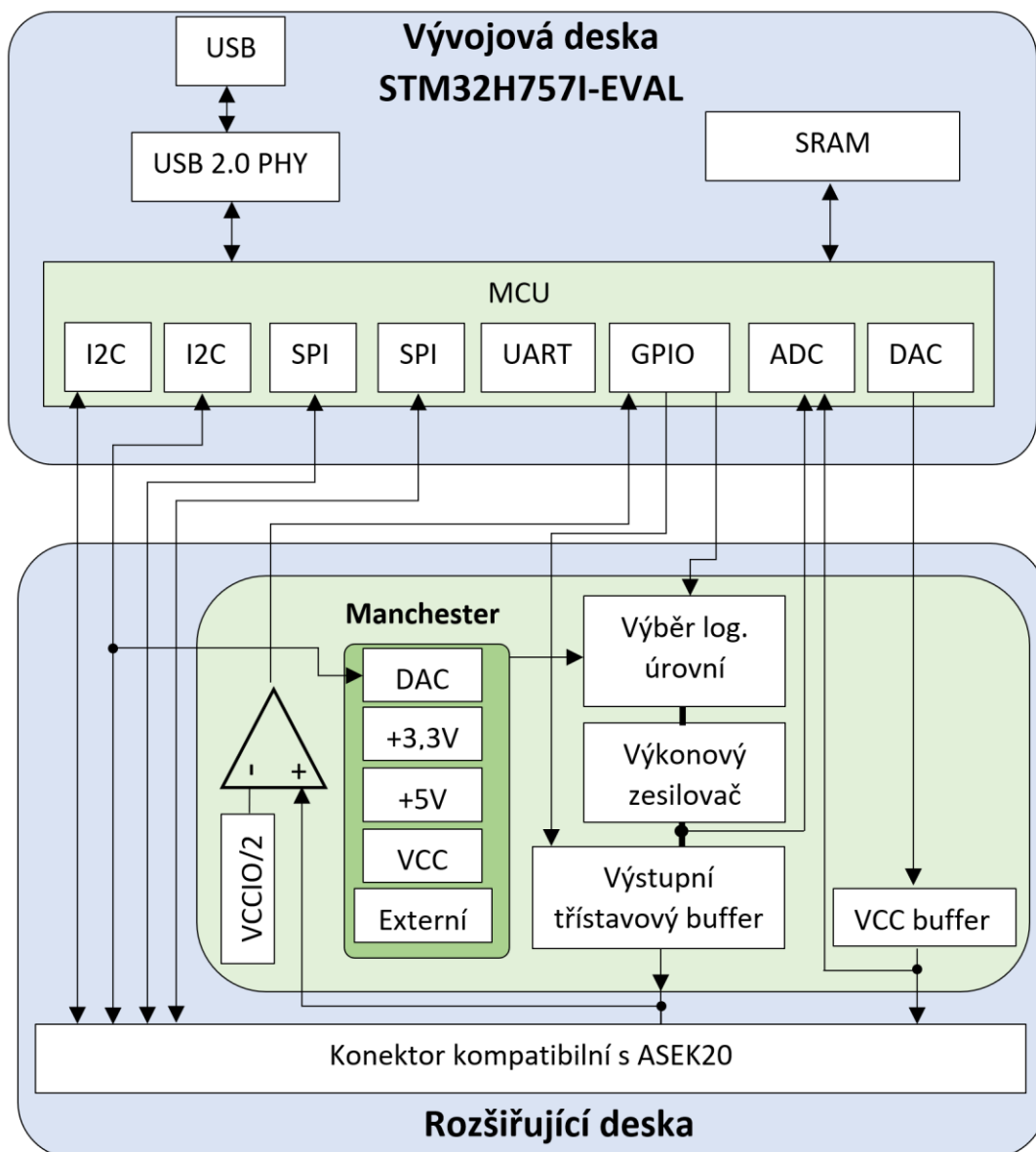
2.2 Blokové schéma

V této fázi vývoje se neočekávala integrace všech částí na jednoúčelové vyvinuté desce. Žádoucí bylo využít z co největší možné části již hotová zařízení a tvořit pouze části specifické pro danou aplikaci. Z tohoto hlediska je nejproblematičtější správný návrh desky s procesorem, rychlou pamětí RAM a USB 2.0. Integrace na jednu desku se předpokládá až po dlouhodobějším testování a potřebě vyrobit větší počet kusů.

Jako základ byla zvolena univerzální vývojová deska STM32H757I-EVAL. Ta disponuje mikrokontrolerem z výkonnostně nejvyšší řady od firmy ST Microelectronics, 8 M×32 bit SDRAM, 1 M×16 bit SRAM a vysokorychlostním komunikačním rozhraním USB 2.0 High-Speed a Ethernet. Naprostá většina pinů procesoru je vyvedena na čtyři konektory, přičemž dva z nich obsahují zejména piny používané pro paměti a nejsou vhodné pro další využití. [8]



Na zbývající piny byl připojen rozšiřující modul s hardwarem specifickým pro tuto aplikaci. Procesorové desce zajišťuje 5 V napájení a obsahuje potřebné obvody pro komunikaci po sběrnici Manchester. Jeden z bloků napájecího systému dále vytváří - 3,6 V pro výkonové zesilovače. Napájení testované součástky obstarává výkonový zesilovač, připojený na D/A převodník integrovaný v MCU. Napětí pro výkonový výstup zajišťuje druhý shodný zesilovač, ovšem zde je možnost vybrat zdroj analogovým multiplexorem. Může se jednat o D/A převodník, pevná napětí či externí zdroj. Výkonový výstup zajišťuje polomůstek, napájený dříve zmíněným zesilovačem. Druhý směr komunikace obstarává vysokorychlostní komparátor.

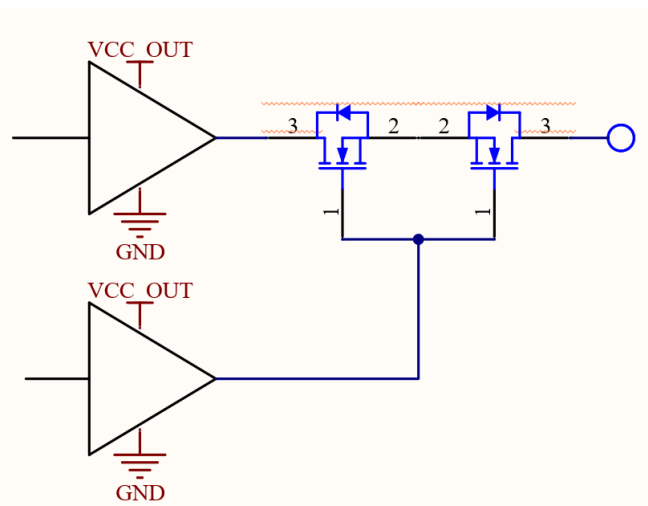


Obrázek 5: Blokové schéma komunikační jednotky



2.3 Možné principy realizace sběrnice Manchester

Návrh výstupního budiče sběrnice Manchester je jedním ze znaků, který nejvíce odlišuje vyvíjené zařízení od komerčně dostupných alternativ. Musí se pracovat s nestandardními logickými úrovněmi, relativně rychle a se značným budícím proudem. Z tohoto důvodu nebyl při počátečních fázích návrhu nalezen integrovaný obvod s požadovanými parametry. Bylo zvažováno několik odlišných koncepcí, které cílili zejména na použití maximální možné části běžně používaných komponent. Ve všech případech je relativně snadný návrh vstupního obvodu – jedná se o vždy o rychlý komparátor ve standardním zapojení. Problematický je výstupní budič.



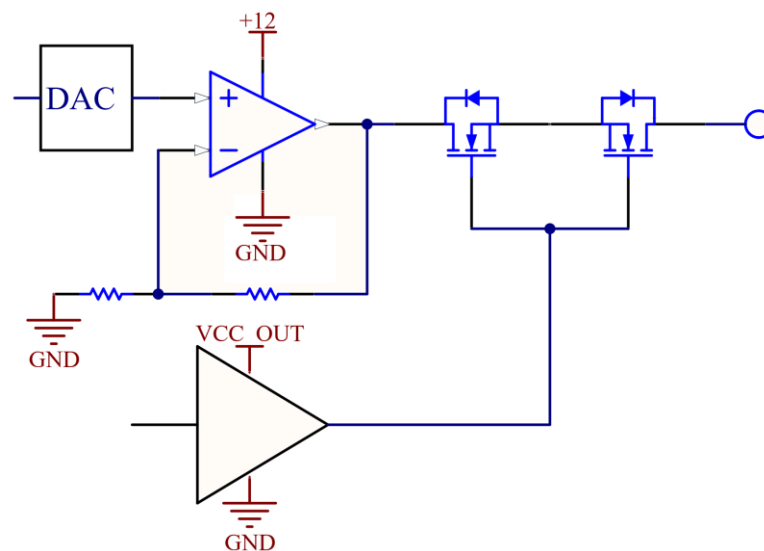
Obrázek 6: Blokové schéma výstupního bufferu pro sběrnici Manchester při použití budiče MOSFET jako zdroje výstupního signálu

První uvažovanou koncepcí bylo použití low-side budiče MOSFET tranzistorů. Tyto obvody jsou již z principu navrženy na velmi rychlé buzení silně kapacitní zátěže. Bohužel spínání MOSFET/IGBT vyžaduje v několika ohledech jiný přístup, než je potřeba zde. Ačkoliv budiče nabízejí excelentní výstupní proudy v řádu jednotek ampér, mývají pro účel buzení sběrnice Manchester značný výstupní odpor (často jednotky ohmů). I tak by se ale jednalo o akceptovatelnou hodnotu převyšující současný stav. Problematictější je pouze dvoustavový výstup bez stavu vysoké impedance nutné při změně směru komunikace. Během poměrně podrobného průzkumu trhu nebyl takový integrovaný budič nalezen. (Tato funkce by u buzení tranzistorů byla spíše nežádoucí.) Řešení by spočívalo v přidání externího spínače. Muselo by se jednat o high-side spínač



odpojící proud v obou směrech – pouze jeden MOSFET tranzistor kvůli integrované zpětné diodě nevyhovuje. Takový spínač by ale opět potřeboval vlastní budič, a navíc by se pravděpodobně nabíjení a vybíjení jeho parazitních kapacit superponovalo na výstupní signál. Dále také podobné budiče obvykle neumožňují libovolné napětí na výstupu – typicky mají z bezpečnostních důvodů ochranu proti podpětí, často nastavenou okolo 3 V.

Další možnou koncepcí byl rychlý výkonový operační zesilovač, opět se spínačem na výstupu. Oproti budiči by představoval výhodu v možnosti nastavit libovolné napětí na výstupu. Bohužel pro jeho ovládání by byl nutný velmi rychlý D/A převodník. (Pro solidní obdélníkový signál je třeba počet vzorků za sekundu mnohonásobně vyšší než očekávaná frekvence signálu a klade se velký důraz na rychlost přeběhu výstupu převodníku). Vedlejším efektem by současně bylo enormní zvýšení dat přenášených z procesoru (oproti digitálnímu výstupu sběrnice Manchester by nárůst mohl být i více než stonásobný) a s tím úměrně zvýšená náročnost výpočtů.



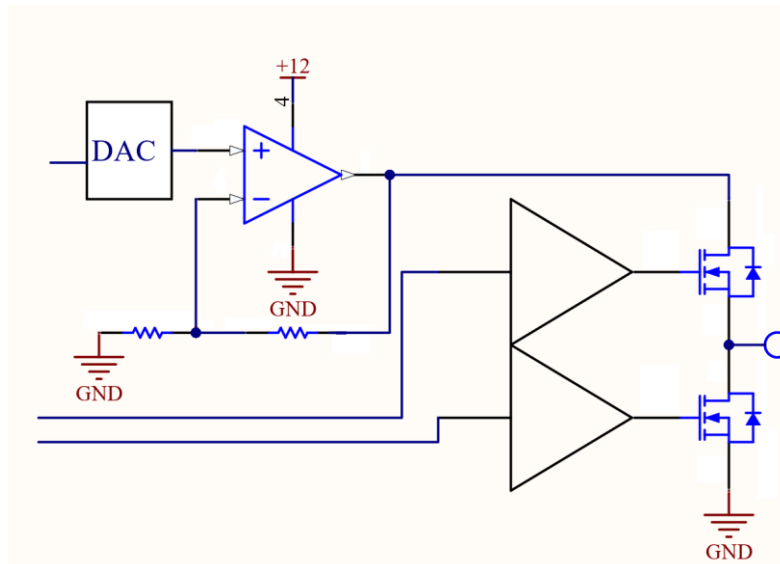
Obrázek 7: Blokové schéma výstupního bufferu pro sběrnici Manchester při použití výkonového zesilovače jako zdroje výstupního signálu

Cílem obou předchozích případů bylo vyhnout se problematice MOSFET polomůstků. Po analýze očekávaných problémů a konstrukční náročnosti předchozích případů však byla tato varianta vybrána jako potenciálně nejslibnější. Jedná se o klasické zapojení polomůstku se dvěma MOSFET tranzistory s N kanálem.

Za předpokladu, že dokážeme každý z tranzistorů budit samostatně, lze na výstupu dosáhnout všech tří stavů. Úbytek na koncovém stupni daný odporem sepnutého



tranzistoru a procházejícím proudem je typicky velmi malý a lze ho zanedbat. Díky tomu lze jako zdroj napájení výstupu použít relativně pomalý zdroj napětí, který nemusí mít zpětnou vazbu připojenou až na samotný výstup. Pro většinu aplikací by stačilo pevné napájení z 3,3 V nebo 5 V stabilizátoru, avšak při požadavku na proměnné logické úrovně byl zvolen opět výkonový zesilovač.



Obrázek 8: Blokové schéma výstupního bufferu pro sběrnici Manchester při použití polomůstku jako zdroje výstupního signálu a výkonového zesilovače pro jeho napájení

2.4 Výběr výkonových operačních zesilovačů

Ve vyvíjeném zařízení je nutné použít dva rychlé výkonové operační zesilovače. OZ U13 (viz schéma příloha 2) slouží pro napájení testované součástky. Zde se očekává relativně malá statická spotřeba, řádově nižší desítky miliampér. Problematický je zejména dynamický proud při náběhu napájení. Předpokládá se postupný lineární náběh napájení s programovatelnou strmostí i při kapacitním zatížení. Zátěž tedy tvoří napájená součástka s relativně stálým proudovým odběrem a uvažovaný filtrační kondenzátor 100 nF – 1 μF. Dosazením původní požadované doby náběhu 1 μs při napětí 5 V a kapacitě 1 μF do vzorce

$$i = C \times \frac{du}{dt} \quad (\text{Rovnice 1})$$

získáváme požadovaný proud 5 A. Z této značné hodnoty proudu již začala být patrná obtížná realizovatelnost požadavku. Problematickými se v této situaci stávají zejména



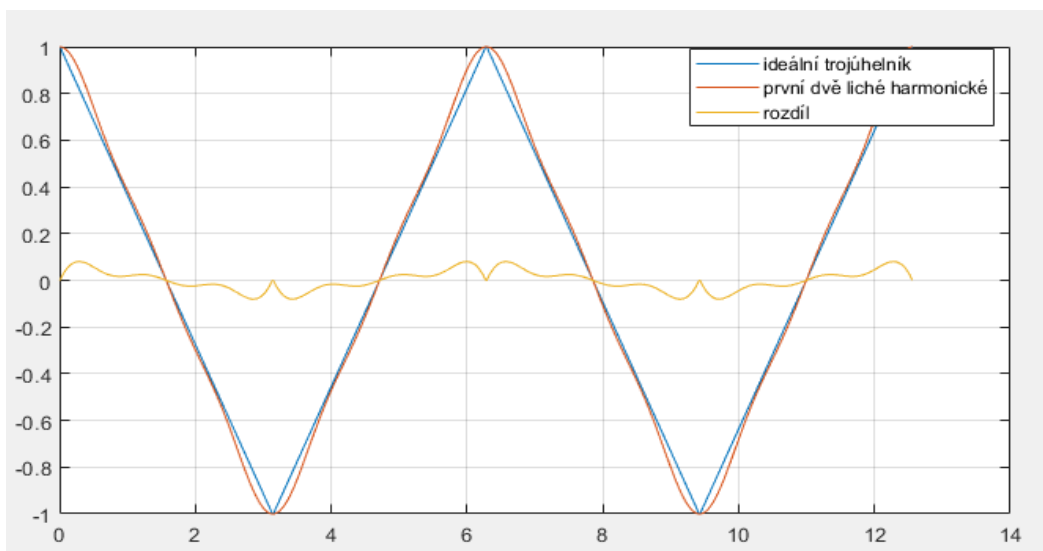
i parazitní indukčnost a elektrický odpor vedení. (Z důvodu kompatibility je v plánu zachovat stávající připojení cca 10 cm plochým kabelem s velmi slabými žilami.) Za těchto okolností byl požadavek přehodnocen a blíže neupřesněn s tím, že vyplyne z vlastností použitého zesilovače. Očekával se proud v rozsahu cca 0,5-1 A.

Druhý operační zesilovač slouží pro napájení výstupu sběrnice Manchester. Zde je nezbytné dosáhnout dostatečně malého výstupního odporu, aby nedocházelo k nedodržení logických úrovní při proudech do cca 100 mA. Nejhorším očekávaným scénářem je použití 3,3 V logiky, tedy logické úrovně 0 s napětím pod 0,3 V. Z Ohmova zákona získáváme maximální možný odpor výstupu

$$R_i = \frac{U}{I} = \frac{0,3 \text{ V}}{0,1 \text{ A}} = 3 \Omega. \quad (\text{Rovnice 2})$$

(Připomeňme, že současné řešení obsahuje na výstupu předřadný rezistor 10 Ω .) Tato hodnota se musí rozdělit mezi výstupní polomost, výkonový zesilovač a parazitní impedance. Výstupní impedance operačních zesilovačů je v ideálním případě velmi malá a kompenzovaná zpětnou vazbou. Reálně se ovšem výrazně projevuje při výstupním napětí blízkém napájecímu.

V obou případech očekáváme zesílení přibližně 4 V/V. (Výstup DAC z MCU maximálně 3,3 V, maximální výstupní napětí v rozsahu 10-12 V). V případě napájení testované součástky se v ideálním případě chceme na výstupu přiblížit trojúhelníkovému signálu o frekvenci 500 kHz. Z Fourierovy transformace signálu lze odhadnout, že nutná



Obrázek 9: Ilustrace zkeslení trojúhelníkového signálu při složení pouze z prvních dvou lichých harmonických. Generováno programem MATLAB R2020a



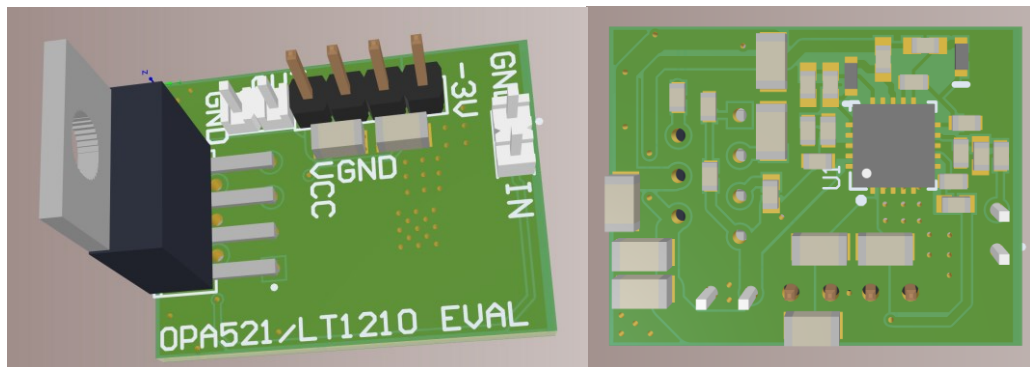
šířka pásma by měla být alespoň $5\times$ vyšší. (Signál obsahuje první dvě liché harmonické.) Tím byl získán očekávaný součinitel zesílení a šířky pásma. ($GBW = 10 \text{ MHz}$) Při náběhu napájení mírné nelinearity nejsou příliš podstatné.

Výběr zesilovačů s těmito parametry je velmi omezený. Výše zmíněné výpočty plnily účel odhadu, který reflektuje spíše nabídku na trhu než ideální stav. (Jednalo se tedy spíše o stanovení absolutního minima než o ideální parametry.) Podstatná je i stabilita s kapacitní zátěží. Pro příklad uvedu několik uvažovaných variant.

Zesilovač ADA4870 nabízí velmi dobrou šířku pásma 52 MHz. Proudový limit až 1,2 A a rychlost přeběhu 2500 V/us také vyhovují. Důvodem pro vyřazení z výběru byl požadavek výrobce na přidání sériového rezistoru k výstupu, což je pro tuto konkrétní aplikaci nežádoucí. (Jedná se o jednotky ohmů.) [9] Z nabídky firmy Analog Devices stojí za zmínku dále zesilovač s omezením výstupního proudu LT1970A. U něj po podrobnějším studiu dokumentace lze zjistit šířku pásma pro plný výstupní výkon pouhých 11 kHz a nízkou rychlost přeběhu. [10]

Jako velice nadějný se jevil linkový budič OPA521 od Texas Instruments. V dokumentaci je výrobcem značen symbolem operačního zesilovače, ale pravděpodobně se jedná o komplexnější obvod. Dle dostupných informací by šířka pásma měla dosahovat až 3,7 MHz při zesílení -7 V/V , což je také v absolutních hodnotách nejnižší zesílení, při kterém je zesilovač stabilní. Celý obvod je uzpůsoben pro buzení reaktivních zátěží a velký výstupní proud až 2,5 A. Výhodou je také relativně příznivá cena. V pouzdru jsou již integrované zpětnovazební rezistory pro zesílení -7 V/V s možností ho externím rezistorem zvýšit. [11] Pro potenciálně zajímavé vlastnosti byla vytvořena testovací deska s neinvertujícím zapojením, které v dokumentaci výrobce není blíže specifikováno. Zapojení této desky vycházelo ze symbolického značení vnitřního zapojení v katalogovém listu. Měření místo očekávaného zesílení $+7 \text{ V/V}$ vykazovala hodnoty v okolí 1000 V/V, ačkoliv mělo být rezistory ve zpětné vazbě omezeno a správnost zapojení byla několikrát kontrolována. Zjištěný fakt bohužel prakticky znemožňuje použití v této aplikaci, protože by bylo nutné dělit vstupní signál na zhruba tisícinu jeho původní velikosti. Podobné děliče jsou sice realizovatelné, avšak velice náchylné na šum a další faktory podstatně ovlivňující kvalitu signálu.





Obrázek 10: Testovací deska pro operační zesilovače LT1210 a OPA521 (pohledy z obou stran PCB)

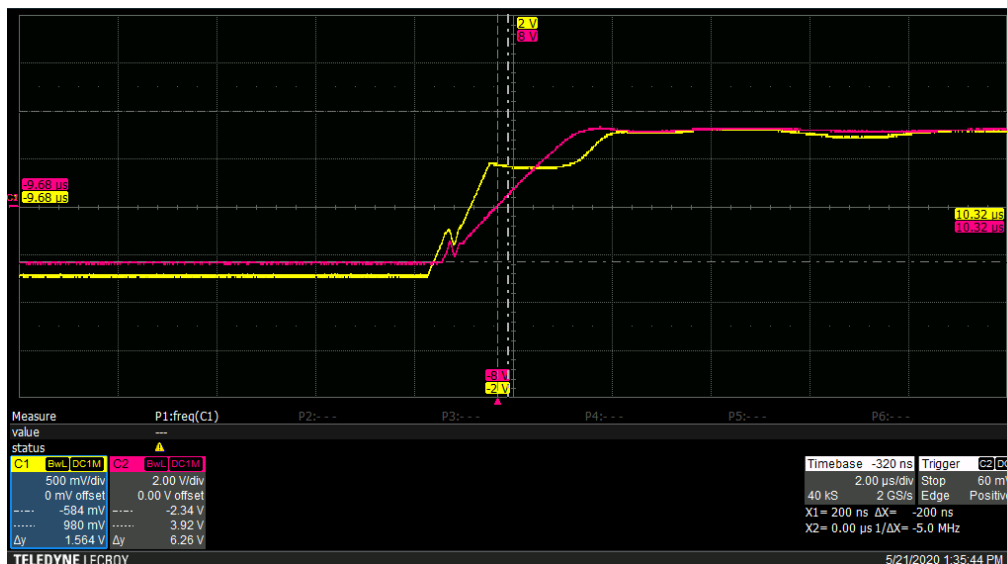
Pro konečné řešení byl vybrán výkonový operační zesilovač s proudovou zpětnou vazbou LT1210 od firmy Analog Devices. Opět se jedná o obvod specializovaný zejména na buzení kapacitních zátěží s udávaným výstupním proudem 1,1 A, dobrou rychlostí přeběhu 900 V/us a schopností dodávat značný výkon i při frekvencích přes 1 MHz. Pin 3 u výkonových pouzder umožňuje připojení kondenzátoru pro kompenzaci překmitů v přechodové charakteristice při značné strmosti zesilovaného signálu a kapacitní zátěži. Jak je u rychlých výkonových zesilovačů relativně typické, jedná se o OZ s proudovou zpětnou vazbou. Z hlediska návrhu toto relativně ztěžuje výpočty externích součástek ve zpětné vazbě. Zapojení je značně citlivé na hodnoty zpětnovazebních rezistorů, přičemž podstatný není jen poměr vytvořeného děliče, ale i absolutní hodnoty jednotlivých odporů. Mezi výstupem a vstupy nesmí být, na rozdíl od běžných operačních zesilovačů, použit kondenzátor, protože taková situace by velmi pravděpodobně vedla k nestabilitě. Bohužel výrobce neuvádí exaktní metody výpočtů, ale doporučuje spíše empirické zjištění hodnot na základě odhadu a vzorových zapojení. [12] Požadované zesílení pro tuto aplikaci je 4 V/V, což odpovídá poměru zpětnovazebních rezistorů 3:1. V testovacím zapojení vedlo použití rezistorů 300 Ω a 100 Ω k rozkmitání a enormnímu nárůstu spotřeby až na vyšší stovky miliampér s nezatíženým výstupem. Zvětšení obou hodnot desetkrát již dalo použitelné stabilní zapojení. Zapojení se také několikrát v průběhu testování rozkmitalo připojením druhého koaxiálního kabelu na vstup signálu. (Jednalo se o rozbočení signálu na vstup osciloskopu.) Nutností se stalo používání kvalitní pasivní sondy 10:1 se zemnicím kontaktem v podobě pružinky, tedy velice blízko pinu zesilovače. Během standardního provozu naštěstí k problémům nedocházelo ani při různých teplotách zesilovače. Na snímku z osciloskopu níže [Obrázek 11] je zachycena



odezva zesilovače se zátěží $1\mu\text{F}$ na obdélníkový signál s náběžnou hranou o délce 500 ns. Kanál 1 (žlutá) reprezentuje výstupní signál, generátor funkcí je připojen na kanál 2. Dochází zde k viditelnému zkreslení, ale podstatné je, že nedochází k překmitům. Toto měření demonstruje prakticky nejhorší očekávaný případ, kdy není výstup zatížen žádnou rezistivní zátěží, ale pouze kapacitou a má reagovat na velkou změnu vstupu. Se snižující se kapacitou a/nebo zpomalující strmostí hrany se signál přibližuje ideálnímu stavu. Pro porovnání je uveden ještě průběh se zátěží 100 nF a dobou náběhu 1000 ns . [Obrázek 12]



Obrázek 11: Výstupní signál zesilovače LT1210 (C2 – růžová) a vstupní signál (C1 – žlutá) při zatížení výstupu kapacitou 100 nF



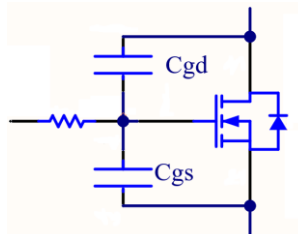
Obrázek 12: Výstupní signál zesilovače LT1210 (C2 – růžová) a vstupní signál (C1 – žlutá) při zatížení výstupu kapacitou $1\mu\text{F}$



2.5 Konstrukce výstupního polomůstku

2.5.1 Problematika buzení MOSFET polomůstků

MOSFET tranzistory jsou ovládány napětím na řídicí elektrodě (gate). Ve statickém stavu je proud touto izolovanou elektrodou zanedbatelný a tranzistor lze spínat běžnými signály i s relativně velkou impedancí, typicky logickými výstupy. Problematická situace nastává při požadavku na rychlou hranu a/nebo na vysokou spínací frekvenci. Zde se uplatní parazitní kapacity (a z toho vyplývající náboje) mezi gate-source a gate-drain. Při každém změně stavu tranzistoru je nutné tyto kapacity nabít/vybit a je třeba značný pulzní proud i v řádu jednotek ampér. Náboje se dle typu tranzistoru pohybují obecně mezi jednotkami až stovkami nanocoulombů a spínací časy typicky v desítkách nanosekund.



Obrázek 13: Schéma parazitních kapacit a odporů MOSFET

Budič určený pro rychlé spínání musí mít výstup s co možná nejrychlejším časem přeběhu pro omezení času, kdy tranzistor není plně sepnutý a výkonová ztráta na něm je značná. Zároveň výhodou tvoří buzení řídicí elektrody co nejvyšším možným napětím, protože se vzrůstajícím ovládacím napětím klesá odpor R_{DS} a opět klesají ztráty.

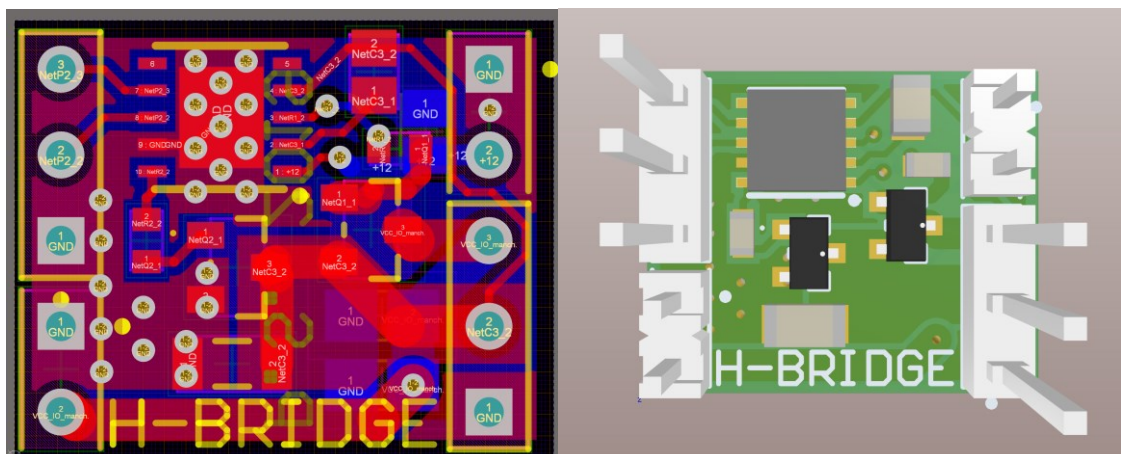
U konstrukce polomůstků se v praxi volí jedna ze dvou základních topologií. Můžeme jej složit z jednoho tranzistoru s kanálem N a druhého s kanálem P, případně ze dvou tranzistorů typu N. První varianta má velkou výhodu ve způsobu řízení – nepotřebuje napětí vyšší, než je napájecí. Problematictější je přítomnost MOSFET s kanálem P, který typicky při stejné ceně či velikosti pouzdra má násobně horší parametry. V moderních řešeních polomůstků tendence směřují spíše k použití dvou tranzistorů N. Zde se již prakticky nelze vyhnout komplexnějšímu budiči s integrovanou nábojovou pumpou, protože horní z tranzistorů potřebuje k sepnutí napětí vyšší, než je napětí na výstupu po sepnutí, tedy o U_{GS} více než napájecí napětí můstku. Nábojové pumpy a výstupní budiče v těchto obvodech jsou bohužel zanedbatelným zdrojem



elektromagnetického rušení a zejména z tohoto důvodu je nutné věnovat velkou pozornost návrhu daných částí desky.

U polomůstků i plných můstků je jedním z nekritičtějších problémů při návrhu riziko sepnutí obou tranzistorů a tím pádem zkratování napájení. Vzhledem k velmi malému odporu tranzistorů v sepnutém stavu mohou být kritické i extrémně krátké okamžiky. Pro eliminaci je nutné vkládat do řízení můstku dead-time, kdy jsou oba tranzistory vypnuté. Jeho nastavení naráží na problém, že je často závislý na dalších parametrech, zejména teplotě. Existují budiče, které toto dokážou řešit automaticky detekcí nulového proudu protékajícího jednotlivými tranzistory. Bohužel nalezená existující řešení byla pomalejší, než je v této aplikaci žádáno, takže byl zvolen budič FAN8811, který obsahuje dva oddělené budiče (jeden low-side a jeden high-side) a řešení problematiky dead-time nechává na nadřazeném řídicím obvodu. [13] (Ještě je zde nutno podotknout, že budič musí umět oba tranzistory vypnout a uvést výstup do stavu vysoké impedance, což zvládá jen malý zlomek budičů polomůstků.)

S tímto integrovaným obvodem byla vytvořena zkušební deska. Při poslední oponentuře návrhu finální desky byl na trhu objeven zcela nový integrovaný obvod, který umožňuje tři stavy výstupu můstku, řeší automatický dead-time a dosahuje žádaných rychlostí. Z tohoto důvodu byl návrh částečně přepracován, budiče polomůstku mohou být osazeny variantně a očekává se použití spíše nového obvodu LTC7060. Od něj se očekává, že odstraní nutnost kalibrace dead-time pro každý vyrobený kus a tím zvýší spolehlivost. [14] Bohužel díky čerstvému uvedení na trh je zatím u velkých distributorů



Obrázek 14: Návrh zkušební DPS s polomůstkem buzeným obvodem FAN8811



součástek nedostupný a do okamžiku odevzdání této práce nebyl objednáno. Z tohoto důvodu bylo finální zprovoznění sběrnice Manchester odloženo, protože vlastnosti tohoto budiče by do budoucna představovaly značný přínos a provizorní řešení s FAN8811 by bylo prakticky zbytečné. Dosažené výsledky se zkušební deskou FAN8811 jsou vedeny v příloze [1].

2.6 Napájení

2.6.1 Požadavky na napájení

Návrh elektroniky si vyžádal použití součástek s různými nároky na napájecí napětí. Těmto požadavkům je nezbytné přizpůsobit systém napájení, který zároveň bude pro obsluhu uživatelsky přívětivý.

Potřebná napětí a proudy jsou:

- +10 V až +15 V pro výkonové operační zesilovače (proud dán zejména výstupním proudem a spotřebou OZ, přibližně do 200 mA),
- záporné napájení zesilovačů, přibližně -3,3 V (proud lze očekávat přibližně stejný jako u kladného napájení OZ),
- napájení dalších analogových a digitálních obvodů napětími +3,3 V a +5 V (Nejvyšší spotřebu zde má vývojová deska/variantně osazený mikrokontroler. Přibližně do 500 mA.).

Napájení pouze z USB portu nepřicházelo v úvahu. Dle výrobce může samotná vývojová deska STM32H757XI-EVAL potřebovat proud až 300 mA. [8] Nelze se spoléhat na připojení k USB 3.2 portům poskytujícím až 900 mA [15], tudíž za maximální limit musí být uvažováno 500 mA dle standardu USB 2.0 [16]. Reálně by toto řešení umožňovalo dodávat nejvýše 200 mA/5 V, přičemž musíme dále započítat napěťové ztráty na USB kabelu, u něhož se v praxi velmi často setkáváme s nevalnou kvalitou. Aplikace bude vyžadovat napětí větší než 10 V (dáno nutností napájecího napětí testované součástky až přes 8 V, ztrátou na budiči a rezervou). Nutností by byl step-up měnič, což ovšem i při dobré účinnosti znamená maximální dodávaný proud pod 100 mA.



Z hlediska bezpečnosti se v této variantě nepočítá se síťovým zdrojem přímo na desce a pro napájení byl zvolen běžný spínaný adaptér 12 V/1 A se soušým konektorem 5,5/2,1 mm. Tím eliminujeme potřebu step-up měniče pro operační zesilovače.

Vstupní napájení je vedeno přes ochranu proti přepólování (schottkyho diodu) a vratnou polymerovou pojistkou na 750 mA. Ačkoliv možnost záměny polarity u takto běžného konektoru nemusí být na první pohled zřejmá, jedná se o nezbytný prvek. Bohužel se v praxi lze setkat s adaptéry, které obsahují pouze 50 Hz síťový transformátor bez usměrňovače.

2.6.2 5V měnič

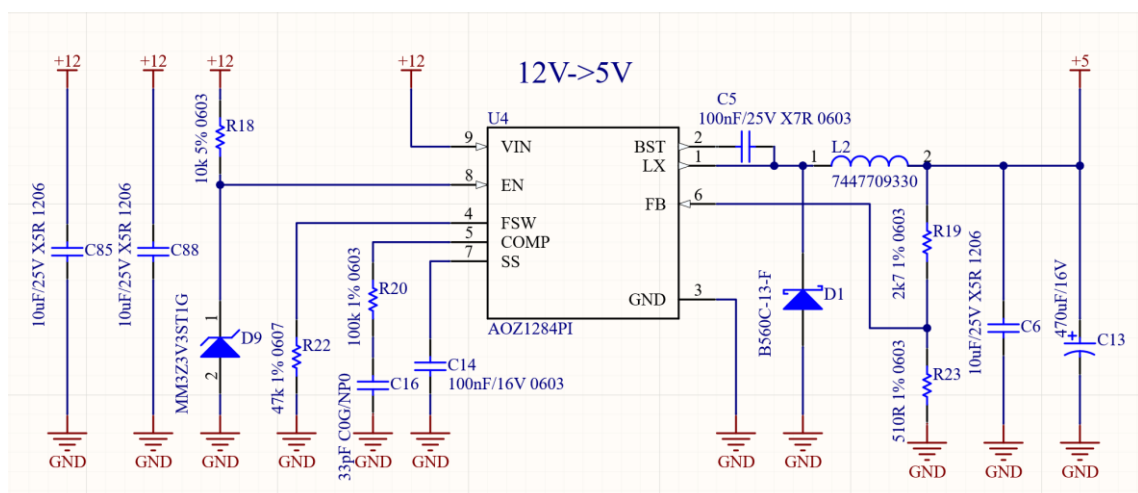
Nejblíže vstupnímu konektoru se nachází step-down měnič pro +5 V větev. Výběr konkrétního typu není nijak kritický. Pro dobrou dostupnost, postačující spínací frekvenci a naddimenzovaný maximální spínaný proud byl vybrán obvod AOZ1284PI. Zapojení odpovídá referenčnímu schématu z katalogového listu [17].

Ze vzorce (Rovnice 3) poskytovaného výrobcem pro výpočet výstupního napětí

$$V_O = 0,8V \times \left(1 + \frac{R_{19}}{R_{23}}\right) \quad (\text{Rovnice 3})$$

byl vyjádřen poměr výstupních odporů (Rovnice 4).

$$\frac{R_{19}}{R_{23}} = \frac{V_O}{0,8V} - 1 \quad (\text{Rovnice 4})$$



Obrázek 15: Schéma step-down měniče napětí s obvodem AOZ1284



Pro konkrétní případ $V_0 = 5V$ vychází $\frac{R_{19}}{R_{23}} = 5,25$. Z běžné řady rezistorů velmi dobře odpovídá dvojice $R_{19} = 2,7 k\Omega$ a $R_{19} = 510 \Omega$. Poměr $\frac{R_{19}}{R_{23}}$ se nepatrně zvedne na 5,294 V a předpokládané výstupní napětí na 5,035 V. Ve skutečném zapojení ve vyvíjeném výrobku bylo změřeno 5,048 V.

Náběh výstupního napětí byl zpomalen integrovaným soft-start obvodem. Hlavní motivací k jeho využití bylo snížení proudové špičky při připojení napájení.

Princip Soft-startu je relativně prostý. Na odpovídající pin integrovaného obvodu je zapojen vnitřní zdroj proudu 2,5 μA . Po vzrůstu napájení nad 3 V dříve zmíněný proud začne nabíjet připojený externí kondenzátor, na němž postupně přibližně lineárně vzrůstá napětí. To je přivedeno jako reference na vnitřní chybový zesilovač. Dokud napětí na kondenzátoru C14 nevzroste nad 0,8 V, má v regulační smyčce vyšší prioritu a úměrně s ním plynule roste. Výpočet žádané hodnoty lze snadno odvodit ze vzorce pro elektrické napětí při nabíjení kondenzátoru zdrojem konstantního proudu.

$$U = \frac{I \times t}{C} \quad (\text{Rovnice 5})$$

Dosazením známých hodnot a úpravou získáváme vzorec pro potřebné kapacity kondenzátoru C14:

$$0,8 [V] = \frac{2,5 \times 10^{-6} [A] \times t}{C} \quad (\text{Rovnice 6})$$

$$C = \frac{2,5 \times 10^{-6} [A] \times t}{0,8 [V]} \quad (\text{Rovnice 7})$$

Zvolením velmi konzervativní hodnoty postupného náběhu napětí 30 ms a dosazením do vzorce (Rovnice 7) byla určena potřebná kapacita C14 na 93,75 nF. Z běžné řady kapacit kondenzátorů nejvíce odpovídá 100 nF. Výstupní kondenzátor 1000 μF se nabíjí průměrným proudem přibližně

$$I_0 = \frac{dQ}{dt} \cong \frac{C_{OUT} \times U_{OUT}}{t_{SS}} = \frac{1000 \mu F \times 5 V}{0,030 s} = 167 mA. \quad (\text{Rovnice 8})$$

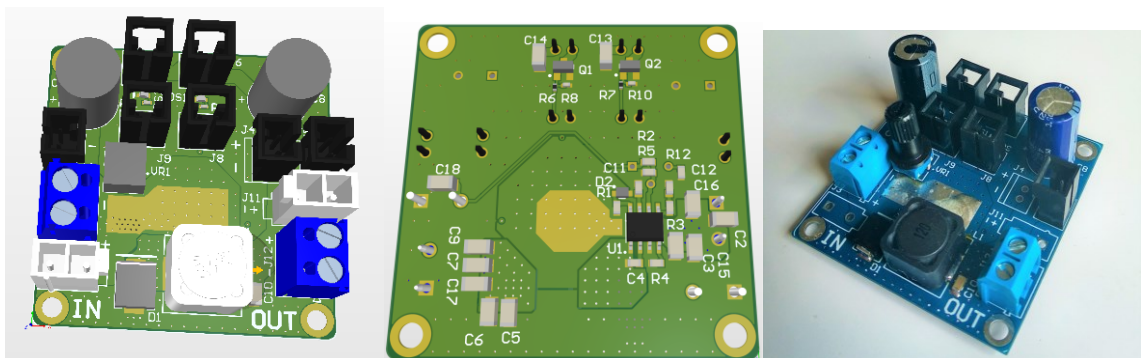
(Výpočet proudu byl značně zjednodušen, nejedná se o kritický parametr pro tuto aplikaci.)

Prakticky u všech spínaných měničů je podstatné najít kompromis mezi spínací frekvencí, velikostí výstupního filtru a tepelných ztrát spínacího prvku. Vyšší frekvence umožňuje použít výrazně menší indukčnost cívky a kapacity kondenzátorů na výstupu



i vstupu, což snižuje velikost měniče, cenu a zvlnění výstupu. Naopak se více uplatňují ztráty při spínání, integrovaný tranzistor se více zahřívá a celý design je náchylnější na dodržení konstrukčních zásad. (Může docházet ke zvyšování EMI, je nutné použít kvalitní blokovací MLCC na vstupu i výstupu, délky cest je nutné minimalizovat, trasa zpětné vazby by neměla být vedena pod cívkou a velkou výhodou tvoří použití rozlité mědi – typicky GND – pod celým měničem v jedné z vrstev.) AOZ1284PI dokáže pracovat v rozsahu 0,2-2 MHz. Jako kompromis byla zvolena přibližně polovina maximální frekvence – cca 1 MHz. V dokumentaci výrobce zmiňuje pro tuto frekvenci doporučený rezistor R22 o odporu 46,6 k Ω . [17] Použitím blízké standardní hodnoty 47 k Ω dojde pouze k zanedbatelnému poklesu.

Pro ověření schématu a vypočtených hodnot součástek byla vyrobena zkušební deska. Na ní bylo otestováno i snížení výrobcem doporučené indukčnosti 33 μ H (v ukázkovém schématu bez hodnot ostatních součástek) až na 12 μ H při zátěži 1 A a vstupním napájení 12 V. Deska bude v budoucnu využita i pro jiné účely, proto disponuje větším počtem konektorů a dvěma tranzistory N-MOSFET pro spínání připojené zátěže.



Obrázek 16: Návrh zkušební PCB s měničem AOZ1284PI a osazený prototyp

2.6.3 Invertující měnič

Dosažení výstupního napětí blízkého zemi vyžaduje při použití výkonových zesilovačů, které nemají rail to rail výstup, záporné napájení. Pro minimalizaci výkonové ztráty je nezbytné volit napětí s co nejnižší dostačující hodnotou. Z toho důvodu nebylo zvoleno klasické symetrické napájení ± 12 V, ale záporná větev dosahuje -3,6 V.



U zvoleného step-down obvodu LM2596S-ADJ výrobce uvádí referenční schéma pro invertující měnič. [18]

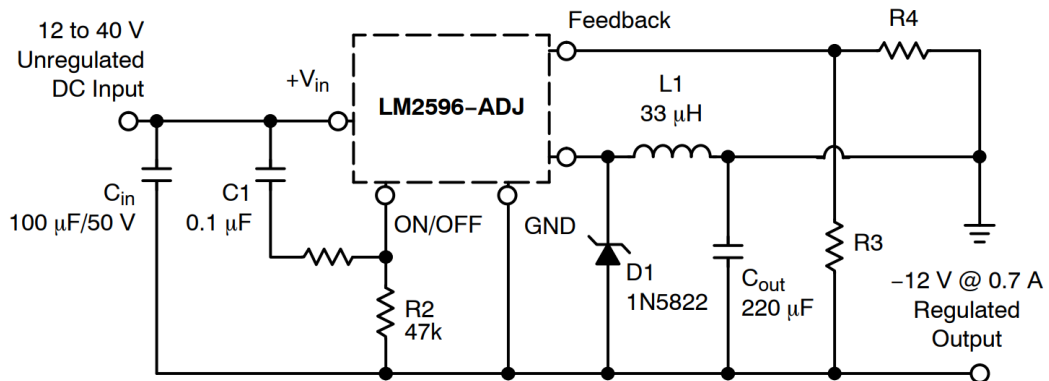


Figure 23. Inverting Buck-Boost Develops -12 V

Obrázek 17: Schéma doporučeného zapojení LM2596-ADJ pro invertující měnič napětí [18]

V invertujícím režimu je zem měniče připojena na záporný výstup, jenž slouží jako reference pro ostatní vstupy a zpětnou vazbu. Cívka je zapojena mezi spínaný výstup a zem a dioda D1 je katodou spojena se zemí. Při startu měnič sepne výstup, čímž dojde k postupnému nárůstu proudu cívkou L1 do země. Proud je omezen vnitřní limitací na přibližně 4,5 A nebo maximální dobou sepnutí, vyplývající z pracovní frekvence. Po rozeptnutí výstupního tranzistoru dochází v cívce k otočení směru proudu a nashromážděná energie se přes diodu D1 přesunuje do výstupní kapacity. Dokud nedojde k nárůstu výstupního napětí na pracovní hodnotu danou děličem zpětné vazby, je odebíraný proud značný.

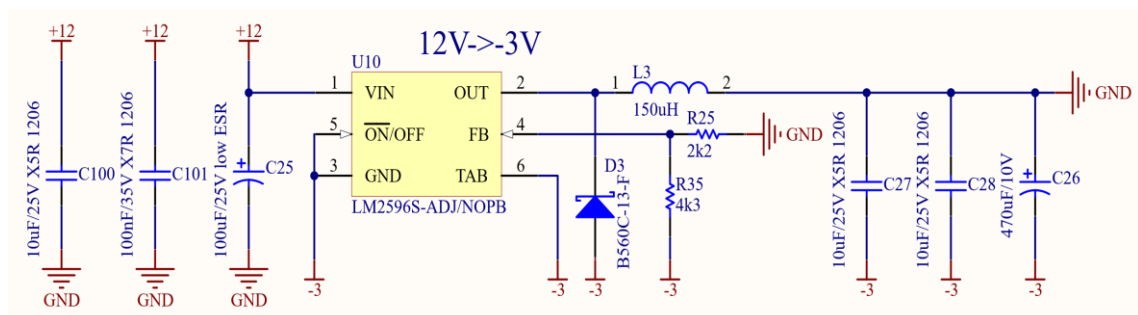
Kondenzátor mezi vstupním napájením a výstupem vytvoří v době změny napájení kapacitní napěťový dělič. Výstup se díky tomu nabije v poměru

$$\frac{U_{OUT}}{U_{IN}} = \frac{C_{IN}}{C_{OUT}} \quad (\text{Rovnice 9})$$

a při správném poměru kapacit dojde k výraznému zredukování energie, kterou pro start musí dodat cívka. V tomto zapojení výrobce udává typickou proudovou špičku 4,5 A po dobu 2 ms. Při přítomnosti obvodu pro opožděné zapnutí ji obvykle zvládá kompenzovat vstupní kondenzátor.



V současném zapojení je pro správnou funkčnost třeba připojit zdroj se schopností dodat dostatečný proudový impulz. Měla by vyhovovat většina spínaných napájecích adaptérů (které již z principu mají na výstupu velkou filtrační kapacitu). Nutnou podmínkou je jejich připojení nejdříve do sítě a až teprve pak k zařízení. V opačném případě by mohl být nárůst napětí na jejich výstupu při zátěži invertujícím měničem příliš pomalý. Při nedodržení daného požadavku měnič značně zvýší spotřebu obvodu. V průběhu ožiování desky byl pro napájení použit starší stabilizovaný laboratorní zdroj Tesla BS 554 s omezením proudu na maximálně 1 A. Při špatném startu mělo zařízení spotřebu 1 A a vzhledem k poklesu napětí zdroje z 12 V na jednotky voltů lze usuzovat, že odebíraný proud se silnějším zdrojem by mohl být i značně vyšší. Připojení kondenzátoru 1000 μF přímo na svorky zdroje problém vyřešilo. (Zvedla se energie dodaná zdrojem před přechodem do režimu zdroje proudu 1 A. Stále platí pravidlo nejdříve zapnout zdroj a až poté do zapnutého zdroje připojit zařízení.) Zde můžeme vidět potenciální přetížení u použití běžného spínaného adaptéru 12 V/1 A při zapojení nejdříve do zařízení. V budoucnu bude nutné měnič kompletně přepracovat a na vstup napájení umístit vhodnější ochranu, než je současná polymerová pojistka.



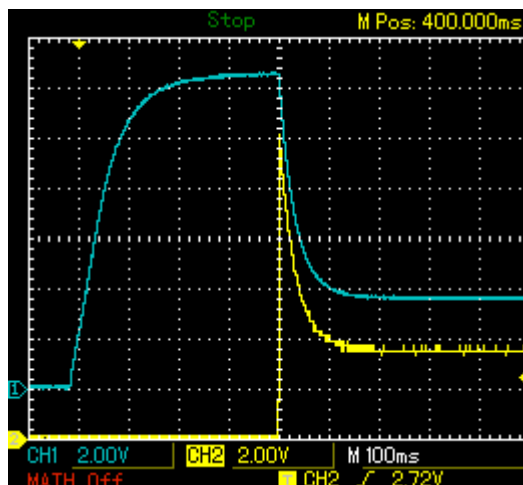
Obrázek 18: Schéma invertujícího měniče napětí v komunikační jednotce

2.6.4 Řešení problémů se záporným měničem

Pro omezení rizika zničení zdroje byla navrhnutá deska sloužící pro podstatné zvýšení proudového impulzu při připojení napájení. Základním principem je opožděné připojení nabitých kondenzátorů se značnou kapacitou k hlavní desce.



Výsledky testování pomocného obvodu lze vidět na obrázku [Obrázek 21]. Napájecí zdroj měl nastavené proudové omezení na přibližně 0,5 A a předchozím testováním bylo ověřeno, že disponuje pouze minimální, pro tyto účely zanedbatelnou, kapacitou na výstupu. (Což znamená velmi rychlý přechod z režimu zdroje napětí na zdroj konstantního proudu.) Na pomocný obvod byla připojena zátěž $5\ \Omega$ simulující odběr 2,4 A při provozním napětí 12 V. Modrá stopa na snímku z osciloskopu zachycuje průběh napětí na elektrolytických kondenzátorech C1 a C2, žlutá pak výstupní napětí. Bylo dosaženo zpoždění 420 ms od připojení napájení do sepnutí výstupu. Dále je patrné, že ještě dalších 100 ms se filtrační kondenzátory podílely na napájení výstupu (napětí výstupu bylo vyšší než napětí dané součinem proudu z laboratorního zdroje a elektrického odporu zátěže). Zároveň od okamžiku připojení tohoto modulu k výrobku nenastal problém se startem záporného měniče. Lze předpokládat, že s valnou většinou spínaných napájecích adaptérů bude situace lepší, protože obvykle nedisponují takto rychlým omezením proudu. Zároveň však nelze brát řešení zcela univerzálně, protože odebíraný proud ze zdroje při startu měniče záleží zejména na poměru impedancí kondenzátorů na soft-start modulu a adaptéru. Závěrem je nutné podotknout, že toto řešení je koncipováno jako primitivní a dočasné, které ušetří čas, práci a materiál oproti tvorbě celého nového prototypu. (Od něhož se navíc očekává podstatné přepracování i dalších částí.)



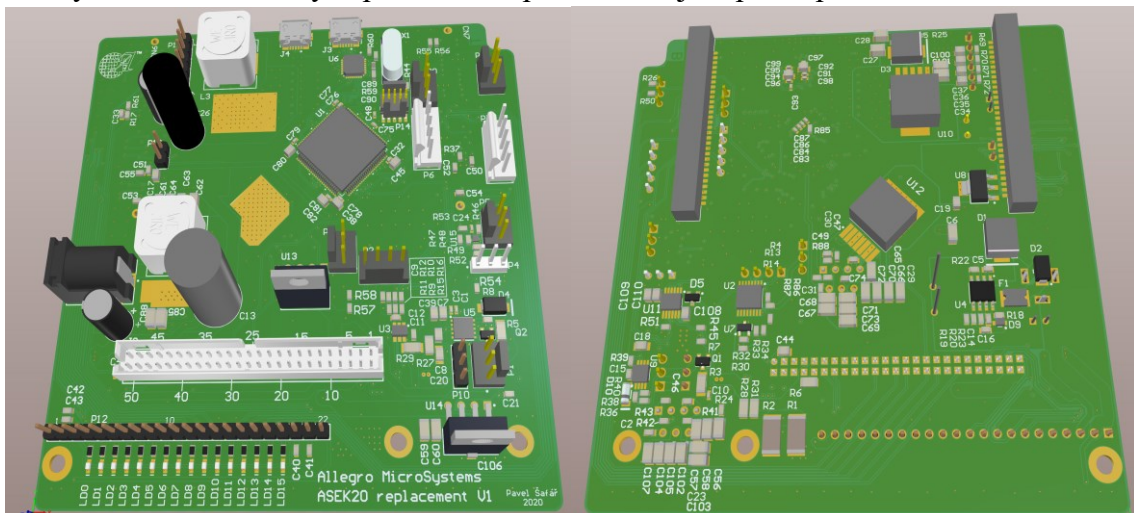
Obrázek 21: Průběh napětí na kondenzátorech C1 a C2 (CH2 - žlutá) a na výstupu modulu (CH1 - modrá)



2.7 Rozšiřující deska

Všechny výše zmíněné části byly integrovány na jednom rozšiřujícím modulu pro vývojovou sadu STM32H757XI-EVAL, jak je patrné z obrázku [Obrázek 22]. Ten byl koncipován jako čtyřvrstvá deska plošných spojů, vytvořená v programu Altium Designer 20, což oproti dvouvrstvé usnadňuje návrh více možnostmi křížení cest, a hlavně zlepšuje parazitní vlastnosti vedení napájení (zejména země) použitím velkých ploch ve vnitřních vrstvách. Preferována je technologie plošné montáže s výjimkou konektorů a výkonových zesilovačů. Rozměry byly dány do značné míry použitou vývojovou deskou, kde bylo nezbytné vzít v úvahu umístění mechanicky rozměrných prvků a konektorů, na než se modul připojuje. Všechny podstatné signály byly vyvedeny na konektor kompatibilní s ASEK-20 a také na pinové lišty. Současná koncepce základní desky a vývojového modulu není ideální pro optimalizaci vedení rychlých signálových cest. Značnou část návrhu (na zakoupené desce) není možné ovlivnit a plná optimalizace se předpokládá až v případných dalších verzích.

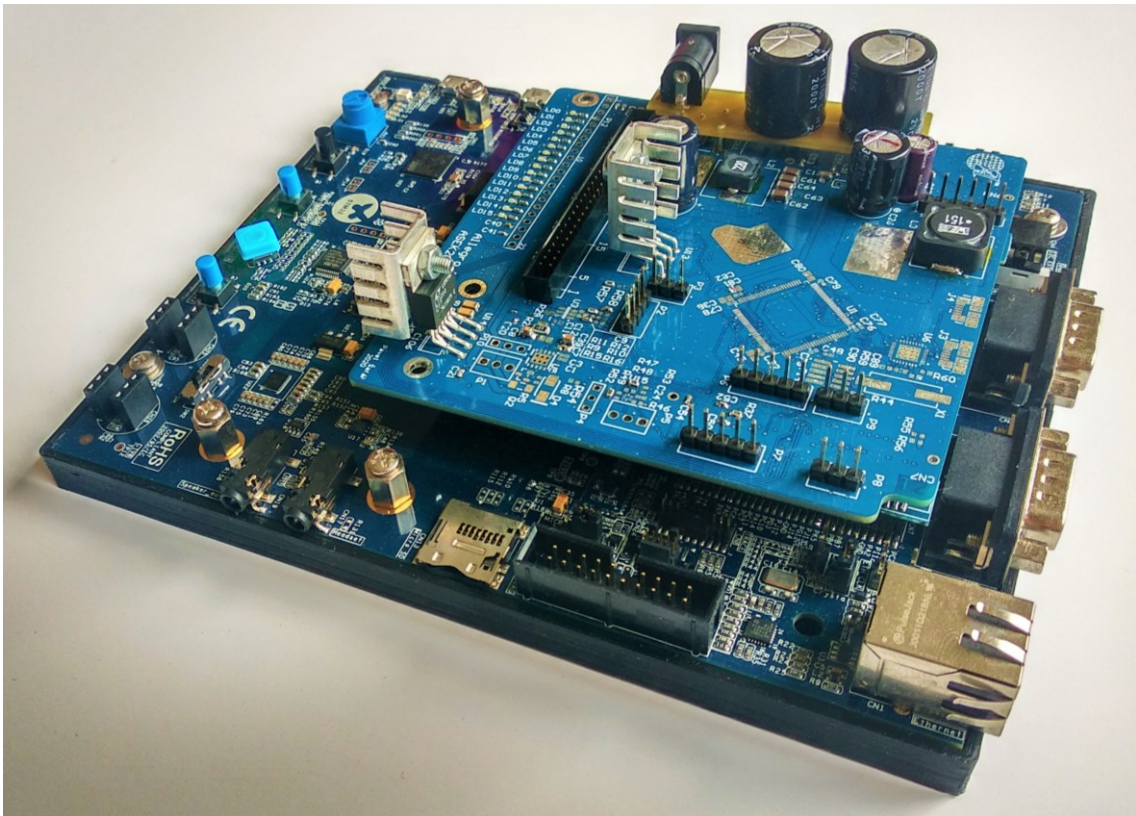
Po první fázi rozmístění funkčních bloků na prostoru desky zbylo ve střední části celkem značné množství volného místa. To bylo využito k umístění mikrokontroléru STM32H7x3VIT a USB 2.0 PHY čipu pro budoucí použití bez vývojového kitu. (Písmeno X v označení MCU značí kompatibilitu s více podobnými typy.) Jedná se o variantní osazení, kde piny procesoru jsou přímo spojené s konektory propojujícími obě desky. Modul s osazeným procesorem proto nelze již zpětně použít s deskou. Jsou zde



Obrázek 22: Vizualizace rozšiřující desky při osazení všech součástek (pohledy z obou stran)



značná omezení v podobě absence externí paměti RAM, ale i tak by mělo být zařízení při nejhorším srovnatelné s ASEK-20. Pro nenáročné aplikace, kde dochází k přenosu malých objemů dat, může osazení procesoru ušetřit přes 300 USD za relativně nákladnou vývojovou desku. Zároveň se jedná o příležitost vyzkoušet před případnou další verzí zapojení a layout vysokorychlostní sběrnice mezi MCU a USB PHY obvodem. V případě selhání USB 2.0 High-Speed komunikace vlivem chybného návrhu je možné využít záložní USB 2.0 FullSpeed na konektoru J4, kde je riziko chyby návrhu mnohem menší. Aktuální varianta je osazována po jednotlivých blocích, aby bylo umožněno jejich pečlivé vyladění. Dokončeny z podstatných částí byly měniče napětí a výkonové zesilovače. Realizace výstupního polomůstku byla odložena až do chvíle získání vzorků budičů LTC7060.



Obrázek 23: Komunikační jednotka (vývojová deska s nasazeným rozšiřujícím modulem)



3 Software a komunikace s PC

3.1 Návrh komunikačního protokolu

Protokol pro komunikaci s počítačem bylo nutné navrhnout s ohledem na značnou škálovatelnost funkcí do budoucna. V úvahu bylo nutno také vzít podporu ovladačů a zvyklosti pracovníků. Tomu asi nejvíce vyhovuje systém SCPI příkazů, jež je v současnosti ve firmě pro značnou část přístrojů využíván. SCPI příkazy podléhají standardizaci viz [20]. Nepočítá se zatím s plným souladem s normou kvůli zjednodušení parsování příkazů a tím zrychlení jejich vykonávání. Není například podporováno jejich řetězení na jednom řádku a zkracování klíčových slov je omezené. (Podporovány jsou typicky očekávatelné zkratky, například WRITE lze zkrátit na W, WR, ale již nelze použít WRI a WRIT.)

Jako příklad lze uvést postup při čtení dat z I²C teploměru LM75AD. Tučným písmem jsou uvedeny odesílané instrukce, standardním řezem písma hodnoty navrácené komunikační jednotkou. Velikost písmen je ignorována.

I2C1 : freq : 400k	- nastavení hodinové frekvence na 400kHz
400000	
I2C1 : freq?	- ověření hodinové frekvence, uvedeno pro ilustraci
400000	
I2C1 : DevAddr : 123	- výběr adresy zařízení na I ² C sběrnici
123	
I2C1 : MemAddr : 0	- výběr počáteční adresy dat v paměti zařízení
0	
I2C1 : Read : 2	- příkaz ke čtení 2B od nastavené počáteční adresy
24,128	- data v desítkové soustavě, oddělené čárkou

Komunikace probíhá přes rozhraní USB 2.0 High-Speed, v současnosti přes virtuální sériovou linku. Nastavení přenosové rychlosti na straně PC v konfiguraci sériového portu není podstatné, protože se jedná pouze o virtuální emulaci, a tedy díky přímému přenosu mezi MCU a PC nedochází ke konverzi na UART. Z hlediska



požadavků firmy by více vyhovovala implementace třídy USB TMC, používané u standardních měřicích přístrojů. V této verzi byla zavrhnuta zejména kvůli zrychlení vývoje. Přistoupením na kompromisní řešení bylo umožněno využít vyšších vrstev HAL pro STM32 od výrobce, což radikálně zjednodušilo vývoj. Třída TMC je určena spíše pro specializovaná zařízení, nikoliv pro spotřební elektroniku. Z tohoto pohledu je absence její podpory v HAL pro procesory STM32 celkem logická a očekávatelná. Virtuální sériový port by měl pro dlouhodobější testování výrobku v ostrém nasazení dostačovat. (Připomeňme, že se jedná i o současné řešení.) Při zjišťování datové propustnosti přenosem 4 kB bloků ASCII znaků bylo dosaženo hodnot okolo hranice 10 MB/s, což je sice relativně vzdálená hodnota od maxima, ale také mnohonásobně lepší než současná datová propustnost ASEK-20. (Hodnota byla zjištěna spočítáním bloků za dobu jedné sekundy. Test proběhl na běžném firemním notebooku na portu USB 3.1 Gen1.)

3.2 Software pro mikrokontroler

V současné verzi software implementuje základní funkce pro komunikaci s PC a se sběrnicemi I²C a SPI. V této konkrétní aplikaci není nutné optimalizovat spotřebu, takže taktování jádra procesoru a sběrnic bylo nastaveno blízko maximálních hodnot. Konkrétně jádro ARM Cortex M7 pracuje na frekvenci 400 MHz. Pomocné jádro Cortex M4 se v současnosti nevyužívá. V současné době není implementovaná sběrnice Manchester. Konfigurace systému hodinových signálů a periferních obvodů byla vytvořena v grafickém konfigurátoru integrovaném ve vývojovém prostředí STM32CubeIDE.

V hlavní smyčce programu dochází v každém cyklu k odeslání dat z výstupního bufferu (pokud obsahuje data), přijetí nových dat a následně dekodování a provedení instrukce. Odesílání dat ve funkci `int sendBuffer(void);` má omezen počet znaků, který se odesílá během jednoho průběhu smyčky. Pokud délka dat v bufferu překročí mez `BUF_OUT_MSG_LENGTH`, dojde k odeslání pouze tohoto množství dat a ke snížení hodnoty ukazatele. Ukazatel není nulován či snižován, pokud dojde k chybám při přenosu, což v dalším cyklu zapříčiní opakované odeslání. Postupné odesílání bufferu při velkých objemech dat v praxi zvyšovalo spolehlivost provozu tím, že počítač během vykonávání zbytku cyklu programu v MCU má čas na přijetí



a zpracování dat. Zároveň napůl asynchronní systém komunikace umožňuje rychlejší příjem nových instrukcí.

Při následném zpracování vstupního textového řetězce dochází ke stromovitému větvení. V prvních 100 znacích řetězce se vyhledá první klíčové slovo instrukce (typicky název periferie) dle které se program dělí. Tento systém umožňuje lepší strukturu kódu, ale především násobně rychlejší zpracování instrukce než při procházení všech variant parametrů. Implementace pro každou sběrnici je do značné míry specifická. U všech sběrnic lze nastavit frekvenci hodinového signálu. V případě I²C sběrnice je závislá zejména na parazitní kapacitě vedení. Tento jev je způsoben relativně propracovanou implementací v mikrokontroleru, kdy je dodržován konstantní čas logické 0 a logické 1. Doba přechodu mezi těmito stavy se nezapočítává. Velkou výhodou takto modifikovaného časování je zvýšení spolehlivosti přenosu. U nízkých rychlostí zmíněný efekt nemá velký vliv, avšak zhruba nad 1 MHz již při testování dominoval. Složitější situace tímto nastává při nastavení požadované frekvence. Výrobce počítá zejména s použitím procesoru ve spotřební elektronice, kde se zapojení prakticky nikdy nemění a je možné frekvenci doladit na prototypu. Při změně kapacity sběrnice dojde i ke změně frekvence. Oproti tomu SPI sběrnice udržuje konstantní frekvenci přesně, dokud nedojde vlivem značné délky cest k příliš velkému zkreslení. (Během testování zařízení fungovalo do cca 16MHz.)



Závěr

Obsahem této práce byl vývoj prototypu nové komunikační jednotky, která by měla v budoucnu nahradit stávající zařízení ASEK-20. Bylo posouzeno několik možných variant řídicích obvodů, přičemž zvolený mikrokontroler ARM z řady STM32H757 představoval mírný ústupek budoucí rozšiřitelnosti softwaru na úkor datové propustnosti. Oproti stávajícímu řešení se ale v obou aspektech jedná o významný posun.

Hlavním cílem vývoje bylo odstranění hardwarových problémů s výstupním budičem sběrnice Manchester. V souvislosti s tím byly posouzeny různé topologie a realizovány prototypy rychlého výkonového zesilovače a výstupního polomůstku s MOSFET a budičem FAN8811. Oba prototypy byly otestovány v reálných podmínkách a po úpravách shledány jako dostačující. Jednotlivé funkční bloky byly následně integrovány na rozšiřující modul pro vývojovou desku STM32H757XI-EVAL. Před překročením k realizaci prototypů byl na trhu objeven čerstvě uvedený budič polomůstku, který by potenciálně mohl vyřešit problematiku kalibrace dead-time. Jednalo se o vlastnost tak významnou, že testování dalších verzí výstupního budiče pro Manchester bylo odloženo do okamžiku lepší dostupnosti nového obvodu na trhu. Očekávají se srovnatelné parametry výstupního budiče, avšak by nemělo být nutné kalibrovat samostatně každý vyrobený kus. Vyrobena deska plošných spojů počítá s osazením obou variant. Došlo i k návrhu nového výstupního obvodu pro napájení testované součástky. Bylo odstraněno výrazné kmitání při skokové změně hodnoty výstupu zatíženého značnou kapacitní zátěží. Kvůli praktické nerealizovatelnosti musely být původní požadavky sníženy, ale i tak lze současné výsledky hodnotit jako dostačující. Výstup nevykazuje výrazné překmitání ani se zátěží 1 μF při trvání náběžné hrany 4 μs .

Do budoucna je výrobek připraven k poslední fázi testování výstupního bufferu a rozhodnutí o volbě budiče. Následně se očekává implementace sběrnice Manchester do stávajícího softwaru, která je ovšem závislá na typu budiče. Po plném dokončení by mělo přijít nasazení prvního kusu do ostrého provozu. V případě kladných výsledků může dojít dle požadavků k realizaci jednodušší a výrazně levnější verze nebo naopak k vývoji finální DPS, která nebude potřebovat nákladnou vývojovou desku.



Seznam použité literatury

- [1] FT232R USB UART IC Datasheet. *FTDI chip: Future Technology Devices International* [online]. Version 2.04. Glasgow (United Kingdom): Future Technology Devices International Limited, 2005, June 2009 [cit. 2020-05-28]. FT_000053. Dostupné z: https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232R.pdf
- [2] LT1010: Fast $\pm 150\text{mA}$ Power Buffer. *Analog.com* [online]. REV E. Kalifornie (USA): Linear Technology Corporation, 1991, 5/11 [cit. 2020-05-28]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/LT1010.pdf>
- [3] PhotoMOS GU SOP 1 Form A High Capacity. *Industrial.panasonic.com/* [online]. Panasonic Corporation Electromechanical Control Business Division, 2019 [cit. 2020-05-28]. Dostupné z: https://www3.panasonic.biz/ac/e_download/control/relay/photomos/catalog/semi_eng_gula_aqy21_gs.pdf
- [4] ŠŤASTNÝ, Jakub. *FPGA prakticky: realizace číslicových systémů pro programovatelná hradlová pole*. 1. vyd. Praha: BEN - technická literatura, 2010. ISBN 978-80-7300-261-9.
- [5] MARTIN, Trevor a Michael BEACH, ed., Alison WENLOCK, Sarah LATCHFORD. *The Insider's Guide To The STM32 ARM®Based Microcontroller: An Engineer's Introduction To The STM32 Series*. First. Coventry (United Kingdom): Hitex (UK) Ltd., 2008, 89 s. ISBN 0-9549988-8. Dostupné z: https://moodle.fel.cvut.cz/pluginfile.php/80500/mod_label/intro/Hitex_STM32_Insider_Guide.pdf



- [6] Dual 32-bit Arm® Cortex®-M7 up to 480MHz and -M4 MCUs, 2MB Flash, 1MB RAM, 46 com. and analog interfaces, SMPS, DSI, crypto: Datasheet - production data. *ST.com* [online]. Rev 1. ST Microelectronics, 2019, 16-May-2019 [cit. 2020-05-28]. DS12931. Dostupné z:
<https://www.st.com/resource/en/datasheet/stm32h757xi.pdf>
- [7] ST MICROELECTRONICS. STM32H745/755 and STM32H747/757 advanced Arm®-based 32-bit MCUs: Reference manual. *ST.com* [online]. Rev 3. ST Microelectronics, 2018, 27-Feb-2020 [cit. 2020-05-28]. RM0399. Dostupné z:
https://www.st.com/resource/en/reference_manual/dm00176879-stm32h745755-and-stm32h747757-advanced-armbased-32bit-mcus-stmicroelectronics.pdf
- [8] Evaluation boards with STM32H747XI and STM32H757XI MCUs: User manual. *ST.com* [online]. Rev 5. STMicroelectronics, 2018, 3-Feb-2020 [cit. 2020-05-28]. Dostupné z:
https://www.st.com/resource/en/user_manual/dm00569152-evaluation-boards-with-stm32h747xi-and-stm32h757xi-mcus-stmicroelectronics.pdf
- [9] ADA4870 (Data Sheet): High Speed, High Voltage, 1 A Output Drive Amplifier. *Analog.com* [online]. Revision 0. Norwood, MA 02062-9106, U.S.A.: Analog Devices, Inc, 2014, 5/14 [cit. 2020-05-28]. Dostupné z:
<https://www.analog.com/media/en/technical-documentation/data-sheets/ADA4870.pdf>
- [10] LT1970A: 500mA Power Op Amp with Adjustable Precision Current Limit. *Analog.com* [online]. REV C. Milpitas, CA (USA): Linear Technology Corporatio, 2011, 11/15 [cit. 2020-05-28]. Dostupné z:
<https://www.analog.com/media/en/technical-documentation/data-sheets/1970afc.pdf>



- [11] OPA521 2.5-A Narrowband Line Driver. *Texas Instruments* [online]. Revision A. Dallas, Texas: Texas Instruments Incorporated, 2018, JUNE 2018 [cit. 2020-05-28]. SBOS872A. Dostupné z: <http://www.ti.com/lit/ds/symlink/opa521.pdf>
- [12] LT1210: 1.1A, 35MHz Current Feedback Amplifier. *Analog.com* [online]. REV C. Analog Devices, 2018, 04/18 [cit. 2020-05-28]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/lt1210.pdf>
- [13] FAN8811: High-Frequency, High Side and Low Side Gate Driver. *ON Semiconductor* [online]. Rev. 3. Semiconductor Components Industries, LLC, 2018, April, 2019 [cit. 2020-05-28]. FAN8811/D. Dostupné z: <https://www.onsemi.com/pub/Collateral/FAN8811-D.PDF>
- [14] LTC7060: 100V Half Bridge Driver with Floating Grounds and Programmable Dead-Time. *Analog.com* [online]. Rev. 0. ANALOG DEVICES, INC., 2020 [cit. 2020-05-28]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/ltc7060.pdf>
- [15] APPLE INC., HEWLETT-PACKARD INC., INTEL CORPORATION, MICROSOFT CORPORATION, RENESAS CORPORATION, STMICROELECTRONICS, TEXAS INSTRUMENTS. Universal Serial Bus 3.2 Specification. *USB* [online]. Revision 1.0 (Initial Release – USB 3.2). USB 3.0 Promoter Group, 2017, September 22, 2017 [cit. 2020-05-31]. Dostupné z: <https://usb.org/document-library/usb-32-specification-released-september-22-2017-and-ecns>



- [16] COMPAQ COMPUTER CORPORATION, HEWLETT-PACKARD COMPANY, INTEL CORPORATION, LUCENT TECHNOLOGIES INC, MICROSOFT CORPORATION, NEC CORPORATION, KONINKLIJKE PHILIPS ELECTRONICS N.V. Universal Serial Bus Specification: Universal Serial Bus Specification Revision 2.0. *USB: USB 2.0 Specification* [online]. Revision 2.0. 1994, April 27, 2000 [cit. 2020-05-28]. Dostupné z: <https://www.usb.org/document-library/usb-20-specification>
- [17] AOZ1284: EZBuck™ 4A Simple Buck Regulator. *Alpha & Omega Semiconductor* [online]. Rev. 1.0. California 94085 USA: Alpha and Omega Semiconductor, Inc, 2019, July 2019 [cit. 2020-05-28]. Dostupné z: http://aosmd.com/res/data_sheets/AOZ1284PI.pdf
- [18] LM2596 SIMPLE SWITCHER® Power Converter 150-kHz 3-A Step-Down Voltage Regulator. *TI.com* [online]. Revision E. Dallas, Texas: Texas Instruments Incorporated, 1999, FEBRUARY 2020 [cit. 2020-05-28]. SNVS124E. Dostupné z: <http://www.ti.com/lit/ds/symlink/lm2596.pdf>
- [19] TSM2323: 20V P-Channel MOSFET. *TAIWAN SEMICONDUCTOR* [online]. F15. Taiwan: Taiwan Semiconductor [cit. 2020-05-28]. DS_P0000058. Dostupné z: https://www.taiwansemi.com/products/datasheet/TSM2323_F15.pdf
- [20] Standard Commands for Programmable Instruments (SCPI): Volume 1: Syntax and Style. <https://www.ivifoundation.org/docs/scpi-99.pdf> [online]. VERSION 1999.0. USA: SCPI Consortium, 1999 [cit. 2020-05-31]. Dostupné z: <https://www.ivifoundation.org/docs/scpi-99.pdf>
- [21] Různé formy interní dokumentace společnosti Allegro MicroSystems



Seznam příloh

Příloha 1: Schéma zkušební desky s polomůstkem a dosažené výsledky

Příloha 2: Schéma komunikační jednotky

Příloha 3: Návrh desky plošných spojů pro komunikační jednotku

Příloha 4: Seznam součástí plně osazené desky

Příloha 5: CD

Obsah CD

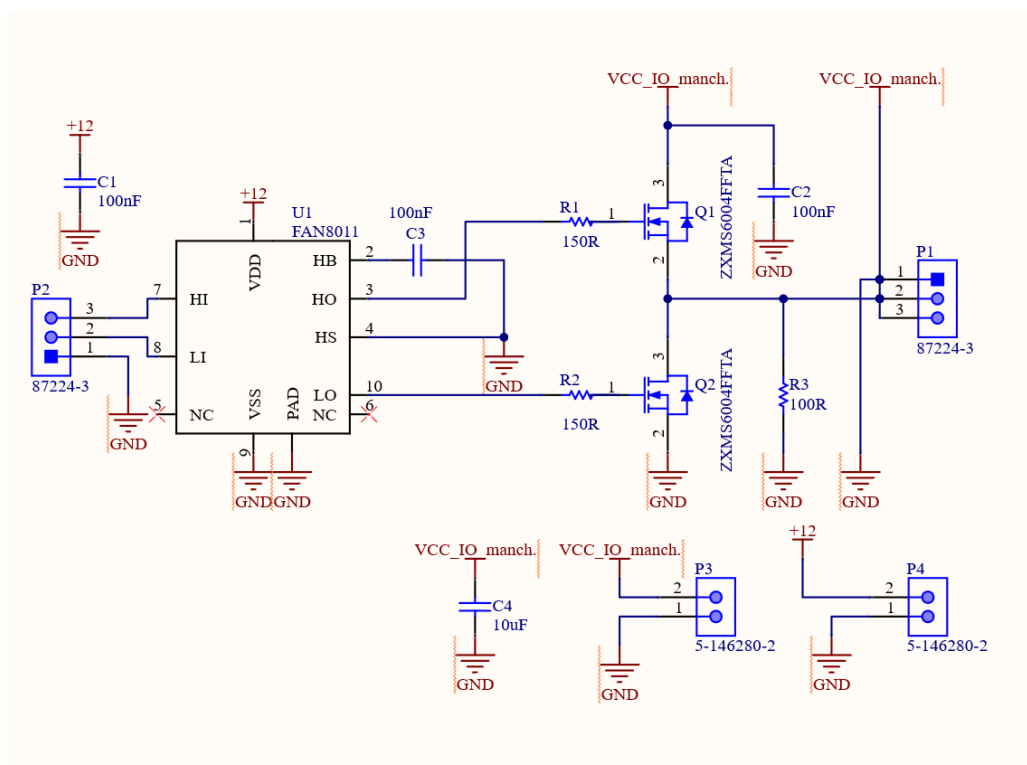
- Bakalářská práce ve formátu PDF
- Zdrojové kódy programu pro mikrokontroler



Příloha 1: Schéma zkušební desky s polomůstkem a dosažené výsledky



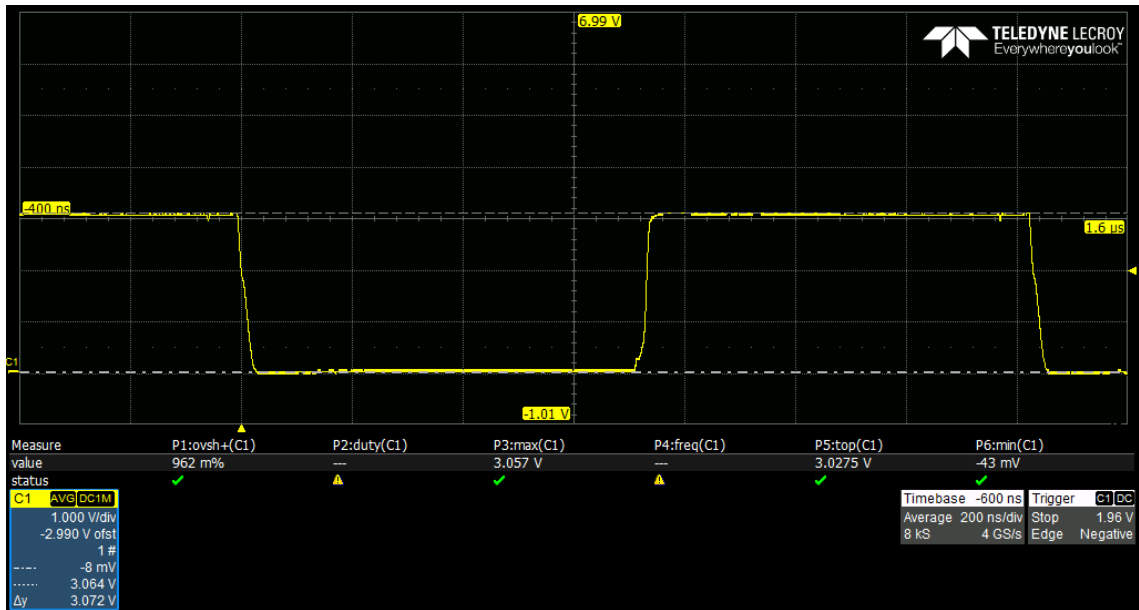
Výsledky s rezistivní zátěží v katalogovém zapojení. Vstupní signál na růžové stopě C2 a výstupní na žluté C3



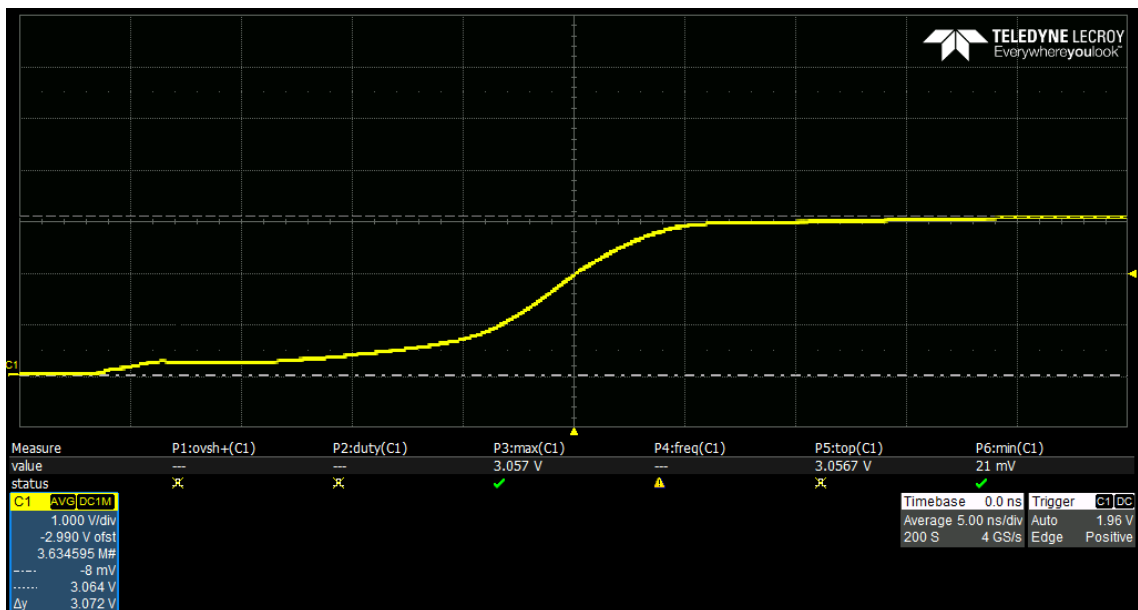
Modifikované schéma budiče (výchozí pro následující měření)



Příloha 1: Schéma zkušební desky s polomůstkem a dosažené výsledky



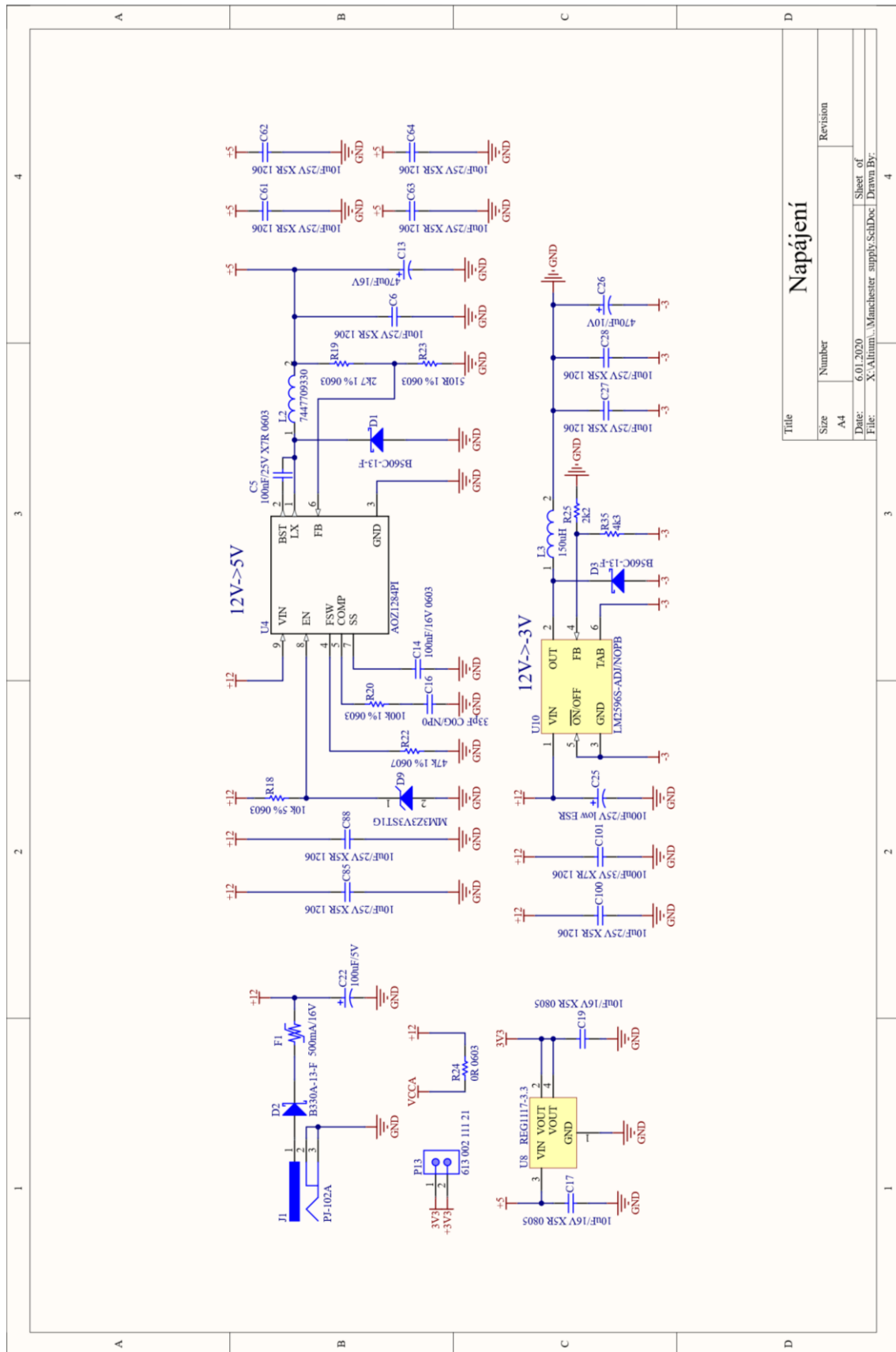
Výstupní signál modifikovaného zapojení výstupního polomůstku bez překmitů



Detail hrany výstupního signálu

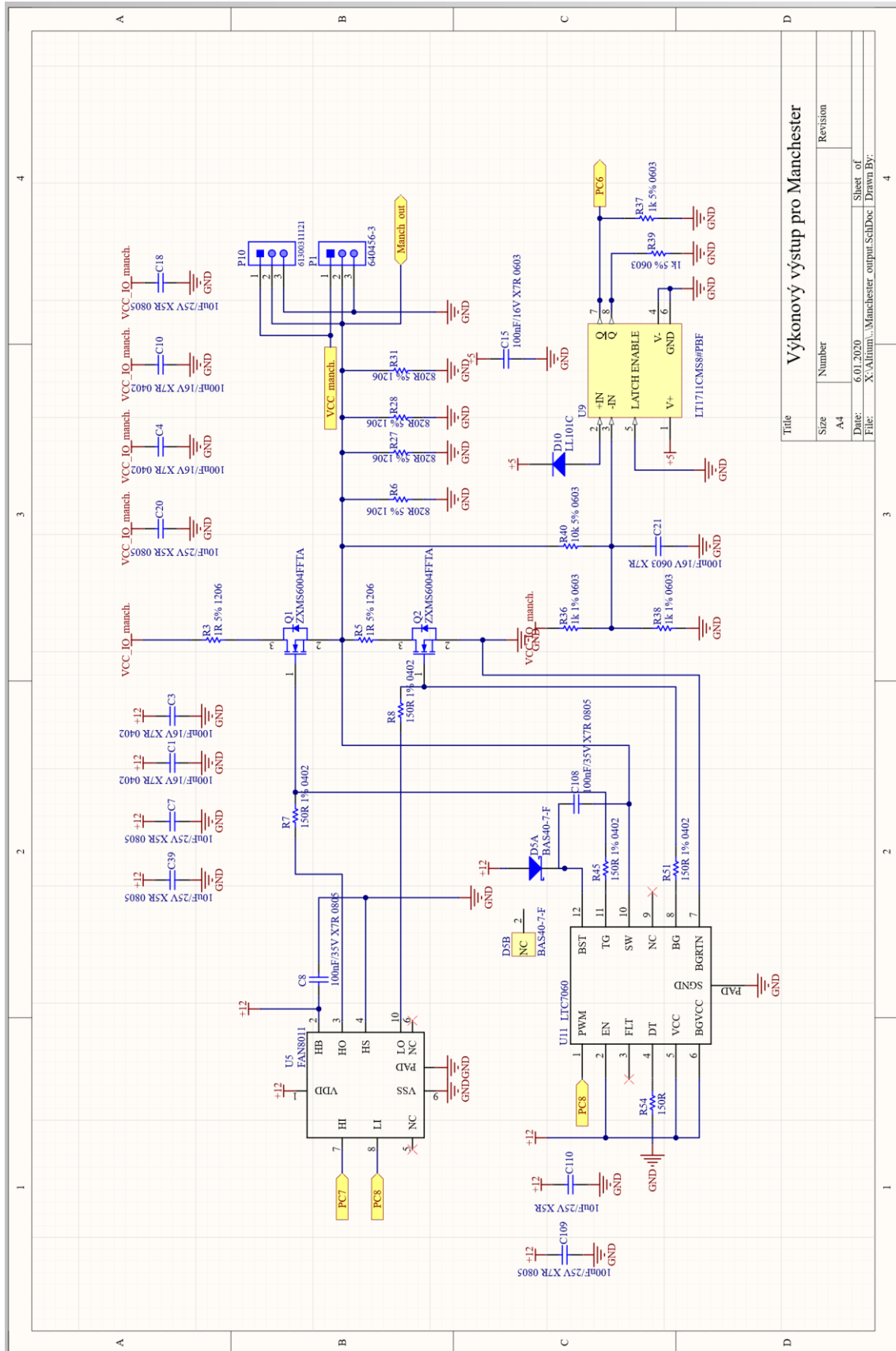


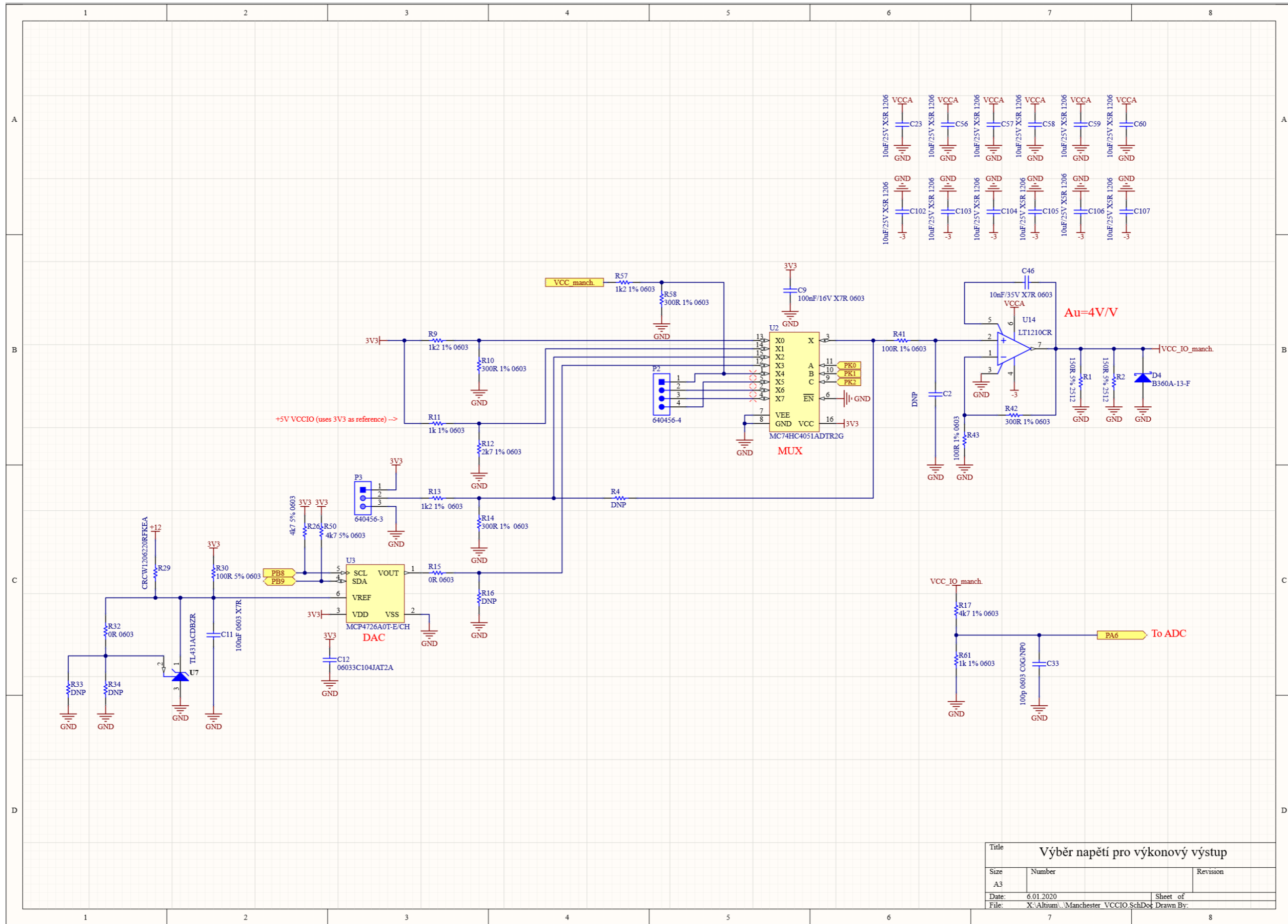
Příloha 2: Schéma komunikační jednotky



Title		Revision	
Size	Number		
A4			
Date:	6.01.2020	Sheet of	
File:	X:\Altium\...Manchester_supply.SchDoc	Drawn By:	

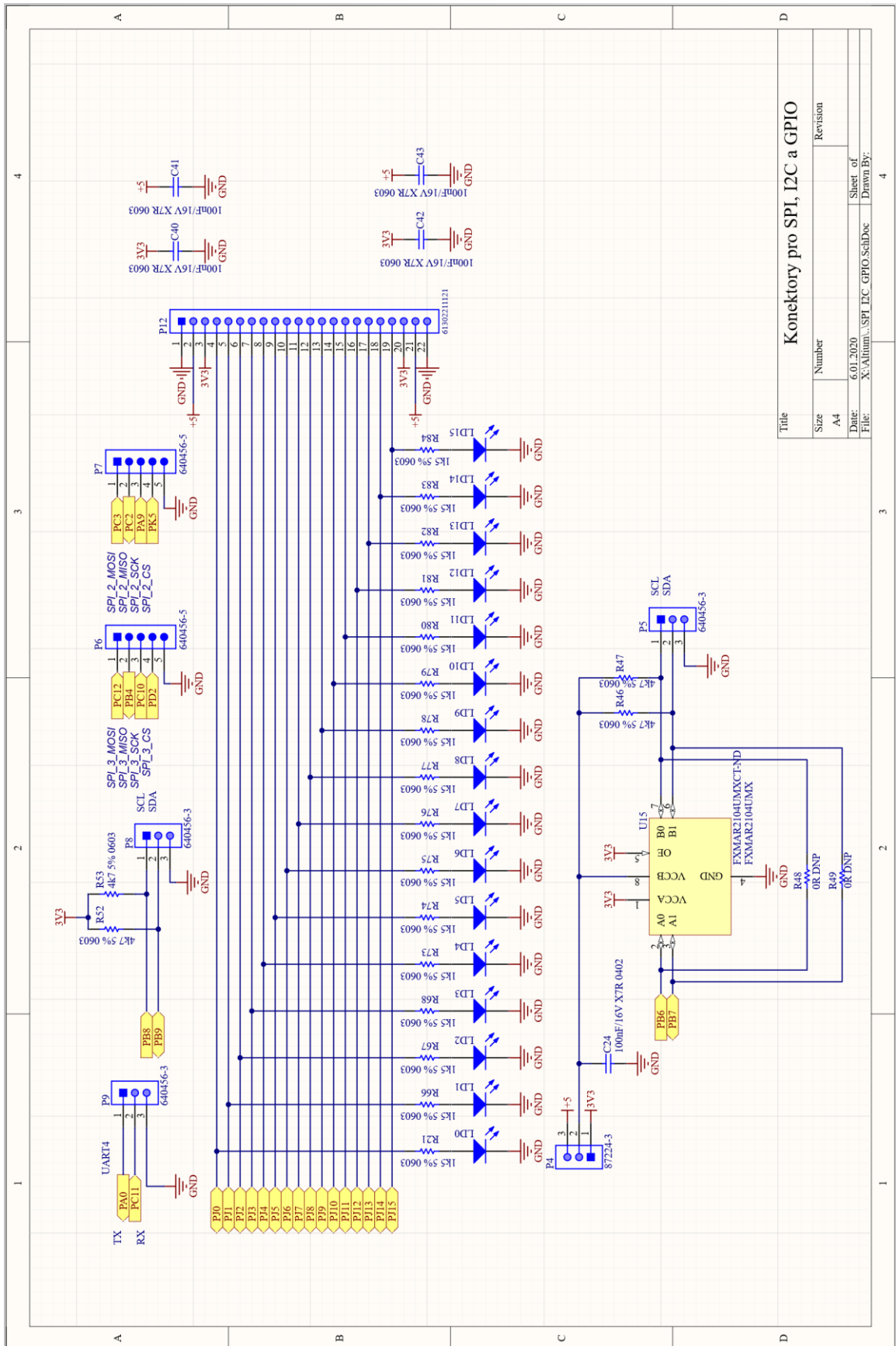






Title		
Výběr napětí pro výkonový výstup		
Size	Number	Revision
A3		
Date:	6.01.2020	Sheet of
File:	X:\Altium\Manchester_VCCIO.SchDoc	Drawn By:

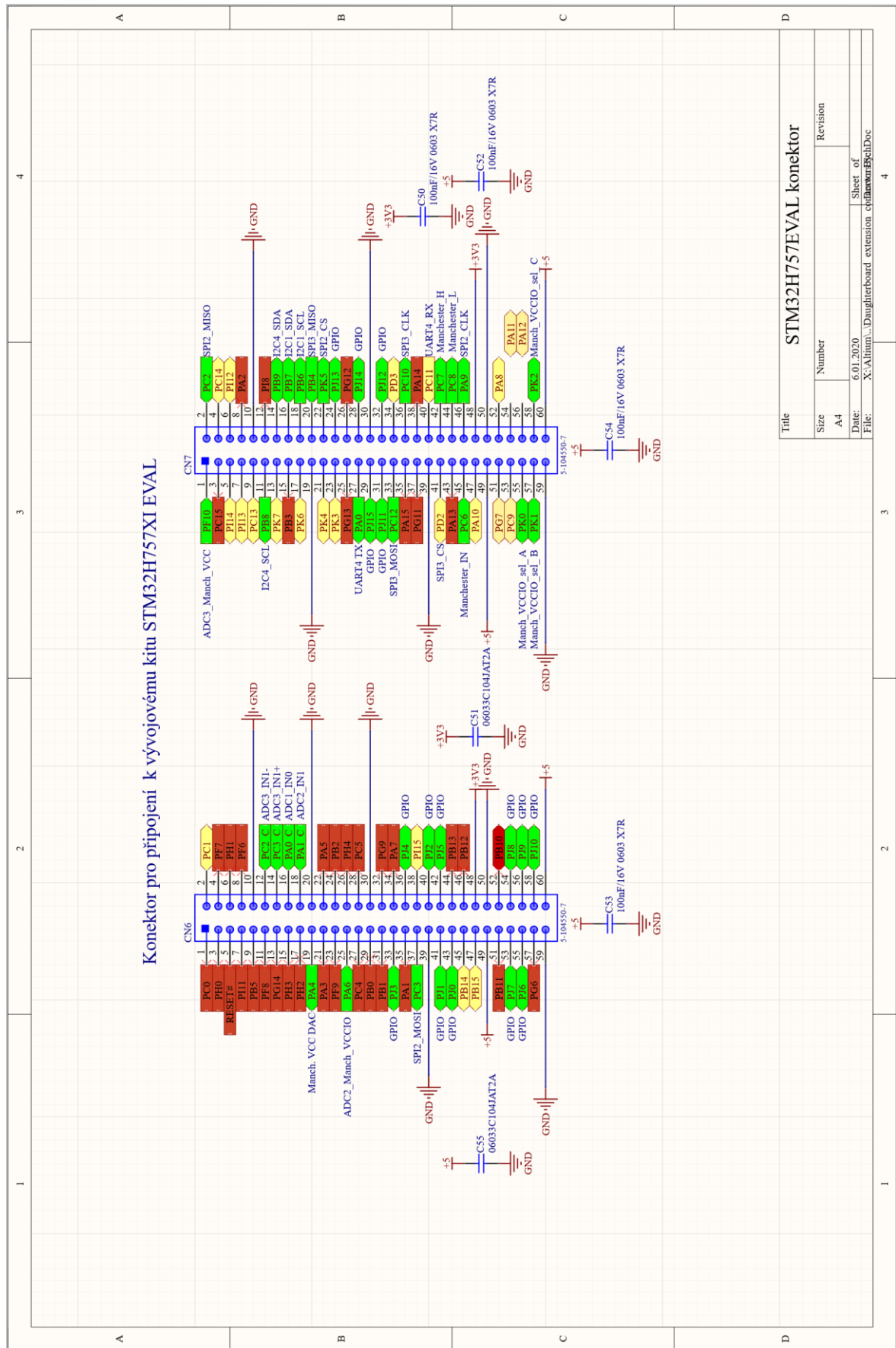




Konektory pro SPI, I2C a GPIO

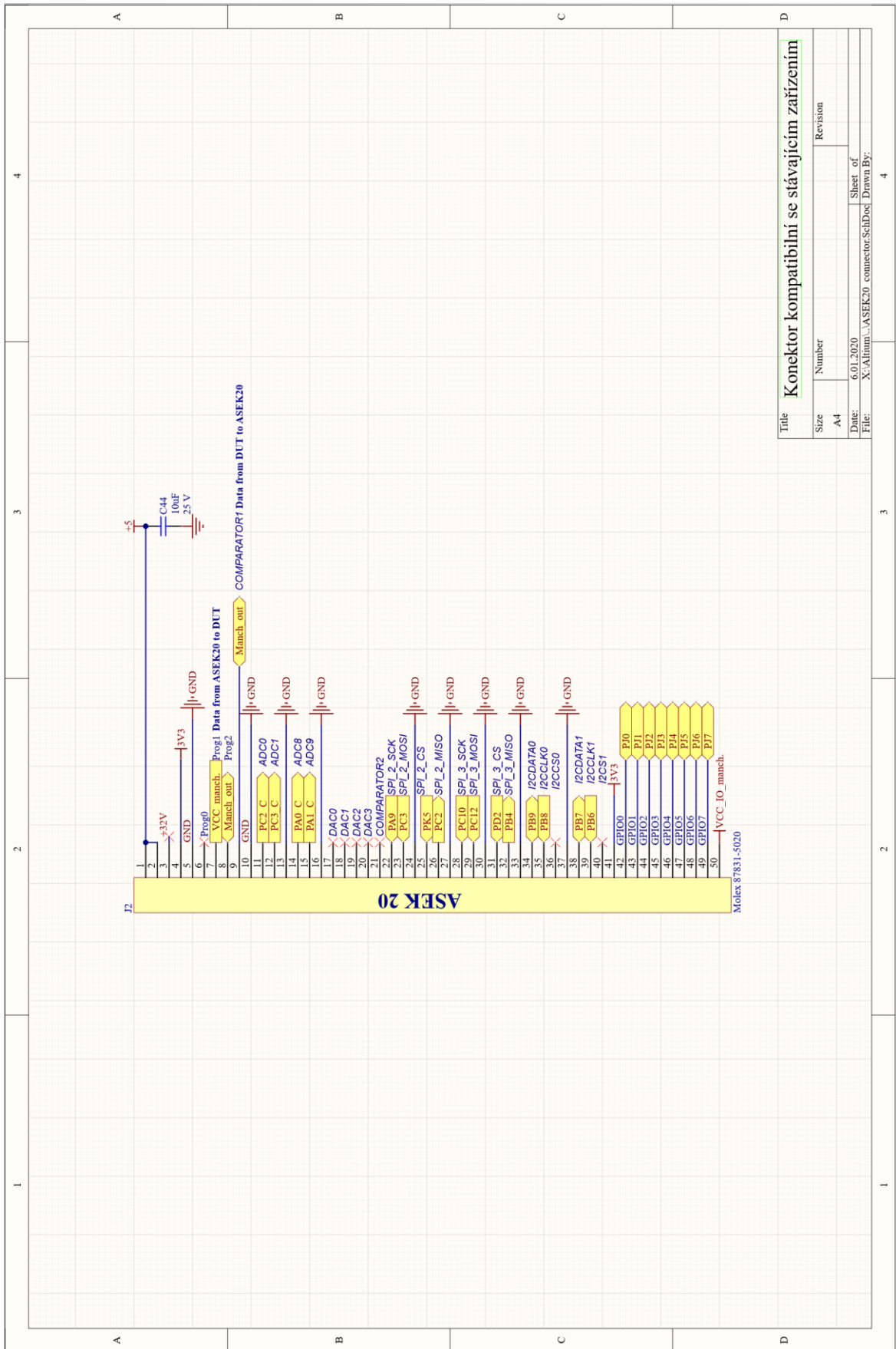
Revision	
Size	Number
A4	
Date:	Sheet of
6.01.2020	4
File:	Drawn By:
X:\Allum\...SPI_I2C_GPIO.SchDoc	





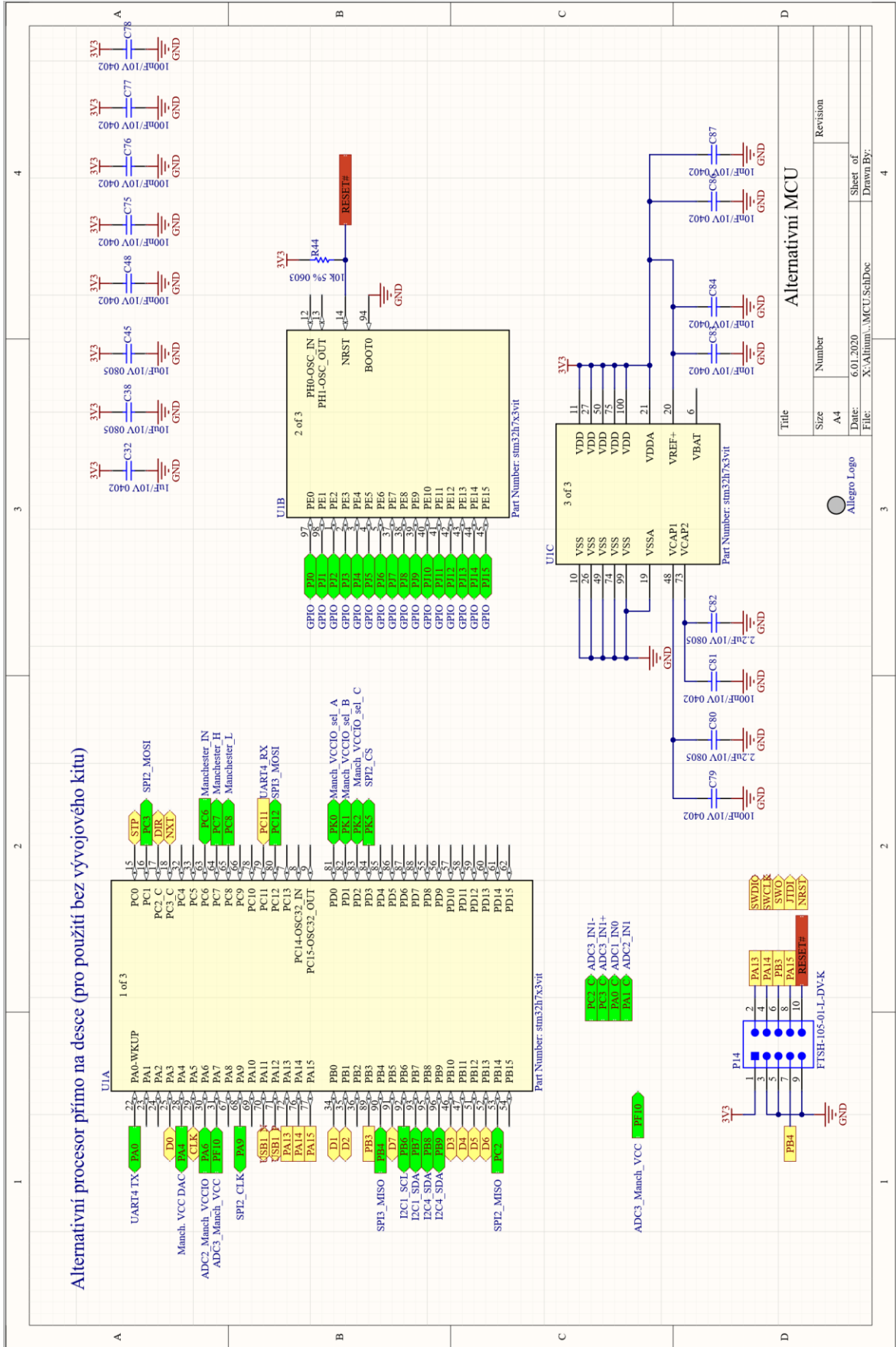
Title			
STM32H757EVAL konektor			
Size	Number	Revision	
A4			
Date:	6.01.2020		Sheet of
File:	X:\Alinim\... Daughterboard extension cp18awm98c1dDoc		4

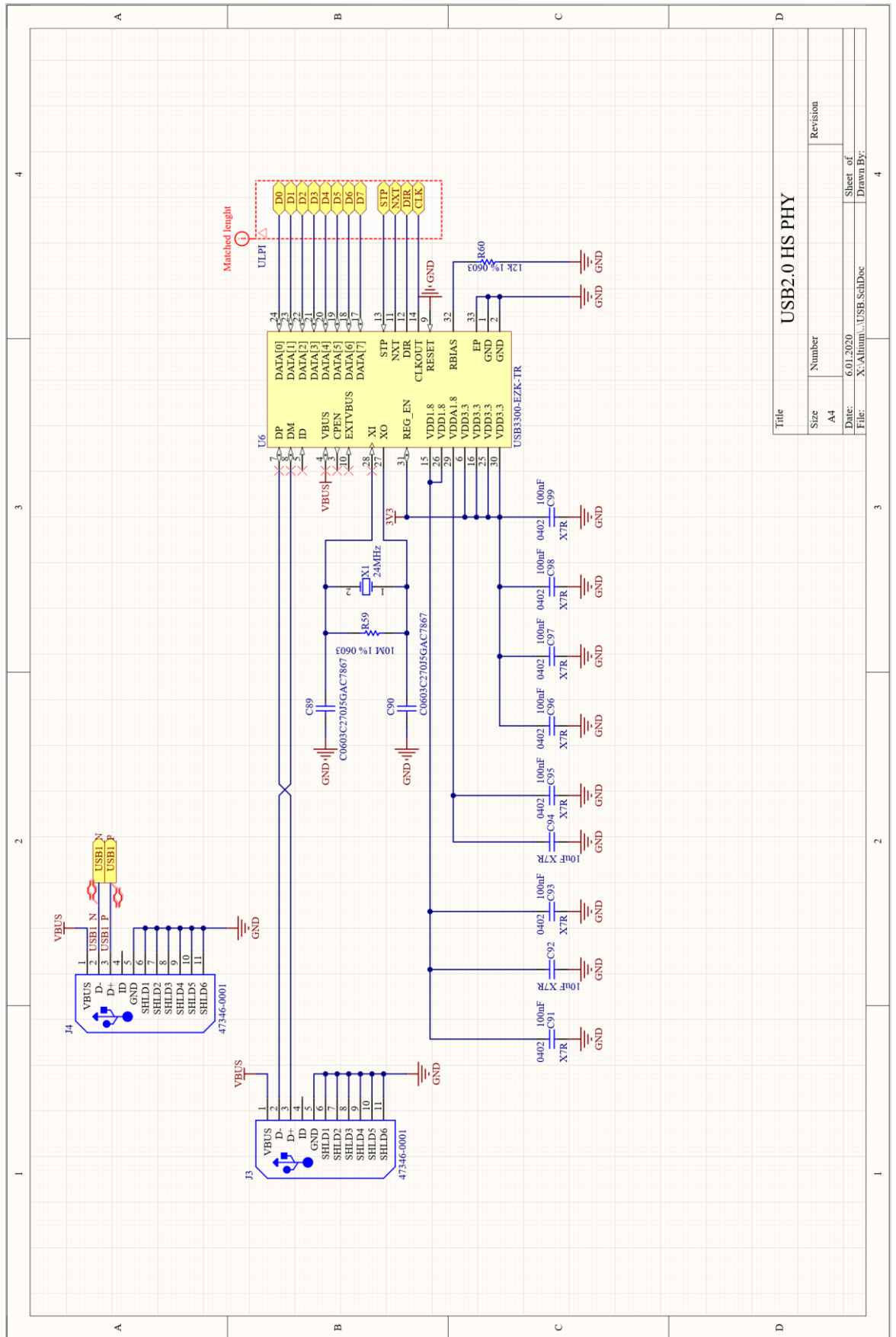




Title		Konektor kompatibilní se stávajícím zařízením	
Size	Number	Revision	
A4			
Date:	6.01.2020	Sheet of	4
File:	X:\Altium...\ASEK20_connector.SchDoc	Drawn By:	





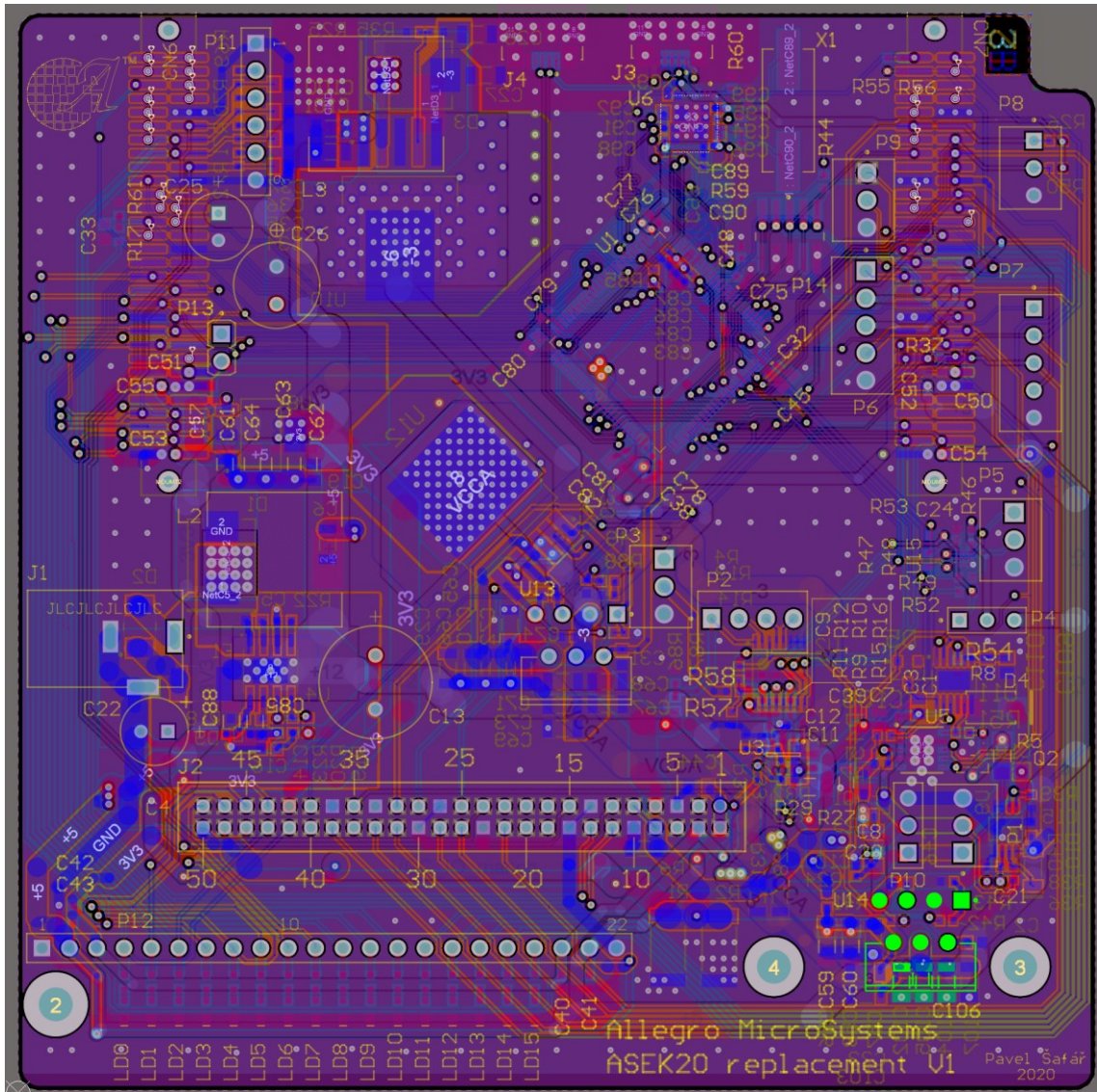


Title
USB2.0 HS PHY

Size	Number	Revision
A4		
Date:	6.01.2020	Sheet of
File:	X:\Altim...USB_SchDoc	Drawn By:

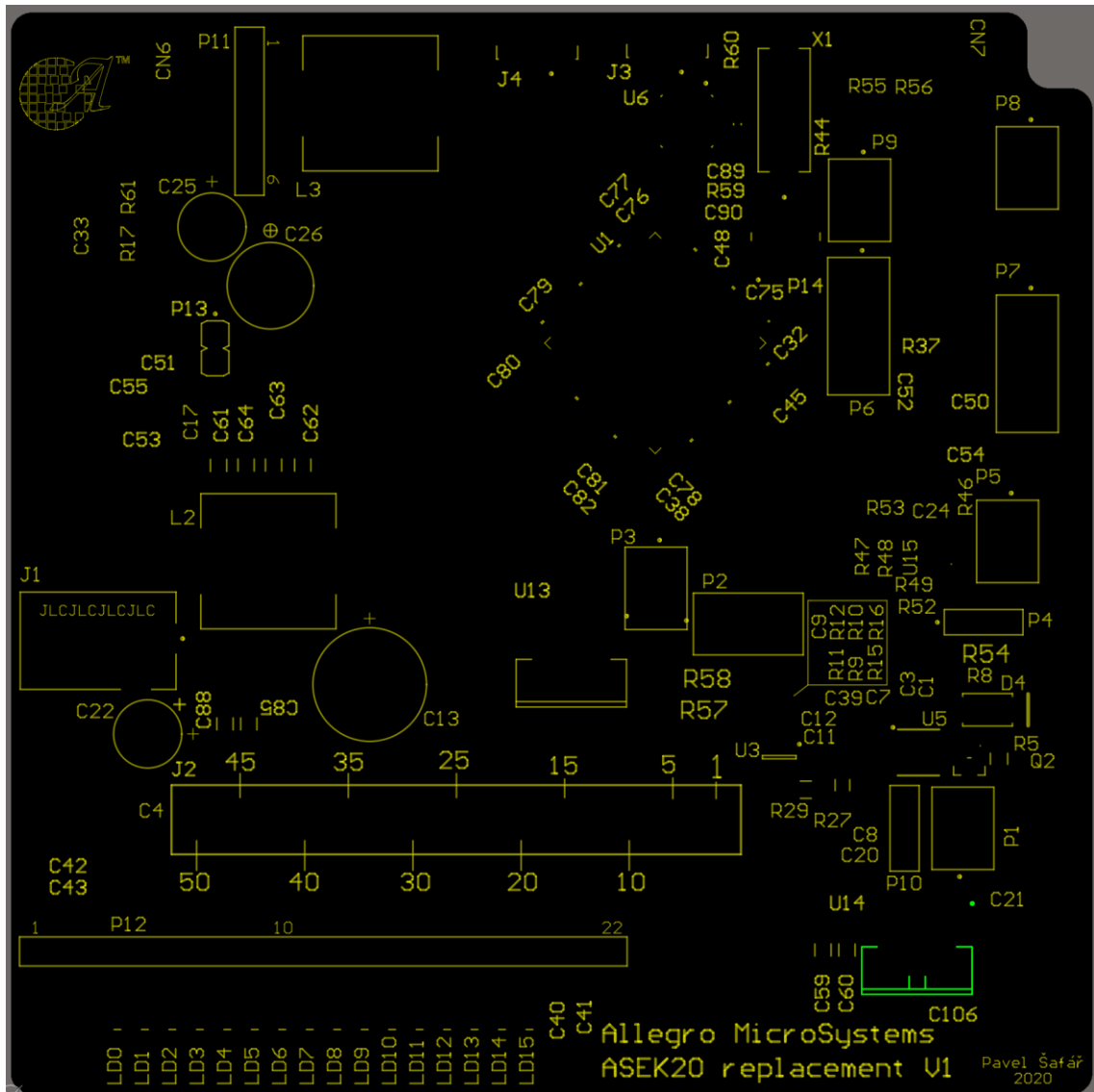


Příloha 3: Návrh desky plošných spojů pro komunikační jednotku



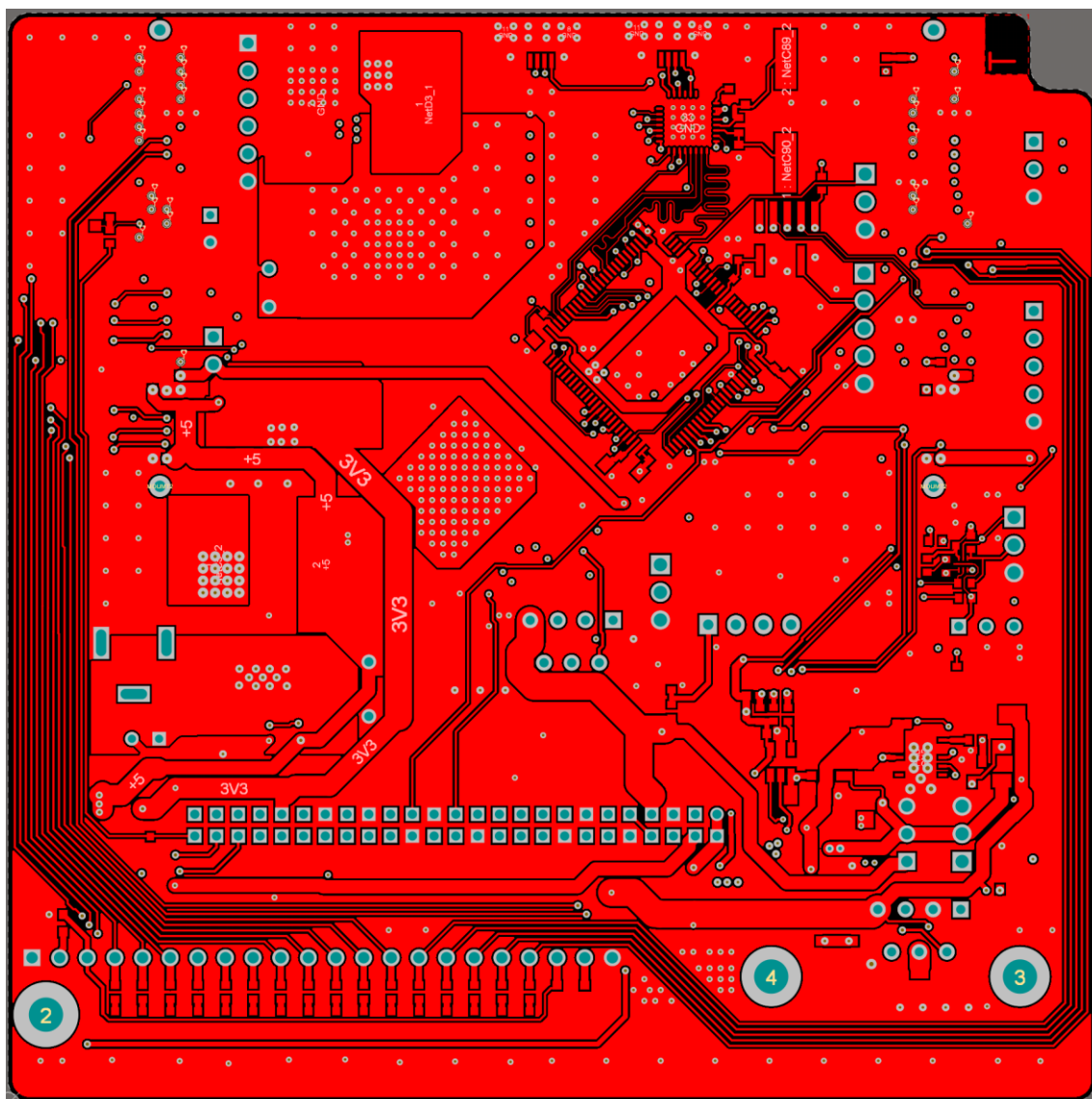
Návrh desky s viditelností všech vrstev





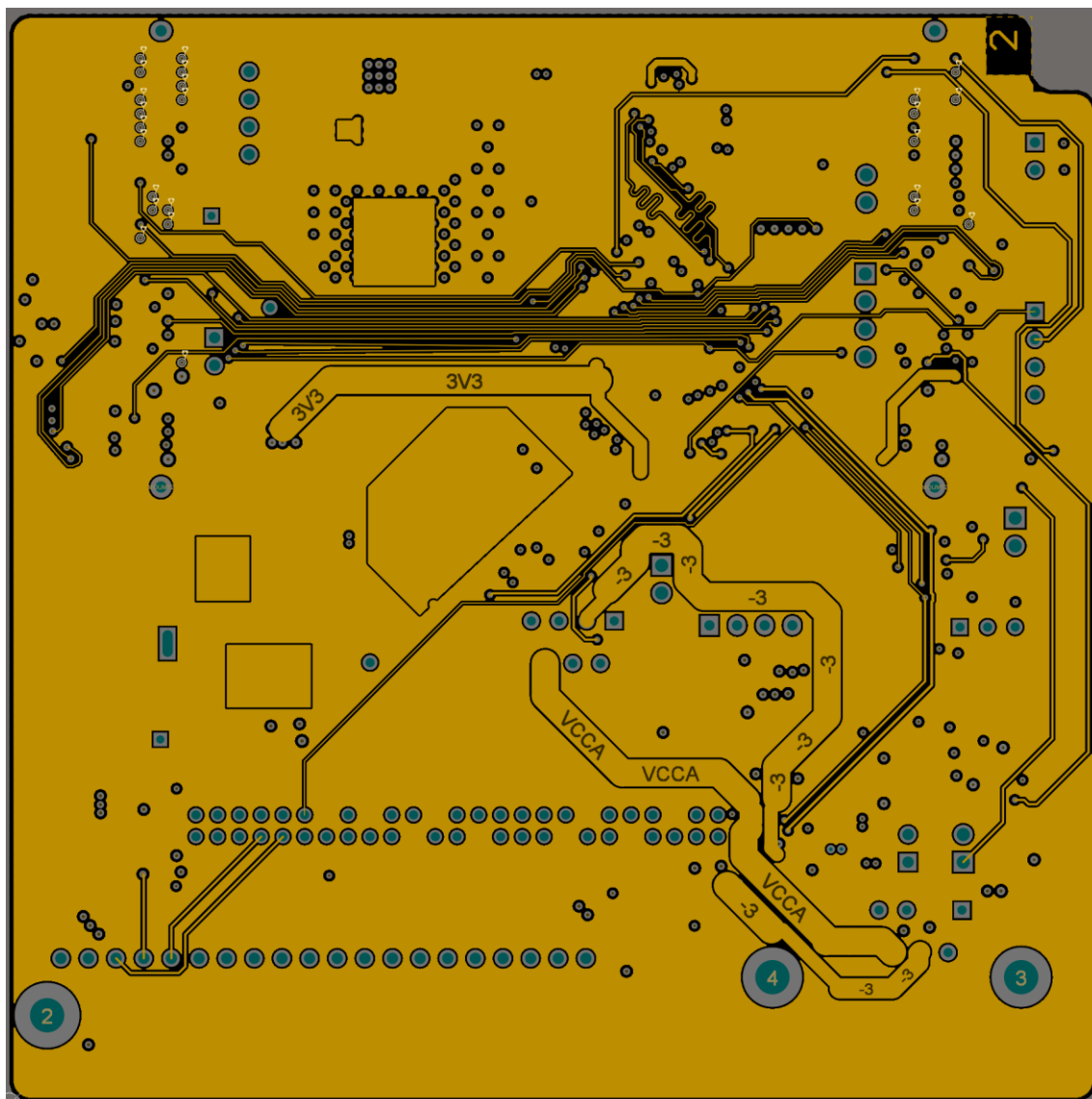
Návrh vrstvy potisku strany TOP





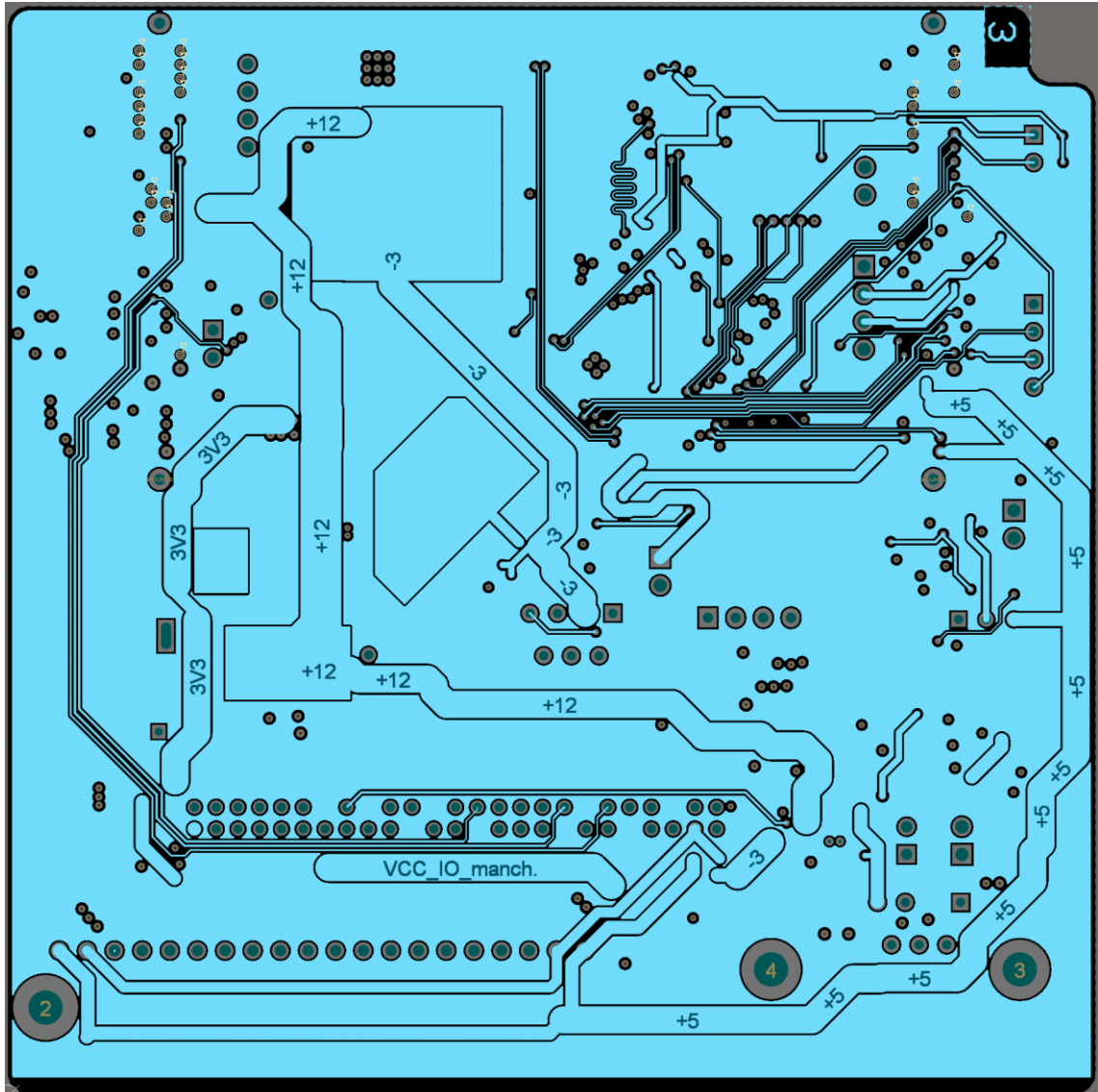
Návrh vrstvy TOP





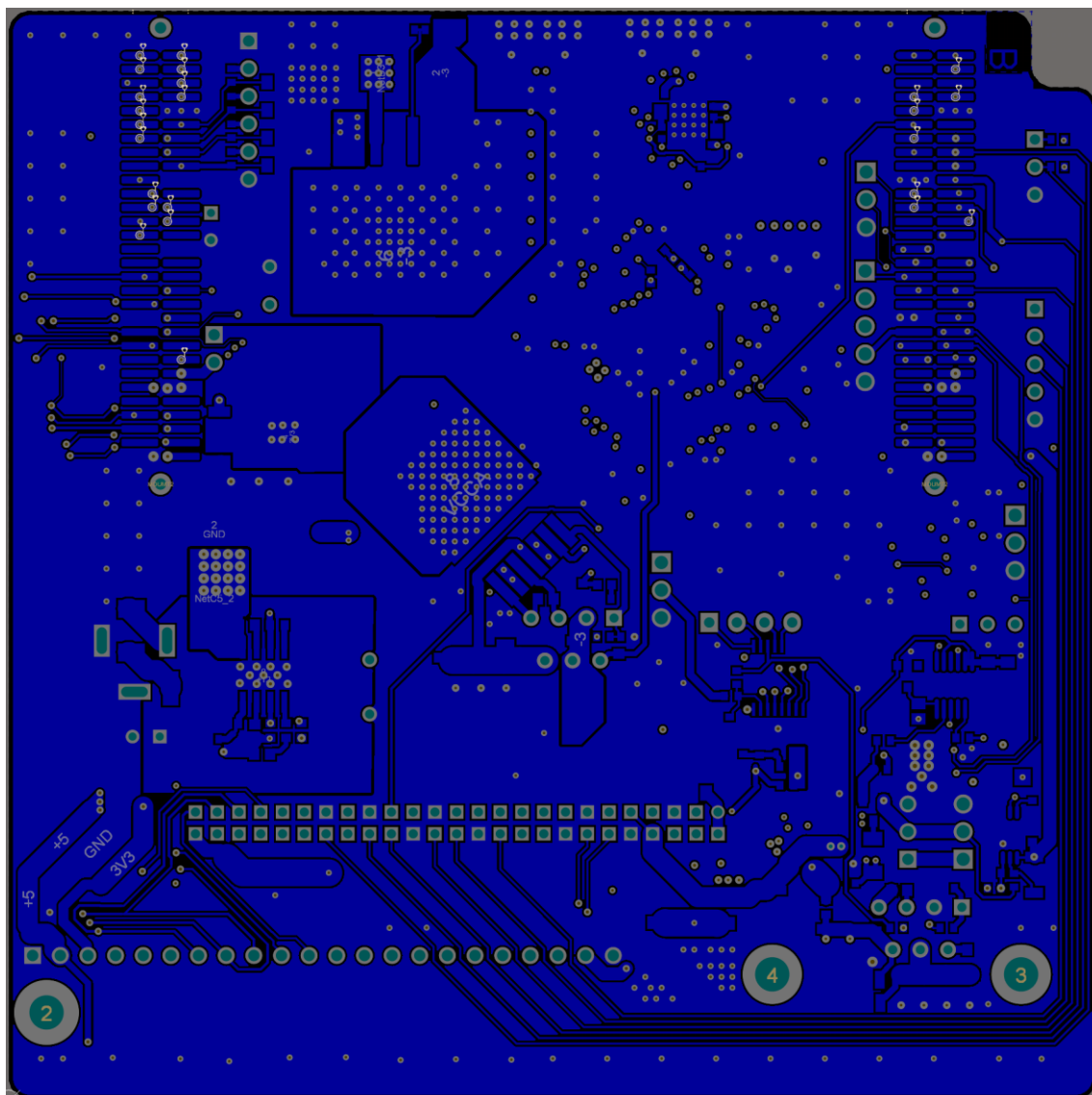
Návrh vrstvy 2





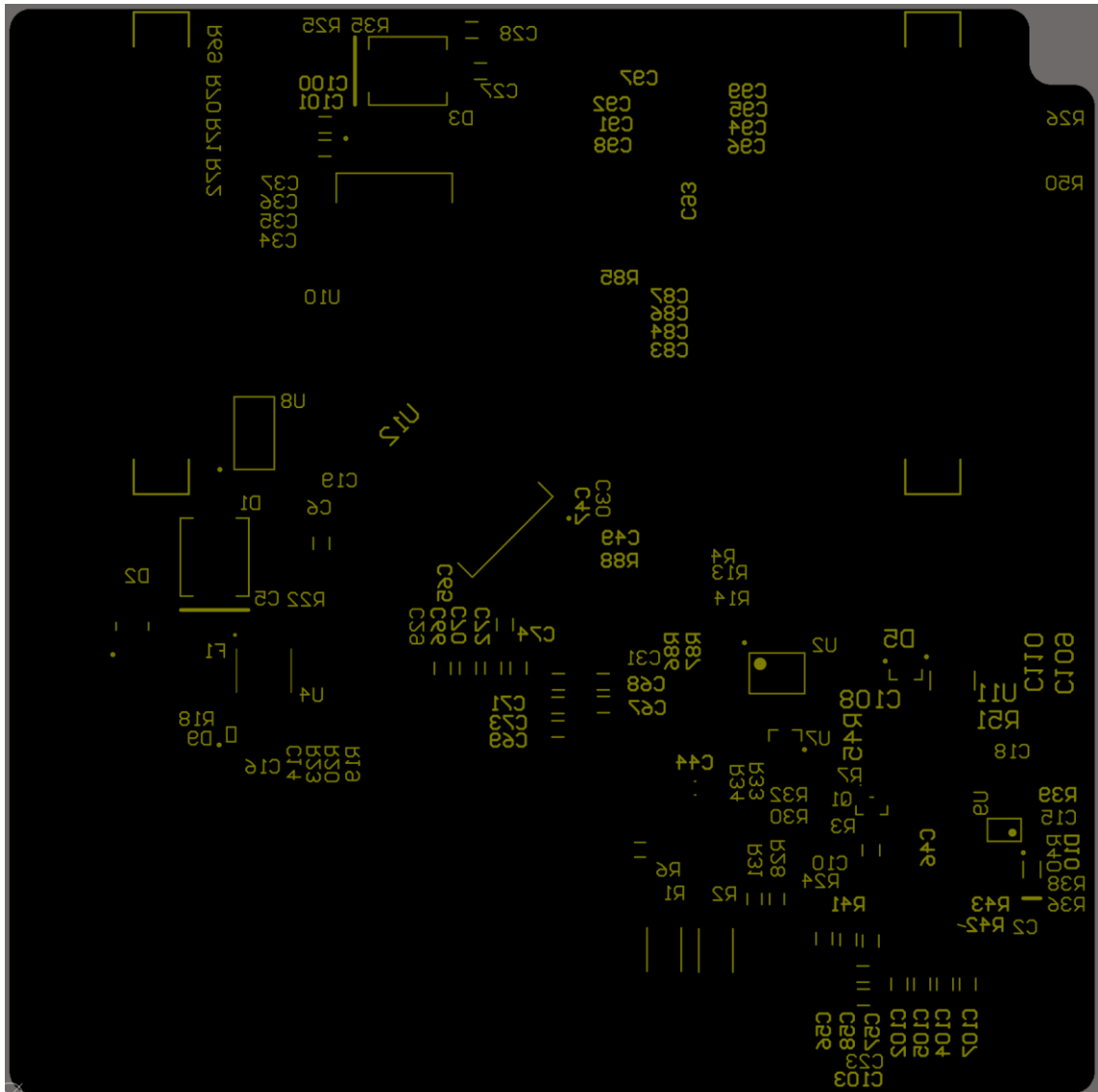
Návrh vrstvy 3





Návrh vrstvy BOTTOM





Návrh vrstvy potisku strany BOTTOM



Příloha 4: Seznam součástek plně osazené desky

Označení	Hodnota
C1	100nF/16V X7R 0402
C2	DNP
C3	100nF/16V X7R 0402
C4	100nF/16V X7R 0402
C5	100nF/25V X7R 0603
C6	10uF/25V X5R 1206
C7	10uF/25V X5R 0805
C8	100nF/35V X7R 0805
C9	100nF/16V X7R 0603
C10	100nF/16V X7R 0402
C11	100nF 0603 X7R
C12	06033C104JAT2A
C13	470uF/16V
C14	100nF/16V 0603
C15	100nF/16V X7R 0603
C16	33pF C0G/NP0
C17	10uF/16V X5R
C18	10uF/25V X5R 0805
C19	10uF/16V X5R
C20	10uF/25V X5R 0805
C21	100nF/16V 0603 X7R
C22	100uF/5V
C23	10uF/25V X5R 1206
C24	100nF/16V X7R 0402
C25	ECA-1VM101
C26	EEU-FR1C102L
C27	CAP 10uF 25V 1206(3216)
C28	CAP 10uF 25V 1206(3216)
C29	10uF/25V X5R 1206
C30	DNP
C31	DNP C0603
C32	1uF/10V 0402
C33	100p 0603 C0G/NP0
C34	330pF/10V C0G/NP0
C35	330pF/10V C0G/NP0
C36	330pF/10V C0G/NP0
C37	330pF/10V C0G/NP0
C38	10uF/10V 0805
C39	10uF/25V X5R 0805

Označení	Hodnota
C40	100nF/16V X7R 0603
C41	100nF/16V X7R 0603
C42	100nF/16V X7R 0603
C43	100nF/16V X7R 0603
C44	CAP 10uF 25V
C45	10uF/10V 0805
C46	10nF/35V X7R 0603
C47	10nF X7R 0603
C48	100nF/10V 0402
C49	1.5nF 25V X7R 0603
C50	100nF/16V 0603 X7R
C51	06033C104JAT2A
C52	100nF/16V 0603 X7R
C53	100nF/16V 0603 X7R
C54	100nF/16V 0603 X7R
C55	06033C104JAT2A
C56	10uF/25V X5R 1206
C57	10uF/25V X5R 1206
C58	10uF/25V X5R 1206
C59	10uF/25V X5R 1206
C60	10uF/25V X5R 1206
C61	10uF/25V X5R 1206
C62	10uF/25V X5R 1206
C63	10uF/25V X5R 1206
C64	10uF/25V X5R 1206
C65	10uF/25V X5R 1206
C66	10uF/25V X5R 1206
C67	10uF/25V X5R 1206
C68	10uF/25V X5R 1206
C69	10uF/25V X5R 1206
C70	10uF/25V X5R 1206
C71	100nF/35V X7R 1206
C72	100nF/35V X7R 1206
C73	10uF/25V X5R 1206
C74	10uF/25V X5R 1206
C75	100nF/10V 0402
C76	100nF/10V 0402
C77	100nF/10V 0402
C78	100nF/10V 0402



Označení	Hodnota
C79	100nF/10V 0402
C80	2.2uF/10V 0805
C81	100nF/10V 0402
C82	2.2uF/10V 0805
C83	10nF/10V 0402
C84	10nF/10V 0402
C85	10uF/25V X5R 1206
C86	10nF/10V 0402
C87	10nF/10V 0402
C88	10uF/25V X5R 1206
C89	C0603C270J5GAC7867
C90	C0603C270J5GAC7867
C91	GRM155R71C104KA88D
C92	10uF X7R
C93	GRM155R71C104KA88D
C94	10uF X7R
C95	GRM155R71C104KA88D
C96	GRM155R71C104KA88D
C97	GRM155R71C104KA88D
C98	GRM155R71C104KA88D
C99	GRM155R71C104KA88D
C100	CAP 10uF 25V 1206(3216)
C101	CAP 10uF 25V 1206(3216)
C102	10uF/25V X5R 1206
C103	10uF/25V X5R 1206
C104	10uF/25V X5R 1206
C105	10uF/25V X5R 1206
C106	10uF/25V X5R 1206
C107	10uF/25V X5R 1206
C108	100nF/35V X7R 0805
C109	100nF/25V X7R 0805
C110	10uF/25V X5R
CN6	5-104550-7
CN7	5-104550-7
D1	B560C-13-F
D2	B330A-13-F
D3	B560C-13-F
D4	B360A-13-F
D5	BAS40-7-F

Označení	Hodnota
D9	MM3Z3V3ST1G
D10	LL101C
F1	500mA/16V
J1	PJ-102A
J2	Molex 87831-5020
J3	47346-0001
J4	47346-0001
L2	7447709330
L3	7447709330
LD0	red
LD1	red
LD2	red
LD3	red
LD4	red
LD5	red
LD6	red
LD7	red
LD8	red
LD9	red
LD10	red
LD11	red
LD12	red
LD13	red
LD14	red
LD15	red
P1	640456-3
P2	640456-4
P3	640456-3
P4	87224-3
P5	640456-3
P6	640456-5
P7	640456-5
P8	640456-3
P9	640456-3
P10	61300311121
P11	61300611121
P12	61302211121
P13	613 002 111 21
P14	FTSH-105-01-L-DV-K



Označení	Hodnota
Q1	ZXMS6004FFTA
Q2	ZXMS6004FFTA
R1	150R 5% 2512
R2	150R 5% 2512
R3	1R 5% 1206
R4	DNP
R5	1R 5% 1206
R6	820R 5% 1206
R7	150R 1% 0402
R8	150R 1% 0402
R9	1k2 1% 0603
R10	300R 1% 0603
R11	1k 1% 0603
R12	2k7 1% 0603
R13	1k2 1% 0603
R14	300R 1% 0603
R15	OR 0603
R16	DNP
R17	4k7 1% 0603
R18	10k 5% 0603
R19	2k7 1% 0603
R20	100k 1% 0603
R21	1k5 5% 0603
R22	47k 1% 0607
R23	510R 1% 0603
R24	OR 0603
R25	4k3
R26	4k7 5% 0603
R27	820R 5% 1206
R28	820R 5% 1206
R29	CRCW1206220RFKEA
R30	100R 5% 0603
R31	820R 5% 1206
R32	OR 0603
R33	DNP
R34	DNP
R35	2k2
R36	1k 1% 0603
R37	1k 5% 0603

Označení	Hodnota
R38	1k 1% 0603
R39	1k 5% 0603
R40	10k 5% 0603
R41	100R 1% 0603
R42	300R 1% 0603
R43	100R 1% 0603
R44	10k 5% 0603
R45	150R 1% 0402
R46	4k7 5% 0603
R47	4k7 5% 0603
R48	OR DNP
R49	OR DNP
R50	4k7 5% 0603
R51	150R 1% 0402
R52	4k7 5% 0603
R53	4k7 5% 0603
R54	150R
R55	470R 1% 0603
R56	100R 1% 0603
R57	1k2 1% 0603
R58	300R 1% 0603
R59	10M 1% 0603
R60	12k 1% 0603
R61	1k 1% 0603
R66	1k5 5% 0603
R67	1k5 5% 0603
R68	1k5 5% 0603
R69	2R2 1% 0603
R70	2R2 1% 0603
R71	2R2 1% 0603
R72	2R2 1% 0603
R73	1k5 5% 0603
R74	1k5 5% 0603
R75	1k5 5% 0603
R76	1k5 5% 0603
R77	1k5 5% 0603
R78	1k5 5% 0603
R79	1k5 5% 0603
R80	1k5 5% 0603



Příloha 4: Seznam součástek plně osazené desky

Označení	Hodnota
R81	1k5 5% 0603
R82	1k5 5% 0603
R83	1k5 5% 0603
R84	1k5 5% 0603
R85	100R 1% 0603
R86	300R 1% 0603
R87	100R 1% 0603
R88	22R 1% 0603
U1	SMT322H7x3vit
U2	MC74HC4051ADTR2G
U3	MCP4726A0T-E/CH
U4	AOZ1284PI
U5	FAN8811
U6	USB3300-EZK-TR
U7	TL431ACDBZR
U8	REG1117-3.3
U9	LT1711CMS8#PBF
U10	LM2596S-ADJ/NOPB
U11	LTC7060
U12	LT1210CR#PBF
U13	LT1210CR#TRPBF
U14	LT1210CR
U15	FXMAR2104UMX
X1	24MHz

