

Česká zemědělská univerzita v Praze

Provozně ekonomická fakulta

Katedra informačních technologií



Bakalářská práce

Komunikace ve výdejním stojanu PHM

Robert Holeček

© 2009 ČZU v Praze

Lestné prohlášení

Prohlašuji, že svou bakalářskou práci "Komunikace ve výdejním stojanu PHM" jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informálních zdrojů, které jsou citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené bakalářské práce dále prohlašuji, že jsem v souvislosti s jejím vytvořením neporužil autorská práva třetích osob.

V Praze dne 23.4.2009

PODĚKOVÁNÍ

Děkuji tímto panu Ing. Martinu Havránkovi za odborné vedení a rady při zpracování bakalářské práce. Zároveň děkuji panu Ing. Petru Čindlerovi a jeho zaměstnancům za ochotu při poskytování potřebných podkladů. Velké poděkování patří mojí rodině za podporu a toleranci, zvláště pak mému dvouletému synovi, že nevpisoval své názory do této práce.

Komunikace ve výdejním stojanu PHM

Communication in delivery dispenser

SOUHRN

Práce nastiňuje možnosti a principy programování jednočipových procesorů v průmyslových elektronikách používaných pro řízení výdejních stojanů PHM. Důraz je kladen zejména na komunikaci mezi elektronikami nebo řídicí elektronikou a PC a komunikací na elektronice, tedy procesoru s periferiemi.

Je zajímavé porovnat jednotlivé procesory od různých výrobců, jejich jednotlivé funkce a periferie a vývoj jejich parametrů. Prvním výrobcem je Intel a jejich procesorem 80C51, druhým je Atmel s procesorem ATmega48, od třetího výrobce Renesas jsou zastoupeni dva procesory H83687 a H8S2378, čtvrtým a posledním výrobcem je STMicroelectronics, který má procesor STM32F101VC s jádrem ARM.

SUMMARY

The work outlines the principles programming options of mikrocontrollers in industrial electronics used for the management of fuel delivery dispensers. Emphasis is placed particularly on the communication between the PC and electronics or communications electronics, the processor with peripherals.

It is interesting to compare the different processors from different manufacturers, their respective functions and peripherals, and development of their parameters. The first is the manufacturer and Intel 80C51 processor, the second is with an Atmel ATmega48, from the third manufacturer Renesas are represented by two processors H83687 and H8S2378, fourth and last is the manufacturer STMicroelectronics to STM32F101VC processor with ARM core.

KLÍĽOVÁ SLOVA

Intel, 80C51, Atmel, Renesas, STMicroelectronic, ARM, UART, SPI, I2C, RS485, procesor.

KEY WORDS

Intel, 80C51, Atmel, Renesas, STMicroelectronic, ARM, UART, SPI, I2C, RS485, processor.

OBSAH

SOUHRN	4
SUMARY	4
KLÍĽOVÁ SLOVA	5
KEY WORDS	5
OBSAH	6
ÚVOD	8
1. CÍĽ PRÁCE A METODIKA	9
2. LITERÁRNÍ REĽERĽE	10
2.1. Rozhraní a typy komunikace.....	10
2.1.1. UART.....	10
2.1.2. I2C	11
2.1.3. SPI.....	14
2.1.4. RS485.....	16
2.1.5. INFRARED	16
2.2. Porovnání procesorů.....	17
2.2.1. Intel C51.....	17
2.2.2. Atmel.....	21
2.2.3. Renesas.....	25
2.2.4. ST-ARM.....	28
3. KOMUNIKACE MEZI JEDNOTKAMI STOJANU	33
3.1. Stručný popis jednotek stojanu	33
3.1.1. První generace	33
3.1.2. Zobrazovací moduly	35
3.1.3. Kreditní modul.....	38
3.1.4. Druhá generace	39
3.1.5. Integrované elektroniky	41
3.2. Komunikace	43
3.2.1. SPI a sérioparalelní registry	43
3.2.2. EEPROM 93C66	45

3.2.3.	Rozhraní I2C	46
3.2.4.	IR sériové asynchronní vysílání	47
3.2.5.	UART i Master slave	48
ZÁVĚR		54
SEZNAM LITERATURY		56
SEZNAM OBRÁZKŮ		58
SEZNAM TABULEK.....		58

ÚVOD

Již celá staletí se u člověka objevuje velká touha vymýšlet a objevovat nové věci. Díky tomu se pokrok šíří nezadržitelnou rychlostí vpřed. V posledních letech se životní styl stále zrychluje a je to vidět i na pokroku v elektrotechnické oblasti.

Už i dnešní malé děti bravurně zvládají práci s PC, ovládají mnohé programy a dokonale se orientují ve světě výpočetní techniky. Umluví však také používat celou řadu dalších elektrotechnických a multimediálních zařízení.

Také většinu chlapců už od velmi útlého věku uchvacuje elektronika a práce s ní a baví je neustále něco vymýšlet a tvořit. To je ostatně i cesta, kterou se většina z nich dostává ke svým koníčkům nebo i své budoucí práci.

A protože v poslední době většina elektrotechnických zařízení se dnes objevují nějaké jednopólové procesory, tak je zajímavé podívat se na možnosti a principy programování procesorů. A tam, kde je více procesorů, tam musí být i komunikace pro jejich vzájemné dorozumívání. A aby mohly společně komunikovat a daná zařízení dělala to, co má, je nutné, aby procesory byly správně naprogramovány.

Jednopólové procesory mají integrovány hodně periférií, což z nich dělá univerzálně použitelné součástky do unikátních elektronik pro konkrétní aplikace. Tato zakázková práce je samozřejmě složitější a náročnější, ale zároveň se také jedná o zajímavou část programování. Programování jednopólových procesorů je mnohem více spjata s hardwarem než programování PC. Porovnávání bude aplikováno a vysvětlováno na elektronice pro řešení výdejních palivových stojanů se zaměřením na problematiku sériové komunikace, která se objevuje všude a je stálou záležitostí.

A protože se jedná o zakázkovou a tudíž omezenou práci a ani není mnoho firem a lidí, kteří by se tím zabývali, tak je zajímavé podat informaci i ostatním.

Je také zajímavé srovnání výkonu procesorů a vývoj jednotlivých procesorů a jejich parametrů.

A právě to jsou důvody, které měly k volbě tohoto tématu.

1. CÍL PRÁCE A METODIKA

Cílem této bakalářské práce je osvětlit, jak fungují jednotlivé procesory. Jde však také o seznámení s různými druhy komunikace ve výdejním stojanu a porovnání použitých procesorů z pohledu těchto komunikací. A to od časování komunikace, přes rámec, až po obsah vlastních zpráv.

Budou porovnávány tři jednotlivé přístupy komunikace a jak se k tomu chovají procesory. Jako první je zde popisována sériová asynchronní komunikace v reálném čase, která je použita pro komunikaci mezi jednotlivými elektronkami stojanu. Dále je zde samozřejmě i zmínka o synchronní komunikaci, která je zde zastoupená dvěma sběrnicimi – I2C, SPI a je použita pro komunikaci procesorů s obvody na elektronice.

Také se zde píše o fyzickém rozhraní komunikace. Zde se uvádí dvě různé rozhraní. Nejprve je zmíněno RS485, které je použito pro dvě linky. A to mezi elektronikou CPU a zobrazovacími moduly, ale také mezi CPU a šdíícím systémem. Jako druhé je zde popisováno optické Infrared, které slouží pro servisní nastavování stojanů (je to stejné jako u dálkového ovládání od TV).

V části zabývající se vlastními procesory bude rozebrán způsob čtení a zápisu do registrů procesoru jednotlivých periférií a jednotlivé procesory zde budou porovnávány. Bude provedeno srovnání výkonu procesoru a popsán vývoj jednotlivých procesorů od 4 výrobců se čtyřmi jádry a vývoj jejich parametrů.

Bude zajímavé porovnat jednotlivé procesory (Intel80C51, ATmega48, H83687, H8S2378, STM32F101VC s jádrem ARM) od 4 výrobců (Intel, Atmel, Renesas, STMicroelectronics) a jejich jednotlivé funkce a periférie.

Popis procesorů se bude opírat o myšlenky jednoho z prvních a nejrozšířenějších typů procesorů od společnosti Intel. Jde o procesor 80C51, který je detailněji popsán a ostatní s ním byly částečně srovnávány. Srovnávání bude s procesory Atmel, Renesas, ST-ARM.

Ve druhé polovině je uveden popis jednotlivých částí a generací elektronik do výdejních stojanů PHM, ale také popis toho, kde jsou použity jednotlivé druhy komunikace.

2. LITERÁRNÍ REČERŠE

2.1. ROZHRANÍ A TYPY KOMUNIKACE

Existuje několik druhů rozhraní a typů sériové komunikace. Dále následuje popis některých z nich. Vybrány byly ty, které jsou použity v elektronikách výdejního stojanu.

2.1.1. UART

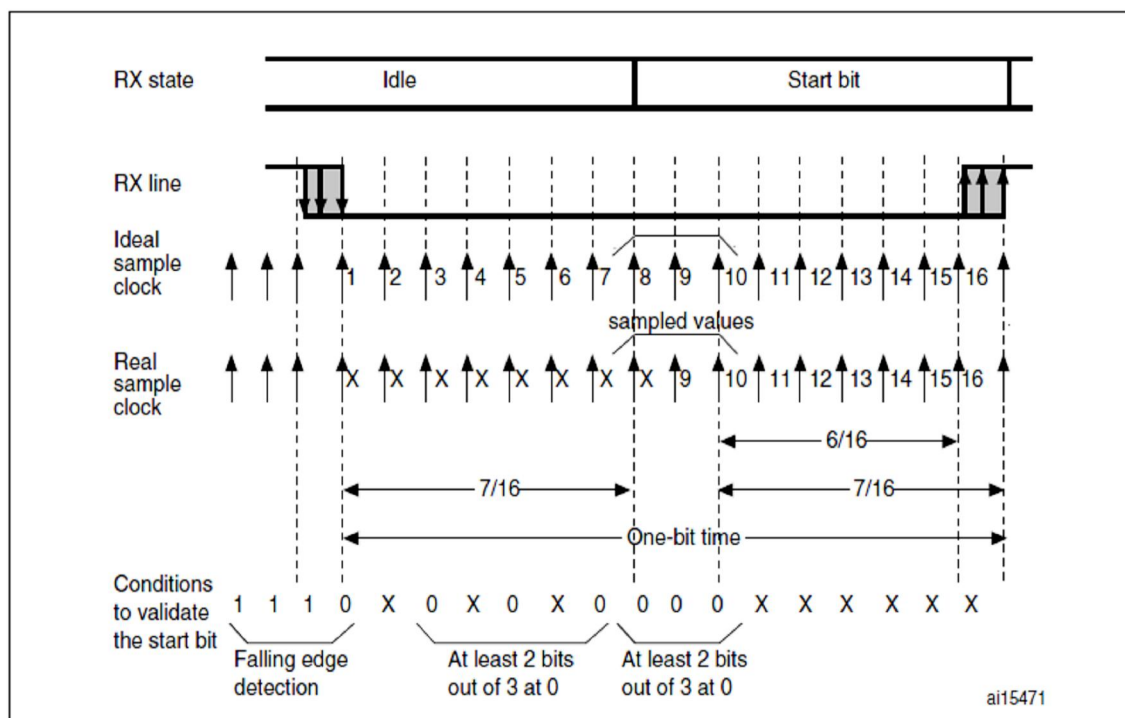
U asynchronní komunikace je klíčové nastavení shodné přenosové rychlosti i baudrate, která udává kolik bitů je přeneseno za 1 sekundu. Toto nastavení definuje dobu trvání jednoho přenášeného bitu ($1/\text{Baudrate}$). A protože u této komunikace není další synchronizační signál, který by určil platnost dat, je přesnost nastavení rychlosti důležitá.

Jeden datový byte, nebo lépe slovo, protože lze přenášet 5 datových bitů, je přenášen v takzvaném rámci. Součástí rámce je kromě již zmíněných datových bitů, 1 startbit, 0 nebo 1 bit parity a 1, 1½ nebo 2 stopbity. Z těchto bitů jsou povinné datové bity, startbit a alespoň jeden stopbit.

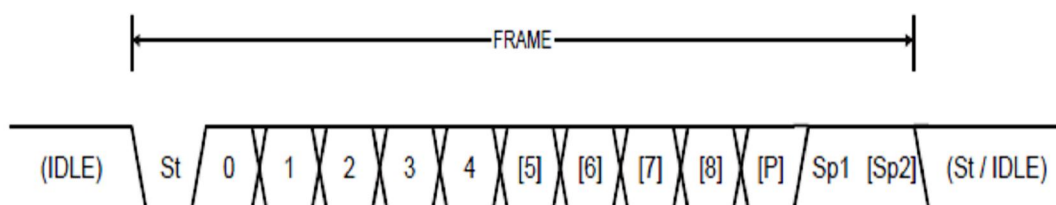
Minimální počet datových bitů je dán zařízeními, které mezi sebou komunikují. U některých nelze nastavovat počet datových bitů, takže se vždy musí přenášet 8bitů. Datové bity jsou vysílány od nejnižšího bitu po nejvyšší. Počet těchto bitů v rámci udává, kolik slov lze přenést za 1 sekundu.

Nastavení rámce, počet databitů, parity a stopbitů, je rovněž důležitý pro správný přenos dat. Podle startbitu se synchronizuje počtem ostatních bitů (**Obrázek 1.**).

Byte vždy začíná startbitem (logická 0) a končí stopbitem (logická 1). Po spádové hraně startbitu se počítá čas trvání jednoho bitu, přičemž se několikrát za tu dobu data vzorkují. Celý rámec jednoho slova znázorňuje **Obrázek 2.**, kde ST je start bit, 0 až 8 jsou datové bity, P je parita a SP jsou stopbity. IDLE je klidový stav, kdy nejsou přenášena žádná data. Maximální datový tok takto nastaveného přenosu při rychlosti 9600 by byl 738 ($9600/13$ bitů) byte za sekundu.



Obrázek 1 i vzorkování pŠjímacího UARTu i startbituú (zdroj: literatura [18])



Obrázek 2 i rámeč jednoho slova(zdroj: literatura [7])

2.1.2. I2C

Pořátkem 80-tých let 20. století společnost Philips vyvinula rozhraní I2C označované též I²C, IIC (Inter IC). Společnost Philips si tento standard peřlivě střeží autorskými právy a patenty, takže například společnost Atmel tuto komunikaci používá pod názvem TWI (Two Wire Interface).

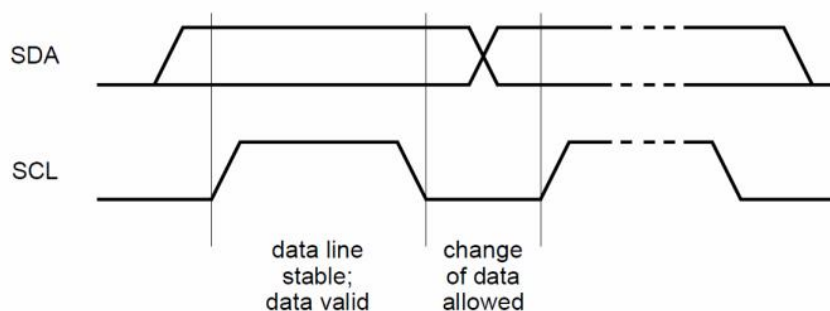
Stejně jako všechny ostatní komunikační rozhraní i toto se neustále mĕní. Hlavním cílem zmĕn je zrychlování pŠenosu dat a niĝĝí napájecí napĕtí.

V současné době existují tři módy:

- 1) původní Standard-mode s přenosovou rychlostí do 100kbit/s,
- 2) Fast-mode 400kbit/s,
- 3) Fast-mode plus 1Mbit/s,
- 4) High-speed mode 3.4Mbit/s¹.

Jak napovídá označení TWI, jedná se o dvou vodičovou sbírnici. Jeden vodič je datový SDA, druhý pro hodinové synchronizační pulsy (SCL) datového signálu.

Komunikace je typu master-slave. Na sbírnici může být pouze jedno nadřazené zařízení, které iniciuje komunikaci s ostatními podřazenými zařízeními i slavy. Hodinové pulsy generuje pouze nadřazené zařízení, podřazení s nimi synchronizují příjem nebo vysílání dat (**Obrázek 3**).

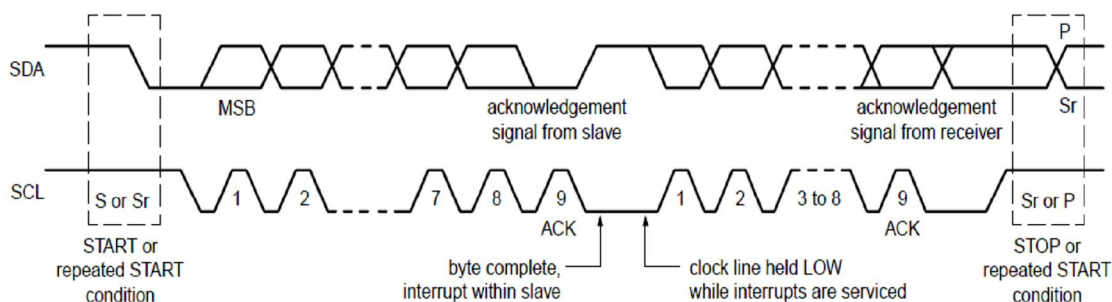


Obrázek 3 i platnost na sbírnici I2C (zdroj: literatura [15])

Jak již bylo zmíněno výše, komunikaci zahajuje nadřazené zařízení start bitem, což je pro přenos dat nepovolená sekvence na SCL a SDA. Při přenosu dat není povoleno měnit stav signálu SDA, pokud je SCL = 1. Pokud se změní SDA při SCL v logické 1, jedná se o startbit nebo stop bit. Stopbitem se přenos dat ukončuje a sbírnice se uvádí do klidového (výchozího) stavu.

¹ Philips (NXP), specifikace sbírnice I2C

http://www.semiconductors.philips.com/acrobat_download/literature/9398/39340011.pdf > [online][cit 2009-04-12]



Obrázek 4 i přenos dat na I2C (zdroj: literatura [15])

Každý přenesený byte musí být potvrzen bitem ACK nebo NACK (**Obrázek 4**). Po odeslání osmého bitu musí vždy odesílatel (jedno jestli podřazený nebo nadřazený) uvolnit SDA a příjemce vyžle bit ACK (SDA = 0) nebo NACK (SDA = 1). Pokud gádné zařzení byte nepřijalo, je automaticky na SDA logická 1 (NACK) nastavena upínacím rezistorem k Vdd.

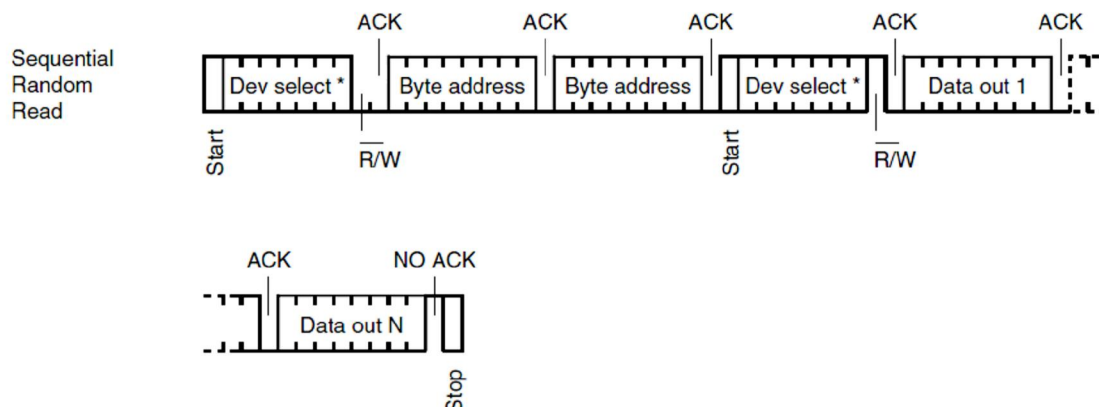
Po startbitu následuje hlavičkový byte s adresou zařzení a bitem R/W, který přepíná směr toku dat. Je-li R/W = 0, bude nadále vysílat nadřazené zařzení, jinak bude jen generovat SCL a SDA bude šdit vybrané zařzení. Pokud zařzení s touto adresou neexistuje nebo není přspraveno komunikovat, bude hlavička potvrzena bitem NACK.

Přenos dat od nadřazeného je jednodužší i díky plnému řzení sbírnice. Nadřazené zařzení předává sbírnici, respektive signál SDA, jen pro příjem devátého potvrzovacího bitu ACK. Přenos dat jednoduže ukončí stopbitem.

Přítení dat může být nejprve potřeba zapsat adresu, ze které se mají data íst, například u sériových pamí EEPROM. Potom je nejprve nutné s bitem R/W = 0 zapsat adresu, ukončit přenos dat stopbitem a začít samotné ítení startbitem a hlavičkovým bytem s bitem R/W = 0.

Přítení dat z podřazeného zařzení je poslední pógadovaný byte potvrzen bitem NACK. Podřazené zařzení již gádný další byte nevysílá.

Obrázek 5 znázorňuje ítení bloku dat ze sériové pamí M24C64. Nejprve je do pamí zapsána adresa, od které se mají data vyíítat, potom je přenos ukončen stopbitem a následně startbitem začíná nový přenos, tentokrát ítení. Každý přijatý byte je potvrzen bitem ACK, jen poslední bitem NACK, tím šká procesor pamí, že se jedná o poslední byte. Nakonec je stopbit a sbírnice zřstává v klidovém stavu.



Obrázek 5 Ilustrace bloku dat z paměti M24C64²

2.1.3. SPI

Další synchronní sériová sbírnice, tentokrát třívodičová, se označuje SPI (Serial Peripheral Interface). Jedná se o jednoduchou sbírnici, kde je opí vedeno nadřazené (Master) zařízení a jedno či více podřazených (Slave).

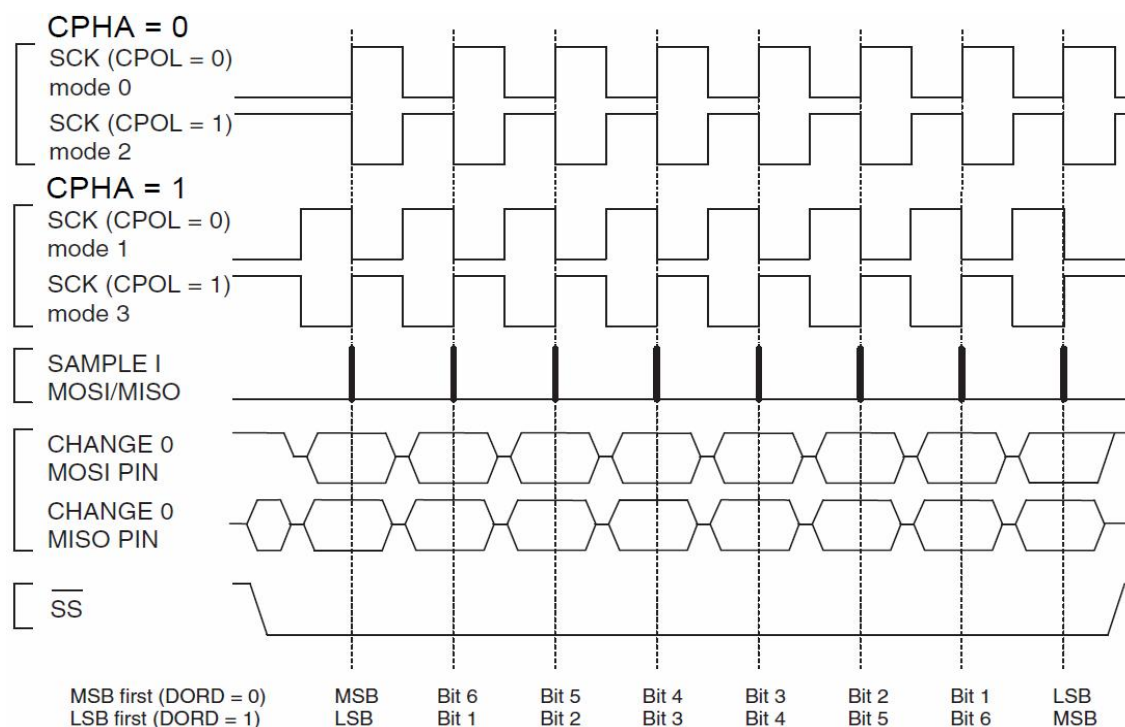
Pokud je více podřazených zařízení, jsou potřeba ještě signály, kterými se konkrétní zařízení vybere. Dále jsou někdy potřeba signály pro uložení přenesených dat, resetování podřazených zařízení a pod.

Proti I2C jsou zde dva datové vodiče: - vysílací (MOSI či Master Out Slave In),
- přijímací (MISO či Master In Slave Out).

Hodinové pulsy opí generuje pouze nadřazené zařízení. Každé zařízení reaguje jinak na hodinové pulsy, proto je potřeba nastavit, při jaké hraně jsou data platná a jaká úroveň signálu je klidová (**Obrázek 6**).

Díky potřebě dodatečných signálů je samotná sbírnice velmi jednoduchá. Nadřazené zařízení vybere jedno podřazené a výstupu MOSI bude vysílat data synchronizované signálem SCK. Současně s každým vyslaným bitem jeden bit přijme na vstupu MISO. Vždy se přenáší celý byte s tím, že jestli nejmenší bit bude první nebo poslední je určeno zařízeními, ne specifikací sbírnice.

² STMicroelectronics, M24C64 <<http://www.st.com/stonline/products/literature/ds/4578/m24c64-f.pdf>> [online][cit. 2009-04-19]



Obrázek 6 ě přenos byte na SPI, znal ení p řevzato z dokumentace ATmega48 (zdroj: literatura [7])

Krom ě komunikace mezi procesory je sb ěrnice SPI hojn ě vyu ěívána u obvod ů sérioparalelních posuvných registr ů, budi ů LCD zobrazova ě ů. Výhodou je zapojování t ěh to registr ů za sebe tak, ěe výstup p ředchozího je zapojen do vstupu následného a výstup z posledního je zapojen do MISO procesoru. Tím se docílí velkého po ě tu výstup ů s pou ěitím pouze minimálního po ě tu pin ů procesoru. U t ěh to registr ů je navíc je ě ě pot řeba minimální jeden signál ozna ěovaný RCLK, který p řesune obsah posuvného registru do záchytného výstupního záchytného výstupního registru³.

Dal ěí výhodou je, ěe není nutné dop ředu znát po ě et zapojených registr ů. Jednoduchou operací lze zjistit kapacitu celého posuvného registru. Existují samoz řejm ě vstupní sérioparalelní registry, které p řesouvají paralelní vstupy do sériového registru⁴. Tyto obvody lze bez problému mezi sebou kombinovat a zapojovat je na stejnou linku.

³ Texas Instrument, HC595 <<http://www.farnell.com/datasheets/74564.pdf>> [online][cit 2009-04-13]

⁴ Texas Instrument, HC165 <<http://www.farnell.com/datasheets/93345.pdf>> [online][cit 2009-04-13]

2.1.4. RS485

Pro průmyslové aplikace, kde se přenášejí data na větší vzdálenosti a hlavně v prostředí kde hrozí, že budou přenášená data ponížena například elektromagnetickou indukcí, musí být použita sbírnice odolná vůči tomto jevu. Sbírnice RS485 je proudová rozdílová s impedančním zakončením na koncích vedení. Sbírnice je tvořena dvěma vodiči označovanými jako A a B⁵.

To, že je sbírnice proudová znamená, že nesené informace není napěťová úroveň, jako je tomu u RS232 nebo TTL, ale proud tekoucí jedním nebo druhým směrem. Protože proud vzniká rozdílem napětí, je logická hodnota na sbírnicí definována vlastní hodnotou napětí mezi datovými vodiči A a B. Impedanční zakončení je tvořeno rezistorem mezi vodiči A a B.

Pokud se naindukuje napětí do vodičů, změní se napětí obou vodičů stejně tak i rozdílové napětí je opět stejné. Délka a počet připojených zařízení jsou spolu v nepřímo úměrnosti. Současně délkou linky snižuje vyžádání rychlost. U rozvířených linek může být maximálně 16 zařízení, při použití pájímale může být až 128 zařízení. Délka vedení může být až 1600 m. Jako vodič je doporučen tzv. twistový pár, což je zkroucený pár vodičů. Vedení vodičů je možné vlnit, ale doporučuje se, aby odbočky byly co nejkratší, aby vedení mělo charakter spíše rovné linie.

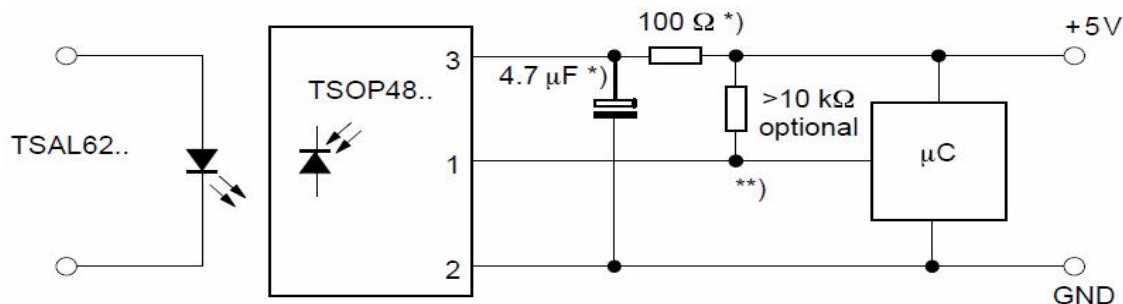
2.1.5. INFRARED

Bezdrátové rozhraní progívá v poslední době veliký rozmach. Rádiové připojení má větší rozsah ve srovnání s optickým infračerveným, ale samotné radiové přijímání a vysílání jsou složitější. Proto se používá zejména v zábavní technice u levných pokojových modelů vrtulníků a loď infračervené šízení.

Díky vývoji v této oblasti je konstrukce vysílání a hlavně přijímání velmi jednoduchá. Na přijímací straně je pouze přijímací obvod s přijímací infračervenou LED a dekodérem signálu, takže na výstupu je dekodovaný datový signál. Na vysílací straně je pouze vysílací infračervená LED (**Obrázek 7.**), ovládaná například tranzistorem, protože port procesoru nedodá potřebný proud.

⁵ HW.cz, <<http://hw.cz/Teorie-a-praxe/Dokumentace/ART705-Prenos-dat-po-linkach-RS485-a-RS422.html>> [online][cit. 2009-04-15]

Do vysílací LED se generuje signál s frekvencí danou konkrétním přijímačem (pro TSOP4833 je frekvence 33kHz⁶). Po dobu, kdy je signál vysílán, je na výstupu 0 a v klidovém stavu je na výstupu 1. Přijímače TSOP48xx jsou určeny pro malé přenosové rychlosti, šádkovně 800bit/s. Infračervený datový přenos není určen pro velké objemy dat, ale pro jednotky byte, například od dálkového ovladače.



Obrázek 7 i infračervený vysílač a přijímač (zdroj: literatura [22])

2.2. POROVNÁNÍ PROCESORŮ

2.2.1. INTEL C51

Společnost Intel byla založena roku 1968. V roce 1971 uvedli na trh svět první mikroprocesor, na který je společnost stále pyšná. Jednotipový procesor 8051 byl uveden na trh v roce 1980 a v roce 1983 byl procesor předlán na technologii CHMOS (complementary high-performance MOS). Od té doby vzniklo mnoho klonů od mnoha výrobců tohoto legendárního procesoru, který má své zastánce dodnes.

Jednotipový procesor se od klasického procesoru použitého v osobním počítači typu IBM-PC, liší tím, že nepotřebuje další periférie, jako jsou například UARTy, šádky DMA, šádky přerušení. Všechny tyto periférie již jednotipový procesor obsahuje. Další vlastností jednotipového procesoru je přesná doba trvání každé instrukce. Podle kategorie trvá 1, 2 nebo 4 cykly procesoru.

Procesor 80C51 je osmibitový s odděleným adresovým prostorem pro data a program, každý o velikosti 64kB. Adresový prostor paměti programu je prostý lineární, nijak sdílený nebo dělený. Adresový prostor paměti dat je sice uváděn jako 64kB, ale přesněji by bylo 64kB plus 256 byte vnitřní paměti.

⁶ Vishay, TSOP4833 < <http://www.vishay.com/docs/82090/tsop48xx.pdf> > [online][cit. 2009-04-19]

Vnitřní paměť se dále dělí na dolních přímo adresovatelných 128 byte (0h až 7Fh) a horních nepřímo adresovatelných 128 byte (80h až FFh). Dolní část vnitřní paměti, v sestavě C51 společnosti Keil označovaná specifikátorem *__data*, navíc obsahuje čtyři banky po osmi registrech. Po nich přímo následuje 16 byte adresovatelných jak klasicky po bytu, tak ještě bitově. Aby byla proměnná uložena v této části, musí být specifikována klíčovým slovem *__data*.

Pokud se data nevejdou do dolních 128 byte, musí být specifikovány klíčovým slovem *__data*. V horních 128 bytech je také přímo adresovatelná paměť, ale je vyhrazena pro SFR (Special Function Registers), tedy registry periferie procesoru (**Tabulka 1.**).

U přímého adresování následuje za instrukcí MOV ještě byte adresy paměťového místa, odkud nebo kam se mají data uložit. U nepřímého adresování musí být nejprve adresa paměťového místa uložena do registru. Číslo registru je použito jako součást instrukce MOV. Zvláštní přístup je potom k bitově adresovatelné části paměti.

Pokud je proměnná definovaná jako *bdata*, je k ní možné přistupovat jako k celému bytu nebo ke každému bitu jednotlivě jako k booleovské proměnné. Výhodou je nepochybně přehlednost a dvojí přístup k proměnné, například pokud je proměnná stavovým slovem, kde každý bit má odlišný význam. Samozřejmě je možné vytvořit booleovskou proměnnou přímo jako datový typ *sbit*.

Rychlost a výkon procesoru 80C51 je poplatný době vzniku, procesor 8086 již existoval a 80286 byl ve vývoji. Dekódování instrukcí bylo velmi náročné, stejně tak vykonání. Zpracování instrukce bylo rozděleno na cykly, přičemž každý cyklus trvá 12 period hodin. Při maximální frekvenci 12Mhz může být největší rychlost 1MIPS, ale jen za předpokladu, že se zpracovávají jedno cyklové instrukce (logické operace), dvou cyklové (přesun dat, logické operace s přesunem dat) rychlost snižují. Reálná rychlost tedy bude vlněně 0,5 MIPS⁷.

Procesor existuje v mnoha obměnách týkajících se velikosti vnitřní paměti RAM, ROM a počtu periferií (číslovače, sériové linky). Podstatnou nevýhodou jádra procesoru je omezený adresný prostor na 64kB. Sice je možné pomocí sestavě Keil

⁷ HRÁZSKÝ JOSEF, Mikropočítače a počítače. 1. vydání. Praha: Informatorium - učebnice středních škol, 1996, 211s. ISBN 80-85427-90-7

vytvorí program pracujúci vo viac bankách a tým adresový priestor rozšíri o $n \cdot 64\text{KB}$, ale práca s týmto bankovaným programom je obtiažná a nie je možné použiť napríklad emulátor k ladeniu programu.

Pokiaľ sa nepoužíva externá pamäť prístupná touto bytovou instrukciou MOVX (kód instrukcie + dvojbajtová adresa), výsledný kód nie je ani príliš náročný na veľkosť pamäte. Problém je u väčších aplikácií, kde je potreba externé pamäť RAM a veľkosťou je potreba adresovania pole. Načítanie jedného bajtu potom zabere 11 bajtov pamäte programu.

Pokiaľ budeme uvažovať o základnej verzii procesoru 80C51, potom ani funkcie periférií sa nedá srovnávať s procesormi ATmega, Renesas ani s procesormi s jadrom ARM. Čítať a zapisovať podporuje len načítanie / písanie nahor, spúšťa načítanie stavu vstupu, načítanie udalostí na vstupe. Nie je možné nastavovať od akej hodnoty vstupu sa má spustiť načítanie a už vôbec nie je možné ovládať funkciu PWM alebo obecné hardwarové štieňenie výstupu. Ďalej jediná prídavná časovač je spoločná pre inštrukčné cykly, teda frekvencia oscilátora je delena 12.

Symbol	Description	Bit Symbol							
		b7	b6	b5	b4	b3	b2	b1	b0
ACC(1)	Accumulator								
IE(1)	Interrupt enable	EA	0	0	ES	ET1	EX1	ET0	EX0
IP(1)	Interrupt priority	0	0	0	PS	PT1	PX1	PT0	PX0
P0(1)	Port 1	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
P1(1)	Port 2	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
P2(1)	Port 3	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
P3(1)	Port 4	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
PCON	Power control	SMOD	0	0	0	GF1	GF0	PD	IDL
PSW(1)	Program status word	CY	AC	F0	RS1	RS0	OV	0	P
SBUF	Serial data buffer								
SCON(1)	Serial controller	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
TCON(1)	Timer control	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
TMOD	Timer mode	GATE	C/T	M1	M0	GATE	C/T	M1	M0
Note:									
1.	bit addressable								

Tabuľka 1i vybrané SFR procesor 80C51 i Special Function Register

K nastavení a ovládání slouží pouze jeden registr SCON. V registru PCON je bit SMOD pro nastavení rychlosti komunikace. Samotná rychlost se nastavuje v $f_{osc}/16$, protože má f_{osc} napevno frekvenci dle danou dvanácti, je potřeba použít vhodný krystal, aby bylo možné požadovanou komunikační rychlost vůbec nastavit.

Sériová linka podporuje dva směry jako zdroj přerušení:

- od skončení vysílání byte, přerušení se vyvolá pokud byl odeslán stop bit,
- od přijetí znaku, přerušení je vyvoláno přijetím stop bitu.

Sériová linka podporuje pouze 8 bitů, jeden stop bit, bez parity. Pokud je potřeba komunikace s paritou, využívá se paritní bit ve stavovém slovu PSW jednotky ALU. Paritní bit P se nastavuje při každém instrukčním cyklu. Po uložení odesílaného byte do akumulátoru ACC se nastaví paritní bit (sudá parita). Samotné odeslání může být realizováno například takto $ACC = x$; $ACC7 = P$; $S0BUF = ACC$. Při něm se využívá bitového přístupu k registru ACC a paritní bit se ukládá přímo do bitu 7 akumulátoru.

Kontrola parity u přijatého znaku je ještě jednodušší, přijatý byte se uloží do akumulátoru a zkontroluje se paritní bit, u sudé parity musí být vždy roven 0.

Sériová linka dále podporuje devíti bitovou komunikaci. Devátý bit může být využit jako druhý stop bit, respektive první, protože druhý generuje procesor nebo pro multiprocesorovou komunikaci, přičemž se rozlišuje byte s adresou. Ten má nastaven devátý bit roven 1. Po přijetí adresy si příslušný procesor vypne multiprocesorovou komunikaci a další byty jsou odesílány s devátým bitem rovným 0.

Tyto ostatní byty potom přijímá jen procesor, který rozpoznal svou adresu. Tohoto režimu je vhodné využívat u komunikací s vysokou rychlostí nebo pokud by zbytečné přerušování od sériové linky narušovalo chod hlavního programu. Při rychlosti 57600 baud trvá přenos jednoho byte 174 mikrosekund, což při frekvenci krystalu 12 MHz odpovídá 174 instrukčním cyklům.

Protože většina instrukcí je dvou cyklová, zbývá opravdu málo prostředků pro vykonávání hlavního programu. Při použití multiprocesorové komunikace je procesor zatížen komunikací jen když je to opravdu potřeba.

Nejdůležitější částí sériové linky pro tuto práci je chování periférie, zejména při vysílání. Při příchodu se nastaví příznak bit RI na 1, když je do registru SBUF uložen přijatý byte a vyvolá se přerušení. Přerušení se zruší zapsáním 0 do bitu RI, registr

SBUF však nemusí být vyřazen. Smazání bitu RI není nijak podmíněno vyřazením registru SBUF a naopak zápis dalšího příjateého byte není podmíněn smazáním nebo vyřazením bitu RI.

U procesoru 80C51 je funkce vysílání poměrně jednoduchá. Přerušení se vyvolá nastavením bitu TI do 1 a to i programově. Zápisem byte do SBUF se začne byte vysílat a po odeslání stop bitu se nastaví bit TI na 1 a vyvolá se přerušení.

Sériovou komunikaci je možné rovněž ovládat mimo přerušení kontrolováním bitů RI a TI. To ovšem vyžaduje jistotu, že se program nezastaví na delší dobu v jiné funkci a tím nezpůsobí ztrátu přijímaných dat.

Pro tuto práci je podstatné zmínit procesor společnosti Siemens 80C517A, jedná se o klon 80C51 s rozšířenými periferiemi. Proti základní verzi procesoru 80C51 má klon 80C517A 2kB vnitřní XRAM, 8 portů, 4 16bitové časovače, 2 UARTy, 8 DPTR pro adresování externí RAM a hlavně vylepšenou matematickou jednotku. Výkonnostní je vylepšena pouze v matematických operacích a rozšířenou možností adresace DPTR. Jinak je stále diskriminován 12-ti periodami hodin na instrukční cyklus, takže při maximální frekvenci 18MHz trvá instrukční cyklus 666ns.

2.2.2. ATMEL

Společnost Atmel vyrábí, mimo jiné, procesory řady AT89Cxx s jádrem 80C51 obohacené o vnitřní programovou paměť flash. Společnost Intel nebo Philips⁸ sice také vyráběly procesory s integrovanou pamětí EPROM, ale ty je nutné mazat ultrafialovým světlem.

Paměť flash se máge stejně jako se programuje, elektrickým impulzem. Vnitřní paměť nikdy není velká jako celý adresový prostor, ale má velikou výhodu v jednoduchosti aplikace.

Pokud je paměť programu uvnitř procesoru, není použita externí adresová a datová sbírnice, čímž se zmenší takováto elektronika a hlavně nejsou zabráněny dva ze čtyř portů procesoru pro sbírnici. Pokud tedy v aplikaci stačí 20kB programové

⁸ Intel, 87xC51 < http://www.keil.com/dd/docs/datashts/intel/80x1bh_87c51_ds.pdf > [online][cit 2009-04-07]

paměti, je AT89C55WD vhodným kandidátem. Pro malé jednoduché elektroniky vyrábí Atmel procesor AT89C2051 se 2kB vnitřní flash nebo AT89C4051 se 4kB flash.

Výše zmíněné procesory jsou vybaveny periferiemi podobnými jako 80C51, jen AT89C2051 má pouze 15 vstupních výstupních pinů, což je srovnatelné s 80C51, když používá externí programovou paměť.

Již u procesorů s jádrem 80C51 společnost Atmel začala vyrábět procesory programovatelné přímo v elektronice⁹, ne výhradně v programovacím zařízení.

V roce 1997 přišla společnost Atmel na trh s procesory AVR® 8-Bit RISC. Procesory řady AVR mají stejný jako procesory s jádrem x51 harvardskou architekturu, tedy paměťový prostor dat a programu je oddělený. Paměť pro program flash i datová RAM jsou integrované v procesoru. Program do paměti flash je možné uložit ve speciálním programátoru nebo po lince SPI přímo v elektronice.

Podobně jako v jádru x51 i procesory AVR mají 32 registrů, ale nejsou rozděleny do bank. Posledních šest registrů se používá k adresování paměti, jako tři 16 bitové registry¹⁰. Většina instrukcí je 16-bitových, pouze několik jich je 32-bitových.

Důležitý rozdíl je u přerušení. Procesorům AVR nelze nastavovat prioritu, neboť je pevně dána seřazením vektorů v tabulce. Čím blíže nule, tím vyšší priorita. Součástí jádra AVR nepodporuje obsluhu více přerušení najednou. Po vygenerování přerušení je bit I v registru SREG smazán a na konci přerušení je funkce ukončena instrukcí RETI. Tím se bit I opět nastaví¹¹.

Lze to sice obejít programováním instrukce SEI, je to ovšem dost rizikové, protože pokud bude stejné přerušení vyvoláno dříve, než se první ukončí, dojde k němu podobnému jako je rekurzivní volání funkce a může dojít k přeplnění zásobníku a narušení konzistence dat.

Pro případ, že by došlo k takovému zabloudlému programu, je možné v procesoru zapnout periferii Watchdog, což je časovač, který je potřeba programováním obnovovat.

⁹ Atmel, AT89S52 <http://www.atmel.com/dyn/resources/prod_documents/doc1919.pdf> [online][cit 2009-04-07]

¹⁰ HW server, AVR <<http://avr.hw.cz>> [online][cit 2009-04-08]

¹¹ VÁČA Vladimír, Mikrokontroléry ATMEL AVR programování v jazyce C.

Pokud dojde k vypržení časovače Watchdog, vyvolá se reset procesoru. Watchdog tedy hlídá program, aby nezabloudil do nedefinovaného stavu, ale raději aby došlo k resetu.

Pokud se budeme vlivovat poměrně jednoduchému procesoru ATmega48, co se týká periférií, je nesrovnatelně vybavenější než 80C51. ATmega48 má 4kB programové paměti, 512B RAM, 256B EEPROM, 3 kóty / časovače s možností generovat PWM výstup, 8 vstupů AD převodníku, USART, SPI, TWI (I2C), Watchdog a další periférie. To vše je v pouzdře s 28 piny. Navíc je možné použít piny pro oscilátor a RESET jako vstupní/výstupní a využít tak 23 vstupních/výstupních pinů. Funkce kóty a časovače, které musí být mnohem složitější než časovač x51 (mají mnohem více funkcí), je zbytečné zde podrobněji rozebírat.

Velmi zajímavá, ve srovnání s procesorem 80C51, je funkce vstupních/výstupních portů. Každý pin je možné nastavit v registru DDRx jako vstupní nebo jako výstupní, tedy směr toku dat. Pokud je pin jako výstupní, je možné vyčíst stav pinu z registru PINx stejně jako by byl vstupní.

Dvoji funkci má registr PORTx:

- Pokud je pin výstupní, je v registru PORTx na příslušném bitu uložen stav výstupu.
- Pokud je pin vstupní, je možné nastavením příslušného bitu na 1 přepnout vstupní pin vnitřním rezistorem k napájecímu napětí.

Po resetu jsou všechny porty přepnuty jako vstupní ve třetím i vysoko impedančním stavu. To zaručuje, že nedojde k bližem zapnutí a vypnutí procesoru k zakmitání signálu na portu. U procesoru x51 nic podobného nastavovat nelze.

Princip fungování sériové linky je opět odlišný.

První velký rozdíl je ve vektorech přerušení. V procesorech AVR jsou tři vektory i pro přím, konec vysílání a datový registr je prázdný. Pro nastavení a ovládání slouží i tři registry a stejně jako u x51, datový pro vysílání a přijímaný byte. Proti procesorům x51, je zde možné používat USART jako UART (synchronní sériová komunikace) a SPI¹².

Dále je možné nastavovat počet přenášených bitů od 5 do 9, paritu (sudou, lichou nebo žádnou), počet stop bitů (1 nebo 2) a multiprocesorovou komunikaci.

¹² Atmel, ATmega48 <http://www.atmel.com/dyn/resources/prod_documents/doc2545.pdf> [online][cit. 2009-04-19]

Možnosti nastavení jsou tedy velmi podobné jako na PC.

Registr UCSRA je převážně stavový registr, kam se ukládají příznaky, že byl přijat byte a je připraven k vyřazení z registru UDR. Celý byte byl celý odeslán nebo došlo k chybnému přijmu byte. Bit RXC (Receive Complete) je pouze pro řízení a pokud je 1 v registru UDR, je nevyřazený byte, po vyřazení UDR bude RXC 0.

Pro příjem jsou zde ještě tři bity pouze ke řízení – FE, DOR, UPE, které informují, že došlo k chybnému příjmu byte.

- Bit FE přijatý byte má chybný stop bit, byl 0 ne 1.
- Bit DOR informuje, že byl přijat další byte dříve, než byl vyřazen předchozí z UDR, tedy došlo ke ztrátě bytu.
- A poslední chybový bit bude 1, pokud bude povolena parita a přijatý byte bude mít chybu parity.

Pro vysílání jsou v UCSRA vyhrazeny dva bity TXC a UDRE. Datový registr UDR funguje pro vysílání jako vyrovnávací paměť.

Bit UDRE (UDR Empty) je pouze pro řízení, stejně jako RXC a je roven 1. Když je datový registr UDR prázdný, jeho obsah byl přesunut do posuvného registru a je připraven k zápisu dalšího byte. Když nebyl do datového registru zapsán další byte a posuvný registr byl odvyslán, výstupní pin Tx je v klidovém stavu, zapíše se 1 do bitu TXC (Transmit Complete).

V registru UCSRB se povolují přerušení a samotné moduly vysílání a příjmu. Funkce přerušení příjmu se zavolá v okamžiku, kdy bude nastaven bit RXC. Byte byl přijat a samozřejmě bude přerušení povoleno bitem RXCIE v UCSRB.

Dokud bude RXC roven 1, bude se stále generovat přerušení příjmu, bit RXC se smaže vyřazením datového registru UDR a tím se také ukončí generování přerušení příjmu.

Přerušení od vysílání má dva vektory:

- od prázdného UDR,
- od ukončení vysílání.

Při ukončení vysílání se volá přerušení, když dojde k nastavení bitu TXC a pokud je povoleno bitem TXCIE. Bit TXC se smaže automaticky při vykonání tohoto přerušení a další žádost o přerušení již není generována. Přerušení generované při vyprázdnění datového registru UDR musí být povoleno bitem UDRIE. Toto přerušení je

generováno neustále, dokud nedojde k zápisu do datového registru UDR nebo není přerušení zakázáno smazáním bitu UDRIE.

Přerušení Ávysílání ukončeno je generováno jen tehdy, když tato událost nastane, ale přerušení Ádatový registr je prázdný, je generováno stále, pokud je povoleno nebo dokud nedojde k zápisu dat do UDR.

Druhý rozdíl je v časovém rozdílu, kdy tyto události nastanou. Přerušení, že je datový registr prázdný, nastane při přesunu bytu z datového registru do posuvného, tedy je předáno k odvysílání. Když událost Ávysílání ukončeno nastane až ve chvíli, kdy je fyzicky byte odvysílán a je možné například vypnout modul vysílání nebo přepnout směr komunikace u polo duplexní komunikace po lince RS485.

Další novinkou proti procesorům x51 je modul SPI, což je synchronní sériová komunikace, kdy je během jedné periody hodin jeden bit odeslán a současně jeden přijat. V jakém stavu hodin jsou data platná a v jakém se mění, lze nastavit v registru SPCR.

Ve stejném registru se nastavuje i frekvence hodin a přidá se bit, který bit je první nejvyšší nebo nejnižší. Modul SPI může generovat přerušení, pokud je povoleno bitem SPIE v SPCR. Přerušení je generováno, když je přenos bytu ukončen a současně je nastaven bit SPIF v SPSR.

Pokud není použito přerušení, stačí kontrolovat bit SPIF, je-li roven 1. Po přetížení SPSR s nastaveným bitem SPIF a přetížení dat z SPDR nebo po vykonání přerušení, se SPIF smaže na 0. Přenos dat je spuštěn zapsáním dat do SPDR. V procesorech s jádrem 80C51 musela být komunikace SPI řešena programováním ovládáním pinů procesoru.

2.2.3. RENESAS

Japonská společnost Renesas Technology vznikla v roce 2003 spojením rovněž japonských společností Hitachi a Mitsubishi Electric. Každá ze společností přinesla do svazku své produkty. Procesory H83687, H8S2378 vznikly ve společnosti Hitachi.

Procesor H83687 je jeden z nejvíce vybavených procesorů periferiemi a pamětmi ve své sérii i Tiny.

Společnost Renesas zvolila u svých procesorů, na rozdíl od AVR a 80C51, von Neumannovu architekturu, tedy data a program má společný adresový prostor.

U procesorů Tiny je adresový prostor omezený na 64kB dat a programu. Procesor je 16bitový s osmi 32bitovými registry (ERx), přičemž je možné k nim přistupovat 8 (RxH, RxL) i 16 (Ex, Rx) bitovými (**Tabulka 2.**).

Procesor je sice 16bitový, ale instrukce pracují i s celým 32bitovým registrem. Stejně jako je rozdělen registr na word (slovo 16bitů) a byte (8bitů), tak i některé instrukce mají tři varianty (MOVL, MOVW a MOVB).

Využívání 32bitů registrů pro přenos dat je velký přínos, ale 32bitové aritmetické operace jsou doslova obrovský přínos. Proti 8 bitovému jádru procesorů 80C51 nebo AVR je posun v 32 bitovém počítání skutečným revolučním krokem.

Při počítání adresy paměťového místa stačí jednou instrukcí sečíst dva registry, bez komplikací s načítáním dvou dvoubytových slov a počítáním s příznakem přetečení.

	15	0 15	0 7	0
		7		0
ER0	E0	R0		
		R0H	R0L	
ER1	E1	R1		
		R1H	R1L	
ER2	E2	R2		
		R2H	R2L	
ER3	E3	R3		
		R3H	R3L	
ER4	E4	R4		
		R4H	R4L	
ER5	E5	R5		
		R5H	R5L	
ER6	E6	R6		
		R6H	R6L	
ER7	E7	R7		
		R7H	R7L	

Tabulka 2i registry procesorů Renesas

Procesor H83687 má vnitřní programovou paměť flash 56kB, datovou RAM 4kB, s tím že 1kB je vyhrazen pro programování flash, takže lze / ukládat, modul

reálného času RTC, I2C, dva moduly UART i SCI (Serial Control Interface), AD převodník a Watchdog¹³.

Programová paměť flash se programuje přímo v elektronice přes sériový kanál 1 speciálním protokolem.

Sériové linky SCI jsou v procesoru funkčně shodné, ale každé má své registry a piny na procesoru. Lze nastavovat synchronní / asynchronní přenos, počet databitů (7 nebo 8), paritu (sudá, lichá, žádná), 1 nebo 2 stop bity a multiprocesorovou komunikaci.

Registry pro ovládání sériové linky jsou tři:

- registry pro nastavování režimu i SMR,
- šifovací registr i SCR,
- stavový i SSR.

V SMR se nastavují výše uvedené parametry (parita, počet data bitů atd.).

V šifrovacím SCR se ovládá celá periferie, povoluje se vysílání a příjem, povolují se přerušení a divize pro baudrate. Samotná komunikační rychlost se potom nastavuje v registru 8 bitovém BRR.

Do statusového registru SSR ukládá SCI příznaky přerušení a multiprocesorový bit.

Renesas používá oddělený datový registr pro vysílání (TDR) a pro příjem (RDR).

V procesoru H8S3687 jsou tři vektory přerušení:

- byl přijat byte a je připraven k přelčení z datového registru RDR (příznak RDRF i RDR Full),
- vysílací registr TDR je prázdný (TDRE i TDR Empty),
- konec vysílání (TEND i Transmit End),
- chyba příjmu byte (OER i Overrun Error, FER i Framing Error, PER i Parity Error).

Proti procesoru ATmega48 působí samostatný vektor chyby příjmu byte, u ATmega48 byla tato událost zpracována v přerušení od příjmu nového bytu. Princip událostí je shodný s procesorem ATmega48, jen se liší obsluha a chování příznaků.

¹³ Renesas, H8S3687 <http://documentation.renesas.com/eng/products/mpumcu/rej09b0027_h83687.pdf> [online][cit 2009-04-09]

Za předpokladu, že jsou povolena všechna čtyři přerušení a bude přijat nový byte v pořádku, nastaví se RDRF a vyvolá se přerušení. Příznak RDRF se smaže po vyčtení datového shiftrového registru.

Nastane-li při příjmu nějaká chyba, nastaví se příslušný příznak a zavolá se přerušení. Současně se nastaví i příznak, že byl přijat nový byte. Příznaky chybného příjmu je potřeba pro vyčtení smazat na 0.

Vysílání funguje opět dvou fázovým přerušením od prázdného vysílacího datového registru se vyvolá po přepsání TDR do TSR (Transmit Shift Register – není programu přístupný) a nastaví se příznak TDRE. Po odvysílání posuvného registru TSR se nastaví příznak TEND a přerušení se generuje, dokud není zapsán další byte do vysílacího registru nebo není přerušení zakázáno bitem TEIE.

Procesor H8S2378 je také 16 bitový procesor, ale již není ze série malých procesorů Tiny. Tento procesor má integrovanou programovou paměť flash 512kB, 32kB datové paměti RAM. Ďalšími perifériemi například 6 I²C / I²S a 1 UART vzájemně propojitelných se vstupy a výstupy, 2 kanály I²C, 5 jednotek SCI s možností komunikace s rozhraním IrDA, 1 DMA, 16 osmi bitových portů a další. Jádro je podobné procesoru H83687, registry jsou shodné, samozřejmě má větší adresový prostor závislý na nastaveném režimu.

V režimu, kdy využívá vnitřní paměti je 24 bitový. Jedná se o velmi výkonný procesor s maximální frekvencí krystalu 25MHz a nastavenou vnitřní násobnou rychlostí 4, může pracovat na frekvenci 100MHz. V kombinaci s 32 bitovými registry je výkon tohoto procesoru a procesorů s jádrem 80C51 neporovnatelný. Rozhraní SCI funguje stejně jako procesoru H83687.

2.2.4. ST-ARM

V roce 1985 společnost Acorn Computer group vyvinula první komerční RISCový procesor. V roce 1990 se společnost VLSI Technology stává prvním držitelem licence technologie ARM. O devět let později kupuje licenci také společnost STMicroelectronics a k dnešnímu dni vlastní licenci 424 společností¹⁴. První procesor

¹⁴ ARM, partneré společnosti <http://www.arm.com/community/all_partners.php> [online][cit 2009-04-11]

s jádrem Cortex-M3 spatřil světlo světa v roce 2004¹⁵. Poslední statistický údaj, který stojí za uvedení je rok 2007, kdy byl procesor s jádrem ARM, zhruba ve čtvrtině všech prodaných elektrických zařízení.

Společnost ARM vsadila na vývoj výkonného 32 bitového jádra, které bude poskytovat dalším výrobcům. Evidentně se jí tato politika vyplatila.

Jádro Cortex-M3 má být vysoce výkonné s nízkou spotřebou energie a současně cenově srovnatelné s 8 a 16 bitovými procesory. Cortex-M3 používá harvardskou architekturu, proti ARM7, ze kterého vychází. U harvardské architektury je možné mít data i instrukce ve stejném okamžiku, paralelní zpracování je dalším cílem nového jádra.

Za nevýhodu procesorů s jádrem ARM je považována "dlouhá" odezva portů, asi 7 hodinových cyklů, ve srovnání s procesory 80C51, které si nesou historické prokletí 12 hodinových cyklů na instrukci, což je bezesporu minoritní handicap.

Společnost STMicroelectronic vyrábí procesory rodiny STM32F10xxx, které se mezi sebou liší hlavně velikostí paměti programu a dat a velikostí pouzdra, tedy počtem vstupních/výstupních portů.

Procesor STM32F101VC má 256kB programové paměti flash, 32kB RAM, 2 DMA kanály, šestnáct 12 bitových AD převodníků, 8 16bitových / 32bitových timerů, 3 USARTy, 2 UARTy, 2 SPI, 2 I2C a další periferie¹⁶.

Velký rozdíl oproti předchozím procesorům je z pohledu programátora ovládání periférií. Každá periferie jich má mnohem více a navíc jsou 16 nebo 32 bitové.

Sériová linka (USART) potřebuje jeden stavový (SR) s deseti použitými bity. Řídící registry už jsou těmi šesti použitými bity. Sériová linka je mimo jiné tak složitá proto, že podporuje komunikaci se speciálními zařízeními (Smartcard, IrDA). Přenos může šít DMA a v neposlední řadě má deset zdrojů přerušení.

Naopak proti předchozím procesorům jeden sériový kanál má k dispozici jeden vektor přerušení. V celém procesoru je celkem 75 vektorů přerušení, přičemž jádro podporuje až 240 vektorů přerušení.

¹⁵ ARM, milníky společnosti <<http://www.arm.com/aboutarm/milestones.html>> [online][cit 2009-04-11]

¹⁶ STMicroelectronic, STM32F10xxx <<http://www.st.com/stonline/products/literature/rm/13902.pdf>> [online][cit 2009-04-11]

Pro asynchronní přenos jsou zde již známé příznaky přerušení od prázdného datového vysílacího registru (TXE), konce vysílání (TC), přijatého bytu uloženého v přijímacím registru (RXNE), chyba způsobená přepsáním bytu v přijímacím datovém registru (ORE), nový příznak od detekce zaručení přijímaného bitu (NE), chyba rámce (FRE) a chyba parity (PE). Navíc zde jsou bity pro detekci změny signálu CTS a detekce komunikace v režimu LIN (Local Interconnection Network). Datový registr (DR) je společný pro vysílání i příjem.

Samotná funkce modulu se opět trochu liší od předchozích procesorů. Bit RXNE lze smazat přetížením datového registru nebo zapsáním 0. Příznak prázdného vysílacího registru je pouze ke čtení, smazat ho lze jen zapsáním dat do DR. Naproti tomu TC lze smazat jak zapsáním nového bytu do DR, tak zapsáním 0 do TC.

Pokud je povoleno přerušení bitem TCIE a není zapisován byte do DR, je neustále vyvoláváno přerušení. Unikátní je nastavování komunikační rychlosti díky použitím 16 bitového registru, není potřeba dle frekvence.

Registr BRR je navíc rozdělen na mantisu (horních 12 bitů) a desetinu část (dolní 4 bity). Hodnota registru se počítá podle vzorce $f_{clk} / (16 * \text{buabrate})$. Pokud vyjde konstanta například 234.375, hodnota 234 se uloží do mantisy a desetinná část $0.375 * 16 = 6$. Díky tomu bude nastavena rychlost bez chyby jinak způsobené zaokrouhlením.

Rozhraní SPI je opět složitější proti procesorům AVR, ale to je z části dáno podporou audio rozhraní I2S. V režimu SPI jsou navíc tři registry pro zabezpečení dat CRCem. SPI modul může pracovat jak v režimu master, tak i slave. Nastavovat lze opět polaritu hodinových pulsů a při jaké hranici jsou data platná.

Dále je možné nastavit, který bit je přenášen jako první (nejvyšší nebo nejnižší). Navíc je v tomto procesoru možnost nastavit délku slova 8 nebo 16 bitů, detekci chyb přetčení a podetčení datového registru. Přetčení je pokud ještě nebyl vyčten předchozí byte a již byl přijat nový. Podetčení nastane v slave režimu, když přijde první hodinový puls a datový registr ještě neobsahuje platná data k odeslání.

V procesoru jsou dvě identické periferie I2C, přičemž každá podporuje ještě komunikaci na rozhraní SMBus. Přenos dat v obou režimech může šdit kanál DMA. Procesor umí komunikovat na sběrnici jako master i jako slave.

Modul I2C se ovládá dvěma kontrolními registry. Události a stavy sbírnice jsou ukládány do dvou stavových registrů. Dále jsou zde registry pro nastavení rychlosti hodinových pulsů a adres u režimu slave. Režim slave není pro tuto práci významný, takže nebude dále brán v potaz. Zjednodušeně lze popsat komunikaci, konkrétně zápis do zařízení, na sbírnici I2C v pěti krocích vygenerování startbitu, odeslání hlavičkového šídícího byte, odeslání adresy, odeslání dat a nakonec stopbit. Ľtení je rozděleno do dvou Ľstí Ľ zapsání adresy a Ľtení dat.

Po odeslání adresy se provede stopbit, potom start bit, zapsání hlavičkového byte s bitem R/W rovným 0, dále následuje samotné Ľtení dat, s tím Ľe poslední byte není potvrzen jako pšeděĽlé bitem ACK, ale NACK. Nakonec je samozšejmĽ vygenerován stopbit.

Startbit a stopbit se vygeneruje nastavením bitů start a stop v CR1 do 1. Pšznak, Ľe byl startbit dokonĽen, je uloĽen v bitu SB v SR1 a souĽasnĽ se nastaví v SR2 bity MSL a BUSY. Stopbit naopak bity MSL a BUSY smaĽe, pšpadnĽ jeĽTRA (pokud byl nastaven). JiĽ z tĽhto dvou operací je zšejmĽ, Ľe šzení sbírnice je velmi sloĽité a není moĽné je dopodrobna rozebrat.

Odeslání dat se provede zapsáním bytu do datového registru DR. Pšznaky vysílání jsou opĽ dvouúrovňové. Pokud byl byte z datového registru pšpsán do vysílacího, nastaví se bit TXE. Po jeho fyzickém odeslání na sbírnici a pokud není dalĽí byte v DR, se nastaví bit BTF. SouĽasnĽ se do bitu AF ukládá hodnota potvrzovacího bitu ACK/NACK.

Pš tom je tšeba si uvĽdomit, Ľe pokud bude vysílán byte n, tak v AF je údaj z jiĽ odeslaného bytu n-2. Na pšjem se periferie pšepíná stejnĽ jako aktivní zašzení, podle hodnoty bitu R/W v hlavičkovém bytu.

Po odeslání hlavičkového bytu a vyĽtení SR1, zaĽne pšenos dat od zašzení do procesoru. Pšenos je stejnĽ jako u vysílání dvouúrovňový. První byte se uloĽí do DR a druhý zĽstává uloĽen v pšjímacím posuvném registru. Dokud nebude vyĽten DR, nebude procesor Ľíst dalĽí data ze zašzení, protoĽe je nemá kam uloĽit.

U procesorů STM32V10xxx lze režim portů nastavit, Ľe jsou výstupy s otevšným kolektorem, tedy aktivnĽneovlivňují signál na lince, ale jen spínají signál na lince k zemi. A souĽasnĽ je moĽné porty pšepnout jako aktivní a výkonové, takže pšetáhnou signály na lince, jak je potšeba. To mĽĽe nastat, pokud není Ľtení dat

zakončeno korektně. Poslední byte musí být potvrzen NACK, jinak dané zařízení bude držet signál SDA v 0. Potom port v režimu s otevřeným kolektorem nemůže na linku dostat logickou 1 a vygenerovat tak stopbit.

3. KOMUNIKACE MEZI JEDNOTKAMI STOJANU

3.1. STRUČNÝ POPIS JEDNOTEK STOJANU

3.1.1. PRVNÍ GENERACE

Elektronika výdejního stojanu se skládá v základě z těchto částí:

- Šídící jednotka CPU,
- zdroj s výkonovými spínacími prvky,
- zobrazovací jednotka.

Stejně jako je fyzicky na stanici jeden stojan pro dvě výdejní místa (je možné i u každé strany stojanu nezávisle), je i elektronika koncipována stejným způsobem.

Ve dvoustranném stojanu je jedna elektronika CPU a jeden zdroj a pro každou stranu je potom vlastní zobrazovací jednotka. Je zde také volitelná možnost umístit předvolbovou klávesnici. Z hydraulických částí to jsou samozřejmě výdejní hadice a snímače průtoku, naproti tomu ierpadla a motory jsou společné pro daný produkt.

Této oddělené, ale i společné koncepci byla podšzena jak hardwarová konstrukce, tak bohužel i softwarová. Velmi zjednodušeně má stojan vydávat palivo a zobrazovat množství s částkou zákazníkovi. Skutečnost je samozřejmě trošku složitější.

Mimo to, že se údaje o ierpání předávají šídícímu systému, je nutné kontrolovat na ierpané množství, protože zjednodušený daňový doklad je možné vystavit maximálně na částku 10 000 Kč¹⁷. Tato předvolba je nastavena parametrem ve stojanu, je součástí autorizační zprávy stojanu nebo je možné si předvolit částku nebo objem ierpání předvolbovou klávesnicí přímo na stojanu. Takovýchto, na první pohled jednoduchých funkcí, má stojan mnoho.

¹⁷Podnikatel.cz, Zjednodušený daňový doklad <<http://www.podnikatel.cz/clanky/faktury-a-jine-doklady-resi-presne-zakony>> [online][cit 2009-04-10]

Jak již bylo zmíněno, srdcem elektroniky je jednotka CPU, ke které se připojují nízko výkonové periferie i přesvágnuté vstupy, ale i několik výstupů. Součástí se do ní připojují všechny další jednotky stavebnice.

Napájení celé stavebnice má dva galvanicky oddělené zdroje. Jádro s procesorem a zobrazovacími moduly je na jedné napíňové hladině a připojené vstupní a výstupní zařízení na druhé.

Vstupní a výstupní signály jsou galvanicky odděleny pomocí jednoduchých optoizolátorů PC817 nebo PC815. U signálů s vysokou přenosovou rychlostí, jako komunikace s řídícím systémem, jsou složitější optoizolátory PC900 s operačním zesilovačem na výstupu.

Třetí galvanicky oddělená napájecí hladina je právě pro komunikační linku s řídícím systémem. Toto napájení je vyráběno zdrojem HPR100 - 5V DC/5V DC. Extra napájení pro tuto komunikaci je z důvodu oddělení zbylých dvou napájecích hladin od komunikačních vodičů, které jsou taženy mezi všemi stojany a nakonec do technologie uvnitř prodejny.

V první generaci elektroniky byl použit procesor společnosti Siemens 80C517A s jádrem Intel x51. Tento procesor je mimo jiné vybaven dvěma sériovými linkami, což byla v době vzniku této elektroniky vzácnost. Jedna sériová linka je pro komunikaci s řídícím systémem a druhá se zobrazovacími moduly. Za sériovou linku je považována periferie procesoru pro asynchronní sériovou komunikaci i USART.

Jak již bylo zmíněno, systémová sériová linka (pro komunikaci s řídícím systémem) je z bezpečnostních důvodů galvanicky oddělena. Protože zobrazovací moduly jsou na stejném napájení jako jádro CPU a jsou uvnitř hlavy stojanu, druhá linka nijak oddělena není.

Protože primárním požadavkem je spolehlivost a bezpečnost, neboť stojan pracuje v náročných nejen klimatických, ale i extrémních podmínkách elektrických (v hlavě stojanu jsou stykače pro ovládání motorů), je použito průmyslové rozhraní RS485.

Sběrnice RS485 je dvou vodičová, proudová, rozdílová (porovnává se stav signálů vůči sobě i zemi), impedančně zákoněná sběrnice i linka. Kromě toho, že je sběrnice RS485 odolná proti rušení, je také odolná proti zkratu a laskavě i proti nechtěnému připojení napětí. Zařízení se k této sběrnici připojují paralelně. Takže

v jeden okamžik jen jedno zařízení vysílá a ostatní přijímají data ze sbírnice. Pokud by vysílaly dvě zařízení najednou, došlo by ke kolizi a data by byla "nečitelná".

3.1.2. ZOBRAZOVACÍ MODULY

V první generaci byl požadavek na konkrétní konfiguraci dvoustranného příjmu produktového stojanu s možností připojení pomocného podřízeného zobrazovacího modulu pro každou stranu. Tento pomocný zobrazovací modul neměl osazený procesor ani budil sbírnice RS485. Připojoval se k hlavnímu modulu a byl skutečně jen fyzickým rozšířením o zobrazovací a sérioparalelní výkonové posuvné registry¹⁸.

Procesor Atmel 89C2051 hlavního zobrazovacího modulu ovládal dvojnásobný počet znaků a v této jednotce CPU vystupoval jako jedno zařízení. Od tohoto řešení se později ustoupilo za cenu prodražení podřízeného modulu, ale přínosem byl jen jeden druh elektroniky, u které se režim podřízeného modulu nastavoval propojkou.

Od této změny již bylo potřeba rozlišovat dva zobrazovací moduly pro každou stranu. První generace zobrazovacích modulů byla označována PDEDIS a byla vybavena dvanácti permanentními elektromechanickými sedmi segmentovými zobrazovacími¹⁹.

Později na základě požadavků na luxusnější zobrazovací technologii LCD a možností zobrazovat krátké textové zprávy, vznikl zobrazovací modul PDELCD s osmi alfanumerickými znaky a dvanácti sedmi segmentovými.

Nástup technologie LCD byl nevyhnutelný i zde, takže dalším zobrazovacím modulem byl zobrazovací PDEDIL s 16-ti, později 18-ti sedmi segmentovými LCD znaky. Tyto zobrazovací se podařilo prosadit i na trhu v Rusku na Sibiř, kde je nutné v zimě vytápění zobrazovacího.

Posledním typem zobrazovacího modulu s největšími možnostmi konfigurací a funkcí je PDEDCU. Tento zobrazovací modul se skládá z malé řídící elektroniky a LCD skla GV113 o rozměrech 212mm*272mm se třemi řádky po deseti sloupcích. Byl navržen na zakázku společnosti AEG-MIS.

¹⁸ Micrel, datový list MIC5841 <<http://www.micrel.com/PDF/mic5841.pdf>> [online][cit 2009-3-23]

¹⁹ Gema, Elektromechanický zobrazovací PdeDis v3.1
<http://www.gema.cz/images/stories/elektroaplikacevyroba/vo_Aplikace2.jpg> [online][cit 2009-3-23]

Znaky na tomto zobrazovači jsou proporcionální skládané ze sloupců, přičemž každý sloupec je z 25-ti segmentů. Největší devizou tohoto zobrazovače je možnost zobrazovat texty přerpání jednotky zobrazených údajů a hlavně možnost zobrazovat v každé polovině skla přerpání jedné strany stojanu. Na první polovině se zobrazuje přerpání první strany a na druhé polovině druhé strany stojanu. Tato konfigurace je potřebná pokud je výdejní hadice umístěna tak že je možné s ní přerpat na obou stranách stojanu, například stojan SHARK BMP500SX (**Obrázek 8.**)²⁰.



Obrázek 8 - stojan SHARK BMP500.SX (zdroj literatura [8])

Z pohledu samotné komunikace na straně CPU variabilita zobrazovacích modulů mnoho změn nepřinesla. Stále se komunikovalo se dvěma zařízeními na každé straně pokud byl instalován pomocný modul.

Naproti tomu velmi hodná změna a hodná funkce přibylo v samotném šzení zobrazovače, ale to již překračuje rámec této práce.

Z pohledu komunikace je mnohem zajímavější vývoj samotných zobrazovacích modulů a to až už z pohledu komunikace s jednotkou CPU nebo ovládání samotných zobrazovačů.

²⁰ Benc, Výdejní stojan SHARK BMP500.SX <<http://www.benc.cz/produkt-detail.php?id=23&back=60>> [online] [cit 2009-3-23]

Dalším důležitým faktem je vývoj modulů v úzce souběžném s vývojem procesorů. Všechny moduly jsou osazeny procesory společnosti Atmel. V modulech PDEDIS a PDEDIL byl použit procesor AT89C2051 respektive AT89C4051 s větší programovou pamětí.

Protože v modulu PDELCD bylo oddělené ovládání alfanumerického LCD skla a sedmi segmentových LCD zobrazovačů, bylo potřeba více nožiček na portech. A proto byl použit procesor AT89C53. Součástí bylo potřeba i více programové paměti, mimo jiné i kvůli na prostor náročnému alfanumerickému fontu.

U pozdějších verzí PDEDIL byl zastaralý procesor s jádrem Intel C51 nahrazen komfortnějším a výkonnějším procesorem rovněž společnosti Atmel ATmega88. Volba procesoru pro nejnovější typ PDEDCU byla relativně jednoduchá. Opět zvítězil procesor Atmel řady ATmega, tentokrát ATmega644 s 64KB programové pamětí Flash. PDEDCU, která obsahuje celkem pět sad fontů (Latinku, azbuku, cyrilici, é). To znamená, že je paměť procesoru využita asi z 80%.

Společným prvkem všech LCD zobrazovačů jsou jejich budíky V6108 nebo V6118. U sedmi segmentových zobrazovačů jsou tyto budíky (V6108) jako integrované obvody osazeny na desce elektroniky. LCD skla od firmy AEG-MIS mají tyto budíky integrované přímo ve skle. Zápis a čtení je v obou případech stejný, jen u sloupcového skla GV113 je použit budík V6118 s multiplexerem 1:4, kde je trošku odlišná struktura zapisovaných dat.

Kromě rozšiřování sortimentu zobrazovacích jednotek přibyl na původní displejovou linku ještě elektromechanický součtoměr. To, že mechanické díly jsou kvůli složitosti a tím i cenově stále více vytlačovány elektronickými komponentami se projevilo stejně jako v počítadle ujetých kilometrů na tachometru v automobilu, tak i u mechanického součtoměru ve stojanu.

Princip součtoměru je stejný jako u zmíněného počítadla kilometrů s tím, že součtoměr je montován přímo na monoblok snímače průtoku ve stojanu. Jednotka s elektromechanickými součtoměry je také připojena na displejovou linku. Tím přibývalo další zařazení na tuto linku.

3.1.3. KREDITNÍ MODUL

Další elektronikou, kterou je vhodné zmínit je PDECRE.

Jde o modul se letkou lipových karet RFID a pamí pro ukládání databáze út k tnto kartám, út zákazník a transakcí íerpání. Tento modul slouží pro šízení výdeje na nevešejné íerpací stanici. Takovou stanici zšízuje podnik (kovohutí zemíílská drugstva, autobusoví dopravci apod.) pro vlastní potšby, proto je stanice nevešejná.

Íerpání se autorizuje pšíložením íipu ke ítelce. Pokud je karta v databázi a út karty je pšíázen k platnému út s dostatečným kreditem, je íerpání povoleno. Út karty mťge mít nastaven PIN, který musí zákazník pší autorizaci zadat. V modulu PDECRE se potom íerpání uloží do historie transakcí.

Tato elektronika jíg také prošla níkolika zmíhami. Jeťívíce koncepí níh verzí vğak zaznamenal program. Tší poslední verze byly pouze vyvinuty, ale nikdy nebyly instalovány. Budeme se tedy víhovat poslední pougívané verzi.

Modul PDECRE je pšípojen displejovou linkou k CPU s procesorem Siemens 80C517A. Po této lince komunikuje s CPU a souíasnípšes CPU i s šídicím systémem. Velkým problémem je složitost a hlavnívelikost programu v CPU.

Jelikož jíg nestaílo 64kB adresového prostoru, který podporují procesory s jádrem Intel C51, je proto program pšíložen do dvou oddílených adresových prostorů po 64kB. Pšípínání mezi dvíma adresovými prostory šídí speciální funkce. Program obsahuje, kromí funkcí potšebných pro šízení íerpání kreditním modulem, jeťí funkce pro pšíposílání zpráv z kreditního modulu do šídicího systému. Samozšejmostí je podpora standardních funkcí. Toto vge dohromady vytváší hrozný moloch, ve kterém je jakákoliv zmíha nesmírńobtígná.

V pozdígích verzích programu PDECRE, které bohuğel nejsou instalovány, bylo toto pšíposílání zpráv zruğeno a komunikace mezi CPU a kreditním modulem byla omezena na zprávy potšebné k procesu výdeje paliva.

Kreditní modul od verze 2.0 je, stejníjako jednotka CPU, vybaven galvanicky oddílenou sériovou linkou pro komunikaci s šídicím systémem. Touto linkou by se mío realizovat posílání zpráv pťvodnípšíposílaných pšes jednotku CPU.

Nová koncepce kreditního modulu byla zčásti zahrnuta i do první generace elektroniky s procesorem Siemens 80C517A, ale je určena hlavně pro druhou generaci, kde není problém s nedostatkem místa v paměti pro program. Hlavním cílem je integrovat kreditní režim do standardní verze programu a vyhnout se problémům s udrčováním dvou verzí, jak tomu je u používané koncepce.

Další specifickou funkcí kreditního modulu je čtení čipových karet RFID. Samotné čtení realizuje obvod EM4095²¹. Analogový čtenář data vysílá synchronní sériovou komunikací do procesoru v kódování Manchester. Výstupní data na signálu DMOD_OUT jsou synchronizována signálem RDY/CLK. Na jeden datový bit, připadá 64 period synchronizačního signálu. Synchronizační signál je připojen na vstup čtenáře. V přerušení čtenáře se načítá datový vstup a kontrolou změny fáze se rozliší, jestli se jedná o datový bit = 1 nebo 0.

3.1.4. DRUHÁ GENERACE

Nejen problémy se ztrátou parametrů, ale i snaha o efektivnější výrobu vedly k přepracování celé stavebnice elektroniky pro výdejní stojany. Stavebnice nepodporuje 5 produktů, ale jen 4. Podle nastavení může ovládat 7 produktů, ale jen pro jednu stranu stojanu. Pokud by ve výjimečných případech zákazník vyžadoval více než 4 produkty, musely by být ve stojanu dvě sady elektronik.

Výroba elektroniky se zjednoduší, protože je osazena SMD součástkami místo vrtaných, takže součástky může osazovat stroj. Více bezpečnost z hlediska elektrického rušení je dosažena použitím vnitřní paměti flash a RAM, proto již není potřeba externí adresová a datová sběrnice. Tím se mimo jiné ušetří dva porty procesoru.

Z původních elektronik zůstaly jen zobrazovací moduly, které jsou kompatibilní se všemi elektronikami CPU. I toto tvrzení je potřeba upřesnit.

Moduly PDEDIS jsou již morálně zastaralé a drahé. Navíc je nesmírně obtížné dnes na trhu nakoupit elektromechanické číslovky FP107. PDELCD byl nahrazen modulem PDEDCU, který byl vyvinut speciálně pro druhou generaci elektroniky.

²¹ EM Microelectronic, EM4095

<http://www.emmicroelectronic.com/webfiles/Product/RFID/DS/EM4095_DS.pdf> [online] [cit 2009-03-26]

Zbývá tedy PDEDIL, který se vyrábí a používá stále se všemi druhy CPU. Zplňná kompatibilita je tedy pouze s displejovými moduly, vše ostatní je konceptní úplně jinak.

Vlnina funkcí je přesunuta na jednotku CPU. Jednotka zdroje v podstatě není, elektronika PDEPWI jen detekuje výpadek napájení a odděluje napájení pro jádro CPU a zbytek elektroniky. Samotný zdroj je spínaný 24V dostupnými bloky na trhu. Ovládání výkonových spínačů motorů a ventilů je přímo na CPU.

Protože použitý procesor Renesas H8S2378 má dostatek vstupních výstupních portů, jsou výstupy ovládány přímo z portů procesoru, ne přes externí porty v adresovém prostoru nebo sériové posuvné registry ze zdroje první generace. Kromě toho že procesor Renesas má více portů celkově ještě navíc mu nezabírá porty externí adresová a datová sbírnice.

V druhé generaci nahradily triaky a tranzistory relé použité ve zdroji první generace. Samotné výkonové prvky (triaky a tranzistory) jsou na modulech PDEMOT a PDEREL pro spínání stykačů motorů a PDEVAL a PDEVAC pro spínání ventilů. Jednotka CPU tyto moduly ovládá signály na 15-ti voltovém napájení.

Celý napájecí systém nové generace zaznamenal radikální změnu. Vše napájí pouze jeden spínaný zdroj 24V, namísto dvou transformátorů 12V a 15V. Jádro jednotky CPU s procesorem je úplně galvanicky odděleno od ostatního okolí hradbou z optoizolantů, které přenášejí signál mezi jádrem a okolím.

Napájecí napájení vyrábí spínaný zdroj s galvanicky odděleným výstupem a izolací odolností 4kV. Samostatné napájení sériové linky pro komunikaci se systémem je samozřejmostí. Uvnitř galvanicky odděleného jádra je kromě procesoru obvod reálného času RTC a paměti EEPROM. K paměti i RTC se nyní přistupuje přes sbírnici I2C.

V první paměti se ukládají pracovní data z RAM, která se nesmí smazat při vypnutí stojanu. Dále je zde uložena první kopie parametrů a další pracovní data.

Druhá záložní paměť má navíc signál povolující zápis i WP, vedený přes tlačítko, aby nebylo možné do ní zapsat, pokud si to uživatel nepřese, tedy nestiskne tlačítko. V této chráněné paměti se ukládá kopie parametrů nastavení stojanu.

Dvojitá ochrana parametrů (kopie a odpojený WP) byla zvolena po špatných zkušenostech s mazáním parametrů v první generaci elektroniky CPU. Důvodem pro

docházelo k přepisování nebo ztrátě dat v paměti první generace CPU může být mnoho. Třeba rušení po napájení vedené kabelem do zobrazovacích modulů nebo i teorie, že při vypnutí elektroniky obvod zajišťující signál RESET procesoru zakmitá, tím zakmitají i signály pro práci s EEPROM a dojde k porušení obsahu paměti.

Snaha eliminovat toto riziko je zřejmá duplicitou uložení parametrů, ochranou kopie odpojením signálu WP, galvanické oddělení procesoru a paměti od zbytku elektroniky, použití vnitřní paměti programu a dat a v neposlední řadě skutečnost, že procesor Renesas po resetu přepne všechny porty na vstupní (chaotické resetování tedy nevyvolá záškuby na portech).

Navíc přibyla třetí sériová linka pro použití uvnitř stojanu. Protože signály této linky jsou pouze na TTL úrovních, musí být vedena s největší opatrností, aby nedocházelo k jejímu zrušení, například při sepnutí stykače motoru. V souladu s dobrou praxí je využita pouze pro odesílání a zaznamenání významných událostí.

Přívodní zámkem byl, že se k této lince budou připojovat i zařazení použité při lerpání. Jedna z verzí modulu pro měření teploty paliva PDEINP k této lince připojena byla, ale jednalo se jen o dočasné řešení.

Čtvrtá sériová linka je použita pouze k programování procesoru, nikdy ani nebylo záměrem ji využívat jinak.

3.1.5. INTEGROVANÉ ELEKTRONIKY

O tom, že špeníze jsou až na prvním místě snad už nikdo nepochybuje. Stejný názor mají i budoucí majitelé nevěšných výdejních stojanů a snaží se ušetřit třeba na zobrazovacích na zobrazovacím modulu. Tak vznikl Āitrovýň zobrazovací modul.

Zobrazovače byly osazeny jen na prostředním řádku zobrazujícím odebraný objem paliva v litry. Takto osazený zobrazovací modul se vyráběl jak elektromechanický PDEDIS, tak s LCD zobrazoval i PDEDIL.

Později byla vyvinuta elektronika integrující do sebe zobrazovací modul PDEDIL, elektromechanický součtoměr PDESU a jednotku CPU. Tak vznikla elektronika PDEVOL. K té se připojoval jen zdroj PDEPOW (jednoduchý zdroj s transformátorem) a výkonová spínací jednotka PDEREL.

Tato elektronika nepodporuje žádnou externí komunikaci, jen používá paměť EEPROM se sběrnici I2C pro ukládání posledního lerpání, aby bylo možné ho zobrazit

po zapnutí stojanu. Protože je integrovaný, tak zobrazovací modul je integrovaný s budičem pro ovládání LCD zobrazovače po sběrnici SPI.

Poslední novinkou je elektronika PDELTE. Jedná se o sandwichovou koncepci dvou elektronik namontovaných na společném plechu a propojených napávacím konektorem. Kromě napájecího zdroje 24V tato elektronika již předpokládá další elektroniku nepotřebuje. Ve srovnání s koncepcí druhé generace do sebe integruje PDEDIL, PDECPU, PDEREL, PDEVAL, PDESU.

Důvod vzniku byl jasný, stejně jako bylo jasné a jednoduché zadání Elektronika pro jednu stranu stojanu, dva produkty do 4500 Kč. Všechny další parametry byly podružné. Přesto bylo z bezpečnostních důvodů z CPU druhé generace zachováno galvanicky oddělené jádro hradbou optoizolace a dvě oddělené paměti pro ukládání parametrů s tlačítkem pro povolení zápisu do záložní paměti.

U galvanického oddělení jádra CPU přece jen došlo z finančních důvodů k ústupku v kvalitě použitím zdroje HPR100 5VDC/5VDC namísto diskrétního spínaného zdroje s transformátorem. Jestli bude integrace výkonových periférií na jedné desce s procesorem zhoršovat odolnost elektroniky proti rušení, ukáže až čas a testy ve zkušebně.

Procesor elektroniky PDELTE, stejně jako PDEVOL, přímo ovládá budiče LCD zobrazovače po sběrnici SPI a přímo signály z portu ovládá elektromechanické součinitele, tudíž zde není displejová sériová linka. Na rozdíl od PDEVOL však PDELTE musí umět komunikovat s řídícím systémem, protože to je plnohodnotná elektronika.

Procesor se programuje podobně jako u jednotky PDECPU4 po TTL sériové lince. Logika TTL sice není určena pro průmyslové prostředí, nicméně je v plánu ji použít pro předvolbovou klávesnici.

Postupným rozšiřováním funkcí jako je předvolbová klávesnice, vstupy pro uvolňování / blokování čerpání apod. se z jednoduché levné elektroniky stává funkcí srovnatelná s elektronikou PDECPU4.

3.2. KOMUNIKACE

3.2.1. SPI A SÉRIOPARALELNÍ REGISTRY

V případech, kdy je potřeba ovládat velké množství výstupních signálů, které poskytuje možnosti procesoru, se používá například sérioparalelní posuvný registr. Tyto registry je možné řadit za sebe a získat tak potřebný počet výstupů.

K typickému a základnímu ovládání tohoto registru jsou potřeba 4 signály:

- DI – Data Input – vstupní data do registru
- CLK – Clock – synchronizační hodinové pulsy
- DO – Data Output – výstupní data z registru
- STR – Strobe – snímací/vzorkovací signál, přesune data ze sériového posuvného registru do výstupního záchytného registru

Pokud to obvod podporuje, může být k dispozici ještě signál pro ovládání výstupů z registru "OE – Output Enable". Ten umožní podle potřeby výstupy odpojit a přivést do vysoko impedančního stavu.

Samozřejmě pouze k ovládání výstupů není potřeba do procesoru zapojit signál DO. Potom ale nemá uživatel kontrolu na obsahem registrů. Princip zápisu do registrů byl vysvětlen v kapitole zabývající se rozhraním SPI.

V elektronikách PDEPWR a PDEDIS je potřeba ovládat relé nebo elektromechanické zobrazovače napájené z 12V až 24V a proudem řádově 200mA. K tomuto účelu se hodí obvod MIC5841 od společnosti Micrel. Obvod MIC5841 je vybaven signálem blokující / povolující výstupy a v obou elektronikách je využíván.

V zobrazovacím modulu PDEDIS jsou dva druhy posuvných registrů - MIC5891 a MIC5841. Liší se pouze ve výstupním obvodu.

MIC5891 připojuje na výstupy napájecí napětí, kdežto MIC5841 výstup připojuje na 0V tedy GND. Cívky zobrazovače FP107 jsou dvoupólové, takže každá poloha se nastavuje připojením napětí jedné polarity. Pro nastavení segmentu se přivede na první pól cívky kladné napětí a aktivuje se výstup obvodu MIC5891. Na druhý pak 0V a aktivuje se výstup MIC5841. Po skončení zápisu do zobrazovače se deaktivují výstupy budičů MIC a zůstanou v klidovém stavu až do dalšího zápisu do zobrazovače.

Naproti tomu v elektronice PDEPWR jsou výstupy z obvodů MIC5841 stále aktivní, protože relé musí být sepnuté stále. Nicméně se zde odpojení výstupu využívá v případě, že dojde k vyhodnocení chyby dat způsobených z posuvných registrů. V elektronice PDEPWR jsou za sebou zapojeny tři registry MIC5841, kterými lze ovládat 24 relé nebo v pozdějších verzích elektroniky triaky.

Zápis do registrů probíhá následovně

1. Do všech těchto registrů se zapíše nová data a provede se zápis do výstupných záchytných registrů signálem STR. Výstupy z registrů se odblokují signálem OE a dojde tedy k sepnutí relé.
2. Znovu se provede zápis do všech tří registrů a porovnájí se způsobem vyřazená data, a jestli souhlasí s těmi, která byla zapsána v kroku 1. Pokud data nesouhlasí, provede se ještě 20 pokusů o zápis (krok 1 a 2). Jestli se nepodaří ani jednou vyřadit očekávaná data, odpojí se výstupy z registrů signálem OE a vyhlásí se chyba registrů. Pokud data souhlasí, nic dalšího se neděje. V posuvných registrech zůstávají uložena platná data, a pokud by z nějakého důvodu došlo k jejich přesunutí do výstupního záchytného registru signálem STR, na výstupech by stále byly správné hodnoty.

V zobrazovacích PDEDIL, PDELCD a PDEDCU jsou použity obvody V6108 nebo multiplexová verze V6100. V modulu PDEDIL jsou za sebou zapojeny 4 obvody V6108 s celkem 160 výstupy. Ovšem ne všechny je možné využít jako datové pro ovládání segmentů. Minimálně jeden výstup musí být signál BP.²²

Tento výstup musí mít opačnou hodnotu než signály, které mají segment rozsvítit. Zápis do posuvných registrů a zpětná kontrola obsahu funguje stejně jako u obvodů MIC5841 v modulu PDEPWR. Nejdříve se zapíše nová data a přesunou se signálem STR do výstupních registrů. Poté se opakovaným zápisem vyřadí a porovná obsah posuvných registrů a již se neprovádí přesun signálem STR.

²² EM Microelectronic, V6108

<http://www.emmicroelectronic.com/webfiles/Product/LCDDriver/V6108_DS.pdf> [online][cit 2009-03-28]

Ovládání multiplexovaného budiče je o něco složitější, co se týká zapisovaných dat. Samotné zapisování do registrů je stejné jako u V6108. Obsah registrů se musí do budiče zapisovat na čtyřkrát (multiplex je 1:4).

Dalším specifikem multiplexovaného LCD skla je, že je nutné, aby spádová hrana signálu STR byla 5 mikrosekund nebo méně před násobkem čtvrté spádové hrany signálu FR. FR je signál řídící přepínání multiplexu, každou čtvrtou hranou se začíná zobrazovat banka 1 a spádovou hranou STR se multiplex resetuje a začíná od první banky. Pokud spádová hrana STR přijde například při zobrazování banky 3, multiplex se resetuje a začne se zobrazovat banka 1, což se projeví bliknutím obrazu.

3.2.2. EEPROM 93C66

V elektronice PDECPU první generace byla paměť 93C66 použita pro ukládání parametrů nastavení. Paměť 93C66 je sériová paměť EEPROM s kapacitou 512B. Paměť může pracovat ve dvou režimech přístupu k datům buď osmibitovým (signál ORG=0) nebo šestnáctibitovým (ORG=1).

Nastavenému typu organizace dat odpovídá i adresování a vyčítání / zapisování dat. Pokud je přístup 16-bitový data adresují vždy po dvou bytech (zapíše se adresa, poté se vyčte 16bitů dat), při 8-bitové organizaci se musí každý byte (8 bitů) adresovat zvlášť.

S pamětí se komunikuje na základě rozhraní SPI. Oproti klasickému rozhraní SPI je využíván signál CS (Chip Select i výběr zařízení). Kromě toho, že se tímto signálem vybírá konkrétní zařízení, tak se jím jeví sekvence čtení a zápisu.

Další rozdíl je v signálu DO (Data output i výstupní data z paměti). U příkazů zápisu dat a mazání je výstup DO ve vysoko impedančním stavu. Po posledním hodinovém pulsu příkazu začne proces zápisu nebo mazání. Během daného procesu je signál DO v logické 0, paměť je ve stavu BUSY. Po skončení procesu paměť přepne výstup do logické 1, čímž říká, že je READY, tedy že proces skončil.

Proces zápisu do EEPROM trvá typicky 3ms, maximálně 10ms. Zapsání příkazu zápisu a dat k uložení trvá podle použitého procesoru řádově desítky mikrosekund, což znamená, že pokud by se nečekalo na dokončení procesu zápisu, data zapisovaná během stavu BUSY by byla ztracena.

Samotný proces zápisu se spustí po přenesení dat do paměti, převedením signálu CS do logické 0 a opětovném vybrání paměti CS = 1. Opětovným vybráním paměti začne paměť data ukládat a na výstupu DO drží logickou 0 a je ve stavu BUSY. Po skončení procesu zápisu paměť převede výstup DO do 1. Nyní je možné uvolnit paměť signálem CS = 0 a pokračovat libovolnou operací s pamětí.

3.2.3. ROZHRANÍ I2C

V druhé generaci se upustilo od pamětí 93C66. Místo nich byly použity paměti 24C64, k nimž se přistupuje po sběrnici I2C. Tyto paměti mají kapacitu 64kbit, tedy 8kB.

Stejně jako jiné součástky i tyto paměti vyrábí více výrobců (Atmel, ST Microelectronics, Microchip atd.), a protože každá norma má jisté možnosti vlastního výkladu, například společnost ST Microelectronics si vyložila po svém podmínky pro generování nepotvrzení přijatého byte.

Konkrétně pokud program chce uložit data do paměti a není povolen zápis signálem WP = 0, tak přijde od paměti potvrzení NACK. Nejprve se odečte šifrovací znak a dva byte adresy. V tuto chvíli je vše ještě v pořádku, protože měly následovat příkazy ke čtení. Pokud však přijdou další data, která se již mají uložit, paměť byte nepotvrdí bitem ACK, ale NACK. Jeden z bodů ve specifikaci rozhraní I2C, pro který je vyslán NACK, tomuto přístupu asi odpovídá.

Otázkou zůstává, jestli je správné přenášet chyby nebo nestandardní stavy zařízení na úroveň protokolu. V tomto případě program ihned zjistí, že neměly pokračovat v zápisu, ale u ostatních zmíněných pamětí musí být data vyřazena a porovnána, aby se zajistila stejnorodost dat.

V každém případě rozdílné chování jednotlivých zařízení stejného typu, prodejci označovaná za zámlhlná, přináší problémy s přístupem k jejich obsluze. V původní verzi funkce pro zápis do paměti, byl tento NACK vyhodnocen jako chyba zařízení. Nyní musí být ignorován, protože při ukládání parametrů signál WP propojuje tlačítkem uživatel. Při pokusech o uložení parametrů bez propojeného signálu WP se generovala chyba paměti, která vlastně chybou nebyla.

V PDECPU4 je na sběrnici I2C připojen kromě pamětí ještě RTC i obvod reálného času i PCF8563. Tento obvod se standardním I2C nevymyká. Možnost propojit

více druhů zařízení na jednu sběrnici dokazuje univerzálnost sběrnice. Každý I²C adresový údaj je uložen v jednom byte v BCD formátu. Kromě času a data je I²C obvod podporuje budík a I²C adresy, ale tyto funkce nejsou využívány.

3.2.4. IR SÉRIOVÉ ASYNCHRONNÍ VYSÍLÁNÍ

K nastavování parametrů a ovládání stojanu se používá dálkový ovladač s infračervenou LED na výstupu. Každý zobrazovací modul má na sobě přijímač, jehož výstup je připojen do jednotky CPU, která přímo zpracovává přijímaný signál. Z ovladače se po stisku klávesy vyjde jeden byte reprezentující stisknutou klávesu. Funkci dané klávese přisazuje až program v jednotce CPU.

V ovladači může být uloženo jakési sériové číslo. Toto číslo je nastaveno pouze v ovladačích určených pro servisní pracovníky a odesílá spolu se stiskem klávesy "R". Program si toto číslo ukládá do historie, kde je možné vylistit, kdo prováděl servis stojanu. Navíc toto číslo umožňuje mít parametry dostupné jen servisním pracovníkům, ne obsluze na stanici.

Přijímaný byte není kódován podle žádného standardu. Kódování bylo zvoleno podle dostupné rychlosti samotného přenosu a zejména schopnosti odlišit od sebe jednotlivé bity. Jako startbit je vyslán puls o délce 10ms, potom je 5ms mezera. Samotné bity jsou od sebe oddělené 2ms mezerou. Logickou jedničku představuje puls o délce 5ms, logická nula trvá 3ms.

Přijem je realizován podle možností přijímacího procesoru. Lítá v procesorech 80C51 umí mít jen puls v logické 0. Navíc neumí vyvolat přerušení od náběžné hrany datového bitu. Takže je potřeba v systémovém I²C adresovat i kontrolovat jestli není v registru místního lítá platná hodnota. Pokud je, tak ji zpravovat a tímto způsobem poskládat celý byte.

U procesorů Renesas a ST je možné nastavit, který puls se má mít a při jaké úrovni nebo hraně se má vyvolat přerušení. Takže při náběžné hraně je vyvoláno přerušení a ihned se zpracovává naměřený I²C. Tato metoda je samozřejmě mnohem efektivnější, protože není nutné kontrolovat každou 1ms stav vstupu a registry lítá, jako je tomu procesorů 80C51.

3.2.5. UART i MASTER SLAVE

Hlavním komunikačním rozhraním mezi jednotlivými moduly je sériová asynchronní linka. Protože je potřeba zajistit bezpečnost dat proti rušení, je používána průmyslová sbírnice RS485. Komunikace je poloduplexní typu master-slave.

Nadřazený modul začíná komunikaci, odečte zprávu, přepne se na příjem a tím uvolní sbírnici, aby mohl vybraný modul odpovědět. Podřazený modul přepne svůj budič RS485 na vysílání a odečte odpověď, po odeslání opět čeká, co bude dále nadřazený modul. Takto zjednodušen lze popsat komunikaci mezi moduly.

Ve výdejním stojanu jsou dvě přídavné komunikační linky.

První, galvanicky oddělená od ostatního napájení, je pro komunikaci s řídícím systémem. Na této lince je elektronika CPU podřazeným modulem, nadřazeným je řídící systém, který postupně komunikuje se všemi výdejními stojany na stanici.

Na zbývajících dvou linkách je modul CPU nadřazený a sám si určuje, kdy a s kterým modulem bude komunikovat. První displejová linka, v současné době jsou k ní připojeny různé druhy zařízení, je opět se sbírnici RS485, protože je určena k rozvádění po hlavním stojanu. U PDECPU4 přibyla ještě sériová linka COM1 určená pro připojení zařízení v těsné blízkosti CPU, protože je pouze na logice TTL.

Každý podřazený modul musí mít přidělenou jedinečnou adresu, kterou ho nadřazený modul vyzývá ke komunikaci a zpět si nadřazený modul kontroluje, že odpověď přišla od správné adresy. Pokud by na jedné adrese odpovídaly dvě zařízení, došlo by ke kolizi dat na sbírnici a nadřazený modul by nepřijal smysluplná data, ale chaos.

Typické nastavení parametrů je 9600bd, 7 data bitů, sudá parita, 2 stopbity. Protože je komunikace sedmibitová, je možné přenášet byty v rozsahu 00h až 7Fh. Tento interval byl ještě rozdělen na zobrazitelné znaky ASCII (20h až 7Fh) a nezobrazitelné (00h až 1Fh), to jsou takzvané řídící znaky, které tvoří rámec protokolu (**Tabulka 1.**).

Znak	Kód (HEX)	Význam
SOH	1	Úvodní znak nepotvrzované textové zprávy
STX	2	Úvodní znak potvrzované textové zprávy
ETX	3	Poslední znak textové zprávy, budou následovat 2byty SUM
ENQ	5	Žádost podřazenému o textovou zprávu
ACK	6	Potvrzení textové zprávy
NAK	15	V textové zprávě byla špatná parita nebo nesouhlasil SUM
SYN	16	Synchronizační znak před adresou
CAN	18	Odpověď podřazeného na ENQ, není žádá textová zpráva k odeslání

Tabulka 1 i kódy řídících znaků protokolu PDE a jejich význam

Komunikace má dvě části:

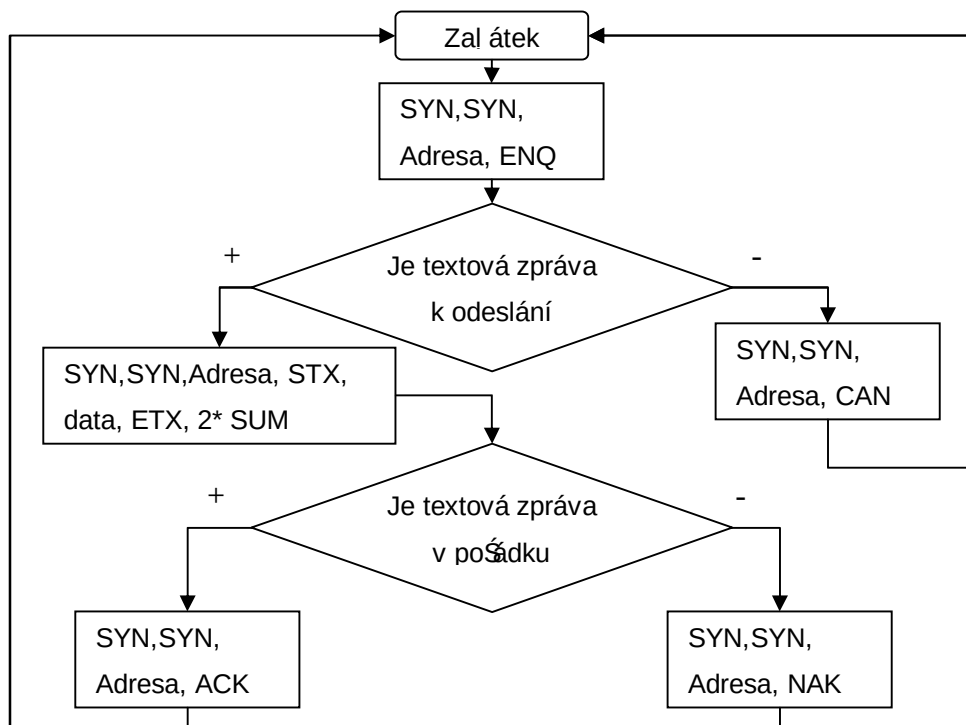
- dotazovací, kdy nejsou předána žádná významová data,
- výbĚrová, kdy je předána textová zpráva s informacím obsahem.

V dotazovací zprávě nadřazený žádá (zprávou se znakem ENQ) podřazeného, jestli má nějakou informaci k odeslání. Pokud podřazený nepotřebuje nic poslat, odpoví řídícím znakem CAN. V případě že podřazený má připravenou textovou zprávu, odešle ji. Pokud potřebuje odeslat textovou zprávu nadřazený, posílá ji místo ENQ.

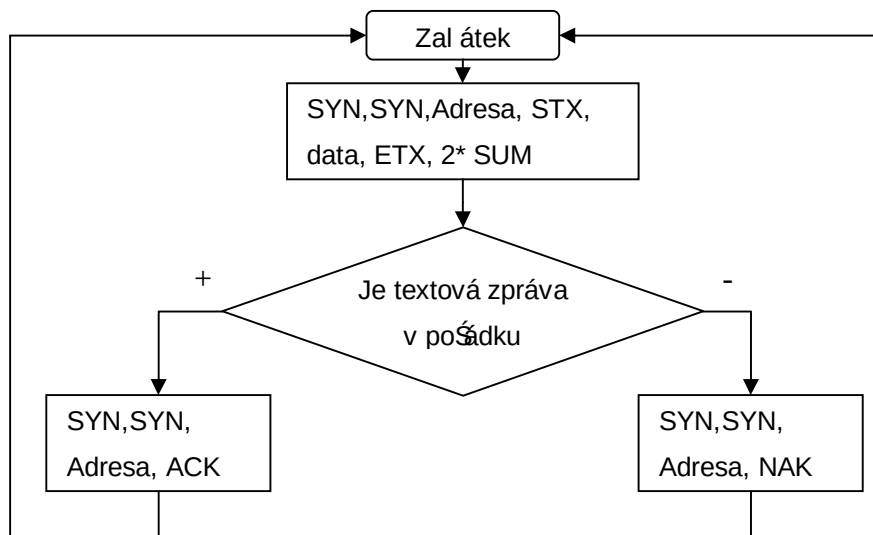
Každá textová zpráva uvozená znakem STX musí být příjemcem potvrzena ACK nebo NAK. Pokud byla zpráva přijata s chybou parity nebo nesouhlasí součet přijatý se součtem vypočítaným, tak se posílá NAK.

Textová zpráva může být uvozena znakem SOH. Tuto zprávu pak příjemce nepotvrzuje. Nepotvrzovanou textovou zprávu se doporučuje používat jen u zpráv, které se stále opakují a nehrozí tak ztráta informací. Kontrolní součet SUM je dvoubytový aritmetický součet všech znaků v textové zprávě včetně STX (SOH) a ETX.

Při porovnávání vypočítaného součtu s přijatým je potřeba porovnávat jen 7 bitů z každého bytu, protože po sériové lince se přenesou jen 7 bitů. Jako první se odesílá vyčíslený byte potom nuly.



Obrázek 9 i nadřazený dotazuje podřazeného



Obrázek 10 i nadřazený posílá podřazenému textovou zprávu

Aby se komunikace v nějaké fázi nezastavila a tím nezablokovala zbytek zařzení, je nutné, aby po nějakém čase vždy dospěla do výchozího stavu. Proto jsou definovány časové intervaly, po kterých se čekání na danou událost ukončí a komunikace pokračuje definovaně dále.

- TKA č 200ms č čas od odeslání znaku ENQ po přijetí prvního znaku SYN; po vypršení intervalu, bude dotazováno další zařzení
- TKB č 250ms č čas od odeslání druhého znaku SUM po přijetí prvního znaku SYN potvrzovací zprávy; po vypršení intervalu, bude dotazováno další zařzení
- TKC č 250ms č čas přijetí textové zprávy; po vypršení intervalu, bude dotazováno další zařzení
- TKD č 5ms č maximální čas mezi odvysíláním posledního znaku a uvolněním linky pro další vysílání; další komunikace může probíhat nejdříve po této době

Převodníbyly časy celkově kratší, zejména čekání na potvrzení odeslané zprávy, ale časové prodlevy, které způsobují řídící systémy pracující pod MS Windows, způsobovaly nepřijatelné chyby.

Komunikace formou dotazování by měla probíhat i v případě narušení zařzení nepotřebuje poslat žádná data.

Zprvu, aby měl řídící modul přehled o stavu všech zařzení, jestli všechna zařzení komunikují. Pokud by některé nekomunikovalo, dříve je možné zamezit krizové situaci, například se nezapínat, pokud neodpovídá zobrazovací modul.

Zadruhé, když není podřazené zařzení dotazováno, nemůže odeslat zprávu, že došlo k nějaké události.

Data v textové zprávě jsou posílána znakově podle tabulky ASCII²³.

Pokud je potřeba odeslat znaky mimo povolený rozsah, daný znak se posílá jako znaky dva. První znak je prefix, který spolu s druhým znakem složí znak převodní.

²³ HEROUT, Pavel. Učebnice jazyka C. 3. upravené vydání. České Budějovice: Kopp - technická literatura, 1994, 269s. ISBN 80-85828-21-9

Rozklad na dva znaky se provádí následující funkcí:

```
void Send(unsigned char ch)
{
    if(ch>=0xc0)
    {
        Putchar(0x7f);
        Putchar((ch & 0x7f));
    }
    else
    if(ch>=0x80)
    {
        Putchar(0x7e);
        Putchar((ch & 0x7f) | 0x40);
    }
    else
    if(ch<0x20)
    {
        Putchar(0x7f);
        Putchar(ch | 0x20);
    }
    else
        Putchar(ch);
}
```

Samotné vysílání a příjem probíhá přímo v přerušení, protože je potřeba dodržet časování a vlastně odeslat odpověď. Zpráva se připraví a v přerušení se kontroluje, jestli se má zpráva odeslat (**Obrázek 10.**) nebo se odečte dotaz (**Obrázek 9.**). Podobněto funguje u podřazeného, jen s tím rozdílem, že se čeká na dotaz a teprve na ten se jako odpověď posílá připravená textová zpráva.

Podle typu procesoru, respektive překladače, se klíčovým slovem určuje, že daná funkce bude přerušení.

```
interrupt [USART_RXC] void usart_rx_isr(void){} //CVAVR - Atmel
void Serial0Interrupt(void) interrupt 4 using 1{} //Keil - C51
__interrupt(vect=23) void Serial0Interrupt(void){} //HEW -
Renesas Tiny
void Serial0Interrupt(void) __attribute__((interrupt_handler));
void Serial0Interrupt(void){} //Kpit GNU - Renesas
```

V překladači GNU pro procesor Renesas je tabulka funkcí přerušení tak, jak jsou uloženy v paměti. Atribut za deklarací funkce jen říká, že se jedná o přerušení. Návrátová instrukce z funkce potom bude RETI.

U ostatních překladačů je číslo přerušení přímo v klíčovém slově. Výhodou šíření deklarace přerušení u překladače Kpit GNU pro Renesas je možnost použít stejnou funkci pro více vektorů přerušení.

Klíkové slovo "using" u překladače Keil definuje jakou registrovou banku bude přerušení používat. Což urychluje volání funkce, protože v opačném případě se musí sdílená registrová banka před přerušením uložit do zásobníku a po skončení přerušení opět registry ze zásobníku obnovit.

Hlavním rozdílem mezi běžnou funkcí a funkcí přerušení je v návratové instrukci. Běžná funkce je zakončena instrukcí RET, kdežto funkce přerušení instrukcí RETI.

Instrukce RETI odblokuje příznak přerušení a řadí přerušení může vykonat případně i ekající stejné nebo nižší úrovní. Pokud by nebyla instrukce RETI zavolána, žádné další přerušení by nebylo zavoláno. Přesné chování nelze obecně popsat, protože každý procesor se chová k přerušením jinak.

ZÁVĚR

V práci byly nastíněny možnosti a principy programování jednodušipových procesorů. Vše bylo aplikováno na elektronice pro řízení výdejných palivových stojanů a zaměřeno především na problematiku sériové komunikace.

Byly porovnávány jednotlivé procesory od různých výrobců a jejich jednotlivé funkce a periferie, ale také popsán vývoj jejich parametrů. Zmiřovanými výrobci byli Intel, Atmel, Renesas, STMicroelectronic a porovnávány procesory 80C51, ATMega48, H83687, H8S2378, STM32F101VC s jádrem ARM.

Po srovnání jednotlivých procesorů se ukázalo, že **první** procesor Intel80C51 od výrobce Intel je již zastaralý a pomalý a proto se již nepoužívá do nových aplikací. Stále se však používá při výrobě starých modelů elektronik.

Druhým procesorem od výrobce Atmel je se zástupcem ATMega48, který je vhodný spíše pro menší aplikace. V řadě ATMega je široká škála procesorů s různými paměťmi a více periferiemi, ale stále s osmibitovým jádrem.

Od výrobce Renesas byly zmíněny dva procesory a v pořadí **třetí** procesor H83687 se ukázal oproti procesoru ATMega jako cenově dražší, ale s dvanácti bitovým jádrem.

Čtvrtý procesor H8S2378, opět od výrobce Renesas, je také dražší, ale tentokrát v porovnání s procesorem STM. Tento procesor má ale také výhody. Těmi je např. to, že má synchronní periferie s jádrem procesoru a hlavně byl na trhu o mnoho let dříve, což je handicap z pohledu výkonu, ale naopak je výhodou to, že v době návrhu elektroniky byl již na trhu.

Pátým a posledním procesorem je STM32F101VC s jádrem ARM Cortex od firmy STMicroelectronic, který je naopak levnější než procesor H8S2378. Záměrem společnosti, že se má jednat o levné výkonné jádro byl splněn. Ale jádro Cortex bylo uvedeno na trh v době, kdy byl H8S2378 osazován do PDECPU4.

Zda-li bude procesor Renesas nahrazen levnějším procesorem z řady STM32F10xxx, je otázkou budoucnosti. A protože peníze vládou svůu a v době finanční krize zvláště je to velice pravděpodobné.

Pro srovnání byly vybrány jen procesory použité v některé z elektronik pro výdejní stojany. Pokud je možné usuzovat z počtu licencí (424 společností) jádra ARM, není možné porovnávat procesory všech výrobců.

Z porovnání zmíněných procesorů plyne jednoznačný závěr u komunikace SPI. Pokud procesor obsahuje periférii SPI, je rozhodně výhodnější, neboť ubude programování tohoto rozhraní a program pak pracuje rychleji.

U rozhraní I2C to jistě bude podobné, ale při využití této periférie se vyskytly problémy, které je potřeba ještě vyřešit, aby bylo možné periférii bezpečně využívat.

Periférie UARTu je u všech procesorů, protože je základní funkcí každé používané elektroniky. V tomto případě bylo cílem nastítní rozdílné ovládání a chování této periférie.

Na závěr byla uvedena ukázka principu používané komunikace ve výdejních stojanech společnosti Tatsuno Benl a.s., která vyvíjí, vyrábí a dodává elektroniku společnost Gema s.r.o..

SEZNAM LITERATURY

Tisková literatura

- [1] HEROUT, Pavel. Učebnice jazyka C. 3. upravené vydání. České Budějovice: Kopp - technická literatura, 1994, 269s. ISBN 80-85828-21-9
- [2] HRÁZSKÝ JOSEF, Mikropočítač a počítač. 1. vydání. Praha: Informatorium - učebnice středních škol, 1996, 211s. ISBN 80-85427-90-7
- [3] VÁŇA, Vladimír. Mikrokontroléry ATMEL AVR programování v jazyce C. 1. vydání. Praha: BEN - technická literatura, 2003, 216 s., 1 CD-ROM. ISBN 80-7300-102-0

Elektronická literatura

- [4] ARM, partneři společnosti <http://www.arm.com/community/all_partners.php> [online][cit 2009-04-11]
- [5] ARM, milníky společnosti <<http://www.arm.com/aboutarm/milestones.html>> [online][cit 2009-04-11]
- [6] Atmel, AT89S52
<http://www.atmel.com/dyn/resources/prod_documents/doc1919.pdf> [online][cit 2009-04-07]
- [7] Atmel, ATmega48
<http://www.atmel.com/dyn/resources/prod_documents/doc2545.pdf> [online][cit. 2009-04-19]
- [8] Benl, Výdejní stojan SHARK BMP500.SX <<http://www.benc.cz/produkt-detail.php?id=23&back=60>> [online] [cit 2009-3-23]
- [9] EM Microelectronic, EM4095
<http://www.emmicroelectronic.com/webfiles/Product/RFID/DS/EM4095_DS.pdf> [online] [cit 2009-03-26]
- [10] EM Microelectronic, V6108
<http://www.emmicroelectronic.com/webfiles/Product/LCDDriver/V6108_DS.pdf> [online][cit 2009-03-28]

- [11] Gema, Elektromechanický zobrazovač PdeDis v3.1
<http://www.gema.cz/images/stories/elektroaplikacevyroba/vo_Aplikace2.jpg>
[online][cit 2009-3-23]
- [12] Intel, 87xC51 <
http://www.keil.com/dd/docs/datashts/intel/80x1bh_87c51_ds.pdf> [online][cit
2009-04-07]
- [13] HW server, AVR <<http://avr.hw.cz>> [online][cit 2009-04-08]
- [14] Micrel, datový list MIC5841 <<http://www.micrel.com/PDF/mic5841.pdf>>
[online][cit 2009-3-23]
- [15] Philips (NXP), specifikace sběrnice I2C
http://www.semiconductors.philips.com/acrobat_download/literature/9398/3934001_1.pdf> [online][cit 2009-04-12]
- [16] Podnikatel.cz, Zjednodušený daňový doklad
<<http://www.podnikatel.cz/clanky/faktury-a-jine-doklady-resi-presne-zakony>>
[online][cit 2009-04-10]
- [17] Renesas, H8S3687
<http://documentation.renesas.com/eng/products/mpumcu/rej09b0027_h83687.pdf>
[online][cit 2009-04-09]
- [18] STMicroelectronic, STM32F10xxx
<<http://www.st.com/stonline/products/literature/rm/13902.pdf>> [online][cit 2009-
04-11]
- [19] STMicroelectronic, M24C64
<<http://www.st.com/stonline/products/literature/ds/4578/m24c64-f.pdf>> [online][cit.
2009-04-19]
- [20] Texas Instrument, HC595 <<http://www.farnell.com/datasheets/74564.pdf>>
[online][cit 2009-04-13]
- [21] Texas Instrument, HC165 <<http://www.farnell.com/datasheets/93345.pdf>>
[online][cit 2009-04-13]
- [22] Vishay, TSOP4833 <<http://www.vishay.com/docs/82090/tsop48xx.pdf>>
[online][cit. 2009-04-19]

SEZNAM OBRÁZKŮ

Obrázek 1 <i>ilustrace vzorkování přijímacího UARTu a startbitu (zdroj: literatura [18])</i>	11
Obrázek 2 <i>ilustrace rámce jednoho slova (zdroj: literatura [7])</i>	11
Obrázek 3 <i>ilustrace platnosti na sběrnici I2C (zdroj: literatura [15])</i>	12
Obrázek 4 <i>ilustrace přenosu dat na I2C (zdroj: literatura [15])</i>	13
Obrázek 5 <i>ilustrace čtení bloku dat z paměti M24C64</i>	14
Obrázek 6 <i>ilustrace přenosu byte na SPI, znázornění převzato z dokumentace ATmega48 (zdroj: literatura [7])</i>	15
Obrázek 7 <i>ilustrace infračervený vysílač a přijímač (zdroj: literatura [22])</i>	17
Obrázek 8 <i>stojan SHARK BMP500.SX (zdroj literatura [8])</i>	36
Obrázek 9 <i>ilustrace nadřazený dotazuje podřazeného</i>	50
Obrázek 10 <i>ilustrace nadřazený posílá podřazenému textovou zprávu</i>	50

SEZNAM TABULEK

Tabulka 1 <i>ilustrace vybrané SFR procesoru 80C51 a Special Function Register</i>	19
Tabulka 2 <i>ilustrace registry procesoru Renesas</i>	26