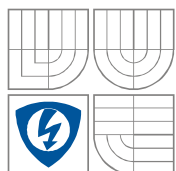


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ  
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND  
COMMUNICATION  
DEPARTMENT OF MICROELECTRONICS

## PŘEDZESILOVAČE PRO ZPRACOVÁNÍ BIOLOGICKÝCH SIGNÁLŮ

PREAMPLIFIER FOR BIOLOGICAL SIGNALS PROCESSING

DIPLOMOVÁ PRÁCE  
MASTERS'S THESIS

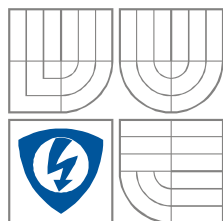
AUTOR PRÁCE  
AUTHOR

Bc. ANTON DERISHEV

VEDOUCÍ PRÁCE  
SUPERVISOR

doc. Ing. et Ing. Fabian Khateb, Ph.D et Ph.D.

BRNO 2014



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ

ÚSTAV MIKROELEKTRONIKY

## Diplomová práce

magisterský navazující studijní obor  
**Mikroelektronika**

*Student:* Bc. Anton Derishev

*ID:* 158295

*Ročník:* 2

*Akademický rok:* 2013/2014

**NÁZEV TÉMATU:**

**Předzesilovače pro zpracování biologických signálů**

**POKYNY PRO VYPRACOVÁNÍ:**

Seznamte se vlastnostmi zesilovačů pro biologické signály a metodami jejich návrhu. Navrhněte v CMOS technologii zesilovač s nízkým napájecím napětím a s nízkou spotřebou pro zpracování těchto signálů. Zohledněte přitom nároky na parametry, které jsou na tyto zesilovače kladeny.

**DOPORUČENÁ LITERATURA:**

Podle pokynu vedoucího práce

*Termín zadání:* 10.2.2014

*Termín odevzdání:* 29.5.2014

*Vedoucí práce:* doc. Ing. et Ing. Fabian Khateb, Ph.D et Ph.D.

*Konzultanti semestrální práce:*

**prof. Ing. Vladislav Musil, CSc.**  
*Předseda oborové rady*

**UPOZORNĚNÍ:**

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

# ABSTRAKT

Práce se zabývá problematikou návrhu a optimalizace zesilovačů v technologii CMOS s nízkým napájecím napětím a nízkou spotřebou. Hlavním zaměřením práce je navrhnout zesilovač pro zesílení biologických signálů. V první části práce je stručný úvod do teorie biologických signálů. Dále práce obsahuje stručný popis metod zpracování biologických signálů a jejich vlastnosti. Důležitou částí práce je popis metod pro snížení napájecího napětí zesilovače. Praktická část této práce je zaměřena na návrh zesilovače s nízkým napájecím napětím a s nízkou spotřebou. Všechny aktivní prvky a příklady aplikací byly ověřeny pomocí PSpice simulací s využitím parametrů technologie 0,18  $\mu\text{m}$  TSMC CMOS. Pro ilustraci chování struktur je v diplomové práci zahrnuty simulační výsledky.

# KLÍČOVÁ SLOVA

CMOS technologie, diferenciální rozdílový zesilovač, biologický signál, nízké napájecí napětí, nízký příkon

# ABSTRACT

The work deals with the design and optimization of amplifiers in CMOS technology with low supply voltage and low power consumption. The main aim is to design an amplifier to amplify the biological signal. The first part is a brief introduction to the theory of biological signals. The work also contains a brief description of the biological signal processing methods and their properties. The important part is the description of the methods to reduce the supply voltage of the amplifier. The practical part of this thesis focuses on the design amplifiers with low supply voltage and low power consumption. All active elements and application examples have been verified by PSpice simulator using the 0.18  $\mu\text{m}$  TSMC CMOS parameters. Simulated plots are included in this thesis to illustrate behavior of structures.

# KEYWORDS

CMOS technology, differential difference amplifier, biological signal, low supply voltage, low power consumption

DERISHEV, A. *Předzesilovače pro zpracování biologických signálů*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014 75 s.  
Vedoucí diplomové práce doc. Ing. et Ing. Fabian Khateb, Ph.D. et Ph.D

## Prohlášení

Prohlašuji, že svoje diplomovou práci na téma „Předzesilovače pro zpracování biologických signálů“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 29. května 2014

.....  
podpis autora

## Poděkování

Děkuji vedoucímu diplomové práce doc. Ing. et Ing. Fabianu Khatebovi, Ph.D. et Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování diplomové práce.

V Brně dne 29. května 2014

.....  
podpis autora

Experimentální část této diplomové práce byla realizována na výzkumné infrastruktuře vybudované v rámci projektu CZ.1.05/2.1.00/03.0072  
**Centrum senzorických, informačních a komunikačních systémů (SIX)**  
operačního programu Výzkum a vývoj pro inovace.

# OBSAH

Úvod .....	9
<b>1. Přehled biosignalů a jejich vlastnosti .....</b>	<b>11</b>
1.1 Charakter biologických signálů .....	11
1.2 Základy zpracování elektrických biologických signálů.....	13
<b>2. Popis operačního zesilovače .....</b>	<b>15</b>
2.1 Transkonduktanční zesilovač OTA (Operational Transconductance Amplifier) .....	15
2.2 Diferenciální rozdílový zesilovač DDA (Differential Difference Amplifier) .....	19
<b>3. Metody návrhu nízkonapěťových a nízkovýkonových analogových obvodů .....</b>	<b>23</b>
3.1 Sub-threshold MOSFET (technika podprahového napětí) .....	26
3.2 Bulk-driven MOSFET (tranzistor řízený substrátem) .....	28
3.3 Floating-gate MOSFET (tranzistor s plovoucím hradlem) .....	31
3.4 Quasi-Floating-gate MOSFET (tranzistor s kvazi plovoucím hradlem).....	33
3.5 Bulk-driven Quasi Floating Gate MOSFET .....	36
3.6 Level shifter MOSFET (posunutí úrovně) self-cascode struktura .....	39
<b>4. Návrh zesilovače.....</b>	<b>41</b>
4.1 Transkonduktanční dvoustupňový zesilovač $V_{\text{supply}}=0,6\text{ V}$ .....	41
4.2 Plně transkonduktanční dvoustupňový zesilovač $V_{\text{supply}}=0,6\text{ V}$ .....	53
4.3 Plně diferenciální rozdílový zesilovač $V_{\text{supply}}=0,6\text{ V}$ .....	58
<b>Závěr .....</b>	<b>64</b>
<b>Literatura .....</b>	<b>66</b>
<b>Seznam použitých symbolů.....</b>	<b>69</b>

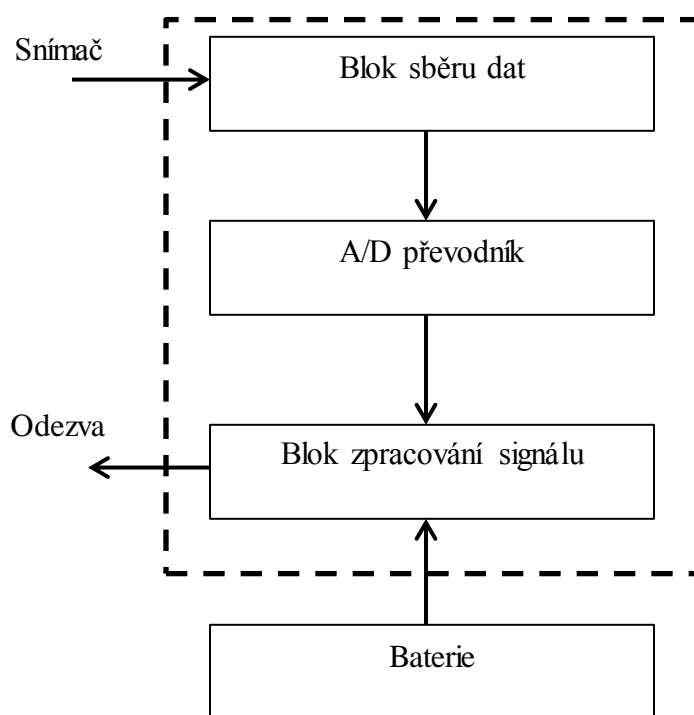
<b>Seznam zkratek.....</b>	<b>70</b>
<b>Seznam obrázků.....</b>	<b>71</b>
<b>Seznam tabulek.....</b>	<b>73</b>
<b>Příloha: PSpice MOS model.....</b>	<b>74</b>



# ÚVOD

Moderním trendem ve všech aplikacích je snižování příkonu elektronických zařízení. Způsobem snížení příkonu je snížení napájecího napětí na minimum. Takové omezení napětíového rozsahu vyžaduje obvodové přizpůsobení tak, aby byl tento rozsah efektivně využíván.

Elektronické obvody základních biomedicínských implantabilních zařízení, jako jsou kardiostimulátory, kochleární implantáty, neurální protézy atd., skládá se z baterie pro dodávky energie, získávání signálu a bloku zpracování signálu, A/D převodníku, a také bloku komunikačního subsystému (obr. 1.1). Každý z těchto bloků musí být navržen tak, aby splňoval přísné omezení, které zajišťuje více a více propracovanější a efektivnější systém. Tyto omezení se obecně týkají spolehlivost, robustnost, přesnost a nízkou spotřebu energie[1].



Obr. 1.1. Bloková schéma základních biomedicínských implantabilních zařízení

Implantáty jsou systémy na baterie používané ke sledování lidského těla po celý den (například kardiostimulátory). Tyto baterie jsou obecně lithium-jódové jednočlánkové baterie a zajišťuje napětí 2.8V. Proto u pacientů užívajících tento typ zařízení je nutné měnit baterii svého implantátu každé čtyři nebo pět let [2]. Tento postup může být velmi nebezpečný, zvláště u starších pacientů. Takže je potřeba pro minimalizace spotřeby energie, která vzniká za účelem prodloužení doby životnosti zařízení. Tento zásadní požadavek se bere v úvahu při navrhování každého z bloků, které tvoří zařízení.

Zpracování signálů představují nejdůležitější bloky v těchto zařízeních, protože to je kritická pozice v hierarchickém pořadí. Poskytuje rozhraní mezi snímačem a blokem zpracování signálu. Zde, front-end element a důležitý signál podmiňování, kdo je operační transkonduktanční zesilovač (OTA). Jeho hlavním úkolem je zvýšit úroveň velmi nízkých bio-potenciálů pocházejících ze sofistikovaných senzorů založených na technologii MEMS. Tyto požadavky jsou závislé na druhu bio-signálů, které mají být zpracovány.

Signály, které se ve stavu zesílení nachází, jsou velmi specifické signály, jako je EEG, EKG, EMG, atd., z důvodu své malé amplitudy [ $\sim\mu\text{V}$  na  $\sim\text{mV}$ ], a jejich velmi nízkého rozsahu frekvencí [ $\sim\text{mHz}$  to  $\sim\text{stovky Hz}$ ] [3]. Následkem toho zesilovače používající v tomto případě je nutné předložit vysoký zisk, přijatelnou šířku pásma, dobrou stabilitu s nízkou spotřebou energie a nízkým napětím. Tento druh architektury, který se nachází v této práci, představuje zajímavou tému několik prací, kde jsou vzneseny mnoho problémů, zejména s nízkou spotřebou energie a nízkým šumem a s velmi nízkou frekvencí zesilovačů.

Tato práce popisuje a porovnává různá zapojení nízkonapěťových zesilovačů v CMOS technologii vhodný pro nahrávání biosignálů a představuje zesilovač s nízkou spotřebou energie. V této práci používá transkonduktanční zesilovač (OTA), který oproti klasickému operačnímu zesilovači se ideální OTA liší tím, že pracuje v proudovém modu. Proudový mód není ovlivněn snižováním napájecích napětí, jelikož nosičem informace je proud. Tudíž na vstupních i výstupních svorkách sledujeme velikosti proudů. Další výhodou je větší šířka pásma, nižší napájení a tudíž i nižší spotřeba. A také vstupní diferencní napětí není nulové. Přitom vstupní impedance je opět nekonečná, takže můžeme zanedbat proudy do vstupů. Tato práce se skládá z popisu architektury navrhovaného zesilovače, a výsledků simulace. V poslední části se představujeme této nové řešení plně diferencní rozdílový zesilovač FDDA. Skončil jsem s přehledem výsledků a závěr.

# 1. Přehled biosignálů a jejich vlastnosti

## 1.1 Charakter biologických signálů

Lidský organismus je otevřený dynamický systém schopný přijímat, zpracovávat a vydávat informace. Hmotný projev informace o zkoumaném biologickém systému nazýváme biologický signál nebo zkráceně biosignál. Biologické signály jsou základem všech diagnostických metod. Výstupní informace biosignálů odráží stav daného organismu a jsou základem pro stanovení diagnózy. Podle původu či vzniku je možné biosignály zjednodušeně rozdělit na ultrazvukové, radiologické, tepelné, optické, mechanické, magnetické, chemické, akustické, impedanční a elektrické. Biologické signály můžeme dále rozdělit na aktivní (vlastní, generované) a pasivní (zprostředkované, modulované). U pasivních biosignálů biologický objekt není zdrojem energie, pouze modifikuje vnější energii např. ultrazvuk. Při aktivním biosignálu je organismus zdrojem energie, tuto energii registrujeme a zesilujeme [4].

Tab. 1.1: Aktivní biologické signály

Druh projevu	Způsob snímání	Diagnostická metoda
Mech. projevy - pohyb - rychlost - tlak - mechanický výkon	Mechanoelektické měniče	- spirometrie - fonokardiografie - apexkardiografie - tonometrie - ergometrie
Tepelné projevy - teplota teploměru jádra - povrchové rozložení teplot	- teploměry - kapalné krystalky - detektor infračerv. záření - kalorimetr	- termometrie - kontaktní termografie - termovize - metabolická měření
Aktivní elektrické projevy	-elektrody	EKG, EMG, EEG, ERG
Faktory vnitřního prostředí	- elektrody	Monitorování vnitřního prostředí

**Tab. 1.2:** Napěťové a frekvenční rozsahy elektrických biologických signálů

<b>Biosignál</b>	<b>Napěťový rozsah</b>	<b>Frekvenční rozsah</b>	<b>Elektroda</b>
Elektrokardiogram EKG	0,5 – 5 mV	0,05 - 100 Hz	Plošná
Fetální EKG, FEKG	10 – 300 $\mu$ V	0,2 - 100 Hz	Plošná
Elektromyogram EMG	0,05 – 5 mV 0.01 – 2 mV	2 - 500 Hz 5 – 10 kHz	Plošná – sval Jehlová - vlákno
Elektroencefalogram EEG	2 – 200 $\mu$ V	0,5 – 200 Hz	Plošná
Elektrogastrogram EGG	10 – 1000 $\mu$ V 0,5 – 80 mV	0 - 1 Hz 0 - 1 Hz	Plošná – kůže Plošná - žaludek
Elektrookulogram EOG	10 $\mu$ V - 3,5 mV	0 - 100 Hz	Plošná
Elektroretinogram ERG	0,5 - 1mV	0 - 200 Hz	Mikroelektrody, povrchové

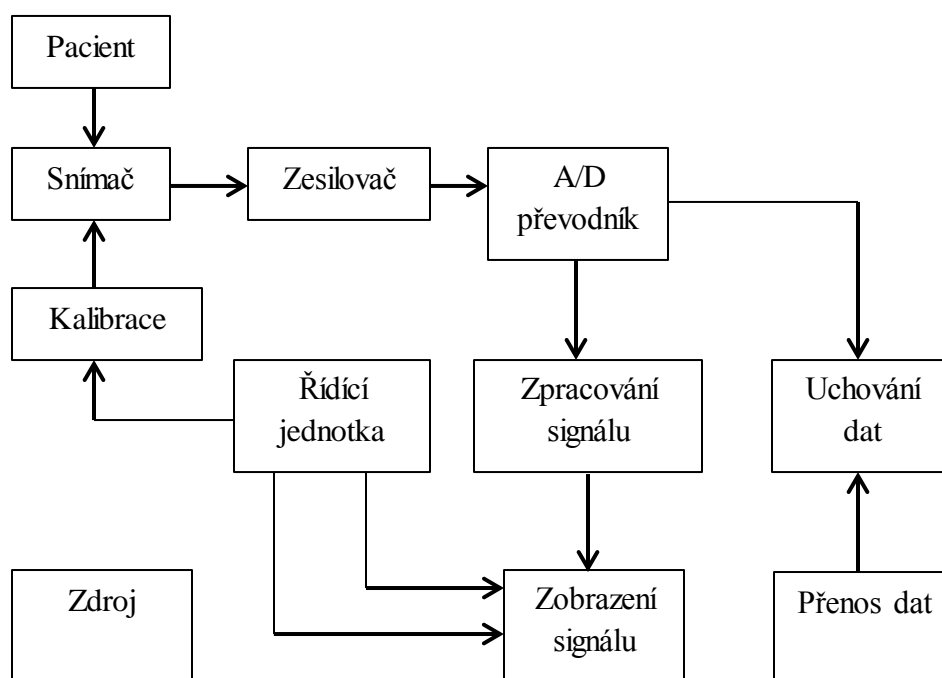
## 1.2 Základy zpracování elektrických biologických signálů

První krokem při zpracování elektrických biosignálů je jejich snímání. Elektrické biosignály jsou snímány jako elektrické napětí. Velikost tohoto elektrického napětí kolísá dle jednotlivých tkání od  $10^{-6}$  V do  $10^{-2}$  V. Velmi důležitá je také frekvence kolísání, která se také pohybuje v širokém rozmezí od  $10^{-1}$  do  $10^3$  Hz. Ke snímání elektrického napětí používáme snímače (senzory). U elektrických biosignálů plní tuto funkci elektrody. Měníče snímají neelektrické biosignály a zároveň mění energetický impuls na elektrický signál. Při snímání elektrického napětí je velmi důležité, aby byl snímač biologicky inertní. To znamená, že neovlivňuje tkáň, s níž je v kontaktu. Elektrody pro měření elektrického napětí rozdělujeme na polarizovatelné a nepolarizovatelné. Polarizovatelné měření elektrických biosignálů je nepřesné, protože elektrodové napětí je proměnlivé v důsledku pohybu pacienta, elektrody, vlhkosti, vliv okolního prostředí atd. Nepolarizovatelné elektrody jsou charakterizovány stálým elektrodovým potenciálem, měření má vyšší přesnost. Dokonale nepolarizovatelné elektrody však neexistují. V praxi se nejčastěji používá elektroda stříbřitochloridová. Elektrody dále dělíme na makroelektrody, mikroelektrody, povrchové nebo vpichové. Mikroelektrody slouží pro měření elektrických biopotenciálů jednotlivých buněk. Mají průměr hrotu ( $<0,5 \mu\text{m}$ ). Tyto elektrody jsou vyrobeny ze skla (nepolarizovatelné) nebo z kovu (polarizovatelné). Povrchové elektrody jsou kovové destičky různého tvaru a velikosti. Elektrický kontakt je vylepšován vodivým gelem. Vpichové elektrody se používají pro snímání elektrických biopotenciálů z malých oblastí tkání. Vyrábějí se z ušlechtilých kovů.

Druhým krokem je zesílení sejmutých biosignálů. Zesilovače elektrických biosignálů dělíme na stejnosměrné a střídavé. Nevýhodou stejnosměrných zesilovačů je, že zesilují i polarizační napětí vznikající na elektrodách. U střídavých zesilovačů se spojení se zdrojem signálu uskutečňuje kapacitně odporovou vazbou, která zamezuje přenos stejnosměrné složky biosignálu. Používají se také zesilovače víceúrovňové, celkové zesílení u nich lze regulovat. Často se používají zesilovače diferenční, které zesilují pouze rozdíl napětí, přivedených na vstupy. Důležitým předpokladem pro získání nezkráceného elektrického signálu je jeho filtrace či potlačení rušivých složek obsažených v sejmutém signálu. Jedná se například o

rušení vlastním tělem (pohyb, dýchání), polem sítě (50 Hz), televizní a rozhlasové vysílače, počítače či samotným zesilovačem.

Třetím krokem je záznam zesíleného bioelektrického děje. Záznam může být dočasný nebo trvalý. Dočasné zobrazení časového průběhu sledovaného bioelektrického děje umožňuje osciloskop. V současné době se zpracování provádí pomocí výpočetní techniky. Toto vyžaduje úplnou digitalizaci procesu zpracování. Většina moderních diagnostických přístrojů má tedy analogovou část omezenou pouze na sejmутí biosignálů. Na analogovou část navazuje analogově-digitální převodník. Zobrazení biosignálů je pak zcela na bázi počítačové technologie [5].



Obr. 1.2. Zpracování elektrických biologických signálů

## 2. Popis operačního zesilovače

### 2.1 Transkonduktanční zesilovač OTA (Operational Transconductance Amplifier)

Rozšíření pojmu operačního zesilovače je transkonduktanční operační zesilovač.

Transkonduktanční zesilovač je v podstatě zdroj proudu  $i_{out}$  řízený napětím

$$i_{out} = g_m * (V_p - V_n) \quad (2.1)$$

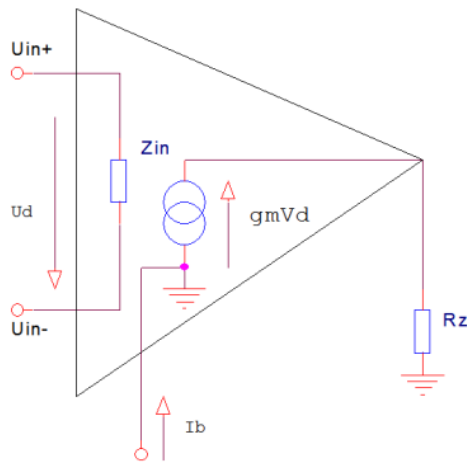
kde  $u_+$  a  $u_-$  jsou napětí invertujícího a neinvertujícího vstupu.

Vnitřní struktura transkonduktančního zesilovače je zobrazena na obr. 2.1. Vstupní obvod je tvořen diferenciálním vstupem a převodníkem U/I. Výstup z tohoto převodníku je již přímo výstupem transkonduktančního zesilovače. Transkonduktance  $g_m$  je obvykle říditelná externím proudem (bias current)  $I_b$ . Připojením zatěžovacího rezistoru na jeho výstup obdržíme výstupní napětí naprázdno

$$u_{out} = R_Z g_m * (V_p - V_n) \quad (2.2)$$

kde  $R_Z$  je zatěžovací odpor.

Ze vztahu (2.1) vyplývá, že transkonduktanční zesilovače mají z principu konečné zesílení a nevyžadují použití zpětné vazby. Tento fakt způsobuje, že mezi vstupy transkonduktančního zesilovače není nulové napětí jako u VFA (voltage feedback amplifier) či CFA (current feedback amplifier). Diferenciální stupeň je však více či méně nelineární a lze tedy připustit maximální vstupní rozdílové napětí v řádech stovek mV. Překročení této meze vede k výraznému zkreslení signálu. Absence zpětné vazby je výhodná z hlediska stability a kmitočtového rozsahu.



Obr. 2.1. Model OTA zesilovače [6]

Připojením kondenzátoru  $C_z$  jako zátěže vzniká bezeztrátový integrátor s přenosem:

$$F(s) = \frac{g_m}{s * C} \quad (2.3)$$

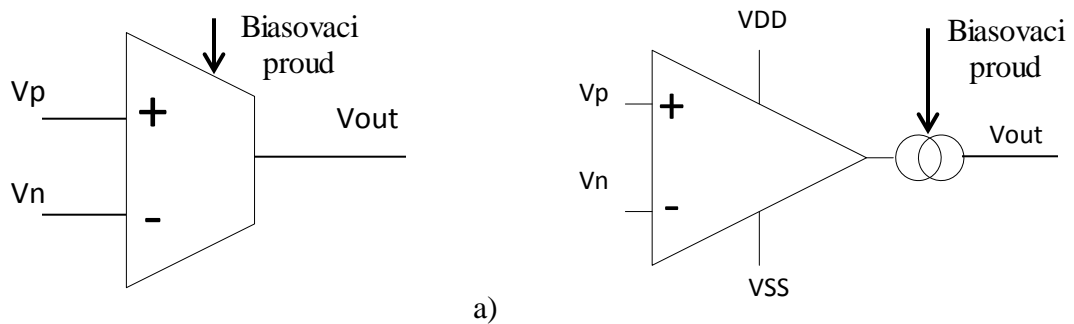
kde  $s$  - komplexní proměnné;

$C$  – kapacita kondenzátoru.

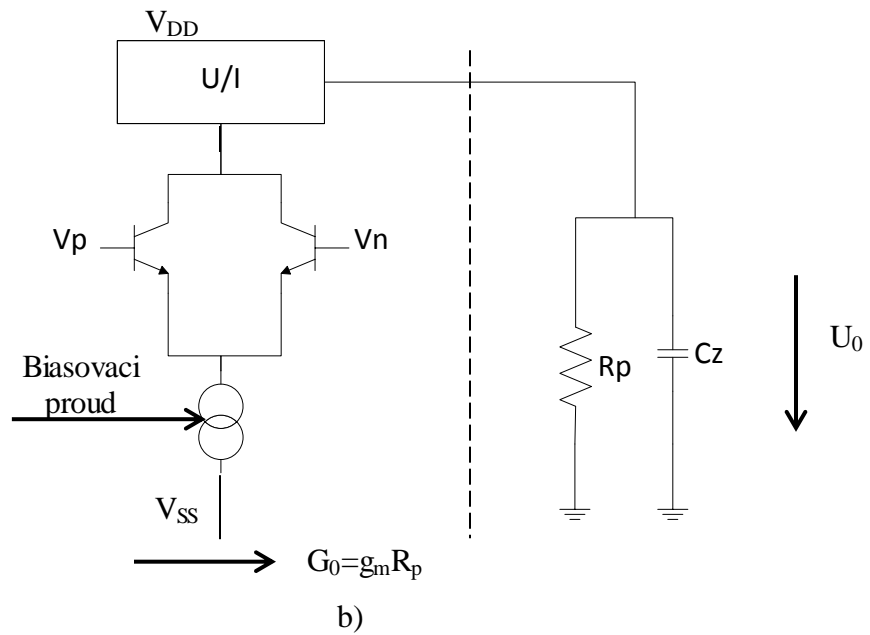
který je s výhodou (integrátor s uzemněným kondenzátorem) používán v integrovaných realizacích kmitočtových filtrů. Zapojení se často označuje jako OTA-C. Ztrátový integrátor lze vytvořit z bezeztrátového připojení paralelního rezistoru  $R$ . Kmitočtový přenos pak bude mít podobu:

$$H(s) = g_m * Z = g_m * R * \frac{1}{RCs + 1} = \frac{G_0}{\tau s + 1} \quad (2.4)$$

což formuje dolní propust prvního řádu s mezním kmitočtem  $\omega = RC$  a směrnici potlačení 20dB/dek.







Obr. 2.2 a) Používané schematické značky transkonduktanční zesilovačů; b) zjednodušené vnitřní uspořádání s připojenou zátěží na výstupu [7]

**Tab. 2.1:** Tabulka výhod a nevýhod volby architektury

	dvoustupňový zesilovač	jednostupňový zesilovač
VÝHODY	<ul style="list-style-type: none"> <li>- napěťové zesílení méně ovlivněné odporem zátěže,</li> <li>- maximální signální rozkmit</li> <li>- méně předpětí na vedení,</li> </ul>	<ul style="list-style-type: none"> <li>- nevyžaduje frekvenční kompenzaci</li> <li>- nižší spotřeba energie</li> <li>- rychlejší než vícestupňové zesilovače</li> <li>- lepší CMRR</li> </ul>
NEVÝHODY	<ul style="list-style-type: none"> <li>- vyžaduje frekvenční kompenzaci</li> <li>- vyšší spotřeba energie</li> <li>- nízká negativní PSRR při vyšších kmitočtech</li> </ul>	<ul style="list-style-type: none"> <li>- nižší signální rozkmit</li> <li>- předpětí na vedení</li> </ul>

Dvoustupňový transkonduktanční zesilovač (OTA) je na obr. 2.3. První blok tvoří diferenční pár, který zesiluje rozdílový vstupní signál a převádí jej na signál jednoduchý (single-ended). Na schématu je použita varianta s tranzistory typu NMOS, přičemž jako zátěž



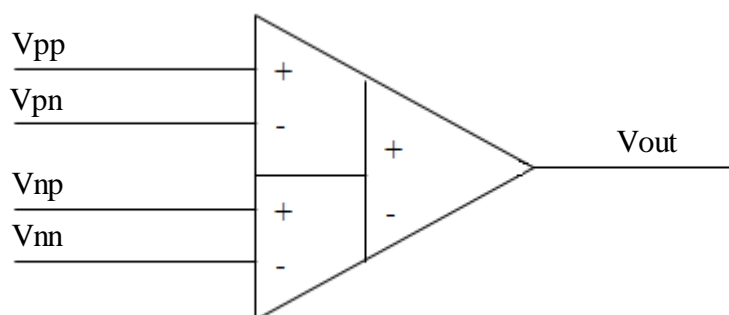
## 2.2 Diferenciální rozdílový zesilovač DDA (Differential Difference Amplifier)

Pojem operačního zesilovače bude nyní rozšířen, obvod, který porovnává dva vstupní diferenciální signály napětí na rozdíl od operačního zesilovače, který porovnává pouze nesymetrické napětí.

Tento nový obvod se nazývá diferenciální rozdílový zesilovač, nebo DDA (differential difference amplifier) [8-12]. Diferenciální rozdílový zesilovač (DDA) je operační zesilovač se 4 vstupy umožňuje realizovat:

- Komplexní obvody s jedním operačním zesilovačem
- Obvody v napěťovém režimu s "nekonečným" vstupním odporem
- Plně diferenciální aktivní filtry různých topologií

Podle pravidla symbol je znázorněn na obr. 2.4 bude použit pro DDA s vstupními terminály označenými jako  $V_{pp}$ ,  $V_{pn}$  pro neinvertující vstup a  $V_{np}$ ,  $V_{nn}$  pro invertující vstup.



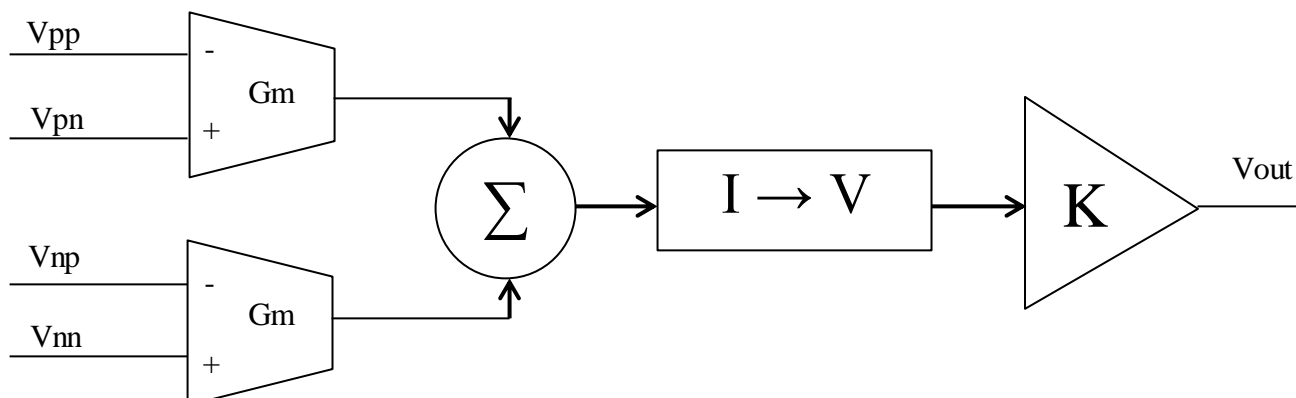
Obr. 2.4. Symbol pro DDA.

Z těchto definic základní vlastností ideálního DDA se zápornou zpětnou vazbou mohou být popsány:

$$V_{pp} - V_{pn} = V_{np} - V_{nn} \quad (2.6)$$

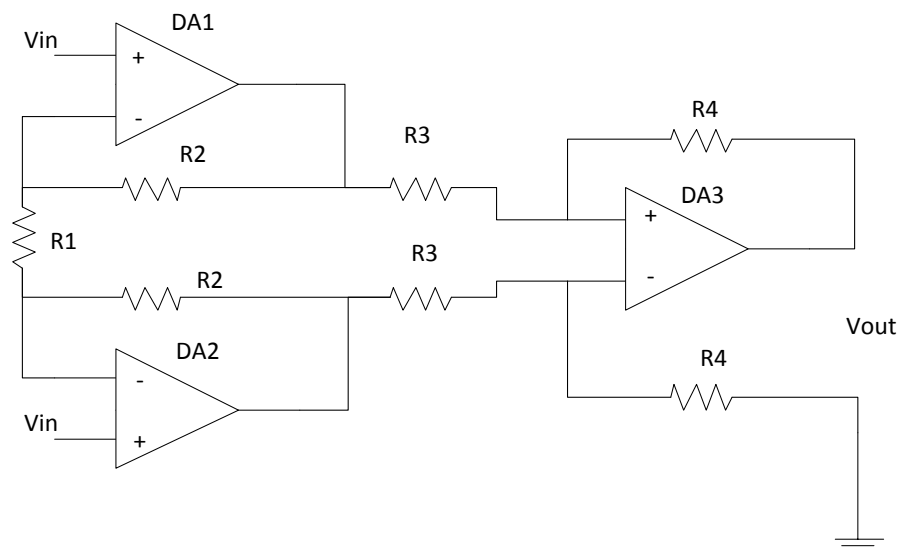
$$V_{out} = A_0[(V_{pp} - V_{pn}) - (V_{np} - V_{nn})] \quad (2.7)$$

Lze předpokládat, že obvod DDA (na obr. 2.4) může být realizován pomocí kombinace o třech operačních zesilovačů (obr. 2.6), které není pravdivé to z následujících důvodů. Za prvé, operační zesilovač není určen pro velké diferenční napětí, a proto by se přetížil. Za druhé, zisky z prvních dvou operačních zesilovačů by měla přesně odpovídat, ale to není cílem základního operačního zesilovače, který poskytuje přesný zisk v otevřené smyčce.



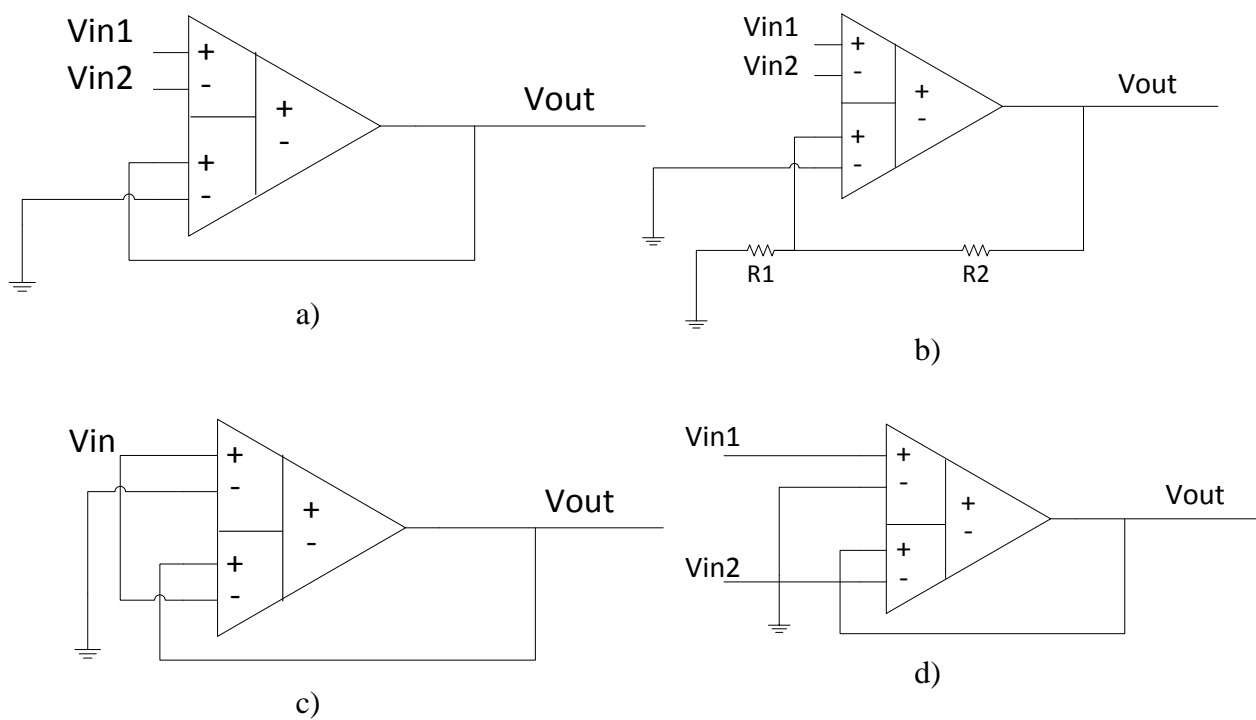
Obr. 2.5. Bloková schéma DDA.

V praxi, DDA zesilovač může být realizován, jak je znázorněno na obr. 2.5, kde dva V-I konvertory (dva vstupní terminály DDA) převádí dva diferenční napětí do proudů, které jsou pak odečteny, převedeny do napětí a zesíleny. Z rovnice (2.6), je vidět, že i když rozdíl dvou diferenčních vstupů napětí je prakticky nulový, nesymetrické napětí  $V_{pp}$  a  $V_{pn}$  ( $V_{np}$  a  $V_{nn}$ ) nemají vlastnost virtuálního zkratu, který existuje v op-amp obvodech. DDA zesilovač v jistém smyslu podobné OTA zesilovače, a proto je zapotřebí lineární V-I převodník s širokým rozsahem vstupního signálu pro velké aplikace.

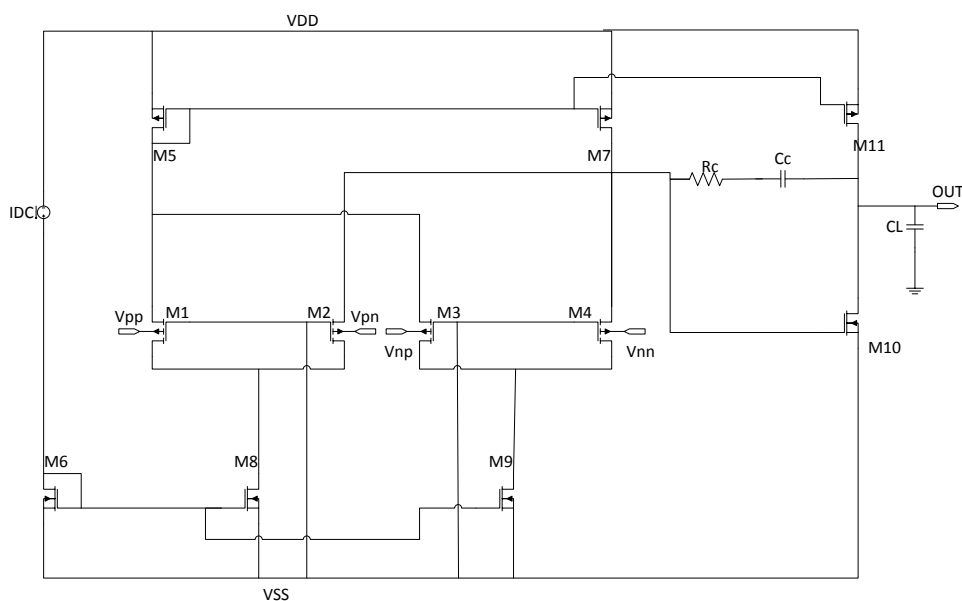


Obr. 2.6. Tři operačních zesilovačů na základě přístrojového zesilovače

Níže jsou uvedeny základní zapojení zesilovače DDA:



Obr. 2.7 a) zapojení s jedinečným zesílením; b) se zesílením  $A > 1$ ;  
c) se zesílením  $A > 1$  bez odporů; d) sumační zesilovač ( $V_{IN1} + V_{IN2} = V_{OUT}$ )



Obr. 2.8. Realizace v CMOS technologii zesilovače DDA

První blok tvoří dva diferenciální páry (M1-M2 a M3-M4), které zesiluje rozdílové vstupní napětí na proud, který se odečítá a převádí na napětí. Na schématu je použita varianta s tranzistory typu PMOS, přičemž jako zátěž bylo použito proudové zrcadlo tvořené tranzistory M5 a M7. Kompenzace kondenzátor ( $C_C$ ) a odpor ( $R_C$ ) jsou použity ke zvýšení frekvence pole a stability obvodu. Proud protékající tranzistorem M1 je zrcadlen pomocí M5 a M7 do druhé větve páru, kde je odečten proud M2. Výsledný proud vytváří na výstupním malosignálovém odporu  $r_{out4} || r_{out7}$  výstupní napěťový signál. Druhým blokem je zesilovač M11-M10. Koncový stupeň je zesilovač s třídou AB tak, aby bez převodu žádného signálu, a žádný proud je odebírán z výstupního terminálu. Je-li proud teče přes M11, M10 je vypnutý. Podobně, když proud teče přes M10, tranzistor M11 je vypnutý.

Z rovnice (2.7) vyplývá, že DDA může být realizováno pomocí kombinace tří operačních zesilovačů, což je přístrojový zesilovač, ale to není pravda, z následujících důvodů. Za prvé, operační zesilovače nejsou určeny pro velké diferenční napětí. Za druhé, zisky otevřené smyčky prvních dvou diferenciálních zesilovačů musí být stejné. DDA má všechny výhody jako operační zesilovač, jako je velmi vysoký zisk otevřené smyčky, vysoká vstupní impedance a nízká výstupní impedance. Kromě těchto příznivých míst, také vyžaduje méně pasivních prvků v realizaci obvodů. Dále mohou být použity v různých aplikacích, jako je například realizace filtrů, matematických operací, oscilátorů apod.

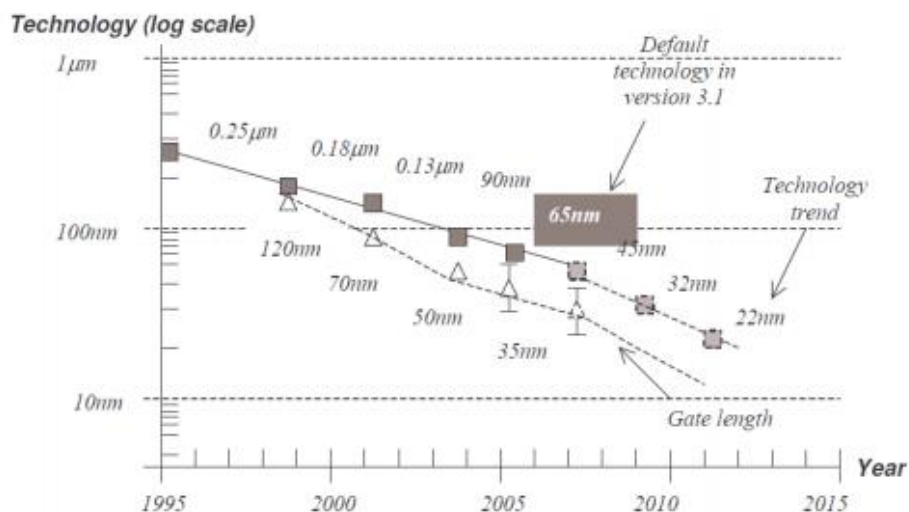
### 3. Metody návrhu nízkonapět'ových a nízkovýkonových analogových obvodů

Nízkonapět'ové a nízkopříkonové techniky mají několika nevýhod, jako je nízká hodnota transkonduktance a šířka pásma, co omezuje jejich použitelnost pro některé aplikace. Ve skutečnosti, v moderních nízkonapět'ových a nízkopříkonových analogových obvodech, prahové napětí konvenčních MOS tranzistorů je překážkou při návrhu analogových obvodů. Aby došlo k překonání prahového napětí, existuje několik MOS (MOSFET Transistor) technik pro nízkonapět'ový a nízkopříkonový návrh analogových obvodů. Nicméně, některé z nich se používá v moderních typech návrhu, například, MOS tranzistor v podprahové oblasti (slabé inverze), techniky posunutí úrovně, self-cascode struktury, tranzistor řízený substrátem (Bulk-Driven), tranzistor s plovoucím hradlem (floating-gate) a tranzistor s kvazi plovoucím hradlem (quasi-floating-gate) [13-15].

Je důležité zdůraznit, že nižší hodnota transkonduktance při zapojení BD (bulk-driven), FG (floating-gate) a QFG (quasi-floating-gate) vede nejen k nižší hodnotě šířky pásma, ale také k vyšší hodnotě vstupního šumu ve srovnání se zapojením GD (gate-driven) MOS tranzistoru. Dalším problémem je, že zapojeny FG a QFG nemohou zpracovat DC signály, protože jejich vstupní terminály jsou připojeny přes kapacitu na plovoucí hradle a kvazi-plovoucí hradle. Dále, vzhledem k použití vstupních kondenzátorů požadavky na oblast křemíku FG a QFG MOS tranzistoru se zvyšují [16-18].

Z výše uvedených nevýhod konvenčních technik, vznikla myšlenka na vybudování nových technik tak aby bylo možné kombinovat výhody a eliminovat nevýhody BD, FG a QFG technik. Tyto zajímavé techniky se nazývají tranzistor řízený substrátem s plovoucím hradlem (Bulk-Driven-Floating-Gate) a tranzistor řízený substrátem s kvazi plovoucím hradlem (Bulk-Driven-Quasi-Floating-Gate) a jsou vytvořeny kombinací BD buď FG nebo QFG technik. Nicméně, v této práci technika bulk-driven quasi-floating-gate se používá, protože technika bul-driven floating-gate trpí nežádoucí nedostatky související s tranzistorem s plovoucím hradlem, jako jsou velká plocha na čipu, počáteční náboj na plovoucím hradle. Nicméně, v této kapitole, vysvětlení několika nízkonapět'ových a nízkopříkonových metod.

Čím novější technologie (menší šířka oxidu), tím nižší je používané napětí (čímž se snižuje spotřeba) [19]. Na obrázku 3.1 je ukázána historie délky hradla technologie CMOS až po současnost. V tab. 3.1 jsou porovnány parametry pro různé technologie.



Obr. 3.1. Technologie CMOS [19].

Tab. 3.1: Tabulka parametrů technologií CMOS

Parametry	CMOS 0.7 $\mu\text{m}$		CMOS 0.5 $\mu\text{m}$		CMOS 0.25 $\mu\text{m}$		CMOS 0.18 $\mu\text{m}$	
Mínimální délka hradla [ $\mu$ ]	0.7		0.6		0.25		0.18	
Počet kovových vrstev	2-3		2-3		3-5		4-6	
Velikost waferu [mm]	150		200		200		200	
Maximální napětí I/O [V]	30		20		5		3.3	
Operační napětí [V]	5		3.3 - 5		2.5 - 5		1.8 - 3.3	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
Prahové napětí $U_T$ [V]	0.74	-0.95	0.6	-0.58	0.53	-0.53	0.48	-0.49
Proud $I_{\text{dsat}}$ [ $\mu\text{A}/\mu\text{m}$ ]	358	-176	450	-110	500	-240	600	-260
Transkonduktance $K$ [ $\text{A}/\text{V}^2$ ]	96	32	57	18,8	120	25,6	97,5	21,6



**Tab. 3.2:** Charakteristika různých technik pro CMOS design

Technika	Použitelná šířka pásma	Požadavky na napájecí napětí	Spotřeba energie	Požadavky na technologie
Sub-threshold MOSFET	Nízká	$\approx 2V_T$	Nízká	Standartní
Bulk-driven MOSFET	Nízká	$\approx 2V_T$	Vysoká	Speciální
Self-cascode MOSFET	Střední	$>2V_T$	Vysoká	Standartní
Floating gate MOSFET	Střední	$<2V_T$	Střední	Speciální
Level shifter MOSFET	Vysoká	$<2V_T$	Střední	Standartní

Vzhledem k tomu, obecný MOS tranzistor by mohl být použit k modulaci bulk-driven MOS tranzistoru, bude tato práce zaměřena na MOS tranzistoru bulk-driven quasi-floating-gate jako nový princip, kde jsem použil tento princip navrhovat, analyzovat a simulovat zcela novou architekturu Differential Difference Amplifier (DDA). Tyto nové obvody jsou velmi dobře vhodné pro nízké napájecí napětí a nízký příkon. Cílem je zvýšit chování navržených obvodů, kombinuju různé struktury se zásadou MOS tranzistoru bulk-driven quasi-floating ve stejných navržených blocích.

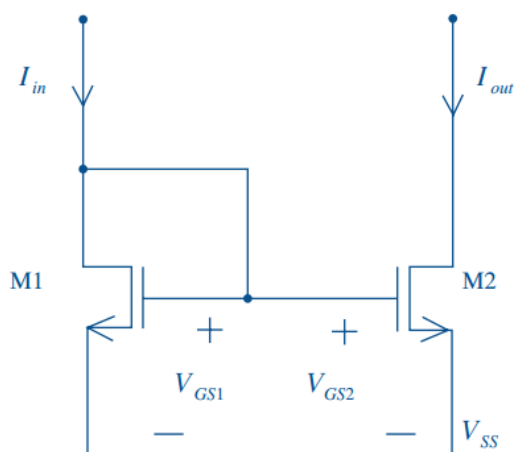
### 3.1 Sub-threshold MOSFET (technika podprahového napětí)

Kdy přiložené napětí drain-source u MOSFET tranzistoru překračuje prahové napětí, výraz pro drainový proud v podprahové oblasti je dán následujícím způsobem:

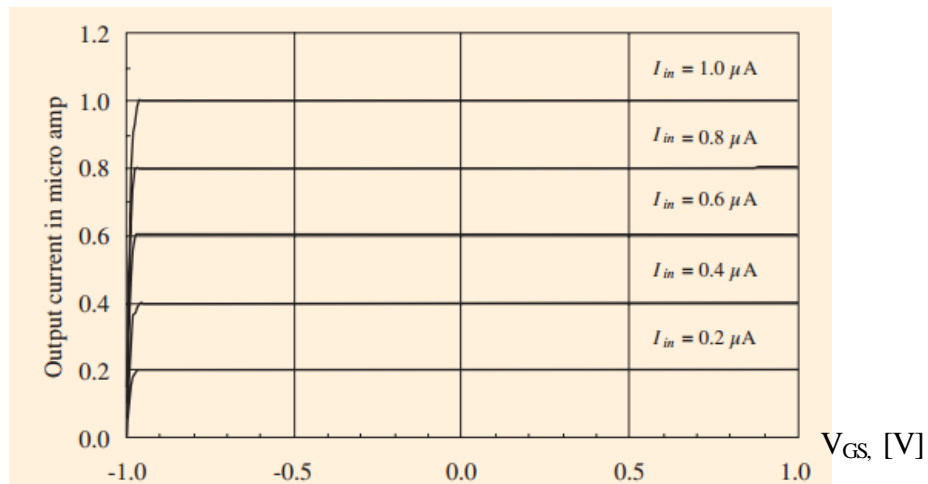
$$I_{DS} = K \frac{W}{L} \left[ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS} \quad (3.1)$$

Drainový proud je nulový když bude platit vztah  $V_{DS} < V_T$ .

V podprahové oblasti tranzistor má malé saturační napětí  $\approx 100$  mV. To zajišťuje velký pokles napětí při nízkém napájecím napětí, také i v MOSFET strukturách. Jako příklad schéma zapojení jednoduchého proudového zrcadla pracujícího v oblasti podprahového napětí (obr. 3.2). Charakteristika výstupního proudu proudového zrcadla znázorněna na obr. 3.3.



Obr. 3.2. Proudové zrcadlo pro oblast podprahového napětí [20].



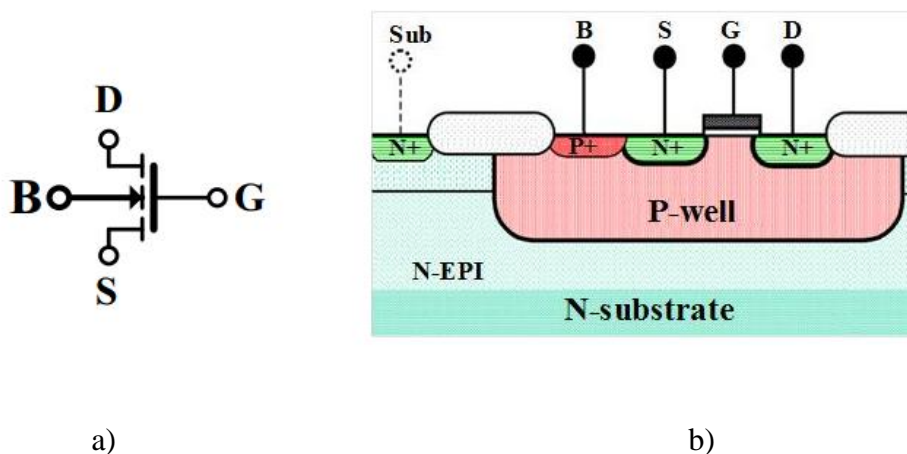
Obr. 3.3. VA (napětí-proud) charakteristika proudového zrcadla [20].

I když tyto charakteristiky jsou podobné jako u libovolného proudového zrcadla, požadované vstupní souhlasné napětí je jen několik stovek milivoltů ( $\approx 500$  mV pro proud  $\approx 1 \mu A$ ). Tento souhlasné napětí lze dále snížit, pokud budeme používat techniku posunutí úrovně. Existuje několik omezení pro zařízení pracujících v podprahové oblasti. Za prvé, frekvenční odezva není tak dobrá. Za druhé, linearita je poměrně nízká pro  $V_{DS} > 3V_T$ . To dělá návrh nízkonapěťových obvodů poměrně složitá. Dále, tyto obvody jsou určeny pro velmi nízké proudy a nejsou vhodné pro střední energie.

### 3.2 Bulk-driven MOSFET (tranzistor řízený substrátem)

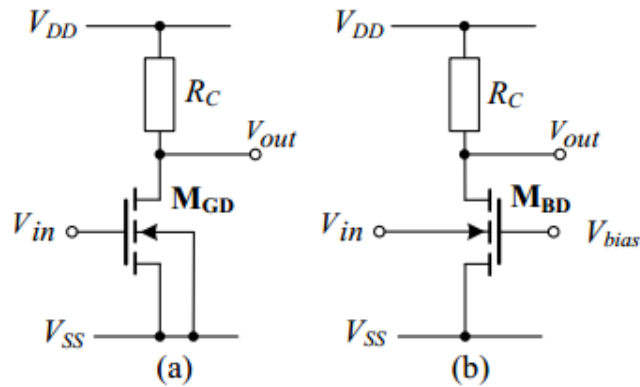
Konvenční MOS tranzistor má ve skutečnosti čtyři terminály, tj. drain (D), hradlo (G), source (S) a bulk (B). V závislosti na typu používané technologie (např. N-well, P-well nebo twin-well) bulk-terminál je normálně připojen buď na pozitivní/negativní napětí pro PMOS/NMOS tranzistor, nebo k source-terminálu tranzistoru. Jinými slovy, bulk-terminál je ignorován a není použit jako signálový terminál, a proto velké množství možných MOS obvodů jsou přehlíženy. Technika bulk-driven je založena na principu využití bulk terminálu jako vstup spíše než terminálu gate [21].

NMOS tranzistor (P-well CMOS technologie) znázorněny na obr. 3.4, také ilustruje jeho průřez s terminály: D – drain; B – bulk; S – source; G – hradlo; Sub – substrát. Technologie P-well CMOS umožňuje řídit jednotlivě bulk-terminály pouze u NMOS tranzistorů, protože tranzistory PMOS mají stejný substrát.



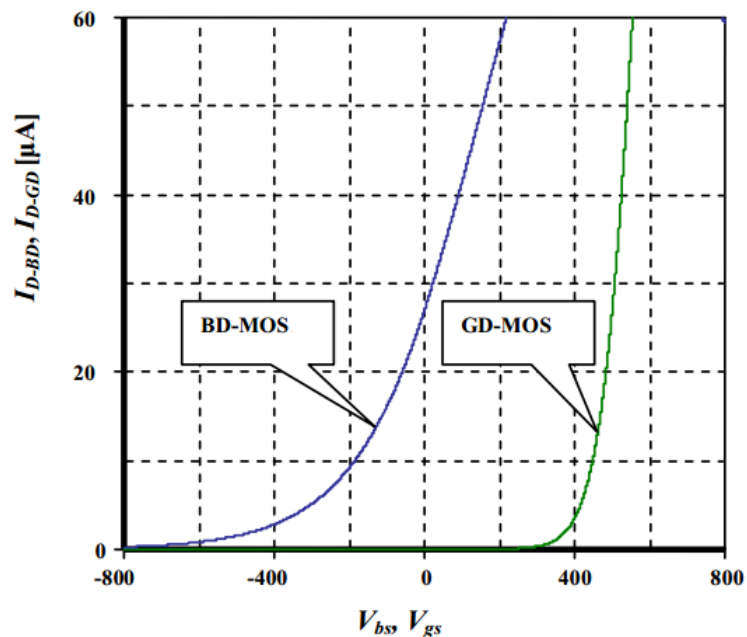
Obr. 3.4. Bulk-driven NMOS: a) symbol; b) příčný řez [20]

Princip fungování techniky bulk-driven znázorněn obr. 3.4, kde se ukazuje zapojení zesilovače se společným zdrojem na základě konvenčních GD-NMOS(a), a BD-NMOS(b).



Obr. 3.5. Zapojení tranzistoru: a) gate-driven; b) bulk-driven [20].

Bulk-terminál je v takovém případě připojen na neměnnou hodnotu napětí, často bývá spojen společně se source-terminálem. U bulk-driven MOS tranzistoru je řídicí napětí přivedeno na bulk a proud  $I_D$  je řízen napětím  $V_{BS}$  mezi elektrodou bulk a source, zatímco hradlo je připojeno na konstantní napětí.



Obr. 3.6. VA (napětí-proud) charakteristika gate-driven a bulk-driven NMOS tranzistorů [20].

Obr. 3.6 ukazuje závislost proudu  $I_D$  oproti gate-source a bulk-source napětí NMOS tranzistorů z obr. 3.5. Je zřejmé, že  $I_D$  proud v gate-driven NMOS tranzistoru se zvyšuje, pokud je gate-source napětí vyšší než prahové napětí. V BD-NMOS,  $I_D$  proud teče při nulovém napětí bulk-source.

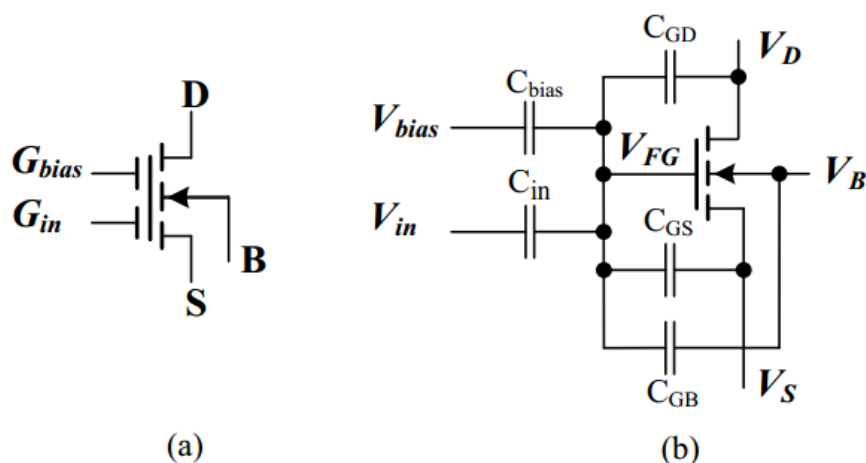
Nevýhodou bulk-driven tranzistoru je nižší transkonduktance tranzistoru řízeného napětím  $V_{GS}$ . Také polarita tranzistoru je daná použitou technologií. Pro P/N-well CMOS proces můžeme využít pouze N/P bulk-driven tranzistoru.

Transkonduktance z gate-driven MOS tranzistoru ( $g_m$ ), který pracuje v oblasti silné inverze je dána vztahem:

$$g_m = K \frac{W}{L} (V_{GS} - V_T) \quad (3.2)$$

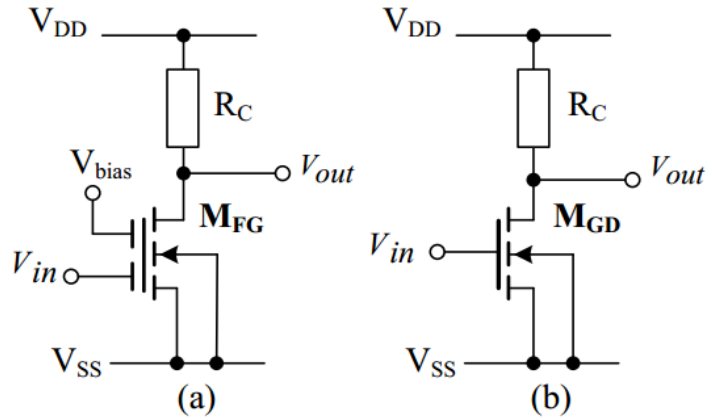
### 3.3 Floating-gate MOSFET (tranzistor s plovoucím hradlem)

Floating-gate MOS tranzistory se používají pro snížení požadavku na napájení v celé řadě nových analogových aplikací. Transkonduktance z FG tranzistoru je menší než transkonduktance gate-driven tranzistoru a výsledkem je nižší šířka pásma. Nicméně, obvody potřebné pro zpracování biologických signálů jsou typickým a dobrým příkladem jsou obvody s nízkým napájecím napětím a nízkou spotřebou vzhledem k tomu, že hlavní charakteristiky biologických signálů jsou nízké amplitudy a nízké frekvenční rozsah.



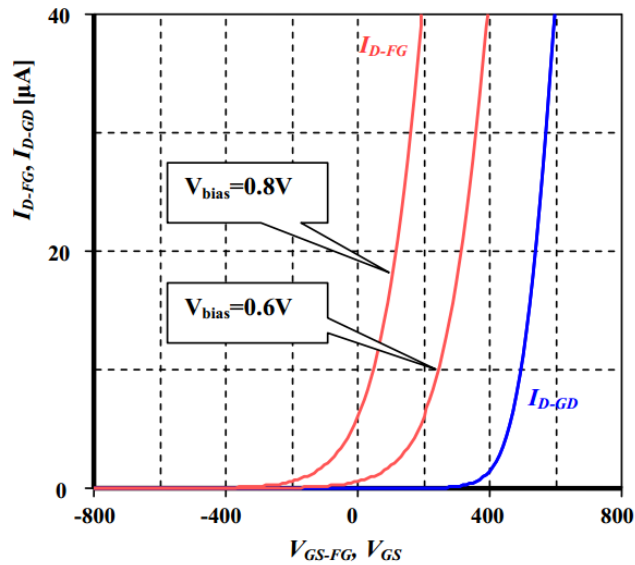
Obr. 3.7. Floating-gate MOS tranzistor: a) symbol; b) ekvivalent [20].

Obr. 3.8 ukazuje zapojení zesilovače: FG-MOS (a) a konvenční GD-MOS (b). V závislosti na použitém biasovacím napětí  $V_{BIAS}$  na plovoucím hradle, úroveň prahového napětí MOS tranzistoru se posune. Jak znázorněno na obr. 3.7, vlastní předpětí  $V_{BIAS}$  se aplikuje v jedné z kontrolních hradel  $G_{BIAS}$  přes velkou hodnotu kapacity, která je schopna snížit prahové napětí. Vstupní signál je zapojen na druhém hradle  $G_{IN}$  a moduluje inverzní vrstvu, čímž ovládá  $I_D$  proud.



Obr. 3.8. Zesilovač se společným zdrojem: a) FG-NMOS; b) GD-NMOS [20].

Obr. 3.9 ukazuje  $I_D$  proud oproti gate-source napětí FG a GD NMOS tranzistoru. Je třeba poznamenat, že požadavek pro prahové napětí by mohl nejen jeho snížit, ale i odstranit z cesty signálu, který dělá techniku s tranzistorem s plovoucím hradlem jednou z nejatraktivnějších metod pro nízkonapětový návrh.



Obr. 3.9. VA (napětí-proud) charakteristika gate-driven a floating-gate NMOS tranzistorů [20].

Efektivní transkonduktance floating-gate MOS tranzistoru ( $g_{m,eff}$ ) je dána vztahem:

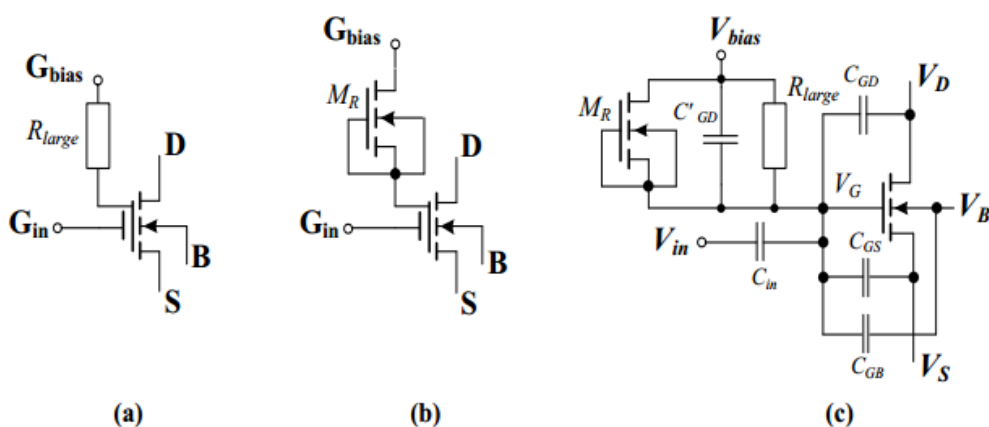
$$g_{m,eff} = \frac{C_{in}}{C_{in} + C_{bias} + C_{GD} + C_{GS} + C_{GB}} g_m \quad (3.3)$$

Nevýhodou floating-gate tranzistoru je nižší efektivní transkonduktance tranzistoru a snižuje tranzitní kmitočet, ve srovnání s tranzistorem řízeným napětím  $V_{GS}$ .



### 3.4 Quasi-Floating-Gate MOSFET (tranzistor s kvazi plovoucím hradlem)

Efektivní prahové napětí MOS tranzistoru s plovoucím hradlem (QFG-MOS) může být sníženo ze základní hodnoty pomocí biasovacího napětí, které zapojeno na jeden ze vstupních terminálů přes velkou hodnotu kapacity. Bohužel, tato velká kapacita vede k nárůstu plochy křemíku a snížení efektivní transkonduktance a šířky pásma [22]. Mimo to, tranzistory s plovoucím hradlem mohou zachycovat velké množství zbytkového náboje v průběhu výrobního procesu, což může způsobit, DC offset v případě, že není možné používat další procesy. Proto technika s kvazi plovoucím hradlem se zdá být alternativní přístupem k překonání výše uvedených nevýhod tranzistorů s plovoucím hradlem.

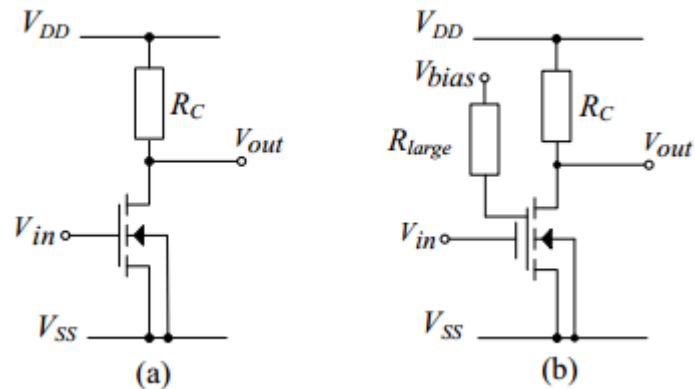


Obr. 3.10. MOS tranzistor s kvazi plovoucím hradlem: a) symbol s  $R_{large}$ ; b) symbol s  $M_R$ ; c) ekvivalent [20].

Plovoucí hradlo QFG-MOS tranzistoru je slabě připojeno ke vlastnímu předpětí  $V_{BIAS}$  pomocí velké hodnoty odporu  $R_{large}$ , který je obvykle realizován velkým odporem MOS tranzistoru ( $M_R$ ) v diodovém uspořádání, pracující v oblasti zahrazení, který je znázorněn na obr. 3.10 (b). Ekvivalentní obvod je znázorněn na obr. 3.10 (c).

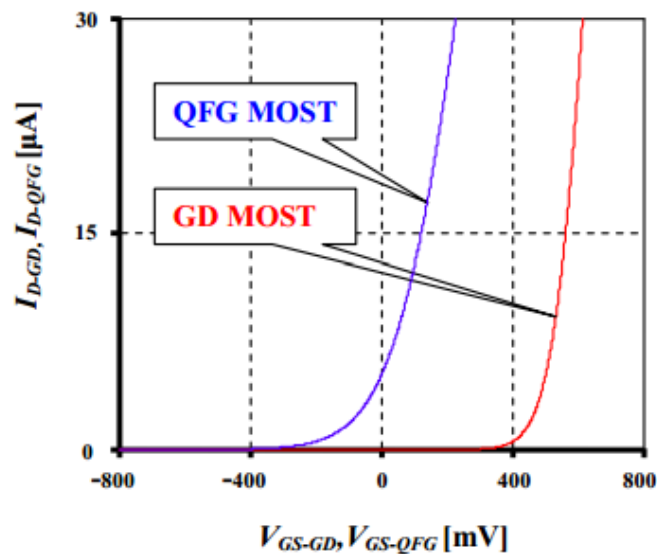
Vztah mezi efektivní transkonduktancí MOS tranzistoru s plovoucím hradlem ( $g_{m,eff}$ ) a transkonduktancí konvenčního MOS tranzistoru ( $g_m$ ) je dán následujícím způsobem:

$$g_{m,eff} = \frac{C_{in}}{C_{in} + C'_{GD} + C_{GD} + C_{GS} + C_{GB}} g_m \approx (0,5 - 0,6) g_m \quad (3.4)$$



Obr. 3.11. Zesilovač se společným zdrojem: a) GD-NMOS; b) QFG-NMOS [20].

Obecně je třeba věnovat pozornost nedostatkům techniky QFG tranzistoru, které by mohly vzniknout v budoucích aplikacích. Napětí na hradle QFG-MOS ( $V_G$ ) nesmí překročit napětí na PN přechodu diodového zapojení MOS tranzistoru, který se realizují  $R_{large}$ , tak aby se nezvětšilo biasovací napětí.



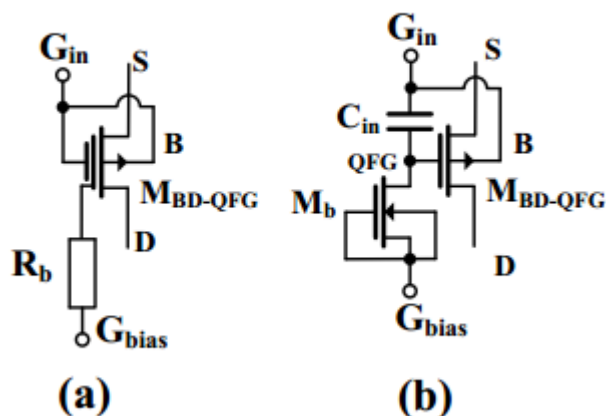
Obr. 3.12 VA (napětí-proud) charakteristika gate-driven a quasi-floating-gate NMOS tranzistorů [20].

Je zřejmé, že proud  $I_D$  v konvenčním gate-driven MOS tranzistoru se zvyšuje, pokud gate-source napětí překročí prahové napětí. To není případ MOS tranzistoru s kvazi plovoucím hradlem, kde prahové napětí zcela odstraněno z cesty signálu a hodnota transkonduktance je téměř stejná jako u konvenčního MOS tranzistoru.

Nevýhodou použití MOS tranzistoru s kvazi plovoucím hradlem je to, že napětí na plovoucím hradle nesmí překročit napětí PN přechodu v diodovém uspořádání MOS tranzistoru.

### 3.5 Bulk-driven Quasi-Floating-Gate MOSFET (tranzistor řízený substrátem s kvazi plovoucím hradlem)

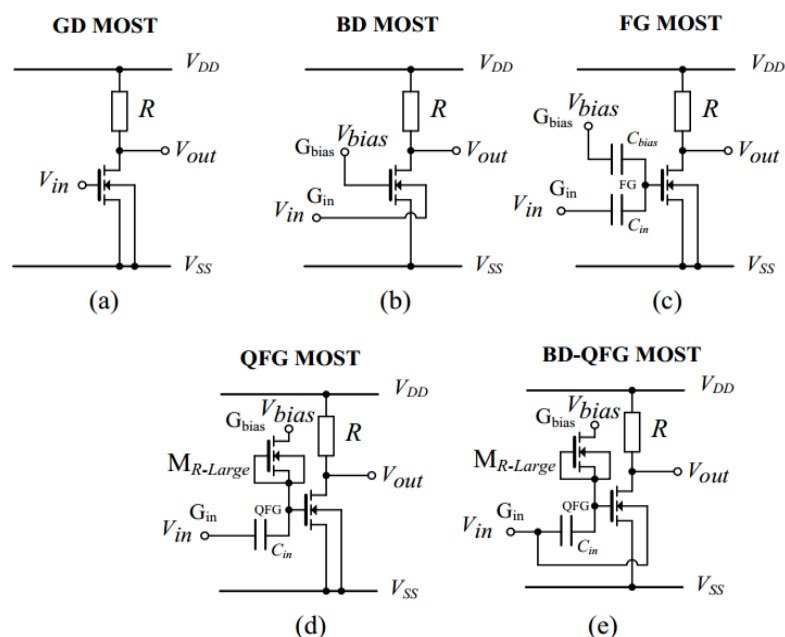
Nová technika používá tranzistory řízeny substrátem s kvazi plovoucím hradlem (BD-QFG) a zajišťuje vysokou hodnotu transkonduktance blízkou transkonduktanci konvenčního MOS tranzistoru, rozšíření rozsahu vstupního napětí, nízký vstupní šum, velkou šířku pásma a umožňuje pracovat se střídavým a stejnosměrným signálem, všechno v oblasti nízkého napájecího napětí.



Obr. 3.13. MOS tranzistor řízený substrátem s kvazi plovoucím hradlem: a) symbol; b) realizace v CMOS technologii [20].

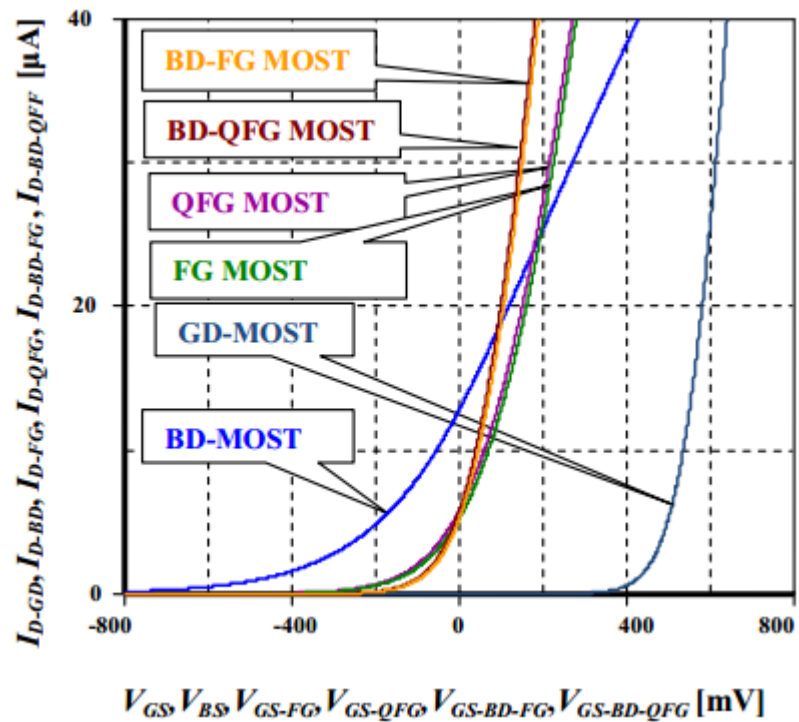
Jak je znázorněno na obr. 3.14 (a) hradlo  $G_{BIAS}$ , musí být připojen k vhodnému biasovacímu napětí přes velkou hodnotu odporu  $R_B$ , který je prakticky realizován pomocí MOS tranzistoru pracujícího v zahrazení oblasti  $M_B$ , jak je znázorněno na obr. 3.13 (b). Vstupní terminál  $G_{IN}$  je kapacitní vazba přes  $C_{IN}$  k terminálu QFG z jedné strany a přímo připojena k bulk-terminálu z druhé strany. V důsledku toho se zvyšuje celková transkonduktance ( $g_{m,BD-QFG}$ ):

$$g_{m,BD-QFG} = g_{m,eff} + g_{mb} \approx (0,7 - 1)g_m \quad (3.5)$$



Obr. 3.14. Zesilovač se společným zdrojem: a) GD-NMOS; b) BD-NMOS; c) FG-NMOS; d) QFG-NMOS; e) BD-QFG-NMOS [20].

Je zřejmé, že proud  $I_D$  v konvenčním gate-driven MOS tranzistoru se zvyšuje, pokud gate-source napětí překročí prahové napětí. V MOS tranzistoru řízeným substrátem, gate-source napětí je přesunuté na konstantní napětí  $V_{BIAS}$  a vstupní signál  $V_{IN}$  zapojen na bulk-terminál, tak prahové napětí v tomto nastavení se odstraní z cesty signálu. V MOS tranzistoru s plovoucím hradlem a s kvazi plovoucím hradlem, terminál  $G_{BIAS}$  je nastaven na biasovací napětí, zatímco terminál  $G_{IN}$  se používá pro vstupní signál. Zde prahové napětí by mohlo být sníženo nebo zcela odstraněno z cesty signálu. Pro MOS tranzistor řízený substrátem s kvazi plovoucím hradlem, prahové napětí je zcela odstraněno z cesty signálu a hodnota transkonduktance je nižší, než pro konvenční MOS tranzistor.



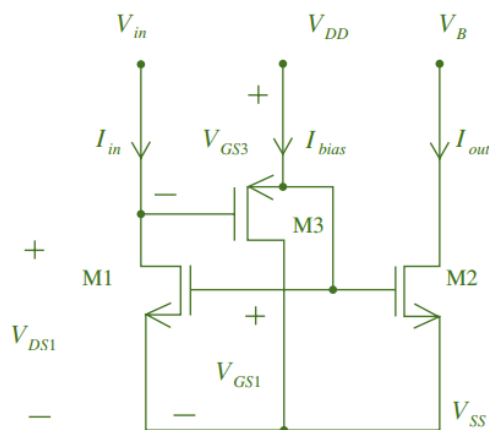
Obr. 3.15. VA (napětí-proud) charakteristiky gate-driven, floating-gate, quasi-floating-gate, bulk-driven quasi-floating-gate NMOS tranzistorů [20].

**Tab. 3.3 :** Srovnání různých technik používajících pro nízkonapěťový návrh

	Transkonduktance	Prahové napětí	Tranzitní kmitočet
Gate-driven	$g_m = K \frac{W}{L} (V_{GS} - V_T)$	stejně	$f_T \approx \frac{g_m}{2\pi C_{GS}}$
Bulk-driven	$g_{m,BD} = (0,2 - 0,4)g_m$	odstraněno	$f_{T,BD} \approx (0,3 - 0,5)f_T$
Floating-gate a quasi-floating-gate	$g_{m,eff} = (0,5 - 0,6)g_m$	sníženo nebo odstraněno	$f_{T,BD} \approx (0,5 - 0,6)f_T$
Bulk-driven Quasi-Floating-Gate	$g_{m,BD-QFG} = (0,7 - 1)g_m$	odstraněno	$f_{T,BD} \approx (0,7 - 0,9)f_T$

### 3.6 Level shifter (posunutí úrovně) a self-cascode struktura

Převodníky úrovně se používají pro převod logického signálu z jedné úrovně napětí na jiné úrovně, a jsou významnou složkou okruh VLSI systémů. Level řazení jsou také důležitou součástí obvodu v několika systémech napětí a byly použity mezi klíčové okruhy a I/O obvodu. Různé provedení pro úroveň posunovače byly hlášeny v literatuře s jedním a duální napájení. V technice posunutí úrovně MOS tranzistory pracují v saturaci nebo v podprahové oblasti. Tyto obvody mají schopnost pro rail-to-rail operace, jak na vstupních a výstupních terminálech. Nicméně, v této konfiguraci, počet MOS tranzistorů zvyšuje, co vede ke zvýšení spotřeby energii [23].



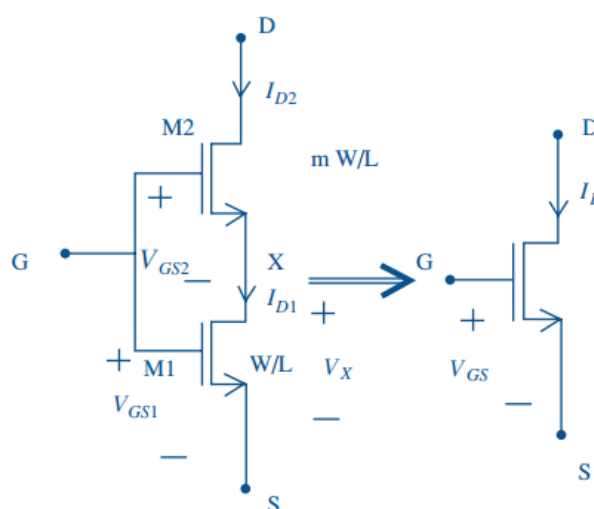
Obr. 3.16. Upravené proudové zrcadlo pomocí techniky level shifter [23].

Při použití proudového zrcadla, které modifikované jako na obr. 3.16, požadavky na vstupní napětí, stejně jako prahové napětí, mohou být odstraněny. Požadované vstupní napětí  $V_{IN}$  se rovná  $V_{GS1} - V_{GS3}$ . Vstupní a výstupní impedance u konvenčního proudového zrcadla a zrcadla s technikou posunutí úrovně jsou stejné, ale požadavky na vstupní napětí jsou menší.

Nevýhodou tohoto obvodu je zbytkový proud ( $I_{offset}$ ) který teče na výstupu tranzistoru pro nulový vstupní proud. Nejvíce žádoucí vlastnosti je větší šířka pásma při nízkém napětí. Vstupní odpor je také nízký, což je žádoucí pro proudový režim obvodů. Tyto obvody mají schopnost pro typ «rail-to-rail», a to jak na vstupních a výstupních terminálech.

Kaskádové MOS struktury byly použity v řadě analogových zařízení. V první řadě, obecná kaskádová struktura se používá pro zvýšení výstupní impedance proudových zrcadel a

zisku zesilovače. Nicméně, použití kaskádové struktury zvyšuje zisk, ale snižuje současně pokles napětí. Struktura self-cascode nevyžaduje souhlasné napětí na výstupních terminálech a zajišťuje vysokou výstupní impedanci, aby byl vysoký výstupní zisk. Tato metoda má potenciální využití pro nízkonapěťový návrh. Výhodou navrhované struktury self-cascode je vysoká výstupní impedance, která je podobná kaskádové struktuře, zatímco požadavky na výstupní napětí jsou podobné těm, které jedna pro jeden tranzistor. Struktura self-cascode se používá především ke zvýšení zisku zesilovače a zvýšení výkonu proudových zrcadel. Jinými slovy, lepší obvod představení pod stejným požadavkem napájecího napětí.



Obr. 3.17. Self-cascode struktura a její ekvivalent [23].

Self-cascode struktura se skládá ze dvou tranzistorů, jak je znázorněno na obr. 3.17. Tato struktura může být považována za jeden konvenční tranzistor. Složená struktura má mnohem větší efektivní délku kanálu a efektivní výstupní vodivost je mnohem nižší. Spodní tranzistor M1 je ekvivalentní odporu, jehož hodnota je závislá na vstupu. Hodnota poměru  $W/L$  tranzistoru M2 musí být mnohem větší než hodnota poměru tranzistoru M1,  $m > 1$ . Pro složený tranzistor M2 efektivní transkonduktance ( $g_m$  (efektivní)) je  $g_{m2}/m$ , která je ekvivalentní k transkonduktance tranzistoru M1 ( $g_{m1}$ ).

Napětí mezi drain a source tranzistoru M1 je malé, a neexistuje žádný rozdíl mezi  $V_{DSAT}$  složených a jednoduchých tranzistorů; a self-cascode struktury mohou být použity v aplikacích s nízkým napájecím napětím. Pro strukturu self-cascode napětí  $V_{DSAT}$  rovna se  $V_{DSAT1} + V_{DSAT2}$ .



## 4. Návrh zesilovače

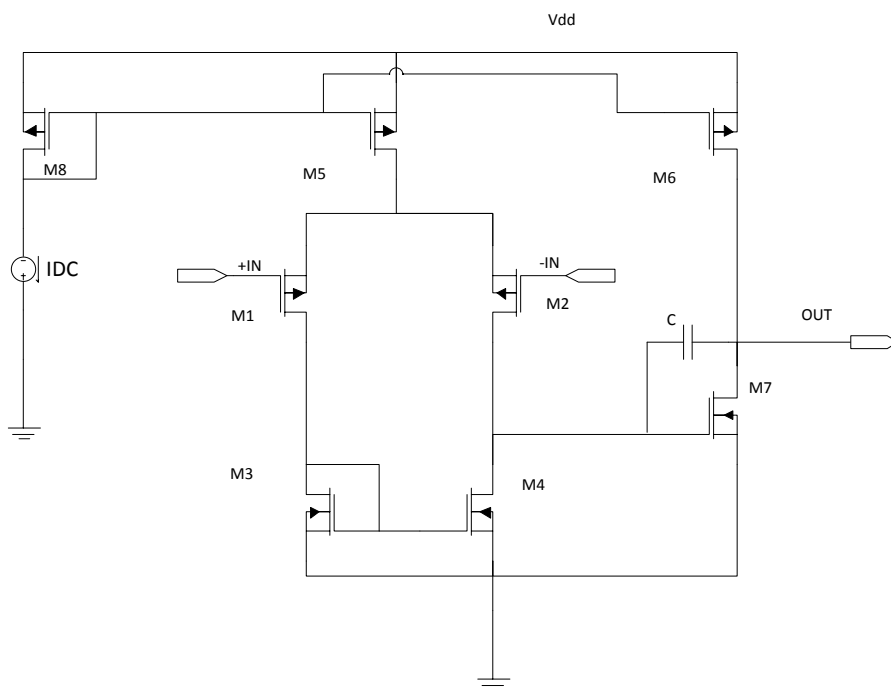
### 4.1 Transkonduktanční dvoustupňový zesilovač $V_{\text{supply}}=0,6\text{ V}$

Pro nízkopříkonové aplikace s nízkým napájecím napětím 3V, 2V a méně jsou nejvhodnější dvoustupňové operační zesilovače.

Základní architektura dvoustupňového OTA je navržena v technologii TSMC 0,18 $\mu\text{m}$ . S touto technologií úzce souvisí napájecí napětí 1,8V. V našem případě snížíme napájecí napětí na hodnotu 0,6V. To se vyplývá s použitím nekonvenčních zapojení při návrhu jednotlivých bloků. Tyto typy zapojení bulk-driven, floating-gate, quasi-floating-gate byly nejdříve prostudovány.

Prvním selektivním kritériem je minimální rozsah vstupních napětí. Zde se uplatňuje omezení použitým napájecím napětím, kdy některé tranzistory by mohli přejít při krajních hodnotách tohoto vstupního napětí do triodového režimu a zapojení by přestalo správně zesilovat vstupní diferenční signál. Biologický signál se může pohybovat v rozmezí  $\pm 0,08\text{ V}$ , z toho důvodu nejlépe používat napájecí napětí symetrické  $\pm 0,3\text{ V}$ , aby bylo možné pracovat se signálem v záporné oblasti. Nevýhoda symetrického napájení je v tom, že nutno mít k dispozici dva napájecích zdrojů.

Ještě jedním kritériem je hodnota maximálního ofsetového napětí a hodnota vstupního rozsahu, která musí být vysokou. Také je nutné zajistit velmi vysoký zisk. Těmto podmínkám může odpovídat dvoustupňový zesilovač.



Obr. 4.1. Dvoustupňový OTA

Tab. 4.1: Požadované parametry na zesilovač pro biologické signály

Zesílení (dB)	60...100
Šířka pásma (GBW) (MHz)	0,1...5
Napájecí napětí (V)	$\pm 0,3$
Rychlost přeběhu (V/ $\mu$ S)	$\geq 0,5$
Spotřeba energie ( $\mu$ W)	$\leq 20$
Fázová rezerva	$\geq 60^\circ$
Činitel potlačení souhlasného rušení (dB)	$> 70$
Potlačení zvlnění napájecího napětí (dB)	$> 60$

Tab. 4.2: Technologické parametry s minimální délkou kanálu 0,18  $\mu$ m

Parametry	$L_{\min}$ [ $\mu$ m]	Prahové napětí, $U_{TH}$ [V]	Proudový faktor $K_p$ [ $A/V^2$ ]
PMOS	0,18	-0,49	$21,6 \cdot 10^{-6}$
NMOS	0,18	0,48	$97,5 \cdot 10^{-6}$

Příklad výpočtu parametrů zesilovače:

Při návrhu zesilovače se dá postupovat různými způsoby. Při výpočtu se vychází z hodnot CMOS 0.18 $\mu\text{m}$  z tab. 7. Při návrhu se volí délka kanálu. V této technologii je  $L_{\text{min}}=0.18 \mu\text{m}$ , ale v praxi se volí délka kanálu  $L = n \cdot L_{\text{min}}$ , kde  $n = 3 - 5$ . Délka kanálu ovlivňuje faktor  $\lambda$  (lambda), který se dále ve výpočtech zanedbává. Dále je na délce kanálu závislý malosignálový odpor  $r_o$ , s rostoucí délkou kanálu roste malosignálový odpor.

Celkový proud odebíraný v tomto obvodu nemůže být více než 30  $\mu\text{A}$ :

$$I_{\text{bias}} \leq \frac{P_D}{V_{\text{Supply}}} = 30 \mu\text{A} \quad (4.1)$$

Počátek návrhu směřuje na odvození kompenzačního kondenzátoru  $C_C$  ze zatěžovacího kondenzátoru  $C_L$ . Z požadavku fázové rezervy, která má být nejméně 45° optimálně 60° bude vycházeno ze vztahu.

$$C_C > 0,22 * C_L \quad (4.2)$$

potom,

$$C_C > 0,22 * C_L > 1,1 \text{pF}$$

Dosažením do vzorce byla získána hodnota 1,1 pF, bude uvažována hodnota 2 pF.

Dále je nutné určit proud  $I_{\text{bias}}$  tekoucí do prvního stupně

$$I_5 = I_{\text{bias}} = SR * C_C \quad (4.3)$$

potom,

$$I_{\text{bias}} = 10^7 * 2 * 10^{-12} = 20 \mu\text{A}$$

V dalším kroku je nutné dopočítat hodnotu transkonduktance  $g_{m1}$ , ze které potom lze dopočítat i hodnoty tranzistorů M1 a M2:

$$g_{m1,2} = 2\pi * C_C * GBW \quad (4.4)$$

potom,

$$g_{m1,2} = 2\pi * C_C * GBW = 2\pi * 2 * 10^{-12} * 5 * 10^6 = 62,8 \mu\text{S}$$

Nejdříve je nutné dopočítat hodnotu proudu  $I_1$ , který je roven poloviční hodnotě proudu  $I_{bias}$ :

$$I_1 = I_2 = I_3 = I_4 = \frac{I_{bias}}{2} \quad (4.5)$$

Poměr šířky a délky kanálu tranzistorů M1 a M2 je dan vztahem:

$$\left(\frac{W}{L}\right)_{1,2} = \frac{g_{m1}^2}{2 * K_{p1,2} * I_{1,2}} \quad (4.6)$$

potom,

$$\left(\frac{W}{L}\right)_{1,2} = \frac{(62,8 * 10^{-6})^2}{2 * 21,6 * 10^{-6} * 10 * 10^{-6}} = 9,1$$

V závislosti na používaných trendech při návrhu a lepší shodnost (matching) tranzistorů zvolíme pro všechny použité tranzistory délku kanálu  $L = 1 \mu\text{m}$ .

Další hodnotou, kterou je nutné dopočítat je napětí mezi sourcem a drainem na tranzistoru M5. Pro výpočet bude vycházeno že

$$U_{DS5} = U_{in(min)} - U_{ss} - \sqrt{\frac{I_5}{\beta}} - U_{TH1} \quad (4.7)$$

potom,

$$U_{DS5} = -0,45 - 0 - \sqrt{\frac{20 * 10^{-6}}{21,6 * 10^{-6} * 2,3}} + 0,46 = -0,66 \text{ V}$$

Vypočtením hodnoty  $U_{DS5}$  je možné dopočítat i poměr šířky a délky kanálu tranzistoru M5:

$$\left(\frac{W}{L}\right)_5 = \frac{2 * I_5}{K_{p5} * (U_{DS5})^2} \quad (4.8)$$

potom,

$$\left(\frac{W}{L}\right)_5 = \frac{2 * 20 * 10^{-6}}{21,6 * 10^{-6} * (-0,66)^2} = 4,3$$

V dalším kroku je nutné dopočítat transkonduktance  $g_{m6}$  ze kterých bude dopočtena hodnota šířky kanálu tranzistoru M6. Transkonduktance  $g_{m6}$  je dána

$$g_{m6} = 2\pi * C_L * GBW \quad (4.9)$$

potom,

$$g_{m6} = 10 * g_{m1} = 628 \mu S$$

Pro druhý stupeň transkonduktančního zesilovače volím proud  $I_6 = 30 \mu A$ . Vypočtením poměr šířky a délky kanálu tranzistoru M6:

$$\left(\frac{W}{L}\right)_6 = \frac{g_{m6}^2}{2 * K_{p6} * I_6} \quad (4.10)$$

potom,

$$\left(\frac{W}{L}\right)_6 = \frac{(628 * 10^{-6})^2}{2 * 97,5 * 10^{-6} * 30 * 10^{-6}} = 67,4$$

Následně je možné dopočítat poměr šířky a délky kanálu tranzistorů M3 a M4:

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_{3,4}}{I_6} * \left(\frac{W}{L}\right)_6 \quad (4.11)$$

potom,

$$\left(\frac{W}{L}\right)_{3,4} = \frac{10 * 10^{-6} * 67,4}{30 * 10^{-6}} = 22,4$$

Získáním hodnoty proudu  $I_6$  je možné dopočítat poslední šířku kanálu tranzistoru M7

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \frac{I_6}{I_5} \quad (4.12)$$

potom,

$$\left(\frac{W}{L}\right)_7 = 5 \frac{30 * 10^{-6}}{20 * 10^{-6}} = 7,5$$

Odhadovaná výkonová ztráta:

$$P_D = (V_{DD} - V_{SS})(I_5 + I_6) \quad (4.13)$$

potom,

$$P_D = (0,3 + 0,3)(30 * 10^{-6} + 20 * 10^{-6}) = 30 \mu W$$

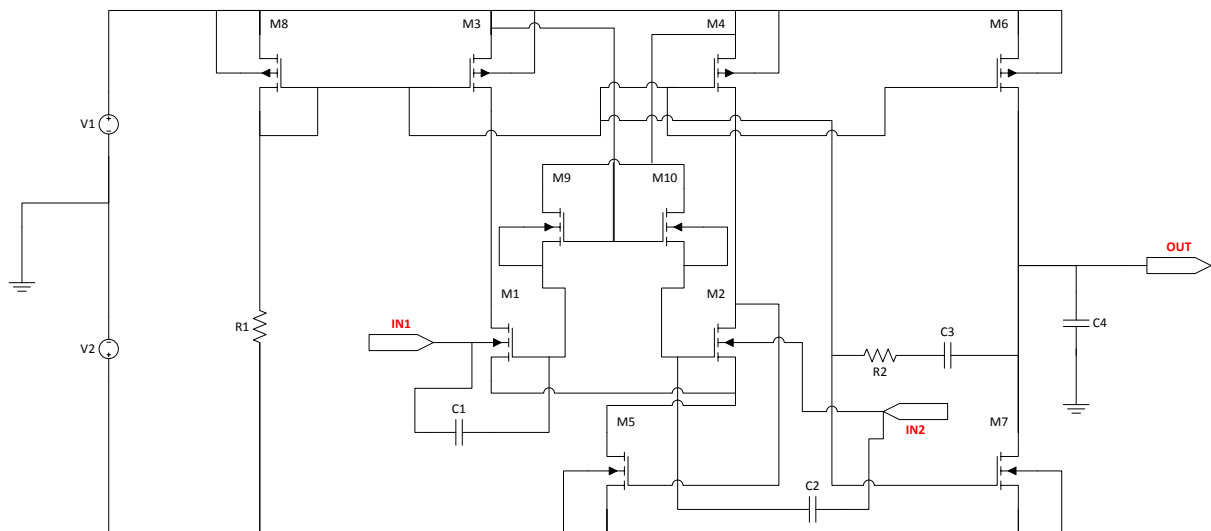
**Tab. 4.3:** Tabulka vypočítaných rozměrů tranzistorů

Tranzistor	Šířka kanálu W [ $\mu\text{m}$ ]	Délka kanálu L [ $\mu\text{m}$ ]
M1	9	1
M2	9	1
M3	23	1
M4	23	1
M5	5	1
M6	67	1
M7	8	1
M8	5	1

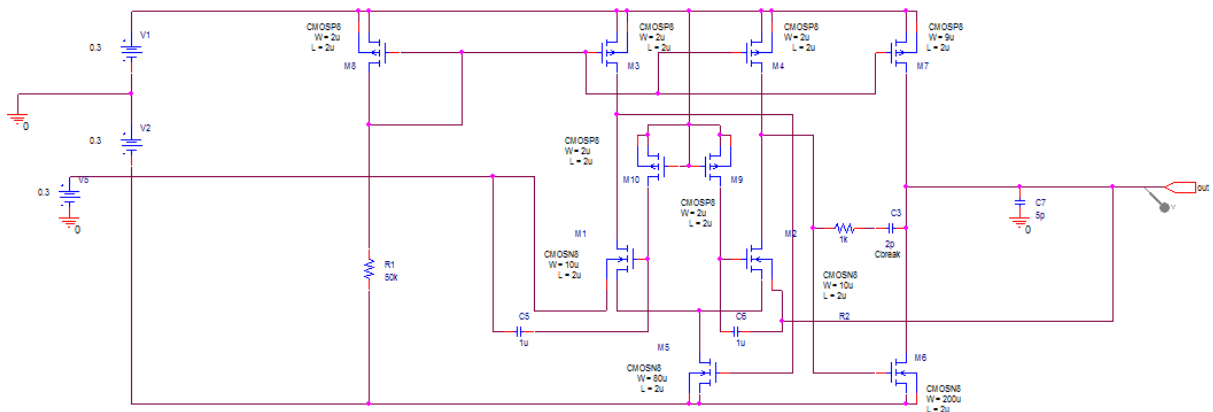
Před simulací obvodu v programu je nutné obvod na obr. 4.1 upravit. Za prvé je nutné přidat do schématu nulový rezistor. Tímto způsobem je tvořena kompenzační síť namísto jednoho kondenzátoru impedancí složenou ze sériové kombinace odporu a kompenzační kapacity. Za druhé je třeba upravit schématu z hlediska vstupního rozsahu, který je velmi důležitým parametrem zesilovače. Rozsah vstupního napětí (common-mode input voltage) pro PMOS a NMOS tranzistory, které používá při návrhu diferenční páry, musí nacházet v hranicích napájecího napětí, aby byli všechny tranzistory v saturaci. Dosáhnout tento maximální vstupní rozsah možné pomoci tvoření vstupu rail-to-rail. Ale toto zapojení má několika nevýhod, jako jsou složitost obvodu, není konstantní hodnota rychlosti průběhu, není optimální kmitočtová kompenzace, proměnlivý zisk. Z hlediska nízkonapětových a nízkopříkonových aplikací v této práci je vhodná k použití nová technika BD-QFG (bulk-drive quasi-floating-gate), což je tranzistor řízený substrátem s kvazi plovoucím hradlem, který jsme stručně popsali v minulé kapitole. Toto zapojení má několika výhod, jako jsou jednoduchost obvodu a velký rozsah vstupního napětí téměř jako u vstupu rail-to-rail. Jak jsme říkali dřív, z hlediska vstupního rozsahu, v tomto obvodu na obr. 4.1 upravíme vstupní zesilovací stupeň navržen pomocí zapojení BD-QFG. Tímto způsobem konečné zapojení bude vypadat jak znázorněno na obr. 4.2. Toto zapojení slouží pro měření vstupního rozsahu, a také pomocí sledovače můžeme zjistit hodnotu ofsetu. V tab. 4.4 ukázány poměry tranzistorů po optimalizace.

**Tab. 4.4** Tabulka rozměrů tranzistorů

Tranzistor	Šířka kanálu W [ $\mu\text{m}$ ]	Délka kanálu L [ $\mu\text{m}$ ]
M1, M2, M3, M4	10	2
M5, M6	40	2
M7, M8, M11	2	2
M9, M16	9	2
M10, M17	200	2
M12, M13, M14, M15	10	2



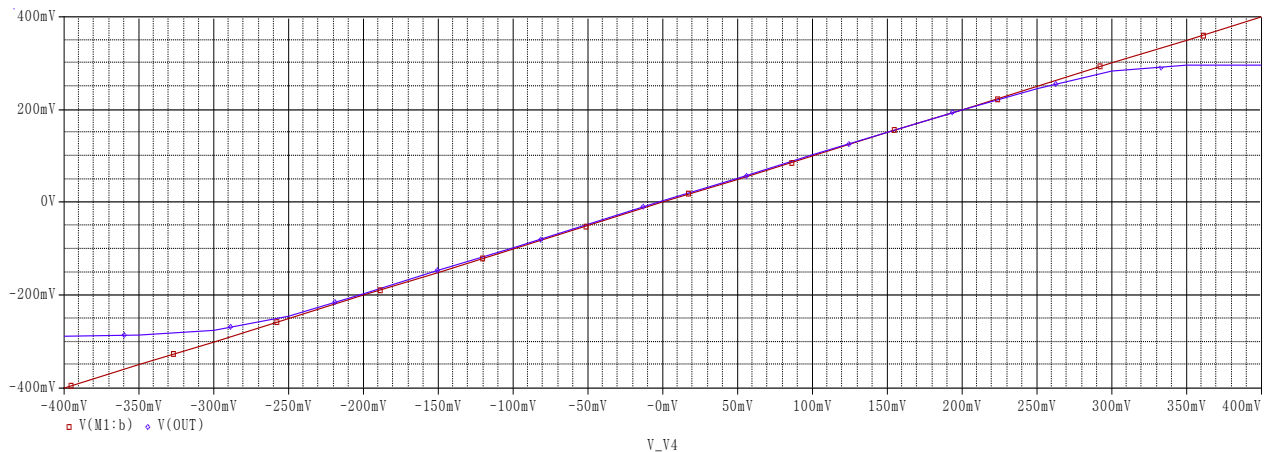
Obr. 4.2. Celkové zapojení zesilovače ( $V1=+0,3\text{V}$ ;  $V2=-0,3\text{V}$ ;  $C1=C2=1\text{pF}$ ;  $C3=2\text{pF}$ ;  $C4=5\text{pF}$ ;  $R1=50\text{k}\Omega$ ;  $R2=1\text{k}\Omega$ ;  $R1=50\text{k}\Omega$ )



Obr. 4.3. Zapojení obvodu pro měření DC analýzy ( $V_{\text{supply}}=0,6\text{V}$ )

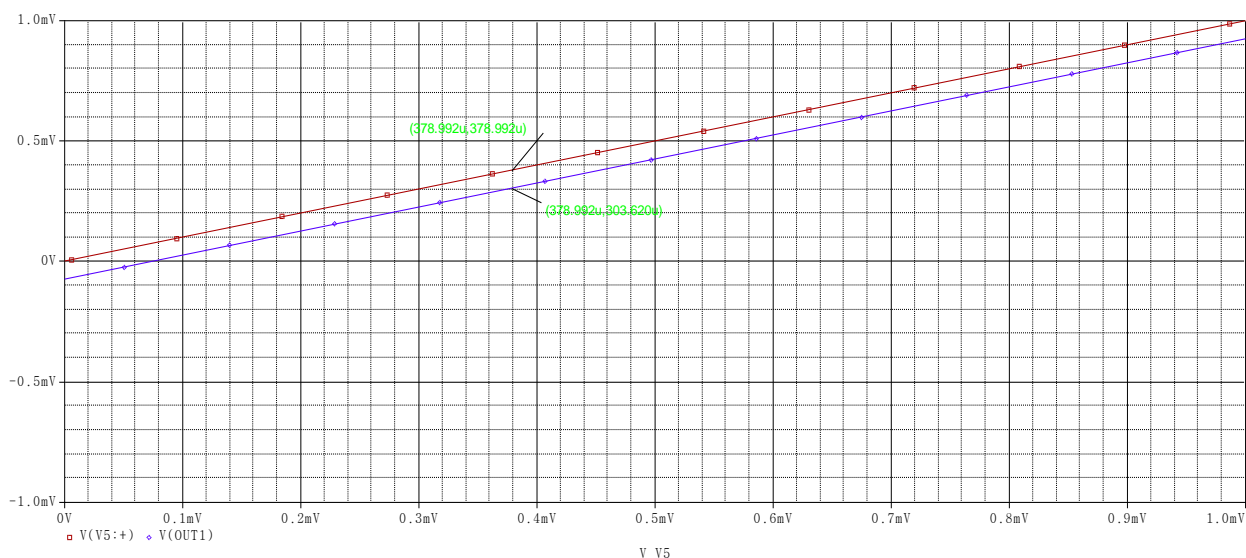
Obvod se skládá z jednoho diferenciálního tranzistoru řízeného substrátem s kvazi plovoucím hradlem, M1, M2. Hradla tranzistorů spojeny s kladným napájecím napětím přes rezistory s velkou hodnotou odporu, které tvořeny pomoci tranzistorů M9,M10, tranzistory se nachází v uzavřeném stavu (cut-off režim –  $V_{\text{GS}} < V_{\text{TH}}$ ). Vstupní terminály tranzistorů M1, M2 spojeny přes C1, C2, v tomto pořadí, její kvazi plovoucí hradla z jedné strany a je přímo spojeny s jejich bulk terminály z druhé strany. Tranzistory M8, M3, M4 tvoří biasovací proud v obvodu. Tranzistory M7, M6 tvoří výstupní zesilovací stupeň. Kompenzační síť se skládá s rezistoru R2, a kapacit C3-C4.

Dále provedeme DC analýzu obvodu, zapojíme ho jak znázorněno na obr. 4.3. Na neinvertující výstup bude zapojen stejnosměrný zdroj napětí, který bude rozmítán od počáteční hodnoty  $-0,4\text{ V}$  do koncové hodnoty  $+0,4\text{ V}$  s krokem  $0,05\text{ V}$ .



Obr. 4.4. Analýza napětového sledovače

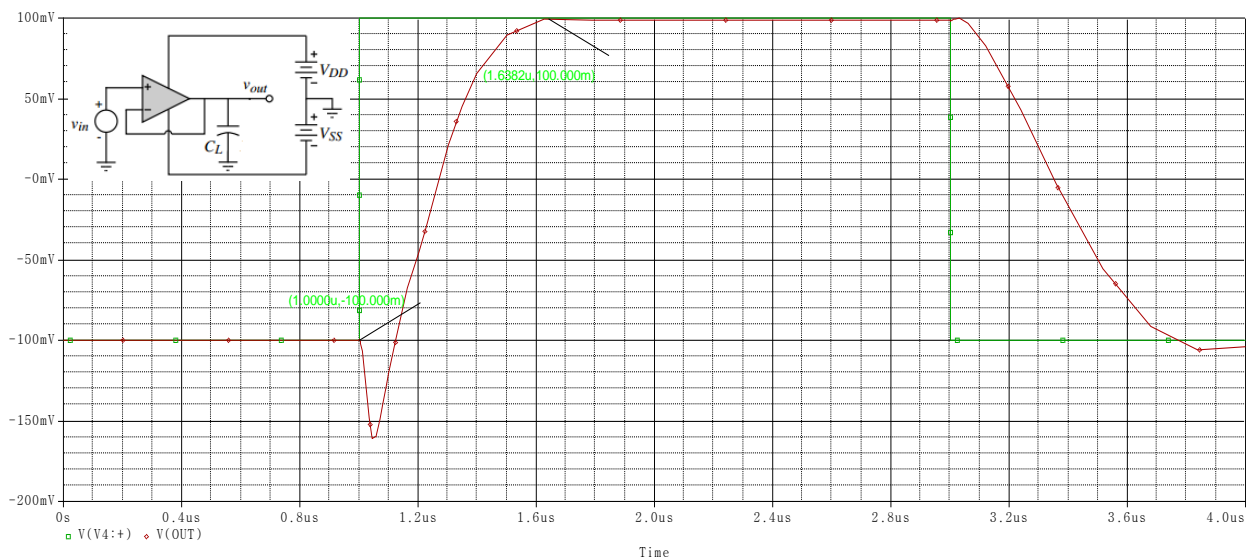




Obr. 4.5. Vstupní napěťová nesymetrie (offset) [ve zvětšeném měřítku]

Z obr. 4.5 je patrná vstupní napěťová nesymetrie, která je rovna 0,075 mV. Rozsah vstupního napětí je -275mV až +286mV.

Pro toto měření bude pozměněno zapojení. Jedná se o část napěťového zdroje na neinverující výstupu, který bude vyměněn za zdroj pulzní. V této simulaci bylo měřeno zpoždění a SR, které je patrné z obrázku.



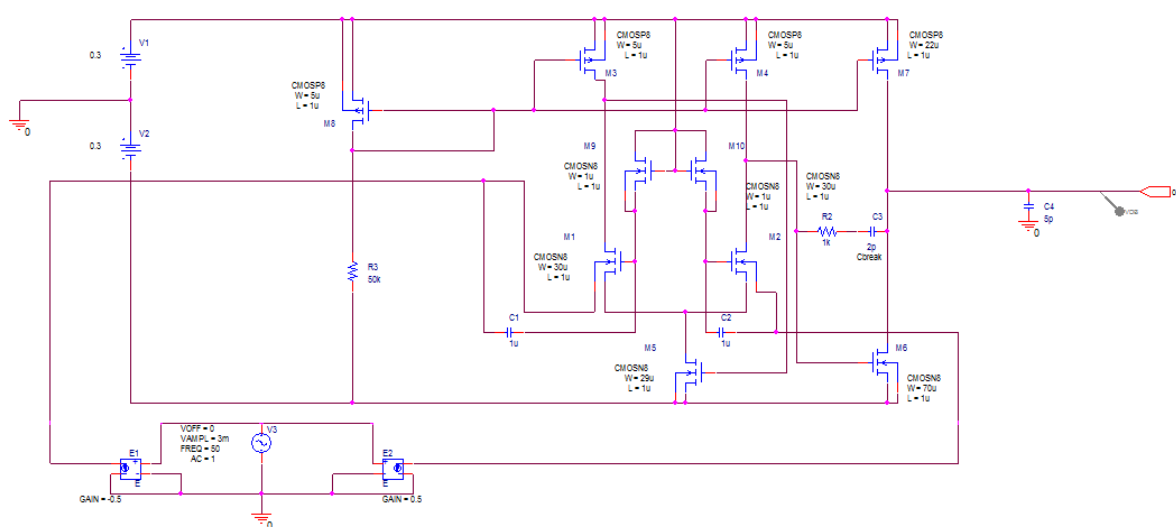
Obr. 4.6. Rychlost přeběhu

Z uvedených hodnot lze dopočítat rychlost přeběhu, která je stanovena jako

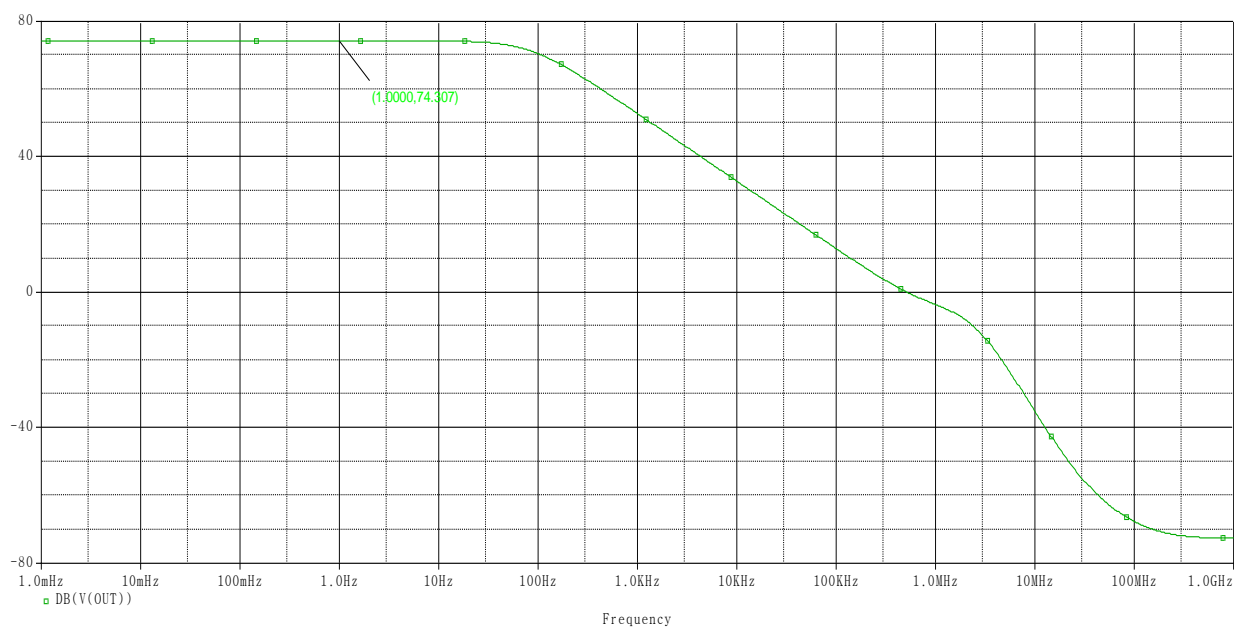
$$SR = \frac{\Delta U}{\Delta t} = \frac{0,1 + 0,1}{(1,6382 * 10^{-6}) - (1,0000 * 10^{-6})} = 0,3 \frac{V}{\mu S} \quad (4.14)$$

Pro ověření šířky pásma bylo zapojení modifikováno. Invertující a neinvertující výstupy byly připojeny přes zdroj napětí řízený napětím (E1, E2) s činitelem  $-0.5$  a  $+0.5$ , a na výstup zesilovače byl připojen zatěžovací kondenzátor, přičemž měření bylo provedeno se střídavým napětěovým zdrojem (V3).

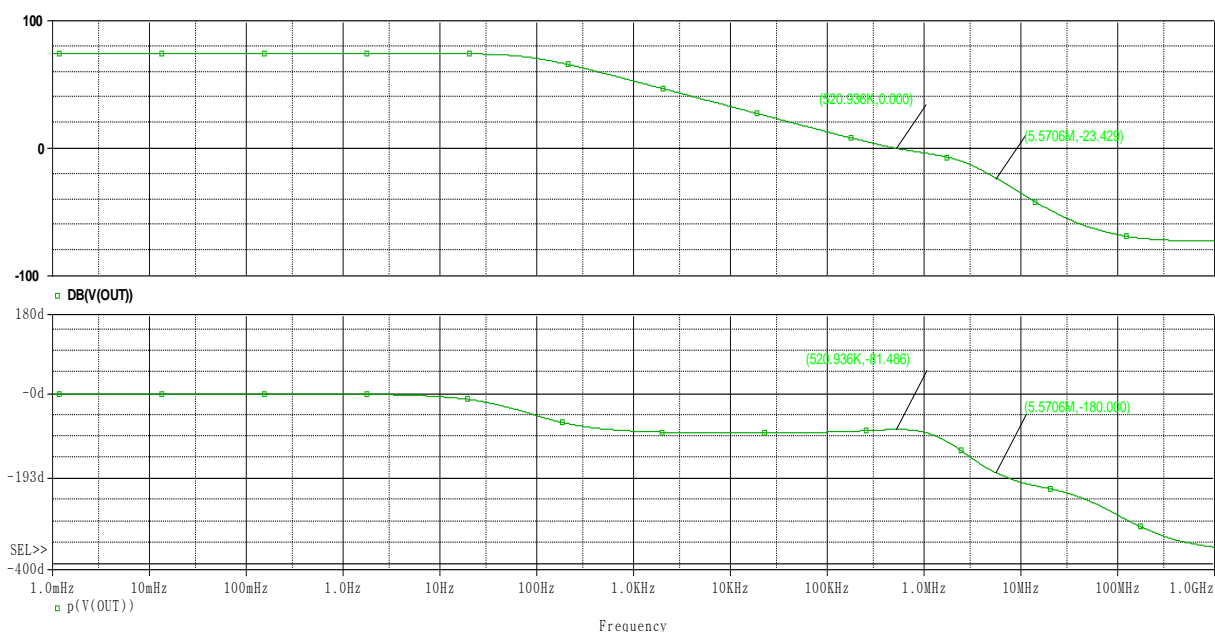
Při ověřování se ukázalo, že zesílení dosahuje hodnoty  $74$  dB a šířka pásma  $0,631$  MHz, které jsou viditelné na obr. 4.7. Zatím co vlastní šířka pásma je odečítána z grafu v místě, kde křivka zesílení prochází hodnotou  $0$  dB (napětěové zesílení je rovno 1).



Obr. 4.7. Zapojení pro měření AC analýzy ( $V_{\text{supply}}=0,6\text{V}$ )



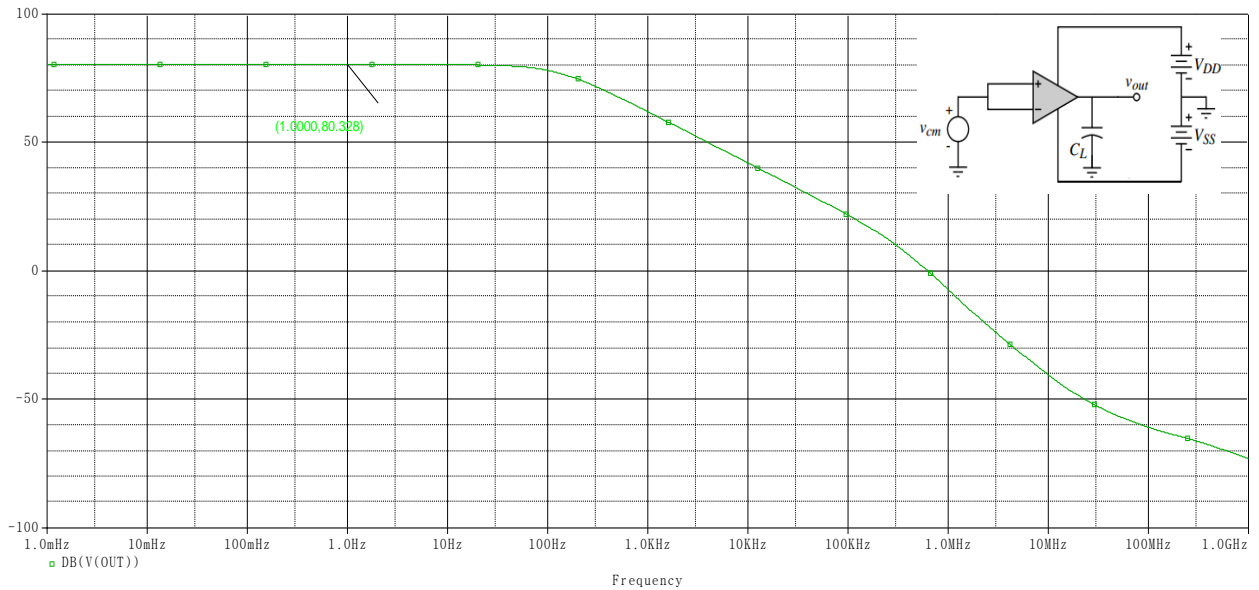
Obr. 4.8. Zesílení a šířka pásma



Obr. 4.9. Ověření fázové a amplitudové rezervy

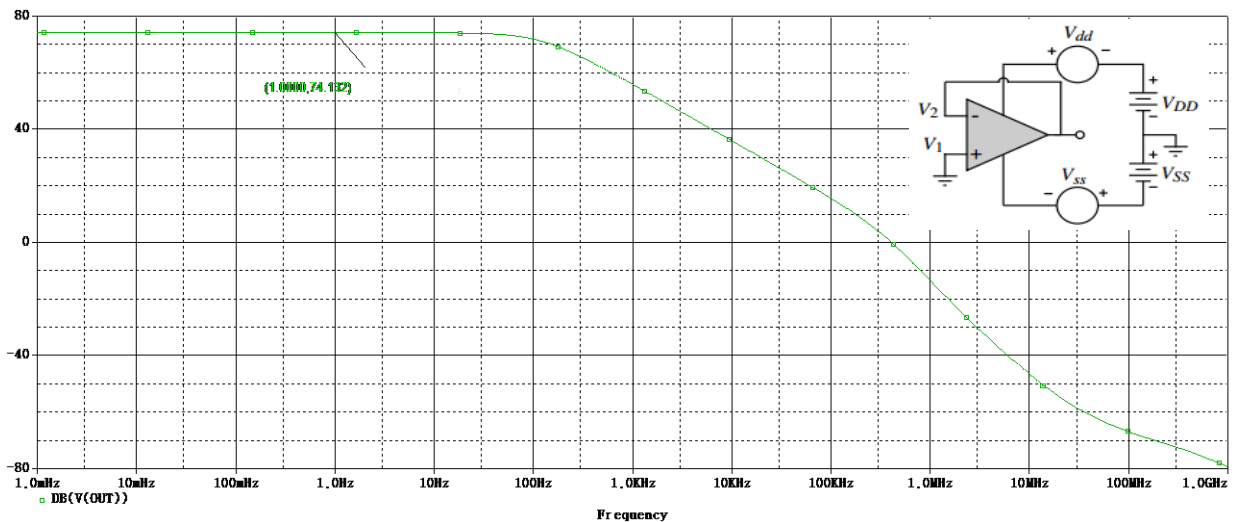
Na obr. 4.9 je možné odečíst hodnotu fázové rezervy, která je rovna rozdílu hodnoty  $180^\circ$  a hodnoty, která byla odečtena při hodnotě 0 dB. Výsledná fázová rezerva je rovna  $100^\circ$ , a amplitudová rezerva je rovna 23 dB.

Důležitým parametrem zesilovače je, že potlačuje souhlasné napětí, to znamená, že pokud se bude na diferenčních vstupech vyskytovat stejný (souhlasný) signál, naměříme na diferenčním výstupu nulové napětí. Zesilovač je tedy pro takovéto signály necitlivý. Proto je tedy důležité, aby měli tranzistory v diferenčním páru shodné vlastnosti. Toho lze v praxi dosáhnout realizací takového zesilovače v integrovaném obvodu. V reálném zesilovači jsme však schopni naměřit při souhlasném signálu určitou hodnotu výstupního napětí, což je nežádoucí. Činitel potlačení souhlasného signálu CMRR charakterizuje schopnost zesilovače nereagovat na společné napětí, které se současně vyskytuje na obou vstupech. Na tento činitel má vliv i vnitřní odpor proudového zdroje. Z obr. 4.10 je patrný činitel potlačení souhlasného signálu, který je 80 dB.



Obr. 4.10. Ověření činitele potlačení souhlasného signálu (CMRR)

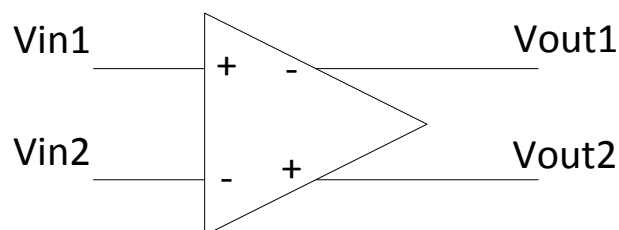
Nutné je také eliminovat vliv změn napájecího napětí a rušení přicházející z tohoto směru. Zjistit tento vliv můžeme pomocí ještě jednoho základního parametru PSRR. Čítel potlačení rušení napájecím zdrojem (angl. power supply rejection ratio) je poměr změny napájecího napětí k chybě, která je touto změnou způsobena. Chyba se projeví na výstupním napětí, avšak pro stanovení PSRR se přepočítává na vstup zesilovače (podle jeho zesílení). Čím vyšší je tento parametr, tím odolnější je zesilovač vůči zvlnění napájecího napětí. Z obr. 4.11 je vidět, že čítel potlačení rušení napájecím zdrojem, který je 74 dB.



Obr. 4.11. Ověření činitele potlačení rušení napájecím zdrojem (PSRR)

## 4.2 Plně transkonduktanční dvoustupňový zesilovač $V_{\text{supply}}=0,6 \text{ V}$

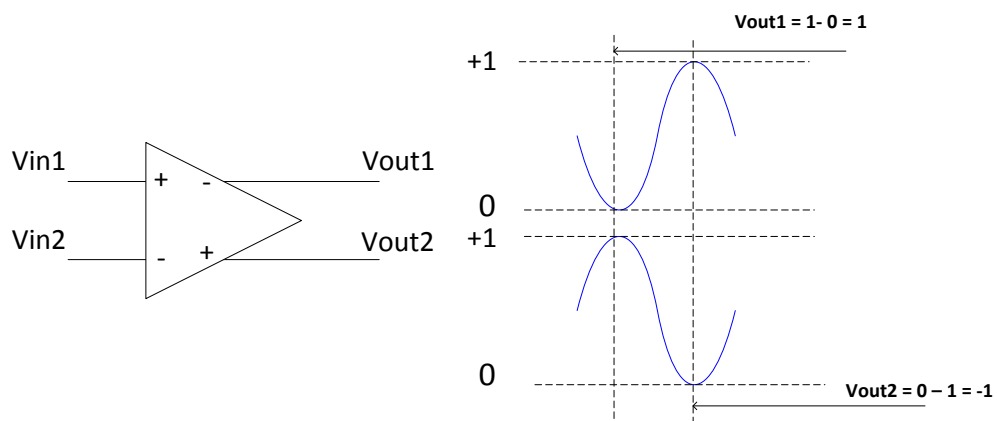
Plně diferenciální zpracování analogového signálu je technikou, která získala masové rozšíření, protože tato technika snižuje problémy související se sníženým rozsahem signálu a šumu. Pomocí plně diferenciální konstrukční techniky efektivně zdvojnásobuje maximální rozsah signálu v obvodu. Mimo to, vnější zdroje šumu, které mají vliv na obě signálové cesty vyrovnaného diferenciálního systému, také budou odstraněny. Plně diferenciální zesilovač (obr. 4.12) má velmi podobnou architekturu jako standardní zesilovač s napěťovou zpětnou vazbou napětí. Plně diferenční zesilovač má diferenciální výstup, zatímco standardní operační zesilovač má jeden výstup. Obvykle standardní operační zesilovač má jednu zpětnovazební smyčku z výstupu na záporný vstup. Plně diferenciální zesilovač má více zpětných vazeb [24-26].



Obr. 4.12. Symbol plně diferenciálního zesilovače

Nutnost použití tohoto obvodu vzniká z následujících důvodů:

- Zvyšování odolnosti proti rušení (v diferenciálním systému, kombinace šumu dopravních drát a šumu vodičů vytváří souhlasné napětí. Šum napájecího napětí také se objeví jako souhlasné napětí. Vzhledem k tomu, diferenční zesilovač odstraní souhlasné napětí, systém je odolnější vůči vnějším vlivům);
- Zvyšování výstupního rozsahu napětí (vzhledem ke změnám ve fázi mezi diferenciálními výstupy, rozsah výstupního napětí se zvýší dvakrát na rozdíl od operačního zesilovače s jedním výstupem (obr. 4.13). To dělá jejich vhodnými pro nízkonapěťové aplikace);
- Vysoký výstupní dynamický rozsah (díky tomu vzniká odolnost proti šumu)



Obr. 4.13. Diferenciální výstupní rozsah napětí

Základní vztahy pro plně diferenciální zesilovač:

$$V_{ID} = V_{IN1} - V_{IN2} \quad (4.15)$$

$$V_{OD} = V_{OUT1} - V_{OUT2} = V_{ID} * A_{gain} \quad (4.16)$$

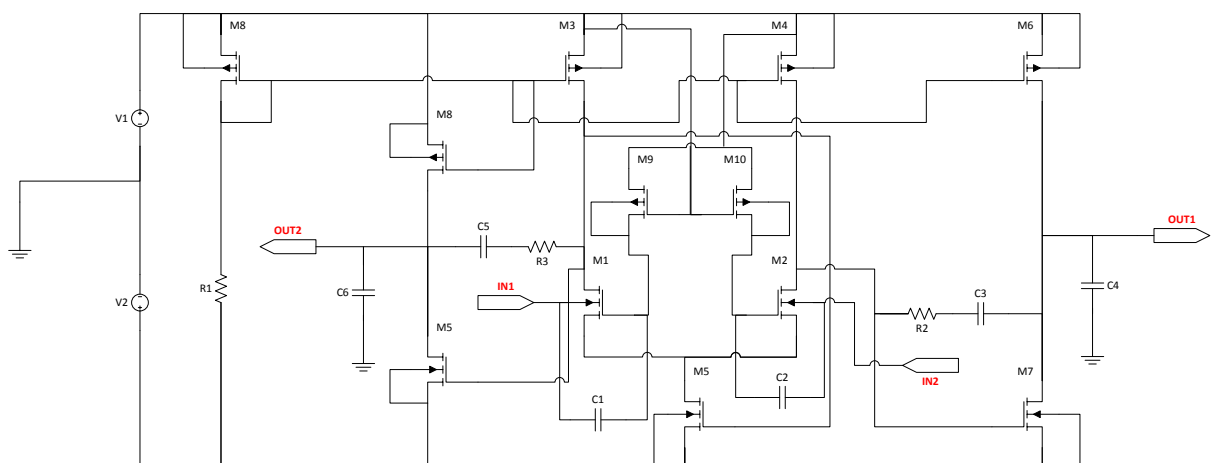
$$V_{OC} = \frac{(V_{OUT1}) + (V_{OUT2})}{2} \quad (4.17)$$

kde  $V_{ID}$  – vstupní napětí;

$V_{OD}$  – výstupní napětí;

$V_{OC}$  – výstupní souhlasné napětí.

Z výše uvedených důvodů vzniká nutnost upravit obvod na obr. 4.2. V tomto případě je třeba přidat do obvodu tranzistory M11, M12, které se používá jako druhy stupeň. Také zapojíme kompenzační síť R3-C5. Navržený obvod bude vypadat jak znázorněno na obr. 4.14

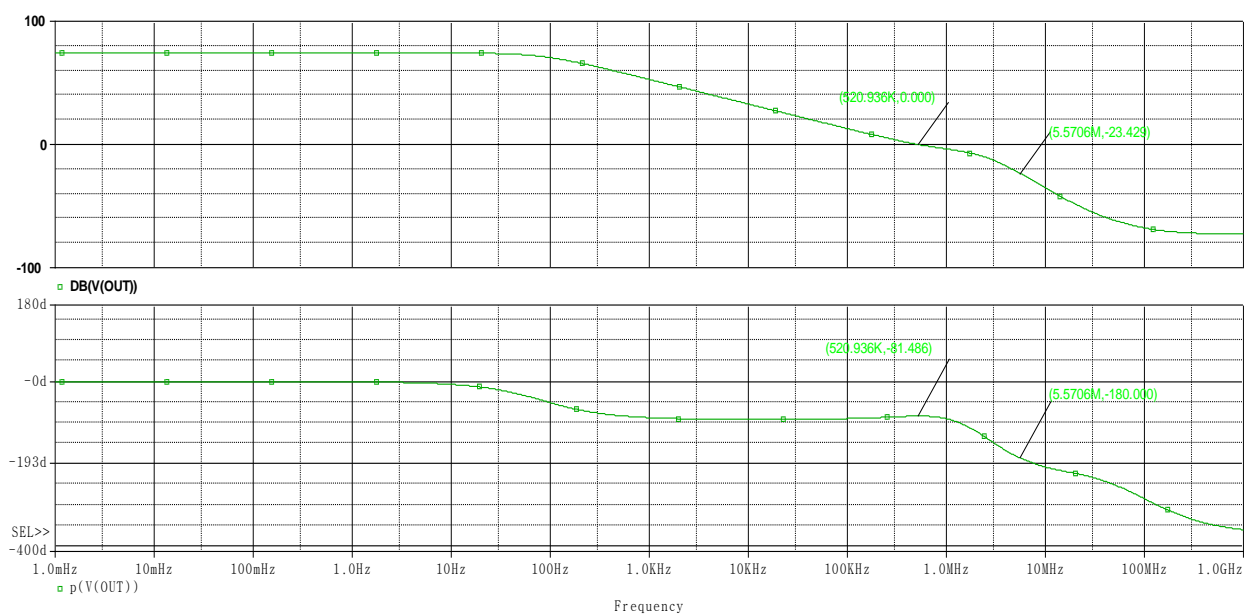


Obr. 4.14. Celkové zapojení plně diferenciálního zesilovače ( $V1=+0,3V$ ;  $V2=-0,3V$ ;  $C3=C5=2pF$ ;  $C4=C6=5pF$ ;  $R2=R3=1k\Omega$ ;  $R1=50k\Omega$ )

Když napětí tranzistorů M1, M2 bude menší než jejich prahové napětí, tedy tranzistory budou pracovat v podprahové oblasti. Tranzistory M8, M3, M4 působí jako násobné proudové zrcadlo, které se používá pro udržení konstantního proudu  $I_{BIAS}$  v každé větvi obvodu. Spotřeba energie obvodu reguluje pomocí nastavení proudu  $I_{BIAS}$  (odporem R1) a napájecího napětí  $V_{supply}$ . Tranzistory M3, M4 tvořící aktivní zátěž pro vstupní diferenciální stupeň. Tranzistor M5 působí biasovací proud pro vstupní diferenciální stupeň. Tranzistory M6, M7 a M11, M12 tvořící druhý stupeň zesilovače. Hradla tranzistorů spojeny s kladným napájecím napětím přes rezistory s velkou hodnotou odporu, které tvořeny pomocí tranzistorů M9, M10, tranzistory se nachází v uzavřeném stavu (cut-off režim –  $V_{GS} < V_{TH}$ ).

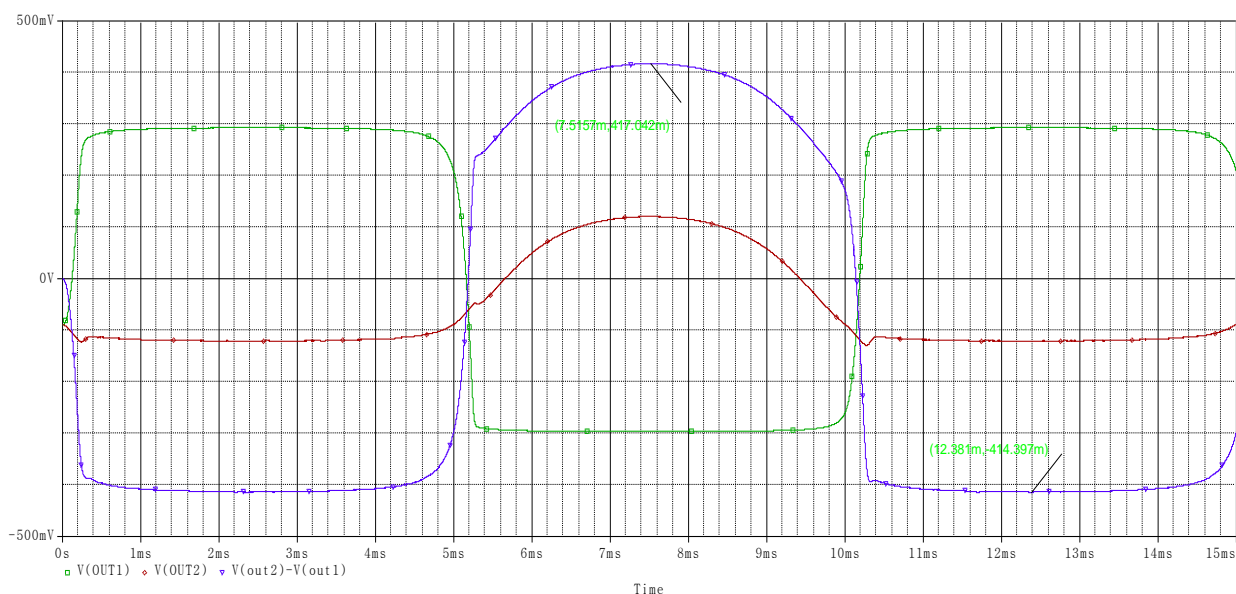
Minimální napájecí napětí  $V_{DDmin}$  můžeme vypočítat pomocí následující rovnice

$$V_{DDmin} = V_{GS(M5)} + V_{DS(M4)} \quad (4.18)$$



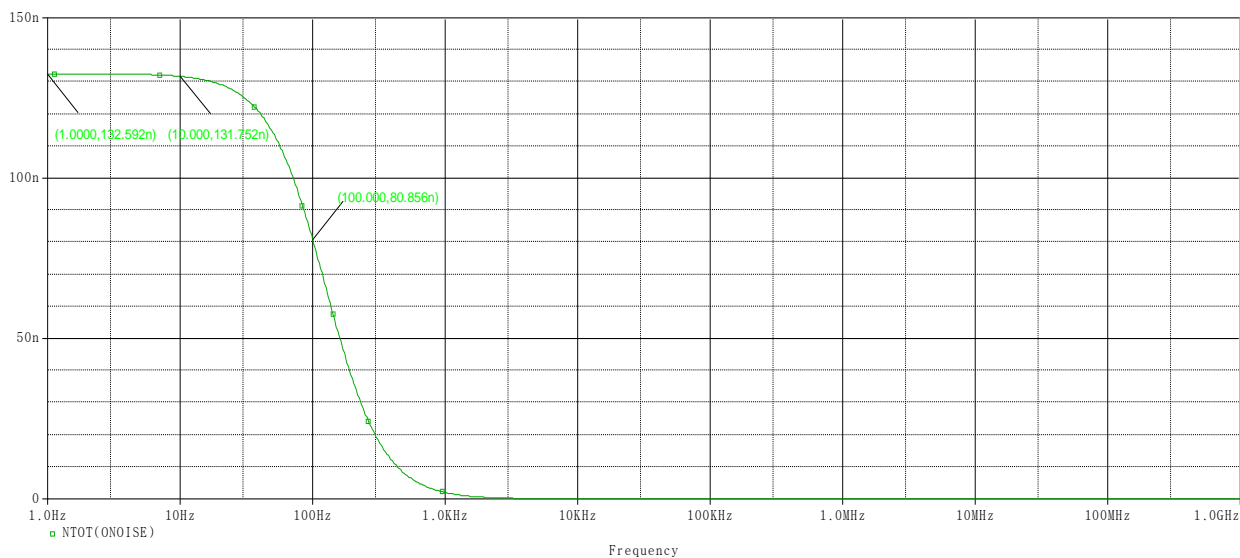
Obr. 4.15. Ověření fázové a amplitudové rezervy

Na obr. 4.15 je možné odečíst hodnotu fázové rezervy, která je rovna rozdílu hodnoty  $180^\circ$  a hodnoty, která byla odečtena při hodnotě 0 dB. Výsledná fázová rezerva je rovna  $100^\circ$ , a amplitudová rezerva je rovna 23 dB.



Obr. 4.16. Výstupní průběhy zesilovače

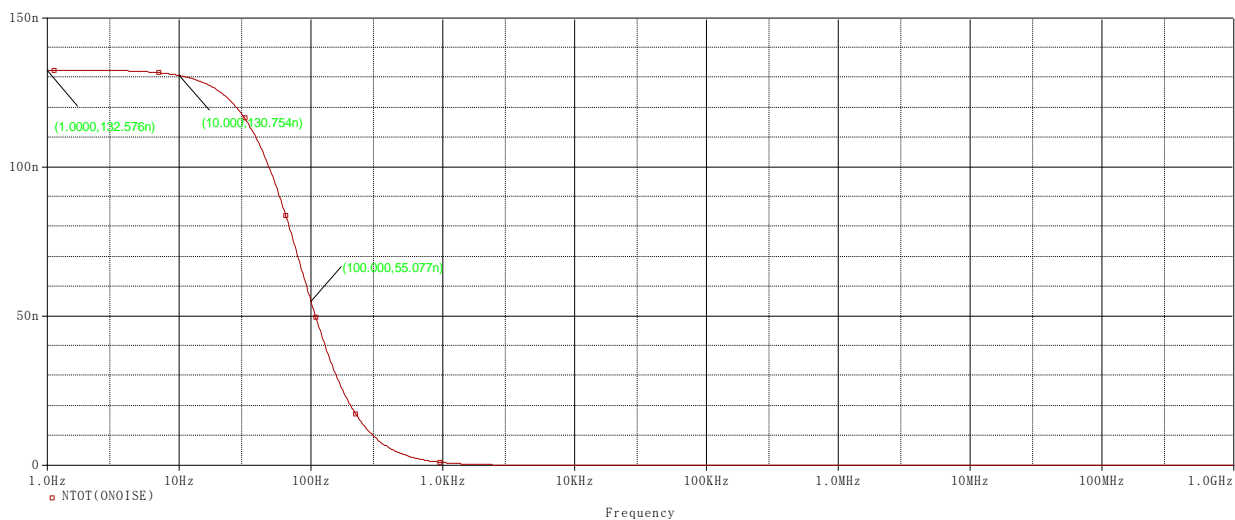
Z obr. 4.16 je patrná rozsah výstupního napětí je  $-414\text{mV}$  až  $+417\text{mV}$ . Na rozdíl od zesilovače s jedním výstupem, který má rozsah výstupního napětí  $-294\text{mV}$  až  $+288\text{mV}$ . Vidíme, že při použití zesilovače s diferenciálním výstupem došlo ke zvětšení výstupního rozsahu.



Obr. 4.17. Výstupní šum pro zesilovač s jedním výstupem

Na obr. 4.17 je vidět že výstupní šum pro  $1\text{Hz} - 132\text{nV/rHz}$ ,  $10\text{Hz} - 131\text{nV/rHz}$ ,  $100\text{Hz} - 80\text{nV/rHz}$ .





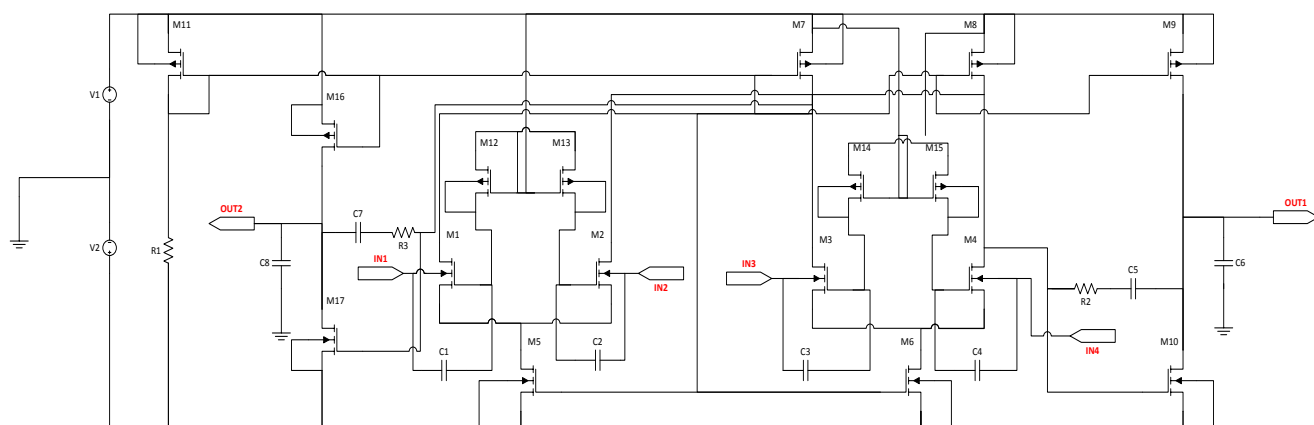
Obr. 4.18. Výstupní šum pro zesilovač s diferenciálním výstupem

Na obr. 4.18 je vidět že výstupní šum pro 1Hz – 132nV/rHz, 10Hz – 130nV/rHz, 100Hz – 50nV/rHz.

Při zvětšení výstupního rozsahu vzniká větší odolnost proti šumu. Jak vidíme na obr. 4.17, a obr. 4.18 výstupní šum zesilovače s diferenciálním výstupem klesá se zvětšením kmitočtu, na rozdíl od zesilovače s jedním výstupem.

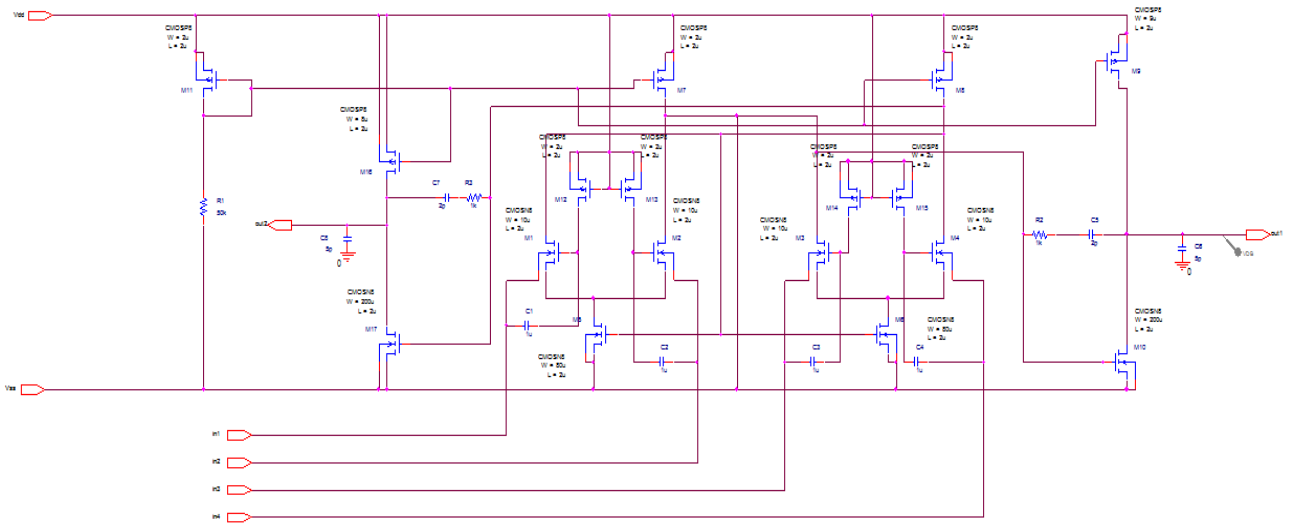
### 4.3 Plně diferenciální rozdílový zesilovač $V_{\text{supply}}=0,6\text{ V}$

V každém případě, plně diferenciální rozdílový zesilovač (FDDA) je univerzální a zajímavý analogový blok. FDDA poskytuje řešení pro plně diferenciální realizaci obvodů operačních zesilovačů, kde oba vstupy jsou plovoucí. Plně diferenciální architektura zvyšuje efektivitu analogových a kombinace analogových/digitálních systémů z hlediska potlačení šumu napájecího napětí, dynamického rozsahu, a harmonického zkreslení a snižuje jev spojení mezi různými bloky. Navržený obvod znázorněn na obr. 4.19, napájecí napětí 0,6V a biasovací proud 400nA.

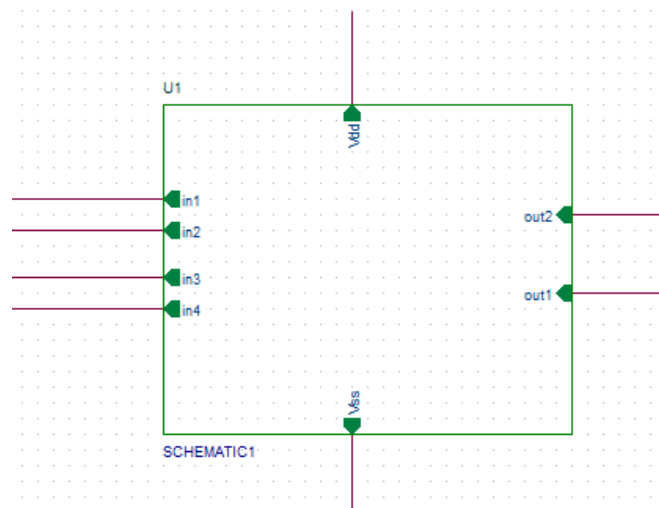


Obr. 4.19. Celkové zapojení plně diferenciálního rozdílového zesilovače ( $V1=+0,3\text{V}$ ;  $V2=-0,3\text{V}$ ;  
 $R1=50\text{k}\Omega$ ;  $R2=R3=1\text{k}\Omega$ ;  $C1=C2=C3=C4=1\text{pF}$ ;  $C5=C7=2\text{pF}$ ;  $C6=C8=5\text{pF}$ )

Dva vstupní diferenciální páry M1, M2 a M3, M4 navrženy pomocí techniky BD-QFG (tranzistor řízený substrátem s kvazi plovoucím hradlem). Díky použití této techniky navržený obvod dosahuje vyšší zisk a šířku pásma. BD-QFG tranzistor má vyšší transkonduktance a tranzitní kmitočet ve srovnání s tranzistorem řízeným substrátem (bulk-driven) anebo s tranzistorem s kvazi plovoucím hradlem, jak je uvedeno v předcházejících kapitolách.



Obr. 4.20. Zapojení obvodu pro simulace v programu

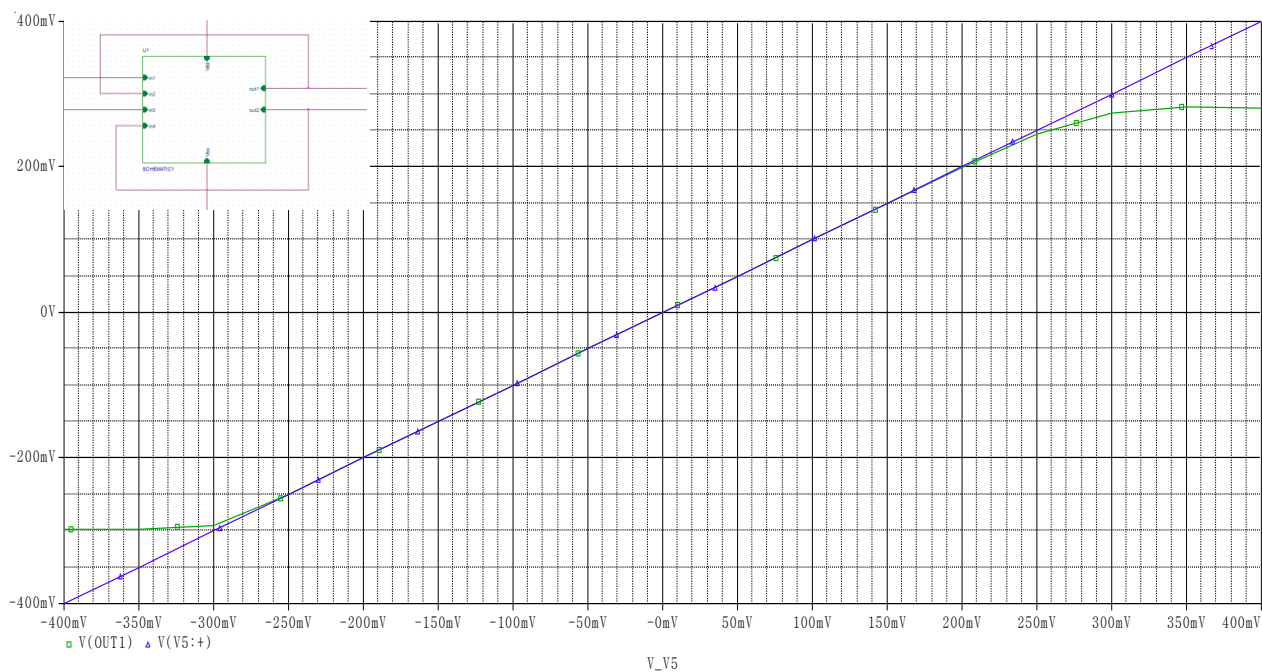


Obr. 4.21. Vytvořený blok FDDA v programu

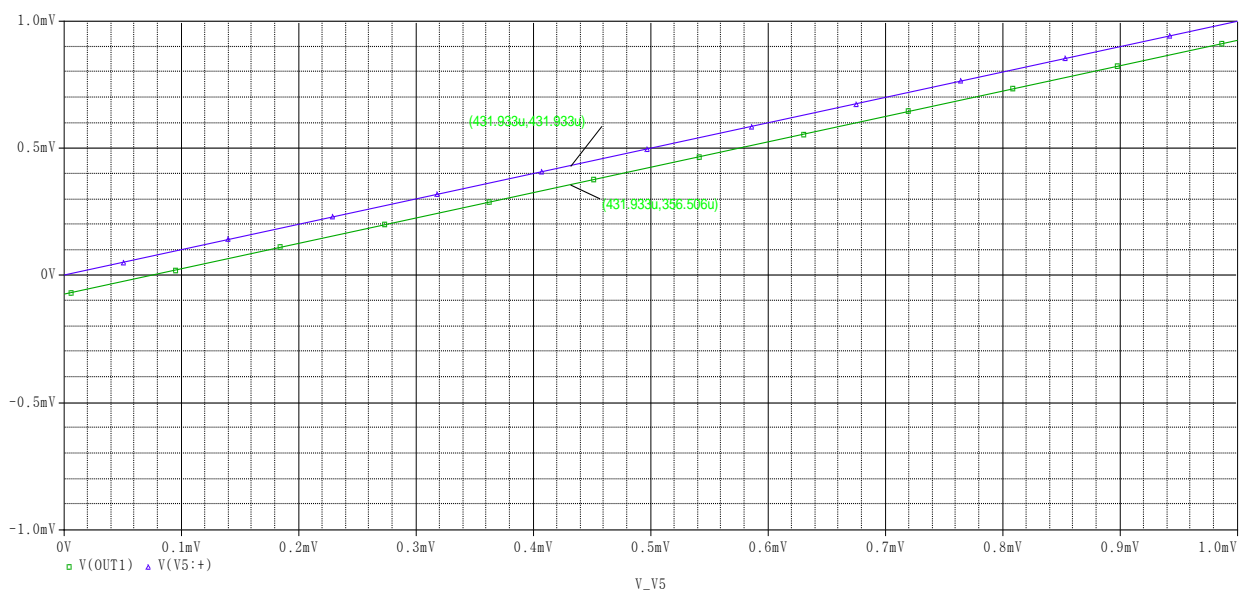
Simulace plně diferenciálního zesilovače na obr. 4.19 provádí s použitím technologie TSMC 0.18  $\mu\text{m}$  se symetrickým napájecím napětím  $\pm 0,3\text{V}$  a proudem  $I_{\text{BIAS}}=400\text{nA}$ . Optimální šířka a délka kanálu tranzistorů jsou uvedeny v tab. 4.5.

**Tab. 4.5** Tabulka rozměrů tranzistorů

Tranzistor	Šířka kanálu W [ $\mu\text{m}$ ]	Délka kanálu L [ $\mu\text{m}$ ]
M1, M2, M3, M4	10	2
M5, M6	40	2
M7, M8, M11	2	2
M9, M16	9	2
M10, M17	200	2
M12, M13, M14, M15	10	2

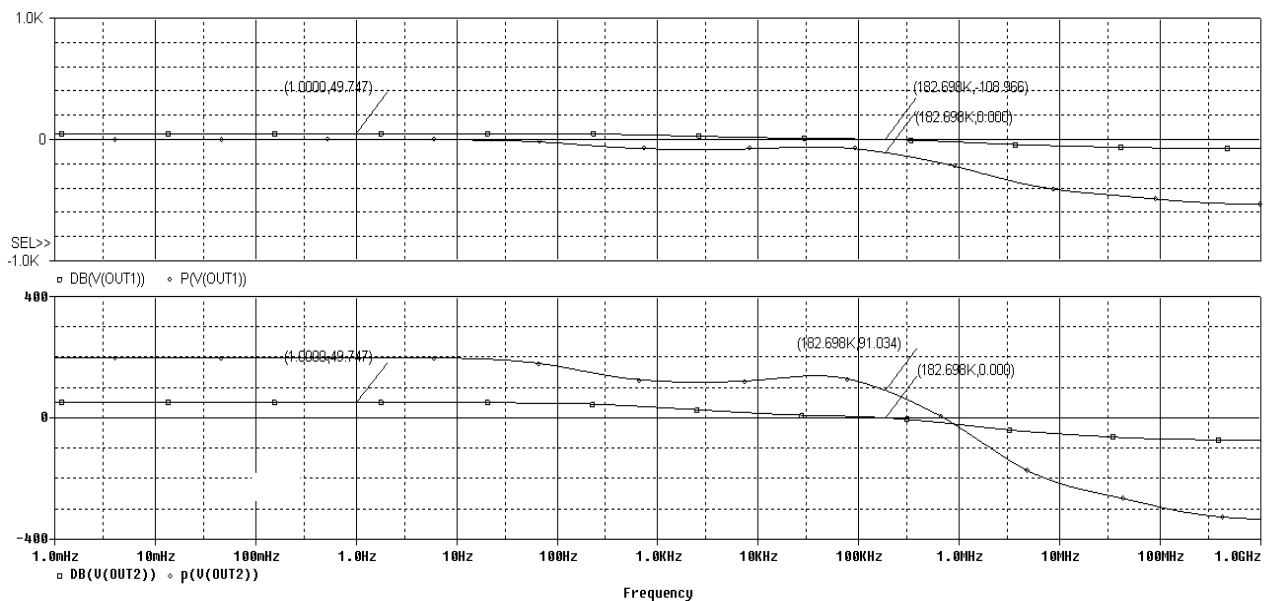


Obr. 4.22. Analýza napěťového sledovače



Obr. 4.23. Vstupní napěťová nesymetrie (offset) [ve zvětšeném měřítku]

Z obr. 4.23 je patrná vstupní napěťová nesymetrie, která je rovna 0,009 mV. Rozsah vstupního napětí je -294mV až +274mV.



Obr. 4.24. Ověření fázové a amplitudové rezervy

Na obr. 4.24 je možné odečíst hodnotu fázové rezervy, která je rovna rozdílu hodnoty  $180^\circ$  a hodnoty, která byla odečtena při hodnotě 0 dB. Výsledná fázová rezerva je rovna  $91^\circ$ , a amplitudová rezerva je rovna 11 dB. Hodnota zesílení je 49 dB. V tomto případě šířka pásma je 182 kHz.

Při použití této schématy šířka pásma dosáhla hodnoty 182 kHz, což je dostačující pro různé nízkonapěťové a nízkopříkonové aplikace, tento obvod je vhodný pro biologické signály, protože oni mají velmi nízký kmitočet, v rozsahu jednotek Hz do několika kilohertz. Nicméně, větší šířku pásma možná dosáhnout pouze zvýšením biasovacího proudu v obvodu, ale tím bude stoupa spotřeba energie obvodu.

Naměřené výsledky jsou shrnuty v přehledové tab. 4.5, kde také můžeme porovnat transkonduktanční dvoustupňový zesilovač, plně transkonduktanční dvoustupňový zesilovač a plně diferenciální rozdílový zesilovač.

Z hlediska zpracování biologických signálů možná zhodnotit zjištěné výsledky. Základní parametry, kterým je potřeba věnovat pozornost jsou hodnota zisku, šířka pásma. Při pohledu na výsledky je vidět, že zisk se mění v rozsahu 70-110 dB, což je vhodnou hodnotou pro zesilovač biologických signálů, minimální hodnota zisku pro které je 60 dB. To samé platí i pro šířku pásma. Pokud vezmeme například EKG signál, jehož kmitočet je velmi nízký, kolem 200 Hz. Minimální hodnota, kterou se podařilo zjistit je 182 kHz, což je velmi vhodnou hodnotou.

Rovněž nejméně důležitými parametry jsou vstupní impedance a THD.

THD je veličina definující zkreslení sinusového signálu. Definuje se jako poměr součtu výkonů všech harmonických složek k výkonu základní harmonické. Čím nižší je THD, tím věrnější je signál zachycený nebo předávaný pomocí zesilovače. Velmi výbornou hodnotou je THD kolem 1%. V našem případě hodnota transkonduktančního zesilovače a plně diferenciálního zesilovače je 5%, tato veličina vyjadřuje stav, při kterém zkreslení je viditelné, ale není tak kritické. Vstupní impedance je jedním ze základních parametrů zesilovače pro biologické signály. Vstupní impedance musí být dost velká, její hodnota obvykle větší než  $10\text{M}\Omega$ . Nejčastěji se tak děje pomocí povrchových elektrod. Tím se do obvodu dostává další prvek a to impedance přechodu elektroda-kůže. Proto vysoká vstupní impedance vhodná pro elektrody s vysokou výstupní impedancí.

Nicméně, navržený obvod může být považován za vhodný nízkonapěťový a nízkopříkonový zesilovač, především protože se podařilo dosáhnout hodnoty napájecího napětí 0,6V a spotřeby energie  $0,66\mu\text{W}$ .

**Tab. 4.6:** Závěrečná tabulka srovnání výsledků

Specifikace	Požadované hodnoty	Transkonduktanční dvoustupňový zesilovač	Plně transkonduktanční dvoustupňový zesilovač	Plně diferenciální rozdílový zesilovač
Zesílení (dB)	<b>60...100</b>	74	101	98
Šířka pásma (kHz)	<b>100...5000</b>	370	370	182
Napájecí napětí (V)	<b>±0,3</b>	±0,3	±0,3	±0,3
Rychlost přeběhu (V/μS)	<b>≥0,5</b>	0,3	0,3	0,5
Zatěžovací kapacita C <sub>L</sub> (pF)	<b>5</b>	5	5	5
Spotřeba energie (μW)	<b>≤20</b>	1,44	1,44	0,66
Fázová rezerva	<b>≥60<sup>0</sup></b>	100 <sup>0</sup>	100 <sup>0</sup>	91 <sup>0</sup>
CMRR (dB)	<b>&gt;70</b>	80	120	117
PSRR (dB)	<b>&gt;60</b>	74	105	100
Vstupní šum (nV/rHz)	-	35	35	13
Výstupní šum (nV/rHz)	-	80	50	40
THD (%)	-	5	5	3

## Závěr

Moderním trendem ve všech aplikacích je miniaturizace obvodů a přenosnost elektronických zařízení, co přivedlo k návrhu analogových obvodů s nízkým napájecím napětím a s nízkou spotřebou energie. Takovým zařízením je zesilovač pro biologické signály. V oblasti biomedicíny napájecí napětí může být použito už není jako samostatný externí zdroj. Pomocí transformace mechanické energie na elektrickou, požadované napájecí napětí je možné získat pomocí aktivní činnosti pacienta (chůze, jiné zařízení - kardiostimulátor, atd.). Složitost obdržení nízkého napětí se skládá v udržování nejdůležitějších charakteristik obvodu bez jejich změny. Obecně platí, že vlastnosti jako jsou linearita, zisk, vstupní rozsah napětí, dynamický rozsah, a další parametry musí být realizovány na maximum, aby použitelnost obvodu byla velmi vysoká.

Tato diplomová práce se skládá ze čtyř částí:

První část popisuje druhy biologických signálů, jejich základní vlastnosti a jak můžeme zpracovat tyto signály.

Druhá část charakterizuje pojem operačního zesilovače. Také popisuje operační transkonduktanční zesilovač (OTA), jeho princip a vlastnosti, a nový obvod – diferenciální rozdílový zesilovač (DDA).

Další část pojednává o moderních technologiích při návrhu analogových obvodů pro nízkonapěťové a nízkopříkonové aplikace. Konvenční metody zahrnují obvody s technikou rail-to-rail, s tranzistory pracujícími v oblasti slabé inverze, s technikou level shifter (posunutí úrovně) a self-cascode strukturou. Nekonvenční techniky pro nízkonapěťový a nízkopříkonový návrh zahrnují tranzistor řízený substrátem, tranzistor s plovoucím hradlem a kvazi plovoucím hradlem, a také kombinace těchto technik - tranzistor řízený substrátem s plovoucím hradlem a kvazi plovoucím hradlem.

Poslední část popisuje návrh zesilovačů a jejich základní vlastnosti, demonstruje jejich funkčnost při návrhu pomocí nízkonapěťových a nízkopříkonových technik. Obvody zahrnují transkonduktanční dvoustupňový zesilovač, plně diferenciální zesilovač a plně diferenciální rozdílový zesilovač. Závěr diplomové práce obsahuje shrnutí veškerých výsledků.



Hlavním cílem této práce bylo navrhnout v CMOS technologii zesilovač pro zpracování biologických signálů pomocí základních jednotlivých bloků a aktivních prvků, aby mohli pracovat na velmi nízkých úrovních napájecího napětí (0,6 V) a spotřeba energie byla velmi mála (20  $\mu$ W), rozšiřuje tím vstupní dynamický rozsah napětí při udržování ostatních vlastností vhodných pro spousta aplikací. Z hlediska výše uvedených důvodů, tyto navržené obvody je vhodné pro použití při zpracování biologických signálů, tudíž byly splněny všechny požadavky kladené na této práci. Vliv vstupního šumu při zpracování biologických signálu je velmi důležitou věcí. Například pro EKG (elektrokardiografický signál) tato hodnota je 2mV, pro EMG (elektromyografický signál) je 0,5mV. V této práci tato hodnota rovná se několika nV.

Klidový proud  $I_{BIAS}$  nastaven na hodnotu 400nA, výstupní proud ve schématech, které realizují transkonduktanční zesilovač a plně diferenciální zesilovač rovná se 2,4 $\mu$ A. Pro plně diferenciální rozdílový zesilovač tento výstupní proud je 700nA. Napájecí napětí bylo sníženo na přibližně 0,6 V a spotřeba energie byla snížena na hodnotu než 2  $\mu$ W ve všech obvodech. Mimo jiné, všechny obvody byly stabilní, měly vlastnosti vstupu rail-to-rail, a jsou velmi vhodné pro nízkonapěťové a nízkopříkonové aplikace, jako jsou biomedicínské aplikace.

Na závěr, podle mého názoru, kompromis mezi požadovaným výkonem a optimálními podmínkami je problémem, ale v současné době je možnost vytvořit konfigurace s nízkým napájecím napětím a nízkým příkonem, kde je možné dosáhnout maximálního výsledku.

## Literatura

- [1] Alhazer H., Ismail M. *A CMOS fully balanced differential difference amplifier and its specifications*, IEEE Transaction on circuits and systems II – analog and digital signal processing. 2001, vol. 48, no. 6, p. 614-620.
- [2] W. Wei-Song, W. Zhao-Cheng, H. Hong-Yi, L. Ching-Hsing. *Low-power Instrumental Amplifier for Portable ECG*, IEEE Circuits and Systems International Conference on Testing and Diagnosis. 2009, p. 1-4.
- [3] A.P. Chandrakasan, N. Verma and D.C. Daly; *Ultra low-power Electronics for Biomedical Applications*, Department of Electrical Engineering and Computer Science, Massachusetts Institute of Technology, Cambridge, Massachusetts, 2008, vol. 10, p. 247-274.
- [4] E. Bottino and M. Valle; *Integrated low noise preamplifier for biologic-electronics interfaces*, Proceedings of the 2005 European Conference on Circuit Theory and Design, 2005, P:I/103 - I/106 vol. 1.
- [5] Hrazdírka I. *Lékařská biofyzika a přístrojová technika*: Neptun, 396s., 2004, ISBN-10: 80-902896-1-4.
- [6] PUNČOCHÁŘ, Josef. *Operační zesilovače v elektronice*. 4.doplňené vydání. Praha: BEN, 1999. 495 s. ISBN 80-86059-37-6.
- [7] Maloberti, F. *Analog Design for CMOS VLSI System*. Boston : Kluwer Academic Publisher, 2001. 369 s. ISBN 0-7923-7550-5.
- [8] E. Sackinger and W. Guggenbuhl, *A versatile building block: the CMOS differential difference amplifier*, IEEE J. Solid-State Circuits, vol. SC-22, pp. 287-294, Apr. 1987.
- [9] S.-C. Huang, M. Ismail, and S. R. Zarabadi, "A wide range differential difference amplifier: a basic block for analog signal processing in MOS technology," IEEE Trans. Circuits Syst. – 11, vol. 40, pp. 289-301, May 1993

- [10] S. R. Zarabadi, F. Larsen, and M. Ismail, "A reconfigurable CMOS op-amp/differential difference amplifier architecture," *IEEE Trans. Circuits Syst. I*, vol. 39, pp. 484–487, June 1992.
- [11] J. F. Duque-Carrillo, G. Torelli, R. Perez-Aloe, J. M. Valverde, and F. Maloberti, "Fully differential basic building blocks based on fully differential difference amplifiers with unity-gain difference feedback," *IEEE Trans. Circuits Syst. I*, vol. 42, pp. 190–192, Mar. 1995
- [12] P.K. Chan, K.A. Ng, X.L. Zhang, *A CMOS Chopper-Stabilized Differential Difference Amplifier for Biomedical Integrated Circuits*, The 47th Midwest Symposium on Circuits and Systems, 2004, p. iii – 33–6.
- [13] Miguel, J. M. A., Lopez-martin, A. J., Acosta, L., Ramírez-ángulo, J., Carvajal, R. G. *Using floating gate and quasi-floating gate techniques for rail-to-rail tunable CMOS transconductor design*. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2011, vol. 58, no. 7, pp. 1604–1614.
- [14] Urban C, Moon JE, Mukund PR. *Designing bulk-driven MOSFETs for ultra-low-voltage analogue applications*, *Semicond. Sci. Technol.* 2010; 25:1–8.
- [15] Gupta, R., Sharma, S., Jamuar, S. S. *A low voltage current mirror based on quasi-floating gate MOSFETs*. *IEEE Asia Pacific Conference on Circuits and Systems*. 2010, iss. 4, pp. 580–583.
- [16] F. Khateb, D. Biolek, N. Nabhan, and J. Vavra, "Utilizing the bulk-driven technique in analog circuit design," *IEEE 13th International Symposium on Design and Diagnostics of Electronic Circuits and Systems*, pp. 16-19, 2010.
- [17] G. Raikos, S. Vlassis, C. Psychalinos, "0.5V bulk-driven analog building blocks," *International Journal of Electronics and Communications*, vol. 66, pp. 920-927, 2012
- [18] Ramirez-Angulo, J., Choi, S.C., Gonzalez-Altamirano, G. *Low-voltage circuits building blocks using multiple-input floating-gate transistors*. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*. 1995, vol. 42, no. 11, pp. 971–974

- [19] PUNČOCHÁŘ, Josef. Operační zesilovače v elektronice. 4.doplňené vydání. Praha: BEN, 1999. 495 s. ISBN 80-86059-37-6.
- [20] Khateb, F. *Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power analog circuits design*. International Journal of Electronics and Communications (IF: 0.551), Germany, 2014, vol. 68: no. 1. pp. 64–72.
- [21] Khateb F., Bay Abo Dabbous S., Vlassis S. *Survey of Non-conventional Techniques for Low-voltage Low-power Analog Circuit Design*. Radioengineering, Vol. 22, No. 2, June 2013.
- [22] Rodriguez-Villegas E. *Low Power and Low Voltage Circuit Design with the FGMOS Transistor*. London Institution of Engineering and Technology, 2006.
- [23] Rajput, S. S., Januar, S. S., Grant, P. M. *Low voltage analog circuit design techniques*. IEEE Circuits and Systems Magazine. vol. 2, no. 1, pp. 24–42, 2002
- [24] M. Banu, JM. Khoury, Y. Tsvividis, *Fully Differential Operational Amplifiers with Accurate Output Balancing*, Source: IEEE Journal of solid-state circuits, 1988, vol. 23, p. 1410–1414, DOI: 10.1109/4.90039.
- [25] J. F. Duque-Carrillo, G. Torelli, R. Perez-Aloe, J. M. Valverde, and F. Maloberti, “Fully differential basic building blocks based on fully differential difference amplifiers with unity-gain difference feedback,” IEEE Trans. Circuits Syst. I, vol. 42, pp. 190–192, Mar. 1995.
- [26] Khateb, F., Khateb, N., Promme, P., Jaikla, W., Fucik, L. *Ultra-low voltage tunable transconductor based on bulk-driven quasi-floating-gate technique*. Journal of Circuits Systems and Computers, 2013. n. 8, p. 1–14. IF: 0. 238.

## Seznam použitých symbolů

$i_{out}$  – výstupní proud [ $\mu\text{A}$ ]

$g_m$  – transkonduktance [ $\text{mS}$ ]

$V_{out}$  – výstupní napětí [ $\text{V}$ ]

$A_{out}$  – zesílení zesilovače

$V_{in}$  – vstupní napětí

$C_C$  – kompenzační kapacita [ $\text{pF}$ ]

$R_C$  – nulový odpor [ $\text{k}\Omega$ ]

$V_{GS}$  – napětí mezi Gate a Source [ $\text{mV}$ ]

$V_{DS}$  – napětí mezi Drain a Source [ $\text{mV}$ ]

$V_T$  – prahové napětí [ $\text{mV}$ ]

$W$  – šířka kanálu tranzistoru [ $\mu\text{m}$ ]

$L$  – délka kanálu tranzistoru [ $\mu\text{m}$ ]

$V_{bias}$  – biasovací napětí [ $\text{mV}$ ]

$C_{GD}$  – kapacita přechodu gate-driven [ $\text{pF}$ ]

$C_{GS}$  – kapacita přechodu gate-source [ $\text{pF}$ ]

$C_{GB}$  – kapacita přechodu gate-bulk [ $\text{pF}$ ]

$M_R$  – odpor MOS tranzistoru [ $\text{k}\Omega$ ]

$L_{min}$  – minimální délka kanálu [ $\mu\text{m}$ ]

$V_{DD}, V_{SS}$  – napájecí napětí [ $\text{V}$ ]

$s=j\omega$  – komplexní parametr – Laplaceův operátor

$I_{BIAS}$  – klidový proud [ $\mu\text{A}$ ]

## Seznam zkratek

OTA – Operational Transconductance Amplifier

CMOS - Complementary Metal–Oxide–Semiconductor

FDDA – Fully Differential Difference Amplifier

DDA – Differential Difference Amplifier

EKG – Elektrokardiogram

EMG – Elektromyografie

EEG – Elektroencefalogram

ERG – Elektoretinografie

VFA – Voltage Feedback Amplifier

CFA – Current Feedback Amplifier

BD – bulk-driven

FG – floating-gate

QFG – quasi-floating-gate

BD-FG – bulk-driven floating-gate

BD-QFG – bulk-driven quasi-floating-gate

MOSFET - Metal–Oxide–Semiconductor Field-Effect Transistor

THD – Total Harmonic Distortion

CMRR – common-mode rejection ratio

PSRR – power supply rejection ratio

## Seznam obrázků

Obr. 1.1 Bloková schéma základních biomedicínských implantabilních zařízení .....	9
Obr. 1.2. Zpracování elektrických biologických signálů.....	14
Obr. 2.1. Model OTA zesilovače .....	16
Obr. 2.2 a) Používané schematické značky transkonduktanční zesilovačů; b) zjednodušené vnitřní uspořádání s připojenou zátěží na výstupu .....	17
Obr. 2.3. Dvoustupňový operační zesilovač OTA.....	18
Obr. 2.4. Symbol pro DDA .....	19
Obr. 2.5. Bloková schéma DDA.....	20
Obr. 2.6. Tři operačních zesilovačů na základě přístrojového zesilovače .....	21
Obr. 2.7 a) zapojení s jedinečným zesílením; b) se zesílením $A > 1$ ; c) se zesílením $A > 1$ bez odporů; d) sumační zesilovač ( $V_{IN1} + V_{IN2} = V_{OUT}$ ).....	22
Obr. 2.8. Realizace v CMOS technologii zesilovače DDA .....	23
Obr. 3.1. Technologie CMOS .....	24
Obr. 3.2. Proudové zrcadlo pro oblast podprahového napětí .....	26
Obr. 3.3 VA (napětí-proud) charakteristika proudového zrcadla .....	27
Obr. 3.4. Bulk-driven NMOS: a) symbol; b) příčný řez.....	28
Obr. 3.5. Zapojení tranzistoru: a) gate-driven; b) bulk-driven .....	29
Obr. 3.6 VA (napětí-proud) charakteristika gate-driven a bulk-driven NMOS tranzistorů .....	29
Obr. 3.7. Floating-gate MOS tranzistor: a) symbol; b) ekvivalent.....	31
Obr. 3.8. Zesilovač se společným zdrojem: a) FG-NMOS; b) GD-NMOS .....	32
Obr. 3.9. VA (napětí-proud) charakteristika gate-driven a floating-gate NMOS tranzistor.....	32
Obr. 3.10. MOS tranzistor s kvazi plovoucím hradlem: a) symbol s $R_{large}$ ; b) symbol s $M_R$ ; c) ekvivalent.....	33
Obr. 3.11. Zesilovač se společným zdrojem: a) GD-NMOS; b) QFG-NMOS.....	34
Obr. 3.12. VA (napětí-proud) charakteristika gate-driven a quasi-floating-gate NMOS tranzistorů .....	34
Obr. 3.13. MOS tranzistor řízeny substrátem s kvazi plovoucím hradlem: a) symbol; b) realizace v CMOS technologii .....	36
Obr. 3.14. Zesilovač se společným zdrojem: a) GD-NMOS; b) BD-NMOS; c) FG-NMOS;	

d) QFG-NMOS; e) BD-QFG-NMOS.....	37
Obr. 3.15. VA (napětí-proud) charakteristiky gate-driven, floating-gate, quasi-floating-gate, bulk-driven quasi-floating-gate NMOS tranzistorů.....	38
Obr. 3.16. Upravené proudové zrcadlo pomocí techniky level shifter .....	39
Obr. 3.17. Self-cascode struktura a její ekvivalent .....	40
Obr. 4.1. Dvoustupňový OTA .....	42
Obr. 4.2. Celkové zapojení zesilovače.....	47
Obr. 4.3. Zapojení obvodu pro měření DC analýzy .....	47
Obr. 4.4. Analýza napět'ového sledovače .....	48
Obr. 4.5. Vstupní napět'ová nesymetrie (offset) [ve zvětšeném měřítku] .....	49
Obr. 4.6. Rychlost přeběhu .....	49
Obr. 4.7. Zapojení pro měření AC analýzy .....	50
Obr. 4.8. Zesílení a šířka pásma .....	50
Obr. 4.9. Ověření fázové a amplitudové rezervy.....	51
Obr. 4.10. Ověření činitele potlačení souhlasného signálu (CMRR) .....	52
Obr. 4.11. Ověření činitele potlačení rušení napájecím zdrojem (PSRR) .....	52
Obr. 4.12. Symbol plně diferenciálního zesilovače .....	53
Obr. 4.13. Diferenciální výstupní rozsah napětí.....	54
Obr. 4.14. Celkové zapojení plně diferenciálního zesilovače .....	54
Obr. 4.15. Ověření fázové a amplitudové rezervy.....	55
Obr. 4.16. Výstupní průběhy zesilovače.....	56
Obr. 4.17. Výstupní šum pro zesilovač s jedním výstupem .....	56
Obr. 4.18. Výstupní šum pro zesilovač s diferenciálním výstupem.....	57
Obr. 4.19. Celkové zapojení plně diferenciálního rozdílového zesilovače .....	58
Obr. 4.20. Zapojení obvodu pro simulace v programu.....	59
Obr. 4.21. Vytvořený blok FDDA v programu .....	59
Obr. 4.22. Analýza napět'ového sledovače .....	60
Obr. 4.23. Vstupní napět'ová nesymetrie (offset) [ve zvětšeném měřítku] .....	61
Obr. 4.24. Ověření fázové a amplitudové rezervy .....	61



## Seznam tabulek

Tab. 1.1	Aktivní biologické signály .....	11
Tab. 1.2	Napěťové a frekvenční rozsahy elektrických biologických signálů.....	12
Tab. 2.1	Tabulka výhod a nevýhod volby architektury .....	17
Tab. 3.1	Tabulka parametrů technologií CMOS .....	24
Tab. 3.2	Charakteristika různých technik pro CMOS design.....	25
Tab. 3.3	Srovnání různých technik používajících pro nízkonapěťový návrh.....	38
Tab. 4.1	Požadované parametry na zesilovač pro biologické signály .....	42
Tab. 4.2	Technologické parametry s minimální délkou kanálu 0,18 $\mu\text{m}$ .....	42
Tab. 4.3	Tabulka vypočítaných rozměrů tranzistorů .....	46
Tab. 4.4	Tabulka rozměrů tranzistorů.....	47
Tab. 4.5	Tabulka rozměrů tranzistorů .....	60
Tab. 4.6	Závěrečná tabulka srovnání výsledků .....	63

## Příloha: PSpice MOS model

```

.MODEL CMOSN8 NMOS (
+VERSION = 3.1          TNOM      = 27          LEVEL   = 7;49
+XJ          = 1.5E-7    NCH      = 1.7E17    TOX      = 7.9E-9
+K1          = 0.5800828 K2       = 0.0247583  VTH0    = 0.5456773
+K3B        = 1.9162037 W0       = 1E-8      K3       = -3
+DVT0W      = 0         DVT1W   = 0         NLX      = 1.820812E-8
+DVT0       = 0.0536651 DVT1    = 0         DVT2W   = 0
+U0         = 484.0025268 UA       = 1E-13    DVT2    = -0.5
+UC         = 8.090066E-11 VSAT    = 2E5      UB       = 2.403292E-18
+AGS        = 0.1656416 B0       = -2.289543E-6 A0       = 1.8645806
+KETA       = -5.345485E-3 A1       = 9.29932E-5  B1       = 4.996722E-6
+RDSW      = 713.5093214 PRWG    = -2.44759E-11 A2       = 0.364129
+WR         = 1         WINT    = 7.776407E-8 PRWB    = -0.1782986
+DWG        = -4.827317E-9 DWB     = 6.002247E-9 LINT    = 3.859783E-8
+NFACTOR    = 2.5      CIT      = 0         VOFF    = -0.15
+CDSCD     = 0         CDSCB   = 0         CDSC    = 2.4E-4
+ETAB      = -0.0119634 DSUB    = 0.6485693  ETA0    = 0.2472428
+PDIBLC1   = 1.632343E-3 PDIBLC2 = 4.071842E-3  PCLM    = 1.3988328
+DROUT     = 1.7101836 PSCBE1  = 4.486005E8  PDIBLCB = 0.1963908
+PVAG      = 4.568991E-3 DELTA   = 0.01      PSCBE2  = 2.77613E-5
+MOBMOD    = 1         PRT     = 0         RSH     = 4.4
+KT1       = -0.11    KT1L    = 0         UTE     = -1.5
+UA1       = 4.31E-9  UB1     = -7.61E-18  KT2     = 0.022
+AT        = 3.3E4    WL      = 0         UC1     = -5.6E-11
+WW        = 0         WWN     = 1         WLN     = 1
+LL        = 0         LLN     = 1         WWL     = 0
+LWN       = 1         LWL     = 0         LW      = 0
+XPART     = 0.5     CGDO    = 3E-10    CAPMOD  = 2
+CGBO      = 1E-10   CJ       = 1.012766E-3 CGSO    = 3E-10
+MJ        = 0.342467 CJSW    = 8.17895E-11 PB       = 0.8098068
+MJSW     = 0.163881 CJSWG   = 1.64E-10  PBSW    = 0.8
+MJSWG    = 0.163881 CF       = 0         PBSWG   = 0.8
+PRDSW    = 10.7658848 PK2     = -4.456319E-3 PVTH0   = -0.0227521
+LKETA     = -0.0315819 )          WKETA   = 5.603592E-3
*
```

```

.MODEL CMOSP8 PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL  = 7;49
kp=97.5e-6            TOX     = 7.9E-9
+XJ      = 1.5E-7      NCH     = 1.7E17      VTH0   = -0.467083
+K1      = 0.9531253   K2     = -0.0200594   K3     = 0
+K3B     = 3.7132613   W0     = 1E-8        NLX    = 1E-9
+DVT0W   = 0          DVT1W  = 0          DVT2W  = 0
+DVT0    = 0.2792892  DVT1   = 0.1796672  DVT2   = -0.1871306
+U0      = 125.1080782 UA     = 1.658761E-9  UB     = 1E-21
+UC      = -1E-10     VSAT   = 9.892551E4  A0     = 0.8574236
+AGS     = 0.1202373  B0     = 1.671878E-6  B1     = 5E-6
+KETA    = 0.0148696  A1     = 0.0925216   A2     = 0.3
+RDSW    = 3E3        PRWG   = -0.1250418  PRWB   = -0.2663117
+WR      = 1          WINT   = 8.232178E-8  LINT   = 7.182955E-8
+DWG     = -2.191836E-8 DWB    = 3.445137E-9  VOFF   = -0.0361606
+NFACTOR = 0.8753188  CIT    = 0          CDSC   = 2.4E-4
+CDSCD   = 0          CDSCB  = 0          ETA0   = 0.1328924
+ETAB    = -0.2       DSUB   = 1          PCLM   = 0.9963387
+PDIBLC1 = 0.0101822  PDIBLC2 = 2.619716E-3  PDIBLCB = 0.1470927
+DROUT   = 0.2317552  PSCBE1 = 8E10        PSCBE2 = 8.539263E-10
+PVAG    = 0.0150089  DELTA  = 0.01       RSH    = 3.1
+MOBMOD  = 1          PRT    = 0          UTE    = -1.5
+KT1     = -0.11     KT1L   = 0          KT2    = 0.022
+UA1     = 4.31E-9   UB1    = -7.61E-18  UC1    = -5.6E-11
+AT      = 3.3E4     WL     = 0          WLN    = 1
+WW      = 0          WWN    = 1          WWL    = 0
+LL      = 0          LLN    = 1          LW     = 0
+LWN     = 1          LWL    = 0          CAPMOD = 2
+XPART   = 0.5       CGDO   = 3E-10     CGSO   = 3E-10
+CGBO    = 1E-10     CJ     = 8.416293E-4  PB     = 0.7374453
+MJ      = 0.331846  CJSW  = 8E-13     PBSW   = 0.7500246
+MJSW    = 0.91     CJSWG  = 6.4E-11   PBSWG  = 0.7500246
+MJSWG   = 0.91     CF     = 0          PVTH0  = 5.98016E-3
+PRDSW   = 14.8598424 PK2    = 3.73981E-3  WKETA  = -3.581447E-3
+LKETA   = -0.0196177 )
*****
*****
* 0.18u MOSIS
* DATE: May 21/09
* LOT: T92Y          WAF: 9103
* Temperature_parameters=Default

```