

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV TELEKOMUNIKACÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF TELECOMMUNICATIONS

ÚZKOPÁSMOVÝ MODEM PLC

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

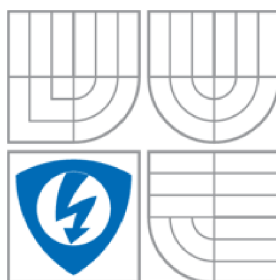
AUTOR PRÁCE
AUTHOR

JAN BEDNÁŘ

BRNO 2014



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLGIÍ
ÚSTAV TELEKOMUNIKACÍ**

**FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF TELECOMMUNICATIONS**

ÚZKOPÁSMOVÝ MODEM PLC

NARROW-BAND PLC MODEM

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

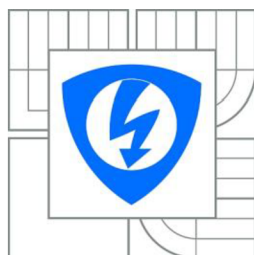
AUTOR PRÁCE
AUTHOR

JAN BEDNÁŘ

VEDOUCÍ PRÁCE
SUPERVISOR

doc. Ing. JIŘÍ MIŠUREC, CSc.

BRNO 2014



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav telekomunikací

Bakalářská práce

bakalářský studijní obor
Teleinformatika

Student: Jan Bednář
Ročník: 3

ID: 125193
Akademický rok: 2013/2014

NÁZEV TÉMATU:

Modem - opakovač pro úzkopásmovou komunikaci technologií PLC

POKYNY PRO VYPRACOVÁNÍ:

Práce je zaměřena na obvodový návrh opakovače při PLC komunikaci tak, aby bylo dosaženo větší vzdálenosti při komunikaci, nebo sloužilo jako překlenovací modem pro neprůchozí zařízení energetické sítě. Pro potřeby BP bude proveden rozbor a návrh obvodového řešení.

DOPORUČENÁ LITERATURA:

- [1] H. SCHULZRINNE, S. CASNER, R. FREDERICK, V. JACOBSON RTP: A Transport Protocol for Real-Time Applications, Internet Draft, IETF RFC3550, 2003.
- [2] HRASNICA, HAIDINE, LEHNERT. Broadband Powerline Communications Network design, ISBN:0-470-85741-2, 2004
- [3] DOSTERT, Klaus. Powerline Communications. Upper Saddle River, NJ 07458 : Prentice Hall PTR, 2001. 338 s. ISBN 0-13-029342-3.

Termín zadání: 10.2.2014

Termín odevzdání: 6.6.2014

Vedoucí práce: doc. Ing. Jiří Mišurec, CSc.

Konzultanti bakalářské práce:

doc. Ing. Jiří Mišurec, CSc.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Bakalářská práce je zaměřená na problematiku PLC komunikace, konkrétně na PLC modem. Pro začátek je nutné se seznámit s technologií PLC jako takovou, nastudovat principy přenosu, výhody, nevýhody. V další části se blíže zaměřím na samotný modem a jeho návrh, od výběru vhodné komunikační jednotky podle daných parametrů, externích obvodů pro úpravu signálu. Nakonec navrhnu plošný spoj, modem realizovat a ověřit si jeho funkčnost.

KLÍČOVÁ SLOVA

PLC, modem, komunikace, síť

ABSTRACT

Bachelor's thesis is focused on PLC communications, particularly on PLC modem. For starters it is necessary to learn about basics of PLC, learn how is PLC transmitted, advantages and disadvantages. In the next part i will focus on modem itself, choosing a suitable communication unit by given parameters, creating external circuits to adjust the signal for our purposes. At last i will design printed circuit, realize the modem and verify its functionality.

KEYWORDS

PLC, modem, communication, network

BEDNÁŘ, J. *Modem - opakovač pro úzkopásmovou komunikaci technologií PLC*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014. 41 s. Vedoucí bakalářské práce doc. Ing. Jiří Mišurec, CSc.

PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma „Modem - opakovač pro úzko pásmovou komunikaci technologií PLC“ jsem vypracoval

samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

podpis autora

PODĚKOVÁNÍ

Děkuji vedoucímu práce doc. Ing. Jiřímu Mišurcovi Csc. za velmi užitečnou metodickou pomoc a cenné rady při zpracování bakalářské práce.

V Brně dne

.....

podpis autora

OBSAH

ÚVOD	9
ROZBOR ZADÁNÍ	10
1 TEORETICKÁ ČÁST	11
1.1 Přenos dat po silovém vedení.....	11
1.2 Historie PLC	11
1.3 Struktura elektrické sítě	11
1.4 Požadavky na PLC	12
1.4.1 Frekvenční pásma PLC	12
1.4.2 Normy pro PLC.....	13
1.5 Modulace.....	13
2 NÁVRH ZAŘÍZENÍ	15
2.1 Modem v PLC síti	15
2.2 Vhodné varianty PLC procesorů.....	15
2.2.1 ST7540.....	15
2.2.2 ST7570.....	15
2.2.3 ST7580.....	16
2.2.4 ST7590.....	16
2.2.5 NCN49597	16
2.2.6 AMIS49587.....	16
2.2.7 IT700 IC.....	17
2.2.8 MAX2990	17
2.3 NCN49597	17
2.3.1 Režimy NCN49597	18
2.4 Blokové schéma NCN49597.....	18
2.4.1 Řízení a časování	20

2.4.2	Vysílač, S-FSK modulátor	23
2.4.3	Přijímač, S-FSK demodulátor	25
2.4.4	Komunikační blok.....	27
3	REALIZACE ZAŘÍZENÍ.....	29
3.1	Vazební obvod	29
3.2	Aktivní filtr pro odstranění 50 Hz na přijímací straně	30
3.3	Aktivní filtr pro odstranění 2 a 3 harmonické složky	31
3.4	Napájecí obvody	33
4	ZÁVĚR.....	34
	LITERATURA	35
	SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK	38
	SEZNAM PŘÍLOH.....	39
A	Kompletní schéma modemu	40
B	Tabulka použitých součástek a jejich funkce v obvodu	41

ÚVOD

Technologie PLC (Power-Line Communication) je určena pro datové přenosy po silovém vedení. Hlavní výhodou je možnost využití již stávajícího vedení bez nutnosti větších úprav nebo zavedení nové kabeláže. Tato technologie má široké využití, ať už k řízení světel, termostatu, zabezpečení v domě, také lze toto vedení také využít pro přivedení internetového připojení nebo se také hojně využívá v průmyslu pro vzdálenou kontrolu parametrů výrobních procesů.

V případě PLC dochází k namodulování nosného signálu na silové vedení, ale pro přenos elektrické energie se používá frekvence 50 Hz a to je pro potřeby PLC nedostačující. Rychlosti přenosu dat také nedosahují vysokých hodnot, proto se PLC zatím využívá většinou pro jednodušší operace, rychlosti se mohou pohybovat v rozmezí stovek bitů za sekundu, to také záleží na použitém standardu, použitých obvodech a na vzdálenosti. Čím menší vzdálenosti, tím větší můžeme získat přenosovou rychlost.

ROZBOR ZADÁNÍ

Cílem této práce je se seznámit s technologií PLC a vším co s tímto tématem souvisí. V první části se zaměřím na základní vlastnosti, způsoby přenosu dat přes silové vedení a s tím spojené problémy.

V druhé části bude nutné vybrat vhodnou komunikační jednotku a to podle námi daných kritérií (cena, dostupnost, flexibilita, kvalitní dokumentace, dobré elektrické vlastnosti, ...) Ke komunikační jednotce bude potřeba navrhnout externí obvody pro její správnou funkčnost, mezi tyto obvody patří vazební obvody pro spojení silové části se zbytkem obvodu, filtry pro potlačení nežádoucích frekvencí (50 Hz) a nechtěných harmonických složek vzniklých při manipulaci se signálem, dalším cílem bude minimalizovat faktor rušení a vliv na ostatní zařízení v okolí.

V poslední části půjde již o praktickou konstrukci zařízení a externích obvodů. Navrhnutí plošného spoje, vybrání adekvátních součástek a následná realizace, oživení a testování vytvořeného modemu.

1 TEORETICKÁ ČÁST

1.1 Přenos dat po silovém vedení

Jak již bylo zmíněno výše, data jsou přenášena pomocí silového vedení, ale hlavní funkcí těchto vedení je přenos elektrické energie. Na tomto vedení dochází k velkému rušení a frekvence 50Hz je nedostačující pro přenos datových signálů, proto se zde musí využít příslušných modulací/demodulací, přidavných obvodů (filtry, vazební obvody), aby datový přenos mohl správně fungovat.

1.2 Historie PLC

- 1838 - 1905 návrh pro vzdálené měření napětí, jeho realizace a ukončení projektu pro nedostačující využití a od projektu se upustilo
- 1913 – 1980 pokračoval vývoj PLC, díky novým dostupným technologiím, např.: v roce 1960 se začali používat tranzistory v PLC, 1967 integrované obvody a od roku 1980 jsou používány mikroprocesory
- Další vývoj pokračoval již na silových vedeních pro přenos elektrické energie, ale toto řešení bylo velmi nespolehlivé kvůli vlastnostem vedení, proto se začalo využívat nízkých frekvencí, zabezpečení jednotlivých datagramů tím pádem ke snížení přenosové rychlosti
- V poslední době se výzkum soustředí na chování sítí v oblastech nad 1 MHz pro tzv. VLEDN (Low Voltage Electricity Distribution Network), společnost Nor.Web na tomto vedení prováděla zkušební testy a tato vedení byla schopná přenášet data až rychlostí 1 Mb/s a to spolehlivě a velmi efektivně [1]

1.3 Struktura elektrické sítě

Přenos energie od dodavatele k zákazníkovi lze rozdělit na 3 základní úrovně napětí:

- **Velmi vysoké napětí (VVN):** používaná napětí jsou 110kV, 220kV, 400kV. Tento druh vedení slouží k přenosu energie na velké vzdálenosti.
- **Vysoké napětí (VN):** používaná napětí jsou 6kV, 10kV, 22kV a 35kV. Slouží hlavně pro zásobování menších oblastí, měst a průmyslových center elektrickou energií.
- **Nízké napětí (NN):** používaná napětí jsou 230V, 400V a 500V a slouží k dodání energie ke koncovým uživatelům.

1.4 Požadavky na PLC

Silové vedení není optimalizováno pro přenos dat. PLC technologie funguje v rozmezí frekvencí od 3kHz do 148,5 kHz a čím vyšší frekvence je, tím na vedení roste impedance a útlum. Tím pádem při přenosu vzniká velké rušení a dochází ke zkreslení signálu. Tyto nechtěné jevy jsou závislé na parametrech vedení, konkrétně útlum na odporu kabelu a zkreslení signálu je závislé na reaktanci. Útlum se projeví zmenšením amplitudy a při rychlých změnách obdélníkového průběhu se nám signál zkreslí, proto je třeba data přenášet na nižších frekvencích, využívat zabezpečené přenosy vůči rušení a algoritmy pro detekci a případnou opravu chybných rámců.

1.4.1 Frekvenční pásma PLC

Pásmo můžeme rozdělit do 5 skupin podle Evropské normy CENELEC EN 50065-1, ta definuje jakým způsobem pásmo rozdělit.

Tabulka 1.1: Přehled frekvenčních pásem pro úzko pásmové PLC

Pásmo	Šířka pásma (kHz)	Maximální amplituda (V)	Poznámka
	3 - 9		Pro dodavatele el. energie
A	9 - 95	1 - 5	Pro dodavatele energie, je možno využít po souhlasu
B	95 - 125	1,2	Pro odběratele, nevyžaduje protokol
C	125 - 140	1,2	Pro odběratele, vyžaduje protokol
D	140 – 148,5	1,2	Pro odběratele, nevyžaduje protokol

Dále ještě existuje širokopásmová verze PLC, kde se využívají mnohem vyšší frekvence a to kolem 30 MHz, což dovoluje výrazně zvýšit přenosovou rychlost, ale také je celá soustava mnohem složitější ve všech ohledech, nám proto vystačí úzko pásmové PLC.

1.4.2 Normy pro PLC

Česká verze normy CENELEC EN 50065-1 je označována jako ČSN EN 50065-1[4]: Signalizace v instalacích nízkého napětí v kmitočtovém rozsahu 3 kHz až 148,5 kHz a určuje nám základní požadavky pro komunikaci na vedení.

Uvedený příklad platí pro pásmo C v rozsahu 125 – 140 kHz.

- Vysílač nesmí bez přerušení vysílat déle jak 1 s a před dalším vysíláním musí počkat min. 125 ms.
- Upozornění na pokračování vysílání je pro všechny 132,5 kHz
- Na vysílací straně musí být vybavení pro zjištění dostupnosti pásma
- Vysílání je možné, pokud je pásmo volné po dobu 85 – 115 ms, tato hodnota je náhodně generována z toho rozsahu
- Aby bylo možné detekovat obsazené pásmo, musí přístroj vysílat signál se spektrálním rozložením v souladu s přílohou B této normy [4]

1.5 Modulace

Modulace jsou nutné pro přenos signálu na silovém vedení, protože není vhodné pro přenos digitálního signálu. Je mnoho druhů modulací, my se blíže podíváme na ty, které je možné využít pro naše účely.

- **Amplitude-Shift Keying (ASK):** základní amplitudová modulace, pokud chceme vysílat hodnotu log 1, zvýšíme amplitudu signálu a naopak pokud log 0, amplitudu snížíme. Tento způsob je velmi jednoduchý a efektivní avšak je velmi náchylný na vnější rušení
- **Frequency-Shift Keying (FSK):** založena na frekvenční modulaci, pro log 1 je použita vysoká frekvence, pro log 0 nízká frekvence, také je zde ošetřeno, aby nedocházelo ke změnám fáze. Tato varianta je také mnohem odolnější vůči rušení, proto je víc využívána než ASK
- **Phase-Shift Keying (PSK):** založena na fázové modulaci, existují dvě základní verze této modulace
- **Binary Phase-Shift Keying (BPSK):** dvoustavová modulace, dochází zde ke změně fáze nosného signálu a to buď na hodnotu 0° nebo 180° podle změny logické úrovně

2 NÁVRH ZAŘÍZENÍ

2.1 Modem v PLC síti

Nejčastější využití modemu bude pro sběr důležitých dat, jejich vyhodnocení, další zpracování a případná úprava. V jedné síti se může vyskytovat více modemů, které mohou pracovat buď v režimu Slave nebo Master. Kde Master zařízení funguje jako řídicí a Slave slouží pouze pro sběr dat a jejich přeposlání.

Základem PLC modemu bude řídicí procesor, existuje nespočetně druhů a různých variant my si uvedeme ty, co se pro náš projekt budou hodit nejvíce. Hlavní faktory výběru budou cena, dostupnost zařízení, dostupná dokumentace a jednoduchost návrhu.

2.2 Vhodné varianty PLC procesorů

2.2.1 ST7540

Tento mikroprocesor je od firmy ST Microelectronics, přenos dat probíhá v polo-duplexním režimu, takže zařízení mohou jak přijímat, tak vysílat, ale ne současně, používá FSK modulaci, používá jeden napájecí zdroj (7,5 – 13,5 V), také obsahuje 2 lineární regulátory pro 5 V a 3,3 V. Je zde řídicí registr programovatelný přes synchronní sériový port, dále je zde funkce watchdog, hodinový výstup, řízení výstupního napětí a proudu a další funkce. Přenosová rychlost 4800 b/s, UART/SPI rozhraní. Plus zajímavost tohoto čipu je, že se na něm vyskytují jak CMOS tak i DMOS struktury. Tento procesor už je starší a proto ne moc vhodný pro naše použití.

2.2.2 ST7570

Obsahuje výkonný PHY procesor s S-FSK modulací, bitová rychlost až 2,4 Kb/s při 50 Hz, odstup úrovně nosné a šumu, indikace síly přijímaného signálu. Dokáže obsluhovat jak fyzickou tak i MAC vrstvu. Dále čip obsahuje UART rozhraní, zdroj 3,3 – 5 V (možnost zesílení až na 8 – 18 V) a spoustu dalších obvodů integrovaných přímo na čipu. Jeho pracovní teploty jsou v rozmezí od -40 °C do +85 °C. Velmi kvalitní procesor, který by bylo možné využít pro náš úkol, má velmi dobré vlastnosti, rozsáhlou technickou dokumentaci, ale vzorek není dostupný k objednání. [5]

2.2.3 ST7580

Opět obsahuje výkonný procesor PHY, B-FSK modulace s bitovou rychlostí až 9,6 Kb/s nebo fázové modulace B-PSK, Q-PSK, 8-PSK s rychlostmi až 28,8 Kb/s. Rozhraní UART pro přenos až 57,6 Kb/s, AES 128 klíčování a bezpečnostní služby, jeden zdroj 3,3 – 5 V (8 – 18 V). [6]

2.2.4 ST7590

Tento čip už využívá OFDM modulaci a je možné ho využít už i pro širokopásmové přenosy. Obsahuje až 96 sub nosných v CENELEC A pásmu, možné využít i BDPSK, QDPSK, 8DPSK modulací, bitová rychlost až 128 Kb/s, UART/SPI rozhraní, I2C/SPI rozhraní pro externí paměť, AES 128 bitové klíčování, zdroje 3,3 – 5 V (8 – 18 V). Vhodný pro aplikace kompatibilní s EN50065. Dostupný v pouzdře QFN48 7x7 (ST7590) a TQFP 100 14x14 (ST7590T). [7]

2.2.5 NCN49597

Modem od firmy ON Semiconductors, využívá S-FSK modulaci s přenosovou rychlostí 4800 b/s, pracuje v polo-duplexním režimu, kompatibilní s CENELEC A-D pásmem, možnost volby přenosové rychlosti pro 50 Hz: 300, 600, 1200, 2400, 4800 b/s. UART rozhraní, zdroj 3,3 V a pracovní teploty od -40 °C do +125 °C. Tento procesor mě zaujal ze všech nejvíc má skvěle a podrobně zpracovanou technickou dokumentaci, lze objednat vzorek a má všechny potřebné technické vlastnosti pro naše účely. [9]

2.2.6 AMIS49587

Další modem od firmy ON Semiconductors, opět využívá S-FSK modulaci, obsahuje ARM procesorové jádro, které umožňuje řízení na PHY vrstvě, tak i na MAC vrstvě. Opět pracuje v polo-duplexním režimu a může dosáhnout přenosové rychlosti až 2,4 Kb/s. Jeden 3,3 V zdroj a pracovní rozsah teplot v rozmezí od -40 °C do +80 °C. Toto je předchůdce procesoru NCN49597, takže by byl taky použitelný pro naše účely, oba procesory mají víceméně stejné vlastnosti, NCN49597 lze provozovat až do pásma D. [8]

2.2.7 IT700 IC

Tenhle čip je již integrovaný modem na jednom čipu tzv. Systém on a Chip (SoC). Tento modem je možné spravovat na 3 vrstvách a to na fyzické (PHY), datové (DLL) a síťové (Y-Net). Dále obsahuje 8051 mikroprocesor s 256 KB flash paměti a 24 vstupů/výstupů.

Je kompatibilní s normami FCC 15, ARIB a CENELEC. Využívá DCSK modulace a dosahuje rychlostí až 1,25 Kb/s (FCC, ARIB pásma), 625 b/s (CENELEC).

Má velmi kvalitní odolnost vůči rušení, CRC-16 pro opravu chyb, může obsluhovat až 2047 uzlů v jedné síti, může fungovat v tree topologii až s 8 hopy, využití potvrzení vysílání, CSMA/CD, AES 128 klíčování, 32 b autentikaci.

V této době už jsou k dostání i modely vyšší řady a to IT800 Legacy a IT900. IT900 již podporuje IPv4, dokonce i IPv6. [10]

2.2.8 MAX2990

Modem od firmy Maxim Integrated je zajímavý tím, že používá OFDM modulaci, která umožňuje přenášet velké objemy dat i pro vedení s nepříznivými vlastnostmi.

Je založen na mikrokontroleru MAXQ, 16 bit RISC s 32 kB Flash paměti, 5 kB ROM a 8kB SRAM, pro komunikaci je možné využít SPI, I2C nebo UART rozhraní, dále obsahuje FEC (Forward Error Correcting) + CRC bloky pro opravu chyb a zabezpečení DES, CSMA/CA

Je kompatibilní s CENELEC A – C, FCC, ARIB.

2.3 NCN49597

Čip pracuje v polo-duplexním režimu s S-FSK modulací, umožňuje ovládat MAC vrstvu, k napájení stačí 3,3 V zdroj. Je možné nastavit 5 různých rychlostí pro přenos dat a to 300, 600, 1200, 2400, 4800 baudů pro 50 Hz, tato rychlost se dá nastavit pomocí bitů BR0 a BR1.

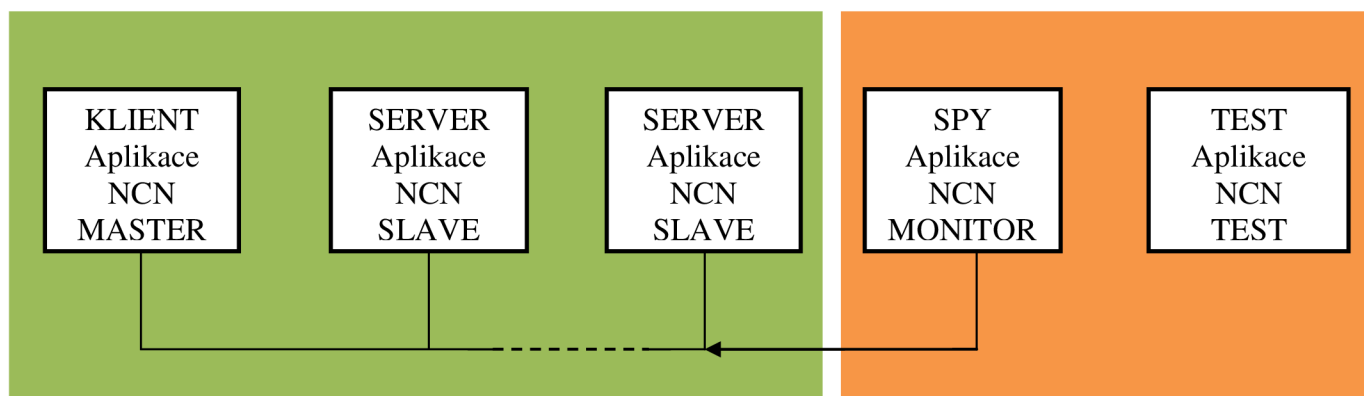
Dostupné frekvence jsou od 9 – 150 kHz rozprostřené po 10 kHz. Dále čip obsahuje 2 paměti, jednu typu ROM, kde je uložen program pro mikroprocesor a další paměť RAM pro ukládání pracovních dat. Komunikace probíhá pomocí SCI (Serial Communication Interface) rozhraní.

Tabulka 2.1:Nastavení bitů BR0 a BR1

BR1	BR0	BAUD RATE
0	0	300
0	1	600
1	0	1200
1	1	2400

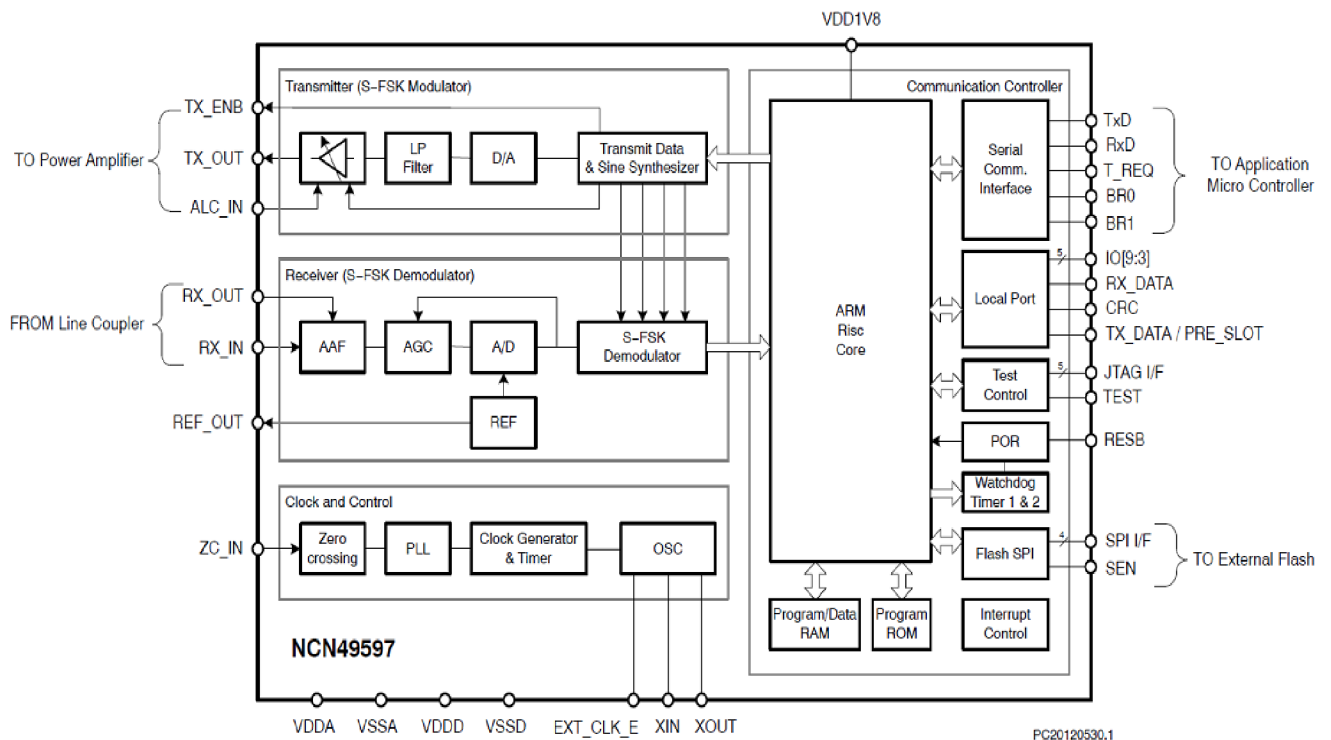
2.3.1 Režimy NCN49597

Modem lze používat pro 2 základní typy Master nebo Client, kde Master je vlastně klientem pro data, které mu Slave zařízení zašlou, Master zařízení také řídí ostatní Slave. Druhou možností je Server nebo Slave, kde Slave je server dat pro Master zařízení. Existují ještě 2 vedlejší typy využití a ty jsou Spy nebo Monitor, tento typ slouží pouze k odposlechu na lince, dochází ke kontrole správnosti rámce pouze na úrovni fyzické vrstvy. Druhým typem je Test mode, který se používá pro testování kompatibility s normou CENELEC. [9]



Obrázek 2.1: Příklad zapojení modemů v síti

2.4 Blokové schéma NCN49597



Obrázek 2.2: Blokové schéma NCN49597 [9]

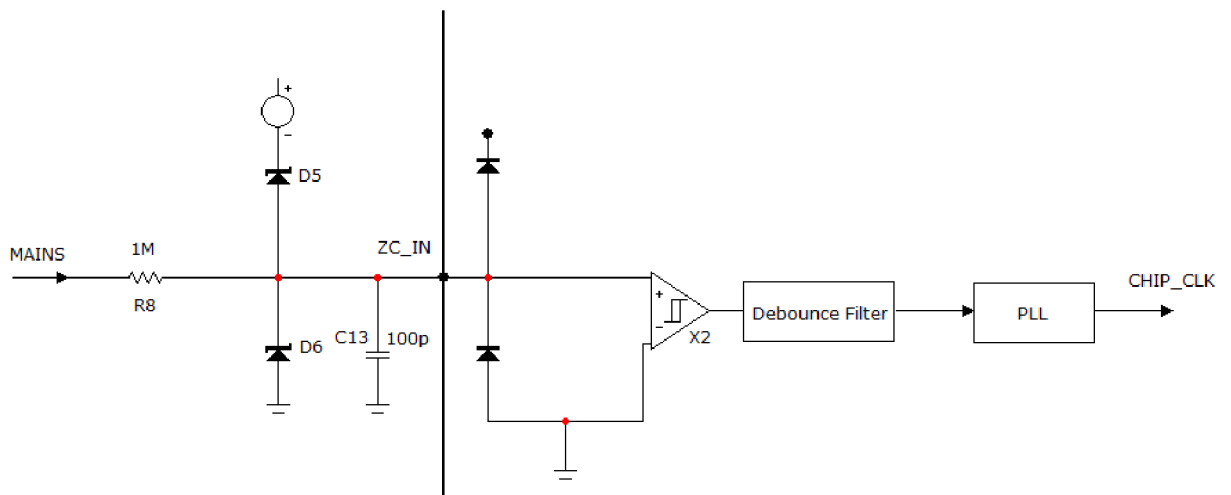
- První důležitou součástí je vysílací část a S-FSK modulátor, který slouží k přípravě signálu ke komunikaci, dále tento blok obsahuje zesilovač, filtr a D/A převodník
- Další součástí čipu je přijímací část a demodulátor, kde se signál vyfiltruje přes dolní propust, poté projde blokem AGC (Automatic Gain Control), který pomocí amplitudy nebo střední hodnoty určí hodnotu zisku, poté se signál převede do digitální podoby, ve které také probíhá zpracování dat, které dále projdou demulací vyfiltrováním nechtěných složek
- Clock and Control obsahuje hlavně bloky pro detekci a synchronizaci signálu, jako první je blok Zero Crossing, který nám detekuje průchod signálu nulovou hodnotou, dalším blokem je tzv. PLL (Phase-locked Loop) je vlastně kontrola fáze na vstupu a výstupu, dále se tam nachází generátor časových impulsů, časovače a oscilátor na frekvenci 48 MHz
- Dalším blokem je komunikační část, která obsahuje v první řadě samotný mikroprocesor, paměti ROM a RAM, rozhraní UART a RESET. Procesor používá instrukční sadu RISC, procesor zvládá provést jednu instrukci každý strojový cyklus a je možné využít přerušení, časovačů, atd. Program pro jeho funkci je uložen v paměti

ROM a paměť typu RAM je určena pro data, dále se v tomto bloku nachází rozhraní pro komunikaci s mikrokontrolerem.

- Důležitou součástí čipu je také blok Local Port, který nás informuje o přenosu na lince, pin RX_DATA nás informuje, zda na lince probíhá datový přenos (příjem), CRC slouží ke kontrole a případné opravě chybných rámců, pin TXD/PRES je výstup buď pro vysílání dat nebo pro synchronizaci s time sloty
- Poslední částí je SCI (Serial Communication Interface), tedy port pro komunikaci s čipem, je v polo duplexním režimu, dá se zde nastavit přenosová rychlost a to pomocí bitů BR0 a BR1

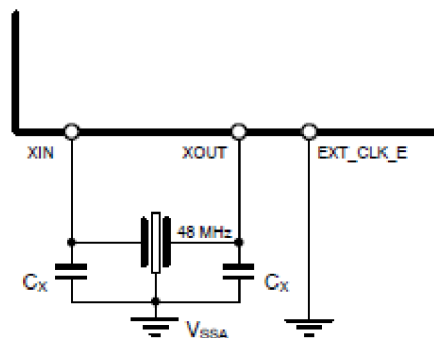
2.4.1 Řízení a časování

- **Detektor průchodu nulou** – podle využívaného standardu nebo požadované aplikace může být potřeba synchronizovat průchod nosné nulovou hodnotou, pro získání této informace je třeba využít ZCD. Zapojení níže nám omezí proud vstupující na ochranné diody. Pin ZC_IN slouží jako detekce nosné, dále signál projde přes Schmittův klopný obvod s hysterezí, který nám zaručí signál s hranami a to, nástupná hrana projde přes filtr bez úprav, ale sestupná hrana se zpozdí o 0,5 – 1 ms.



Obrázek 2.3: Zapojení bloku Clock and Control

- **Oscilátor** -generování sinusového průběhu, má 3 piny: XIN, XOUT, EXT_CLK_E, pokud budeme chtít využít externí generátor pin EXT_CLK_E musí být připojen na V_{DD} a časový signál na pin XIN, na kterém nesmíme překročit napětí 1,8 V. Pokud chceme využít krystal, tak pin EXT_CLK_E by měl být připojen na V_{SSA} přesně podle obrázku níže. Ke správné funkci je třeba paralelní rezonanční krystal s frekvencí 48 MHz s optimální hodnotou $C_L = 18$ pF, kapacity C_X jsou dány podle výrobce krystalu a námi požadované frekvenci hodnotu C_L spočítáme podle vztahu $C_L = \frac{C_X}{2+C_{STRAY}}$ kde C_{STRAY} je rozptylová kapacita nejčastěji od 2 – 5 pF, nejběžnější hodnota C_X bývá kolem 33 pF. Rozptylová kapacita je nežádoucí a lze ji minimalizovat použitím co nejkratších cest na plošném spoji mezi jednotlivými součástkami.



Obrázek 2.4: Zapojení oscilátoru

- **Časový generátor, čítač** – časový generátor je zodpovědný za synchronizaci signálu a případné přerušení při komunikaci. Časování je odvozeno od CHIP_CLK a frekvence použitého oscilátoru. Při změně přenosového režimu je zachována hodnota CHIP_CLK, tím pádem je stejné časování jak pro příjem tak vysílání datových rámců. Je zde použito celkem 7 různých časových signálů: CHIP_CLK: jak již bylo zmíněno výše 8x bit rate, BIT_CLK: je čítač hodnot 0, 8, 16, 2872 pro ostatní hodnoty je neaktivní, používá se pro detekci vysílání nového bitu, BYTE_CLK: aktivní pro hodnoty 0, 64, 128, ... slouží pro detekci bytu, FRAME_CLK: aktivní pouze pro hodnotu 0, detekce nového rámce, PRE_BYTE_CLK: slouží k vyvolání přerušení a také indikuje zda je potřeba vygenerovat nový byte, PRE_FRAME_CLK: opět slouží k vyvolání přerušení a indikuje generování nového rámce, PRE_SLOT: hodnota je logická 1 mezi nástupnou hranou PRE_FRAME_CLK a FRAME_CLK

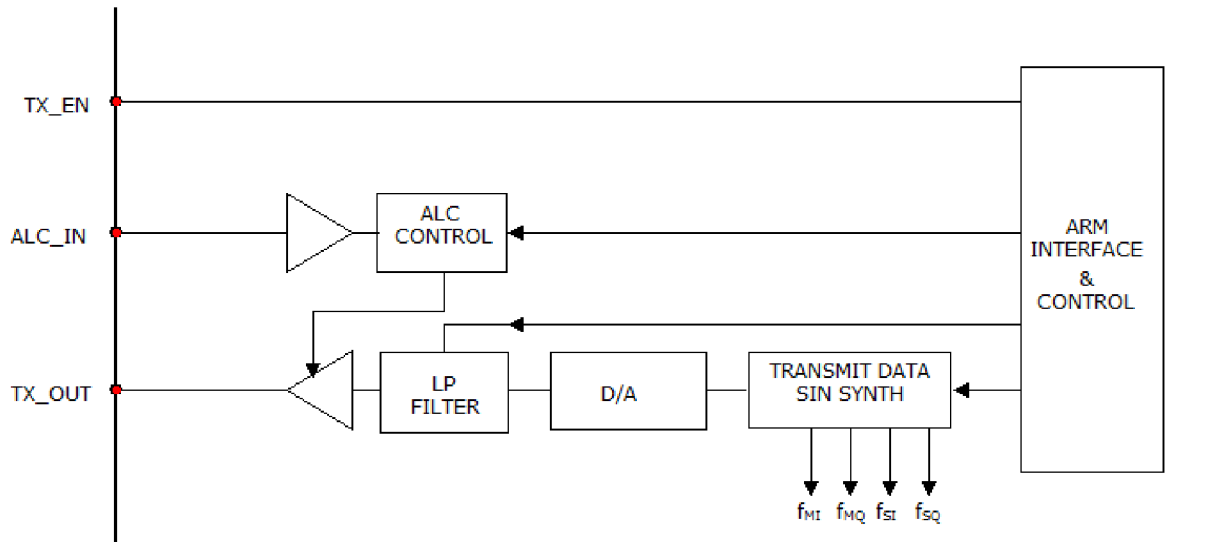
- **Smyčka fázového závěsu** – fázový závěs převede signál z výstupu komparátoru na strojové takty, tento signál je využíván pro modulaci a demodulaci signálu, je 8x rychlejší než bitová rychlost, tím pádem frekvence čipu závisí na frekvenci nosné a bitové rychlosti. Fázový závěs je řízen pomocí registru R_CONF viz tabulka. PLL nám také snižuje tzv. clock jitter, což je vlastně nežádoucí posun hrany časového signálu, díky tomu lze použít levnější obvod ZCD. Vstup PLL reaguje pouze na nástupné hrany signálu a pokud není zaznamenán průchod nulovou hodnotou PLL zastaví čítače, aby zůstala zachována hodnota strojového taktu. PLL dále zajišťuje, aby generovaný časový signál byl ve fázi s nástupnou hranou na výstupu z komparátoru, ale dochází k odchylce vůči nosné. V obvodu se nevyhneme zpoždění ať už na Zero Cross Detectoru vlivem opto členu, další zpoždění nám způsobí velikost prahového napětí komparátoru, která je 1,9 V. Všechna tyto zpoždění by způsobila, že by modem vysílal i přijímal datové rámce příliš pozdě. Právě proto má PLL také možnost ladit fázový rozdíl, k tomu nám slouží registr R_ZC_ADJUST, minimální hodnota posunu je o 13 μ s, maximální je $255 \times 13 \mu\text{s} = 3,3 \text{ ms}$.

Tabulka 2.1: Nastavení registru R_CONF

R_CONF	Frekvence nosné (Hz)	R_CONF 2:1 (b)	Bitová rychlost (b/s)	CHIP_CLK (Hz)
0	50 Hz	00	300	2400
		01	600	4800
		10	1200	9600
		11	2400	19200
1	60 Hz	00	360	2880
		01	720	5760
		10	1440	11520
		11	2880	23040

2.4.2 Vysílač, S-FSK modulátor

Vysílací blok má za úkol vygenerovat signál a poslat ho na přenosový kanál, nejčastěji se výstup přivede na zesilovač a dále přes vazební člen se naváže na nosnou. Všechno je řízeno pomocí mikrokontroleru.



Obrázek 2.5: Blokové schéma vysílače

- **Mikrokontroler, řízení** – rozhraní s mikrokontrolerem se skládá z 8 bitového datového registru R_TX_DATA, 2 kontrolních registrů R_TX_CTRL a R_ALC_CTRL, z příznakového registru TX_RXB, který nám určuje operační režim (vysoké hodnoty pro příjem, nízké pro vysílání) a registrů pro řízení frekvence. Všechny registry mají paměť a lze k nim přistupovat pomocí příslušného firmwaru.
- **Sinusový generátor** – generování sinusového průběhu nám zajišťuje tzv. DDS – Direct Digital Synthesizer, který střídavě generuje 2 signály, jeden pro přenos 1, který se nazývá značková frekvence a druhý pro 0 a ten se nazývá mezerová frekvence a z těchto dvou signálů se vytvoří požadovaný bitový signál. K tomu jsou ještě využity dva 16 bitové registry R_FM a R_FS, které nám řídí frekvenční krok pro DDS a tím pádem i samotnou frekvenci.
- **D/A Převodník a filtr** – D/A převodník nám převede digitální slovo na signál PDM, ten je dále převeden na analogový signál. Je potřeba zapojit filtr 3. řádu typu dolní propust pro odstranění kvantizačního šumu a šum způsobeného D/A převodníkem. Frekvence zlomu -3 dB může být nastavena na 130 kHz pro pásmo CENELEC A a

z filtru dostaneme frekvenci 95 kHz, nebo pro pásma CENELEC A – D nastavíme frekvenci na 195 kHz a na filtru dostaneme až frekvenci 148,5 kHz

- **ALC** – výstupní signál z dolní propusti jde dále na rozdílový zesilovač s 8 různými úrovněmi útlumu od 0 až do -21 dB s krokem 3 dB. Hodnoty útlumu lze regulovat nastavením bitu R_ALC_CTRL[3], pak pomocí registru ALC_CTRL lze měnit útlum.

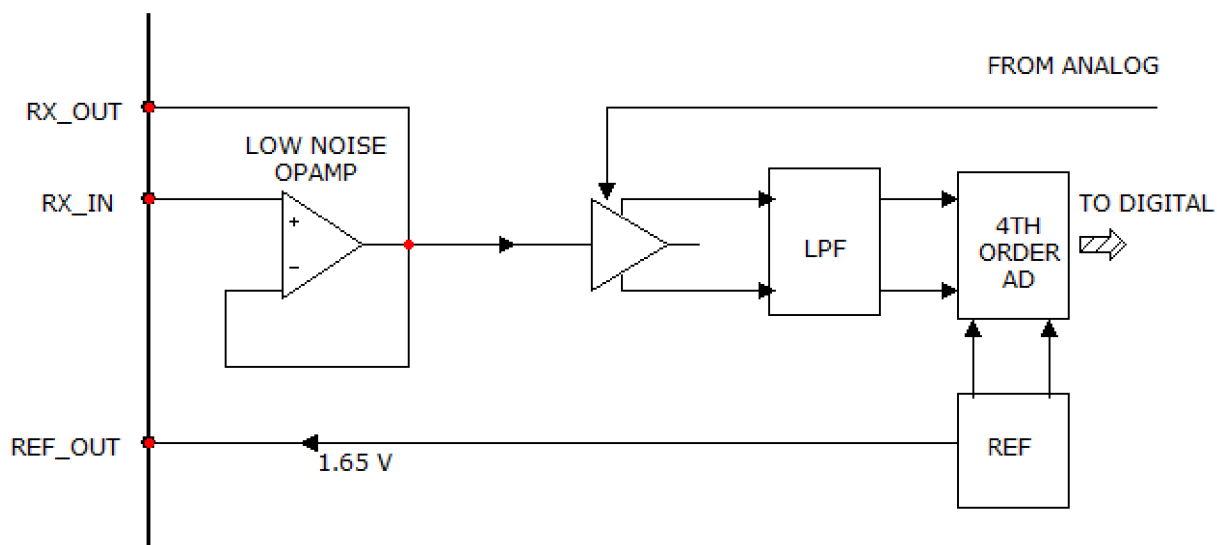
Tabulka 2.2: Nastavení útlumu pomocí registru ALC_CTRL

ALC_CTRL	Útlum (dB)
000	0
001	-3
010	-6
011	-9
100	-12
101	-15
110	-18
111	-21

Signál na vstupu ALC_IN řídí úroveň výstupního signálu. Prvně dojde k detekci špičkové hodnoty, poté se tato hodnota porovná s dvěma prahovými hodnotami V_{TL_ALC} a V_{LH_ALC} pokud je špičková hodnota menší než V_{TL_ALC} tak dojde ke zvýšení úrovně útlumu o 3 dB, pokud $V_{TL_ALC} \leq$ špičková hodnota $\leq V_{TH_ALC}$ tak úroveň útlumu zůstane stejná a pokud je špičková hodnota vyšší než V_{TH_ALC} tak dojde ke snížení útlumu o 3 dB. Hodnota útlumu se změní až v dalším strojovém taktu.

- **Vysílač, TX_OUT** – výstup z vysílače je připojen přímo na pin TX_OUT a protože celá analogová část NCN49597 využívá referenční napětí 1,65 V je potřeba využít oddělovací kondenzátor C_1 . Dále je třeba potlačit 2 a 3 harmonickou složku a to pomocí dolní propusti 2. řádu. Pro indikaci aktuálního režimu modemu se využívá pin TX_EN, pokud probíhá vysílání, tato hodnota se blíží 0. TX_EN má otevřený kolektor je třeba přidat tzv. pull-up rezistor pro zajištění obou logických stavů.

2.4.3 Přijímač, S-FSK demodulátor

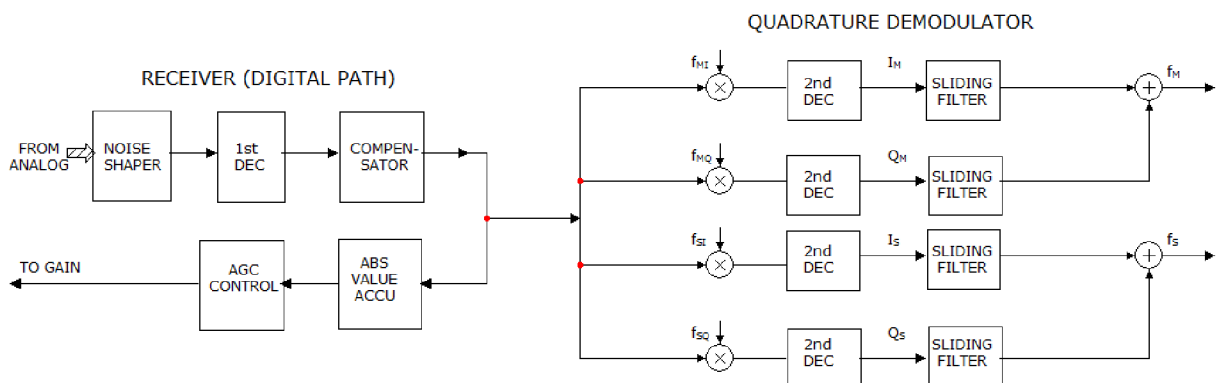


Obrázek 2.6: Blokové schéma analogové části přijímače

Přijímací blok se skládá z operačního zesilovače, rozdílového zesilovače, tzv. anti-aliasing filtru typu dolní propust a A/D převodníku. Pokud je modem ve vysílacím režimu, tak přijímací část je vypnuta, aby se ušetřilo co nejvíc energie, jedinou výjimkou je filtr, který je stejný pro oba režimy.

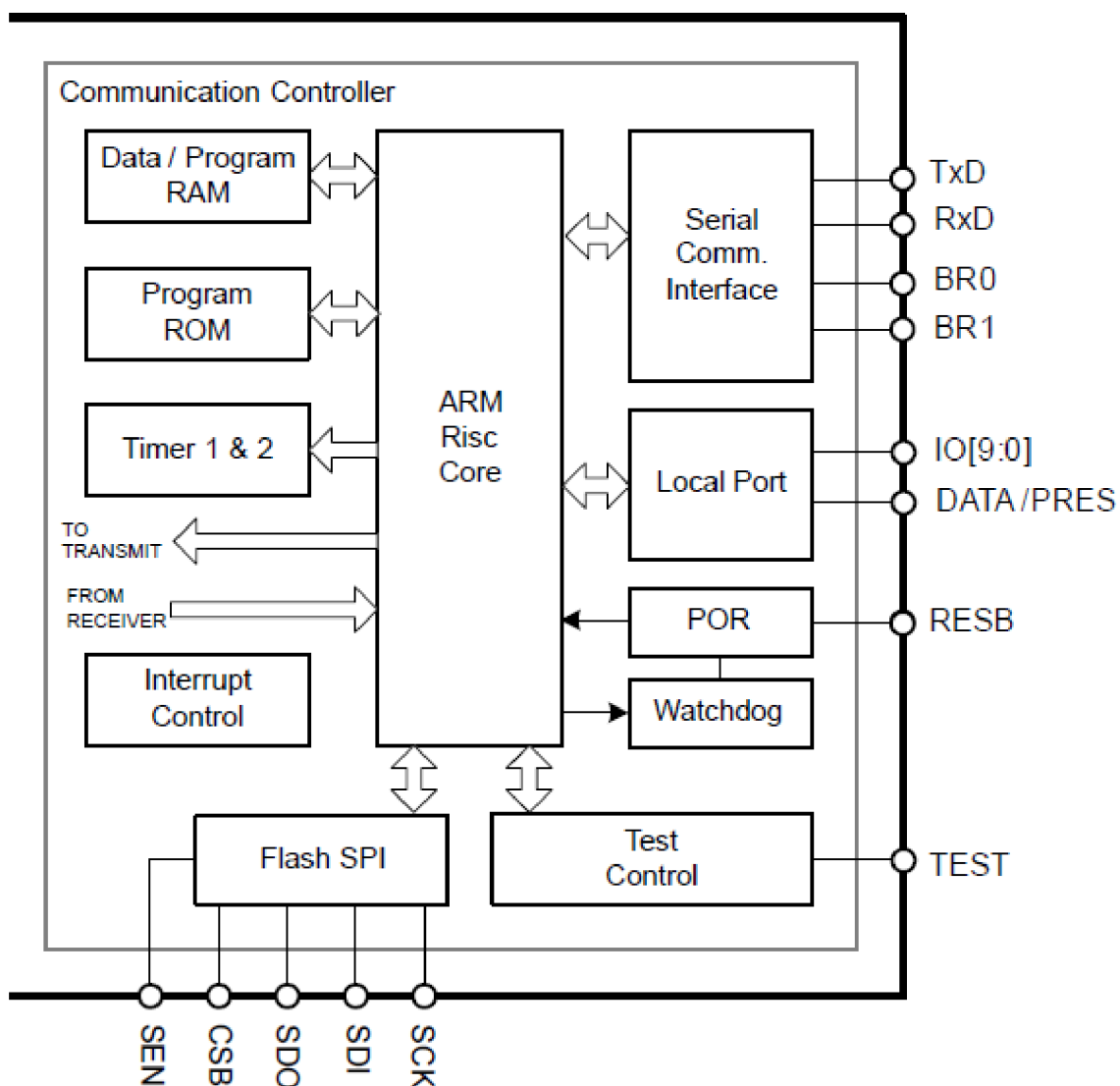
Spojka nám slouží jako vazební prvek mezi komunikačním kanálem a vstupem do modemu, jelikož jako komunikační kanál používáme silové vedení, chceme odstranit 50 Hz složku, která nám generuje rušení. Schéma filtru je znázorněno na obrázku níže, pin RX_IN je neinvertující vstup do zesilovače a RX_OUT je výstupní pin. Pin REF_OUT, nám poskytuje referenční hodnotu napětí 1,65 V. Maximální proudový odběr, by neměl přesáhnout 300 μ A, dále se doporučuje přidat oddělovací kondenzátor s kapacitou 1 μ F. Charakteristika filtru je dána externími součástkami.

- **Automatic Gain Control (AGC)** – pro rozšíření rozsahu A/D převodníku se do obvodu přidá zesilovač zisku, který nám může hodnotu zvýšit z 0 až na -42 dB v 8 krocích, další funkcí toho obvodu je detekce úrovně po A/D převodu. Celý tento proces zabere 2 strojové takty, jeden pro měření úrovně na nástupné hraně CHIP_CLK a druhý pro implementaci případných změn.
- **LPF, A/D** – na vysílací straně je filtr typu horní propust 3. řádu, stejný jako je na přijímací straně, opět lze nastavit hodnot -3 dB na 130 kHz a dostaneme 95 kHz nebo 195 kHz (148,5 kHz). Výstup z filtru je vstupem na sigma delta A/D převodník, referenční blok nám zajistí potřebné napěťové úrovně pro převod. Digitální signál poté projde přes blok, kde se odstraní kvantizační šum, dále přes decimátor a kompenzátor.
- **Kvadrurní demodulátor** – v tomto bloku se „smíchá“ digitální signál s časovým signálem z oscilátoru pro obě frekvence f_S a f_M a to pro signály se stejnou fází a posunutou fází o $\pi/2$, tím pádem nám vzniknou 4 různé signály, které projdou přes filtr dolní propust až na sčítací členy, kde opět dostáváme nosné frekvence f_S a f_M . Další úpravy signálu zajišťuje konkrétní firmware.



Obrázek 2.7: Digitální část přijímače

2.4.4 Komunikační blok



Obrázek 2.8: Blokové schéma komunikační části [9]

Procesor má 32 bitové jádro ARM s redukovanou instrukční sadou (RISC). Další periferie jsou: Watchdog, Test/Debug Control, RAM, ROM (bootloader), UART, 2 časovače, SPI rozhraní, I/O porty a Reset.

V 32 kB paměti RAM je uložen firmware a ukládají se sem průběžně pracovní data, mezi pamětí a jádrem mikroprocesoru je možno využít komunikaci v duplexním režimu.

- **Lokální port** – poskytuje 10 obousměrných I/O portů je možné je využít jako vstupy i výstupy, dokonce lze porty nakonfigurovat, tak aby byly zapojené se společným emitorem nebo kolektorem. Při bootování modemu je port I/O2 nakonfigurován jako vstup, aby bylo možné nahrát firmware a porty I/O0 a I/O1 jsou zapojeny jako výstupy a kontrolují stav bootování, po naboování se porty opět uvolní k libovolnému využití. Dalším portem je DATA/PRES ten je řízen bitem R_CONF[7], pokud je bit nastaven na 0, dostaneme synchronizační signál, pokud na 1, tak jsou vysílána data a to buď na frekvenci f_M nebo f_S na pinu TX_OUT.
- **SCI rozhraní** – toto rozhraní nám zajišťuje asynchronní komunikace s ostatními zařízeními, které podporují standard UART. Rozhraní je plně duplexní a má klasický NRZ format: 1 Start bit, 8 datových bitů, 1 Stop bit. Data jsou vysílána na pin TxD a přijímána na pinu RxD, podpora 3V a 5,5V zařízení. Pokud máme zapojení s otevřeným emitorem, je třeba přidat pull-up rezistor pro zajištění log 1, doporučuje se hodnota 10 k Ω . Opět je zde možné řídit bitovou rychlost pomocí bitů BR0 a BR1.
- **Watchdog** – kontroluje chod mikrokontroleru pomocí periodicky zasílaných signálů pokud signál nepřijde, je proveden tvrdý reset
- **Reset/Low Power** – mikrokontroler má 2 typy resetu, tvrdý a měkký reset. Tvrdý reset vymaže všechna nastavení hardwaru, mikrokontroleru a také data z paměti RAM

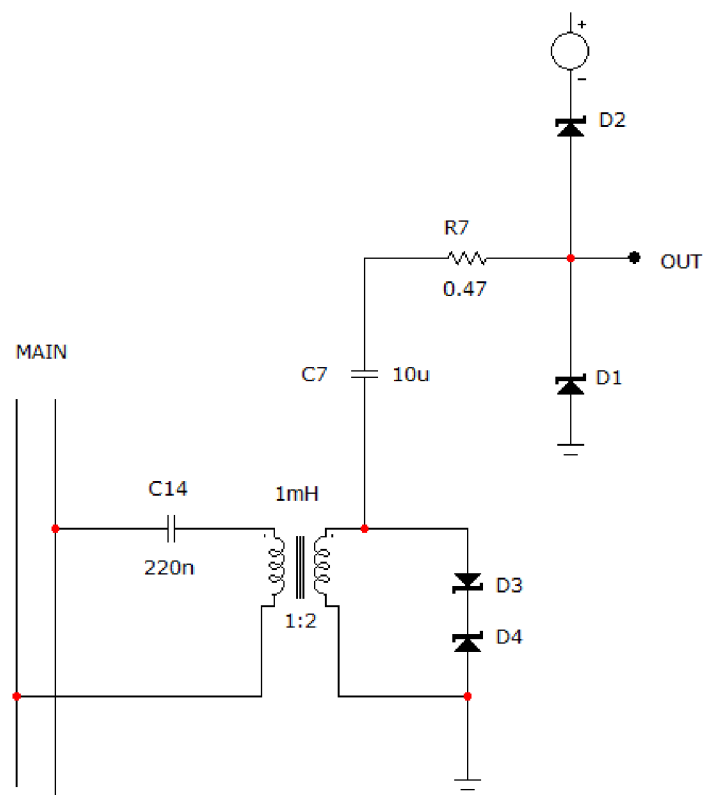
3 REALIZACE ZAŘÍZENÍ

3.1 Vazební obvod

Vazební obvod nám slouží k propojení silové části se zbytkem modemu a zajišťuje nám, aby v obvodu nebylo příliš velké napětí. Galvanické oddělení nám zajistí transformátor T_R s poměrem 1:2 a indukčností $L = 1 \text{ mH}$, dále jsou v obvodu 4 transily D_1, D_2, D_3, D_4 , které nám ochrání ostatní obvody před přepětím a oddělovací kondenzátor C_{11} , který nám oddělí vysokonapěťovou část od zbytku obvodu. Toto celé zapojení nám mimo jiné vytváří, pasivní filtr typu horní propust jeho mezní frekvenci vypočítáme[14]:

$$f_0 = \frac{1}{2\pi \cdot \sqrt{C_{10} \cdot L}} \quad (3.1)$$

$$f_0 = \frac{1}{2\pi \cdot \sqrt{220 \cdot 10^{-9} \cdot 1 \cdot 10^{-3}}} = 10,73 \text{ kHz}$$



Obrázek 3.1: Schéma vazebního obvodu

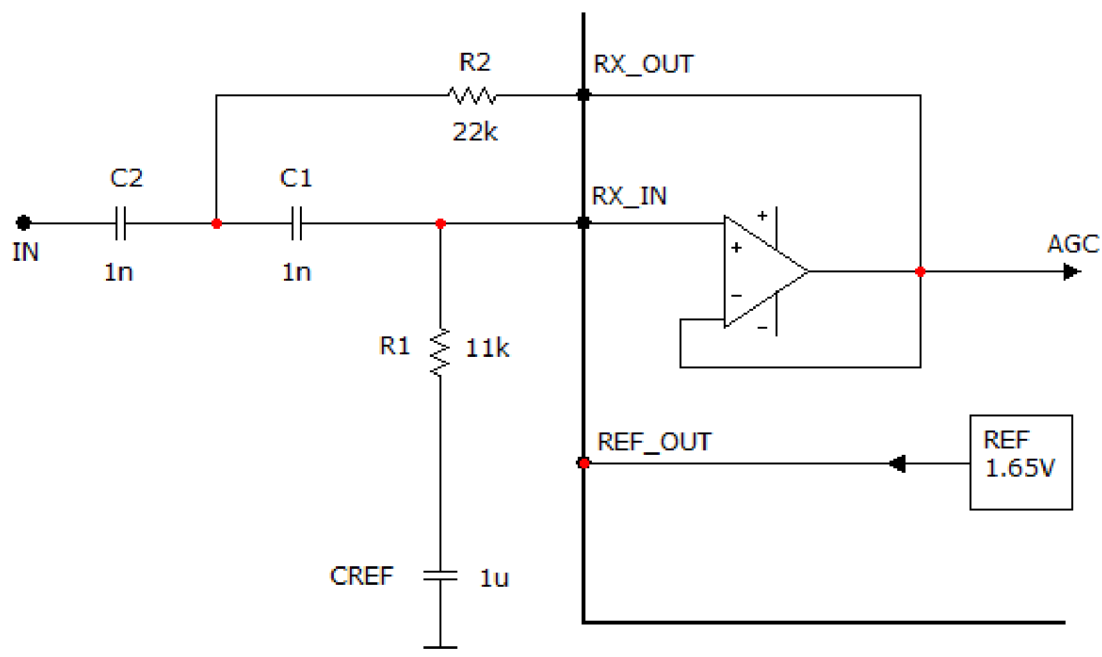
3.2 Aktivní filtr pro odstranění 50 Hz na přijímací straně

Tento filtr slouží k odstranění 50 Hz frekvence, je zapojen jako horní propust s OZ typu Sallen-Key. Mezní frekvence je spočítána podle vztahu[2]:

$$f_0 = \frac{1}{2\pi \cdot \sqrt{R_1 \cdot R_2 \cdot C_1 \cdot C_2}} \quad (3.2)$$

$$f_0 = \frac{1}{2\pi \cdot \sqrt{22 \cdot 10^3 \cdot 11 \cdot 10^3 \cdot 1 \cdot 10^{-9} \cdot 1 \cdot 10^{-9}}} = 10,231 \text{ kHz}$$

Na čipu NCN49597 je již integrovaný OZ, který můžeme využít ke konstrukci tohoto filtru přidáním pouze 4 externích součástek. RX_IN je neinvertující vstup a RX_OUT je výstup OZ. Na pinu REF dostaneme referenční napětí 1,65 V. Dále je třeba připojit oddělovací kondenzátor C_{REF}. Na pinu RX_IN by taktéž mělo napětí 1,65V jinak je potřeba použít vazební kondenzátor.



Obrázek 3.2: Schéma HP pro 50 Hz

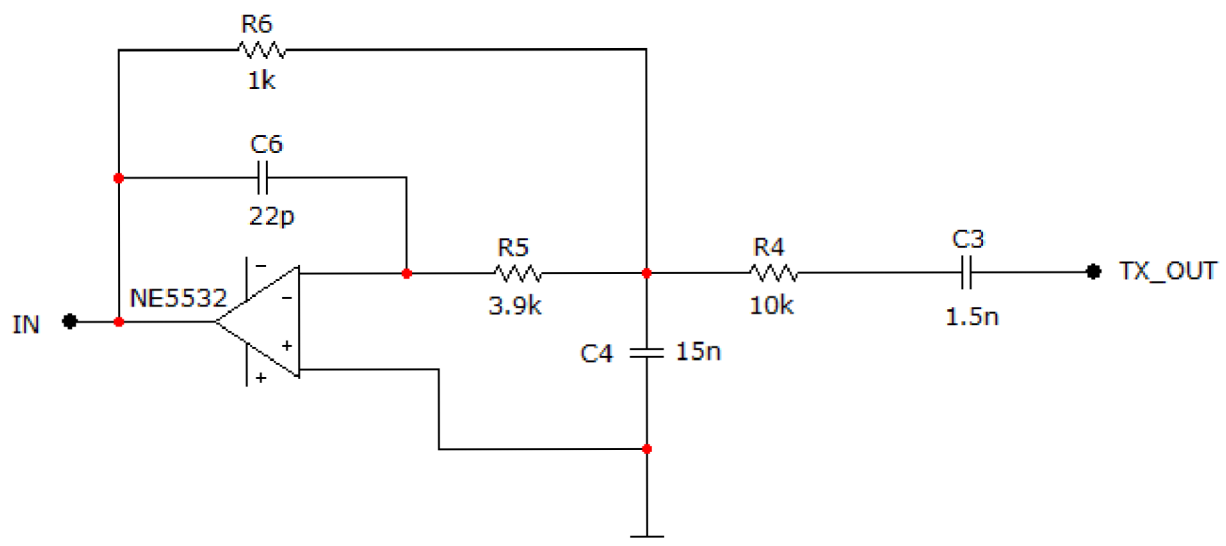
3.3 Aktivní filtr pro odstranění 2 a 3 harmonické složky

Filtr je typu dolní propust a slouží nám k odfiltrování druhé a třetí harmonické složky generované S-FSK signálem. Kondenzátor C_3 je použit jako vazební, protože celá analogová část pracuje s referenčním napětí 1,65 V. Opět vypočítáme mezní kmitočet podle vztahu[3]:

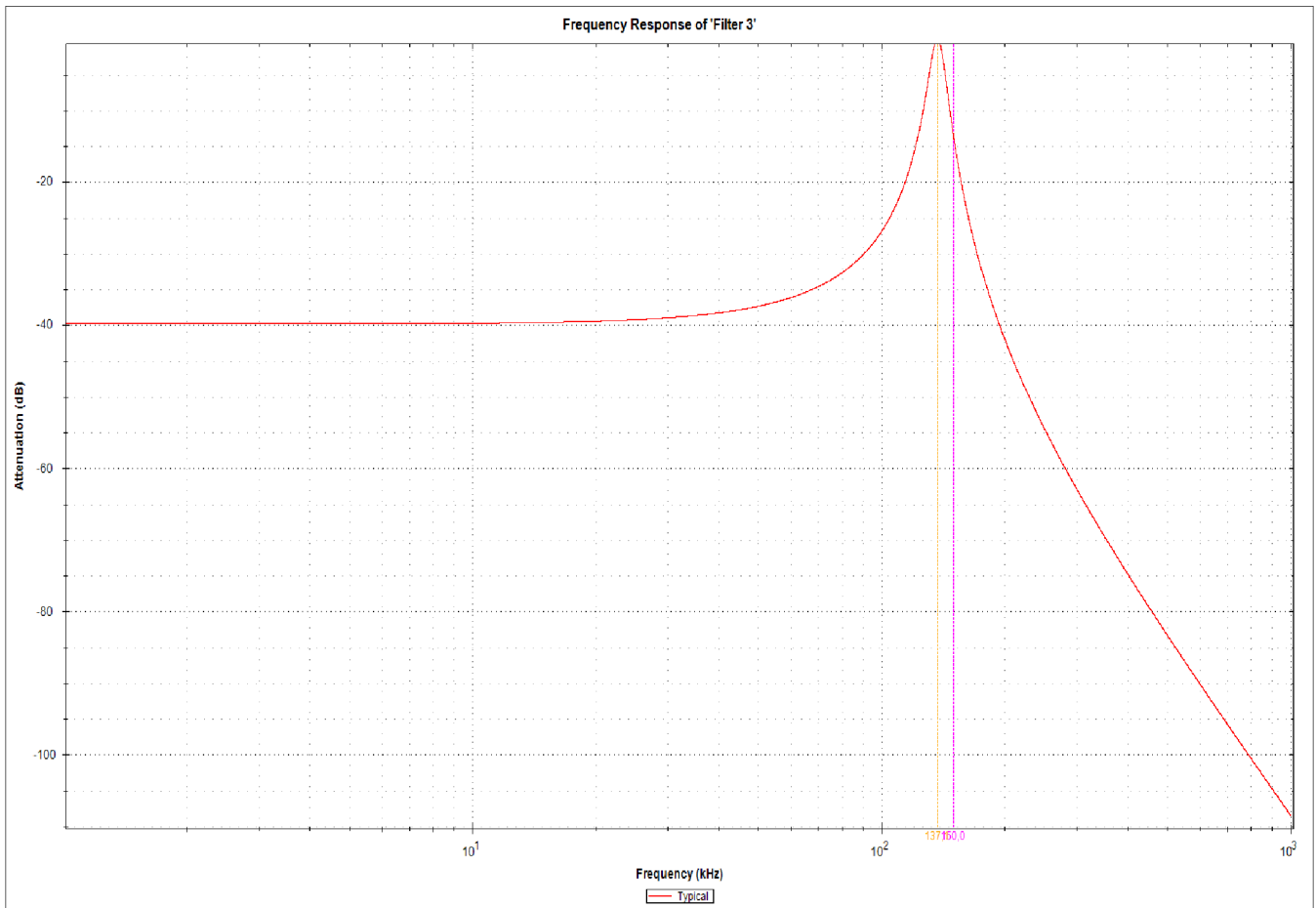
$$f_0 = \frac{1}{2\pi \cdot \sqrt{R_6 \cdot C_6 \cdot R_5 \cdot C_4}} \quad (3.3)$$

$$f_0 = \frac{1}{2\pi \cdot \sqrt{3900 \cdot 1000 \cdot 22 \cdot 10^{-12} \cdot 15 \cdot 10^{-9}}} = 137,1 \text{ kHz}$$

Nosná frekvence tedy bude 137,1 kHz po odečtení poklesu o 3 dB, který je 8,9 kHz dostaneme efektivní šířku pásma od 132,6 kHz do 141,5 kHz.

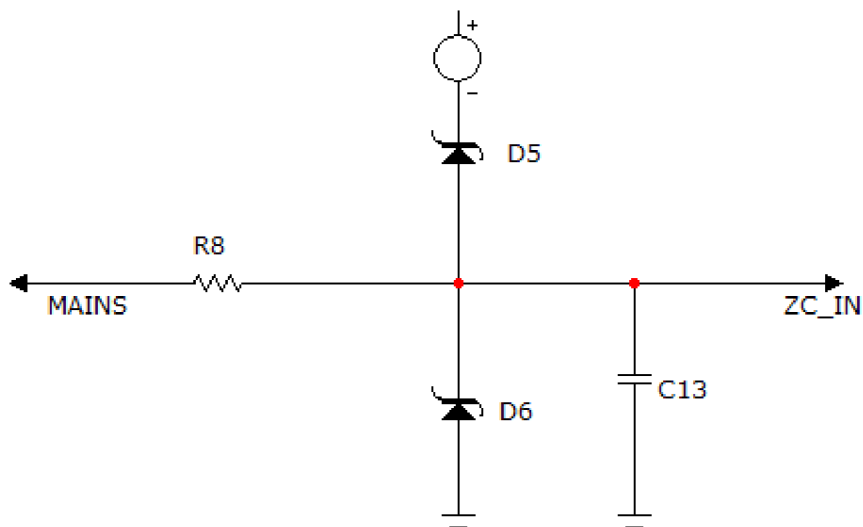


Obrázek 3.3: Schéma filtru pro odstranění 2 a 3 harmonické složky



Obrázek 3.4: Graf závislosti útlumu na frekvenci pro filtr vysílače

Pro synchronizaci nosné je v obvodu připojen rezistor o velikosti 1 MΩ a dále Schottkyho diody, které nám oříznou vstupní napětí na pinu ZC_IN, který nám zajišťuje detekci průchodu nulovou hodnotou

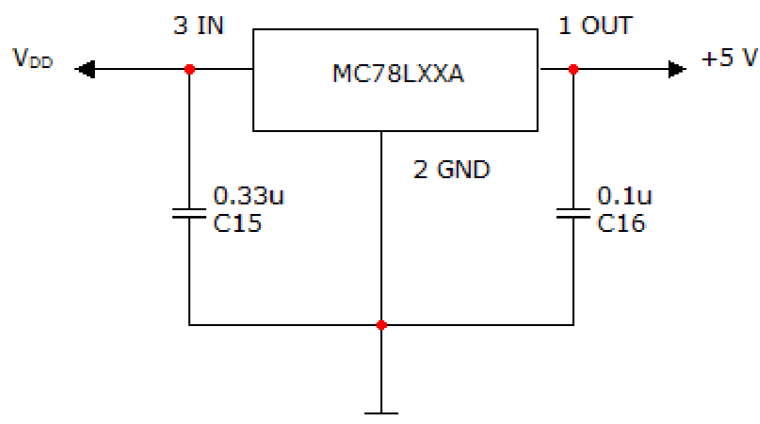


Obrázek 3.5: Synchronizační člen

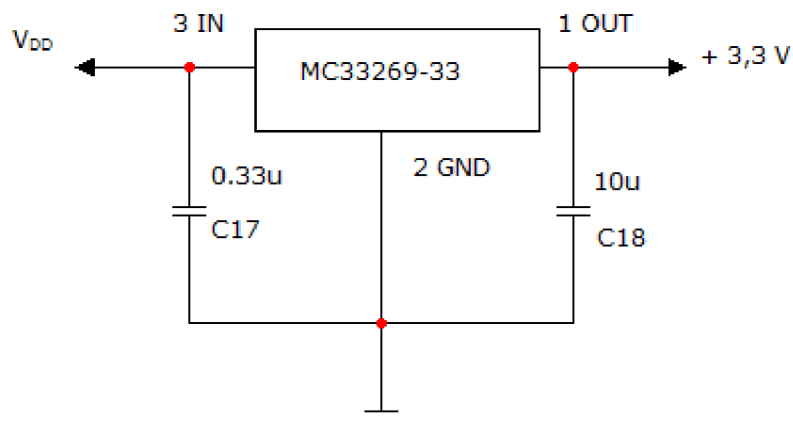
3.4 Napájecí obvody

Pro operační zesilovače bude potřeba souměrné napájení +5 V a -5 V, k napájení ostatních součástek a obvodů použijeme příslušné piny na čipu komunikační jednotky a to V_{DDA} resp. V_{DD} s hodnotou napětí 3,3 V (max. 3,6 V). Mezi příslušné piny a zem je nutné připojit oddělovací kondenzátor s minimální hodnotou 100 nF. Na tištěném spoji by měli tyto cesty být co nejkratší, aby se co nejvíc omezil vliv parazitních indukčností.

Samotný mikrokontrolér bude napájen přes pin V_{DDIV8} , taktéž se zde zapojí oddělovací kondenzátor s hodnotou 1 μ F.[21], [22]



Obrázek 3.6: Napájení pro 5V



Obrázek 3.7: Napájení pro 3,3 V

4 ZÁVĚR

V první řadě jsem se seznámil s technologií PLC a jejími principy, výhodami a nevýhodami. Poté jsem si vybral několik druhů řídicích jednotek a podle stanovených parametrů jsem vybral obvod NCN49597 kvůli jeho dobrým vlastnostem, kvalitní dokumentaci. Řídicí obvod jsem detailně prostudoval, seznámil se s jeho strukturou a s funkcemi jednotlivých bloků a obvodů v něm obsažených. K tomuto řídicímu členu jsem podle přiloženého dokumentu navrhl potřebné obvody pro správnou funkci celého systému. Konkrétně bylo potřeba navrhnout, vazební obvod pro spojení silové části obvodu se zbytkem modemu, filtry pro modifikaci signálu, hlavně pro odstranění nepotřebných frekvencí, harmonických složek. Také bylo potřeba navrhnout napájení těchto obvodů.

Bohužel se mi nepodařilo dostat k samotné konstrukci modemu, kvůli nedostatku času. Ve finální podobě by modem měl zajišťovat spolehlivý přenos dat na co nejdelší vzdálenosti nebo sloužit jako překlenovací článek mezi neprůchozími částmi energetické sítě.

LITERATURA

- [1] BROWN, P.A. Past Present and Future. *Power Line Communication* [online]. 2004 [cit. 2014-06-04]. Dostupné z <http://www.isplc.org>
- [2] SKALA, Milan. *ÚZKOPÁSMOVÝ MODEM PLC* [online]. Brno, 2011 [cit. 2014-04-17]. Dostupné z: <https://dspace.vutbr.cz>. Bakalářská práce. VUT.
- [3] KUBÍČEK, Lukáš. *REALIZACE ÚZKOPÁSMOVÝCH PLC MODEM* [online]. Brno, 2012 [cit.2014-04-17]. Dostupné z: <https://www.vutbr.cz>. Diplomová práce. VUT.
- [4] Český normalizační institut. *Signalizace v instalacích nízkého napětí v kmitočtovém rozsahu 3 kHz až 148,5 kHz* [online]. Březen 2002 [cit. 2014-04-17]. Dostupné z: <http://www.normservis.cz>
- [5] STMicroelectronics. *ST7570: Power line networking system-on-chip* [online]. Zář 2012 [cit. 2014-04-17]. Dostupné z: <http://www.st.com>
- [6] STMicroelectronics. *ST7580: Power line networking system-on-chip* [online]. Leden 2012 [cit. 2014-04-17]. Dostupné z: <http://www.st.com>
- [7] STMicroelectronics. *ST7590: Narrow-band OFDM power line networking PRIME compliant system-on-chip* [online]. Říjen 2011 [cit. 2014-04-17]. Dostupné z: <http://www.st.com>
- [8] ON Semiconductor. *AMIS-49587: Power Line Carrier Modem* [online]. Denver, Colorado: Literature Distribution Center for ON Semiconductor, Březen 2013 [cit. 2014-04-17]. Dostupné z: <http://www.onsemi.com>
- [9] ON Semiconductors. *NCN49597: Power Line Carrier Modem* [online]. Denver, Colorado 80217 USA: Literature Distribution Center for ON Semiconductor, Červen 2013 [cit. 2014-04-17]. Dostupné z: <http://www.onsemi.com>

- [10] Yitran Communications Ltd. *I700 IC: Powerline Communication Modem* [online]. Israel, Červen 2008 [cit. 2014-04-17]. Dostupné z: <http://www.yitran.com>
- [11] PETERKA, Jiří. Earchiv. *Powerline, aneb přenos dat po 230 voltech* [online]. 2011 [cit. 2014-04-17]. Dostupné z: <http://www.earchiv.cz>
- [12] VALENTA, Jaroslav. *ÚZKOPÁSMOVÝ PŘENOS DAT PO ENERGETICKÝCH SÍTÍCH*. Brno, 2009. Dostupné z: <https://dspace.vutbr.cz>. Bakalářská práce. VUT.
- [13] SVOBODA, Jaroslav. PLC: Přenosové systémy po energetických vedeních. In: *Radiokomunikace 2007* [online]. Pardubice, Říjen 2007 [cit. 2014-04-17]. Dostupné z: www.comtel.cz
- [14] ČIČMANSKÝ, Tomáš. *KOMUNIKAČNÍ JEDNOTKA PRO SPOTŘEBIČE INTELIGENTNÍCH DOMŮ* [online]. Brno, 2013 [cit. 2014-04-17]. Dostupné z: <https://dspace.vutbr.cz>. Bakalářská práce. VUT.
- [15] SiTime. *Clock Jitter Definitions and Measurement Methods* [online]. Leden 2014 [cit. 2014-06-04]. Dostupné z: <http://www.sitime.com>
- [16] Vacuumschmelze. *Power Line Communication Coupling Transformers* [online]. 2007 [cit. 2014-06-04]. Dostupné z: <http://www.vacuumschmelze.de>
- [17] Electronics Tutorials. *Active High Pass Filter* [online]. 2008 [cit. 2014-06-04]. Dostupné z: <http://www.electronics-tutorials.ws>
- [18] Electronics Tutorials. *Active Low Pass Filter* [online]. 2008 [cit. 2014-06-04]. Dostupné z: <http://www.electronics-tutorials.ws>
- [19] Farnell: element 14. *CRYSTAL OSCILLATOR, SMD, 48MHZ* [online]. 2012 [cit. 2014-06-04]. Dostupné z: <http://cz.farnell.com>

- [20] FERREIRA, Hendrik C. a Henricus M. GROVE. Power Line Communication. In: *Power Line Communication* [online]. 2004 [cit. 2014-06-04]. Dostupné z: <http://www.exp-math.uni-essen.de>
- [21] ON Semiconductor. *100 mA Positive Voltage Regulators: MC78L00A Series, NCV78L00A* [online]. 2013 [cit. 2014-06-05]. Dostupné z: <http://www.onsemi.com>
- [22] ON Semiconductor. *800 mA, Adjustable Output, Low Dropout Voltage Regulator: MC33269, NCV33269* [online]. 2013 [cit. 2014-06-05]. Dostupné z: <http://www.onsemi.com>

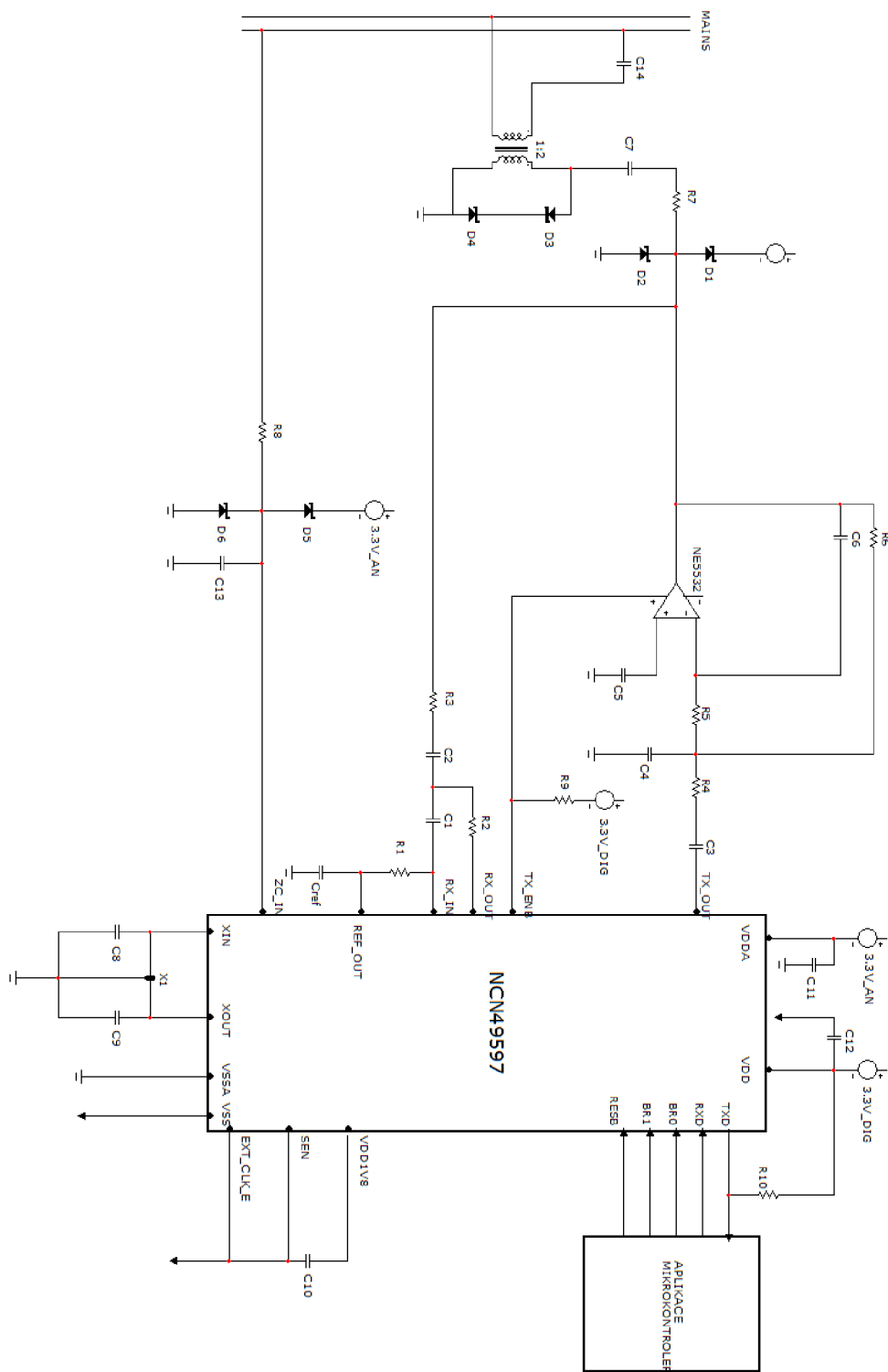
SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

PLC	Power Line Communication
LVEDN	Nízko napěťové přenosové sítě
CENELEC	Evropský standardizační ústav
ASK	Amplitudová modulace
FSK	Kmitočtová modulace
PSK	Fázová modulace
BPSK	Binární fázová modulace
QPSK	Kvadrurní fázová modulace
QAM	Kvadrurní amplitudová modulace
OFDM	Ortgonální multiplex s kmitočtovým dělením
UART	Rozhraní pro komunikaci mezi zařízeními
SPI	Sériové periferní rozhraní
PHY	Fyzická vrstva
MAC	Linková vrstva
AES	Algorytmus pro šifrování dat
ARM	Architektura procesorů
SoC	Systém na čipu
CSMA/CD	Přístupová metoda k médiu
FEC	Algorytmus pro dopřednou opravu chyb
CRC	Detekce chyb při přenosu
PLL	Smyčka fázového závěsu
RISC	Redukovaná instrukční sada mikroprocesoru
ZCD	Detektor průchodu nulovou hodnotou

SEZNAM PŘÍLOH

A	Kompletní schéma modemu	39
B	Tabulka použitých součástek a jejich funkce v obvodu	40

A Kompletní schéma modemu



Obrázek A.1: Kompletní schéma modemu

B Tabulka použitých součástek a jejich funkce v obvodu

Tabulka B.1: Tabulka použitých součástek

Součástka	Hodnota	Tolerance	Jednotky
C ₁ , C ₂	1 nF	+/- 10 %	nF
C ₃	470 nF	+/- 20 %	nF
C ₄	15 nF	+/- 10 %	nF
C ₅ , C _{REF}	1 μF	-20 +80 %	μF
C ₆	22 pF	+/- 10 %	pF
C ₇	10 μF	+/- 20 %	μF
C ₈ , C ₉	22 pF	+/- 20 %	pF
C ₁₀	1 μF	-20 + 80 %	μF
C ₁₁ , C ₁₂	100 nF	-20 +80 %	nF
C ₁₃	100 pF	+/- 20 %	pF
C ₁₄	220 nF	+/- 20 %	nF
R ₁	11 kΩ	+/- 1 %	kΩ
R ₂	22 kΩ	+/- 1 %	kΩ
R ₃	10	+/- 1 %	kΩ
R ₄	10	+/- 1 %	kΩ
R ₅	3,9	+/- 1 %	kΩ
R ₆	1	+/- 1 %	kΩ
R ₇	0,47	+/- 10 %	Ω
R ₈	1	+/- 10 %	MΩ
R ₉ , R ₁₀	10	+/- 10 %	kΩ
D ₁ , D ₂	MBRA340	vysoko proudové Schottkyho diody	
D ₃ , D ₄	P6SMB6.8AT3G	transily	
D ₅ , D ₆	BAS70-04	nízko proudové Schottkyho diody	
X1	CFPS-39IB	krystal oscilátoru	
T _{R1}	4031-X009	2:1 transformátor	