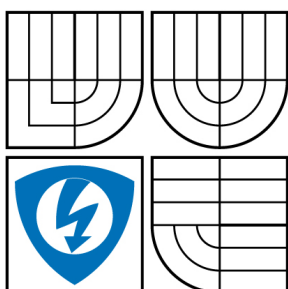


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV TELEKOMUNIKACÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF TELECOMMUNICATIONS

ZVUKOVÉ ROZHRANÍ PRO SIGNÁLOVÝ PROCESOR VYUŽÍVAJÍCÍ SBĚRNICE IEEE 1394

AUDIO INTERFACE FOR SIGNAL PROCESOR USING IEEE 1394 BUS

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

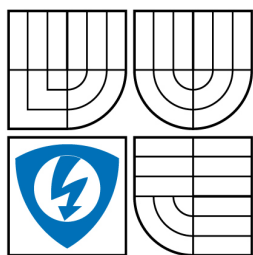
MARTIN STAROŇ

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. JIŘÍ SCHIMMEL, Ph.D.

BRNO 2009



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav telekomunikací

Bakalářská práce

bakalářský studijní obor
Teleinformatika

Student: Martin Staroň

ID: 72224

Ročník: 3

Akademický rok: 2008/2009

NÁZEV TÉMATU:

Zvukové rozhraní pro signálový procesor využívající sběrnice IEEE 1394

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s možnostmi připojení periferních zřízení k vývojovému modulu signálových procesorů Freescale DSP56303EVM s procesorem rodiny DSP563xx a navrhňte propojení se sběrnici TDM zvukového rozhraní DICE iKit využívající sběrnici IEEE 1394 Firewire. Implementujte rutinu pro obousměrnou komunikaci signálového procesoru a zvukového rozhraní pomocí tohoto propojení. Celý systém přenosu a zpracování zvukových dat otestujte pomocí jednoduchého algoritmu číslicového zpracování signálů.

DOPORUČENÁ LITERATURA:

- [1] SMÉKAL, Z., VÍCH, R. Zpracování signálů pomocí signálových procesorů. Radix. Praha, 1998, 125 s. ISBN 80-86031-18-7.
- [2] SMÉKAL, Z., SYSEL, P. Signálové procesory. Sdělovací technika, Praha, 2006, 283 s. ISBN 80-86645-08-8.
- [3] ANDERSON, D. FireWire System Architecture: IEEE 1394. Addison-Wesley, 1998. ISBN 0-201-69470-0.
- [4] DSP56301 User's Manual. Motorola, Inc. 1997.

Termín zadání: 9.2.2009

Termín odevzdání: 2.6.2009

Vedoucí práce: Ing. Jiří Schimmel, Ph.D.

prof. Ing. Kamil Vrba, CSc.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Anotace

Obsahem bakalářské práce je návrh spojení signálového procesoru Freescale řady DSP56300 se sběrnici TDM zvukového rozhraní DICE II iKit společnosti DFM Audio. Rozhraní využívá sériovou sběrnici IEEE1394 FireWire, prostřednictvím které je z hostitelského počítače přenášén zvukový signál. Tento signál přijímá rozhraní DICE II, jenž převádí zvuková data na sběrnici TDM. K této sběrnici je připojen samotný signálový procesor, který zpracovává zasílaná zvuková data v reálném čase.

Teoretická část bakalářské práce se věnuje problematice signálových procesorů. Podrobněji je zde popsána řada signálových procesorů DSP56300 společnosti Freescale. Následuje základní specifikace sběrnice IEEE1394 FireWire. Teoretická část je zakončena popisem sběrnice TDM, rozhraní I²S a popisem systému AudifiedDSP Solution.

V praktické části bylo vyřešeno spojení signálového procesoru a rozhraní DICE II, včetně odladění a zprovoznění obslužného programu pro obousměrnou komunikaci.

Jednou z možností využití výsledků této práce je schopnost komunikovat s uvedenými signálovými procesory z prostředí aplikačních programů běžících na hostitelském počítači, jako například programů pro zpracování zvukových signálů (HDR aplikací).

Klíčová slova

IEEE1394, FireWire, DSP, AUDIO, DSP56300, TDM, zpracování signálů

Abstract

The scope of bachelor's thesis is a design of the connection between the Freescale digital signal processor DSP56300 family and the DFM Audio DICE II iKit interface by way of the TDM bus. The DICE II iKit interface uses serial IEEE1394 FireWire bus that transmits an audio stream from a host computer. This signal receives the DICE II iKit interface that converts audio data from IEEE1394 FireWire to the TDM bus. The signal processor that process the sended audio data in a real time is connected to this TDM bus.

The theoretical part of this work describes the theory of the digital signal processor, in detail DSP56300 Freescale family. After that there is a basic specification of the IEEE1394 FireWire bus. The theoretical part of this bachelor's thesis is ended by a description the TDM bus, the I²S interface and the AudifiedDSP Solution system.

A connection of the signal processor and the DICE II interface was solved in the practical part, included the debbuging and the operating of the hadle subroutine for the duplex communication.

The results of this thesis is might utilise for the duplex communication between the signal processor and aplication software working on the host computer.

Keywords

IEEE1394, FireWire, DSP, AUDIO, DSP56300, TDM, signal processing

Bibliografická citace

STAROŇ, M. *Zvukové rozhraní pro signálový procesor využívající sběrnice IEEE 1394*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009. 38 s. Vedoucí bakalářské práce Ing. Jiří Schimmel, Ph.D.

Prohlášení

Prohlašuji, že svou bakalářskou práci na téma „Zvukové rozhraní pro signálový procesor využívající sběrnice IEEE 1394“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne:

.....

(podpis autora)

Poděkování

Tímto bych rád poděkoval vedoucímu bakalářské práce Ing. Jiřímu Schimmelovi, PhD. za podporu a cenné rady, které přispěly ke vzniku této práce.

Rovněž bych chtěl poděkovat mému kolegovi Bc. Jiřímu Panáčkovi za podnětné připomínky poskytované v průběhu řešení i zpracování této bakalářské práce.

V Brně dne

.....

(podpis autora)

OBSAH

| | | |
|---------|---|----|
| 1 | Úvod | 4 |
| 2 | Teoretický popis..... | 5 |
| 2.1 | Signálové procesory | 5 |
| 2.1.1 | Signálové procesory Freescale řady DSP56300..... | 8 |
| 2.1.1.1 | Popis vlastností signálových procesorů řady DSP56300..... | 8 |
| 2.1.2 | Popis vývojového modulu Freescale DSP56307EVM..... | 11 |
| 2.2 | Rozhraní IEEE1394 – FireWire | 12 |
| 2.2.1 | Historie, jednotlivé standardy | 12 |
| 2.2.2 | Topologie sběrnice | 13 |
| 2.2.3 | Vrstvy rozhraní IEEE1394..... | 15 |
| 2.2.3.1 | Fyzická vrstva | 15 |
| 2.2.3.2 | Linková vrstva | 17 |
| 2.2.3.3 | Translační vrstva | 17 |
| 2.2.4 | Adresace zařízení | 18 |
| 2.2.5 | Přenos dat přes rozhraní FireWire..... | 18 |
| 2.2.5.1 | Dynamická rekonfigurace – hot swap..... | 19 |
| 2.2.6 | Komponenty rozhraní IEEE1394..... | 20 |
| 2.2.7 | Použité technické řešení sběrnice FireWire | 21 |

| | | |
|---------|--|----|
| 2.2.7.1 | Obvod DICE II..... | 21 |
| 2.2.7.2 | Vývojový modul DFM Audio DICE II iKit..... | 22 |
| 2.3 | Sběrnice s technikou TDM | 23 |
| 2.3.1 | Specifikace sběrnice TDM obvodu DICE II použitého při řešení . | 24 |
| 2.4 | Rozhraní I ² S..... | 25 |
| 2.5 | System AudifiedDSP Solution..... | 26 |
| 3 | Vlastní řešení | 27 |
| 3.1 | Popis řešení | 27 |
| 3.2 | Vývojový diagram..... | 28 |
| 3.3 | Specifikace propojení..... | 30 |
| 3.4 | Návrh podprogramu | 31 |
| 3.5 | Testování | 31 |
| 4 | Závěr..... | 33 |

SEZNAM OBRÁZKŮ

| | |
|---|----|
| Obr. 2.1: Konektory IEEE1394-1995: a) 6-ti pinový, b) 4 pinový..... | 14 |
| Obr. 2.2: Vrstvový model rozhraní IEEE1394. Převzato z [7]..... | 16 |
| Obr. 2.3: Dekódování hodinového signálu. Převzato z [11]..... | 17 |
| Obr. 2.4: Uspořádání izochronních a asynchronních paketů v základním rámci... | 19 |
| Obr. 2.5: Princip časového multiplexu..... | 24 |
| Obr. 3.1: Vývojový diagram | 28 |

SEZNAM TABULEK

| | |
|--|----|
| Tab. 3.1: Vzájemné propojení modulů pomocí sběrnice TDM..... | 30 |
| Tab. 3.2: Vzájemné propojení modulů pomocí sběrnice I ² S | 30 |

1 Úvod

Úkolem bakalářské práce je navrhnout spojení signálového procesoru Freescale řady DSP56300 se sběrnici TDM zvukového rozhraní DICE II iKit německé společnosti DFM Audio. Rozhraní využívá sériovou sběrnici IEEE1394 FireWire. Cílem je přenášet z hostitelského počítače zvukový signál. Tento signál bude přijímat rozhraní DICE II, které bude zvuková data převádět na sběrnici TDM. K této sběrnici bude připojen samotný signálový procesor, jenž je určen na zpracování zvuku v reálném čase.

2 Teoretický popis

V první části je popsána problematika signálových procesorů. Dále se tato část věnuje řadě signálových procesorů DSP56300 americké firmy Freescale, a to včetně popisu vývojového modulu určeného pro vývoj audio aplikací. V druhé části jsou rozebrány základní vlastnosti sběrnice IEEE1394 FireWire společně s popisem integrovaného obvodu DICE II a vývojového modulu DICE II iKit. Následuje popis sběrnice TDM, rozhraní I²S a popis systému AudifiedDSP Solution.

2.1 Signálové procesory

Pojmem signálový procesor je myšlen mikroprocesor nebo mikroprocesorový systém, který je přizpůsoben pro rychlé a „pružné“ zpracování signálů v reálném čase. Signálový procesor slouží pro realizaci celé řady algoritmů číslicového zpracování signálů jako je například filtrace, spektrální analýza, adaptivní zpracování signálů, modulace, zpracování řeči, statických i pohyblivých obrazů a jejich následné kódování, rozpoznávání objektů v obraze, kryptování, komprimace apod. To znamená, že prostřednictvím vytvořeného programu lze kombinovat provedení různých algoritmů a tím realizovat komplikované a časově náročné výpočty. K tomuto účelu je nutné přizpůsobit architekturu signálového procesoru a zařadit jednotlivé funkční bloky, které nejsou běžně používané v mikroprocesorových obvodech. Pro signálové procesory není vhodná von Neumannova architektura, jejímž charakteristickým rysem jsou sdílené datové a programové sběrnice (datová, adresovací a řídicí).

Signálové procesory můžeme charakterizovat těmito následujícími znaky:

- oddělená sběrnice paměti programu a paměti dat, přičemž datové sběrnice mohou být znásobeny,

- zřetězené zpracování instrukcí, tzv. pipelining,
- kromě aritmeticko-logické jednotky ALU je použita i technická (hardwarová) násobička,
- použití vícekanálového kontroléru přímého přístupu do paměti – Direct Memory Access – DMA,
- řízení vstupních a výstupních jednotek je odděleno od řízení jádra signálového procesoru,
- použití omezeného instrukčního souboru RISC (Reduced Instruction Set Computer). Tímto řešením se sníží doba potřebná k provedení jedné instrukce na jeden až dva instrukční cykly.

Tyto výše uvedené vlastnosti splňuje architektura známá pod názvem *harvardská architektura*. V případě znásobení počtu datových sběrnic hovoříme například o dvojité nebo trojitě *harvardské architektuře*, či o *super harvard architektuře*.

Jednotlivé typy signálových procesorů různých výrobců se liší výpočetní rychlostí, velikostí adresovatelného paměťového prostoru, rozměrem násobičky, délkou instrukčního souboru, podporou pro výpočty s pohyblivou řádovou čárkou, periferiemi pro rozličné komunikační sběrnice, řadičem externí paměti apod.

Mezi renomované výrobce signálových procesorů patří společnosti ANALOG DEVICES, TEXAS INSTRUMENTS a MOTOROLA. Divize společnosti MOTOROLA zabývající se mikroelektronikou dnes používá značku FREESCALE.

Velice zajímavou alternativou k těmto tradičním výrobcům signálových procesorů, kteří vyrábějí pevně zapojené technické prostředky (hardware), jsou společnosti XILINX, LATTICE a ALTERA se svou nabídkou rekonfigurovatelných

hradlových polí FPGA (Field-Programmable Gate Array). Tato pole umožňují svou strukturu přizpůsobit potřebám konkrétní aplikace. Například k obvodům řady Virtex 5 společnosti XILINX jsou dodávána „předprogramovaná“ DSP jádra nabízející obrovský výkon až 520 GMACS (Giga Multiply and ACcumulate per Second – miliard operací násob a sečti za sekundu) nebo 190 GFLOPS (Giga Floating point Operation Per Second – miliard operací v plovoucí řádové čárce za sekundu). V jednom fyzickém obvodu hradlového pole FPGA může být takovýchto DSP jader několik desítek. Více informací lze nalézt na webu společnosti Xilinx v [3].

Naopak v minulosti nebyly signálové procesory příliš vhodné pro řízení například technologických procesů, kde mají přednost rozhodovací procesy oproti složitým výpočtům.

Dnes pro aplikace, ve kterých je vyžadováno rozhodování i výpočetní kapacita, jsou vyráběny takzvané signálové kontrolery – Digital Signal Controller, DSC. Ty v sobě spojují přednosti klasických jednočipových mikropočítačů a signálových procesorů. Zároveň kombinují typ instrukčního souboru typu CISC (Complete Instruction Set Computer) a RISC (Reduced Instruction Set Computer), kdy řídicí instrukce jsou realizovány mikroprogramem (CISC) a instrukce orientované na výpočty jsou redukovány (RISC). Na jednom čipu tak můžeme nalézt programovou a operační paměť, přizpůsobené jádro pro výpočty se saturační aritmetikou, technickou (hardwarovou) násobičku, A/D a D/A převodníky, periférie sloužící pro komunikaci apod. Oproti klasickým signálovým procesorům mají především menší výpočetní kapacitu. Známí výrobci signálových kontrolérů jsou společnosti Microchip, Atmel, Renesas, Texas Instruments a Freescale.

2.1.1 Signálové procesory Freescale řady DSP56300

Rodina procesorů s pevnou řádovou čárkou americké firmy Freescale DSP56300 vychází z legendární a pravděpodobně „nesmrtelné“ řady Motorola/Freescale DPS56000. První signálový procesor této řady byl dodán na trh již v roce 1983. Její „nesmrtelnost“, podobně jako u mikrořadiče 8051, je dána především její celkovou rozšířeností mezi uživateli, odladěností technických prostředků (hardwaru), širokou základnou již existujících programů, podporou tradičních vývojových prostředků a také možná neochotou uživatelů učit se novější a také podstatně složitější procesory.

Procesory vycházející z řady DSP56K používá ve svých zařízeních řada renomovaných společností v oblasti zpracování zvuku: Digidesign v produktech ProTOOLS (DSP56xxx), TC Electronic v produktech TC PowerCORE (DSP56362), Yamaha v některých digitálních mixážních pultech, DBX v digitálních managementech reprosoustav a další společnosti.

Z výše popsaných důvodů byla vybrána právě rodina DSP56300 obsahující jedno i dvoujádrové signálové procesory. Je určena pro aplikace v oblasti bezdrátových komunikačních sítí, numerických výpočtů a především pro zpracování zvuku. Signálové procesory, které jsou přizpůsobeny ke zpracování zvuku v reálném čase nesou obchodní název SYMPHONY.

2.1.1.1 Popis vlastností signálových procesorů řady DSP56300

Rychlost: tyto signálové procesory jsou určeny pro středně výkonné aplikace zpracování signálů s pevnou řádovou čárkou. Maximální udávaná rychlost je 181 milionu operací za sekundu – Million Operations per Second (MIPS).

Přesnost: šířka datové sběrnice je 24 bitů, což nám poskytuje dynamický rozsah 144 dB.

Paralelní zpracování: každá exekuční jednotka, paměť, či periferie pracuje nezávisle na ostatních jednotkách. Aritmeticko-logická jednotka ALU, generátor adres AGU a programový kontroler pracují současně tak, že tyto následně uvedené operace mohou být provedeny během jednoho instrukčního cyklu:

- dva přesuny dat (každý ovšem musí být z jiné datové operační paměti),
- aktualizace dvou ukazatelů paměti pracující v lineární, bitově reverzované nebo modulo adresovací aritmetice,
- 54-bitový součet,
- násobení 24-bit x 24-bit,
- pre-fetch následující instrukce.

Flexibilita: zatímco mnoho jiných DSP potřebuje externí obvody zajišťující propojení s periferiemi, řada DSP56300 nabízí přímo na čipu paralelní i sériová rozhraní. Například řadič externí paměti, sériové rozhraní pro přenos zvuku ESSI, sériové rozhraní SHI pro přenos obecných dat ve formátech SPI a I²C a další.

Sofistikované ladění pomocí emulátoru na čipu (On-Chip Emulation, OnCE): obvody emulátoru na čipu poskytují jednoduchý, levný a rychlý přístup na vnitřní registry, paměťový prostor a periferie signálového procesoru bez nutnosti obsazovat vnitřní sběrnice a vstupně-výstupní brány procesoru. Toto umožňuje ladění přímo v cílovém systému. Emulátor na čipu má vlastní řadič, jenž může být spojen s hostitelským počítačem sériovým rozhraním RS232 i paralelním IEEE1284.

Neviditelné zřetězené zpracování instrukcí (neviditelná pipeline): procesor má sedmistupňový rozklad instrukčního slova. Jednotlivé sekce, tzv. stage instrukční pipeline jsou pro programátora transparentní. To znamená, že při psaní kódu se jimi nemusí zabývat.

Jako každý moderní procesorový obvod obsahuje i řada DSP56300 programovatelný generátor hodin a fázového závěsu. Fázový závěs – Phase Locked Loop dovoluje procesoru pracovat na vysoké vnitřní frekvenci odvozené z nízkofrekvenčního hodinového vstupu. Použitím oscilátoru s nižší frekvencí (řádově jsou to jednotky MHz) je možné dosáhnout nižšího elektromagnetického rušení celého systému.

Nízký příkon: procesor je navržen v technologii CMOS (Complementary Metal Oxid Semiconductor). Tím je podstatně snížen příkon a s tím spojené nároky na chlazení. Procesor má také dva nízkopříkonové módy Stop a Wait. V módu Wait je vypnuto jádro, zatímco periferie a kontroler přerušují práci. V módu Stop jsou všechny jednotky vypnuty. Procesor lze zpět do chodu uvést externím přerušením nebo resetem.

Veškerý popis signálových procesorů řady DSP56300 lze nalézt v [4] a případně v [5].

2.1.2 Popis vývojového modulu Freescale DSP56307EVM

Vývojový modul DSP56307EVM slouží nejen k vývoji a testování DSP aplikací zaměřených na audio, ale také například pro aplikace směřující do oblasti telekomunikací. Všechny součásti modulu jsou situovány na jedné desce tištěných spojů. Patří mezi ně:

- signálový procesor Motorola / Freescale DSP56307,
- příkazový konvertor (Command Converter) pro rozhraní OnCE a JTAG na portu RS232,
- 64K x 24 - bit statická paměť RWM RAM určena pro rozšíření operační paměti signálového procesoru,
- 128K x 24 - bit Flash paměť programového kódu - signálový procesor totiž žádnou paměť programu neobsahuje,
- zvukový kodek Crystal Semiconductor CS4218 obsahující dvoukanálové A/D a D/A převodníky,
- zvukový linkový vstup,
- zvukový linkový a sluchátkový výstup,
- vyvedení periférií procesoru na pinovou lištu.

2.2 Rozhraní IEEE1394 – FireWire

V této kapitole je popsáno rozhraní IEEE1394. Nejdříve se kapitola zabývá historií a popisem jednotlivých standardů tohoto rozhraní. Následuje popis topologie, vrstvého modelu a jednotlivých technických komponent rozhraní. Jsou zde také vysvětleny principy přenosu dat. Nakonec se kapitola zabývá konkrétním řešením použitým v tomto projektu.

2.2.1 Historie, jednotlivé standardy

Tento standard vyvinula společnost Apple pod názvem FireWire již v roce 1986 a implementovala ho do svých počítačů Macintosh a PowerMac jako levnou alternativu k paralelnímu rozhraní SCSI – Small Computer System Interface.

V roce 1994 byla založena organizace 1394 Trade Association. Ta sdružuje společnosti využívající ve svých produktech rozhraní IEEE1394 a provádějící společně s organizací IEC standardizaci vyšších vrstev a protokolů IEEE1394.

V roce 1995 bylo rozhraní FireWire zavedeno organizací IEEE jako průmyslový standard označovaný IEEE1394-1995. V témže roce společnost SONY poprvé využila toto rozhraní pod obchodním označením iLINK či Digital Link ve svých zařízeních spotřební i profesionální audiovizuální techniky.

Cílem bylo vytvořit sběrnici s takovými vlastnostmi, která by se nejen rychlostně vyrovnala paralelní sběrnici SCSI, ale jenž by byla výrazně levnější a umožňovala snadněji připojovat zařízení. Proto bylo zvoleno nikoliv rozhraní paralelní, ale sériové.

Původní standard IEEE1394-1995, také někdy označovaný jako 1394a, definuje tři možné rychlosti přenosu: 98,404 Mb/s, 196,608 Mb/s a 393,216 Mb/s, které se v literatuře zaokrouhlují na 100 Mb/s, 200 Mb/s a 400 Mb/s. Ve standardu jsou tyto

rychlosti označeny jako tzv. módy S100, S200 a S400. Přenos v tomto prvním standardu je poloduplexní. Důležitou vlastností je dnes podpora takzvané funkce HotSwap, jenž umožňuje připojení a odpojení zařízení v libovolnou dobu.

Specifikace přijatá v roce 2002 označovaná jako 1394b umožňuje komunikovat rychlostí až 800 Mbps v módu označeném S800. Přenos je plně duplexní a tudíž vyžaduje novou kabeláž a devítipinové konektory. To může být také jeden z důvodů, proč je v současné době na trhu jen velmi málo přístrojů využívajících tuto specifikaci.

Existuje ještě mód označovaný S1600 dovolující přenášet data rychlostí 1,6 Gbps. Dokonce, v době psaní této práce, provádí organizace 1394Trade Association beta testování módu S3200 umožňující přenosovou rychlost 3,2 Gbps.

Neméně zajímavou je specifikace 1394c přijatá v roce 2007, která umožňuje přenos v módu S800 přes kroucené kabely kategorie 5 (Cat5). Dovoluje také mixování Ethernetového a FireWire provozu na jedné fyzické síti.

Protože se v této práci využívá pouze standard IEEE1394-1995, budeme tento standard označovat v následujícím textu jako IEEE1394, nebo FireWire. Rovněž následně uváděný popis se týká pouze tohoto standardu a v novějších verzích standardu se může lišit.

2.2.2 Topologie sběrnice

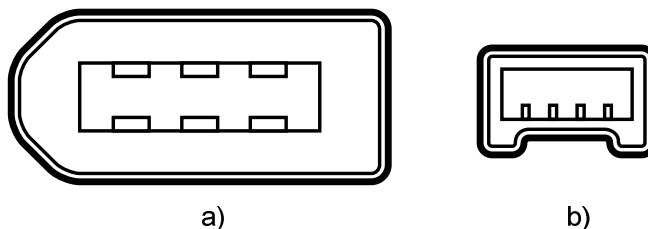
Síť kabelů sběrnice FireWire je budována na základě jednoduchých pravidel. Všechna zařízení jsou propojena kabely nebo optickými vlákny s použitím libovolného typu topologie – stromové, řetězové nebo hvězdicové. Zařízení je nazýváno uzlem (node). Jakýkoliv uzel může být kořenový. Tento kořenový uzel může být zvolen automaticky systémem, anebo manuálně uživatelem. Koncový uzel je v terminologii rozhraní nazýván list. Každé zařízení plné velikosti má obvykle dva nebo tři rovnocenné konektory. Některá kompaktní zařízení

obsahují pouze jeden konektor, což omezuje výběr umístění daného zařízení. Standard také povoluje až 27 konektorů na jednom zařízení, které bude fungovat jako koncentrátor kabelů.

Zařízení lze připojit mnoha povolenými způsoby, ale platí následující omezení:

- maximálně 63 uzlů v jedné síti,
- maximálně 1023 sítí, které bude možné v budoucnosti propojit pomocí FireWire mostů nebo směrovačů,
- délka jednoho segmentu kabelu nesmí přesáhnout 5 m,
- mezi libovolným párem uzlů nesmí být více než 16 segmentů kabelu,
- celková délka kabelů nesmí být větší než 72 m (při použití kvalitnějších kabelů je možné toto omezení zmírnit),
- topologie nesmí obsahovat smyčky, ačkoliv v příštích verzích standardu se plánuje automatická eliminace smyček ve vadných konfiguracích.

Kabel se skládá ze šesti vodičů, které jsou obaleny společným stíněním, a z konektorů stejného typu se šesti kontakty na obou koncích. Kabel je na obou stranách vždy zakončen konektorem typu vidlice (samec). Nákres konektorů je uveden na obrázku 2.1. Dvě kroucené, samostatně stíněné dvojlinky slouží k



Obr. 2.1: Konektory IEEE1394-1995: a) 6-ti pinový, b) 4 pinový

přenosu signálů. Zařízení je napájeno dvěma vodiči s rozsahem napájecích napětí od 8 do 33 V proti zemi, s odběrem dosahujícím až 1,5 A. Standard předepisuje

galvanické oddělení zařízení pomocí transformátorů (oddělovací napětí až do 500 V), nebo kondenzátorů určených pro levná zařízení, s oddělovacím napětím až do 60 V vzhledem ke společnému vodiči.

Některá domácí zařízení mají pouze jeden konektor se čtyřmi kontakty nebo menší konektor, který obsahuje pouze signální obvody. Tato zařízení jsou připojena ke sběrnici pomocí speciálního přizpůsobovacího kabelu pouze jako koncová zařízení, ačkoliv je možné použít speciální rozdělovací adaptéry. Dvojice signálních vodičů v kabelech FireWire jsou propojeny křížem, protože všechny porty mají stejná práva.

Libovolné zařízení obsahující více než jeden konektor funguje jako opakovač. Signál detekovaný na vstupu přijímače libovolného konektoru je znovu synchronizován podle interního hodinového generátoru a předává se na vysílače zbylých konektorů. Tímto způsobem jsou signály z každého zařízení doručovány všem ostatním a odstraňuje se tak jitter signálu, který může způsobit ztrátu synchronizace.

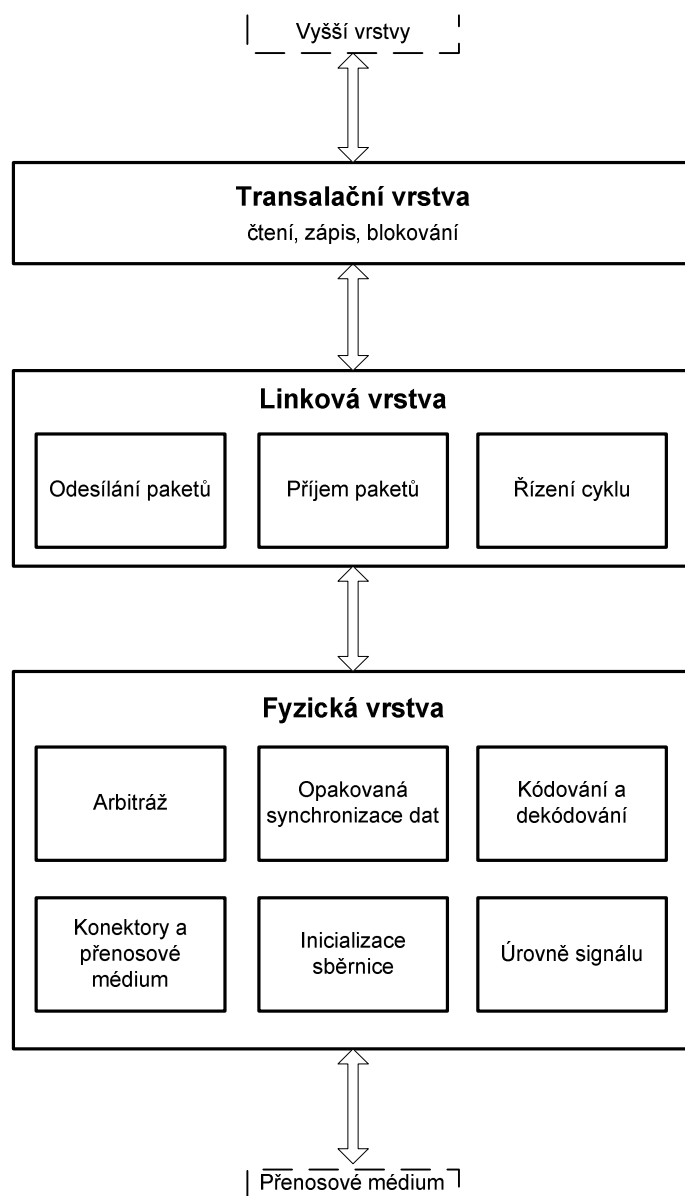
2.2.3 Vrstvy rozhraní IEEE1394

Standard IEEE1394 definuje pouze fyzickou, linkovou a translační vrstvu a jejich řízení. Vrstvový model je zobrazen na obr. 2.2. Standardizací vrstevných modelů aplikačního rozhraní pro konkrétní aplikace se zabývá 1394Trade Association. Tato sběrnice je navržena zejména pro aplikace, jakými jsou přenosy zvuku a videa, řízení audiovizuální elektroniky, tisk a scanování či přenášení velkých objemů dat.

2.2.3.1 Fyzická vrstva

Fyzická vrstva vysílá a přijímá signály sběrnice. Poskytuje inicializaci a arbitráž na základě předpokladu, že v každý daný okamžik může být aktivní

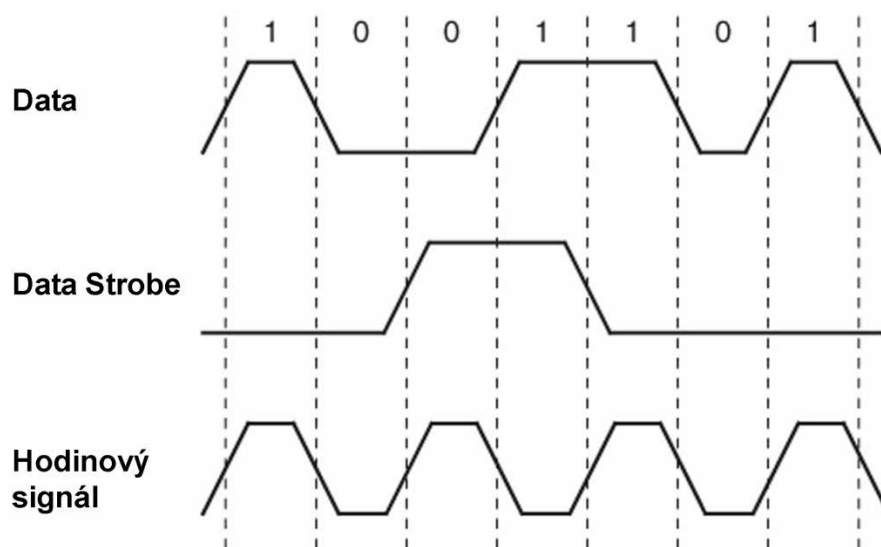
pouze jediný vysílač. Vrstva doručuje datové proudy a úrovně signálu sériové sběrnice na vyšší, linkovou vrstvu. Mezi těmito dvěma vrstvami může existovat galvanické oddělení, kdy jsou mikročipy fyzické vrstvy napájeny ze sběrnice.



Obr. 2.2: Vrstvový model rozhraní IEE1394. Převzato z [7].

Data jsou organizována do 32 bitových slov, tzv. quadletů. Quadlety jsou kódovány pomocí linkového kódu NRZ (Non-Return Zero) a DS (Data Strobe). Hodinový signál se nepřenáší odděleným kanálem, ale je na přijímací straně

obnoven právě ze signálu Data a Data Strobe pomocí operace Exclusive-OR (exkluzivní disjunkce či součet modulo dvěma), a to bez nutnosti použití fázového závěsu PLL. Dekódování hodinového signálu je naznačeno na obrázku 2.3.



Obr. 2.3: Dekódování hodinového signálu. Převzato z [11].

2.2.3.2 Linková vrstva

Linková vrstva tvoří rámce z dat fyzické vrstvy a provádí zpětný převod. Uzly ji používají k výměně datagramů s potvrzeními. Vrstva odpovídá za přenos rámců a řízení izochronního přenosu.

2.2.3.3 Translační vrstva

Translační vrstva převádí rámce na data odesílaná aplikacím a naopak. Implementuje protokol žádost-odpověď, která splňuje standard ISO/IEC 13213:1994 (ANSI/IEEE 1212, vydání 1994) týkající se architektury řídicích a stavových registrů mikropočítačových sběrnic (čtení, zápis, blokování). To usnadňuje propojení sběrnice 1394 se standardními paralelními sběrnicemi.

2.2.4 Adresace zařízení

Každý datový rámec obsahuje 64 bitovou adresu, která se skládá z:

- 10 bitů pro síťovou adresu,
- 6 bitů pro adresu konkrétního uzlu v dané síti,
- 48 bitů určených pro data nebo řízení režimu.

Oproti konkurenční sběrnici USB má FireWire jednu podstatnou výhodu: lze totiž adresovat paměť a registry v režimu DMA – Direct Memory Access. Tento přístup do paměti značně šetří prostředky procesorového jádra, neboť přenos je řízen DMA kontrolérem.

2.2.5 Přenos dat přes rozhraní FireWire

Rozhraní rozlišuje dva typy přenosu:

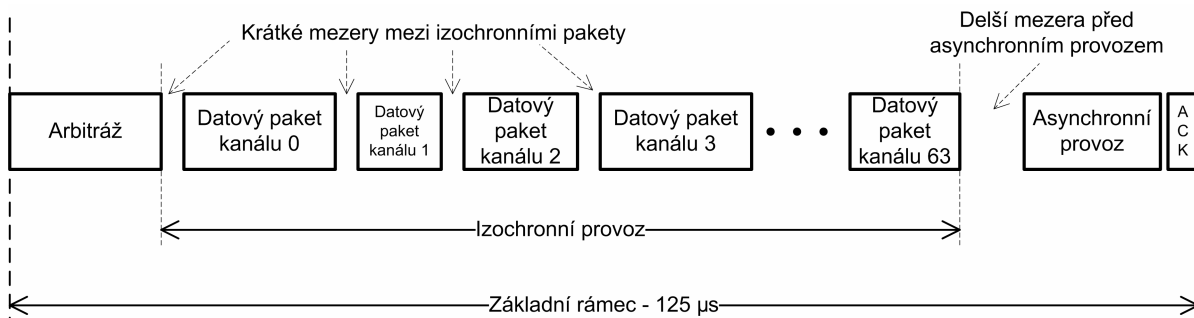
- **asynchronní**, jenž slouží pro přenosy malých objemů dat, které mají garantované doručení. Jsou to například data určená pro konfigurování sběrnice, nastavení přenosu, potvrzování a hromadný přenos dat,
- **izochronní přenosy**, které slouží pro přenos dat v reálném čase. Tyto přenosy poskytují garantovanou šířku pásma a dobu zpoždění. To je nutné pro přenos videa a zvuku v reálném čase.

Data jsou odesílána v rámcích. Strukturu rámce popisuje obr. 2.4. Na začátku každého rámce se odesílají bity stavu arbitráže.

Asynchronní zprávy se odesílají mezi dvěma zařízeními. Iniciátor odešle požadavek cílovému zařízení, které na něj zareaguje a vydá buď kladné potvrzení příjmu ACK (acknowledgement), nebo v případě, kdy byla zjištěna chyba dat, negativní potvrzení NACK (negative acknowledgement). Smysluplná odpověď na

požadavek se odešle zpět analogickým způsobem, přijímač ji tedy musí potvrdit. Není-li přijat žádný signál ACK, přenos se několikrát opakuje, dokud je úspěšný nebo je zaznamenána chyba.

Izochronní přenosy. Do sítě lze uspořádat až 64 izochronních kanálů a každý rámeček izochronního přenosu kromě vlastních dat nese číslo kanálu. Integritu dat zabezpečuje kontrolní součet CRC. Všechna zařízení sběrnice naslouchají izochronním přenosům na všech kanálech, ale přijímají pouze data z kanálů, které je zajímají. To je zajištěno konfigurací, kdy je danému zařízení sděleno, jaký kanál s určitými vlastnostmi má přidělen.



Obr. 2.4: Uspořádání izochronních a asynchronních paketů v základním rámci

2.2.5.1 Dynamická rekonfigurace – hot swap

Nově připojené zařízení ke sběrnici, které je vždy koncové (list), vyšle krátký asynchronní rámeček s vlastní identifikací a požádá kořenový uzel o přidělení adresy. Po přijetí tohoto rámce všechna již připojená zařízení zaznamenají připojení nového zařízení a provedou proceduru resetu sběrnice. V případě, že chce uzel zahájit izochronní přenos, žádá uzel spravující izochronní pásmo (většinou je to kořenový uzel) o přidělení šířky pásma. V této fázi je tedy určena struktura sběrnice. Uzel dostane přidělenou adresu a uskuteční se proces arbitráže týkající se výběru rolí vedoucího zařízení cyklu, řadiče izochronních prostředků a řadiče sběrnice. Sekundu po resetu jsou všechny uzly k dispozici pro další

použití a každý uzel má kompletní informace o všech ostatních a jejich možnostech. Všechny uzly také detekují, když je jiné zařízení odpojeno od sběrnice.

Rozeznáváme dva druhy resetů:

- **Dlouhý reset** je proveden v případě, kdy se změní topologie sběrnice při odpojení uzlu nebo kořenového uzlu. V takovém případě dojde k výpadku toku dat. Nejprve je zvolen kořenový uzel, který odešle ostatním uzlům svoji identifikaci, tzv. tree identification. Kořenový uzel pak ve většině případů převezme úlohu synchronizačního uzlu cycle master.
- **Krátký reset** je proveden, pokud je odpojen list (koncový uzel). V takovémto případě nedochází k výpadku toku dat.

2.2.6 Komponenty rozhraní IEEE1394

Pro přenos dat pomocí izochronních přenosů musí být všechny uzly synchronizovány z jednoho zařízení. Takovýto uzel se nazývá synchronizační uzel, někdy také označovaný jako vedoucí cyklu - **cycle master** a ve většině případů jím bývá opět kořenový uzel. Každých 125 μ s rozhlašuje cycle master takzvané **základní rámce přenosu (basic cycle)**. V každém z těchto rámců cycle master odešle hodnotu 32-bitového čítače času všem uzlům, které jsou slučitelné s izochronní výměnou. Čítač je inkrementován s kmitočtem 24 576 MHz.

V každém cyklu je nejdříve odeslán jeden paket pro každý aktivní izochronní kanál a potom sběrnice po určitou dobu zůstane v nečinném stavu. Následuje část cyklu přidělená k přenosu izochronních paketů. Každé zařízení, které požaduje asynchronní přenos, odešle v této části cyklu jeden paket. Zařízení, která nemají žádné pakety k přenosu, tedy neobsazují šířku pásma sběrnice.

Řadič izochronních prostředků distribuuje čísla kanálů a přiděluje šířku pásma sběrnice izochronním přenosům. Řadič je vybírán arbitrážně ze zařízení, která

podporují izochronní výměnu. Zařízení, která vyžadují izochronní přenos, požádají po resetu o potřebnou šířku pásma. Šířka pásma se měří ve speciálních alokačních jednotkách, kterých je 6144 v cyklu délky 125 μ s. Základní alokační jednotka má trvání 20,3 ns, což odpovídá času přenosu jednoho quadletu (32bitového slova) při rychlosti 1 600 Mb/s. Díky této metodě měření šířky pásma mohou zařízení s různou rychlostí pracovat na sběrnici souběžně. V jednom cyklu lze odesílat sousední pakety s odlišnými rychlostmi. Alespoň 25 μ s cyklu je vyhrazeno pro asynchronní provoz, takže celková distribuovaná šířka pásma izochronního provozu je 4 915 jednotek. Není-li požadovaná šířka pásma k dispozici, řadič požadavek zařízení odmítne a nepřidělí mu číslo kanálu. Zařízení, jenž nedostalo přidělen kanál, svůj požadavek pravidelně opakuje. Když uzel izochronní výměnu přestane potřebovat, musí uvolnit šířku pásma a číslo kanálu, které dostal přiděleny, aby tyto prostředky mohla převzít jiná zařízení.

2.2.7 Použité technické řešení sběrnice FireWire

2.2.7.1 Obvod DICE II

Pro propojení se signálovým procesorem je použit integrovaný obvod DICE II kanadské společnosti TC Applied Technologies, dříve Wavefront Semiconductor.

Obvod DICE II je určen především pro profesionální audiovizuální zařízení požadující přenos audiovizuálních dat v reálném čase přes rozhraní IEEE1394 Firewire. Integruje v sobě celou řadu funkcí tak, aby nemuselo být použito dalších externích integrovaných obvodů pro zajištění podpůrných a doplňkových funkcí. Jeho komponenty jsou:

- **IEEE1394 LLC - Link Layer Controller, kontroler linkové vrstvy,**
- **32-bitové jádro mikrokontroléru ARM7, jenž je určeno pro řízení a kontrolu všech funkcí,**

- **rozhraní I²C, UART a GPIO,**
- **IEEE1394 Audio Video System** sloužící pro přenos videa společně se zvukem,
- **DICE - Digital Interface Communication Engine,** modul ve kterém jsou integrována zvuková rozhraní a jejich řízení a přepojování.

Obvod v sobě implementuje linkovou a translační vrstvu rozhraní IEEE1394. Linková vrstva je implementována technickým (hardwarovým) kontrolerem LLC (Link Layer Contoller). Translační vrstva je implementována pomocí firmwaru v mikrořadiči ARM7. Fyzická vrstva musí být zajištěna pomocí dalšího integrovaného obvodu, a to z důvodu nutnosti jejich galvanického oddělení.

Pro univerzální nasazení je obvod vybaven rozličnými rozhraními. Možný je samostatný nebo současný přenos videa a zvuku. Přenos videa je podporován ve formátech DV, MPEG2 a RAW Isoc. Pro zvuk jsou zde k dispozici všechny standardní rozhraní: I²S, AES/EBU, ADAT, TDIF a TDM. Po rozhraní FireWire je obvod schopen přenášet až 96 zvukových kanálů při vzorkovacím kmitočtu 96 kHz v 24-bitové hloubce.

Obvod také řeší synchronizaci a generování hodinového signálu nejen pro rozhraní FireWire, ale i pro všechny vstupně – výstupní rozhraní. Proto jsou zde k dispozici výstupy hodinového signálu (Bit Clock) a rámcové synchronizace jednotlivých zvukových rozhraní (Frame Sync clock).

2.2.7.2 Vývojový modul DFM Audio DICE II iKit

Pro potřeby vývoje je obvod DICE II k dispozici se stejnojmenným vývojovým modulem německé společnosti DFM Audio. Fyzická vrstva je zde realizována pomocí známého obvodu Texas Instruments TSB41AB2. Jelikož je vývojový modul zaměřen na oblast zvukových aplikací, nejsou zde k dispozici video rozhraní obvodu DICE. Kromě tohoto omezení nabízí vývojový modul všechny možnosti

konektivity jako integrovaný obvod DICE: I²C, UART, GPIO, I²S, AES/EBU, ADAT, TDIF a TDM. Modul také obsahuje vstup pro signál synchronizačního kódu WORLDCLOCK. Ten slouží pro synchronizaci interních hodinových signálů dvou a více zařízení.

Vývojový modul rovněž obsahuje veškeré ovladače a řídicí programové vybavení potřebné pro hostitelský počítač. Celé řešení je uzavřené, kromě uživatelsky nastavitelných parametrů nelze nic měnit. Na druhou stranu má toto řešení výhodu v tom, že se jedná o řešení odzkoušené a plně funkční. A to nejen na straně technických prostředků, ale i na straně prostředků programových.

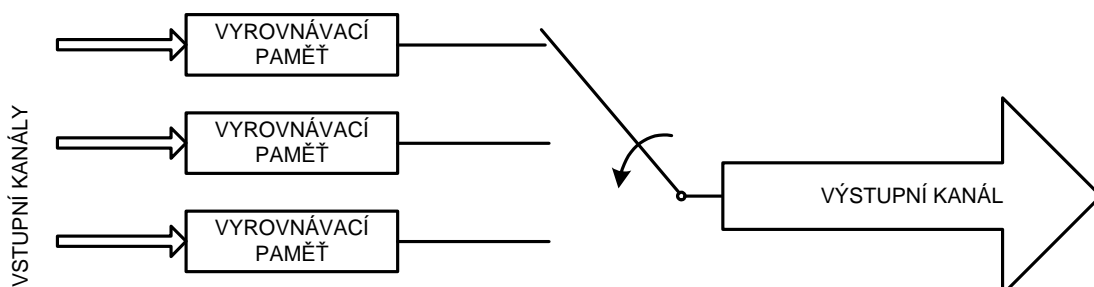
2.3 Sběrnice s technikou TDM

Sběrnice využívá jednu z metod multiplexování. Obecně jde o proces, při kterém je několik vstupních, na sobě nezávislých signálů sdruženo do jediného výstupního signálu. Takto sloučený signál se následně využívá k dalšímu přenosu komunikačním kanálem.

K používaným metodám multiplexování patří metoda časového, kmitočtového nebo kódového multiplexu.

Technika TDM (z anglického Time Division Multiplex) je technikou časově rozděleného skládání několika vstupních signálů. Několik „pomalých“ vstupních datových proudů se v přesně stanoveném pořadí a v časovém sledu skládá (sdružuje) do jednoho výstupního vysokorychlostního datového proudu. Tento princip je znázorněn na obr. 2.5. V tomto sdruženém signálu je z časového hlediska každému vstupnímu signálu přiřazen krátký časový okamžik, tzv. timeslot, během kterého je vzorek jednoho ze vstupních signálů přenášen. Zjednodušeně se dá říci, že při x vstupních signálech se stejnými přenosovými rychlostmi musí být výstupní rychlost minimálně x násobná.

Další dvě používané metody multiplexování jsou označovány zkratkami FDM (Frequency Division Multiplex) a CMD (Code Division Multiplex), to znamená kmitočtový a kódový multiplex.



Obr. 2.5: Princip časového multiplexu

Všechny tři výše uvedené metody multiplexování popisují pouze obecný princip sdílení přenosového kanálu. Konkrétní řešení jsou vždy závislá na aplikacích, ve kterých budou nasazeny.

2.3.1 Specifikace sběrnice TDM obvodu DICE II použitého při řešení

Při řešení úlohy je využíván obvod DICE II. V tomto obvodu je sběrnice TDM realizována ze tří linek s následující konfigurací:

- linka hodinového signálu,
- linka rámcové synchronizace; signál rámcové synchronizace má dobu trvání jedné bitové periody hodinového signálu a je vysílán jednu bitovou periodu před prvním užitečným datovým bitem,
- datová linka s osmi 32-bitovými timesloty, kde 24-bitová zvuková data jsou zarovnána vlevo a jsou přenášena od nejvýznamnějšího bitu (MSB – Most Significant Bit) po nejméně významný bit (LSB – Least Significant Bit).

2.4 Rozhraní I²S

Rozhraní označované jako Inter-IC Sound, Integrated Interchip Sound, nejčastěji však jako I²S, vyvinula v roce 1986 firma Philips. Je určeno pro vzájemné propojování zvukových A/D a D/A převodníků, signálových procesorů, digitálních filtrů, převodníků vzorkovacích kmitočtů a dalších obvodů. Tím, že rozhraní I²S odděluje datové a hodinové signály, lze dosáhnout velmi nízkého jitteru. Ten zpravidla způsobuje potíže ve snížení celkového dynamického rozsahu, snížení odstupu užitečného signálu od šumu, nebo může způsobit dokonce až výpadky přenášeného signálu. Rozhraní I²S je obdobou rozhraní TDM použitého v DICE a skládá se tudíž obdobně z následujících tří linek:

- linky hodinového signálu – Bit Clock; generuje jej master zařízení,
- linky rámcové synchronizace označované jako Word Clock, Word Select, nebo LRCK (Left Right Clock), generuje jej také master zařízení,
- datové linky s časovým dělením dvou kanálů.

Zvuková data se vysílají vždy od nejvýznamnějšího bitu (MSB – Most Significant Bit) po nejméně významný bit (LSB – Least Significant Bit), se zarovnáním užitečných dat vlevo. Výhodou tohoto řešení je skutečnost, že zařízení mohou pracovat s různou bitovou hloubkou.

Jeden hodinový impulz na lince hodinového signálu Bit Clock odpovídá jednomu diskrétnímu bitu na lince datové. V případě stereofonního přenosu je kmitočet hodinového signálu součinem vzorkovacího kmitočtu, bitové délky jednoho slova (resp. bitové hloubky) a násobku dvou (stereofonní kanál). Při monofonním přenosu jsou užitečná data přenášena pouze v levém kanále. Protože však data musí být současně přenášena i v kanále pravém, jsou zde přenášena data s nulovou hodnotou.

2.5 Systém AudifiedDSP Solution

AudifiedDSP Solution je systém, který je vyvíjen na Ústavu telekomunikací VUT Brno. Tento systém slouží pro vývoj a správu algoritmů číslicového zpracování zvukových signálů v reálném čase implementovaných na platformě signálových procesorů Freescale řady DSP563xx a pro řízení parametrů těchto algoritmů v reálném čase.

Systém se skládá ze dvou částí – části signálového procesoru a části řídicího procesu. V části signálového procesoru probíhá samotné zpracování zvukového signálu. Je zde zaveden speciální firmware, který spravuje tzv. zásuvné (plug-in) moduly. Zásuvný modul je v tomto systému krátký programový kód, jenž obsahuje algoritmus pro zpracování zvuku. Část řídicího procesu běží na hostitelském počítači. Ten umožňuje ovládání parametrů zásuvných (plug-in) modulů v reálném čase.

3 Vlastní řešení

3.1 Popis řešení

Celé řešení zachycuje blokové schéma uvedené v příloze A. Modul DFM DICE II je připojen ke sběrnici IEEE1394 – FireWire, odkud přijímá určené datové proudy. Tyto proudy nesou vícekanálová zvuková a řídicí data, která zpracovává podle konvencí sběrnice IEEE1394. Výstupem zvukových dat je sériová sběrnice s časovým dělením (Time Division Multiplex – TDM). Jeden kanál TDM sběrnice je schopen přenést až 8 zvukových kanálů. Obvod DICE II také zajišťuje synchronizaci odvozenou ze sběrnice IEEE1394. Proto v systému zastává roli „master clock“. Bude tedy generovat pro sběrnici TDM hodinové signály. Z tohoto důvodu je doplněn výstupy rámcové synchronizace (Frame Sync) hodinového signálu (Bit Clock).

Výstupní kanál TDM sběrnice je přiveden na vstup periferie signálového procesoru „Enhanced Synchronous Serial Interface“, dále jen ESSI. Na vstupy ESSI jsou rovněž zavedeny signály rámcové synchronizace a hodinového signálu. Periferie ESSI zajišťuje příjem a předávání dat k dalšímu zpracování. Její popis lze nalézt v dokumentaci procesoru [5] nebo v aplikační příručce [6].

Zvuková data jsou zpracovávána signálovým procesorem. Řešení zpracování není součástí zadání této práce. Zpracování provádí tzv. zásuvný (plug-in) systém AudifiedDSP Solution, uvedený výše v kapitole 2.5.

Již zpracovaná zvuková data jsou předána periférii ESSI, která je přes zpětný kanál sběrnice TDM přenese do modulu DICE I a ten je vyšle zpět na rozhraní IEEE1394. Jelikož zpětné vysílání pracuje synchronně s příjmem, odpadá použití rámcové synchronizace a hodinového signálu pro tento zpětný kanál.

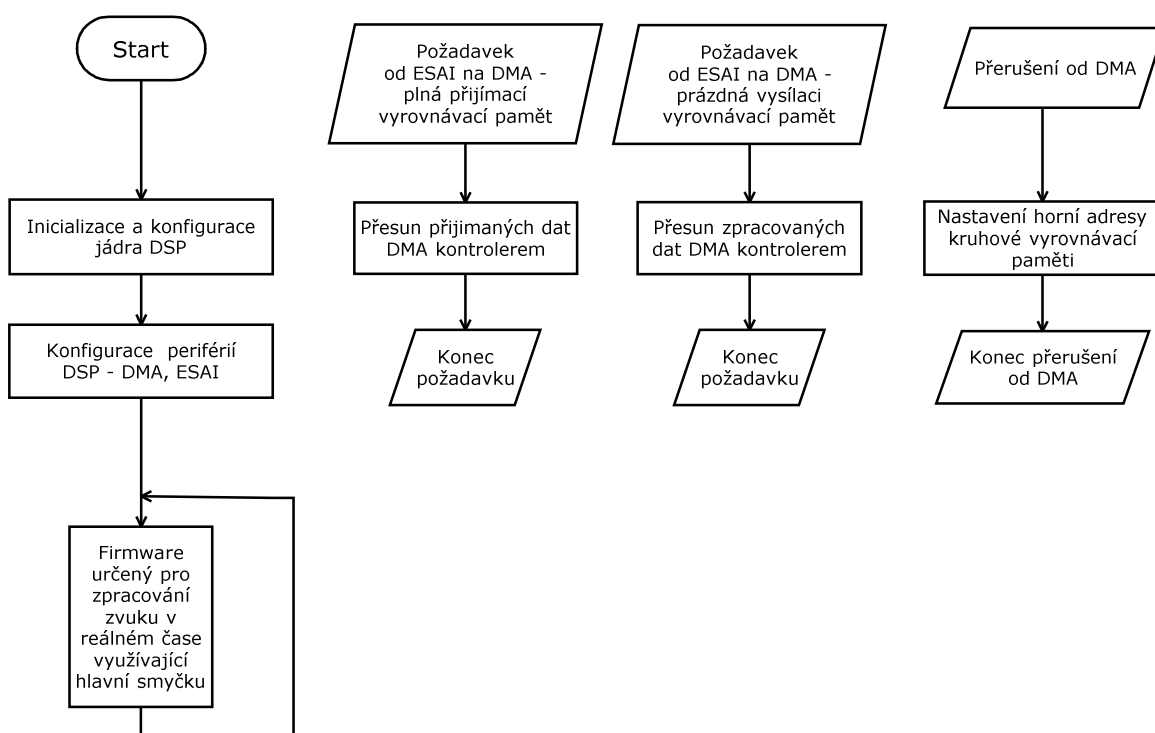
Během vývoje rozhraní pro sběrnici TDM bylo nad rámec zadání navrženo

alternativní řešení využívající sběrnice I²S. Důvodem je příbuznost obou sběrnic. Sběrnice přenáší pouze dva kanály oproti osmi kanálům sběrnice TDM. Takovýto systém může být nasazen při jednodušších aplikacích.

3.2 Vývojový diagram

Vývojový diagram podprogramu použitého při řešení je uveden na obr. 3.1.

Po zapnutí signálového procesoru je nejdříve provedena jeho inicializace. Na počátku je inicializováno samotné jádro procesoru. Nastaví se pracovní mód, priority přerušování a dojde k inicializaci paměti. Poté se inicializují konfigurační registry periferie „Enhanced Synchronous Serial Interface“ (dále jen ESSI) tak, aby



Obr. 3.1: Vývojový diagram

bylo možné přijímat zvuková data pomocí sériové sběrnice s časovým dělením (TDM – Time Division Multiplex). Nakonec je inicializován kontrolér přímého přístupu do paměti „Direct Memory Access“ (dále jen DMA). Nastaví se zde

výchozí adresy, režim adresování a priority kanálu. Tím je konfigurace ukončena a procesor čeká na doručení firmware pomocí sériové linky. Po jeho doručení, zavedení a spuštění se začínají zpracovávat zvuková data. Návrh a realizace firmware není součástí této práce.

Rozhraní ESSI souběžně s vykonáváním hlavního kódu programu přijímá zvuková data určená pro zpracování a vysílá již zpracovaná zvuková data opět na přenosový kanál s časovým dělením. Veškeré operace související s řízením a ovládáním sběrnice TDM obstarává samotné, vhodně nakonfigurované technické (hardwarové) rozhraní ESSI. Dojde-li k naplnění přijímací vyrovnávací paměti, vyvolá se požadavek na DMA kontroler. Ten autonomně, bez asistence procesorového jádra, přesune data z této vyrovnávací paměti do operační paměti signálového procesoru, kde jsou předána pro další zpracování.

Obdobně se postupuje s již zpracovanými zvukovými daty: data jsou z výstupní vyrovnávací paměti vysílána na sběrnici TDM. V momentě, kdy jsou vyslány všechny bity příslušného časového úseku (timeslotu), požádá se DMA kontroler o přesun dalších zpracovaných dat do výstupní vysílací vyrovnávací paměti periferie ESSI.

Zde se projevuje značná výhoda přístupu do paměti pomocí DMA kontroleru, jenž řídí veškerý přenos dat. Jinak by totiž muselo samotné jádro procesoru v obsluze přerušování přesouvat data z vyrovnávací paměti do paměti operační a naopak. Protože požadujeme přijímání a vysílání mnoha kanálů, bylo by voláno přerušování příliš často. Docházelo by k neúměrnému spotřebování drahocenného strojového času určeného pro výpočty. Důsledkem by bylo snížení výpočetního výkonu celého systému.

3.3 Specifikace propojení

V tabulce 3.1 je uvedena specifikace požadavku na vzájemné propojení vývojových modulů pomocí sběrnice TDM. Obdobně v tabulce 3.2 jsou specifikovány požadavky pro alternativní řešení využívající sběrnici I²S.

Tab. 3.1: Vzájemné propojení modulů pomocí sběrnice TDM

| slovní popis/název modulu | DSP56307EVM | | | DICE II iKit | | |
|------------------------------------|----------------------------|------------|------------|----------------------------|------------|------------|
| | číslo patice(jméno patice) | číslo pinu | název pinu | číslo patice(jméno patice) | číslo pinu | název pinu |
| hodinový signál (bit clock) | J5 (ESSI0) | 1 | SCK0 | J4 | 7 | DSAICLK1 |
| rámcová synchronizace (frame sync) | J5 (ESSI0) | 11 | SC02 | J4 | 11 | DSAISYNC0 |
| data uplink | J5 (ESSI0) | 5 | STD0 | J4 | 17 | DSAIRX0 |
| data downlink | J5 (ESSI0) | 7 | SRD0 | J4 | 21 | DSAITX0 |
| digitální zem | J3 (HI08) | 20 | GND | J6 | 4 | GND |

Tab. 3.2: Vzájemné propojení modulů pomocí sběrnice I²S

| slovní popis/název modulu | DSP56307EVM | | | DICE II iKit | | |
|------------------------------------|----------------------------|------------|------------|----------------------------|------------|--------------|
| | číslo patice(jméno patice) | číslo pinu | název pinu | číslo patice(jméno patice) | číslo pinu | název pinu |
| hodinový signál (bit clock) | J5 (ESSI0) | 1 | SCK0 | J4 | 30 | I2S_TX1_BCLK |
| rámcová synchronizace (frame sync) | J5 (ESSI0) | 11 | SC02 | J4 | 29 | I2S_TX1_LRCK |
| data uplink | J5 (ESSI0) | 5 | STD0 | J4 | 38 | I2S_RX1_D0 |
| data downlink | J5 (ESSI0) | 7 | SRD0 | J4 | 28 | I2S_TX1_D0 |
| digitální zem | J3 (HI08) | 20 | GND | J6 | 4 | GND |

3.4 Návrh podprogramu

Na základě řešení popisovaného v kapitole 3.1 a vývojového diagramu uvedeného v kapitole 3.2 byl vytvořen podprogram sloužící ke komunikaci signálového procesoru přes sběrnici TDM s rozhraním DICE II. Podprogram je koncipován především pro začlenění do tzv. zásuvného (plug-in) systému AudifiedDSP Solution. Navržený podprogram je přitom naprogramován univerzálně tak, aby ho bylo možné integrovat do jakéhokoliv systému využívajícího signálového procesoru Freescale řady 56300. Procesor musí obsahovat periferii ESSI a dva volné kanály DMA.

3.5 Testování

V souladu se zadáním byl systém přenosu a následného zpracování otestován pomocí jednoduchého algoritmu „echo“ číslicového zpracování zvuku. Algoritmus je reprezentován tzv. zásuvným (plug-in) modulem, který je součástí systému AudifiedDSP Solution popsaného v kapitole 2.5.

Celkové schéma propojení jednotlivých modulů testovaného systému je uvedeno v příloze A.

Vývojový modul Freescale DSP56307EVM propojený s vývojovým modulem DFM Audio DICE II iKit je zapojen podle specifikace propojení uvedeného v kapitole 3.3.

Vývojový modul DFM Audio DICE II iKit byl připojen k hostitelskému počítači s platformou Intel x86 vybaveným operačním systémem WindowsXP SP3 s potřebnými programovými prostředky. To zahrnuje sadu ovladačů technických komponent, samotný ovládací program pro modul DICE II a programové vybavení pro záznam a zpracování zvukových signálů (tzv. HDR – Hard Disk Recording aplikací).

Modul DSP56307EVM byl dále připojen pomocí sériového rozhraní RS232 k hostitelskému počítači, kde byl spuštěn řídicí proces systému AudifiedDSP Solution.

Uvedené moduly byly napájeny stejnosměrnými stabilizovanými napájecími zdroji s jmenovitými napájecími napětími 5V pro modul DICE II a 12V pro modul DSP56307EVM.

4 Závěr

Cílem této bakalářské práce bylo seznámení se s možnostmi připojení periferních zařízení k signálovým procesorům Freescale řady DSP563xx, navržení propojení se sběrnici TDM zvukového rozhraní DICE II iKit a návrh rutiny pro obousměrnou komunikaci tohoto propojení a jeho otestování.

V první fázi vývoje bylo nutné seznámit se teoreticky a následně i prakticky s činnostmi a strukturou použitých signálových procesorů, s rozhraním IEEE1394 FireWire a se sběrnici TDM. Dále bylo nutné navrhnout a realizovat propojení zvukového rozhraní DICE II iKit se sběrnici TDM.

Stěžejním bodem bakalářské práce byl návrh algoritmu pro obsluhu sběrnice TDM a pro obousměrnou komunikaci prostřednictvím signálového procesoru. Na jeho základě byl vytvořen podprogram v jazyce symbolických adres. Následnou a časově nejnáročnější fází bylo samotné odladění podprogramu tak, aby byla zajištěna vzájemná funkčnost programových a technických prostředků.

V rámci oživování technických prostředků a ladění programového vybavení bylo formou elektronické pošty komunikováno s pracovníky technické podpory společností Freescale a DFM Audio. Na základě těchto konzultací byl změněn firmware v modulu DICE II a došlo k postupnému oživování jednotlivých komponent celého systému.

Nad rámec zadání bylo navrženo alternativní řešení využívající sběrnice I²S. Toto řešení může nalézt uplatnění v jednodušších aplikacích.

Oba odladěné programové kódy pro sběrnice TDM a I²S jsou k dispozici na kompaktním disku, jenž je přílohou této bakalářské práce.

V souladu se zadáním byl celý systém přenosu a zpracování zvukových dat otestován pomocí jednoduchého algoritmu číslicového zpracování signálu. Proto

byl navíc programový kód upraven a implementován do systému AudifiedDSP Solution. Tento systém posloužil pro otestování přenosu zvukových dat.

V průběhu této bakalářské práce došlo k odladění a zprovoznění komunikace signálového procesoru řady DSP56300 se sběrnici TDM do plné funkční formy. Jednou z možností využití výsledků této práce je schopnost komunikovat s uvedenými signálovými procesory již z prostředí programů určených pro zpracování zvukových signálů (HDR aplikací). K úpravě zvukových signálů tak nemusí docházet v aplikačním programu na hostitelském počítači, ale přímo v samotném signálovém procesoru. Výsledkem je snížení celkové zátěže hostitelského počítače a z toho vyplývající možnost zpracování značného množství různorodých efektů a možnosti úprav signálů v samotném signálovém procesoru, a to v reálném čase. Skutečný přínos bakalářské práce je však mnohem rozsáhlejší, protože z obecného hlediska je možné vzhledem k vyřešené komunikaci navrhnout přenos jakýchkoliv obecných signálů určených pro zpracování v signálových procesorech.

Tímto byly všechny úkoly specifikované v samotném zadání bakalářské práce splněny.

SEZNAM POUŽITÉ LITERATURY

- [1] SMÉKAL, Z., VÍCH, R. *Zpracování signálu pomocí signálových procesorů*. Radix. Praha, 1998, 125 s. ISBN 80-86031-18-7.
- [2] SMÉKAL, Z., SYSEL, P. *Signálové procesory*. Sdělovací technika, Praha, 2006, 283 s. ISBN 80-86645-08-8.
- [3] Xilinx, Inc. : *XtremeDSP Technology Solutions* [online]. 1994-2008 [cit. 2008-12-15]. Dostupný z WWW: <http://www.xilinx.com/products/design_resources/dsp_central/grouping/index.htm>.
- [4] Freescale Semiconductor, Inc.: *DSP 56300 Family Manual* [on-line]. last revision 4/2005 [cit. 2008-12-15]. Dostupné z WWW: <http://www.freescale.com/files/dsp/doc/ref_manual/DSP56300FM.pdf?fpsp=1&WT_TYPE=Reference%20Manuals&WT_VENDOR=FREESCALE&WT_FILE_FORMAT=pdf&WT_ASSET=Documentation>
- [5] *DSP 563007 User Manual*. [s.l.] : Freescale Semiconductor, Inc., 1998. 462 s.
- [6] REDHEENDRAN, Tina. *DSP56300 Enhanced Synchronous Serial Interface (ESSI) Programming*. [s.l.] : Freescale Semiconductor, Inc., 2005. 24 s.

- [7] *DSP56307EVM User's Manual*. [s.l.] : Freescale Semiconductor, Inc., 1999. 142 s.
- [8] GOOK, M. *Hardwarová rozhraní : Průvodce programátora*. Přeložil Jakub Mikulaščík. 1. vyd. Brno : Computer Press, a.s., 2006. 463 s. ISBN 80-251-1019-2
- [9] *Specification DICEII-PROM*. [s.l.] : DFM Audio, 2006. 14 s.
- [10] *DICE II User Guide*. [s.l.] : TC Applied Technologies, Ltd., 2007. 360 s.
- [11] RUMSEY, F., WATKINSON, J. *Digital Interface Handbook*, 3rd ed., Focal Press, Oxford, 2004, 388 s, ISBN 0-240-51909-4

Seznam použitých zkratek

| | |
|-------------|--|
| ACK | Acknowledgement |
| ADAT | Alesis Digital Audio Tape |
| CDM | Code Division Multiplex |
| CISC | Complete Instruction Set Computer |
| CMOS | Complementary Metal Oxid Semiconductor |
| CRC | Cyclic Redundancy Check |
| DICE | Digital Interface Communications Engine |
| DMA | Direct Memory Access |
| DSC | Digital Signal Controller |
| DSP | Digital Signal Processor |
| DV | Digital Video |
| ESSI | Enhanced Synchronous Serial Interface |
| FDM | Frequency Division Multiplex |
| FPGA | Field Programmable Gate Array |
| GPIO | General Purpose Input Output |
| HDR | Hard Disc Recording |
| I2S | Integrated Interchip Sound |
| IEEE | Institute of Electrical and Electronics Engineers, |
| LLC | Link Layer Controller |
| LSB | Least Significant Bit |
| MPEG | Motion Picture Experts Group |
| MSB | Most Significant Bit |
| NACK | Negative Acknowledgement |
| RISC | Reduced Instruction Set Computer |
| SCSI | Small Computer System Interface |
| TDIF | Tascam Digital Interface |
| TDM | Time Division Multiplex |
| UART | Universal Asynchronous Receiver/Transmitter |

PŘÍLOHY

| | |
|--|----|
| Příloha A: Blokové schéma systému..... | A1 |
|--|----|

Příloha A: Blokové schéma systému

