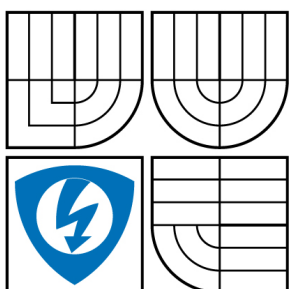


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH RAIL-TO-RAIL OPERAČNÍHO ZESILOVAČE S NÍZKÝM OFSETEM V TECHNOLOGII CMOS

DESIGN OF THE LOW OFFSET RAIL TO RAIL OPERATIONAL AMPLIFIER IN CMOS
TECHNOLOGY

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

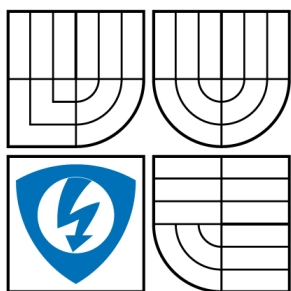
ADAM VRBA

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. ROMAN PROKOP

BRNO 2008



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor

Mikroelektronika a technologie

Student: Vrba Adam

ID: 77728

Ročník: 3

Akademický rok: 2007/2008

NÁZEV TÉMATU:

Návrh rail-to-rail operačního zesilovače s nízkým offsetem v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte operační zesilovač typu "rail-to-rail" v technologii CMOS07. Navrhněte vhodnou topologii, proveďte teoretický rozbor a výpočet pro dané parametry. Maximální vstupní offset 5 mV, minimální stejnosměrný zisk 100 dB, minimální zatěžovací kapacita 40 pF, maximální zatěžovací proud 300 uA. Proveďte odpovídající simulace včetně všech charakterizací. Návrhové prostředí Cadence.

DOPORUČENÁ LITERATURA:

podle pokynů vedoucího práce

Termín zadání: 5.10.2007

Termín odevzdání: 30.5.2008

Vedoucí práce: Ing. Roman Prokop

prof. Ing. Radimír Vrba, CSc.

předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

LICENČNÍ SMLOUVA

POSKYTOVANÁ K VÝKONU PRÁVA UŽÍT ŠKOLNÍ DÍLO

uzavřená mezi smluvními stranami:

1. Pan/paní

Jméno a příjmení: Adam Vrba
Bytem: Hlavní 270, 68604, Uherské Hradiště - Míkovice
Narozen/a (datum a místo): 4.4.1986, Uherské Hradiště

(dále jen "autor")

a

2. Vysoké učení technické v Brně

Fakulta elektrotechniky a komunikačních technologií
se sídlem Údolní 244/53, 60200 Brno 2
jejímž jménem jedná na základě písemného pověření děkanem fakulty:
Ing. Zdenka Rozsivalová

(dále jen "nabyvatel")

Článek 1

Specifikace školního díla

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):

- disertační práce
- diplomová práce
- bakalářská práce

jiná práce, jejíž druh je specifikován jako

(dále jen VŠKP nebo dílo)

Název VŠKP: Návrh rail-to-rail operačního zesilovače s nízkým ofsetem v technologii CMOS

Vedoucí/školitel VŠKP: Ing. Roman Prokop

Ústav: Ústav mikroelektroniky

Datum obhajoby VŠKP:

VŠKP odevzdal autor nabyvateli v:

- tištěné formě - počet exemplářů 1
- elektronické formě - počet exemplářů 1

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činností dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracování díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.

3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.

4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

Článek 2

Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užít, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizování výpisů, opisů a rozmnoženin.
2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.
3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti
 - ihned po uzavření této smlouvy
 - 1 rok po uzavření této smlouvy
 - 3 roky po uzavření této smlouvy
 - 5 let po uzavření této smlouvy
 - 10 let po uzavření této smlouvy(z důvodu utajení v něm obsažených informací)
4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3

Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.
2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.
3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísní a za nápadně nevýhodných podmínek.
4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne:

.....

Nabyvatel

.....

Autor

Abstrakt:

Předkládaná práce se zabývá návrhem rail-to-rail operačního zesilovače v technologii CMOS07 s využitím návrhového prostředí Cadence. Hlavní důraz práce je kladen na dosažení co nejmenší hodnoty náhodného a systematického vstupního offsetu. Práce obsahuje různé techniky kompenzace obou typů vstupního offsetu. Dále se práce zaměřuje na dosažení rail-to-rail vstupního rozsahu operačního zesilovače použitím obou typů diferenčních párů.

Abstract:

This work deals with design rail-to-rail operational amplifier in technology CMOS07 using Cadence design environment. Head design goal is small value of random and systematical input offset. Work too contain various technique compensation doth of this offsets. Second goal is head a rail-to-rail input common mode range with use both types of differential pair.

Klíčová slova:

Operační zesilovač, rail-to-rail zesilovač, náhodný offset, systematický offset, rozdílový zesilovač, CMOS technologie.

Keywords:

Operational amplifier, rail-to-rail amplifier, random offset, systematical offset, differential amplifier, CMOS technology.

Bibliografická citace díla:

VRBA, A. *Návrh rail-to-rail operačního zesilovače s nízkým ofsetem v technologii CMOS*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2008. 47 s. Vedoucí bakalářské práce Ing. Roman Prokop.

Prohlášení o původnosti díla:

Prohlašuji, že jsem tuto vysokoškolskou kvalifikační práci vypracoval samostatně pod vedením vedoucího bakalářské práce, s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury. Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 29. 5. 2008

.....

Poděkování:

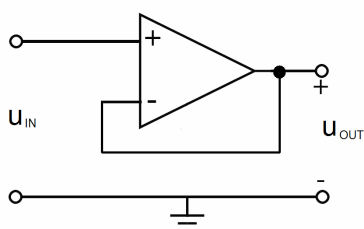
Děkuji vedoucímu mé bakalářské práce Ing. Romanu Prokopovi za účinnou pedagogickou a odbornou pomoc a další cenné rady při zpracování této bakalářské práce. Dále bych chtěl poděkovat všem lidem, bez kterých by tato práce nemohla být úspěšně dokončena, jmenovitě pak Ing. Danielu Bečvářovi, Ph.D. za poskytnutí literatury k této práci a Evě Kunčarové za pomoc při korekci práce.

Obsah

1	Úvod do problematiky	8
1.1	Parametry operačního zesilovače	8
1.2	Blokové schéma operačního zesilovače	10
2	Rozdílový stupeň	11
2.1	Rozdílový stupeň s PMOS tranzistorem.....	11
2.2	Rozdílový stupeň s NMOS tranzistorem.....	13
2.3	Komplementární rozdílový stupeň	13
3	Složená (folded) kaskoda.....	16
3.1	Nastavení pracovního bodu složené kaskody.....	16
3.2	Malosignálový model složené kaskody.....	18
4	Kompenzace zesílení	20
5	Výstupní stupeň	22
5.1	Velikost stejnosměrného zesílení invertoru.....	22
5.2	Frekvenční kompenzace	23
6	Způsob snížení offsetu.....	25
6.1	Strukturální (systematický) offset	25
6.2	Náhodný offset (Random offset).....	25
7	Postup návrhu zesilovače.....	29
7.1	Výpočet parametrů vstupních tranzistorů.....	29
7.2	Výpočet biasovacích tranzistorů.....	29
7.3	Výpočet tranzistorů kaskody	30
7.4	Výpočet Millerovy kapacity	31
8	Simulace v návrhovém prostředí Cadence	32
8.1	Simulace offsetu	32
8.2	Simulace výstupního rozsahu	33
8.3	AC simulace	34
9	Závěr.....	36
10	Použitá literatura.....	37
11	Seznam použitých symbolů	38
12	Seznam obrázků, tabulek a příloh.....	39
13	Přílohy	41

1 Úvod do problematiky

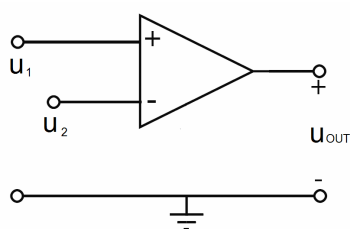
Trendem při návrhu analogových a digitálních integrovaných obvodů je snižování napájecího napětí obvodu. Tento trend plyne ze snahy vyrábět úsporné elektrické obvody s velkou účinností. Snižování napětí má negativní vliv na poměr užitečného signálu k šumu, a to z důvodu menšího možného rozkmitu signálu, který je pak výrazně rušen šumem. Ve snaze dosáhnout co největšího poměru signál/šum je potřeba využít největšího možného rozkmitu signálu, nejlépe v celém rozsahu napájecího napětí. Proto je vhodné, aby měl zesilovač rozsah rail-to-rail na vstupu, případně i na výstupu. Rail-to-rail vstupní a výstupní rozsah zesilovače je dále vyžadován pro zesilovač, který je zapojen jako sledovač napětí Obr. 1.



Obr. 1 - Operační zesilovač zapojený jako sledovač napětí

1.1 Parametry operačního zesilovače

Operační zesilovač je elektronický obvod, jehož úkolem je zesilovat napěťový rozdíl dvou vstupních svorek. Schématická značka operačního zesilovače je uvedena na Obr. 2. Napěťové zesílení ideálního operačního zesilovače by mělo být nekonečné, výstupní odpor nulový a vstupní odpor nekonečný.



Obr. 2 - Schématická značka operačního zesilovače

- rozdílové vstupní napětí

Vstupní rozdílové napětí je dáno rozdílem potenciálu kladné a záporné vstupní svorky operačního zesilovače.

$$u_{ID} = u_1 - u_2 \quad (1.1)$$

- **souhlasné vstupní napětí**

Souhlasné vstupní napětí představuje průměrnou hodnotu dvou vstupních napětí.

$$u_{CM} = \frac{u_1 + u_2}{2} \quad (1.2)$$

Jednotlivá vstupní napětí lze pomocí rovnic (1.1) a (1.2) přepsat do tvaru (1.3).

$$\begin{aligned} u_1 &= u_{CM} + 0,5u_{ID} \\ u_2 &= u_{CM} - 0,5u_{ID} \end{aligned} \quad (1.3)$$

- **výstupní napětí**

Výstupní napětí u_{OUT} (1.4) je dáno nejen velikostí vstupního diferenčního a souhlasného napětí, ale také hodnotou zesílení příslušného napětí. Velikost diferenčního zesílení ideálního operačního zesilovače je nekonečná, souhlasné zesílení nulové. Při návrhu skutečného operačního zesilovače se snažíme těmito hodnotám přiblížit.

$$u_{OUT} = A_{VD} \cdot u_{ID} \pm A_{VC} \cdot u_{CM} \quad (1.4)$$

- **parametr CMRR (common-mode rejection ratio)**

Parametr určuje míru schopnosti zesilovat diferenční napětí a potlačovat zesílení souhlasného napětí.

$$CMRR = \frac{A_{VD}}{A_{VC}} [-] \quad (1.5)$$

- **parametr ICMR (input common-mode range)**

Parametr určuje rozsah vstupního souhlasného napětí, ve kterém je zesilovač schopen zesilovat diferenční napětí s požadovaným zesílením. Zesilovač rail-to-rail musí být schopen zesilovat v celém rozsahu napájecího napětí.

- **vstupní offset**

Je hodnota rozdílového vstupního napětí, která je potřebná pro dosažení požadovaného výstupního napětí. Je dána nenulovou hodnotou zesílení reálného operačního zesilovače a také nedokonalostí výroby odvodových prvků.

1.2 **Blokové schéma operačního zesilovače**

Blokové schéma operačního zesilovače Obr. 3 znázorňuje jednotlivé funkční části zesilovače. Funkce jednotlivých bloků zesilovače je následující:

- **rozdílový stupeň**

Tvoří vstupní část operačního zesilovače. Jeho úkolem je převést vstupní diferenční napětí na jediný výstup. Tento blok zesilovače udává parametr ICMR (input common-mode range) a bude pro náš návrh velmi důležitý z důvodu dosažení vstupního rozsahu rail-to-rail.

- **zesilovací stupeň**

Úkolem tohoto stupně je co největší možné napěťové zesílení signálu přicházejícího z rozdílového stupně. Na celkovém zesílení operačního zesilovače se dále podílejí rozdílový a výstupní stupeň.

- **výstupní stupeň**

Jeho funkcí je dodat na výstup zesilovače dostatečný výkon. Maximální požadovaný výstupní výkon závisí na maximálním výstupním proudu a napájecím napětí. Dle zadání má být maximální výstupní proud $300\mu\text{A}$ a napájecí napětí 5V . Z toho plyne, že maximální výkon, který je zesilovač schopen dodat, je $1,5\text{mW}$.

- **kompensační blok**

Úkolem tohoto bloku je zajistit, aby byl zesilovač stabilní, tedy splňoval požadovanou fázovou a amplitudovou bezpečnost. Podrobněji budou tyto vlastnosti probrány v následujících kapitolách. Další funkcí tohoto bloku může být kompenzace velikosti zesílení v závislosti na vstupním souhlasném napětí.

- **blok nastavení pracovního bodu**

Jeho úkolem je nastavit stejnosměrný pracovní bod operačního zesilovače. Dle zadání bude celý obvod nastavován do pracovního bodu pomocí proudu $5\mu\text{A}$, který dodá vnější blok. Další potřebné pracovní proudy a napětí budou z tohoto vnějšího proudu odvozeny pomocí proudových zrcadel a odporových děličů.



Obr. 3 - Blokové schéma operačního zesilovače

2 Rozdílový stupeň

Jedním z hlavních cílů návrhu zesilovače je dosáhnout vstupní rozsah rail-to-rail. Vstupní rozsah je omezen nutností udržet všechny tranzistory rozdílového stupně v saturačním režimu. V tomto režimu zesilovač pracuje, pokud platí níže uvedené nerovnice (2.1). Dále je možné hodnotu saturačního napětí U_{DSAT} z rovnice (2.1) vyjádřit pomocí vztahu (2.2).

$$U_{GS} > U_T \quad \text{a} \quad U_{DS} > U_{DSAT} \quad (2.1)$$

$$U_{DSAT} = U_{GS} - U_T \quad (2.2)$$

2.1 Rozdílový stupeň s PMOS tranzistory

Pomocí následujících výpočtů (2.3) (2.4) lze určit vstupní rozsah rozdílového stupně s PMOS tranzistory Obr. 4 a).

- **určení maximálního souhlasného napětí**

Z rovnice (2.3) je zřejmé, že se operační zesilovač se souhlasným vstupním napětím nebude moci přiblížit k napájecímu napětí.

$$U_{MAX} = U_{NAP} - U_{DSAT_MPB} - U_{GS_MPP} = U_{NAP} - U_{DSAT_MPB} - U_{T_MPP} - U_{DSAT_MPP} \quad (2.3)$$

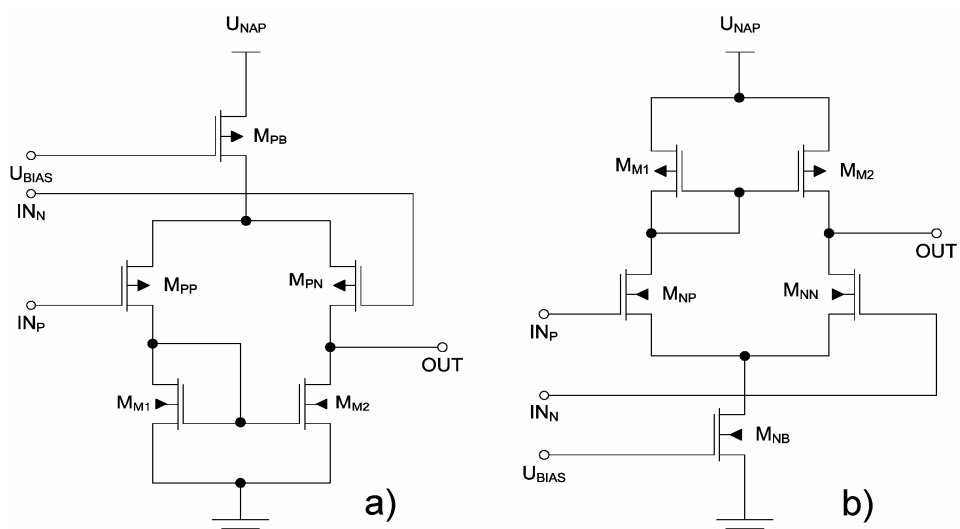
- **určení minimálního souhlasného napětí**

Omezení minimálního souhlasného vstupního napětí je dáno rovnicí (2.4). Pokud použijeme typické hodnoty prahových napětí, bude rozdílový stupeň pracovat se souhlasným vstupním napětím až k nulovému potenciálu. Tato vlastnost rozdílového stupně je dána hodnotou prahového napětí PMOS tranzistoru M_{PP} , která je vyšší než hodnota prahového napětí NMOS tranzistoru M_{M1} .

$$U_{MIN} = U_{GS_MM1} + U_{DSAT_MPP} - U_{GS_MPP} = U_{DSAT_MM1} + U_{T_MM1} - U_{T_MPP} \quad (2.4)$$

$$U_{DSAT_MM1} = \sqrt{\frac{I_D}{2} \frac{2L_{MM1}}{K_N \cdot W_{MM1}}} \quad (2.5)$$

Vstupní napětí může být maximálně tak velké, aby tranzistory M_{PB} a M_{PP} (M_{PN}) zůstaly v saturaci. Tranzistor M_{PB} je zdrojem pracovního proudu diferenčního páru. Tranzistory M_{M1} a M_{M2} tvoří tzv. proudové zrcadlo, které zrcadlí proud protékající tranzistorem M_{M1} .



Obr. 4 - Rozdílový zesilovač a) PMOS b) NMOS

2.2 Rozdílový stupeň s NMOS tranzistory

Pomocí následujících výpočtů (2.6) a (2.7) lze určit vstupní rozsah rozdílového zesilovače s PMOS tranzistory Obr. 4 b):

- **určení maximálního souhlasného napětí**

Pokud bychom uvažovali typické hodnoty napětí U_T NMOS a PMOS tranzistoru, nemohl by stupeň pracovat v blízkosti napájecího napětí. Ve skutečnosti ale v tomto zapojení bude hodnota U_{T_MNP} zvýšena nenulovým předpětím U_{BS_MNP} . Pokud by ani to nestačilo pro udržení tranzistoru v saturaci, je možné použít tranzistory LOW- U_T pro zrcadlo M_{M1} , M_{M2} .

$$U_{MAX} = U_{NAP} - U_{GS_MM1} - U_{DSAT_MNP} + U_{GS_MNP} = U_{NAP} - U_{DSAT_MM1} - U_{T_MM1} - U_{T_MNP} \quad (2.6)$$

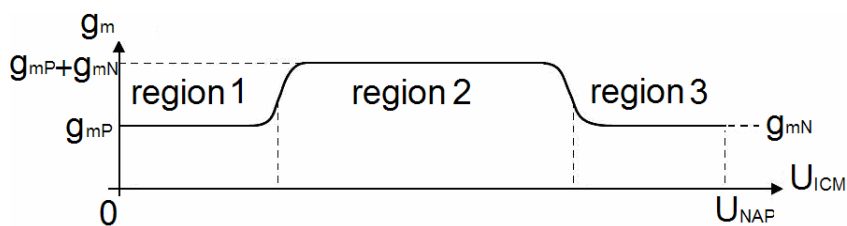
- **určení minimálního souhlasného napětí**

Rozdílový stupeň s NMOS vstupními tranzistory nemůže pracovat v blízkosti země z důvodu nutnosti udržet tranzistory M_{NP} a M_{NN} v saturačním režimu. Pokud by tranzistory přešly do lineárního režimu, přestal by stupeň zesilovat.

$$U_{MIN} = U_{DSAT_MNB} + U_{GS_MNP} = U_{DSAT_MNB} + U_{T_MNP} + U_{DSAT_MNP} \quad (2.7)$$

2.3 Komplementární rozdílový stupeň

Pokud chceme dosáhnout vstupního rozsahu rail-to-rail, musíme použít paralelně zapojené oba vstupní páry, tedy jak NMOS, tak PMOS rozdílový stupeň Obr. 6. V závislosti na souhlasném vstupním napětí se mění hodnota zesílení rozdílového stupně Obr. 5. Stupeň se může nacházet ve třech režimech činnosti.



Obr. 5 - Závislost zesílení na souhlasném vstupním napětí

- **Region 1**

Souhlasné vstupní napětí se blíží k potenciálu země a NMOS stupeň přestává zesilovat v důsledku přechodu tranzistoru M_{NB} do lineárního režimu. Celkové zesílení rozdílového stupně je dáno zesílením PMOS páru.

$$gm = gm_P \quad (2.8)$$

- **Region 2**

Souhlasné vstupní napětí se pohybuje okolo poloviny napájecího napětí a zesiluje jak PMOS, tak NMOS rozdílový stupeň. Celkové zesílení je tedy dáno součtem zesílení obou stupňů.

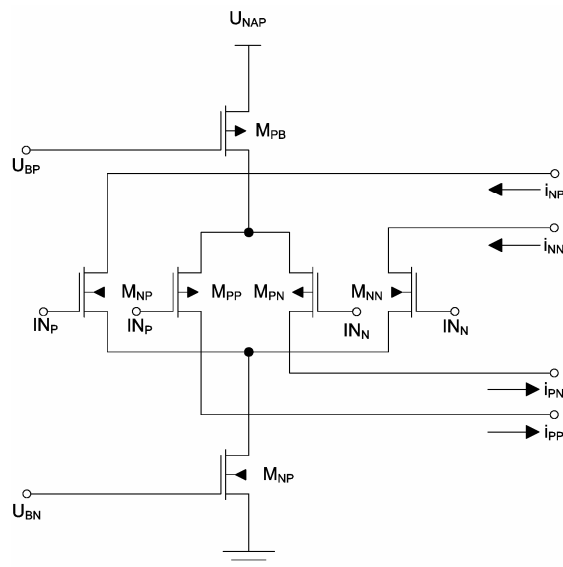
$$gm = gm_P + gm_N \quad (2.9)$$

- **Region 3**

Souhlasné vstupní napětí se blíží k potenciálu napájecího napětí a PMOS stupeň přestává zesilovat v důsledku přechodu tranzistoru M_{PB} do lineárního režimu. Celkové zesílení rozdílového stupně je dáno zesílením NMOS páru.

$$gm = gm_N \quad (2.10)$$

Pokud jsou zesílení NMOS a PMOS vstupního páru stejná, mění se zesílení v závislosti na společném napětí o 100%. Změna zesílení v závislosti na souhlasném vstupním napětí dělá problémy jak se stabilitou operačního zesilovače (nedodržením fázové bezpečnosti PM), tak s možným harmonickým zkreslením signálu. Pomocí přidavného bloku lze hodnotu zesílení udržet konstantní v celém rozsahu souhlasného vstupního napětí. Tento kompenzační blok bude probrán v samostatné kapitole.



Obr. 6 - Komplementární rozdílový stupeň

Použitím dvou vstupních párů se nám řešení převodu diferenčního napětí na jediný výstup poměrně komplikuje. Na Obr. 6 je uvedeno schéma rozdílového stupně rail-to-rail. Výstupem rozdílového stupně rail-to-rail jsou čtyři proudy oproti dvěma výstupním proudům klasického diferenčního páru. Tyto proudy je nutné v následujícím bloku sloučit dohromady a převést na jeden napěťový signál. K tomu bude použita složená (folded) kaskoda. Jednotlivé vstupní tranzistory lze při malosignálové analýze nahradit závislými zdroji proudu řízenými vstupním rozdílovým napětím. Vztah pro výpočet jednotlivých výstupních proudů (malosignálových) je uveden níže (2.11). Parametr g_m (transkonduktance) je malosignálový parametr MOS tranzistoru, který lze vypočítat pomocí vztahu (2.12). Je závislý na výrobní technologii a pracovním bodu tranzistoru.

$$i_{NP} = \frac{u_{ID}}{2} \cdot g_{m_NP} \quad i_{NN} = \frac{u_{ID}}{2} \cdot g_{m_NN} \quad (2.11)$$

$$i_{PN} = \frac{u_{ID}}{2} \cdot g_{m_PN} \quad i_{PP} = \frac{u_{ID}}{2} \cdot g_{m_PP}$$

$$g_m = \mu_0 C_{ox} \frac{W}{L} (U_{GS} - U_T) = \sqrt{2\mu_0 C_{ox} \frac{W}{L} I_D} \quad (2.12)$$

3 Složená (folded) kaskoda

Funkcí složené kaskody je převést čtyři proudové signály z rozdílových zesilovačů na jeden napěťový signál a zároveň jej zesílit. V blokovém schématu Obr. 3 se jedná o zesilovací stupeň. Schéma zapojení složené kaskody je na Obr. 7. Ve schématu jsou i oba rozdílové zesilovače. Tranzistory $M_{P1} - M_{P4}$ tvoří kaskodové proudové zrcadlo, které zrcadlí proud protékající tranzistorem M_{P1} . Tranzistory M_{N3} a M_{N4} nastavují pracovní bod složené kaskody.

3.1 Nastavení pracovního bodu složené kaskody

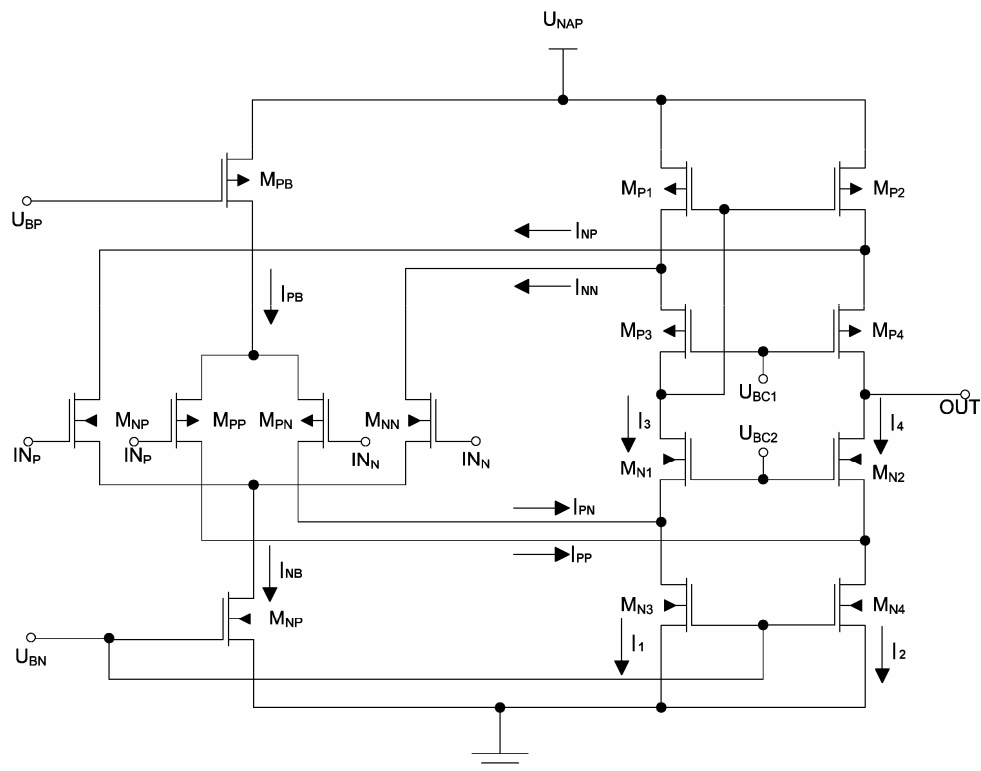
Klidový pracovní bod určuje malosignálové (střídavé) parametry tranzistorů, proto je potřeba jej správně nastavit. Především je nutné, aby všechny tranzistory byly v saturačním režimu. Nevýhodou zvoleného zapojení je velké množství napětí, které musí vytvořit blok pro nastavení pracovního bodu. Těchto napětí je potřeba pro správnou funkci kaskody. Jak je vidět na Obr. 7, potřebuje kaskoda celkem čtyři pracovní napětí, které musíme vytvořit v bloku nastavení pracovního bodu. V obvodu musí být vhodně nastaven poměr proudu diferenčními zesilovači a proudu v jednotlivých větvích složené kaskody.

- Proudů ve větvích složené kaskody musí být v klidovém pracovním bodě shodné z důvodu vyvážení obvodu. Proudů I_{PB} a I_{NB} musí být pokud možno shodné a větší jako proud I_1 a I_2 (3.1), aby při úplném rozvážení rozdílový zesilovač neodebral všechen proud z kaskody.

$$I_1 = I_2 = \langle 1,2 \cdot I_{NB}; 1,5 \cdot I_{NB} \rangle \quad (3.1)$$

- Pracovní proudy NMOS a PMOS diferenčního páru by měly být stejné nebo se jenom nepatrně lišit.

$$I_{NB} = I_{PB} \quad (3.2)$$



Obr. 7 - Schéma složené (folded) kaskody

- Hodnota U_{BC2} musí splňovat vztah (3.3) s dostatečnou rezervou z hlediska procesního a teplotního rozptylu U_T a nenulového předpětí U_{BS} tranzistoru $M_{N1,2}$. Největší možná hodnota prahového napětí NMOS tranzistoru z hlediska teploty a procesu může být 1V. Hodnota saturačního napětí tranzistoru U_{DAT} je stejná jako napětí U_{OD} (over drive). Toto napětí určuje „přesah“ řídicího napětí U_{GS} přes hodnotu prahového napětí U_T (3.4). Hodnota napětí U_{OD} se volí při návrhu obvodu přibližně z rozsahu $\pm 0,15V$ až $\pm 0,2V$, pro NMOS tranzistory je hodnota kladná, u PMOS tranzistorů je hodnota záporná.

$$U_{BC2} \geq U_{GS_MN1,2} + U_{DSAT_MN3,4} \quad (3.3)$$

$$U_{BC2} \geq U_{T_MN1,2} + U_{OD_MN1,2} + U_{OD_MN3,4} = 1 + 0,2 + 0,2 = 1,4V$$

$$U_{DSAT} = U_{OD} = U_{GS} - U_T \quad (3.4)$$

- Hodnota U_{BC1} musí splňovat stejné požadavky jako hodnota U_{BC2} pro PMOS tranzistory, u kterých je prahové napětí vyšší než u NMOS tranzistorů. V závislosti na teplotě a procesu může mít nejvyšší hodnotu -1,2V.

$$U_{BC1} \geq U_{NAP} + U_{GS_MP3,4} + U_{DSAT_MP1,2}$$

$$U_{BC1} \geq U_{NAP} + U_{T_MP3,4} + U_{OD_MP3,4} + U_{OD_MP1,2} = 5 - 1,2 - 0,2 - 0,2 = 3,4V \quad (3.5)$$

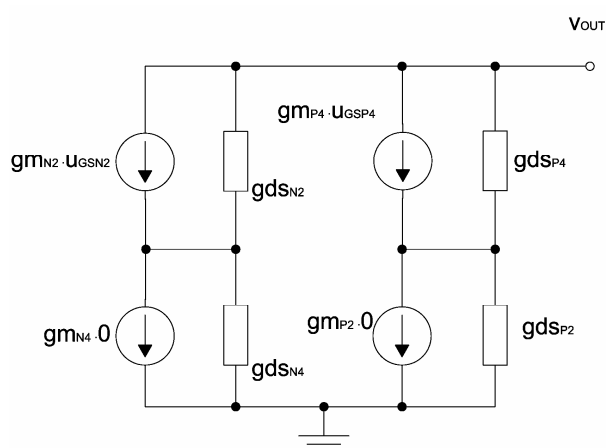
3.2 Malosignálový model složené kaskody

Z důvodu poměrně velké složitosti obvodu složené kaskody jsem náhradní malosignálové schéma zjednodušil. Vstupní tranzistory považuji za ideální zdroje proudu řízené napětím podle vztahu (2.11). Proud i_{PN} se přezrcadlí kaskodovým zrcadlem do druhé větve složené kaskody. Střídavý odpor výstupního uzlu lze určit z Obr. 8. Jedná se o malosignálové náhradní schéma pravé větve složené kaskody. Parametr g_{ds} určuje dynamický výstupní odpor tranzistoru MOS. Lze jej vypočítat pomocí vztahu (3.6).

$$g_{ds} = I_D \cdot \lambda \quad (3.6)$$

Hodnotu dynamického odporu výstupního uzlu kaskody proti zemi lze určit ze vztahu (3.7) [1].

$$R_{out} = gm_{P4} \cdot gds_{P4} \cdot gds_P \parallel gm_{N2} \cdot gds_{N2} \cdot gds_N \quad (3.7) [1]$$



Obr. 8 - Malosignálové náhradní schéma větve složené kaskody

Hodnotu výstupního střídavého napětí lze vypočítat pomocí vztahu (3.8).

$$u_{out} = (i_{NN} + i_{NP} + i_{PN} + i_{PP}) \cdot R_{out} \quad (3.8)$$

Zesílení obvodu pak určíme pomocí vztahu (3.9). Pokud jsou transkonduktance všech vstupních tranzistorů stejné, lze vztah dále zjednodušit. Zesílení je tedy závislé na transkonduktanci vstupních tranzistorů a na výstupním střídavém odporu, který je díky kaskodové konfiguraci dostatečně vysoký. Toto celkové zesílení platí pouze pro region 2, tedy pokud jsou aktivní oba diferenční páry. Pokud zesilovač pracuje v regionu 1 nebo v regionu 3, podílí se na zesílení pouze jeden diferenční pár a zesílení je pouze poloviční. Pracovní bod zapojení se mění v závislosti na regionu činnosti, což také ovlivňuje hodnotu výsledného zesílení.

$$A_0 = \frac{v_{out}}{v_{in}} \approx \left(\frac{gm_{NN}}{2} + \frac{gm_{NP}}{2} + \frac{gm_{PN}}{2} + \frac{gm_{PP}}{2} \right) R_{out} \approx 2 \cdot gm \cdot R_{out} \quad (3.9)$$

4 Kompenzace zesílení

Kompenzace zesílení rail-to-rail zesilovače je důležitá z hlediska stability a minimalizace harmonického zkreslení zesilovaného signálu. Transkonduktanci tranzistoru lze určit pomocí vztahů (4.1) a (4.2) [7]. První ze vztahů je pro tranzistor pracující ve slabé inverzi (weak inversion), druhý pro silnou inverzi (strong inversion).

$$g_{m_{WEAK}} = \frac{I_D}{nU_{Th}} \quad (4.1) [7]$$

$$g_{m_{STRONG}} = \frac{2I_D}{U_{OD}} \quad (4.2) [7]$$

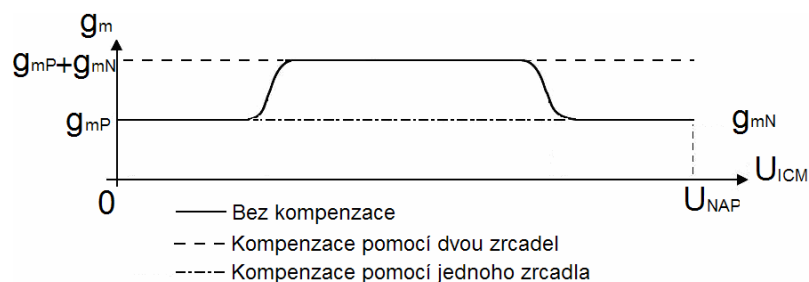
Napětí U_{Th} je takzvané teplotní napětí, lze vypočítat pomocí vztahu (4.3) [7].

$$U_{Th} = \frac{k \cdot T}{q} \quad (4.3) [7]$$

Pro dosažení menšího offsetu je výhodnější, aby vstupní tranzistory pracovaly ve slabé inverzi. Transkonduktance vstupních tranzistorů se tedy vypočítá pomocí vztahu (4.1) [7]. Celkové zesílení diferenčních párů a složené kaskody lze zjistit ze vztahu (3.9). Abychom tedy dosáhli konstantního zesílení, musíme udržet konstantní součet proudů, které protékají rozdílovými zesilovači (4.4) [7] v celém rozsahu vstupního souhlasného napětí.

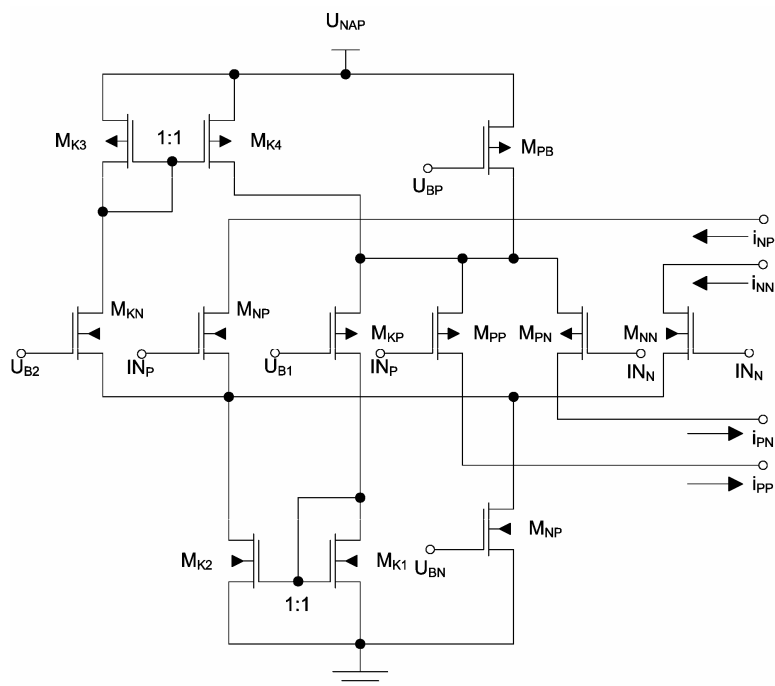
$$I_{PB} + I_{NB} = konst \quad (4.4) [7]$$

Zesílení lze kompenzovat za použití jednoho nebo dvou proudových zrcadel Obr. 10. Nevýhodou použití jednoho zrcadla je poloviční zesílení oproti kompenzaci za použití dvou zrcadel Obr. 9.



Obr. 9 - Závislost zesílení na souhlasném vstupním napětí při kompenzaci pomocí jednoho a dvou zrcadel

Princip kompenzace pomocí dvou zrcadel je založen na převodu proudů mezi jednotlivými rozdílovými zesilovači. Při vysokém vstupním souhlasném napětí je proud I_{D_MPB} přes tranzistor M_{KP} a zrcadlo $M_{K1,K2}$ převeden do NMOS rozdílového zesilovače. Pokud je naopak souhlasné napětí nízké, dojde k převodu proudu z NMOS do PMOS rozdílového zesilovače. V důsledku toho je suma proudů rozdílovými zesilovači, a tedy i zesílení, konstantní. Důležité pro funkci obvodu je, aby zrcadla $M_{K1,K2}$ a $M_{K3,K4}$ zrcadlila v poměru 1:1.



Obr. 10 - Kompenzace zesílení pomocí dvou zrcadel 1:1

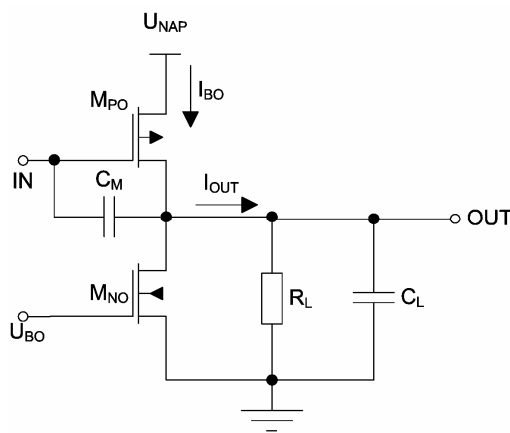
Velikost napětí U_{B1} a U_{B2} nastavuje, při jakém vstupním napětí dojde k převodu proudu z jednoho rozdílového zesilovače do druhého. Toto napětí se dá určit z rovnic (2.3) a (2.7) s určitou rezervou. Hodnoty napětí po výpočtu vycházejí:

$$U_{B1} = 3,2V \text{ a } U_{B2} = 1,4V$$

5 Výstupní stupeň

Jako výstupní stupeň je použit invertor Obr. 11, což je ve svém principu zesilovač ve třídě A. Zapojení tohoto obvodu je na Obr. 11. Prvky R_L a C_L představují vnější zátěž zesilovače. Obvod má být schopen dodat proud až $300\mu\text{A}$, zatěžovací kapacita má hodnotu $C_L=40\text{pF}$. Zatěžovací odpor lze při simulacích nahradit ideálním proudovým zdrojem. Velikost klidového pracovního proudu by měla být přibližně dvakrát větší než maximální výstupní proud (5.1). Velkou nevýhodou zesilovače ve třídě A je velmi malá účinnost.

$$I_{BO} \geq 2 \cdot I_{OUT_MAX} \quad (5.1)$$



Obr. 11 – Výstupní stupeň

5.1 Velikost stejnosměrného zesílení invertoru

Výstupní stupeň se svým zesílením podílí na celkovém zesílení zesilovače. Hodnotu stejnosměrného zesílení nezatíženého zesilovače lze vypočítat pomocí vztahu (5.2), pokud k zesilovači připojíme zatěžovací odpor, zesílení klesne (5.3).

$$A_V = \frac{v_{OUT}}{v_{IN}} = - \frac{g_{m_{MPO}}}{g_{ds_{MPO}} + g_{ds_{MNO}}} \quad (5.2)$$

$$A_V = \frac{v_{OUT}}{v_{IN}} = - \frac{g_{m_{MPO}}}{g_{ds_{MPO}} + g_{ds_{MNO}} + G_L} \quad (5.3)$$

5.2 Frekvenční kompenzace

Velmi důležitou vlastností operačního zesilovače je stabilita, a to při všech teplotách a operačních podmínkách. Nestabilní chování zesilovače se projevuje především pokud je zesilovač zapojen do zpětné záporné vazby. V důsledku nestability se může ze záporné zpětné vazby stát kladná zpětná vazba, což způsobí, že zesilovač se začne chovat jako oscilátor. Požadavkem je, aby se ve frekvenčním rozsahu, kde je zesílení větší jako jedna, zesilovač choval jako jednopólový systém. Frekvenční kompenzace spočívá v rozštěpení pólů (pole splitting) pomocí Millerovy kapacity. Millerova kapacita C_M Obr. 11 se zapojí mezi vstup a výstup zesilovače, jehož póly chceme rozštěpit. Vstupní pól se přesune na nižší frekvenci a výstupní pól na frekvenci vyšší. To je způsobeno kapacitou C_M , která se podle Millerova teorému projeví na vstupu zesílena C' (5.4) a na výstupu C'' (5.5) obvodu téměř nezměněná.

$$C' = C_M (1 - A_V) \quad (5.4)$$

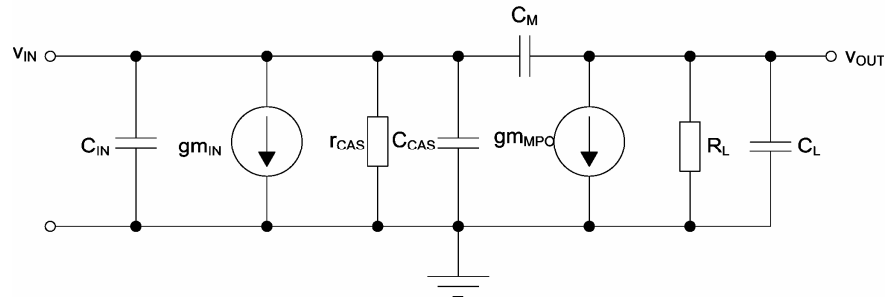
$$C'' = \frac{C_M \cdot A_V}{A_V - 1} \quad (5.5)$$

Každý stupeň zesilovače se v malosignálovém modelu zesilovače projeví jedním dominantním pólem. Jak už bylo řečeno, zesilovač se musí chovat jako jednopólový systém až do tranzitní frekvence GBW Obr. 13. Zjednodušený malosignálový model celého zesilovače je na Obr. 12. Kapacita C_{IN} představuje vstupní kapacitu operačního zesilovače, ideální proudový zdroj $g_{m_{IN}}$ nahrazuje vstupní diferenční páry a složenou kaskodu, r_{CAS} představuje dynamický odpor ve výstupním uzlu kaskody, C_{CAS} ekvivalentní kapacitu na výstupu kaskody, $g_{m_{MPO}}$ představuje tranzistor M_{PO} , R_L a C_L představují vnější zátěž obvodu. Odpor R_L nahrazuje i výstupní odpor nezátíženého invertoru. Pokud nebude Millerova smyčka uzavřená (kapacitor C_M nebude připojen), budou dva dominantní póly p_1 a p_2 (5.6) [7] na blízkých frekvencích. Po uzavření Millerovy smyčky se póly rozštěpí, posunuté póly p_1' (5.7) [7] a p_2' (5.8) [7] budou ležet na vzdálených frekvencích. V kompenzovaném obvodu bude dominantní pouze jediný pól p_2' .

$$f_{p1} = \frac{1}{2\pi R_L C_L} \quad f_{p2} = \frac{1}{r_{CAS} C_{CAS}} \quad (5.6) [7]$$

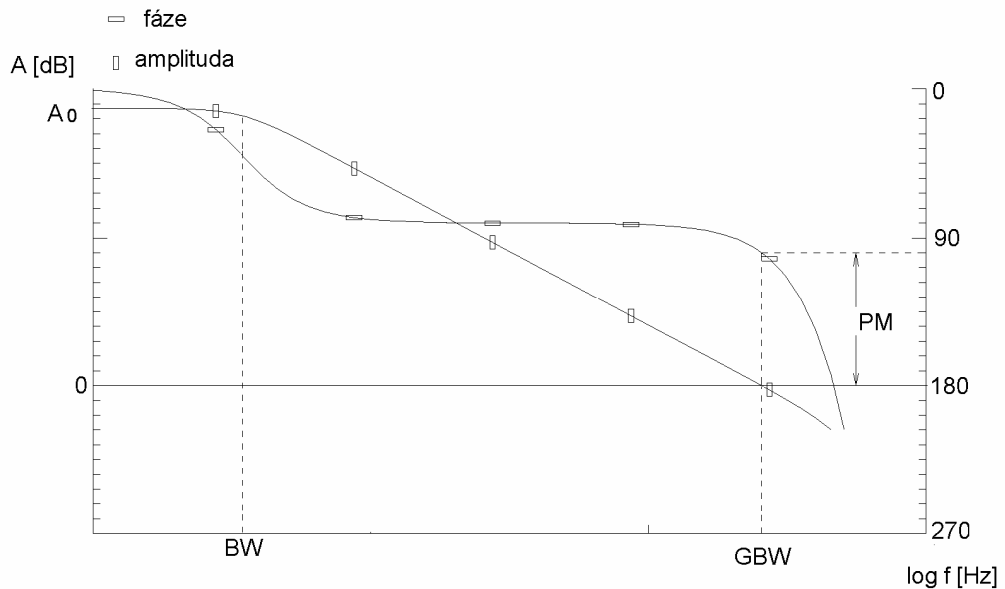
$$f_{p1'} = \frac{g_{m_{MPO}}}{2\pi C_L \left(1 + \frac{C_{CAS}}{C_M}\right) + C_{CAS}} \approx \frac{g_{m_{MPO}}}{2\pi C_L} \quad (5.7) [7]$$

$$f'_{P2'} = \frac{1}{2\pi r_{CAS} g_{m_{MPO}} R_L C_M} \quad (5.8) [7]$$



Obr. 12 - Ekvivalentní malosignálový model dvoustupňového zesilovače

Se stabilitou operačního zesilovače úzce souvisí velikost fázové bezpečnosti PM (phase margin). Ta by neměla být horší jako 60° , a to i v závislosti na teplotě a procesu výroby. Fázovou bezpečnost lze odečíst z charakteristiky na Obr. 13. Její hodnota udává, o kolik je fáze signálu menší jako 180° při jednotkovém zesílení. Dalšími parametry zesilovače jsou šířka pásma BW (band width), tranzitní kmitočet GBW (gain band width) a amplitudová bezpečnost GM (gain margin), která udává zesílení při otočení fáze 180° . Hodnota amplitudové bezpečnosti by měla být nejméně -12dB .



Obr. 13 Amplitudová a fázová charakteristika dvoustupňového zesilovače

6 Způsob snížení offsetu

Zásadním parametrem operačního zesilovače, který je použit pro měření (například jako sledovač napětí na senzoru), je hodnota offsetu. Dle zadání nemá offset přesáhnout hodnotu 5mV. Celkový offset zesilovače se skládá ze dvou dílčích složek, a to strukturálního (systematického) a náhodného offsetu. Z hlediska velikosti je dominantním přispěvatelem náhodný offset.

6.1 Strukturální (systematický) offset

Strukturální offset bývá způsoben nevhodným přizpůsobením jednotlivých stupňů zesilovače, především nevhodným nastavením klidového pracovního bodu. Strukturální offset lze kompenzovat na minimum, pokud dodržíme při návrhu vztah (6.1).

$$\frac{W / L_{(MNO)}}{W / L_{(MN3,4)}} = \frac{W / L_{(MPO)}}{W / L_{(MP1,2)}} \quad (6.1)$$

6.2 Náhodný offset (Random offset)

Výpočet náhodného offsetu se provádí pomocí statistických dat z výroby. Náhodný offset je tedy statistickou veličinou, která má normální (Gaussovo) rozdělení pravděpodobnosti.

Střední hodnota offsetu odpovídá strukturálnímu offsetu, směrodatná odchylka pak hodnotě náhodného offsetu. Velikost náhodného offsetu lze určit pro určitý podíl výroby (počet směrodatných odchylek σ). Podíl výroby a počet směrodatných odchylek, pro které je daná hodnota náhodného offsetu udávána, je znázorněn v Tab. 1.

Tab. 1 - Podíl výroby v závislosti na počtu směrodatných

odchylek pro které je náhodný offset určen

počet σ	podíl výroby [%]
σ	68.26894921371
2σ	95.44997361036
3σ	99.73002039367
4σ	99.99366575163
5σ	99.99994266969
6σ	99.99999980268

Náhodný offset musí při hromadné výrobě splňovat podmínku pro 6σ , to znamená, že z 5 milionů vyrobených obvodů nesplní podmínku offsetu pouze jeden. V našem případě postačí, pokud bude obvod splňovat podmínku pro 4σ . Náhodný offset je způsoben nepřesností výroby, především je ovlivněn procesy leptání a litografie. Minimalizace těchto nepřesností lze dosáhnout precizním návrhem topologie (layoutu). Jde nám především o co největší sesouhlasení (matching) tranzistorů diferenčního páru a také kaskodového proudového zrcadla a zdrojů pracovního proudu kaskody. Pro dosažení největšího sesouhlasení je potřeba dodržovat následující doporučení:

- **orientace tranzistorů**

Pokud je to možné, všechny tranzistory by měly být na čipu stejně orientovány (proud by měl téct stejným směrem), a to z důvodu anizotropnosti některých chemických procesů použitých při výrobě, např. nestejnou rychlostí leptání v různých směrech krystalové mřížky. Tyto procesy mají především vliv na efektivní délku kanálu tranzistoru.

- **velikost tranzistoru**

Všeobecně není doporučeno pro tranzistory v analogových obvodech používat nejmenší možnou délku hradla tranzistorů dané technologie, a to především z důvodu špatného sesouhlasení jednotlivých tranzistorů a malého výstupního odporu tranzistoru. Nejmenší možnou délku kanálu je možno použít pro tranzistory v digitálních obvodech, které pracují jako spínače. Větší délka kanálu zmenšuje parametr modulace délky kanálu, což nám dělá z tranzistoru lepší zdroj proudu. Parametr modulace délky kanálu je možné určit pomocí empirického vztahu (6.2)[2].

$$\lambda \cong \frac{10^7}{\sqrt{N_{A(D)}[cm^{-3}] \cdot L[\mu m]}} \quad (6.2)$$

„Rozptyl napětí $\sigma_p U_T$ [3] mezi dvěma sesouhlasenými PMOS tranzistory závisí na jejich velikosti podle vztahu (6.3) [3], hodnoty šířky a délky jsou zadány v μm . Parametr A_{VT} je závislý na výrobním procesu, pro starší technologie je větší $50mV\mu m$, nové technologie pro precizní analogové obvody mají hodnotu menší jako $5mV\mu m$. V Tab. 2 jsou uvedeny parametry A_{VT} technologie CMOS07. Lepší proudové sesouhlasení potřebné pro proudové zrcadlo nastane, pokud bude zrcadlo pracovat v saturačním (strong inversion) režimu.“[3].

$$(\sigma_p U_T)^2 = \frac{A_{VT-P}^2}{WL} + C_{VT-P}^2 \quad (6.3) [3]$$

$$(\sigma_N U_T)^2 = \frac{A_{VT-N}^2}{WL} + C_{VT-N}^2 \quad (6.4) [3]$$

$$(\sigma_P \Delta\beta / \beta)^2 = \frac{A_{\beta-P}^2}{WL} + C_{\beta-P}^2 \quad (6.5) [3]$$

$$(\sigma_N \Delta\beta / \beta)^2 = \frac{A_{\beta-N}^2}{WL} + C_{\beta-N}^2 \quad (6.6) [3]$$

Celkový offset obvodu lze určit pomocí vztahu (6.7) [7].

$$\begin{aligned} \Delta U_{OS} = & \sigma_P U_{T(MPN,MPP)} + \sigma_N U_{T(MNP,MNN)} + \frac{1}{2} \sqrt{\frac{\beta_{(MP1,MP2)}}{\beta_{(MNN,MNP)}}} \cdot \sigma_P U_{T(MP1,MP2)} \\ & + \frac{U_{OD(INP)}}{2} (\sigma_P \Delta\beta / \beta_{(MPN,MPP)} + \sigma_N \Delta\beta / \beta_{(MNN,MNP)} + 2\sigma_P \Delta\beta / \beta_{(MP1,MP2)}) \end{aligned} \quad (6.7) [7]$$

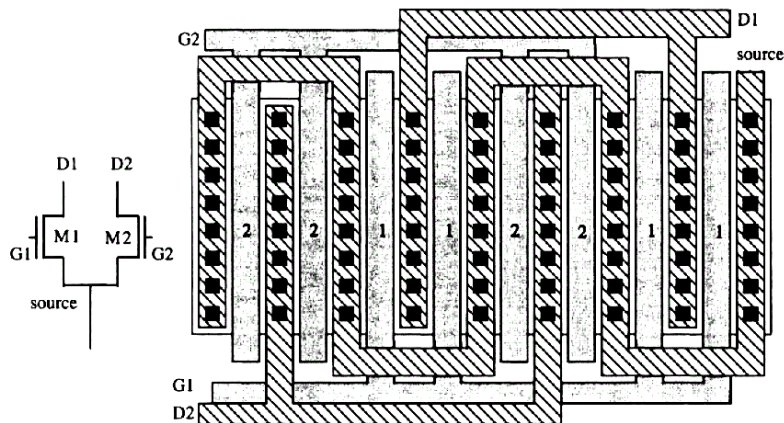
Pro minimalizaci náhodného offsetu je nutné dodržet následující doporučení :

- používat co největší tranzistory
- použít efektivní napětí gate-source $U_{OD(INP)}$ vstupních tranzistorů co nejmenší (slabá inverze)
- použít poměr W/L tranzistorů kaskodového zrcadla a zdroje pracovního proudu kaskody co nejmenší

Tab. 2 - Parametry technologie CMOS07

Parametr	NMOS	PMOS	PMOS(low U_T)
Minimální délka hradla [μm]	0,7	0,7	1,2
Tloušťka hradlového oxidu [nm]	17,5	17,5	17,5
Prahové napětí U_T [V]	0,75	-1	-0,75
Trans. Faktor. β [$\mu\text{A}/\text{V}^2$]	95	30	35
Body factor [V^{-1}]	0,75	0,5	0,5
Průrazné napětí [V]	8	8	8
Parametr A_{VT} [mV* μm]	11,5	19	-
Parametr A_β [%* μm]	2,5	2,3	-
Parametr C_{VT} [mV]	0,2	0,4	-
Parametr C_β [%]	0	0	-

Pro návrh topologie (layout) tranzistorů, které potřebují být sesouhlaseny, se používá technika common centroid, která spočívá v rozdělení tranzistorů na menší části. Tyto části se pak vhodně navzájem proloží tak, aby byla struktura symetrická podle jednoho bodu, a následně se jednotlivé díly stejných tranzistorů paralelně pospojují. Příklad této techniky pro sesouhlasení dvou tranzistorů diferenčního páru je na Obr. 14.



Obr. 14 - Sesouhlasení dnou tranzistorů diferenčního páru [2]

7 Postup návrhu zesilovače

V této kapitole je uveden příklad ručního výpočtu zesilovače, jednotlivé vypočtené parametry byly dále upraveny podle výsledků simulací.

7.1 Výpočet parametrů vstupních tranzistorů

Pro výpočet vstupních tranzistorů byla použita rovnice (7.1). Pro eliminaci náhodného offsetu je vhodné, aby bylo efektivní napětí U_{GS} vstupních tranzistorů co nejmenší. Tranzistory tedy budou pracovat v režimu slabé (weak) nebo střední (moderate) inverze. Hodnotu parametru n je velmi obtížné přesně určit, pohybuje se v rozsahu $\langle 1,2 - 1,5 \rangle$ a závisí na stejnosměrných pracovních podmínkách tranzistoru. Při výpočtu jsem použil hodnotu 1,3 z důvodu zjednodušení. Koeficient IC se nazývá inverzní koeficient. Jeho hodnota určuje oblast činnosti tranzistoru. Pro oblast slabé inverze je koeficient $IC < 0,1$, uprostřed režimu slabé inverze je $IC = 1$. Velikost proudu I_D vstupních tranzistorů jsem zvolil shodnou s velikostí vnějšího pracovního proudu ($5\mu A$). Vstupní tranzistory budou pracovat v režimu střední inverze $IC = 1$. Po výpočtu poměru W/L byla zvolena délka hradla, z které byla pak dopočtena šířka kanálu W . Výsledky jsou uvedeny v Tab. 3.

$$\frac{W}{L} = \frac{I_D}{2n\mu C_{ox} IC U_{Th}^2} \quad (7.1)$$

Tab. 3 - Parametry vstupních tranzistorů

Tranzistor	výpočet W/L [-]	volba L [μm]	dopočet W [μm]
M_{PN}, M_{PP}	100	3	300
M_{NN}, M_{NP}	32	5	158

7.2 Výpočet biasovacích tranzistorů

Pro tranzistory nastavující pracovní proud je vhodnější použít vyšší hodnotu napětí U_{OD} . Při výpočtu jsem počítal s hodnotou 0,25V. Parametr W/L jsem vypočítal pomocí rovnice (7.2) pouze pro tranzistor M_{bias} , kterým protéká vnější pracovní proud. Ostatní tranzistory jsem dopočítal podle zrcadlicího poměru (7.3). Výsledky výpočtů jsou uvedeny v Tab. 4. Proud procházející výstupním invertorem byl zvolen $600\mu A$. Dále jsou NMOS tranzistory dodávající pracovní proud zrcadleny z tranzistoru I_{14} , kterým protéká proud $10\mu A$.

$$\frac{W}{L} = \frac{2I_D}{\mu C_{OX} U_{OD}^2} \quad (7.2)$$

$$\frac{W/L_{M_{bias}}}{W/L_{M_{PB}}} = \frac{I_{D_M_{bias}}}{I_{D_M_{PB}}} \quad (7.3)$$

Tab. 4 - Parametry biasovacích tranzistorů

Tranzistor	výpočet W/L [-]	volba L [μm]	dopočet W [μm]
M _{bias}	5	3	15
M _{PB}	10	3	30
M _{NB}	3,6	3	11
I ₁₄	3	3	9
M _{N3} , M _{N4}	4,3	6	26
M _{NO}	180	1	180

7.3 Výpočet tranzistorů kaskody

Při výpočtu těchto tranzistorů bylo postupováno obdobně jako při výpočtu biasovacích tranzistorů (7.2), (7.3). Důležitým je také vztah (7.4), který určuje v jakém poměru musí být velikost PMOS a NMOS tranzistorů, pokud jimi teče stejný proud a mají stejné napětí U_{OD} . Parametry navržených tranzistorů jsou uvedeny v (7.4).

$$\frac{\beta_N}{\beta_P} = \frac{W/L_P}{W/L_N} \quad (7.4)$$

Tab. 5 - Parametry tranzistorů kaskody

Tranzistor	výpočet W/L [-]	volba L [μm]	dopočet W [μm]
M _{P1} , M _{P2}	13,6	6	82
M _{P3} , M _{P4}	13,6	2	28
M _{N1} , M _{N2}	4,3	2	9
M _{PO}	500	1	500

Výpočet ostatních tranzistorů nebudu uvádět, protože je obdobný jako předchozí výpočty, např. tranzistory kompenzující zesílení mají stejné velikosti jako tranzistor basující rozdíllový stupeň.

7.4 Výpočet Millerovy kapacity

Millerovu kapacitu jsem určil z rovnic pro výpočet frekvence rozštěpených pólů (5.7) [7], (5.8) [7] a také rovnice pro výpočet celkového stejnosměrného zesílení (3.9). Výpočet transkonduktance výstupního tranzistoru jsem provedl při proudu $300\mu\text{A}$. Při tomto proudu bude minoritní pól na nejnižší frekvenci (7.6).

$$g_{m_{MPO}} = \sqrt{2\mu C_{OX} \frac{W}{L} I_D} = \sqrt{2 \cdot 30 \cdot 10^{-6} \cdot 600 \cdot 300 \cdot 10^{-6}} = 3\text{mA/V} = 3,3\text{mS} \quad (7.5)$$

$$f'_{p1} = \frac{g_{m_{MPO}}}{2\pi C_L} = \frac{3,3 \cdot 10^{-3}}{2 \cdot 3,14 \cdot 4 \cdot 10^{-11}} = 13,2\text{MHz} \quad (7.6)$$

Tranzitní kmitočet GBW by měl z důvodu stability ležet na třikrát menším kmitočtu než pól p_1 . Při stejnosměrném zesílení 120dB musí majoritní pól p'_2 ležet na frekvenci menší jako 4,4Hz, aby byl obvod stabilní.

$$f'_{p2} = \frac{f'_{p1}/3}{A_o} = \frac{13,2 \cdot 10^6 / 3}{1 \cdot 10^6} = 4,4\text{Hz} \quad (7.7)$$

Millerovu kapacitu počítám (7.8) počítám pro zatěžovací kapacitu $C_L=40\text{pF}$. Výstupní odpor kaskody jsem určil pomocí simulace, jeho hodnota je s rezervou $r_{CAS}=35\text{M}\Omega$.

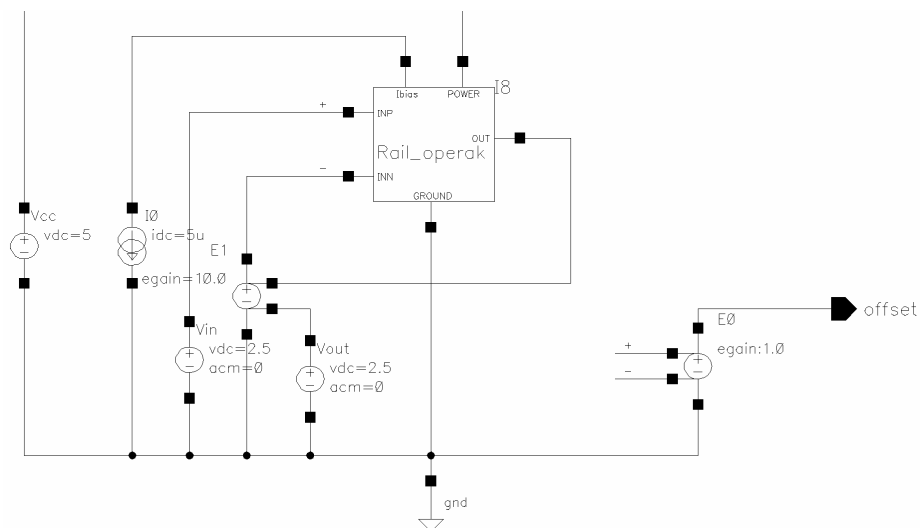
$$C_M = \frac{1}{2\pi r_{CAS} g_{m_{MPO}} R_L f'_{p2}} = \frac{1}{2 \cdot 3,14 \cdot 35 \cdot 10^6 \cdot 3,3 \cdot 10^{-3} \cdot 8,6 \cdot 10^3 \cdot 4,4} = 36\text{pF} \quad (7.8)$$

8 Simulace v návrhovém prostředí Cadence

Obvod navržený pomocí ručního výpočtu jsem simuloval v návrhovém prostředí Cadence. Doladění parametrů obvodových prvků proběhlo na základě výsledků simulací. Finální obvod operačního zesilovače je uveden v příloze 1. Při simulaci jsem postupoval podle návodu [4]. Podrobné výsledky simulací obvodu jsou přiloženy na CD jak v grafické, tak i v textové podobě.

8.1 Simulace offsetu

Pomocí prostředí Cadence lze simulovat systematický i náhodný offset. Systematický offset lze simulovat pro celý rozsah vstupního společného napětí, pomocí corner analýzy můžeme navíc simulovat vliv teploty a výrobního procesu na hodnotu systematického offsetu. Zapojení zesilovače pro simulování systematického offsetu je uvedeno na Obr. 15. V záporné zpětné vazbě zesilovače je umístěn řízený napěťový zdroj z důvodu omezení vlivu výstupního rozsahu zesilovače na simulaci vstupního offsetu. Výsledná corner analýza vstupního offsetu je uvedena v příloze 4. Vstupní offset byl simulován v rozsahu -1V až 5,8V a na tomto rozsahu hodnota offsetu nepřesáhla $\pm 15\mu\text{V}$, a to ani v závislosti na teplotě a výrobním procesu. Vstupní rozsah zesilovače tedy s rezervou splňuje zadání.



Obr. 15- Schéma zapojení pro simulování systematického offsetu

Náhodný offset lze simulovat pouze v jednom pracovním bodě pomocí matching analýzy. Výsledkem simulace je rozptyl zvolené hodnoty (proudu nebo napětí) a také vliv jednotlivých obvodových prvků na tuto změnu. Náhodný offset byl simulován v zapojení

sledovače napětí, a to pro tři hodnoty vstupního napětí. Souhrn výsledků matching analýzy pro případ vysokého stupně sesouhlasení všech tranzistorů je uveden v Tab. 6, hodnoty offsetu jsou uvedeny pro 1σ a 4σ . Zesilovač tedy splnil požadovanou hodnotu maximálního offsetu pro 4σ , což přibližně odpovídá 99.9936% z výroby. Tranzistory s největším příspěvkem na hodnotu náhodného offsetu jsou uvedeny v Tab. 7. Tyto tranzistory bude tedy potřeba při návrhu topologie obvodu sesouhlasit pomocí techniky common centroid.

Tab. 6 - Výsledky matching analýzy náhodného offsetu

V_{inCOM} [V]	$\Delta U_{OS}(1\sigma)$ [mV]	$\Delta U_{OS}(4\sigma)$ [mV]
2,5	0,9346	3,7384
0,1	1,2483	4,9932
4,9	1,147	4,588

Tab. 7 - Tranzistory s největším příspěvkem na náhodný offset

Tranzistor	U_{T_OFFSET} [mV]	β_{OFFSET} [mV]
M_{N3}	1,448	0,485
M_{N4}	1,448	0,485
M_{P1}	1,428	0,244
M_{P2}	1,427	0,244
M_{PP}	1,137	0,065
M_{PN}	1,137	0,065
M_{NP}	1,117	0,119
M_{NN}	1,117	0,119

8.2 Simulace výstupního rozsahu

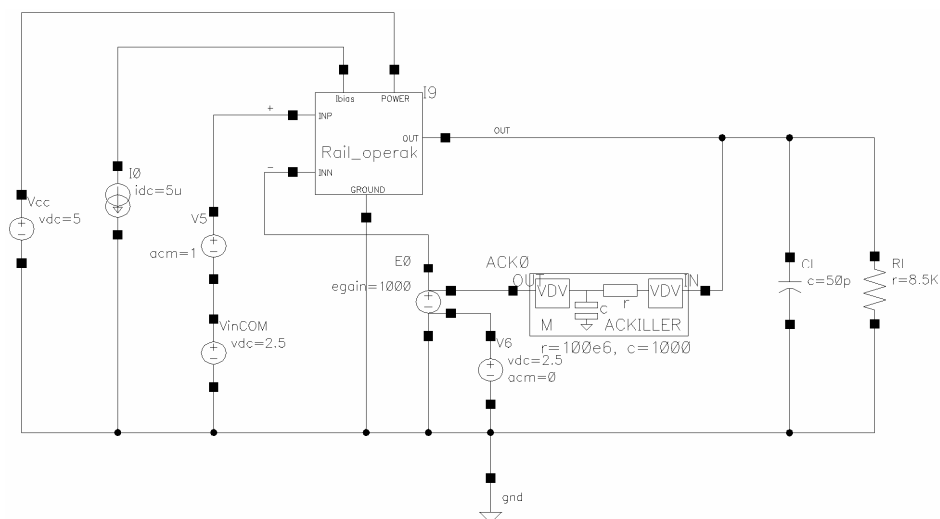
Pro simulaci výstupního rozsahu byl zesilovač zapojen jako sledovač napětí. Výstupní rozsah byl určen jako rozsah napětí sledovače, při kterém hodnota offsetu nepřesáhla $150\mu V$. Při simulaci byl z výstupu odebírán proud $\pm 300\mu$ podle toho, co bylo pro hodnotu rozsahu méně výhodné. Výsledky simulace jsou uvedeny v Tab. 8. Grafické výsledky jsou uvedeny v příloze 5 a příloze 6.

Tab. 8 - Výstupní rozsah zesilovače

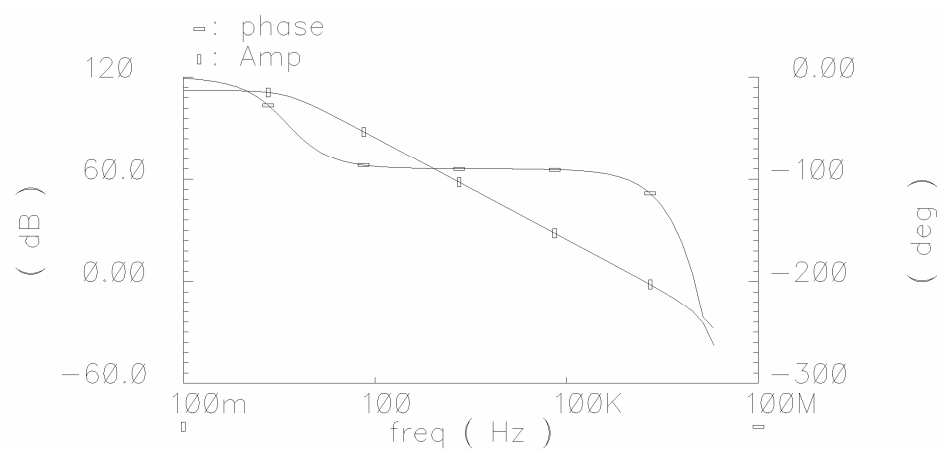
Parametr	MIN	MAX
Typická hodnota [V]	140m	4,96
Worst case [V]	2m	4,98
I_{OUT} [μA]	-300	300

8.3 AC simulace

Při AC simulaci byl navržený zesilovač simulován pomocí zapojení na Obr. 16. Obvod obsahuje vnější odporovou a kapacitní zátěž. Zesilovač má zavedenou zápornou zpětnou vazbu přes AC killer. Tento obvod zajistí, aby se zesilovač nacházel při AC simulaci v požadovaných stejnosměrných pracovních podmínkách. Velikost vstupního souhlasného napětí udává zdroj V_{INCOM} , zesilovač měl při typické simulaci vstupní souhlasné napětí rovné polovině napájecího napětí. Na toto souhlasné napětí je nasuperponován budící střídavý signál zdroje V5 o jednotkové amplitudě. Pomocí tohoto schématu je možné zjistit stejnosměrné zesílení A_0 , tranzitní kmitočet GBW, fázovou bezpečnost PM a amplitudovou bezpečnost GM. Typická AC simulace zesilovače je na Obr. 17. Corner analýza, která zohledňuje výrobní a teplotní rozptyl parametrů všech součástek na čipu, je uvedena v příloze 2. Její výsledky jsou shrnuty v Tab. 9. Na příloženém CD jsou i simulace pro zbylé hodnoty napětí V_{INCOM} . Při AC simulaci byl ze zesilovače odebírán proud $-300\mu A$, výstup byl držen stejnosměrným napětím na polovině napájecího napětí. Simulace závislosti zesílení na vstupním souhlasném napětí je v příloze 3.



Obr. 16 - Schéma zapojení pro simulování AC parametrů zesilovače



Obr. 17 - Typická AC simulace

Tab. 9 - Souhrn výsledků AC simulace

parametr	u_{inCOM} [V]	min	typ	max	worst case
A_0 [dB]	2,5	104	112	118	104
	0,1	105	112	117	
	4,9	104	112	118	
PM[°]	2,5	64	70	72	64
	0,1	71	75	77	
	4,9	67	73	76	
GM[dB]	2,5	-13	-15	-16	-13
	0,1	-16	-18	-20	
	4,9	-13	-16	-18	
GBW[MHz]	2,5	1,2	1,7	2,4	0,85
	0,1	0,85	1,2	1,6	
	4,9	0,95	1,3	1,9	

9 Závěr

Navržený operační zesilovač rail-to-rail vyhověl zadaným parametrům. Buňka zesilovače bude použita pro čip řízení elektrochemického senzoru, který se řeší v rámci jiného projektu na Ústavu mikroelektroniky VUT v Brně. Doposud byla pro tento čip použita standardní buňka operačního zesilovače, která měla offset 10mV. Navržený zesilovač má typickou hodnotu offsetu 3,74mV, což by mělo umožnit více jak dvakrát zvětšit přesnost elektrochemického senzoru.

Díky použití obou typů rozdílových zesilovačů je schopen navržený zesilovač zesilovat vstupní napětí v celém rozsahu napájecího napětí, dá se tedy označit jako rail-to-rail operační zesilovač. Hodnota stejnosměrného zesílení byla typicky 112dB, ani v nejhorsím případě nebyla hodnota zesílení menší jako zadaných 100dB. Navržený obvod dodržel požadovaná kritéria stability, a to jak s vlivem rozptylu parametrů tranzistorů, tak teploty.

Výstupní stupeň zesilovače byl schopen dodat požadovaný proud 300 μ A. Pokud by bylo potřeba z výstupu zesilovače získávat větší proud, je možné použít navržený operační zesilovač bez výstupní části. K zesilovači by bylo pak možné připojit silnější výstupní stupeň, např. ve třídě AB.

Součástí projektu byl také návrh topologie (příloha 7) obvodu. Layout je umístěn ve standardní buňce dané technologie, a to z důvodu jednoduchosti začlenění do obvodu elektrochemického senzoru. Celkový rozměr topologie i s napájecími vodiči (raily) je 520 μ m x 210 μ m, což odpovídá ploše 0,109mm². Topologie byla ověřena pomocí procedur DRC a LVS, které kontrolují dodržení návrhových pravidel technologie a schodu navržené topologie se schématem obvodu.

V průběhu projektu jsem se potýkal s mnohými problémy, nejobtížnějším z nich bylo snížení náhodného offsetu na požadovanou úroveň. Dále pak počáteční problémy s porozuměním dané problematiky v cizím jazyce. Při realizaci jsem se také naučil pracovat v návrhovém systému Cadence, který podporuje vyšší modely tranzistorů a pokročilé typy simulací.

10 Použitá literatura

- [1] ALEEN, Phillip E. *CMOS analog circuits design - second edition* Oxford university press, 2002 ISBN 0195116445
- [2] MALOBERTI, F. *Analog design for CMOS VLSI systems* Kluwer academical publisher 2001 ISBN 0792375505
- [3] IVANOV, V., FILANOVSKY, I. *Operational amplifier speed and accuracy improvement* Kluwer academical publisher 2004 ISBN 1402077726
- [4] KHATEB, F. *Cadence step by step* Brno : Vysoké učení technické v Brně
- [5] HELLUMS, E. *Matching analysis and the design off low offset amplifiers* Dalas : The university of Texas at Dallas
- [6] RAZAVI, B. *Design of analog CMOS integrated circuits* 2001 ISBN 0071188150
- [7] HOGERVORST, R., HUIJSING, Johan H. *Design of low-voltage, low-power operational amplifier cells* 1996 ISBN 0792397819

11 Seznam použitých symbolů

symbol	popis	jednotka
μ_0	mobilita náboje	cm^2/Vs
A_0	stejnoseměrné zesílení	dB
A_{VC}	zesílení souhlasného vstupního napětí	-
A_{VD}	zesílení diferenčního vstupního napětí	-
BW	šířka pásma	Hz
β	transkondakтанční faktor	A/V^2
C_M	Millerova kapacita	F
CMRR	common-mode rejection ratio	-
C_{OX}	normalizovaná kapacita oxidu	F/m^2
f	frekvence	Hz
GBW	tranzitní kmitočety	Hz
g _{ds}	výstupní vodivost tranzistoru	Ω^{-1}
g _m	transkonduktance tranzistoru	Ω^{-1}
GM	amplitudová bezpečnost	dB
IC	inverzní koeficient	-
ICMR	vstupní rozsah	V
I_D	proud tekoucí do drainu tranzistoru	A
k	Boltzmannova konstanta	J/K
L	délka tranzistoru	m
PM	fázová bezpečnost	°
q	elementární elektrický náboj	C
T	absolutní teplota	K
U_{BS}	napětí bulk-source	V
u_{CM}	souhlasné vstupní napětí	V
U_{DS}	napětí drain-source	V
U_{DSAT}	saturační napětí drain-source	V
U_{GS}	napětí gate-source	V
u_{ID}	rozdílové vstupní napětí	V
U_{NAP}	napájecí napětí	V
U_{OD}	efektivní napětí gate-source (overdrive voltage)	V
U_T	prahové napětí	V
U_{Th}	teplotní napětí	V
W	šířka tranzistoru	m
ΔU_{OS}	offset tranzistoru	V
λ	parametr modulace délky kanálu	V^{-1}

12 Seznam obrázků, tabulek a příloh

Seznam obrázků

Obr. 1 - Operační zesilovač zapojený jako sledovač napětí	8
Obr. 2 - Schématická značka operačního zesilovače.....	8
Obr. 3 - Blokové schéma operačního zesilovače.....	11
Obr. 4 - Rozdílový zesilovač a) PMOS b) NMOS	12
Obr. 5 - Závislost zesílení na souhlasném vstupním napětí.....	13
Obr. 6 - Komplementární rozdílový stupeň.....	14
Obr. 7 - Schéma složené (folded) kaskody	17
Obr. 8 - Malosignálové náhradní schéma větve složené kaskody	18
Obr. 9 - Závislost zesílení na souhlasném vstupním napětí při kompenzaci.....	20
Obr. 10 - Kompenzace zesílení pomocí dvou zrcadel 1:1	21
Obr. 11 – Výstupní stupeň	22
Obr. 12 - Ekvivalentní malosignálový model dvoustupňového zesilovače.....	24
Obr. 13 Amplitudová a fázová charakteristika dvoustupňového zesilovače.....	24
Obr. 14 - Sesouhlasení dnou tranzistorů diferenčního páru [2].....	28
Obr. 15- Schéma zapojení pro simulování systematického offsetu.....	32
Obr. 16 - Schéma zapojení pro simulování AC parametrů zesilovače	34
Obr. 17 - Typická AC simulace	35

Seznam tabulek

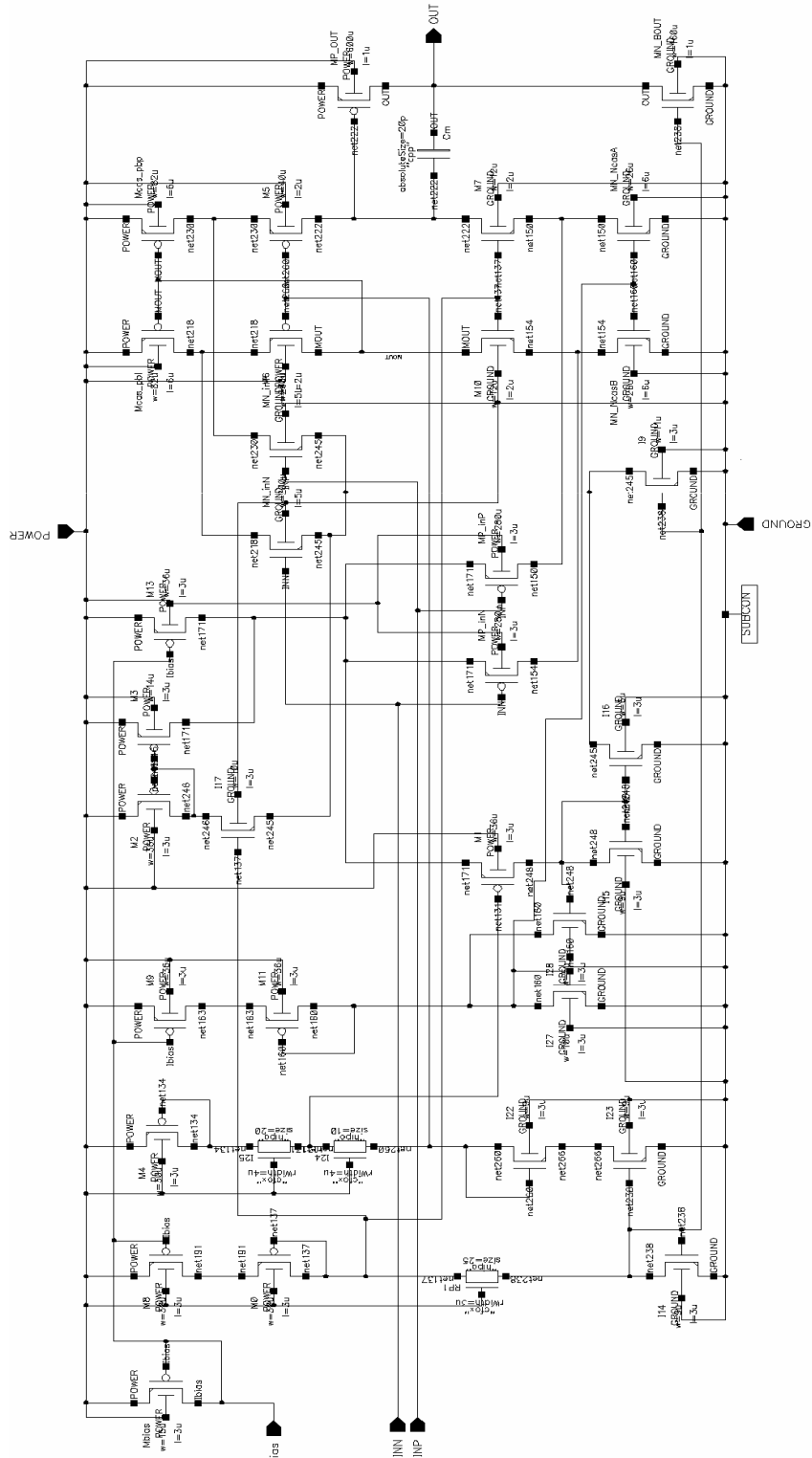
Tab. 1 - Podíl výroby v závislosti na počtu směrdatných.....	25
Tab. 2 - Parametry technologie CMOS07	28
Tab. 3 - Parametry vstupních tranzistorů.....	29
Tab. 4 - Parametry biasovacích tranzistorů	30
Tab. 5 - Parametry tranzistorů kaskody	30
Tab. 6 - Výsledky matching analýzy náhodného offsetu.....	33
Tab. 7 - Tranzistory s největším příspěvkem na náhodný offset.....	33
Tab. 8 - Výstupní rozsah zesilovače	33
Tab. 9 - Souhrn výsledků AC simulace	35

Seznam příloh

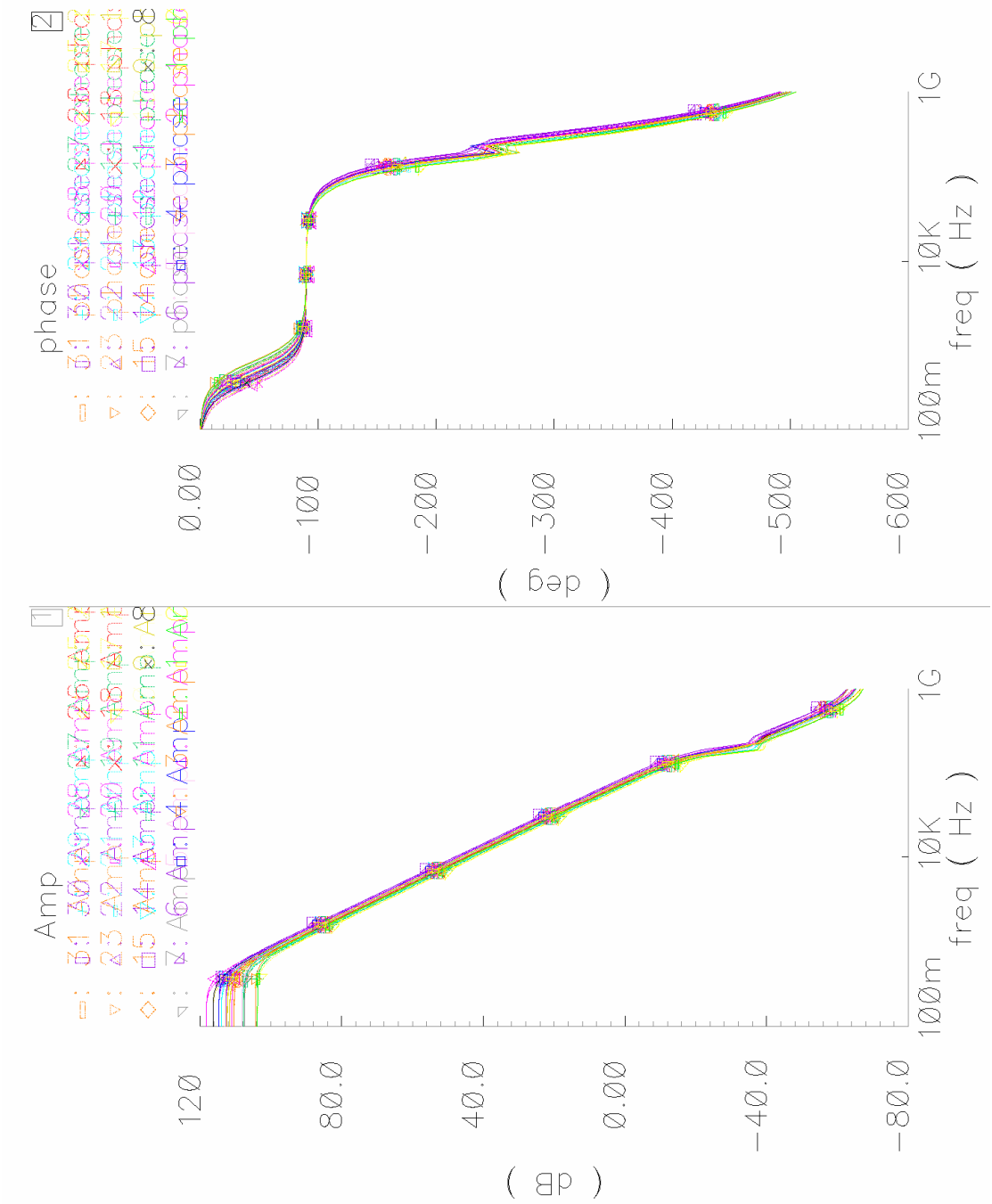
Příloha 1 - Schéma operačního zesilovače	41
Příloha 2 - AC simulace (corner).....	42
Příloha 3 - Závislost zesílení na vstupním souhlasném napětí	43
Příloha 4 - Závislost systematického offsetu na vstupním souhlasném napětí.....	44
Příloha 5 - Simulace výstupního rozsahu (minimální hodnota)	45
Příloha 6 - Simulace výstupního rozsahu (maximální hodnota).....	46
Příloha 7 - Topologie (layout) operačního zesilovače	47

13 Přílohy

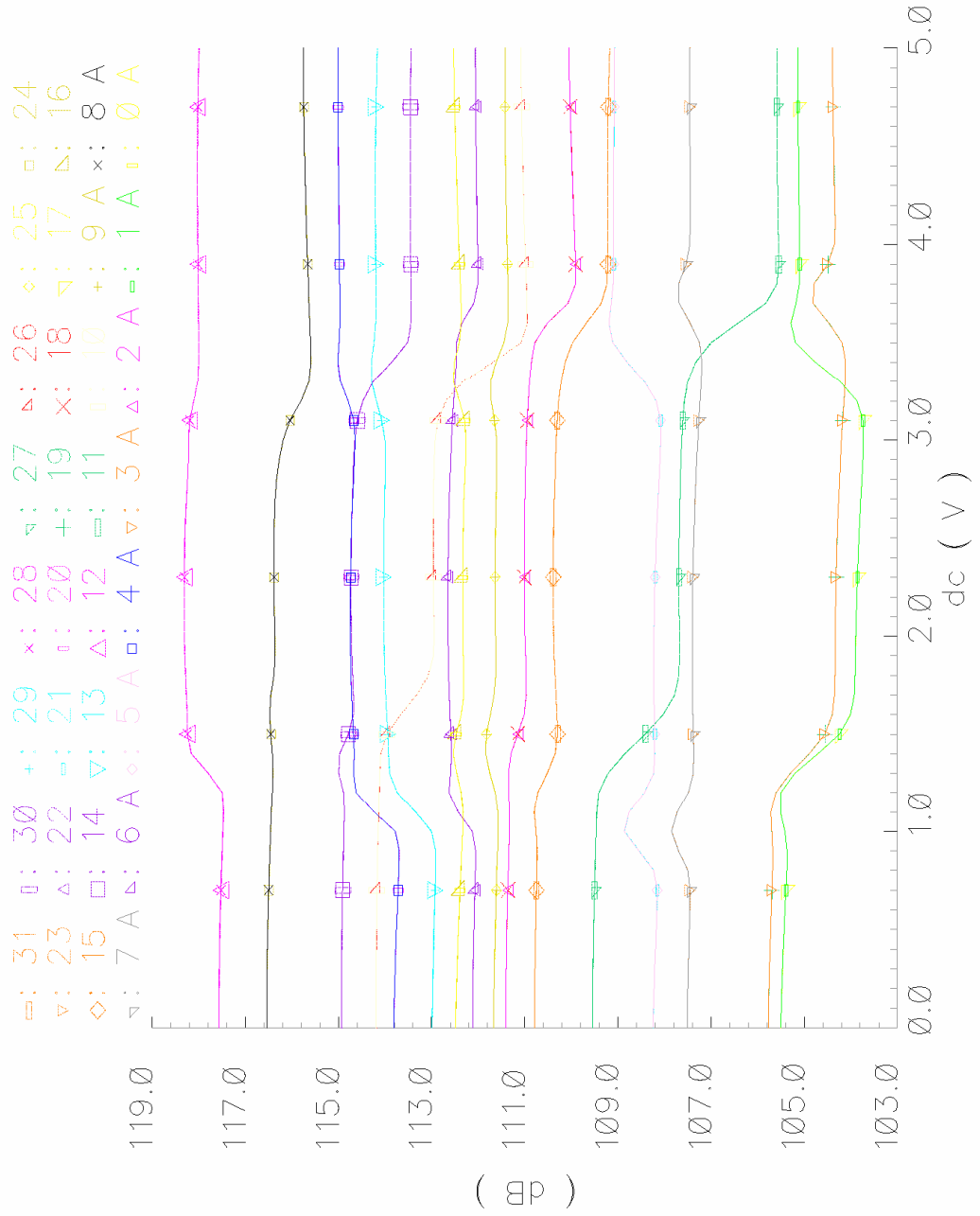
Příloha 1 - Schéma operačního zesilovače



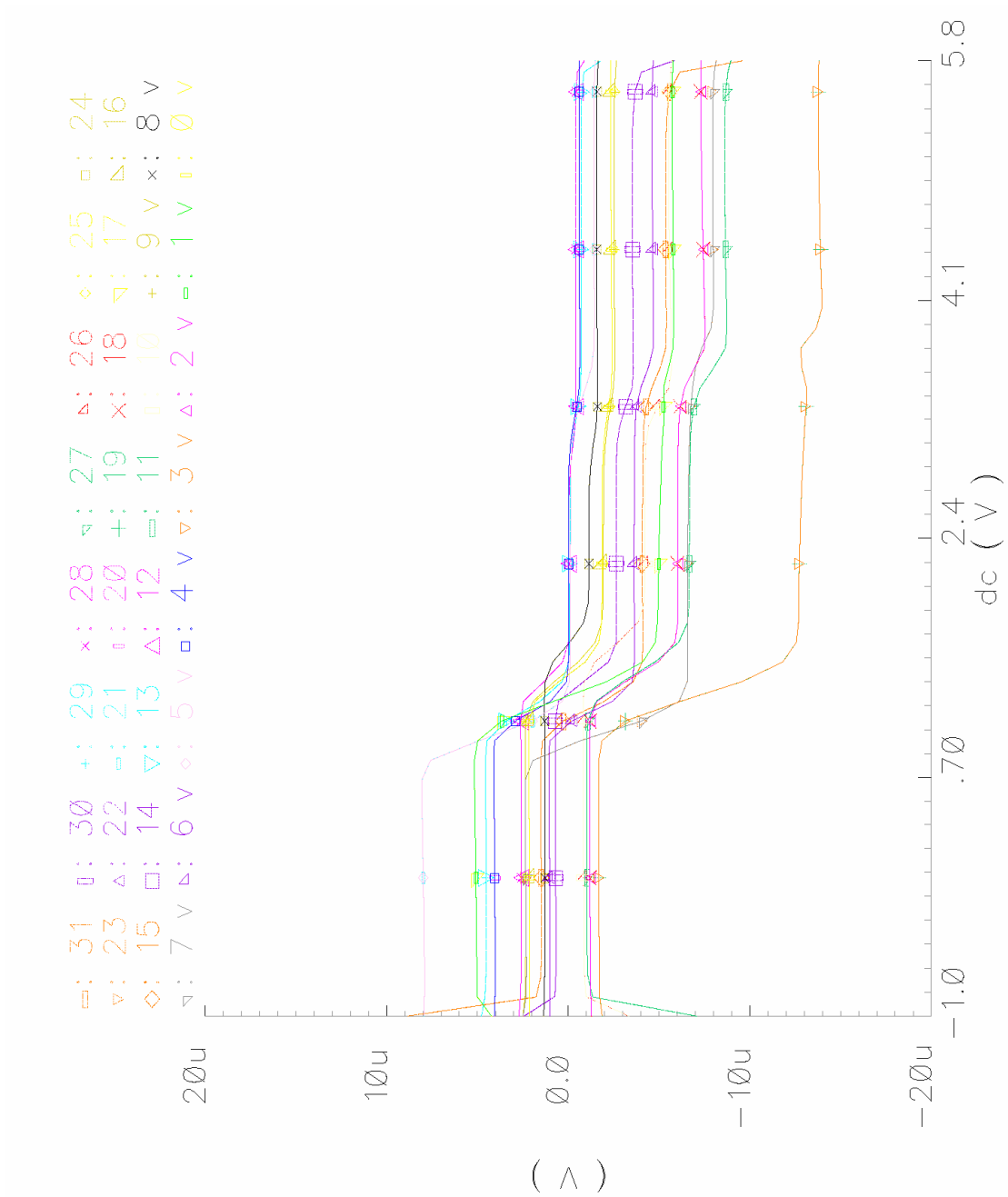
Příloha 2 - AC simulace (corner)



Příloha 3 - Závislost zesílení na vstupním souhlasném napětí

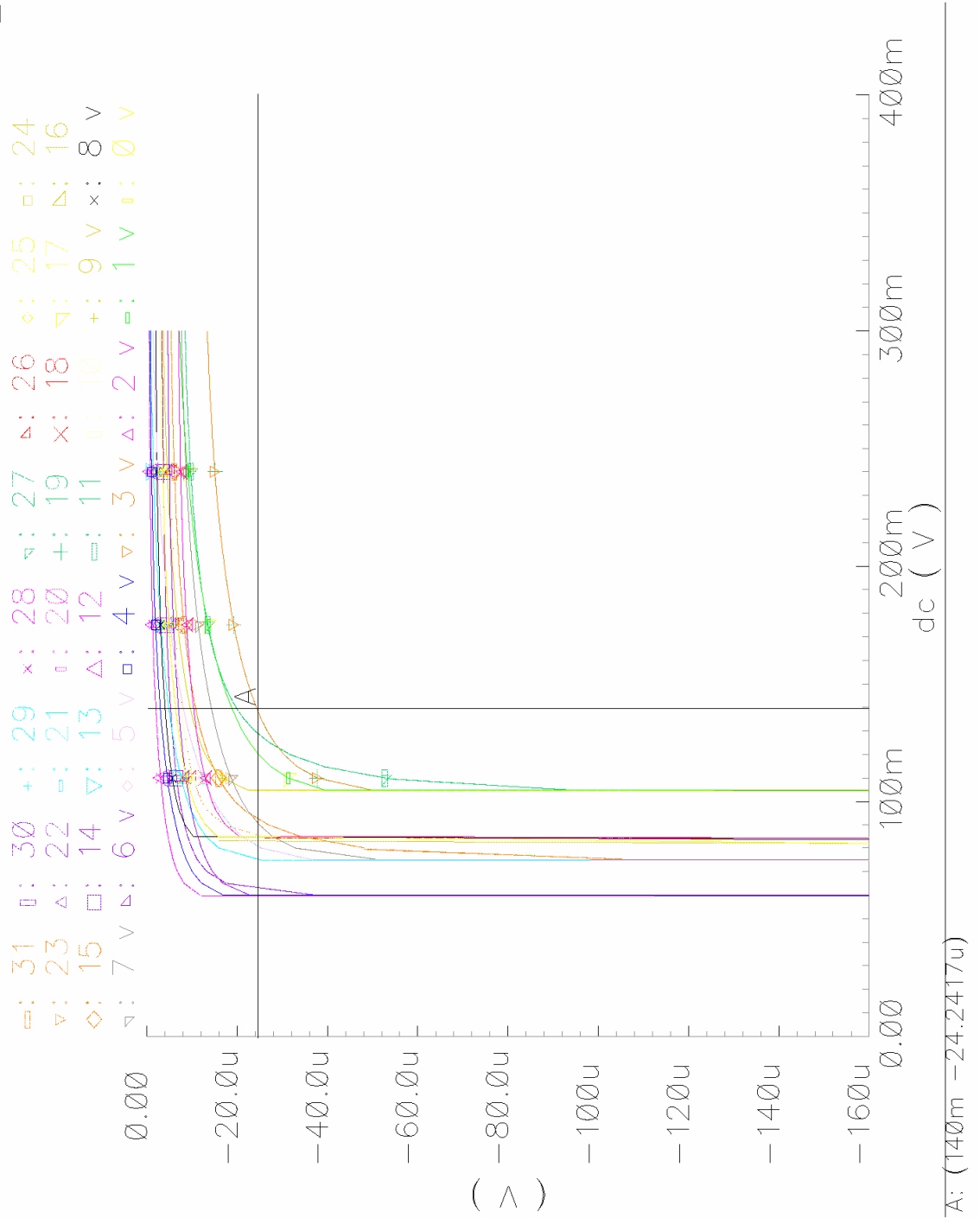


Příloha 4 - Závislost systematického offsetu na vstupním souhlasném napětí

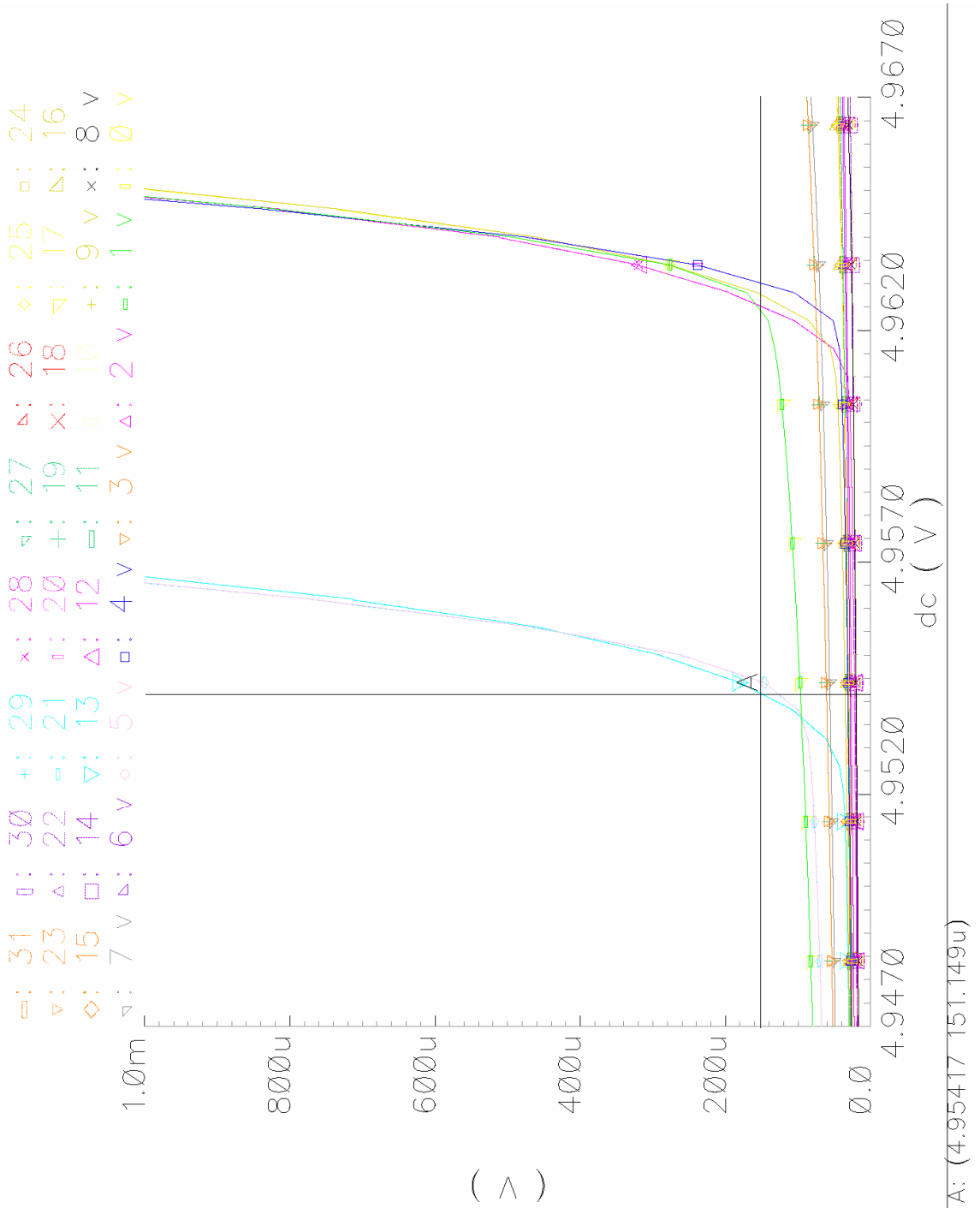


Příloha 5 - Simulace výstupního rozsahu (minimální hodnota)

□



Příloha 6 - Simulace výstupního rozsahu (maximální hodnota)



Příloha 7 - Topologie (layout) operačního zesilovače

