



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH DIFERENČNĚ DIFERENCIÁLNÍHO ZESILOVAČE V TECHNOLOGII CMOS

DESIGN OF DIFFERENTIAL DIFFERENCE AMPLIFIER IN CMOS TECHNOLOGY

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Leonard Slaninka

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Vilém Kledrowetz,
Ph.D.

BRNO 2023

Bakalářská práce

bakalářský studijní program **Mikroelektronika a technologie**

Ústav mikroelektroniky

Student: Leonard Slaninka

ID: 230515

Ročník: 3

Akademický rok: 2022/23

NÁZEV TÉMATU:

Návrh diferenčně diferenciálního zesilovače v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte diferenčně diferenciální zesilovač (DDA) v technologii CMOS 0,25 μm . Zaměřte se na parametry jako jsou vstupní a výstupní napěťový rozsah, proudová zatížitelnost a šířka pásma. Pracujte s nesymetrickým napájecím napětím o velikosti 5 V, kdy přednostně využívejte tranzistory MOS se standardním prahovým napětím. Na základě předchozí studie zvolte vhodnou konfiguraci DDA, který bude v aplikaci se zpětnou vazbou sloužit jako analogová násobička (dělička). Základní parametry navrženého DDA ověřte simulací v návrhovém prostředí Cadence Virtuoso.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 6.2.2023

Termín odevzdání: 1.6.2023

Vedoucí práce: doc. Ing. Vilém Kledrowetz, Ph.D.

Konzultant: Ing. Radek Lang, onsemi

doc. Ing. Pavel Šteffan, Ph.D.

předseda rady studijního programu

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Bakalárska práca sa zaoberá teoretickým rozborom parametrov a vlastností technológie CMOS, a jej využitím pri návrhu diferencie diferenciálneho zosilňovača. Práca je zameraná na správanie MOS tranzistorov v rôznych pracovných režimoch v závislosti na veľkosti napätia U_{GS} , tiež rozoberá pracovné režimy v závislosti na rozdieli napätí U_{DSsat} a U_{DS} . V závere teoretickej časti sú uvedené základné stavebné bloky operačných zosilňovačov. Praktický návrh je uskutočnený v prostredí Cadence Virtuoso s použitím technológie ONC25 (250 nm). Napájanie DDA je asymetrické s veľkosťou 5 V a sú využité tranzistory so štandardným prahovým napätím.

Klíčová slova

Diferenciálne diferencný zosilňovač, DDA, CMOS technológia, tranzistory MOS, ONC25, maximálny vstupný rozsah

Abstract

Bachelor's thesis is focused on theoretical analysis of parameters and properties of CMOS technology, and its use for differentially difference amplifier design. The thesis is concentrated on MOS transistor behaviour in different work regimes depending on the voltage U_{GS} , it is also covering work regimes in relation to difference of voltages U_{DSsat} and U_{DS} . In the end of theoretical part there are listed and briefly described basic building blocks for amplifiers. Design is carried out in Cadence Virtuoso environment using ONC25 (250 nm) technology. DDA is supplied by asymmetrical voltage of 5 V and for the design are used standard threshold transistors.

Keywords

Differentially difference amplifier, DDA, CMOS technology, MOS transistors, ONC25, maximum input range

Bibliografická citácia

SLANINKA, Leonard. *Návrh diferenčně diferenciálního zesilovače v technologii CMOS* [online]. Brno, 2023 [cit. 2023-04-30]. Dostupné z: <https://www.vut.cz/studenti/zav-prace/detail/152264>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Vilém Kledrowetz.

Prohlášení autora o původnosti díla

Jméno a příjmení studenta: *Leonard Slaninka*

VUT ID studenta: *230515*

Typ práce: *Bakalářská práce*

Akademický rok: *2022/23*

Téma závěrečné práce: *Návrh diferenčně diferenciálního zesilovače v technologii CMOS*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 25. května 2023

podpis autora

Pod'akovanie

Ďakujem vedúcemu bakalárskej práce doc. Ing. Vilému Kledrowetzovi, Ph.D. a konzultantovi Ing. Radkovi Langovi za pedagogickú a odbornú pomoc a ďalšie cenné rady pri spracovaní mojej bakalárskej práce.

V Brne dna: 25. května 2023

podpis autora

Obsah

ZOZNAM OBRÁZKOV	9
ZOZNAM TABULIEK	11
ÚVOD	12
1. TECHNOLÓGIA MOS	13
1.1 FYZICKÁ ŠTRUKTÚRA MOSFET	13
1.2 ANALÓGOVÝ MODEL	14
1.2.1 Podprahový režim	15
1.2.2 Lineárny režim	15
1.2.3 Režim saturácie	15
1.3 PRACOVNÉ OBLASTI	17
1.3.1 Oblasť slabej inverzie	17
1.3.2 Oblasť silnej inverzie	17
1.3.3 Oblasť saturácie rýchlosti nosičov prúdu	18
2. ZÁKLADNÉ STAVEBNÉ BLOKY OZ.....	19
2.1 PRÚDOVÉ ZRKADLÁ	19
2.1.1 Jednoduché prúdové zrkadlo	19
2.1.2 Kaskódové prúdové zrkadlo	20
2.1.3 Prúdové zrkadlo s veľkým dynamickým rozsahom	20
2.2 DIFERENČNÝ PÁR	21
3. RAIL-TO-RAIL VSTUP	23
3.1 DIFERENČNÝ PÁR S DEGENERÁCIOU SOURCE	23
3.2 DIFERENČNÝ PÁR S KOMPENZÁCIOU GM	24
4. VÝSTUPNÉ ÚROVNE ZOSILŇOVAČOV	27
4.1 TRIEDA A	27
4.2 TRIEDA B	28
4.3 TRIEDA AB	30
5. OPERAČNÝ ZOSILŇOVAČ A DDA	32
5.1 OPERAČNÝ ZOSILŇOVAČ (OPAMP).....	32
5.1.1 Zosilnenie v otvorenej slučke A_U	33
5.1.2 Šírka kmitočtového pásma (GBW)	33
5.1.3 Stabilita zosilňovača	33
5.1.4 Napäťová nesymetria	34
5.1.5 Potlačenie zmien napájacieho napätia (PSRR).....	34
5.1.6 Potlačenie súhlasného signálu (CMRR)	34
5.2 DIFERENČNE DIFERENCIÁLNY ZOSILŇOVAČ (DDA)	34
5.2.1 Využitie DDA	35
6. NÁVRH DIFERENČNE DIFERENCIÁLNEHO ZOSILŇOVAČA.....	37
6.1 NÁVRH VSTUPNEJ ÚROVNE.....	37
6.2 NÁVRH REFERENČNÉHO OBVODU	41

6.3	NÁVRH ZLOŽENEJ KASKÓDY	42
6.4	NÁVRH VÝSTUPNEJ ÚROVNE TRIEDY AB.....	44
7.	VÝSLEDKY SIMULÁCIE.....	46
7.1	VSTUPNÝ NAPÄŤOVÝ ROZSAH.....	46
7.2	AC ANALÝZA	48
7.2.1	<i>Potlačenie súhlasného vstupného signálu (CMRR) a potlačenie zmeny napájacieho napätia (PSRR).....</i>	<i>49</i>
7.3	ANALÝZA MONTE CARLO	50
7.4	TRANZIENTNÁ ANALÝZA	51
8.	OVERENIE FUNKCIE DDA.....	53
8.1	SUMAČNÁ A DIFERENČNÁ FUNKCIA DDA	53
8.2	POUŽITIE DDA V ZAPOJENÍ ANALÓGOVEJ NÁSObIČKY (DELIČKY)	54
8.2.1	<i>Prúdová zaťažiteľnosť DDA.....</i>	<i>56</i>
9.	ZÁVER.....	58
	LITERATÚRA.....	60
	ZOZNAM SYMBOLOV A SKRATIEK	62
	ZOZNAM PRÍLOH.....	63

ZOZNAM OBRÁZKOV

1.1	Horizontálny rez štruktúrou tranzistoru NMOS	13
1.2	Schematická značka tranzistorov NMOS a PMOS bez pripojeného bulku	14
1.3	Prahové napätie odčítané zo závislosti U_{GS} a I_D	15
1.4	Rozdelenie pracovných oblastí MOS závislé na napätí U_{DS} a U_{GS}	16
1.5	Pracovné oblasti MOS tranzistoru závislé na $U_{GS}[1]$	18
2.1	Jednoduché prúdové zrkadlo	19
2.2	Kaskódové prúdové zrkadlo NMOS	20
2.3	Kaskódové prúdové zrkadlo s veľkým dynamickým rozsahom	21
2.4	Diferenčný pár	22
2.5	Prúdy tranzistorami diferenčného páru [1]	22
3.1	Diferenčný pár s degeneráciou	23
3.2	Modifikovaný diferenčný pár s degeneráciou	24
3.3	Kompenzácia g_m pomocou paralelne zapojených tranzistorov v diódovom zapojení	25
3.4	Celkové g_m bez kompenzácie pomocou tranzistorov v diódovom zapojení	26
3.5	Celkové g_m s kompenzáciou pomocou tranzistorov v diódovom zapojení	26
4.1	Výstupná úroveň typu A so spoločným source	27
4.2	Výstupná úroveň typu A so spoločným drain	28
4.3	Výstupná úroveň typu B („push-pull“)	29
4.4	Voltampérová charakteristika prenosu „push-pull“	29
4.5	Voltampérová charakteristika prenosu triedy AB	30
4.6	Schéma zapojenia triedy AB „modifikovaný push pull“	31
5.1	Porovnanie schematických značiek zosilňovačov	32
5.2	Bloková schéma trojstupňového zosilňovača	33
5.3	Bloková schéma DDA	34
5.4	Príklady aplikácií DDA	35
5.5	Bloková schéma analógovej násobičky s DDA	36
6.1	Vstupná diferenčná úroveň	37
6.2	Kompenzácia g_m pomocou vstupného napäťového posunu	39
6.3	Referenčný prúdový a napäťový obvod	41
6.4	Zložená kaskóda	43
6.5	Výstupný stupeň triedy AB	45
7.1	Schéma zapojenia použitého pre DC analýzu (napäťový sledovač)	46
7.2	Závislosť výstupného napätia na vstupnom napätí $0 - 5V$	46
7.3	Odchýlka reálnej hodnoty výstupného napätia od ideálnej hodnoty	47
7.4	Závislosť prúdov vstupných diferenčných párov na zmene napätia invertujúceho vstupu $0 - 5V$	47
7.5	Zapojenie použité pre AC analýzu	48
7.6	Výsledok AC analýzy	48
7.7	Výsledok simulácie CMRR	49
7.8	Výsledok simulácie PSRR	50
7.9	Výsledok analýzy Monte Carlo pri teplote $125^\circ C$	50
7.10	Výsledok analýzy Monte Carlo pri teplote $-45^\circ C$	51
7.11	Meranie rýchlosti priebehu DDA	52
8.1	Porovnanie ideálneho priebehu výstupného signálu s reálnym signálom	53
8.2	Principiálne zapojenie analógovej násobičky s použitím DDA	54
8.3	Porovnanie ideálneho priebehu výstupného prúdu DDA s reálnym $I_{cs} = 0,1 - 500 \mu A$	55
8.4	Porovnanie ideálneho priebehu výstupného prúdu DDA s reálnym $I_{ctrl} = 10 - 500 \mu A$	55

8.5	Priebehy vstupných a výstupného napätia DDA pri zmene prúdu I_{cs} od $0,1 \mu A$ do $500 \mu A$	56
8.6	Experimentálne meranie maximálneho výstupného prúdu DDA	57

ZOZNAM TABULIEK

5.1	Porovnanie ideálneho a reálneho OpAmp[9]	32
6.1	Parametre technológie ONC25.....	37
6.2	Rozmery tranzistorov NMOS vstupnej úrovne	40
6.3	Rozmery tranzistorov PMOS vstupnej úrovne.....	41
6.4	Rozmery tranzistorov NMOS referenčného obvodu	42
6.5	Rozmery tranzistorov NMOS referenčného obvodu	42
6.6	Rozmery NMOS tranzistorov zloženej kaskódy a jej referenčného obvodu.....	44
6.7	Rozmery PMOS tranzistorov zloženej kaskódy a jej referenčného obvodu.....	44
6.8	Rozmery NMOS tranzistoru výstupnej úrovne	45
6.9	Rozmery PMOS tranzistoru výstupnej úrovne.....	45
7.1	Parametre zistené pomocou teplotnej analýzy najhoršieho prípadu	49

ÚVOD

Operačné zosilňovače v dnešnej dobe zastávajú dominantnú úlohu pri zosilňovaní a matematických operáciách rôznych analógových signálov. Kvôli ich parametrom, blížiacim sa ideálnemu zosilňovaču, pomerne nízkej cene a širokému rozsahu interných implementácii vhodných na takmer každú aplikáciu, existuje len málo alternatív k tomuto typu zosilňovačov.

So snahou nájsť alternatívy k zažitým OZ bol objavený diferenčne diferenciálny zosilňovač (DDA). Tento typ zosilňovača je špecifický implementáciou dvoch párov diferenčných vstupov a normálneho alebo diferenčného výstupu. Implementáciou štyroch vstupov, z ktorých sú dva invertujúce a dva neinvertujúce sa naskytla značná výhoda oproti operačným zosilňovačom, ktorou je využitie DDA pri matematických operáciách s výrazne jednoduchšími externými zapojeniami.

Základnou matematickou operáciou ktorú je DDA schopné prevádzať je sčítanie a odčítanie vstupných signálov, nie je pri tom potrebné žiadne externé zapojenie okrem zavedenia zápornej spätnej väzby na jeden z invertujúcich vstupov.

Ďalšími aplikáciami, v ktorých môže byť DDA využité je analógové násobenie a delenie s využitím jednoduchých obvodových zapojení, tiež sa dajú využívať pri integrácii a derivácii alebo rôznych typoch aktívnych filtrov.

DDA navrhované v tejto práci je cielečné pre zapojenie ako analógová násobička, toto zapojenie nevyžaduje Rail-to-Rail vstupy ani výstupy, pretože pre správnu funkciu analógovej násobičky je využívaný úzky interval napätí.

Je možné navrhnúť diferenčne diferenciálne zosilňovače s veľkým vstupným rozsahom, je však nutné zvážiť, či je to pre danú aplikáciu potrebné, pretože sa tým znižuje celkové zosilnenie zosilňovača, a tiež sa tým znižuje použiteľné frekvenčné pásmo.

Práca je rozdelená do štyroch hlavných blokov, v prvom bloku je teoretický rozbor technológie CMOS, vnútorná štruktúra MOS tranzistorov, základné parametre a rovnice popisujúce MOS tranzistory. V druhej časti sú uvedené základné stavebné bloky operačných zosilňovačov, pričom DDA je tvorené rovnakými blokmi. Sú uvedené ich výhody a nedostatky. Tretia časť je zameraná na praktický návrh zosilňovača s odôvodnením zvolených rozmerov, interná štruktúra bola zvolená na základe výskumného príspevku [5] a praktických pokusov s rôznymi spôsobmi kompenzácie vstupnej a výstupnej transkonduktancie. Posledná časť zhŕňa dosiahnuté parametre navrhnutého DDA, obsahuje vstupný napäťový rozsah pri zapojení so zápornou spätnou väzbou, frekvenčné pásmo a stabilitu, taktiež zmeny prúdov tranzistorami vstupných diferenčných párov. Obsahuje aj opis funkcie pri zapojení v konfigurácii analógovej násobičky, jej parametre a obmedzenia.

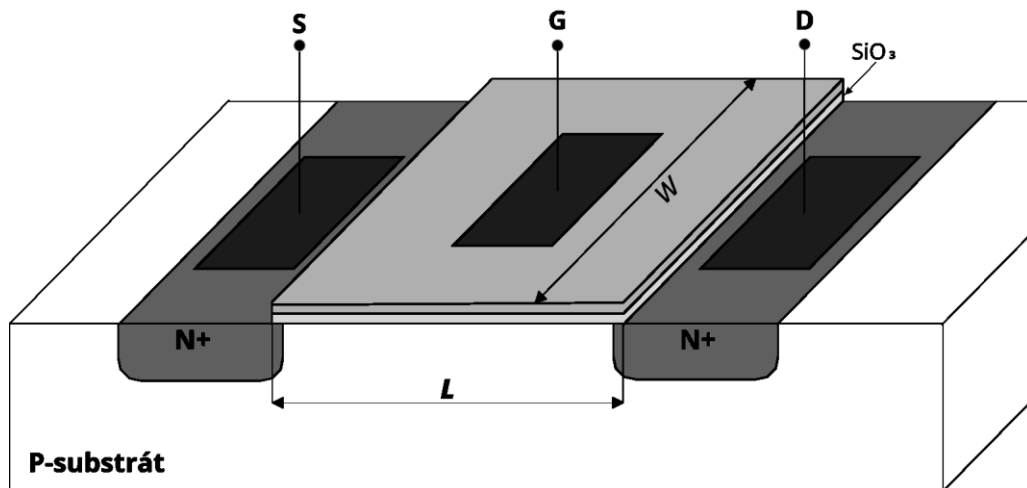
1. TECHNOLÓGIA MOS

S rastúcou automatizáciou všetkých oblastí nielen priemyselného prostredia, ale aj bežného života, neustále rastú požiadavky na znižovanie rozmerov a spotreby riadiacej elektroniky používanej v týchto sférach. Väčšina riadiacej analógovej a digitálnej elektroniky je vyrábaná vo forme integrovaných obvodov. Toto vedie k neustálemu vývoju v oblasti unipolárnej technológie CMOS a jej využitiu pri analógovom návrhu.

Tranzistor je jeden z najvýznamnejších stavebných prvkov všetkých, nie iba digitálnych, ale aj analógových obvodov. Poznáme dve najrozšírenejšie technológie tranzistorov, bipolárne a unipolárne (MOS) tranzistory. Historicky bola viac preferovaná bipolárna technológia, hlavne pri čisto analógovom návrhu, pretože bipolárna technológia poskytuje mnohonásobne vyššiu transkonduktanciu pri rovnakom prúde. Unipolárna technológia poskytuje iné výhody. Vysokú úroveň integrácie na integrovaných polovodičových obvodoch a výrazne nižšiu spotrebu pri využití v digitálnych obvodoch. [1]

1.1 Fyzická štruktúra MOSFET

MOSFET (Metal-oxide-semiconductor-field-effect-transistor) je druh unipolárneho tranzistoru pozostávajúci zo štyroch hradiel, source (S), drain (D), gate (G) a body (B). [1][2]



Obrázek 1.1 Horizontálny rez štruktúrou tranzistoru NMOS

Hradlo body je substrátom, na ktorom je postupným dotovaním vytváraná štruktúra integrovaného obvodu. Vo veľkej väčšine prípadov je tvorené P-tytom polovodiča a býva privedené na nulový potenciál, aby sme zamedzili vzniku kladne polarizovaného PN prechodu medzi substrátom a záporne dotovanými vrstvami, ktoré na tomto substráte tvoríme.[2]

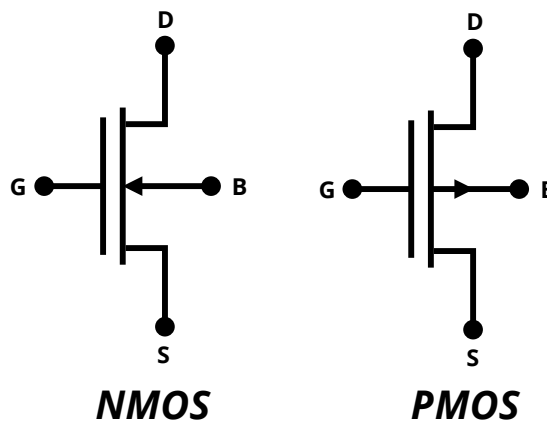
Na P-type substrátu však môžeme vytvoriť len NMOS, tranzistor so záporne dotovanými hradlami source a drain, ak chceme využiť tranzistory PMOS, musíme v kladne dotovanom body vytvoriť N-well (záporne dotovanú studňu), ktorá býva pripojená na napájacie napätie integrovaného obvodu.[2]

Tranzistory MOS sú osovo súmerné, teda hradlá source a drain sú zameniteľné, obe tieto hradlá musia mať rovnakú polaritu dotácie, medzi týmito hradlami sa nachádza riadiace hradlo gate, ktoré je nakontaktované na tenkú kovovú vrstvu nanesenú na dielektrickej vrstve oxidu kremíka medzi hradlami source a drain. [3]

1.2 Analógový model

Pre potreby manuálnych výpočtov a simulácií tvorených pomocou simulačných programov je nutné previesť fyzikálne vlastnosti a správanie elektronických súčiastok do matematických rovníc. Tieto rovnice môžu mať rôzne úrovne komplexnosti. Zjednodušené rovnice sú väčšinou využívané na približné manuálne výpočty. Na dosiahnutie presnejších teoretických hodnôt je potrebné použiť komplexnejšie rovnice, ktoré sú súčasťou simulačných programov.

Keďže správanie tranzistorov MOS je nelineárne a závislé na mnohých vstupných faktoroch, je potrebné rozdeliť pracovnú oblasť na menšie úseky, ktoré sme schopní lepšie popísať.



Obrázek 1.2 Schematická značka tranzistorov NMOS a PMOS bez pripojeného bulku

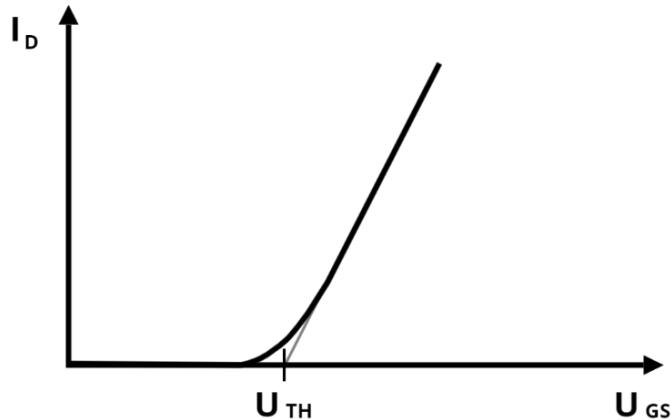
Pre zjednodušenie, nasledujúce vzťahy budú platiť pre tranzistory NMOS, pre tranzistory PMOS platia ekvivalentné rovnice, s rozdielom, že PMOS je riadený záporným napätím U_{GS} a bulk je pripojený na kladný potenciál.

MOSFET tranzistory sú riadené elektrickým poľom privádzaným na hradlo gate, čoho priamym následkom je rozdiel potenciálov medzi hradlami gate a source, preto budeme pracovnú oblasť rozdeľovať pomocou veľkosti tohto napätia.

1.2.1 Podprahový režim

Napätie U_{TH} (threshold voltage) je minimálna hodnota rozdielov potenciálov source a gate, potrebná na otvorenie vodivého kanálu. Ak platí $U_{GS} < U_{TH}$ tranzistor je uzavretý a teda v ideálnom prípade má nekonečný odpor. V realite tranzistorom stále preteká prúd aj pod prahovým napätím, tento prúd, je však tak malý, že ho zanedbávame.

Hodnota tohto napätia je silne závislá na zvolenej technológii a mierne závislá na potenciále bulku, preto je väčšinou braná za konštantnú. Experimentálne je určené pomocou prieniku linearizovanej závislosti napätia U_{GS} a I_D s osou X.



Obrázek 1.3 Prahové napätie odčítané zo závislosti U_{GS} a I_D

1.2.2 Lineárny režim

Ak sa tranzistor nachádza mimo podprahového režimu teda $U_{GS} \geq U_{TH}$. Drainový prúd tranzistorom začína rásť lineárne s rastúcim napätím U_{DS} . Táto časť pracovnej oblasti sa nazýva lineárnym režimom. MOS tranzistory sa v lineárnom režime správajú ako elektronicky ovládané rezistory, pričom veľkosť ich odporu je daná napätím U_{GS} , s rastúcim napätím U_{GS} sa zväčšuje plošný prierez indukovaného kanálu a tým klesá jeho odpor.[2][3]

Pre prúd v tomto režime platí

$$I_D = KP \frac{W}{L} \left[(U_{GS} - U_{TH}) - \frac{U_{DS}}{2} \right] U_{DS}. \quad (1.1)$$

- KP – transkonduktančný parameter daný použitou technológiou
- W/L – pomer šírky a dĺžky tranzistoru

Táto rovnica platí, ak je splnená podmienka $0 < U_{DS} \leq U_{DS(sat)}$. Keďže sa v tomto režime tranzistor chová ako rezistor, nie je pri návrhu zosilňovačov veľmi využívaný. Jeho hlavným využitím je zapojenie ako spínač.[4]

1.2.3 Režim saturácie

Najdôležitejšou pracovnou oblasťou pre návrh DDA bude režim saturácie. V tomto

režime sa tranzistor prestáva správať ako rezistor. Ak sa tranzistor nachádza v saturácii, stáva sa z neho takmer ideálny prúdový zdroj, jeho výstupný odpor sa v ideálnom prípade blíži nekonečnu. Tento režim nastáva, ak je splnená podmienka $0 < (U_{GS} - U_{TH}) < U_{DS}$. [1]

V realite sa ako ideálny zdroj prúdu nespráva, prúd tranzistorom stále rastie so zvyšujúcim sa napätím U_{DS} . Tento jav spôsobuje nárast šírky depletičnej oblasti okolo drainu kvôli zvýšeniu napätia na tejto elektróde. Následkom čoho je skrátenie dĺžky kanálu a nárast prúdu I_D . Tento jav je závislý na pôvodnej dĺžke kanálu, pri kanáloch s minimálnou dovolenou dĺžkou pre danú technológiu býva $\lambda \approx 0.1$ (parameter dĺžky kanálu). S rastúcou dĺžkou kanálu sa parameter λ znižuje, pričom od približne trojnásobku minimálnej dĺžky dosahuje λ takmer minima a klesá už len mierne. [1][3]

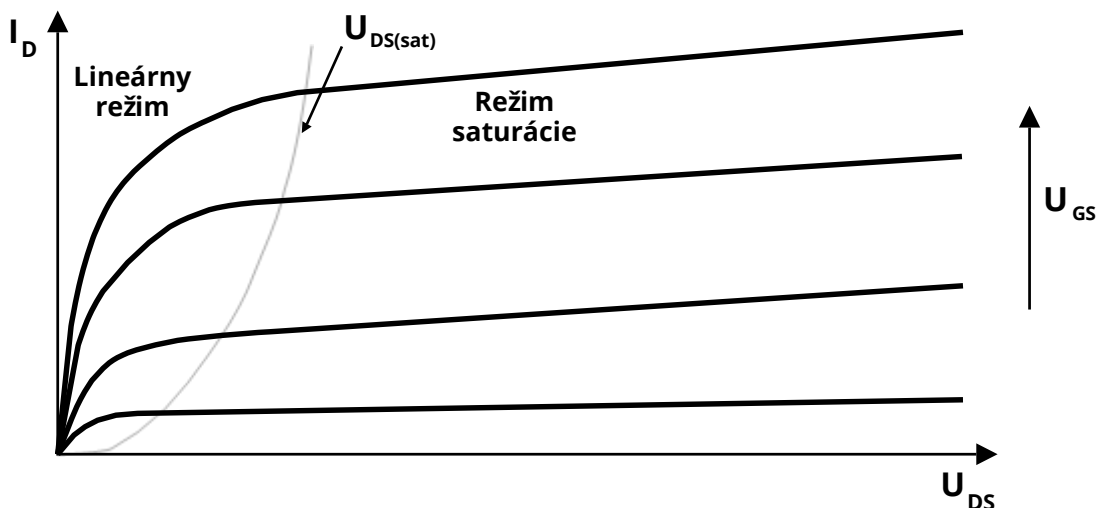
Pre prúd I_D v režime saturácie platí

$$I_D = \frac{1}{2} KP \frac{W}{L} (U_{GS} - U_{TH})^2 (1 + \lambda U_{DS}). \quad (1.2)$$

Z tejto rovnice plynie, že ak je parameter $\lambda \gg 0$, prúd I_D začína byť závislý na napätí U_{DS} . Toto napätie býva veľmi premenlivé počas funkcie tranzistoru a tým zhoršuje jeho funkciu ako prúdového zdroja, preto je potrebné pri návrhu voliť dĺžku kanálu aspoň trojnásobok minimálnej.

Výstupný dynamický odpor ideálneho prúdového zdroja je nekonečný, v reálnom prípade r_{out} MOS tranzistoru vieme vyjadriť ako [2]

$$r_{out} = \frac{1}{\lambda I_D}. \quad (1.3)$$



Obrázek 1.4 Rozdelenie pracovných oblastí MOS závislé na napätí U_{DS} a U_{GS}

Jedným z najdôležitejších parametrov unipolárneho tranzistoru pri návrhu zosilňovačov je transkonduktancia g_m , tento parameter popisuje zmenu výstupného prúdu I_D v závislosti na napätí U_{GS} pri konštantnom U_{DS} . Deriváciou rovnice (1.2) podľa napätia U_{GS} je odvodený vzťah pre transkonduktanciu

$$g_m = KP \frac{W}{L} (U_{GS} - U_{TH}). \quad (1.4)$$

Prevedením substitúcie $(U_{GS} - U_{TH})$ a W/L v rovnici pre I_D (1.2) sú odvodené dva ďalšie vzťahy pre g_m [4]

$$g_m = \sqrt{2KP \frac{W}{L} I_D (1 + \lambda U_{DS})}, \quad (1.5)$$

$$g_m = \frac{2I_D}{U_{GS} - U_{TH}}. \quad (1.6)$$

Všetky tieto rovnice sú ekvivalentné a v ustálenom stave musia platiť všetky, zosilňovače však nepracujú len v ustálenom stave, a preto je nutné vedieť, ktorú z rovníc je najvhodnejšie využiť. Toto závisí na tom, ktoré parametre sa dynamicky menia, a ktoré sú konštantné, ak je parameter W/L konštantný a dochádza k zmene prúdu, transkonduktancia je úmerná odmocnine zmeny prúdu I_D . Ďalšou možnosťou je nastaviť konštantné napätie $(U_{GS} - U_{TH})$, vtedy je zmena g_m priamo úmerná dvojnásobku zmeny prúdu.[1]

1.3 Pracovné oblasti

Väčšina tranzistorov v zosilňovačoch pracuje v saturačnej oblasti, pri pohľade na závislosť ich prúdov I_D a napätí U_{GS} sú viditeľné tri rôzne oblasti. Parameter U_{GS} určuje, v ktorej z týchto oblastí bude MOS tranzistor pracovať.

1.3.1 Oblasť slabej inverzie

Oblasť slabej inverzie sa nachádza v okolí napätia U_{TH} , teda ak platí $U_{GS} \approx U_{TH} \pm 0,2 V$, nachádza sa tranzistor slabej inverzii. V tejto oblasti je prúd I_D exponenciálne závislý na napätí U_{GS} . Táto oblasť je využívaná pri nízkonapäťových a prenosných aplikáciách, nastáva pri nej problém so šumom a tiež je v tejto oblasti tranzistor výrazne pomalší.[1]

1.3.2 Oblasť silnej inverzie

Najčastejšie sa tranzistory nastavujú do tejto oblasti. Je dobrým kompromisom medzi veľkosťou pracovného prúdu I_D a rýchlosti tranzistoru. Závislosť prúdu na riadiacom napätí je rovnaká ako v rovnici (1.2). Hranice tejto pracovnej oblasti sú dané technológiou výroby, pričom vývoj modernejších technológií posúva hranicu saturácie rýchlosti

nosičov k oblasti slabej inverzie, čím sa znižuje pracovná oblasť silnej inverzie. Pre 350 nm technológiu je typický rozsah oblasti silnej inverzie 0,2 až 0,5 V.[1]

1.3.3 Oblasť saturácie rýchlosti nosičov prúdu

Zvýšením napätia $U_{GS} - U_{TH}$ nad hranicu silnej inverzie ($\sim 0,5$ V) dochádza k saturácii rýchlosti nosičov prúdu. V tejto oblasti prechádza väčšina nosičov kanálom maximálnou rýchlosťou, dôsledkom čoho je lineárny nárast prúdu s rastúcim napätím U_{GS} .

Linearizáciu prúdu v tejto oblasti je možné popísať parametrom θ (degradáciou hybnosti nosičov)

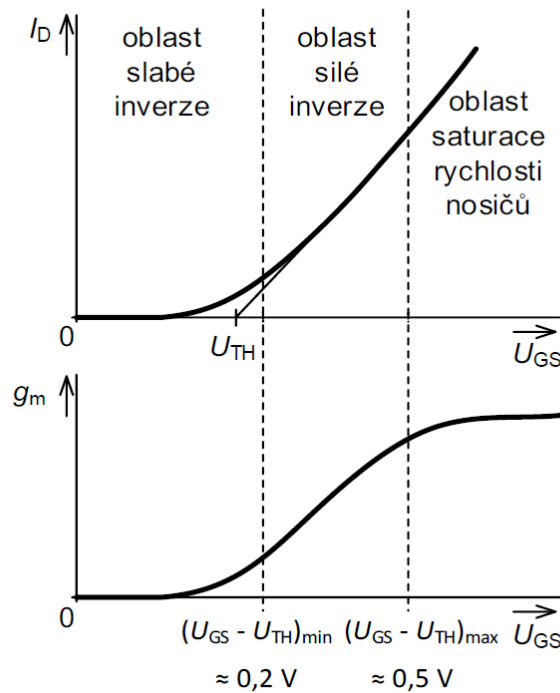
$$I_{Dvs} = \frac{KP}{\theta} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH}), \quad (1.7)$$

$$\theta = \frac{\mu}{2n} \cdot \frac{L}{u_{sat}}, \quad (1.8)$$

$$I_{Dvs} = WC_{OX}u_{sat}(U_{GS} - U_{TH}), \quad (1.9)$$

a transkonduktanciu, ktorá je parciálnou deriváciou prúdu I_D podľa napätia U_{GS} , vieme určiť pomocou rovnice nezávislej na dĺžke kanálu ani napätí U_{GS}

$$g_m = WC_{OX}u_{sat}. \quad (1.10)$$



Obrázek 1.5 Pracovné oblasti MOS tranzistoru závislé na U_{GS} [1]

2. ZÁKLADNÉ STAVEBNÉ BLOKY OZ

2.1 Prúdové zrkadlá

Prúdové zrkadlá sú využívané pri analógovom návrhu ako prúdové zdroje alebo prúdové opakovače, využívajú princíp toho, že ak je U_{GS} dvoch rovnakých MOS tranzistorov v saturácii rovnaký, prúd I_D týchto tranzistorov by mal byť tiež rovnaký.[3]

Pre pomer prúdov týchto tranzistorov platí

$$\frac{i_o}{i_i} = \frac{L_1 W_2}{W_1 L_2} \left(\frac{U_{GS} - U_{T1}}{U_{GS} - U_{T2}} \right)^2 \left[\frac{1 + \lambda u_{DS2} \left(\frac{KP_2}{KP_1} \right)}{1 + \lambda u_{DS1} \left(\frac{KP_2}{KP_1} \right)} \right], \quad (2.1)$$

vo väčšine prípadov môžeme uvažovať, že $U_{T1} = U_{T2}$, $\lambda \approx 0$ a $KP_1 = KP_2$, potom rovnicu (2.1) môžeme upraviť na tvar[3]

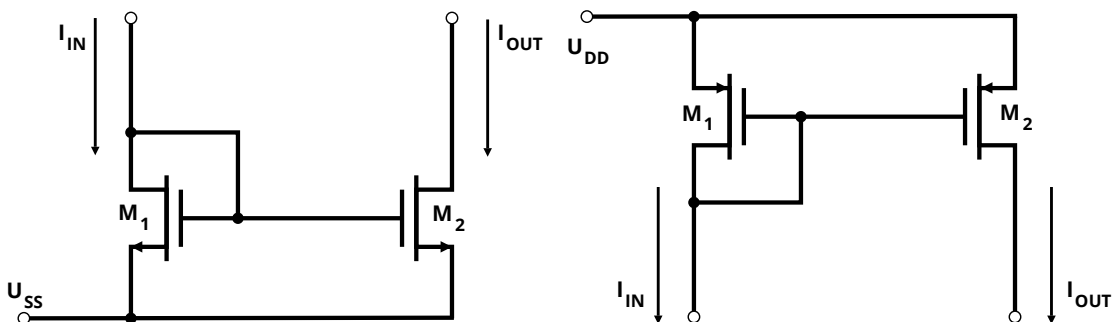
$$\frac{i_o}{i_i} = \frac{L_1 W_2}{W_1 L_2}. \quad (2.2)$$

2.1.1 Jednoduché prúdové zrkadlo

Jednoduché prúdové zrkadlo sa skladá z dvoch tranzistorov rovnakého typu. Tranzistor M_1 musí byť zapojený v diódovom zapojení, teda má prepojené hradlá gate a drain. Týmto tranzistorom tečie vstupný prúd, ktorý nastavuje napätie U_{GS1} , toto napätie nastaví tento tranzistor do saturácie.

Tranzistory M_1 a M_2 musia mať prepojené hradlá gate aj source, aby platilo $U_{GS1} = U_{GS2}$. Ak môžeme zanedbať moduláciu kanálu oboch tranzistorov a M_2 sa tiež nachádza v saturácii, musí platiť [1][3]

$$i_2 = \frac{i_1 L_1 W_2}{W_1 L_2}. \quad (2.3)$$



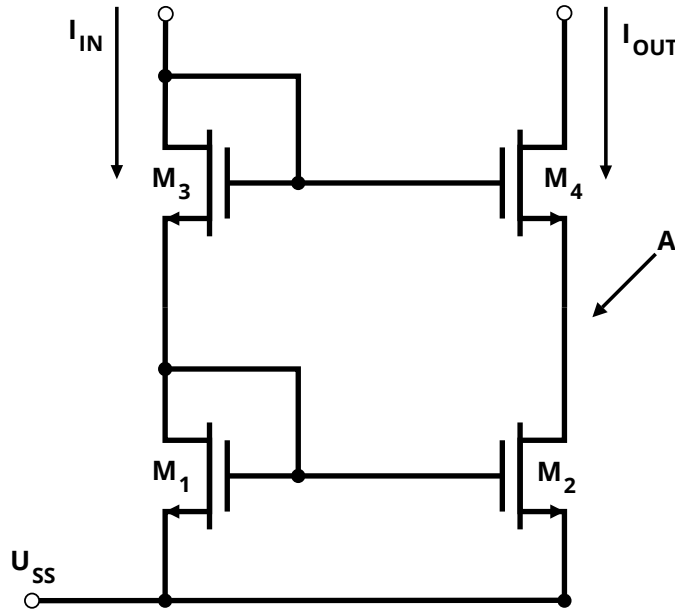
Obrázek 2.1 Jednoduché prúdové zrkadlo

Nevýhodou tohto typu zrkadla je nízky výstupný odpor a výrazné skreslenie spôsobené nerovnosťou napätí U_{DS1} a U_{DS2} .

2.1.2 Kaskódové prúdové zrkadlo

Obe nevýhody jednoduchého prúdového zrkadla je možné potlačiť pomocou kaskódového zapojenia tranzistorov.

Kaskódovým zapojením sa označuje zapojenie dvoch tranzistorov rovnakého typu nad seba, teda jeden z tranzistorov je pripojený hradlom source na potenciál zeme (v prípade NMOS) a druhý tranzistor je pripojený hradlom source na drain prvého tranzistoru.



Obrázek 2.2 Kaskódové prúdové zrkadlo NMOS

Zvýšenie výstupného odporu je zabezpečené stálosťou napätia v bode A, ak sa napätie v tomto bode zvýši, zmenší sa napätie U_{GS4} a tým sa M_4 privrie, čím sa zníži napätie v bode A. Pri poklese napätia v bode A sa napätie U_{GS4} zvýši a tranzistor M_4 sa otvorí. Pre výstupný odpor r_{out} platí[1]

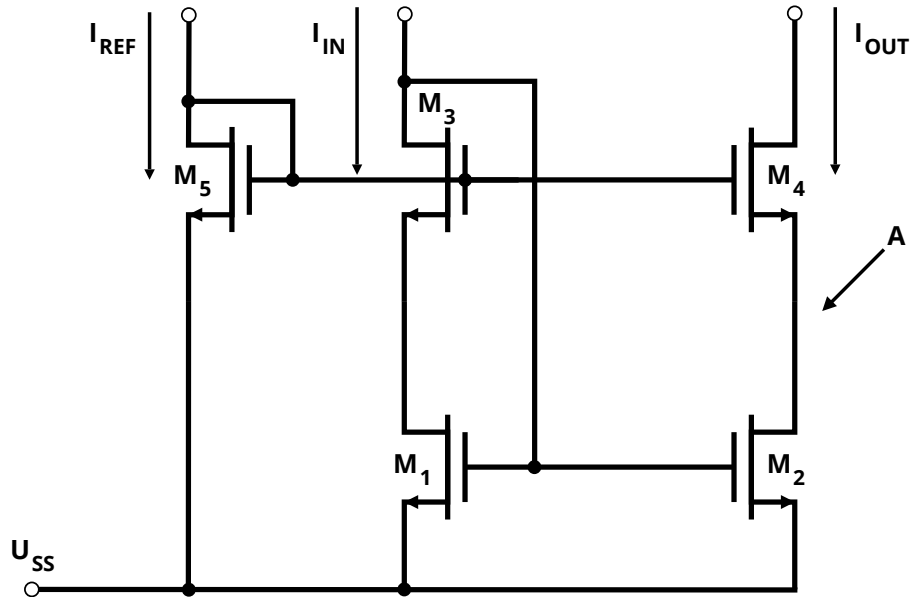
$$r_{out} = r_{ds4}(1 + g_{m4}r_{ds2}) + r_{ds2}, \quad (2.4)$$

Väčšia citlivosť tranzistoru M_4 presnejšie nastavuje napätie v bode A, preto je výstupný odpor závislý na transkonduktancii g_{m4} . Na správnu funkciu kaskódového prúdového zrkadla musia byť všetky tranzistory v saturácii, na splnenie tejto podmienky potrebujeme vyššie napätie U_{DD} v porovnaní s jednoduchým prúdovým zrkadlom.

2.1.3 Prúdové zrkadlo s veľkým dynamickým rozsahom

Problémom kaskódového prúdového zrkadla je zmenšenie dynamického výstupného rozsahu dvoma diódovými zapojeniami nad sebou. Riešením tohto problému je prúdové zrkadlo s veľkým dynamickým rozsahom.[1]

Pri kaskódovom zapojení je $U_{OUTmin} = U_{GS} + 2U_{DSmin}$, pretože v bode A tranzistor M_4 udržiava rovnaké napätie ako U_{G1} . Minimálne výstupné napätie je možné znížiť na hodnotu $U_{OUTmin} = 2U_{DSmin}$ využitím nasledujúceho zapojenia.



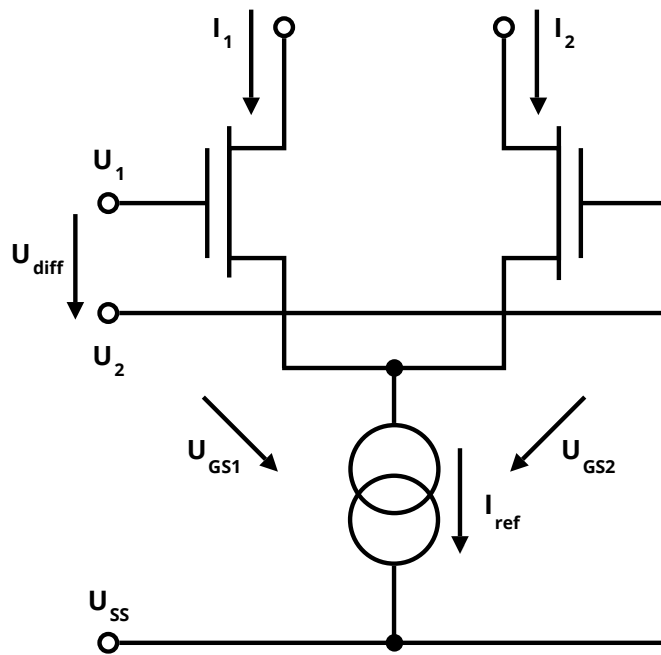
Obrázek 2.3 Kaskódové prúdové zrkadlo s veľkým dynamickým rozsahom

Pri tomto zapojení je v bode A napätie rovnaké ako U_{DS1} , vďaka čomu musí byť $U_{OUTmin} = U_{DS4} + U_{DS2}$. Rozmery tranzistoru M_5 je potrebné navrhnuť tak, aby napätie $U_{GS5} = U_{GS4} + U_{DSmin2}$. V prípade, že všetky tranzistory sú navrhnuté na rovnaké pracovné napätie U_{DSmin} platí, že $W/L_5 = 1/4 W/L_{1,2,3,4}$.

2.2 Diferenčný pár

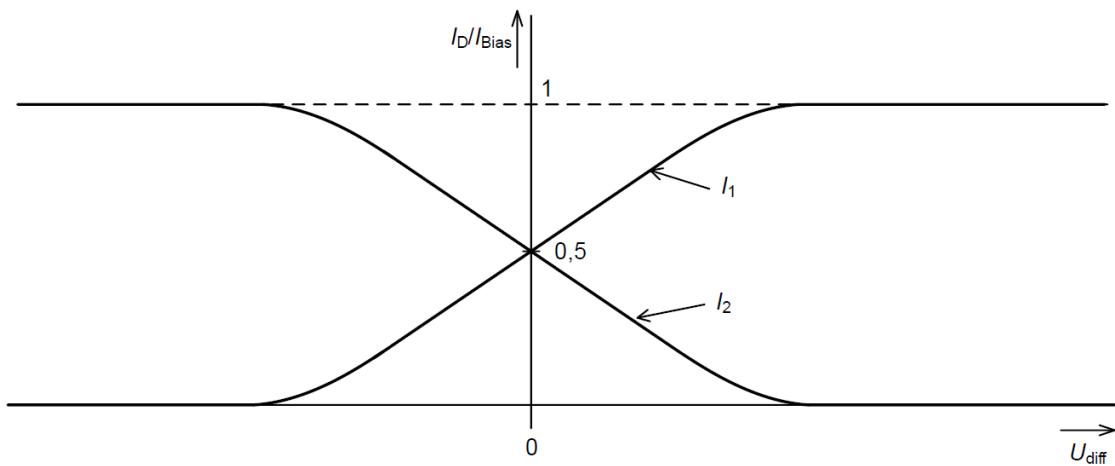
Najvyužívanejším vstupným stupňom zosilňovačov je diferenčný pár. Skladá sa z dvoch identických tranzistorov NMOS alebo PMOS so spojenými hradlami source. Oba tranzistory sú pripojené na spoločný prúdový zdroj I_{bias} , tento prúd je konštantný.

V ustálenom stave, ak platí $U_{GS1} = U_{GS2}$, prúd I_D každým z týchto tranzistorov je rovný polovici I_{bias} . Oba tranzistory sa nachádzajú v saturácii, preto prúd nimi je daný rovnicou (1.2). [3]



Obrázek 2.4 Diferenčný pár

Ak vzrastie napätie U_{GS1} a U_{GS2} zostane konštantné, zvýši sa prúd tranzistorom M_1 a tiež stúpne napätie v bode, ktorým sú M_1 a M_2 spojené. Tým sa zmenší napätie U_{GS2} a tranzistor sa privrie. Čím sa zníži prúd I_{D2} . [1]



Obrázek 2.5 Prúdy tranzistorami diferenčného páru [1]

Vstupný napäťový rozsah diferenčného páru

$$U_{GS1} \geq U_{SS} + U_{Iref} + U_{TH1}. \quad (2.5)$$

3. RAIL-TO-RAIL VSTUP

Zosilňovače môžu pracovať v rôznych režimoch, ktoré sú dané voľbou spätnej väzby daného zosilňovača. Ak je využívaný v režime, pri ktorom je celkové zosilnenie >1 (napríklad $A_0 = 10$), je dostačujúce, aby vstupný napät'ový rozsah bol $1/10$ veľkosti napájacieho napätia $U_{IN} = 1/10(U_{DD} - U_{SS})$. Existujú však aplikácie, v ktorých je potrebné zosilňovač používať v režime sledovača ($A = 1$).

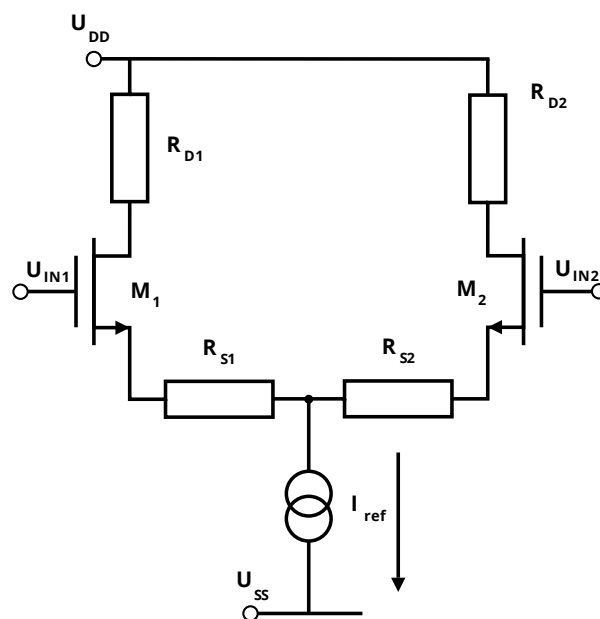
V tomto prípade vstupný rozsah priamo určuje veľkosť výstupného napät'ového rozsahu. Preto je nutné zakomponovať do vstupnej úrovne metódy, ktoré umožnia maximálny napät'ový rozsah vstupnej úrovne.

3.1 Diferenčný pár s degeneráciou source

V niektorých prípadoch je mocninová, presnejšie štvorcová, závislosť drainového prúdu na veľkosti napätia U_{OV} zdrojom priveľkej nelinearity. Túto závislosť je možné „zjemniť“ pomocou degenerácie source diferenčného páru.[5]

Degeneráciu MOS zosilňovača sa označuje pripojenie rezistívnej záťaže medzi prúdový zdroj zosilňovača (prípadne U_{SS} alebo U_{DD} , ak nejde o diferenčný pár) a source vstupného tranzistoru. Prúd tranzistorom bez degenerácie je úmerný druhej mocnine napätia U_{OV} ($U_{GS} - U_{TH}$), pripojením rezistoru na source je drainový prúd nútený tiecť týmto rezistorom, čím vzniká úbytok napätia, závislý na veľkosti prúdu tranzistorom. Následkom čoho je menšia zmena U_{GS} pri rovnakej zmene U_{IN}

$$\Delta U_{GS} = \Delta U_{IN} - \Delta I_D \cdot R_S. \quad (3.1)$$

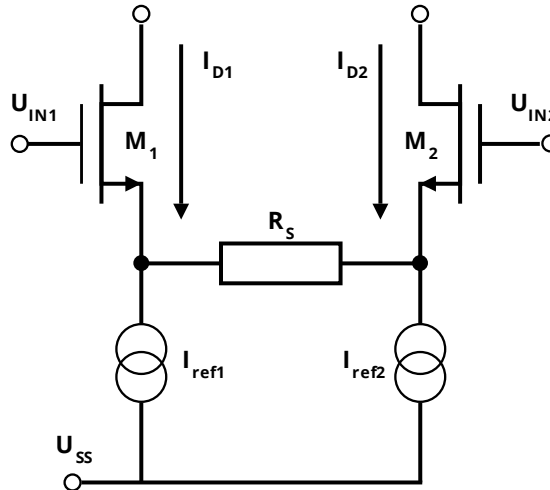


Obrázek 3.1 Diferenčný pár s degeneráciou

Toto zapojenie má však značnú nevýhodu, zvyšuje minimálne napätie $U_{IN1,2}$ potrebné na otvorenie tranzistorov $M_{1,2}$

$$U_{GS1} \geq U_{SS} + U_{Iref} + U_{TH1} + I_{D1}R_{S1}. \quad (3.2)$$

Túto nevýhodu je možné vyriešiť zdvojením prúdového zdroja napájajúceho diferenčný pár (dvoma prúdovými zdrojmi s polovičným referenčným prúdom) a zapojením jedného rezistoru s dvojnásobným odporom medzi tieto prúdové zdroje (obr. 3.2).



Obrázek 3.2 Modifikovaný diferenčný pár s degeneráciou

Pri tomto type zapojenia preteká prúd rezistorom R_S len v prípade, že $U_{diff} \neq 0$ a zároveň neovplyvňuje minimálnu hodnotu napätia U_{IN} , potrebnú na otvorenie tranzistorov diferenčného páru.

Pri degenerácií source MOS zosilňovača dochádza k zníženiu jeho transkonduktancie g_m .

$$g_m = \frac{g_{m0}}{1 + g_{m0} \cdot R_S} [4]. \quad (3.3)$$

g_{m0} – zosilnenie identického zosilňovača bez degenerácie.

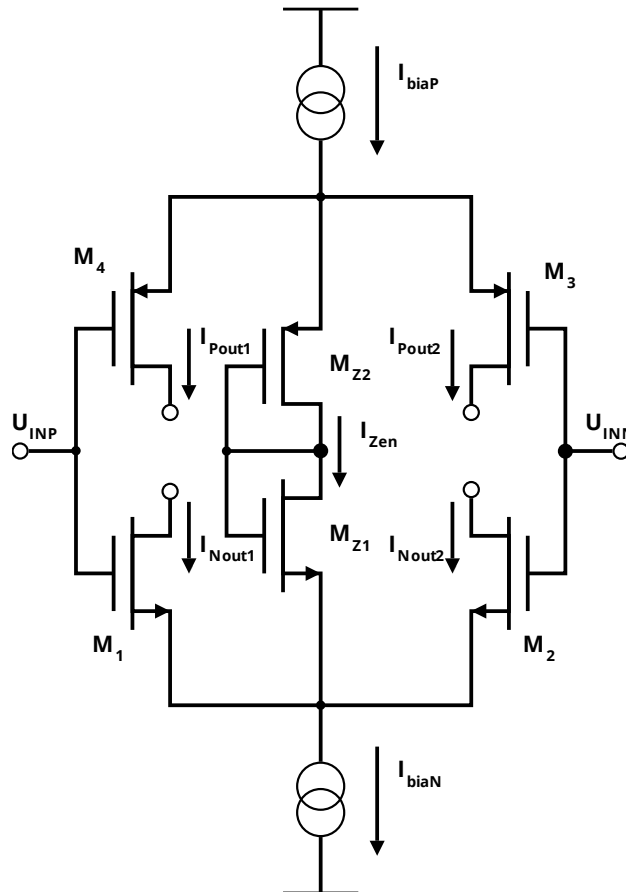
3.2 Diferenčný pár s kompenzáciou g_m

Pri použití kombinácie NMOS aj PMOS diferenčných párov je celková transkonduktancia g_{mot} rovná súčtu transkonduktancií všetkých vstupných diferenčných párov. Pri použití Rail-to-Rail vstupného napätia dochádza v krajných hodnotách tohto napätia (v blízkosti U_{DD} a U_{SS}) k úplnému uzavretiu jedného z párov. Následkom čoho je pokles celkového zosilnenia vstupnej úrovne zosilňovača o hodnotu g_m jedného z diferenčných párov.

Potlačiť tento efekt je možné viacerými spôsobmi, pričom najpoužívanejší z nich je zapojenie MOS tranzistorov v diódovom zapojení medzi jednotlivé páry (obr. 3.3).[6]

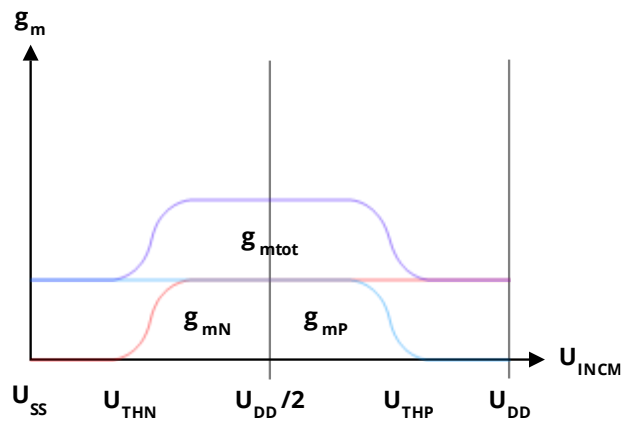
Použitím nasledujúceho zapojenia je možné zvýšiť celkové g_m vstupnej úrovne v krajných hodnotách vstupných napätí, pomocou zvýšenia prúdu jedným z diferenciálnych párov. Keďže transkonduktancia je priamo úmerná veľkosti prúdu I_D a nepriamo úmerná veľkosti napätia U_{OV} (rovnica 1.6), je potrebné dosiahnuť dvojnásobnú zmenu drainového prúdu v pomere ku zmene napätia overdrive.

Aby bolo možné dosiahnuť dané zvýšenie prúdu je potrebné nastaviť pracovný prúd I_{biaP} a I_{biaN} na osemnásobok normálového prúdu každým z tranzistorov diferenciálneho páru. Teda prúdy I_{D1-4} sú rovné $1/8 I_{bia}$ a prúd tečúci $M_{Z1,2}$ je rovný $6/8 I_{bia}$. V danom prípade ak dôjde k uzavretiu jedného z diferenciálnych párov, uzavrú sa aj tranzistory v diódovom zapojení. Druhý diferenciálny pár je týmto donútený prevziať zvyšnú časť referenčného prúdu. Drainový prúd sa tým zvýši štvornásobne (bez tranzistorov v diódovom zapojení by sa zvýšil len dvojnásobne) a tým spôsobí dvojnásobné zvýšenie transkonduktancie.

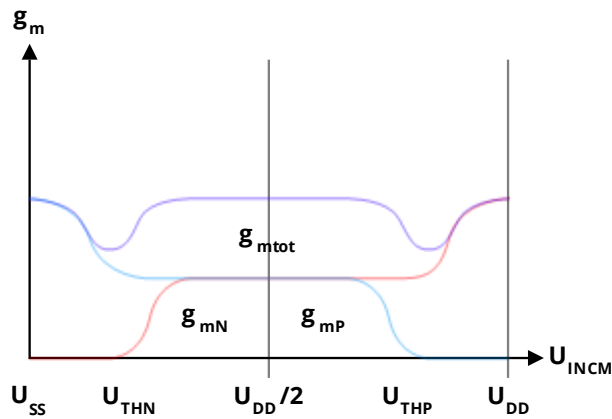


Obrázek 3.3 Kompenzácia g_m pomocou paralelne zapojených tranzistorov v diódovom zapojení

V nasledujúcich obrázkoch je zobrazené porovnanie zmeny transkonduktancie g_{mot} bez použitia tranzistorov v diódovom zapojení (obr. 3.4) a s použitím tranzistorov v diódovom zapojení (obr. 3.5).[7]



Obrázek 3.4 Celkové g_m bez kompenzácie pomocou tranzistorov v diódovom zapojení



Obrázek 3.5 Celkové g_m s kompenzáciou pomocou tranzistorov v diódovom zapojení

Nevýhodou tohto zapojenia je značné zvýšenie referenčného prúdu vstupnou úrovňou, následkom čoho je vyššia spotreba. S predpokladom 6-násobne väčšieho prúdu tečúceho cez diódy sa navrhujú dané tranzistory na 6-násobok šírky tranzistorov diferenčného páru, čo zvyšuje potrebnú plochu na čipe pre realizáciu daného zapojenia.

Zvýšenie linearity vstupnej úrovne však nie je jedinou výhodou, vďaka vyššiemu prúdu diferenčnými párami je dosiahnutá aj vyššia rýchlosť prechodu (Slew rate) bez zníženia šírky frekvenčného pásma zosilňovača.[7]

4. VÝSTUPNÉ ÚROVNE ZOSILŇOVAČOV

Zosilňovače sa využívajú vo veľkom množstve rôznych aplikácií. Od jednoduchého zosilňovania vstupného signálu na výkonnejší výstupný signál, rôznych využití pri realizácii aktívnych filtrov, tvorbu napät'ových a prúdových referencií, až po využitie v obvodoch schopných matematických operácií.

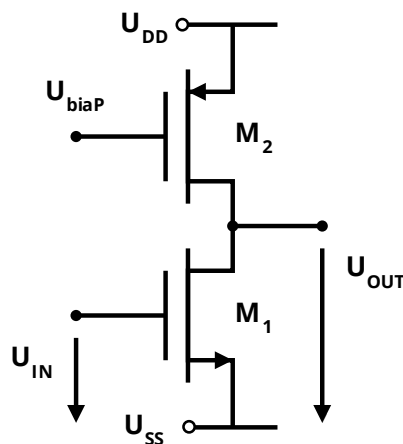
Každá z týchto aplikácií má rôzne požiadavky na vlastnosti a parametre zosilňovača. Niektoré vyžadujú veľké rozsahy kmitočtového pásma, iné zasa čo najvyššiu rýchlosť priebehu alebo malé harmonické skreslenie signálu. Tieto parametre sú závislé na internej stavbe daného zosilňovača a výrazne ovplyvňované výstupnou úrovňou zosilňovača.

Rozlišujeme ich podľa polohy pracovného bodu, v ktorom sa výstupná úroveň nachádza.

4.1 Trieda A

Koncový stupeň triedy A má pracovný bod umiestnený v strede lineárnej časti V-A charakteristiky a jeho aktívny prvok (tranzistor) je po celú periódu prenášaného signálu otvorený.

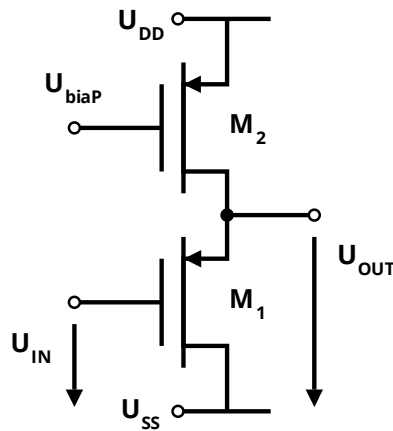
Táto trieda sa vyznačuje vysokou spotrebou a malou účinnosťou, ale poskytuje pomerne malé harmonické skreslenie. Pri použití zapojenia so spoločným source poskytuje zosilňovač veľkú výstupnú impedanciu, výsledkom čoho je väčšie celkové zosilnenie OZ ale nie je vhodný na riadenie malých odporových záťaží alebo veľkých kapacitných záťaží.[1]



Obrázek 4.1 Výstupná úroveň typu A so spoločným source

Druhou možnosťou je použitie zapojenia so spoločným drainom, v tomto režime sa tranzistor nachádza v takzvanom „source follower mode“. Takto zapojený tranzistor

neposkytuje žiadne zosilnenie, neotáča fázu prenášaného signálu, ale poskytuje malú výstupnú impedanciu.[3]



Obrázek 4.2 Výstupná úroveň typu A so spoločným drain

Pri sledovačovom zapojení (spoločný source) je výstupný signál takmer dokonalou replikou vstupného signálu, dochádza pri ňom len o DC posun s veľkosťou U_{GS} (resp. U_{SG} pre PMOS) tento napät'ový posun je daný veľkosťou U_{TH} a $U_{DS,sat}$. Toto obmedzuje maximálny výstupný napät'ový rozsah

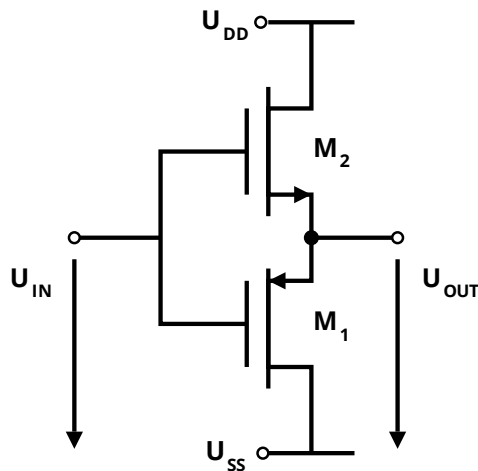
$$U_{OUT,min,N} = U_{SS} + U_{TH} + U_{DS,sat} \cdot [1] \quad (4.1)$$

Zapojenie so spoločným source je vhodné, ak je potrebnou výstupnou veličinou prúd a takýto typ zosilňovača je väčšinou označovaný ako operačný transkonduktančný zosilňovač (OTA). Ak je použité zapojenie so spoločným drainom, výstupnou veličinou je napätie a takýto typ zosilňovača býva označený ako operačný zosilňovač (OpAmp).[8]

4.2 Trieda B

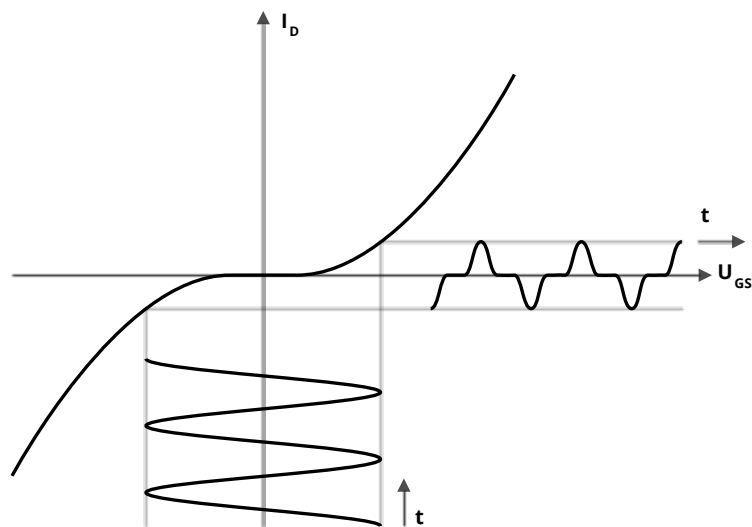
Výstupné úrovne triedy B majú pracovný bod nastavený na kraji prenosovej charakteristiky, presnejšie tesne pod U_{TH} . Prúd aktívnym prvkom výstupnej úrovne preteká len pri signály jednej polarity. A v referenčnom stave ním nepreteká žiaden prúd.

Táto trieda je hlavne využívaná u tzv. dvojčinných zosilňovačov, kedy jeden prvok prenáša jednu polovicu signálu a druhý prvok druhú polovicu signálu. Kombináciou týchto prvkov získame charakteristiku symetrickú okolo nuly. Najjednoduchší obvod, ktorý zodpovedá takejto charakteristike je „push-pull“.[1]



Obrázek 4.3 Výstupná úroveň typu B („push-pull“)

Takéto zapojenie má však značnú nevýhodu v podobe harmonického skreslenia tvoreného posunutím prenášaného signálu v okolí nuly spôsobeného napätím U_{TH} , potrebným pre otvorenie aktívnych prvkov.



Obrázek 4.4 Voltampérová charakteristika prenosu „push-pull“

Rovnako ako v triede A, tu nastáva obmedzenie rozsahu výstupného napät'ového rozsahu, v tomto prípade je obmedzené aj minimálne aj maximálne napätie o veľkosť medzného napätia U_{TH} a veľkosť saturačného napätia $U_{DS,sat}$. [3]

$$U_{OUT,min,P} = U_{SS} + U_{TH,P} + U_{DS,sat}, \quad (4.2)$$

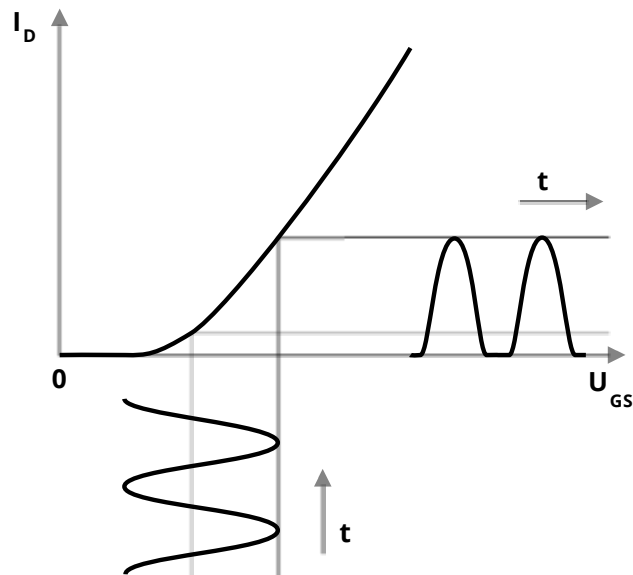
$$U_{OUT,max,N} = U_{SS} + U_{TH,N} + U_{DS,sat}. [1] \quad (4.3)$$

Výraznou výhodou oproti triede A je vyššia účinnosť okolo 75%, ale nevýhodou je výrazné harmonické skreslenie.[1]

4.3 Trieda AB

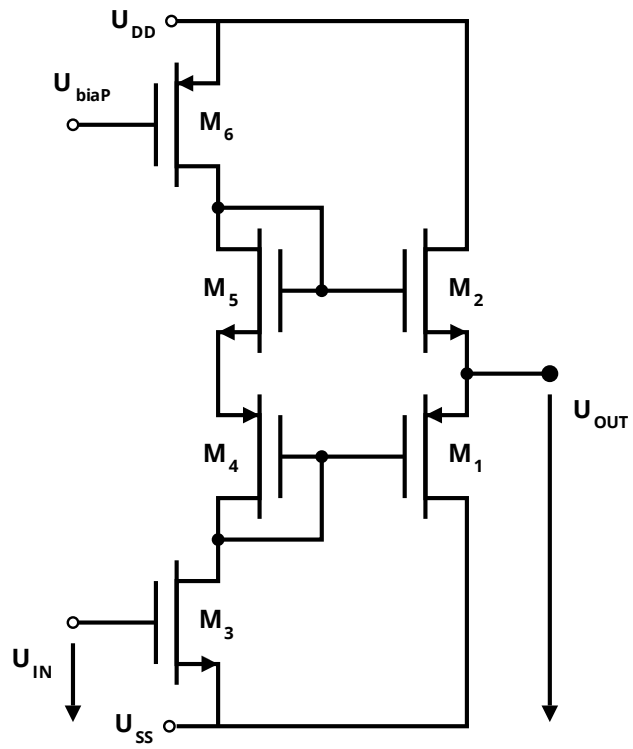
Kombináciou vlastností triedy A a B je možné vytvoriť ich kompromis. Pričom v porovnaní s triedou A získame lepšiu účinnosť a s triedou B menšie harmonické skreslenie.

Pracovný bod triedy AB sa nachádza na hranici lineárnej oblasti prenosovej charakteristiky aktívneho prvku výstupnej úrovne. Pričom poskytuje prenos celej charakteristiky jednej z polarít vstupného signálu a malú časť charakteristiky druhej z polarít.



Obrázek 4.5 Voltampérová charakteristika prenosu triedy AB

Kombináciou dvoch aktívnych prvkov nastavených v triede AB, pričom každý z nich prenáša jednu polaritu signálu, môžeme vytvoriť efektívnu výstupnú úroveň zosilňovača s malým skreslením a vysokou účinnosťou. Takéto zapojenie je možné realizovať pomocou kombinácie triedy A, ktorej výstup je pripojený na triedu B, využívajúcu tranzistory s posunutým pracovným bodom o U_{GS} (obr. 4.6).[1]



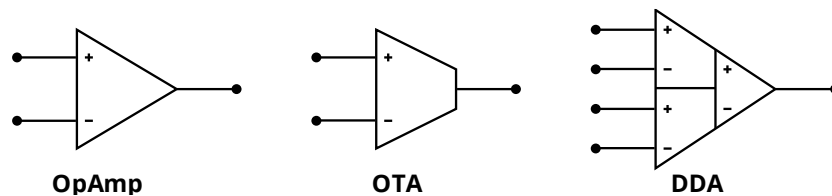
Obrázek 4.6 Schéma zapojenia triedy AB „modifikovaný push pull“

5. OPERAČNÝ ZOSILŇOVAČ A DDA

Kvôli širokému rozsahu využitia zosilňovačov v elektrotechnickej praxi bolo vyvinutých mnoho druhov zosilňovačov. Všeobecne najpoužívanejším je operačný zosilňovač (OpAmp). Nie je však použiteľný pre všetky aplikácie, jeho výstupnou veličinou je napätie.

Existujú však prípady, kedy je potrebnou výstupnou veličinou prúd. Vtedy je vhodné použiť operačný transkonduktančný zosilňovač (OTA).

Typ zosilňovača, ktorý je predmetom tejto práce, je tzv. diferenčne diferenciálny zosilňovač (DDA). Je možné ho skonštruovať s napät'ovým aj prúdovým výstupom, záleží to na voľbe výstupnej úrovne. Jeho veľkou výhodou v porovnaní s operačným zosilňovačom je implementácia dvoch párov diferenčných vstupov, vďaka ktorým je v mnohých aplikáciách možné ho použiť bez komplexného externého zapojenia (prípadne s menej komplexným zapojením v porovnaní s OpAmp).



Obrázek 5.1 Porovnanie schematických značiek zosilňovačov

5.1 Operačný zosilňovač (OpAmp)

Tabulka 5.1 Porovnanie ideálneho a reálneho OpAmp[9]

Ideálny zosilňovač		Reálny zosilňovač	
Zosilnenie v otvorenej slučke A_U [dB]	∞	Zosilnenie v otvorenej slučke A_U [dB]	0 - 150
Vstupný odpor R_{IN} [Ω]	∞	Vstupný odpor R_{IN} [Ω]	1 - 200 Meg
Výstupný odpor R_{OUT} [Ω]	0	Výstupný odpor R_{OUT} [Ω]	10 - 100
Šírka kmitočtového pásma (GBW) [Hz]	∞	Šírka kmitočtového pásma (GBW) [Hz]	Desiatky Meg
Napät'ová nesymetria [V]	0	Napät'ová nesymetria [V]	10 μ - 10m
Potlačenie zmien napájacieho napätia (PSRR)[dB]	∞	Potlačenie zmien napájacieho napätia (PSRR)[dB]	Max. \approx 130
Potlačenie súhlasného signálu (CMRR) [dB]	∞	Potlačenie súhlasného signálu (CMRR) [dB]	Max. \approx 130

Reálne operačné zosilňovače sa svojimi parametrami častokrát blížia k ideálnemu modelu

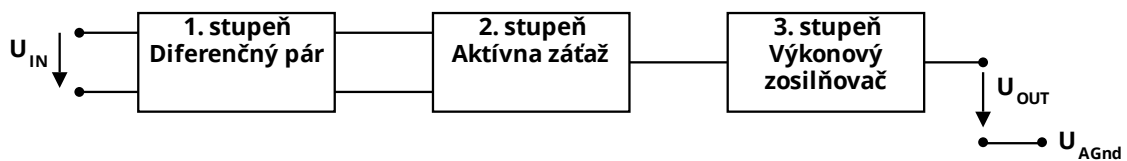
zosilňovača. Ideálne zosilňovače samozrejme neexistujú, ale sú výhodné pre použitie v manuálnych výpočtoch.

5.1.1 Zosilnenie v otvorenej slučke A_U

Parameter A_{U0} definuje jednosmerné zosilnenie vstupného signálu na výstupný, tento parameter je závislý na súčine celkového zosilnenia jednotlivých blokov zosilňovača. Väčšina zosilňovačov je tvorená z troch nezávislých blokov, prvým je vstupná úroveň, väčšinou býva tvorená jedným alebo viacerými diferenčnými párami, ktorých výstupom je zmena prúdu v druhej úrovni.

Druhou úrovňou býva druh aktívnej záťaže v podobe prúdového zrkadla. Tento blok umožňuje diferenčný výstup z prvého bloku, vďaka čomu je zosilnenie prvej úrovne rovné súčtu jednotlivých zosilnení každého z tranzistorov diferenčného páru.

Tretiu alebo poslednou, je výstupná úroveň, môže byť rôzneho typu podľa aplikácie, v ktorej bude zosilňovač používaný. Ak je typu „common source“ (spoločný source), poskytuje zosilnenie s veľkosťou transkonduktancie aktívneho prvku tejto úrovne. V prípade použitia „source follower“ (sledovačového) zapojenia je zosilnenie tejto úrovne $A_U = 1$, neprispieva tento blok k celkovému zosilneniu.



Obrázek 5.2 Bloková schéma trojstupňového zosilňovača

Celkové zosilnenie môžeme vyjadriť ako

$$A_U = 20 \cdot \log_{10} \frac{U_{OUT}}{U_{In}} \cdot [10] \quad (5.1)$$

5.1.2 Šírka kmitočtového pásma (GBW)

Tento parameter udáva hodnotu frekvencie, pri ktorej zosilnenie dosahuje v decibelovej škále nulu (teda zosilnenie je rovno 1). Všetky signály s väčším kmitočtom ako hodnota GBW sú zoslabované.

5.1.3 Stabilita zosilňovača

Podľa veľkosti GBW a fázového posunu prenášaného signálu sa zisťuje stabilita zosilňovača. Ak je fázový posun pri frekvencii $GBW < 135^\circ$ oproti vstupnému signálu, označujeme zosilňovač ako stabilný. Veľkosť fázového posunu je daná pozíciou pólov zosilňovača.

Pre dosiahnutie stability je snahou umiestniť všetky póly okrem dominantného (prvého) na kmitočty, ktoré sú väčšie ako GBW .

5.1.4 Napät'ová nesymetria

Vstupná napät'ová nesymetria je hodnota napätia privedená medzi vstupné svorky pre dosiahnutie analógovej nuly na výstupe zosilňovača. Je spôsobená parazitickými vlastnosťami reálnych súčiastok zosilňovača. [1]

5.1.5 Potlačenie zmien napájacieho napätia (PSRR)

Označuje schopnosť zosilňovača zachovať si stabilnú hodnotu výstupného napätia pri zmene veľkosti napájacieho napätia. [1]

5.1.6 Potlačenie súhlasného signálu (CMRR)

Úlohou diferenčného vstupu zosilňovača je potlačenie súhlasného signálu privedeného na obe vstupné svorky. Udáva sa ako pomer celkového zosilnenia ku zosilneniu súhlasného signálu,

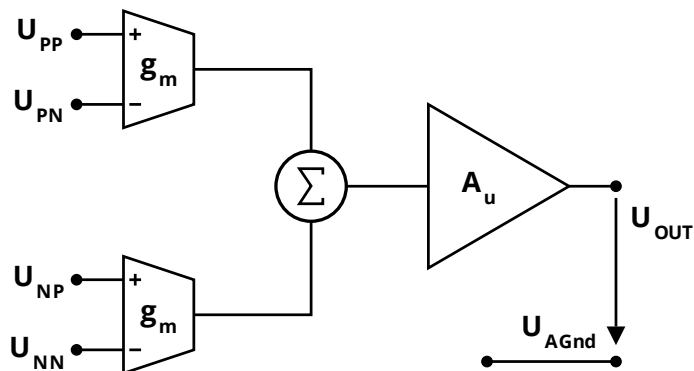
$$CMRR = 20 \cdot \log_{10} \frac{A_U}{A_{CM}}. [1] \quad (5.2)$$

5.2 Diferenčne diferenčiálny zosilňovač (DDA)

Rozdielom medzi operačným zosilňovačom a diferenčne diferenčiálnym zosilňovačom je implementácia dvoch párov diferenčných vstupov, označených U_{PP}, U_{PN}, U_{NP} a U_{NN} . Pričom rozdiel týchto vstupov je vzájomne tiež diferenčný

$$V_{PP} - V_{PN} = V_{NP} - V_{NN}. [11] \quad (5.3)$$

Vnútna funkcia DDA je graficky znázornená na obr. 5.3.



Obrázek 5.3 Bloková schéma DDA

Túto grafickú závislosť je tiež možné popísať rovnicou pre ideálny model DDA

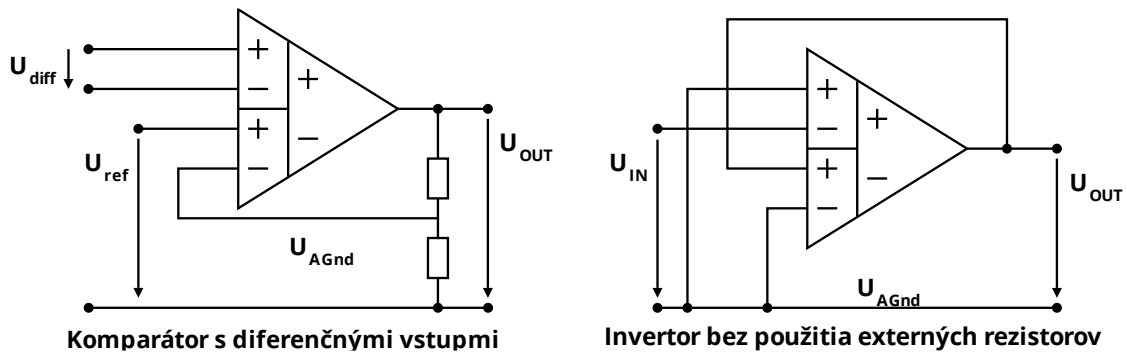
$$U_{OUT} = A_U \cdot ((V_{PP} - V_{PN}) - (V_{NP} - V_{NN})). \quad (5.4)$$

5.2.1 Využitie DDA

Ako už bolo spomenuté, diferenčne diferenciálne zosilňovače majú značnú výhodu oproti OZ vďaka ich unikátnym vstupným úrovňam. Tie umožňujú zjednodušenie mnohých zapojení, ktoré predtým využívali jeden či viacero operačných zosilňovačov.

Prvým príkladom je komparátor s diferenčným vstupom, pri tomto zapojení je privedená záporná spätná väzba na jeden z invertujúcich vstupov. Na párový neinvertujúci vstup je privedené referenčné napätie a diferenčné napätie medzi zvyšnými dvoma vstupmi je porovnávanou hodnotou.[11]

Ďalšou aplikáciou je napäťový invertor bez použitia externých rezistorov. Klasická realizácia invertoru vyžaduje okrem OZ použitie dvoch symetrických rezistorov, táto požiadavka sa stráca pri použití DDA, ktoré vyžaduje len externé pospájanie bez iných súčiastok.[11]

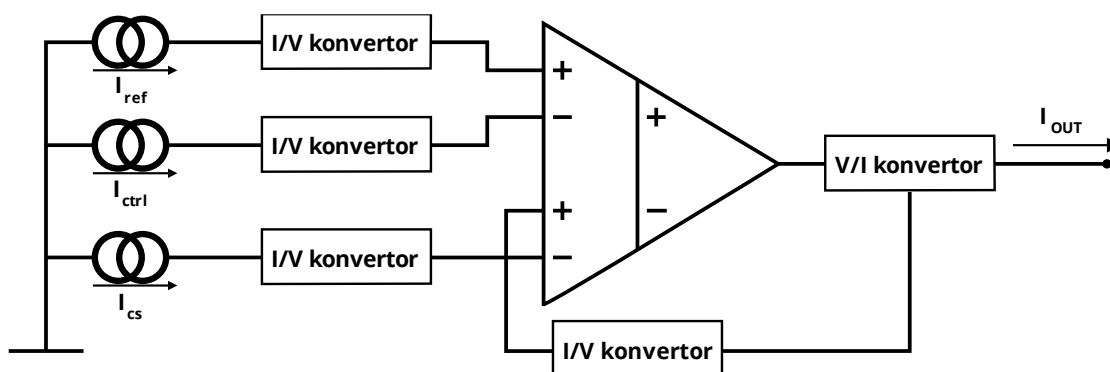


Obrázek 5.4 Príklady aplikácií DDA

Pre použitie v analógovej prúdovej násobičke je DDA zapojené ako sledovač, teda je v ňom zavedená spätná väzba priamym spojením výstupnej vetvy na jeden z invertujúcich vstupov. Aj keď sa na prvý pohľad javí, že je spätná väzba privedená na neinvertujúci vstup, treba si všimnúť, že táto vetva je privedená na invertujúci vstup 2. stupňa, čo mení polaritu vstupných svoriek. V tomto zapojení DDA sčítava napätia kladných vstupov a odčítava od nich napätie záporného vstupu.

$$U_{OUT} = U_{PP} - U_{PN} + U_{NN}. \quad (5.5)$$

V blokovej schéme obr. 5.5 je uvedené principiálne zapojenie násobičky, pre ktorú je dané DDA navrhované.



Obrázek 5.5 Bloková schéma analógovej násobičky s DDA

Vstupnými veličinami násobičky sú prúdy, tie sú pomocou prúdovo-napäťových konvertorov prevedené na napätie. Tieto konvertory využívajú bipolárne tranzistory zapojené v konfigurácii so spoločným kolektorom. Napätia z týchto konvertorov sú privedené na dva neinvertujúce a jeden invertujúci vstup DDA.

Výstupné napätie DDA je následne nastavené na hodnotu podľa rovnice (5.4) a privedené na vstup napäťovo-prúdového konvertoru. Daný konvertor obsahuje identický princíp využívajúci bipolárne tranzistory, z ktorých je privedená spätná väzba do DDA.

Výstupný prúd násobičky je vyjadrený rovnicou

$$I_{OUT} = \frac{I_{ref} \cdot I_{cs}}{I_{ctrl}}. \quad (5.6)$$

6. NÁVRH DIFERENČNE DIFERENCIÁLNEHO ZOSILŇOVAČA

Táto kapitola je zameraná na praktický návrh diferenčne diferenciálneho zosilňovača. Cieľom tohto návrhu je dosiahnuť maximálny vstupný a výstupný napätový rozsah, zistiť výstupnú prúdovú zaťažiteľnosť a šírku frekvenčného pásma.

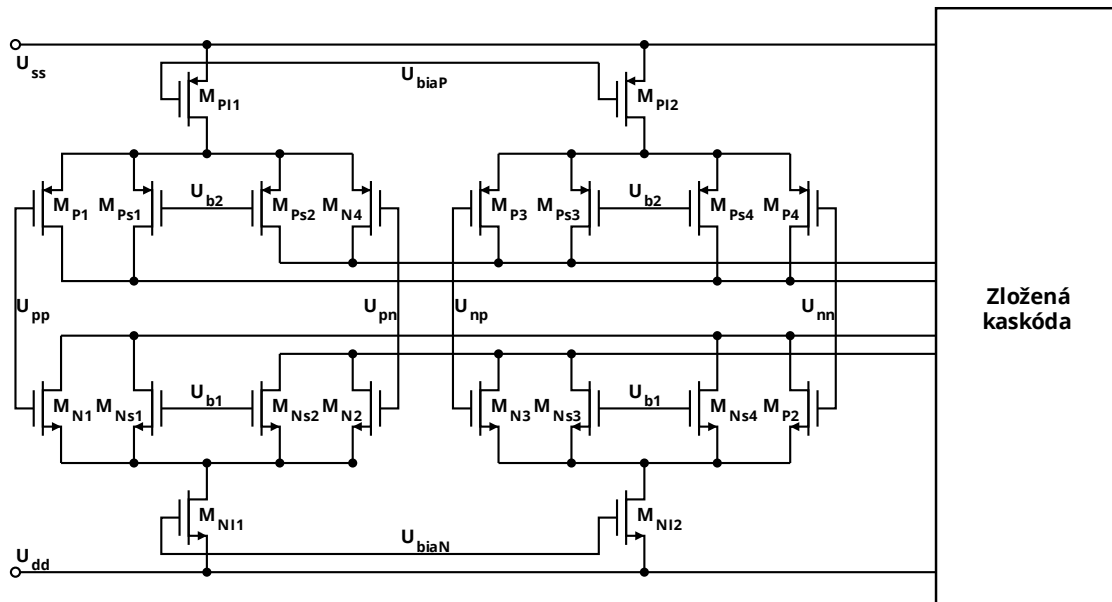
Pri návrhu je použitá technológia ONC25 (0,25 μm) a tranzistory so štandardným prahovým napätím. Napájanie je nesymetrické s veľkosťou 5 V.

Tabulka 6.1 Parametre technológie ONC25

	NMOS	PMOS
U_{TH} [V]	0,792	-0,874
KP ($U_{\text{DS,sat}} = 2 \text{ V}$) [$\mu\text{A}/\text{V}^2$]	37,9	13
KP ($U_{\text{DS,sat}} = 0,1 \text{ V}$) [$\mu\text{A}/\text{V}^2$]	130	35,4
λ [V^{-1}]	0,06	0,06

6.1 Návrh vstupnej úrovne

Pre dosiahnutie Rail-to-Rail vstupného napätového rozsahu boli použité komplementárne NMOS a PMOS diferenčné páry $M_{\text{N1-4}}$ a $M_{\text{P1-4}}$. Napájané sú konštantnými zdrojmi prúdu pozostávajúcimi z tranzistorov $M_{\text{N11,2}}$ a $M_{\text{P11,2}}$.



Obrázek 6.1 Vstupná diferenčná úroveň

Ako bolo spomenuté v odstavci (3.2), použitím komplementárnych diferenčných párov vzniká problém nekonštantnej hodnoty celkovej transkonduktancie g_{mtot} , ktorá je súčtom transkonduktancií všetkých tranzistorov vstupných diferenčných párov.

Tento jav spôsobuje nerovnomerné zosilnenie prenášaného signálu a tým zhoršuje linearitu správania zosilňovača, ktorý využíva veľký rozptyl vstupných napätí (ako napríklad pri zapojení s priamou spätnou väzbou, „voltage follower,“ kedy je výstupné napätie rovné vstupnému napätiu).

Pri použití konvenčného diferenčného zosilňovača môže byť tento problém častokrát zanedbaný, vďaka diferenčnému správaniu vstupných tranzistorov pri zapojení s veľkým rozsahom vstupných napätí.

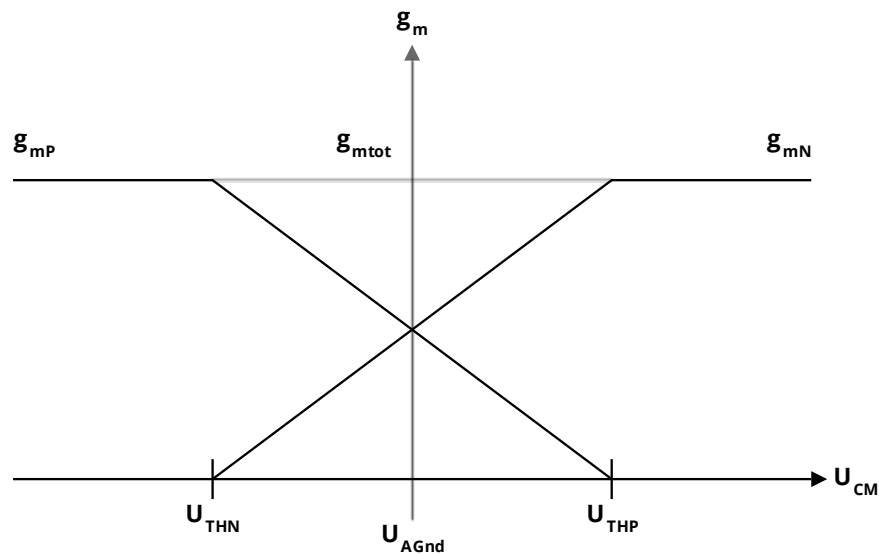
Avšak pri implementácii DDA tvorí veľký problém, keďže jednotlivé dvojice vstupných párov nie sú medzi sebou priamo diferenčne spojené. Jednotlivé diferenčné páry sa správajú diferenčne len za predpokladu, že je zavedená záporná spätná väzba v zosilňovači (väčšinou priamym pripojením jedného z invertujúcich vstupov na výstup DDA). V tomto prípade je diferenčná schopnosť zosilňovača priamo závislá na celkovom zosilnení a jeho linearite (ak transkonduktancia nie je konštantná, mení sa diferenčná schopnosť medzi dvojicami vstupných párov).

Existuje viacero spôsobov, ktorými je možné tento problém potlačiť.[12][13][14][15] Vo všeobecnosti sa dajú rozdeliť na dve kategórie, „prúdové posilnenie“ a „vstupný napäťový posun“. Prúdové posilnenie využíva závislosť transkonduktancie na derivácií I_D tranzistoru napätím U_{OV} , z toho vyplýva, že ak dochádza k lineárnej zmene prúdu transkonduktancia zostáva konštantná. Ak je však zmena prúdu druhou mocninou zmeny napätia U_{OV} , transkonduktancia lineárne stúpa.

Preto sa používajú zapojenia, ktoré sú schopné pri zatvorení jedného z diferenčných párov, druhému páru poskytnúť štvornásobné zvýšenie prúdu. Teda celková transkonduktancia vstupného páru sa nezmení, ale transkonduktancia jedného z párov sa zdvojnásobí.

Druhým princípom kompenzácie zmeny transkonduktancie je vstupný napäťový posun, takéto zapojenia posúvajú pracovné rozsahy jednotlivých diferenčných párov v komplementárnom zapojení tak, aby dochádzalo k rovnomernej zmene transkonduktancie medzi párami. V ideálnom prípade by mal každý z párov mať polovičnú hodnotu $g_{m,MAX}$, práve pri vstupnom napätí rovnom analógovej nule.

Oba princípy predpokladajú dokonale lineárnu zmenu transkonduktancie so zmenou vstupného napätia. To však v realite nie je možné dosiahnuť, preto je potrebné zvoliť kompromis medzi presnosťou DDA a využitím extrémnych parametrov pri návrhu tohto zosilňovača.



Obrázek 6.2 Kompenzácia g_m pomocou vstupného napät'ového posunu

Použité zapojenie využíva kombináciu oboch princípov, posúvacie (shifting) tranzistory M_{Ns1-4} a M_{Ps1-4} ovplyvňujú aj strmosť zmeny transkonduktancie, aj hodnotu transkonduktancie, pri ktorej sa pretnú.

Pri veľkosti vstupného napätia rovnej analógovej nule dochádza k deleniu referenčných prúdov medzi diferenčné a posúvacie tranzistory. Za predpokladu, že napätia $U_{b1,2}$ sú rovné analógovej nule a diferenčných a posúvacích tranzistorov je rovný jednej, prúdy sú medzi nimi delené na $1/4 I_{ref}$. So zväčšovaním pomeru tranzistorov dochádza k zvýšeniu prúdov cez posúvacie tranzistory a tým k menšej zmene prúdu diferenčnými tranzistormi pri zmene vstupného napätia (teda k menšej strmosti zmeny transkonduktancie). So zvyšovaním vstupného napätia dôjde k úplnému prebratiu prúdov z posúvacích tranzistorov na diferenčné, takže maximálna hodnota g_m sa nezmení.

Zmenou napätí $U_{b1,2}$ sa posúva bod pretnutia zmien transkonduktancie. Pre NMOS tranzistory, ak zvýšime U_{b1} , dôjde k úplnému prevzatiu prúdov diferenčnými tranzistormi pri vyššom napätí a tým sa posunie celá charakteristika bližšie ku kladnému napájaciemu napätiu (analogicky to platí pre PMOS tranzistory so znižovaním napätia U_{b2} , charakteristika sa posúva bližšie ku zápornému napájaciemu napätiu).

Skutočnosť, že posun charakteristiky transkonduktancie je možné riadiť napätím, je možné použiť k externému ladeniu zosilnenia DDA.

Druhým predpokladom pre zachovanie konštantnej transkonduktancie je zabezpečenie lineárnej zmeny prúdov v oblasti saturácie nosičov náboja. Tu nastáva druhý problém pri návrhu DDA. Keďže jednotlivé dvojice diferenčných vstupov nezdieľajú spoločný prúdový zdroj, je potrebné nastaviť pracovný prúd pre vstupné páry

na dostatočne veľkú hodnotu alebo pomer rozmerov vstupných párov na dostatočne nízku hodnotu.

Referenčný prúd pre každý zo štvorice diferenčných párov bol zvolený na hodnotu $50 \mu A$ a pomer diferenčných a posúvacích tranzistorov rovný 1 (táto hodnota bola určená pomocou simulácií, pri väčšom pomere bola zmena g_m príliš nelineárna a tým dochádzalo k veľkej zmene g_{mot}) a pracovné napätia $U_{b1,2}$ boli nastavené na $U_{b1} = 3V$ a $U_{b2} = 2V$ (tieto hodnoty boli opäť získané simuláciou pre dosiahnutie vhodného bodu pretnutia zmien transkonduktancií). Pre zachovanie saturácie tranzistorov, slúžiacich ako prúdové zdroje bola zvolená hodnota napätia $U_{DSref} = 0,4 V$.

Veľkosť parametru KP je závislá na pracovnom bode tranzistoru a simuláciou bola zistená hodnota pre NMOS $KP_N \approx 65 \mu A/V^2$ a $KP_P \approx 18 \mu A/V^2$.

Z týchto hodnôt boli vypočítané rozmery pre tranzistory M_{N1-4} , M_{Ns1-4} , M_{P1-4} a M_{Ps1-4} ,

$$\begin{aligned} \frac{W}{L_N} &= \frac{2 \cdot \frac{I_{ref}}{4}}{KP_N \cdot (U_{GS} - U_{THN} - U_{DSref})^2} \\ &= \frac{2 \cdot \frac{50\mu}{4}}{65\mu \cdot (2,5 - 0,82 - 0,4)^2} \approx 0,25 \end{aligned} \quad (6.1)$$

Analogicky boli dopočítané aj tranzistory PMOS a ich rozmer bol určený na $W/L_P = 0,89$.

Referenčné prúdové zdroje boli realizované pomocou prúdových zrkadiel z referenčného obvodu s prúdom $5 \mu A$, ktorých rozmery boli vypočítané tiež pomocou rovnice (6.1), pričom U_{OV} bolo určené na $0,2 V$. Preto boli ich rozmery nastavené na 10-násobok pomeru W/L tranzistorov referenčného obvodu.

Tabulka 6.2 Rozmery tranzistorov NMOS vstupnej úrovne

NMOS	W	L	W/L	V_{DSsat}	Násobok
M_{N1}	2,5	10	0,25	1,25	1
M_{N2}	2,5	10	0,25	1,25	1
M_{N3}	2,5	10	0,25	1,25	1
M_{N4}	2,5	10	0,25	1,25	1
M_{Ns1}	2,5	10	0,25	1,25	1
M_{Ns2}	2,5	10	0,25	1,25	1
M_{Ns3}	2,5	10	0,25	1,25	1
M_{Ns4}	2,5	10	0,25	1,25	1
M_{NI1}	2	2	1	0,4	10
M_{NI2}	2	2	1	0,4	10

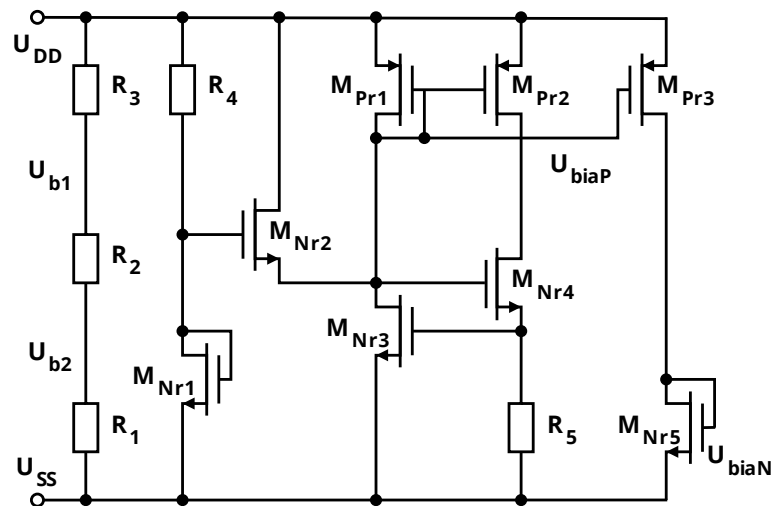
Tabulka 6.3 Rozmery tranzistorov PMOS vstupnej úrovne

PMOS	W	L	W/L	V_{DSsat}	Násobok
M_{P1}	8,9	10	0,89	1,25	1
M_{P2}	8,9	10	0,89	1,25	1
M_{P3}	8,9	10	0,89	1,25	1
M_{P4}	8,9	10	0,89	1,25	1
M_{Ps1}	8,9	10	0,89	1,25	1
M_{Ps2}	8,9	10	0,89	1,25	1
M_{Ps3}	8,9	10	0,89	1,25	1
M_{Ps4}	8,9	10	0,89	1,25	1
M_{PI1}	6,5	2	3,25	0,4	10
M_{PI2}	6,5	2	3,25	0,4	10

6.2 Návrh referenčného obvodu

Daný referenčný obvod nemusí byť súčasťou obvodu, ak je možné priviesť externe konštantné napätia $U_{b1,2}$ a referenčný prúd s hodnotou $5 \mu A$.

Keďže je navrhované DDA realizované ako samostatný pracovný blok, bol pre neho doplnený referenčný obvod (obr. 6.3), ktorý poskytuje dané referenčné napätia pre autonómnou funkciu tohto zosilňovača.



Obrázek 6.3 Referenčný prúdový a napät'ový obvod

Rezistory R_{1-3} sú navrhované v pomere 2:1:2, aby bolo dosiahnuté delenie napájacieho napätia na $2/5 U_{DD}$ pre U_{b2} , ktoré slúži na nastavenie pracovného bodu pre posúvacie tranzistory PMOS a $3/5 U_{DD}$ pre U_{b1} , ktoré nastavuje pracovný bod NMOS tranzistorov.

Tranzistory $M_{Nr1,2}$ v kombinácii s R_4 tvoria štartovací obvod pre referenčný prúdový obvod. Ich rozmery boli nastavené pomocou simulácie. V normálnom pracovnom bode by tranzistorom M_{Nr2} nemal tiecť žiaden prúd. Veľkosť prúdu tranzistorom v diódovom zapojení M_{Nr1} a rezistorom R_4 by mala byť minimálna (bol použitý $10 \mu A$).

$M_{Nr3,4}$, $M_{Pr1,2}$ a R_5 tvoria referenčný prúdový obvod nezávislý na napájacom napätí. Veľkosť rezistoru R_5 je vypočítaná podľa

$$R_5 = \frac{U_{TH,Nr3} + U_{OV,Nr3}}{I_{ref}} = \frac{0,80 + 0,4}{5\mu} = 240 \text{ k}\Omega. \quad (6.2)$$

Táto hodnota musí byť veľmi presná, lebo priamo určuje veľkosť prúdu tečúceho celým DDA.

Poslednú časť tohto obvodu tvoria dve prúdové zrkadlá, ktorých rozmer bol vypočítaný pomocou rovnice (6.1) a ich napätie U_{OV} bolo určené na $0,4 \text{ V}$. Dĺžky všetkých tranzistorov v prúdových zrkadlách boli nastavené na $2 \mu m$ kvôli potlačeniu λ .

Tabulka 6.4 Rozmery tranzistorov NMOS referenčného obvodu

NMOS	W	L	W/L	V_{DSsat}	Násobok
M_{Nr1}	1	10	0,1	1,7	1
M_{Nr2}	1	1	1	-	1
M_{Nr3}	2	2	1	0,4	1
M_{Nr4}	2	2	1	0,4	1
M_{Nr5}	2	2	1	0,4	1

Tabulka 6.5 Rozmery tranzistorov NMOS referenčného obvodu

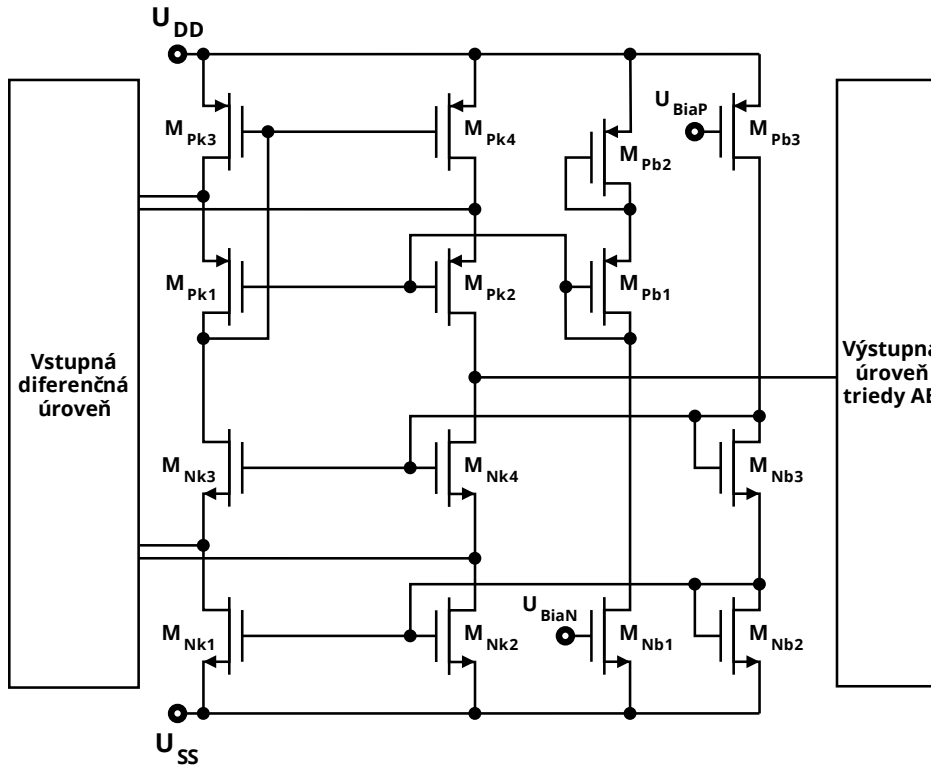
PMOS	W	L	W/L	V_{DSsat}	Násobok
M_{Pr1}	6,5	2	3,25	0,4	1
M_{Pr2}	6,5	2	3,25	0,4	1
M_{Pr3}	6,5	2	3,25	0,4	1

6.3 Návrh zloženej kaskódy

Záťažou pre vstupnú diferenčnú úroveň je zložená kaskóda. Je to vysoko-odporová aktívna záťaž, ktorej úlohou je sčítavať prúdy vstupnej úrovne. Zmeny týchto prúdov vyvolávajú veľkú dynamickú napäťovú zmenu v bode, ktorým je kaskóda spojená s výstupnou úrovňou.

Je tvorená PMOS prúdovým zrkadlom $M_{Pk3,4}$ a NMOS prúdovým zdrojom $M_{Nk1,2}$. Tranzistory $M_{Nk3,4}$ a $M_{Pk1,2}$ slúžia na stabilizáciu U_{DS} pre prúdové zrkadlo a zdroj, čím zvyšujú presnosť kaskódy.

Druhou časťou kaskódy je referenčný obvod, ktorým sú nastavované pracovné body pre kaskódu. Táto časť obvodu je tvorená dvoma prúdovými zdrojmi M_{Nb1} a M_{Pb3} , a štyrmi tranzistormi v diódovom zapojení, ktoré slúžia ako napäťový posun.



Obrázek 6.4 Zložená kaskóda

Kaskóda je nastavená tak, aby v krajnom prípade otvorenia oboch neinvertujúcich alebo invertujúcich vstupov nedošlo k prechodu tranzistorov kaskódy do lineárneho režimu alebo k ich zatvoreniu.

V krajnom prípade môže dôjsť k maximálnemu rozdielu prúdov medzi jednotlivými vetvami kaskódy s veľkosťou $2I_{ref}$ teda $100 \mu A$. Preto je prúd kaskódou nastavený na $1,1$ - násobok tejto hodnoty, teda $110 \mu A$.

Tranzistory referenčného obvodu kaskódy sú nastavené na rovnaké rozmery ako tranzistory prúdového referenčného obvodu a tranzistory kaskódy sú nastavené na 22 - násobok ich rozmerov.

Tabulka 6.6 Rozmery NMOS tranzistorov zloženej kaskódy a jej referenčného obvodu

NMOS	W	L	W/L	V _{DSsat}	Násobok
MNk1	2	2	1	0,4	22
MNk2	2	2	1	0,4	22
MNk3	2	2	1	0,4	22
MNk4	2	2	1	0,4	22
MNb1	2	2	1	0,4	1
MNb2	2	2	1	0,4	1
MNb3	2	2	1	0,4	1

Tabulka 6.7 Rozmery PMOS tranzistorov zloženej kaskódy a jej referenčného obvodu

PMOS	W	L	W/L	V _{DSsat}	Násobok
MPk1	6,5	2	3,25	0,4	22
MPk2	6,5	2	3,25	0,4	22
MPk3	6,5	2	3,25	0,4	22
MPk4	6,5	2	3,25	0,4	22
MPb1	6,5	2	3,25	0,4	1
MPb2	6,5	2	3,25	0,4	1
MPb3	6,5	2	3,25	0,4	1

Veľkosť saturačného napätia bola zvolená na veľmi nízku hodnotu, kvôli maximálnej nožnej dynamickej zmene na výstupe kaskódy.

6.4 Návrh výstupnej úrovne triedy AB

Pre dosiahnutie maximálneho dynamického rozsahu bola zvolená výstupná úroveň typu AB, tvorená push-pull invertorom. Pre dosiahnutie frekvenčnej stability je potrebné použiť kompenzačnú kapacitu pripojenú ako Millerovu kapacitu medzi gate a drain výstupných tranzistorov.

Hodnota kapacity záťaže pre DDA je stanovená na 3 pF, z nej bola určená veľkosť kompenzačnej kapacity, vypočítaná pomocou rovnice

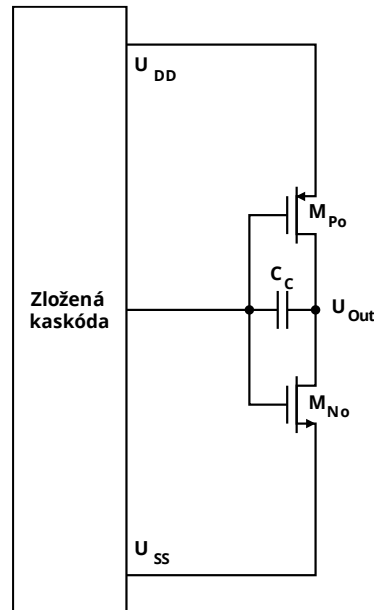
$$C_C \geq 0,22C_L. \quad (6.3)$$

Výstupná transkonduktancia bola nastavená podľa rovnice

$$\frac{g_{mOUT}C_C}{g_{mIN}C_L} \geq 3. \quad (6.4)$$

Pomocou simulácie bola zistená maximálna transkonduktancia vstupnej úrovne $g_{mIN} = 125 \mu S$. Z tejto hodnoty bola určená minimálna transkonduktancia výstupnej

úrovne $g_{mOUT} = 375 \mu S$, táto hodnota je súčtom transkonduktancii oboch tranzistorov výstupnej úrovne (bolo počítané s rezervou, aby bola zabezpečená stabilita, preto boli výstupné tranzistory navrhnuté na transkonduktanciu $g_{mOUT} = 500 \mu S$).



Obrázek 6.5 Výstupný stupeň triedy AB

Zo známej veľkosti transkonduktancie bola určená veľkosť prúdu výstupnou úrovňou

$$I_D = \frac{g_{mOUT} \cdot U_{OV}}{2} = \frac{250 \cdot 10^{-6} \cdot 1,65}{2} \approx 200 \mu A. \quad (6.5)$$

Tabulka 6.8 Rozmery NMOS tranzistoru výstupnej úrovne

NMOS	W	L	W/L	V _{DSsat}	Násobok
M _{No}	4,4	2	2,2	1,65	1

Tabulka 6.9 Rozmery PMOS tranzistoru výstupnej úrovne

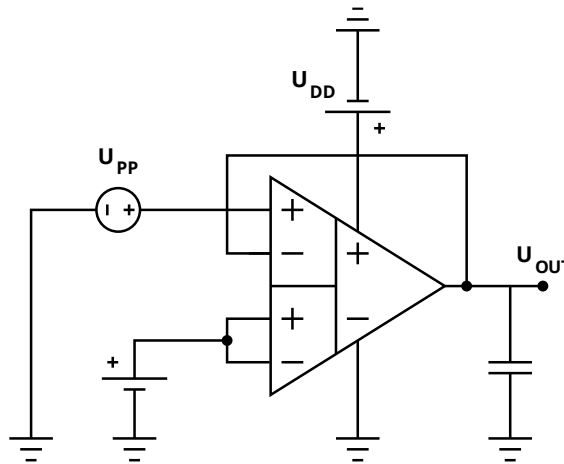
PMOS	W	L	W/L	V _{DSsat}	Násobok
M ₂	16,2	2	8,6	1,65	1

7. VÝSLEDKY SIMULÁCIE

Všetky simulácie boli robené v návrhovom prostredí Cadence Virtuoso.

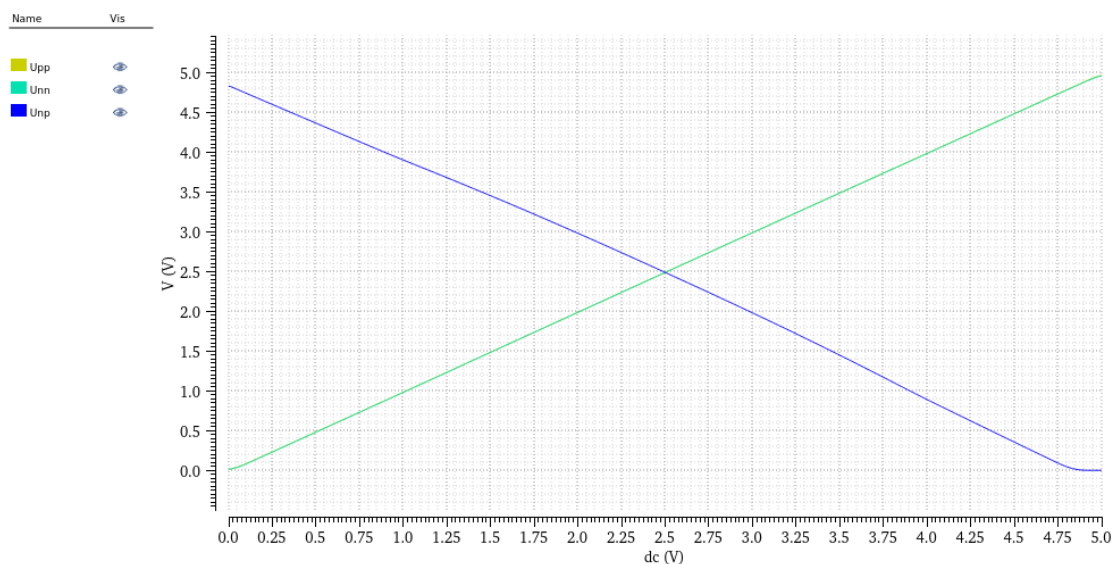
7.1 Vstupný napät'ový rozsah

Pre simuláciu vstupného napät'ového rozsahu bolo použité zapojenie so zápornou spätnou väzbou privedenou na invertujúci vstup.



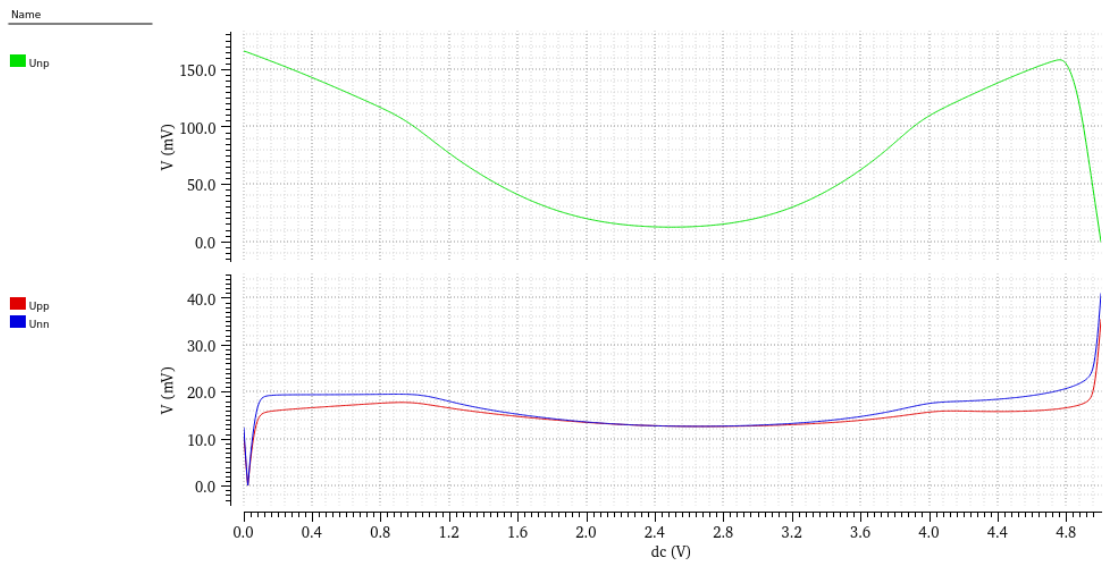
Obrázek 7.1 Schéma zapojenia použitého pre DC analýzu (napät'ový sledovač)

Na všetkých vstupoch bolo menené jednosmerné napätie v rozsahu od $0V$ do $5V$. Pomocou, ktorého bola zmeraná vstupná a výstupná napät'ová schopnosť sledovača.



Obrázek 7.2 Závislosť výstupného napätia na vstupnom napätí $0 - 5V$

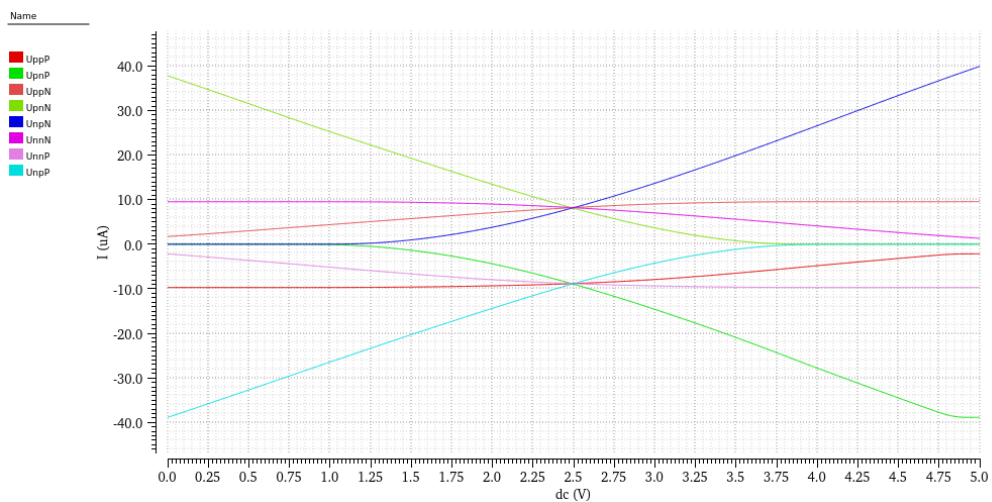
Na nasledujúcom grafe je zobrazená absolútna chyba medzi ideálnou hodnotou výstupného napätia a reálnou hodnotou.



Obrázek 7.3 Odchýlka reálnej hodnoty výstupného napätia od ideálnej hodnoty

Vstupný napäťový rozsah neinvertujúcich vstupov dosahuje Rail-to-Rail hodnoty, výstupný napäťový rozsah je 2 mV až $4,98\text{ V}$. Pre invertujúci vstup nebol dosiahnutý Rail-to-Rail napäťový rozsah, ktorý je 0 až $4,79\text{ V}$. Výstupný napäťový rozsah invertujúceho vstupu je $0 - 4,78\text{ V}$.

Systematická chyba neinvertujúcich vstupov sa pohybuje medzi $12,2\text{ mV}$ až 25 mV . Invertujúci vstup má značne vyššiu systematickú chybu, 12 mV až 174 mV , pri hraničných hodnotách vstupného napätia.

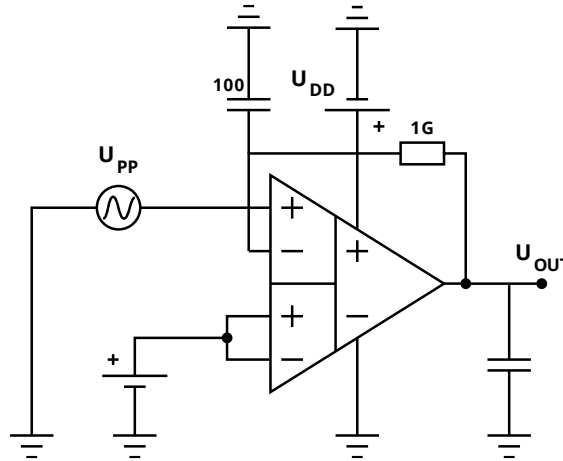


Obrázek 7.4 Závislosť prúdov vstupných diferenčných párov na zmene napätia invertujúceho vstupu $0 - 5\text{ V}$

Na obrázku (7.4) sú zobrazené zmeny prúdov vstupnými diferenčnými tranzistormi pri napájaní invertujúceho vstupu DDA.

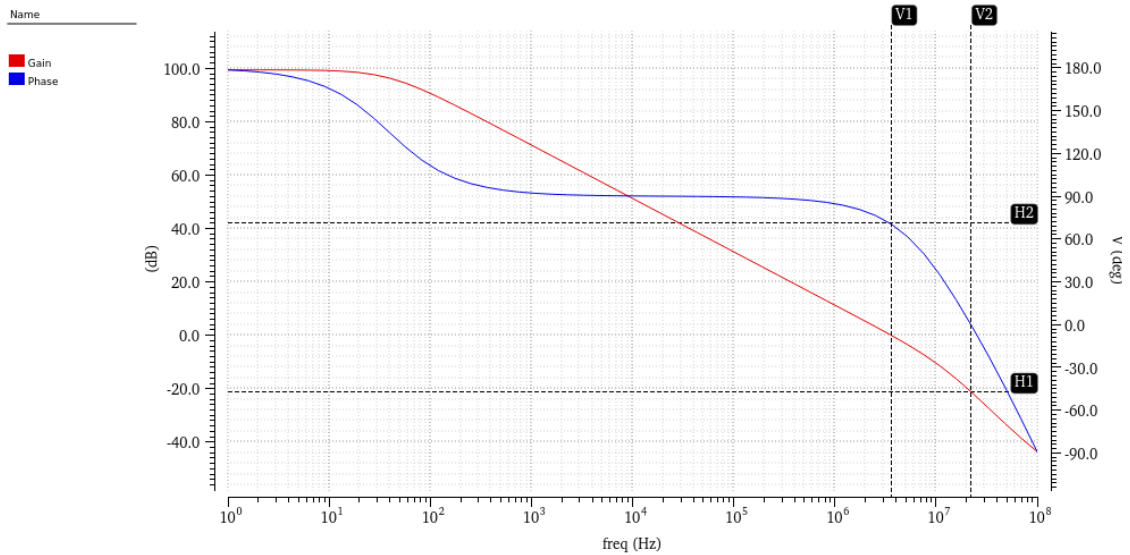
7.2 AC analýza

Pre AC analýzu bolo použité zapojenie s otvorenou spätnoväzobnou slučkou.



Obrázek 7.5 Zapojenie použité pre AC analýzu

Pričom bola k DDA pripojená kapacitná zátťaž s veľkosťou $C_L = 3 \text{ pF}$. A medzi invertujúci vstup a výstup zosilňovača bol zapojený „AC killer“.



Obrázek 7.6 Výsledok AC analýzy

Simulácia bola spravená aj s hraničnými teplotnými hodnotami -40 a 125 stupňov, ktorých výsledky sú v nasledujúcej tabuľke.

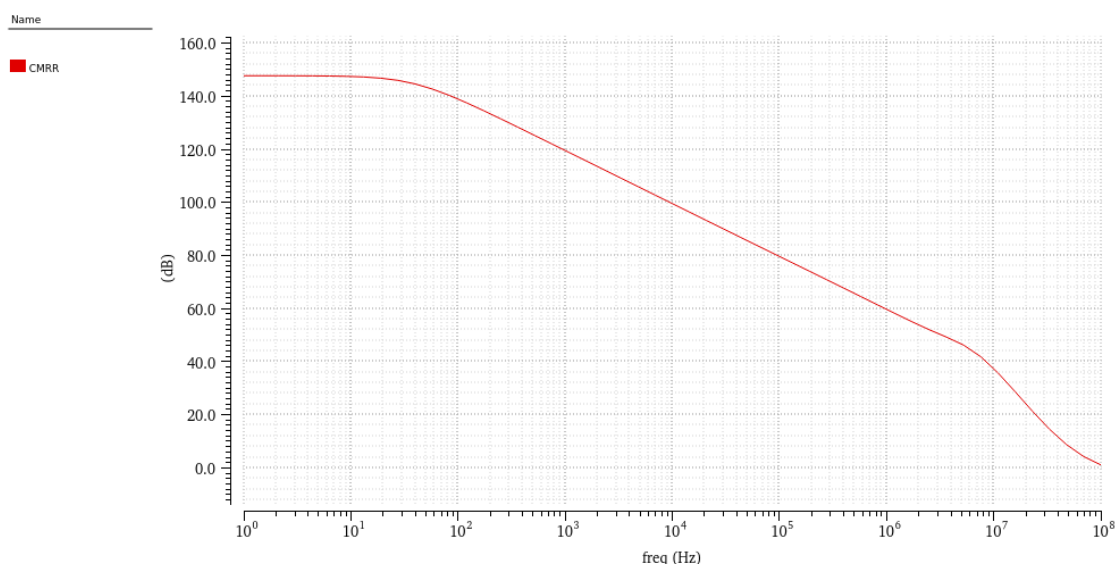
Tabulka 7.1 Parametre zistené pomocou teplotnej analýzy najhoršieho prípadu

	-40 °C	27 °C	125 °C
A_{u0} [dB]	106,68	102,05	96,32
GBW [MHz]	4,99	4,63	3,93
PM[°]	66,39	62,93	60,61
GM[MHz]	18,89	17,89	17,06

Zosilňovač je frekvenčne stabilný s fázovou bezpečnosťou väčšou ako 60° a veľkosťou GBW väčšou ako 3 MHz.

7.2.1 Potlačenie súhlasného vstupného signálu (CMRR) a potlačenie zmeny napájacieho napätia (PSRR)

Pre tieto simulácie bolo použité rovnaké zapojenie s otvorenou spätnoväzobnou slučkou ako pre AC analýzu, pričom pri simulácii CMRR bol súhlasný striedavý signál privádzaný na všetky vstupy DDA.



Obrázek 7.7 Výsledok simulácie CMRR

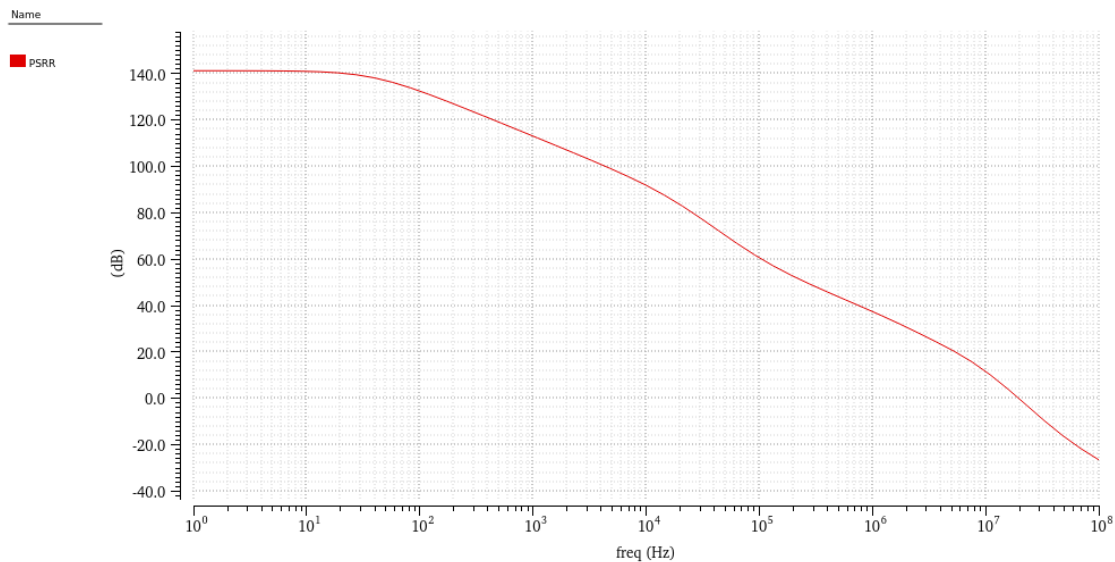
Potlačenie súhlasného vstupného signálu je určené pomocou rovnice

$$CMRR = 20 \log_{10} \frac{A_{U0}}{A_{CM}}, \quad (7.1)$$

pričom A_{U0} je DC zosilnenie bez spätnej väzby a A_{CM} je zosilnenie pri napájaní vstupných svoriek identickým signálom.

Pre simuláciu PSRR bolo použité zapojenie bez spätnej väzby s nastavením analógovej nuly na vstupné svorky a privedením sínusového signálu na napájanie DDA.

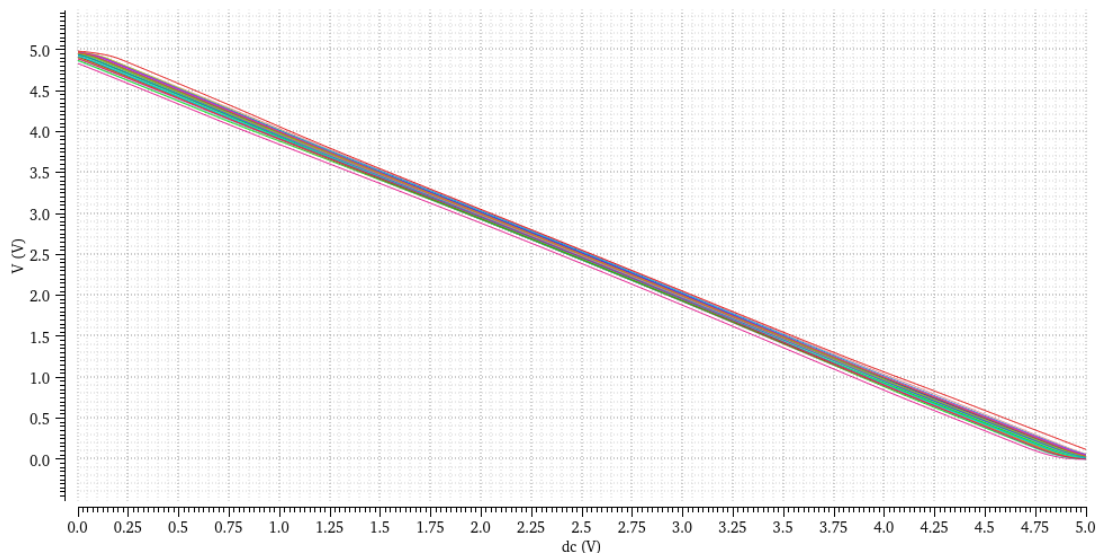
Výpočet potlačenia zmeny napájacieho napätia je analogický k výpočtu (7.1), pričom namiesto zosilnenia súhlasného signálu je dosadené zosilnenie zmeny napájacieho napätia.



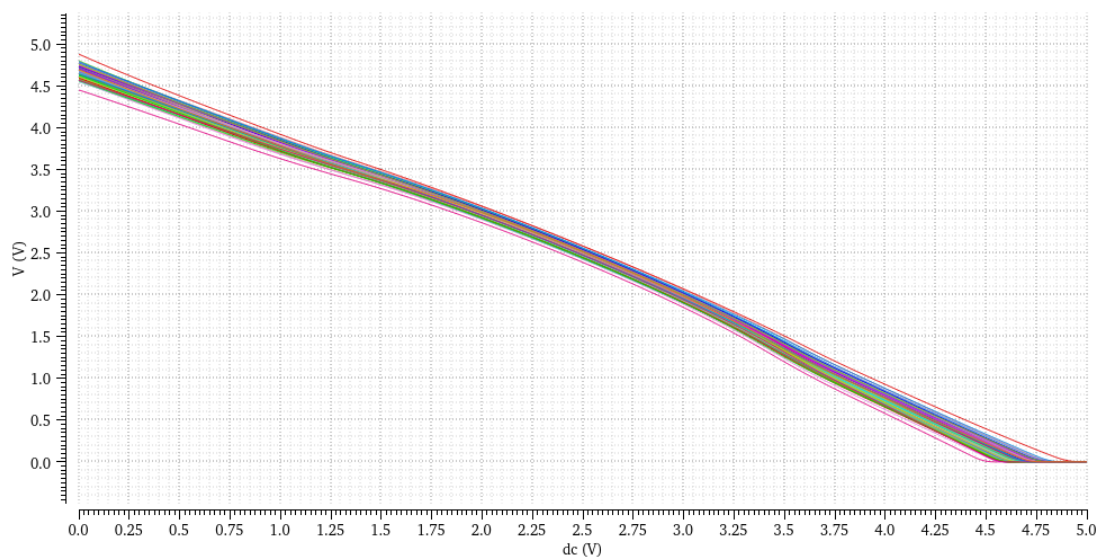
Obrázek 7.8 Výsledok simulácie *PSRR*

7.3 Analýza Monte Carlo

Analýza Monte Carlo prebehla na rozmietaní vstupného napätia od 0 V do 5 V privádzanom na invertujúci vstup pri zapojení so zápornou spätnou väzbou. Bola prevedená pri krajných prevádzkových teplotách 125 °C a -45 °C.



Obrázek 7.9 Výsledok analýzy Monte Carlo pri teplote 125 °C



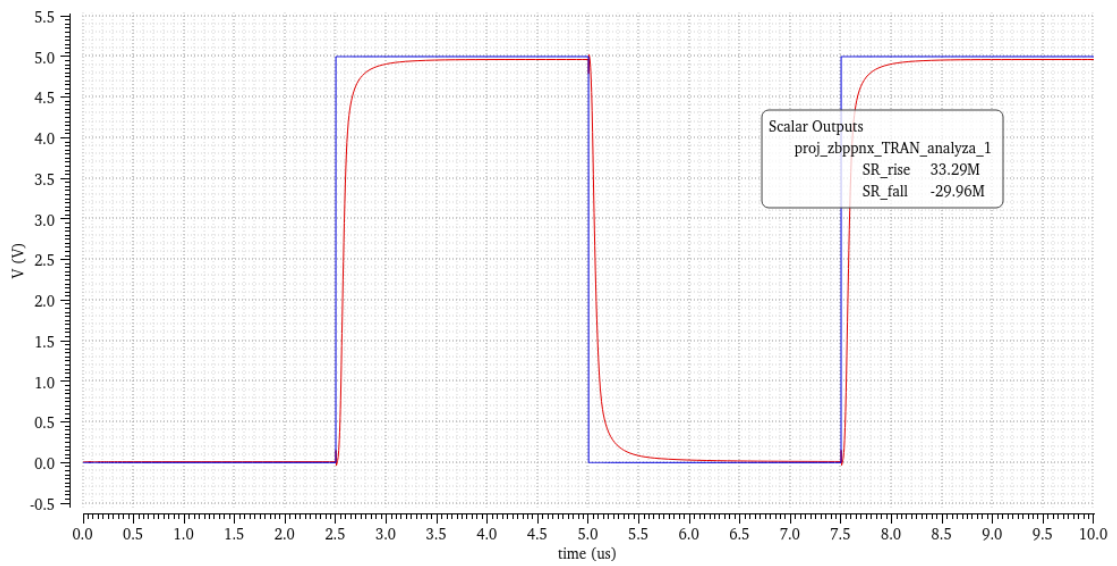
Obrázek 7.10 Výsledok analýzy Monte Carlo pri teplote $-45\text{ }^{\circ}\text{C}$

Z analýz je viditeľná závislosť presnosti DDA na teplote, spôsobená zmenami v nastavených pracovných bodoch. Tieto zmeny spôsobia posunutie bodu, v ktorom sa pretnú krivky hodnôt transkonduktancie jednotlivých diferenčných párov. Následkom čoho je nekonštantná hodnota g_{mot} a menšia presnosť DDA v krajných hodnotách vstupných napätí.

7.4 Tranzientná analýza

Pri časovej analýze DDA bolo znovu použité zapojenie napäťového sledovača. Na vstupnú svorku U_{PP} bol privedený obdĺžnikový signál s periódou $5\text{ }\mu\text{s}$, pracovným cyklom $1:1$ a veľkosťou napätia 0 a 5 V .

Sledovaním odozvy zosilňovača bolo možné zmerať rýchlosť prechodu (Slew rate).



Obrázek 7.11 Meranie rýchlosti priebehu DDA

Hodnota SR pre vzostupnú hranu bola vypočítaná na hodnotu $SR_{rise} = 33,29 V/\mu s$ a pre zostupnú hranu $SR_{fall} = 29,96 V/\mu s$.

8. OVERENIE FUNKCIE DDA

Ako bolo spomenuté v predošlých častiach práce, DDA umožňuje realizáciu určitých matematických operácií s výrazne jednoduchšími externými zapojeniami ako pri použití klasického OZ.

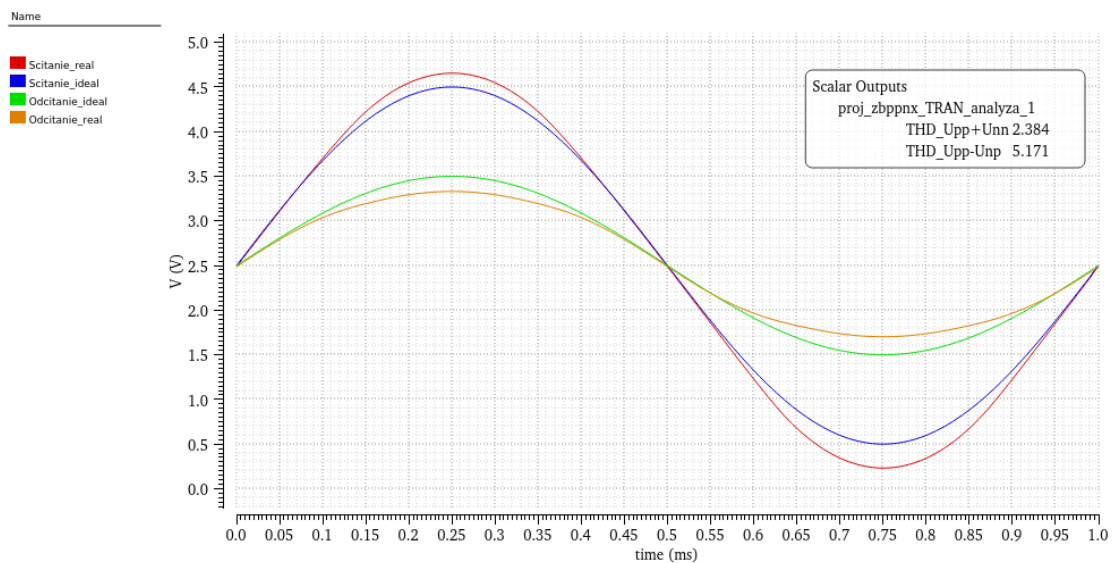
8.1 Sumačná a diferenčná funkcia DDA

Tieto matematické operácie využívajú zapojenie DDA ako napät'ový sledovač a umožňujú sčítavať a odčítavať napätia privedené na vstupné svorky zosilňovača podľa rovnice

$$U_{OUT} = U_{pp} - U_{np} + U_{pp}. \quad (8.1)$$

Pre demonštráciu funkcie sčítania bolo použité vstupné sínusové napätie s veľkosťou $2 V_{p-p}$ a frekvenciou $1 kHz$, privedené na vstupné svorky U_{PP} a U_{NN} .

A pre demonštráciu schopnosti odčítania bol použitý sínusový signál s veľkosťou $2 V_{p-p}$ a frekvenciou $1 kHz$ na svorke U_{PP} a sínusový signál s veľkosťou $1 V_{p-p}$, $1 kHz$ na svorku U_{NP}



Obrázek 8.1 Porovnanie ideálneho priebehu výstupného signálu s reálnym signálom

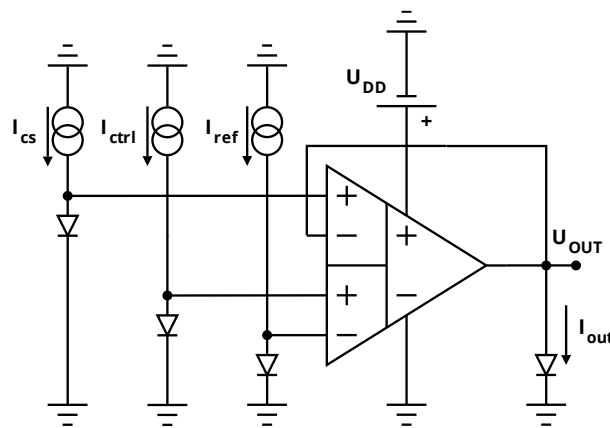
Z výsledkov simulácií je viditeľná nepresnosť tejto matematickej funkcie pri použití veľkých vstupných napätí. Ako bolo už spomenuté, je to spôsobené zmenami v celkovej transkonduktancii DDA. S klesajúcou transkonduktanciou pri napätíach blížiacich sa

napájacím napätiam dochádza ku väčšej systematickej chybe prenášanej na výstup zosilňovača.

Celkové harmonické skreslenie sčítaných signálov bolo 2,384% a odčítaných signálov 5,171%. U oboch priebehov nastala maximálna chyba okolo 200 mV.

8.2 Použitie DDA v zapojení analógovej násobičky (deličky)

Úlohou DDA pri zapojení v konfigurácii analógovej násobičky je sčítavať a odčítavať napätia generované blokmi prúdových zrkadiel napájajúcich bipolárne tranzistory, v zapojení so spoločným kolektorom. Tieto bloky sú majetkom firmy ONsemi, preto ich interná štruktúra nebude detailne opisovaná.



Obrázek 8.2 Principiálne zapojenie analógovej násobičky s použitím DDA

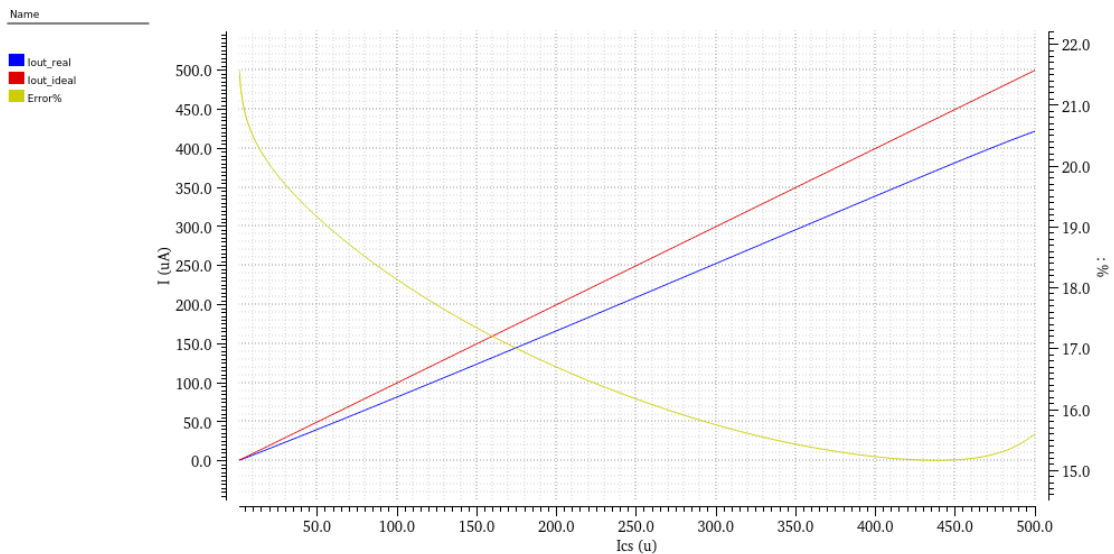
Slúžia ako prúdovo napäťové konvertory, pričom ich závislosť je logaritmická,

$$\begin{aligned}
 U_{OUT} &= k \cdot \log_{10} \left(\frac{I_{cs} \cdot I_{ref}}{I_{ctrl}} \right) \\
 &= k \cdot \left(\log_{10}(I_{cs}) + \log_{10}(I_{ref}) - \log_{10}(I_{ctrl}) \right).
 \end{aligned}
 \tag{8.2}$$

Výstup DDA je privedený na vstupnú svorku tohto prúdovo napäťového konvertoru, pričom výstup tohto konvertoru je naspäť privedený na jeden z invertujúcich vstupov, čím je vytvorená záporná spätná väzba. Táto spätná väzba priamo riadi výstupný prúd DDA a tým presnosť takto vytvorenej násobičky. Výstupný prúd s použitím ideálnych modelov by bol rovný

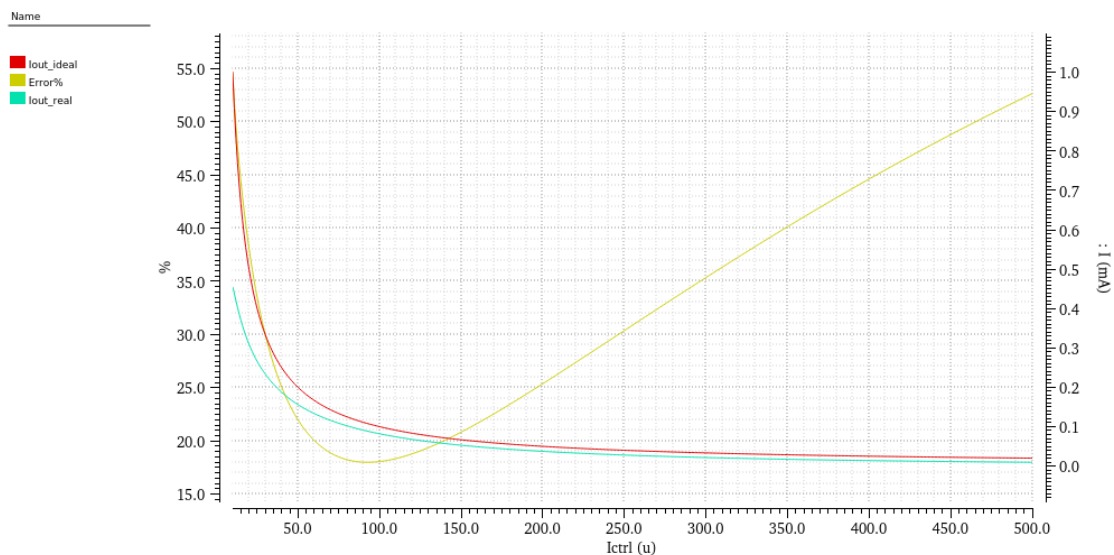
$$I_{OUT} = 10^{\frac{U_{OUT}}{k}}.
 \tag{8.3}$$

Pričom k je konštantou, ktorá platí pre konkrétny blok prúdových zrkadiel.



Obrázek 8.3 Porovnanie ideálneho priebehu výstupného prúdu DDA s reálnym $I_{cs} = 0,1 - 500 \mu A$

Na obrázku (8.3) je zobrazený výsledok simulácie, pri ktorej bol menený vstupný prúd I_{cs} medzi hodnotami $0,1$ až $500 \mu A$ pri konštantných hodnotách prúdov $I_{ref} = I_{ctrl} = 10 \mu A$. Je tam zobrazená aj systematická chyba, ktorej hodnota sa pohybuje v rozmedzí 15 až 20 %.



Obrázek 8.4 Porovnanie ideálneho priebehu výstupného prúdu DDA s reálnym $I_{ctrl} = 10 - 500 \mu A$

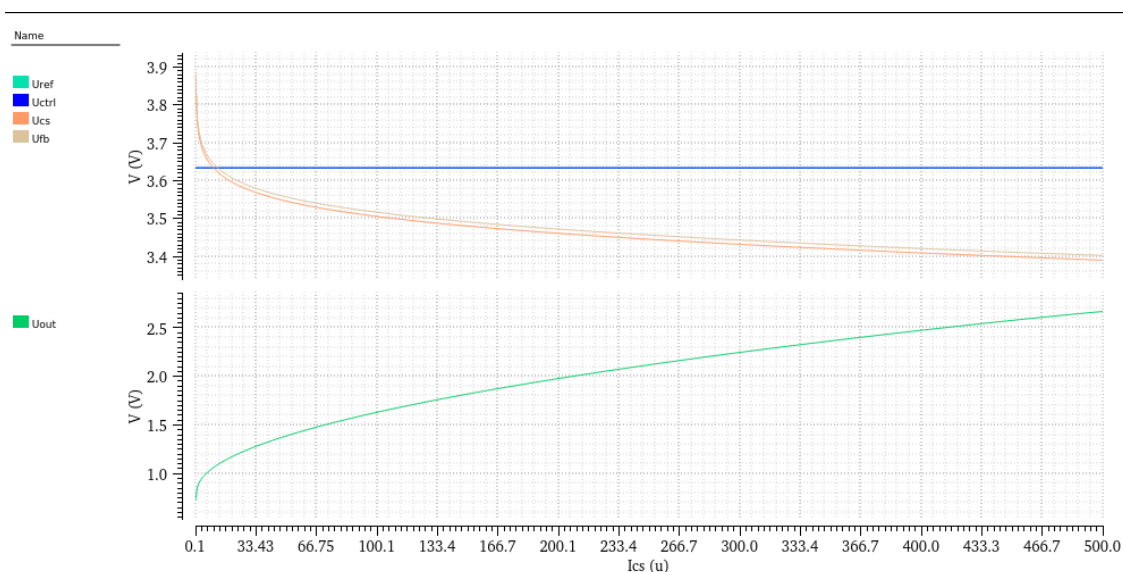
Na obrázku (8.4) je výsledok simulácie so zmenou prúdu I_{ctrl} medzi hodnotami $10 - 500 \mu A$ a konštantnou hodnotou prúdov $I_{ref} = I_{cs} = 100 \mu A$. Pri tejto simulácii systematická chyba rástla s klesajúcim výstupným prúdom od hodnoty 17% pri prúde $30 \mu A$ až k hodnote 53 % pri prúde $500 \mu A$.

8.2.1 Prúdová zaťažiteľnosť DDA

Pri napájaní odporového typu záťaží dochádza k zmenšovaniu pracovného rozsahu DDA. V prípade riadenia invertujúceho vstupu sa zvyšuje minimálna hodnota vstupného napätia, pri ktorom je zabezpečená spoľahlivá funkcia DDA. Ak je riadený neinvertujúci vstup, znižuje sa maximálne vstupné napätie.

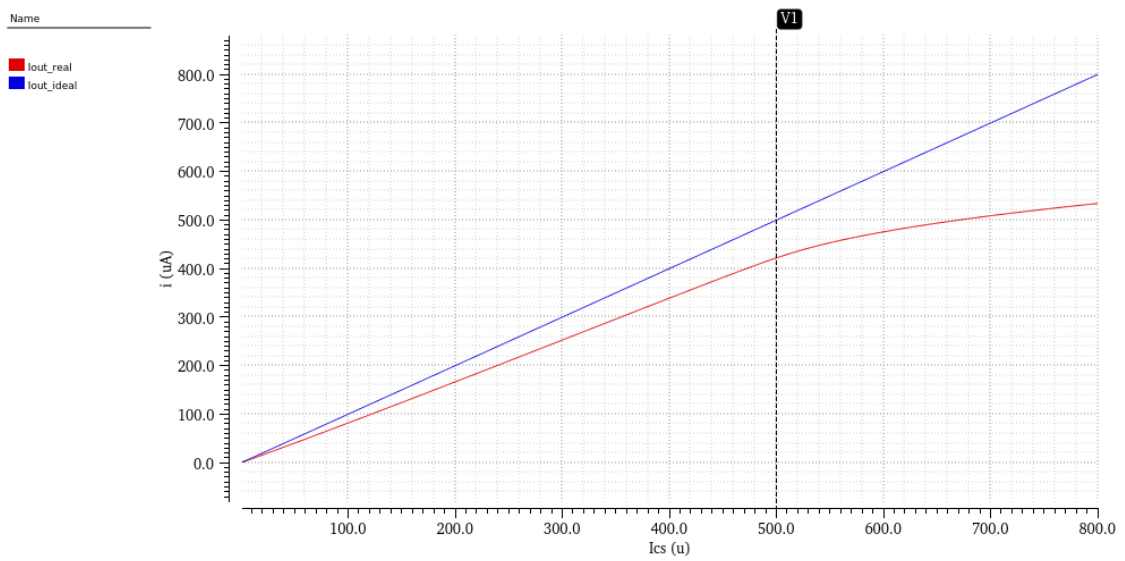
Simuláciou bola zistená maximálna veľkosť záťaže $R_{LOAD} = 50\text{ k}\Omega$, pri ktorej je DDA funkčné na vstupnom rozsahu 10 – 90 %. Maximálny výstupný prúd dosahuje $90\text{ }\mu\text{A}$.

Pri použití v konfigurácii analógovej násobičky je využívaný pomerne malý rozsah vstupných napätí, približne 3,4 až 3,8 V. Je teda možné dosiahnuť výrazne vyšší výstupný prúd.



Obrázek 8.5 Priebehy vstupných a výstupného napätia DDA pri zmene prúdu I_{cs} od $0,1\text{ }\mu\text{A}$ do $500\text{ }\mu\text{A}$

Experimentálne bola zistená maximálna hodnota výstupného prúdu, pri ktorej má násobička lineárnu závislosť násobených prúdov.



Obrázek 8.6 Experimentálne meranie maximálneho výstupného prúdu DDA

Na obrázku (8.5) je zobrazená závislosť výstupného prúdu DDA na veľkosti vstupného prúdu I_{cs} s hodnotami $0,1 \mu A$ až $800 \mu A$. Pri hodnote $500 \mu A$ dochádza ku strate linearity prenášaného prúdu, spôsobená dosiahnutím maximálnej prúdovej schopnosti DDA.

9. ZÁVER

S cieľom dosiahnuť Rail-to-Rail vstupné a výstupné napät'ové rozsahy boli preskúmané rôzne techniky úprav a kompenzácií celkového zosilnenia DDA. Výsledkom týchto snažení bola voľba vstupnej úrovne tvorená dvoma párami komplementárnych diferenčných párov s využitím vstupného napät'ového posunu.

Tento posun je realizovaný pomocou tranzistorov M_{Ns1-4} a M_{Ps1-4} , paralelne pripojených ku tranzistorom diferenčných párov. Nastavením pracovných bodov týchto tranzistorov je možné posunúť veľkosť napätia U_{GS} diferenčných párov, pri ktorej dosiahnu saturáciu nosičov náboja.

Zát'azou pre diferenčné páry bola zvolená zložená kaskóda, kvôli vysokému vstupnému odporu a veľkej presnosti zrkadlených prúdov. Úlohou kaskódy je sčítavanie prúdov vstupných diferenčných párov, čo umožňuje sčítavanie transkonduktancií tranzistorov vstupnej úrovne.

Výstupnú úroveň DDA tvorí push-pull invertor, tvorený NMOS a PMOS zosilňovačmi. Táto konfigurácia bola zvolená pre dosiahnutie maximálneho výstupného napät'ového rozsahu. Frekvenčná stabilita je zabezpečená pomocou Millerovej kapacity pripojenej medzi hradlá gate a drain výstupných tranzistorov s veľkosťou $C_C = 1\text{ pF}$.

Blok DDA obsahuje aj referenčný prúdový a napät'ový obvod, nastavujúci pracovné body aktívnych prvkov zosilňovača. Tento obvod obsahuje napät'ový delič, nastavujúci napätia pre posúvacie tranzistory vstupnej úrovne a prúdový referenčný obvod nezávislý na veľkosti napájacieho napätia.

Zosilňovač využíva nesymetrické napájanie s veľkosťou 5 V a referenčný prúd $5\text{ }\mu\text{A}$. Pri jeho návrhu boli použité len tranzistory so štandardným prahovým napätím a rezistory rphripoly v technológií ONC25.

Na neinvertujúcich vstupoch DDA bol dosiahnutý Rail-to-Rail vstupný a výstupný napät'ový rozsah 2 mV až $4,98\text{ V}$. Invertujúce vstupy majú značné skreslenie pri hraničných hodnotách vstupných napätí, čím sa znížil vstupný aj výstupný napät'ový rozsah pri zapojení DDA, ako napät'ový sledovač, pri štandardnej teplote boli zmerané rozsahy 0 až $4,78\text{ V}$.

Pomocou teplotnej analýzy najhoršieho prípadu bola tiež zistená značná závislosť presnosti invertujúceho vstupu napät'ového sledovača, pri vyšších teplotách dosahoval vyššiu presnosť prenášaného napätia.

Pri nominálnej teplote zosilňovač dosiahol DC zosilnenie $102,05\text{ dB}$ a fázovú rezervu $62,93^\circ$. Tieto hodnoty nie sú silne závislé na zmenách teploty, zmena zosilnenia sa pohybovala okolo 9 dB a fázová rezerva približne 6° . Šírka frekvenčného pásma pri nominálnej teplote bola $4,63\text{ MHz}$ a v teplotných extrémoch dosiahla minimum $3,93\text{ MHz}$ a maximum $4,99\text{ MHz}$.

Rýchlosť prechodu (SR) bola zmeraná pre vzostupnú hranu $SR_{rise} = 33,29\text{ V}/\mu\text{s}$ a pre zostupnú $SR_{fall} = 29,96\text{ V}/\mu\text{s}$.

Harmonické skreslenie spôsobené sčítavaním signálov $U_{IN} = 2 V_{p-p} (1kHz)$ bolo 2,384 % a odčítavaním $U_{IN+} = 2 V_{p-p} (1kHz)$, $U_{IN-} = 1 V_{p-p} (1kHz)$ bolo 5,171 %.

Prúdovým zaťažením DDA sa znižuje jeho funkčný napätový rozsah napätového sledovača. Maximálny záťažový prúd, pri ktorom je zabezpečený napätový rozsah 10 – 90 % vstupného napätia je 90 μA . Pre použitie v analógovej násobičke je maximálny výstupný prúd približne 500 μA .

So zvyšovaním prúdu I_{ctrl} výrazne rastie chyba výstupného prúdu, spôsobená nepresným napätovým sčítaním DDA. Pri hodnotách prúdu $I_{ctrl} = 500 \mu A$ je absolútna chyba >50 %.

LITERATÚRA

- [1] KLEDROWETZ, Vilém a Jiří HÁZE. *Návrh analogových integrovaných obvodů*. Brno, 2015. Skriptum. Vysoké učení technické v Brně.
- [2] BAKER, R. Jacob. *CMOS circuit design, layout, and simulation*. 3rd ed. Hoboken: Wiley-IEEE Press, 2010. IEEE series on microelectronics systems. ISBN 978-0-470-88132-3.
- [3] ALLEN, Phillip E. a Douglas R. HOLBERG. *CMOS analog circuit design*. 2nd ed. New York: Oxford University Press, 2002. ISBN 0-19-511644-5.
- [4] RAZAVI, Behzad. *Design of analog CMOS integrated circuits*. 1. Boston: McGraw-Hill, 2001. ISBN 0-07-238032-2.
- [5] KLEDROWETZ, Vilem, Aslihan KARTCI a Jan JERABEK. New Low-Voltage CMOS Differential Difference Amplifier (DDA) and an Application Example. In: *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)* [online]. IEEE, 2018, 2018, s. 133-136 [cit. 2022-12-12]. ISBN 978-1-5386-7392-8. Dostupné z: doi:10.1109/MWSCAS.2018.8623866
- [6] HUIJSING, Johan H. *Operational amplifiers: theory and design*. 2nd ed. Dordrecht: Springer, 2011. ISBN 978-94-007-0595-1.
- [7] SANSEN, Willy. Rail-to-rail input and output amplifiers [online]. Belgium: KULeuven, ESAT-MICAS, 2015 [cit. 2023-5-13]. Dostupné z: <https://fdocuments.in/document/rail-to-rail-op-amps>
- [8] DELISLE, Jean-Jacques. Operational Transconductance Amplifier (OTA). *Planet Analog* [online]. Cambridge, 2022, 17.8.2022 [cit. 2023-05-14]. Dostupné z: <https://www.planetanalog.com/overview-of-operational-transconductance-amplifier-ota/>
- [9] TROJAN, Vladimír. *Návrh diferenciální rozdílového zesilovače v technologii CMOS* [online]. Brno, 2021 [cit. 2023-05-15]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/134684>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Vilém Kledrowetz.
- [10] PUNČOCHÁŘ, Josef. *Operační zesilovače v elektronice*. 5. vyd. Praha: BEN - technická literatura, 2002. ISBN 80-7300-059-8.
- [11] SACKINGER, E. a W. GUGGENBUHL. A versatile building block: the CMOS differential difference amplifier. *IEEE Journal of Solid-State Circuits* [online]. 1987, 22(2), 287-294 [cit. 2023-05-15]. ISSN 0018-9200. Dostupné z: doi:10.1109/JSSC.1987.1052715
- [12] BAXEVANAKIS, Nikolaos, Ioannis GEORGAKOPOULOS a Paul P. SOTIRIADIS. Rail-to-rail operational amplifier with stabilized frequency

- response and constant-gm input stage. In: *2017 Panhellenic Conference on Electronics and Telecommunications (PACET)* [online]. IEEE, 2017, 2017, s. 1-4 [cit. 2023-05-22]. ISBN 978-1-5386-2287-2. Dostupné z: doi:10.1109/PACET.2017.8259966
- [13] DAI, Guo-Ding, Peng HUANG, Ling YANG a Bo WANG. A Constant Gm CMOS Op-Amp with Rail-to-Rail input/output stage. In: *2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology* [online]. IEEE, 2010, 2010, s. 123-125 [cit. 2023-05-22]. ISBN 978-1-4244-5797-7. Dostupné z: doi:10.1109/ICSICT.2010.5667830
- [14] ZHANG, Yi, Qiao MENG, Zhigong WANG a Shuoxi CHEN. Constant-gin_{fm}/inf low-power rail-to-rail operational amplifier. In: *2009 International Conference on Wireless Communications & Signal Processing* [online]. IEEE, 2009, 2009, s. 1-4 [cit. 2023-05-22]. ISBN 978-1-4244-4856-2. Dostupné z: doi:10.1109/WCSP.2009.5371465
- [15] SHOULI YAN, JINGYU HU, TONGYU SONG a E. SANCHEZ-SINENCIO. Constant-gin_{fm}/inf Techniques for Rail-to-Rail CMOS Amplifier Input Stages: A Comparative Study. In: *2005 IEEE International Symposium on Circuits and Systems* [online]. IEEE, 2005, s. 2571-2574 [cit. 2023-05-22]. ISBN 0-7803-8834-8. Dostupné z: doi:10.1109/ISCAS.2005.1465151

ZOZNAM SYMBOLOV A SKRATIEK

Zkratky:

OZ	Operačný zosilňovač
DDA	Diferenčne diferenciálny zosilňovač
MOS	Polovodič s oxidom kovu
PMOS	MOS s kladne dotovanými prímiesami
NMOS	MOS so záporne dotovanými prímiesami
CMOS	Komplementárna kombinácia NMOS a PMOS
OTA	Operačný transkonduktančný zosilňovač
OpAmp	Operačný zosilňovač (ang.)

Symboly:

U_{GS}	napätie medzi gate a source	(V)
U_{TH}	medzné napätie	(V)
I_D	prúd drainom	(A)
U_{DS}	napätie medzi drain a source	(V)
λ	parameter modulácie dĺžky kanálu	(V ⁻¹)
r_{OUT}	výstupný odpor	(Ω)
g_m	transkonduktancia	(S)
I_{bias}	pracovný prúd	(A)
U_{OV}	rozdiel napätí U_{GS} a U_{TH}	(V)
A_U	zosilnenie	(-)

ZOZNAM PRÍLOH

PRÍLOHA A - NAVRHNUTÝ OBVOD DDA.....	64
--------------------------------------	----

Příloha A - Navrhnutý obvod DDA

A.1 Celková schéma navrhnutého DDA

