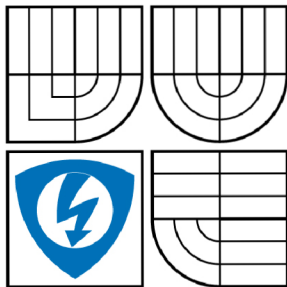


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH A REALIZACE SIGMA-DELTA PŘEVODNÍKU AD V TECHNICE SC

DESIGN AND DEVELOPMENT OF SIGMA-DELTA AD CONVERTER
IN SWITCHED CAPACITOR TECHNIQUE

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. JIŘÍ FOREJTEK

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. JIŘÍ HÁZE, Ph.D.

BRNO 2008

LICENČNÍ SMLOUVA

POSKYTOVANÁ K VÝKONU PRÁVA UŽÍT ŠKOLNÍ DÍLO

uzavřená mezi smluvními stranami:

1. Pan/paní

Jméno a příjmení: Bc. Jiří Forejtek

Bytem:

Narozen/a (datum a místo): 27.7.1983, Rychnov nad Kněžnou

(dále jen "autor")

a

2. Vysoké učení technické v Brně

Fakulta elektrotechniky a komunikačních technologií

se sídlem Údolní 244/53, 60200 Brno 2

jejímž jménem jedná na základě písemného pověření děkanem fakulty:

Ing. Edita Hejátková

(dále jen "nabyvatel")

Článek 1

Specifikace školního díla

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):

- disertační práce
- diplomová práce
- bakalářská práce

jiná práce, jejíž druh je specifikován jako

(dále jen VŠKP nebo dílo)

Název VŠKP: Návrh a realizace sigma-delta převodníku AD v technice SC

Vedoucí/školicel VŠKP: Ing. Jiří Háze, Ph.D.

Ústav: Ústav mikroelektroniky

Datum obhajoby VŠKP:

VŠKP odevzdal autor nabyvateli v:

- tištěné formě - počet exemplářů 2
- elektronické formě - počet exemplářů 1

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činností dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracovávání díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.
3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.
4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

Článek 2 Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užit, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizování výpisů, opisů a rozmnoženin.
2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.
3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti
 - ihned po uzavření této smlouvy
 - 1 rok po uzavření této smlouvy
 - 3 roky po uzavření této smlouvy
 - 5 let po uzavření této smlouvy
 - 10 let po uzavření této smlouvy(z důvodu utajení v něm obsažených informací)
4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3 Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.
2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.
3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísní a za nápadně nevýhodných podmínek.
4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne:

.....

Nabyvatel

.....

Autor

Abstrakt:

Práce se zabývá návrhem nového sigma-delta převodníku vyššího řádu využívajícího techniku spínaných kapacitorů. V programu MATLAB SIMULINK byl navržen a simulován ideální a reálný model architektury modulátoru sigma-delta 3. řádu. Jednotlivé bloky modulátoru sigma-delta 3. řádu byly navrženy na tranzistorové úrovni v technologii CMOS na základě výsledků simulací reálného modelu architektury v programu MATLAB SIMULINK. Byl navržen plně diferenční operační zesilovač, integrátor využívající techniku spínaných kapacitorů, sumační zesilovač, komparátor, jednobitový převodník DA a generátor řídicích hodinových signálů. Obvodové řešení modulátoru sigma-delta 3. řádu bylo simulováno v prostředí CADENCE. U obvodu operačního zesilovače a integrátoru byl vytvořen layout. Pomocí programu MATLAB byl navržen také decimační filtr.

Abstract:

The work deals with the design of novel high order sigma-delta AD converter using switched-capacitors approach. Model of the ideal and real architecture of the third order sigma-delta modulator was designed in MATLAB SIMULINK. The comparison of the ideal and real model of sigma-delta architecture is described in this thesis. On the basis of simulation results in MATLAB SIMULINK the stages of modulator on transistors level in CMOS technology were designed. Fully differential operational amplifier, switched capacitor integrator, summing amplifier, comparator, one bit digital to analog converter and nonoverlapping clock generator were designed. The circuit of third order sigma-delta modulator was simulated in CADENCE. Layout of operational amplifier and switched capacitor integrator was made. Through the use of MATLAB was designed decimation filter as well.

Klíčová slova:

sigma-delta, AD převodník, spínané kapacitory

Keywords:

sigma-delta, AD converter, switched-capacitors

Bibliografická citace díla:

FOREJTEK, J. *Návrh a realizace sigma-delta převodníku AD v technice SC*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2008. 75 s. Vedoucí diplomové práce Ing. Jiří Háze, Ph.D.

Prohlášení autora o původnosti díla:

Prohlašuji, že jsem tuto vysokoškolskou kvalifikační práci vypracoval samostatně pod vedením vedoucího diplomové práce, s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 21.5. 2008

.....

Poděkování:

Děkuji vedoucímu diplomové práce Ing. Jiřímu Házemu, Ph.D. za metodické a cíleně orientované vedení při plnění úkolů realizovaných v návaznosti na diplomovou práci.

V neposlední řadě děkuji moji rodině za jejich stálou podporu a výborné zázemí při řešení této práce.

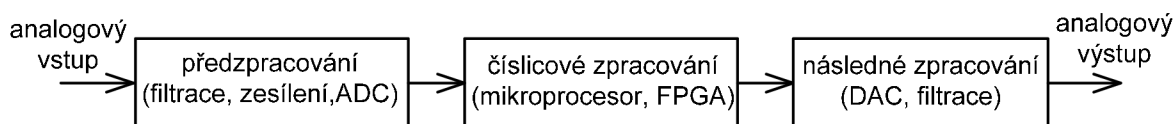
OBSAH

1	ÚVOD	3
2	PARAMETRY PŘEVODNÍKŮ AD	5
3	TECHNIKA SPÍNANÝCH KAPACITORŮ	7
3.1	PRINCIP TECHNIKY SC	7
3.2	KOMPENZACE INJEKCE NÁBOJE V OBVODECH SC	9
4	SIGMA-DELTA PŘEVODNÍKY AD	11
4.1	PRINCIP SIGMA-DELTA MODULÁTORU 1.ŘÁDU	11
4.2	POPIS MODULÁTORU SIGMA-DELTA POMOCÍ Z TRANSFORMACE	13
4.3	PŘEVZORKOVÁNÍ A TVAROVÁNÍ ŠUMU	14
4.4	DIGITÁLNÍ FILTRACE A DECIMACE	16
4.4.1	<i>Filtr comb</i>	18
4.5	ZDROJE ŠUMU V MODULÁTORU SIGMA-DELTA	20
4.6	VLIV OBVODŮ SC, TEPELNÝ ŠUM SC	21
4.7	VLIV VLASTNOSTÍ OZ	22
4.7.1	<i>Kompensace šumu a napěťové nesymetrie OZ</i>	22
4.7.2	<i>Vliv konečného zesílení OZ</i>	23
4.7.3	<i>Vliv šířky pásma a mezní doby přeběhu OZ</i>	24
5	NÁVRH PŘEVODNÍKU $\Sigma\Delta$ V PROSTŘEDÍ MATLAB SIMULINK	25
5.1	STRUKTURA MODULÁTORU SIGMA-DELTA 3. ŘÁDU	25
5.1.1	<i>Simulace ideálního modulátoru 3. řádu v programu MATLAB SIMULINK</i>	26
5.2	VLIV NAPĚŤOVÉ NESYMETRIE OZ NA SNR MODULÁTORU $\Sigma\Delta$ 3. ŘÁDU	27
5.2.1	<i>Model integrátoru SC zahrnující napěťovou nesymetrii OZ</i>	28
5.2.2	<i>Přenos napěťové nesymetrie OZ jednotlivých integrátorů na výstup navrhovaného modulátoru $\Sigma\Delta$ 3. řádu</i>	29
5.3	REÁLNÝ MODEL NAVRŽENÉHO MODULÁTORU $\Sigma\Delta$ 3. ŘÁDU	30
5.4	NÁVRH DECIMAČNÍHO FILTRU	32
6	NÁVRH JEDNOTLIVÝCH BLOKŮ MODULÁTORU $\Sigma\Delta$ 3. ŘÁDU NA TRANZISTOROVÉ ÚROVNI	37
6.1	BLOKOVÉ SCHÉMA MODULÁTORU $\Sigma\Delta$ 3.ŘÁDU	37
6.2	PLNĚ DIFERENČNÍ OPERAČNÍ ZESILOVAČ	37
6.3	GENERÁTOR ŘIDICÍCH HODINOVÝCH SIGNÁLŮ	41
6.4	OBVODY VYUŽÍVAJÍCÍ TECHNIKU SC	43
6.4.1	<i>Zapojení spínače</i>	43
6.4.2	<i>Integrátor</i>	44
6.4.3	<i>Sumátor</i>	48
6.5	KOMPARÁTOR	49
6.6	PŘEVODNÍK DA	51

6.7	VÝSLEDKY SIMULACE NAVRŽENÉHO MODULÁTORU $\Sigma\Delta$ 3. ŘÁDU A POROVNÁNÍ S VÝSLEDKY ZÍSKANÝMI V MATLABU	53
7	ZÁVĚR	55
8	LITERATURA	57
9	SEZNAM ZKRATEK	58
10	SEZNAM PŘÍLOH.....	59
11	PŘÍLOHY	60

1 Úvod

Analogově číslicové převodníky (ADC – Analog to Digital Converters) jsou nezbytným blokem moderních systémů číslicového zpracování signálů. Základní blokové uspořádání systému zpracování signálů je uvedeno na obr. 1.1. Po zpracování signálů, např. pomocí mikroprocesoru, obvodu FPGA nebo signálového procesoru je číslicový signál v mnoha případech převáděn zpět na analogovou veličinu pomocí číslicově-analogového převodníku (DAC – Digital to Analog Converter). Systémy zpracování signálů se bez AD a DA převodníků neobejdou.

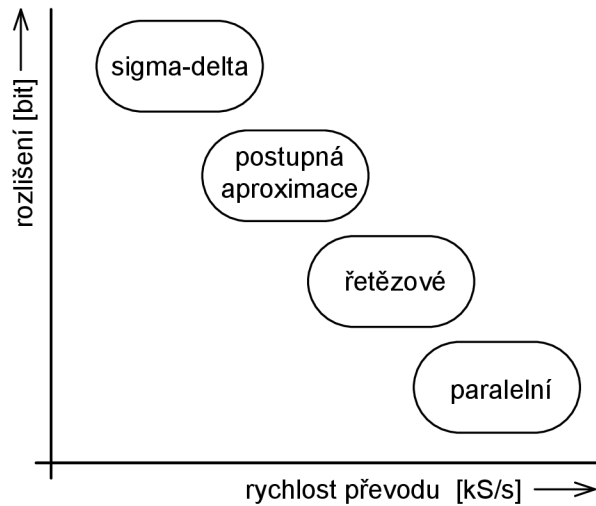


Obr. 1.1 Bloková struktura systému číslicového zpracování signálu

Převodníky AD se dají rozdělit na dva základní druhy. Na převodníky s přímým kvantováním a na převodníky využívající převzorkování [1]. Mezi převodníky AD s přímým kvantováním patří paralelní a řetězové převodníky, převodníky s postupnou aproximací a také sériové převodníky. Převodníky využívající převzorkování se nazývají sigma-delta převodníky ($\Sigma\Delta$ - Sigma-Delta). Převodníky typu $\Sigma\Delta$ se skládají ze dvou hlavních částí, kterými jsou analogový modulátor $\Sigma\Delta$ a číslicový decimační filtr. Modulátor $\Sigma\Delta$ bývá relativně jednoduchý a slouží k tzv. tvarování šumu (angl. Noise Shaping). Digitální decimační filtr je typu dolní propust. Z modulovaného signálu odstraňuje vysoké kmitočty, na kterých je přenášen šum. Tento proces se nazývá převzorkování (angl. Oversampling). Současné submikronové technologie umožňují realizovat výkonné a rychlé digitální filtry s vysokou hustotou hradel [1]. Převodníky AD typu sigma-delta dosahují rozlišení nejčastěji 16 - 20 bitů a patří mezi převodníky s nejvyšším rozlišením. Rychlost převodu bývá u těchto převodníků relativně malá. Obvykle mohou zpracovávat signály o kmitočtech do několika desítek kHz. Oproti tomu, nejrychlejší převodníky jsou převodníky paralelní s možností převádět signály až o stovkách MHz. Tyto rychlé převodníky mají rozlišení maximálně 8 bitů. Obecně platí, že poměr rychlosti a rozlišení převodníků je konstanta.

V převodnicích AD i DA se často využívá technika spínaných kapacitorů (SC - Switched Capacitor). Technika SC byla poprvé využita v obvodech pro kmitočtovou filtraci [2]. Postupem času se obvody SC rozšířily do jiných oblastí elektrotechniky. V dnešní

době je možno se s těmito obvody setkat nejen v kmitočtové filtraci, ale i v již zmiňované problematice převodníků AD.

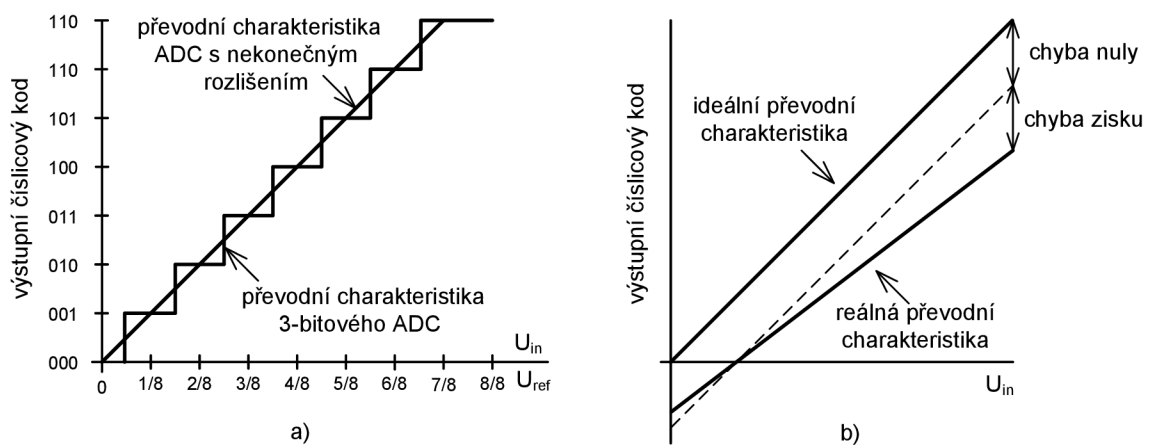


Obr. 1.2 Přehled typů převodníku AD

Od počátků výroby integrovaných obvodů směřuje jejich vývoj k co největší miniaturizaci a co nejmenší ploše čipu. Z pasivních součástek se integruje na čip rezistor a kapacitor. S rostoucím odporem rezistoru či kapacitou kapacitoru roste i plocha na čipu, kterou rezistor resp. kapacitor zabírá. Rezistor obsadí zhruba 10 krát více místa na čipu než kapacitor. Vše závisí na použité technologii a hodnotách součástek. Tento problém řeší právě technika SC, kde je rezistor nahrazen kapacitorem a spínačem.

2 Parametry převodníků AD

Převodníky AD a DA jsou charakterizovány několika statickými a dynamickými parametry, které popisují chování a vlastnosti. Mezi statické parametry patří dynamický rozsah (DR - Dynamic Range), odstup signálu od šumu (SNR - Signal to Noise Ratio), efektivní počet bitů ($ENOB$ - Effective Number of Bits), rozlišení. Z převodní charakteristiky lze určit integrální nelinearitu INL , diferenciální nelinearitu DNL , chybu zisku a chybu nastavení nuly.



Obr. 2.1 a) Převodní charakteristika 3-bitového ADC, b) Příklad reálné převodní charakteristiky ADC

- rozlišení – typicky je dáno počtem bitů N , lze jej uvádět i v procentech z plného rozsahu [1], [3].
- dynamický rozsah – poměr mezi hodnotou plného rozsahu (FSR - Full Scale Range) a nejmenší měřitelnou změnou napětí (LSB) [1], [3].

$$DR = \frac{FSR}{LSB} = \frac{FSR}{\frac{FSR}{2^N}} = 2^N \quad (2.1)$$

$$DR \text{ (dB)} = 6,02 \cdot N \quad (2.2)$$

- odstup signálu od šumu SNR – poměr výstupního napětí plného rozsahu a kvantizačního šumu [1], [3].
- efektivní počet bitů $ENOB$ – souvisí s velikostí SNR .

$$ENOB = \frac{SNR(dB) - 1,76}{6,02} \quad (2.3)$$

- integrální nelinearita *INL* – maximální vertikální rozdíl mezi reálnou a ideální převodní charakteristikou. Obvykle se udává v LSB [1].
- diferenciální nelinearita *DNL* – maximální vertikální rozdíl po sobě jdoucích kódů, udává se v LSB [1]. Pomocí *DNL* lze vyšetřit, zda-li je převodník monotónní nebo nikoli.

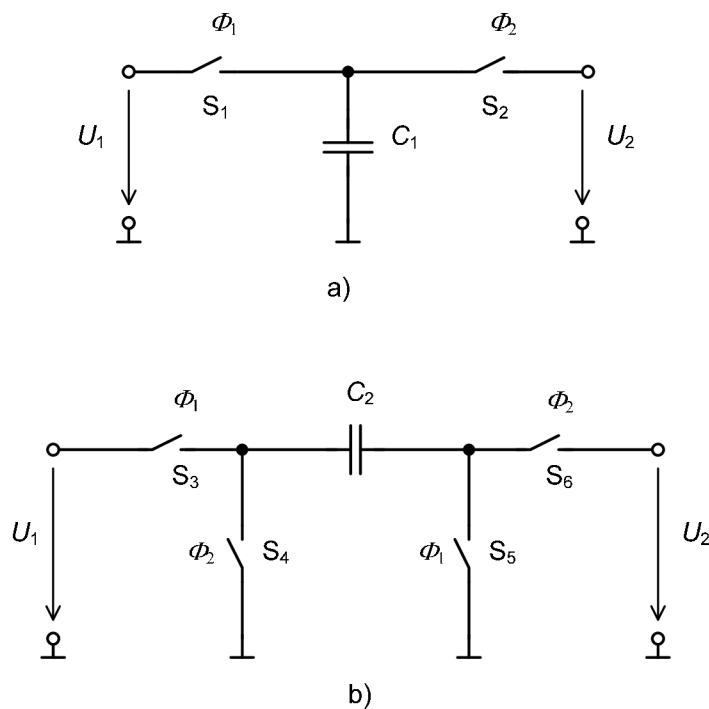
3 Technika spínaných kapacitorů

Nahrazením rezistoru soustavou kapacitorů a spínačů se zabýval již v 19. století J.C. Maxwell, který také jako první princip techniky SC popsal [2].

3.1 Princip techniky SC

Princip techniky SC spočívá ve střídavém nabíjení a vybíjení kapacitoru tak, aby za jednotku času byl přes kapacitor přenesen stejný náboj jako přes rezistor za stejnou jednotku času. Protože se jedná o střídavé nabíjení a vybíjení kapacitorů, má proud v obvodech SC impulsní charakter. Ekvivalentní hodnota odporu se vypočítá podle rov. 3.1, kde T_s je perioda spínání a f_s je kmitočet spínání spínačů. Způsoby možné realizace jsou zobrazeny na obr. 3.1.

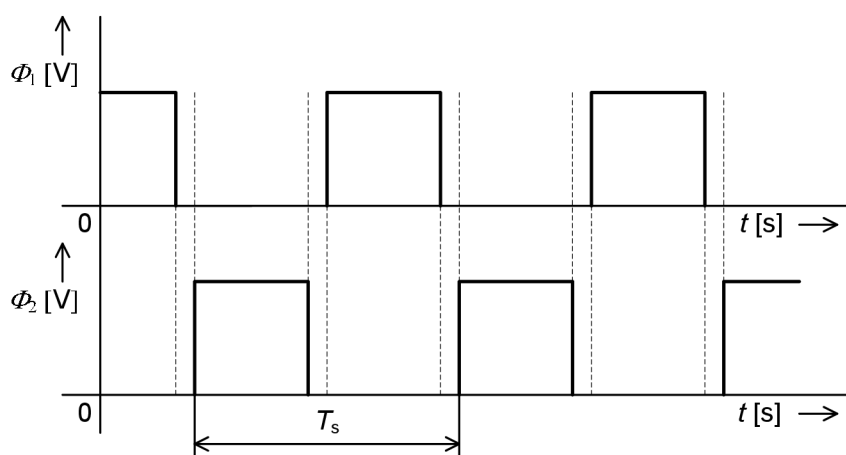
$$R = \frac{T_s}{C_1} = \frac{1}{C_1 f_s} \quad (3.1)$$



Obr. 3.1 Různé způsoby realizace rezistorů pomocí techniky SC

Je-li spínač S_1 sepnut, nabíjí se kapacitor C_1 na napětí U_1 . Spínač S_2 je po dobu nabíjení kapacitoru rozepnut. Poté, co je kapacitor C_1 nabit na napětí U_1 , rozepne spínač S_1 a spínač S_2

sepne. Kapacitor se tak začne vybíjet a naakumulovaný náboj v kapacitoru se přenáší do dalších částí obvodu. Tento proces se periodicky opakuje. Podmínkou pro korektní činnost obvodů SC je generátor nepřekrývajících se řídicích hodinových signálů Φ_1 , Φ_2 [1]. Jeho výstupní průběhy jsou zobrazeny na obr. 3.2. Tímto generátorem je řízeno spínání kapacitorů.



Obr. 3.2 Průběh nepřekrývajících se řídicích hodinových signálů

Pro reálné aplikace je výhodnější používat strukturu na obr. 3.1b, protože je necitlivá na parazitní kapacity mezi elektrodami kapacitoru a substrátem. Ty mohou dosáhnout až 30 % kapacity původního kapacitoru [2].

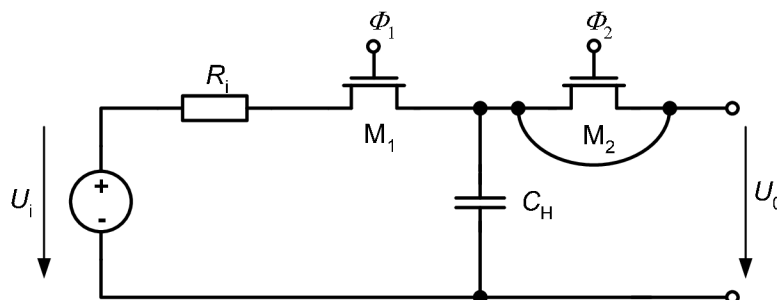
Mezi výhody techniky SC patří snadná implementace kapacitoru na čip v technologii CMOS, nízký odpor spínačů s tranzistory MOS. V technice SC se v převážné většině používá poměr kapacitorů. Poměr kapacitorů lze vyrobit až s přesností 0,01 %. Mezi hlavní nevýhody techniky SC patří injekce náboje ze spínačů s tranzistory MOS a pronikání řídicího hodinového signálu přes spínače do užitečného signálu. Tyto dva jevy způsobují degradaci užitečného signálu, a proto musí být kompenzovány. V obvodech SC jsou kladeny vysoké nároky na přesnost nepřekrývajících se řídicích hodinových signálů.

Injekce náboje je spojena se vznikem a zánikem vodivého kanálu tranzistoru MOS. Je způsobena nabíjením a vybíjením parazitních překryvných kapacit mezi hradlem a emitorem, a hradlem a kolektorem tranzistoru a také kapacitou samotného hradla [4], [5]. Při rozpínání tranzistoru dochází k vybíjení kapacit a jejich náboj se přesouvá do vzorkovacího kapacitoru, kde způsobuje chybu vzorkovaného napětí a také do zdroje napětí, který byl ke kapacitoru připojen. Náboj injektovaný ze spínačů je závislý na spínaném napětí a také na napětí mezi

hradlem a emitorem. Nábojová injekce se kompenzuje mnoha způsoby, které jsou méně či více účinné.

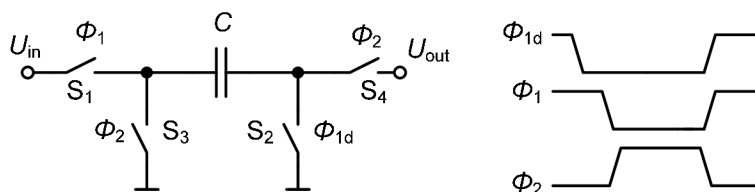
3.2 Kompenzace injekce náboje v obvodech SC

Jednou z možností jak kompenzovat injekci náboje je použití tzv. „dummy“ spínače. Zapojení obvodu SC s využitím „dummy“ tranzistoru je na obr. 3.3. Tranzistor M_2 je zmiňovaným „dummy“ tranzistorem. Má zkratované vývody emitoru a kolektoru. Při rozeptnutí tranzistoru M_1 se náboj z hradla přenesse do hradla tranzistoru M_2 , který je sepnut, jestliže je tranzistor M_1 rozeptnut. Tranzistor M_2 musí mít poloviční poměr šířky a délky (W/L) kanálu než tranzistor M_1 [4], [5]. Nábojová injekce je touto technikou poměrně dobře redukována, avšak ne zcela. Důvodem je nepřesná inverze hodinového signálu Φ_2 od Φ_1 a různá setrvačnost náboje v kanálu obou tranzistorů.



Obr. 3.3 Kompenzace injektovaného náboje pomocí „dummy“ spínače

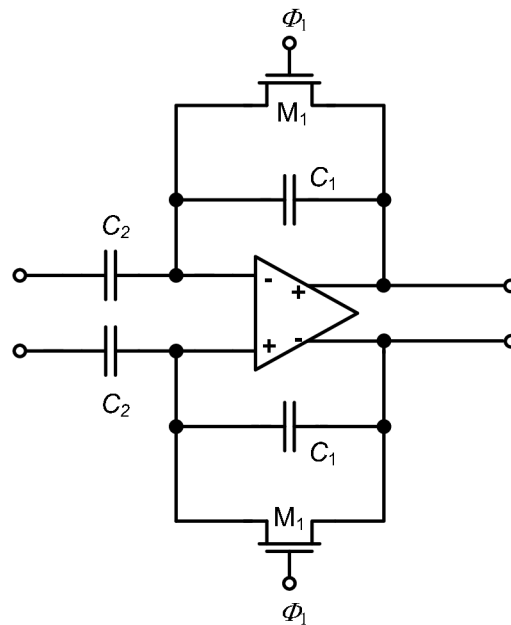
Další používanou technikou je technika vzorkování spodní elektrody (angl. Bottom Plate Sampling) (obr. 3.5). V první fázi spínání Φ_1 jsou sepnuty spínače S_1 a S_2 a kapacitor C je nabíjen na napětí U_{in} . Omezení injekce náboje spočívá v tom, že spínače S_1 a S_2 nejsou rozeptnuty ve stejný okamžik, ale spínač S_2 , který je ovládaný signálem Φ_{1d} , je rozeptnut o několik nanosekund dříve než spínač S_1 . Dojde tak k odpojení kapacitoru od nulového potenciálu. Kapacitor C je nyní plovoucí a při rozeptnutí spínače S_1 se nemůže do kapacitoru C



Obr. 3.5 Technika vzorkování spodní elektrody

injektovat náboj, protože není uzavřený obvod [6]. Ve fázi Φ_2 jsou sepnuty spínače S_3 a S_4 a náboj z kapacitoru je přenášen do dalších částí obvodů. Spínače S_3 a S_4 mohou být rozepnuty ve stejný okamžik a nebo je lze rozpínat postupně jako spínače S_1 a S_2 .

Velice dobré vlastnosti má kompenzace injektovaného náboje pomocí plně diferenčního zapojení (obr. 3.6). Tato technika vyžaduje použití plně diferenčního OZ, který má dva komplementární výstupy [1], [4], [5]. Náboj injektovaný z tranzistorů M_1 , které nulují kapacitory C_1 , mění napětí na vstupech OZ stejnou měrou. Rozdílové napětí na výstupu OZ tak není ovlivněno injekcí náboje ze spínačů M_1 . Nevýhodou diferenčního zapojení je dvojnásobný počet kapacitorů i spínačů a složitější struktura OZ, ale velice dobré potlačení injekce náboje a také šumu tyto nevýhody kompenzuje.



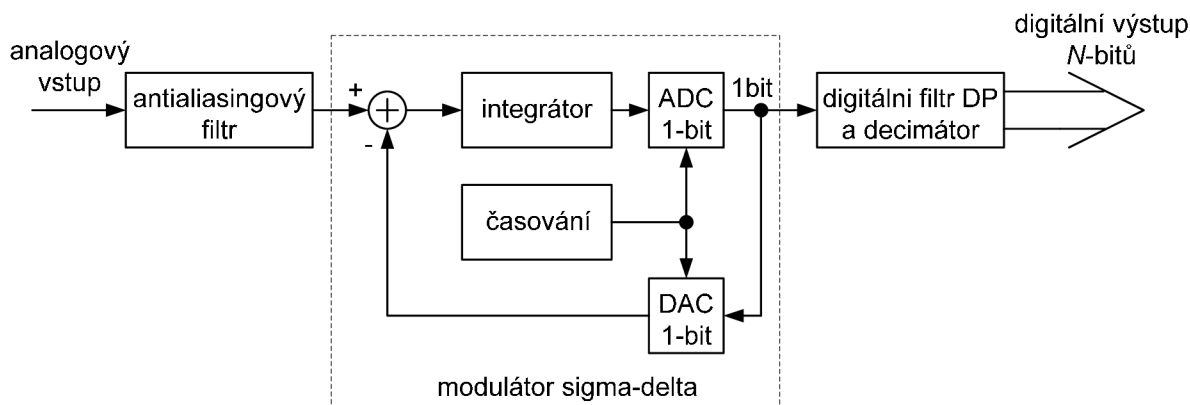
Obr. 3.6 Kompenzace injektovaného náboje použitím plně diferenčního zapojení

4 Sigma-delta převodníky AD

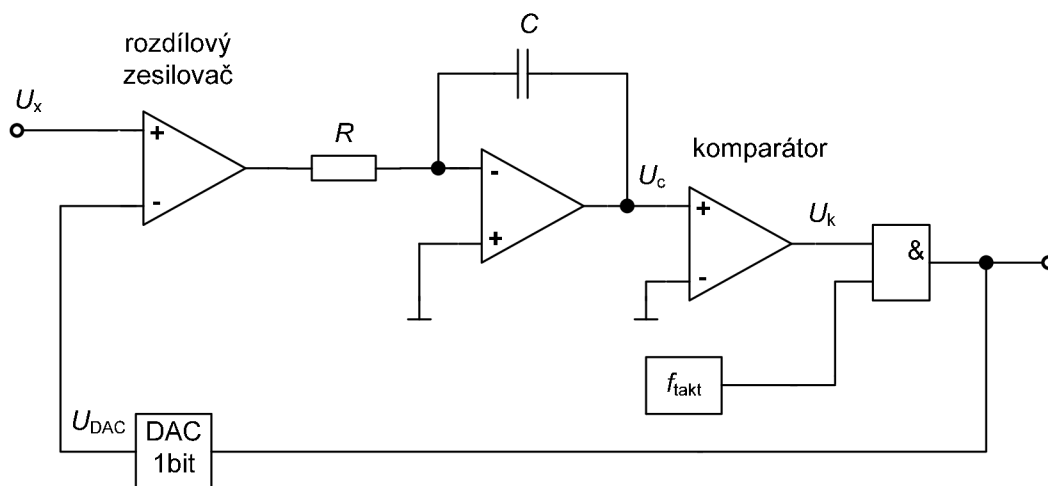
V této kapitole budou popsány principy, které využívají $\Sigma\Delta$ převodníky AD včetně vlivu reálných součástek na funkci modulátoru $\Sigma\Delta$.

4.1 Princip sigma-delta modulátoru 1. řádu

Základ $\Sigma\Delta$ převodníku AD tvoří modulátor sigma-delta skládající se ze součtového členu, integrátoru a jednobitového převodníku AD a DA (obr. 4.1), které pracují synchronně a jsou řízeny blokem časování [1]. Na vstupu modulátoru je připojen antialiasingový filtr. Výstupní jednobitová posloupnost modulátoru sigma-delta je pomocí digitálního filtru typu dolní propust (DP) a decimátoru převáděna na N -bitovou digitální informaci.

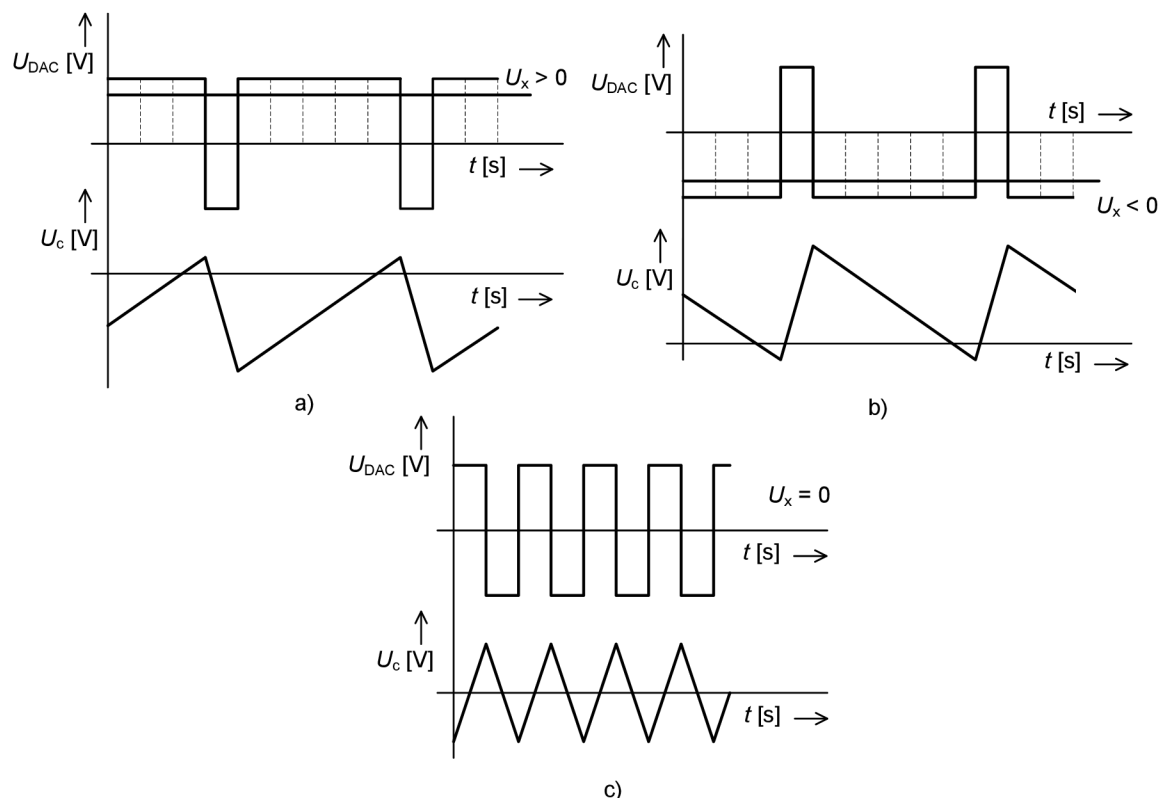


Obr. 4.1 Blokové schéma převodníku AD typu sigma-delta



Obr. 4.2 Zjednodušené schéma modulátoru sigma-delta

Na obr. 4.2 je uvedeno zjednodušené schéma modulátoru sigma-delta. Rozdílový zesilovač odečítá od vstupního napětí U_x napětí na výstupu jednobitového převodníku DA U_{DAC} , které nabývá kladného nebo záporného referenčního napětí $+U_{ref}$ a $-U_{ref}$.



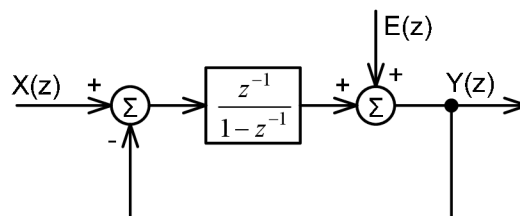
Obr. 4.3 Průběhy napětí na integrátoru a převodníku DA

Výstupní napětí rozdílového zesilovače je integrováno. Strmost integrace závisí na rozdílu vstupního napětí U_x a výstupního napětí převodníku DA. Je-li vstupní napětí $U_x > 0$ a výstupní napětí integrátoru je záporné, pak napětí na výstupu jednobitového převodníku DA bude $+U_{ref}$. Na výstupu rozdílového zesilovače bude napětí $A(U_x - U_{ref})$. Toto napětí bude malé a kladná směrnice nárůstu napětí U_c na výstupu integrátoru bude mít také malou strmost. Poté, co výstupní napětí integrátoru překročí nulovou hodnotu, překloupí komparátor na opačnou úroveň napětí. V důsledku toho se na výstupu jednobitového převodníku DA objeví napětí $-U_{ref}$. Nyní bude rozdíl napětí na výstupu rozdílového zesilovače větší a záporná směrnice ve srovnání s kladnou směrnici v absolutní hodnotě bude větší. Počet logických 1 na výstupu komparátoru je úměrný vstupnímu napětí U_x . Průběhy napětí na integrátoru a výstupu jednobitového převodníku DA jsou zobrazeny na obr. 4.3. Na obr. 4.3a) jsou uvedeny průběhy napětí pro vstupní napětí modulátoru sigma-delta větší než nula. Jestliže je vstupní

napětí $U_x = 0$, pak počet logických 1 a 0 na výstupu komparátoru je stejný (obr. 4.3c). Jestliže je přivedeno na vstup modulátoru sigma-delta záporné napětí, je funkce obvodu obdobná jako při kladném vstupním napětí s tím rozdílem, že nárůst výstupního napětí je strmý a vybíjení je pozvolné (obr. 4.3b). Pokud je vstupní napětí záporné, je poměr počtu logických 1 na výstupu komparátoru k celkovému počtu taktů malý. Výstupním signálem modulátoru sigma-delta je tedy sled logických 1 a 0 s různou četností. N -bitové výstupní slovo je získáno zpracováním vzorků v digitálním filtru. To představuje zvýšení přesnosti AD převodu.

4.2 Popis modulátoru sigma-delta pomocí Z transformace

Aby bylo možné analyzovat chování a vlastnosti sigma-delta modulátoru, je zapotřebí vytvořit vhodný matematický popis. Výhodné je použití Z transformace, protože jednotlivé bloky modulátoru jsou nejčastěji realizovány technikou SC a lze je Z transformací jednoduše popsat. Obr. 4.4 zobrazuje strukturu sigma-delta modulátoru 1. řádu v diskretizovaném tvaru. Výstupní signál lze popsat rov. 4.1, kde $X(z)$ je vstupní signál modulátoru, $Y(z)$ je výstupní signál modulátoru a $E(z)$ je kvantizační šum. Vhodnými úpravami rov. 4.1 je získána rov. 4.2, která charakterizuje přenos užitečného signálu a šumu na výstup modulátoru [7].



Obr. 4.4 Popis modulátoru sigma-delta pomocí Z transformace

$$Y(z) = \frac{z^{-1}}{1 - z^{-1}} (X(z) - Y(z)) + E(z) \quad (4.1)$$

$$Y(z) = X(z) \cdot z^{-1} + E(z) \cdot (1 - z^{-1}) \quad (4.2)$$

Z rov. 4.2 lze vyjádřit signálovou přenosovou funkcí (*STF*) a šumovou přenosovou funkcí (*NTF*)

$$STF(z) = \frac{Y(z)}{X(z)} \Big|_{E(z)=0} = z^{-1}, \quad (4.3)$$

$$NTF(z) = \frac{Y(z)}{E(z)} \Big|_{X(z)=0} = 1 - z^{-1}. \quad (4.4)$$

STF má tvar dolní propusti, naopak NTF se chová jako horní propust a kvantizační šum, který je generován převodníkem AD, je na nízkých kmitočtech potlačen a přesouvá se na kmitočty, které leží mimo zpracovávané pásmo. Tento jev je označován jako tvarování šumu (angl. Noise Shaping) [9], [10].

4.3 Převzorkování a tvarování šumu

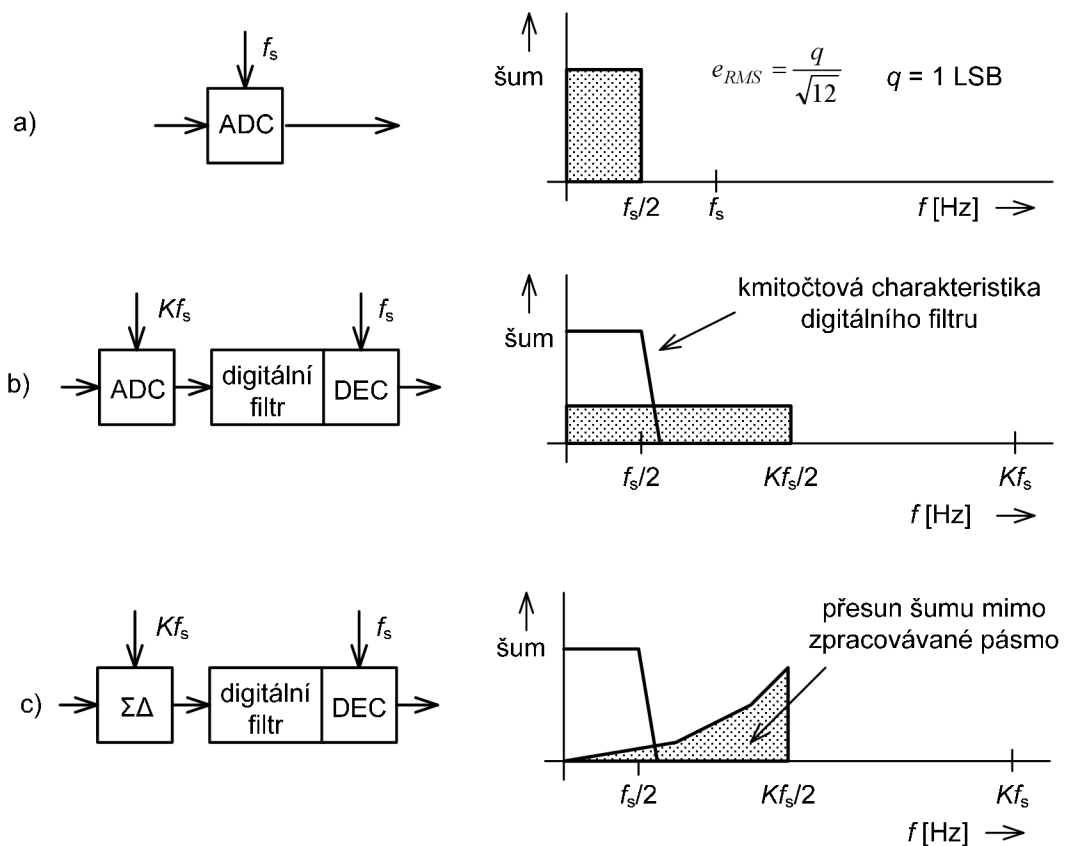
Aby nedocházelo k aliasingu musí být podle Nyquistova kritéria vzorkovací kmitočet f_s převodníku AD nejméně dvakrát větší jak maximální zpracovávaný kmitočet. Efektivní hodnota kvantizačního šumu e_{RMS} ve zpracovávaném frekvenčním pásmu se vypočítá podle rov. 4.5, kde q je velikost kvantizačního kroku. Pokud za převodníkem AD následuje digitální filtr a decimátor (obr. 4.5b), je vstupní signál vzorkován kmitočtem Kf_s , kde K je koeficient převzorkování. Protože celkový výkon kvantizačního šumu je stále stejný, ale je rozložen v širším kmitočtovém pásmu, efektivní hodnota šumu e_{RMS} je při použití převzorkování nižší. Převodníky typu sigma-delta využívají k potlačení kvantizačního šumu tzv. tvarování šumu a převzorkování. Obr. 4.5c) zobrazuje rozložení spektrální hustoty výkonu šumu modulátoru sigma-delta. Je patrné, že hladina šumu je v pásmu kmitočtů do $f_s/2$ silně potlačena a šum je přesunut k vyšším kmitočtům, které jsou odfiltrovány digitálním filtrem.

$$e_{RMS} = \frac{q}{\sqrt{12}} \quad (4.5)$$

Jedním z ukazatelů jakosti převodníků AD je odstup užitečného signálu od šumu SNR). Pro ideální modulátor M – tého řádu s jednobitovým kvantizační obvodem se vypočítá SNR podle [10].

$$SNR = \frac{3}{2} \frac{2M+1}{\pi^{2M}} K^{2M+1}. \quad (4.6)$$

Z SNR lze stanovit efektivní počet bitů $ENOB$ podle rov. 2.3 uvedé v kapitole 2.

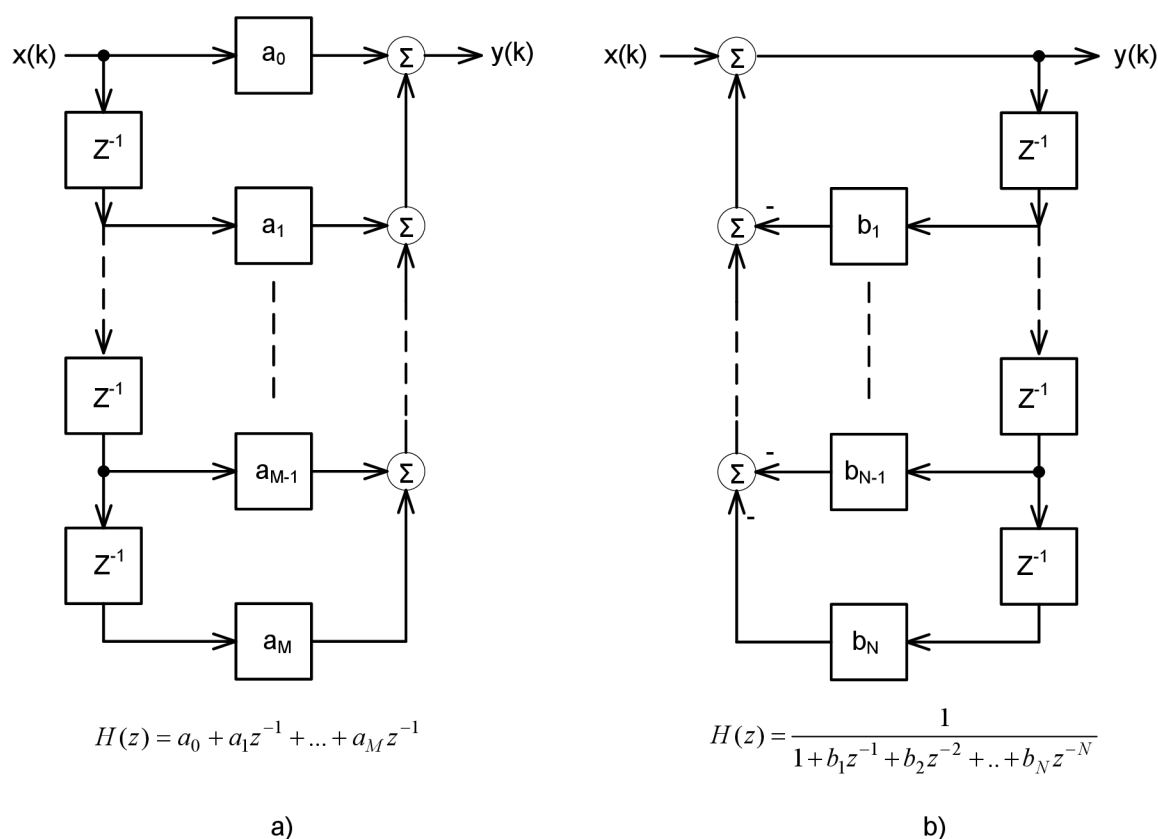


Obr. 4.5 Tvarování šumu

Dosáhnout velkého SNR lze u modulátorů sigma-delta několika způsoby. Nejjednodušší způsob je zvýšení koeficientu převzorkování K . To má za následek snížení maximálního kmitočtu zpracovávaného pásma. Druhou možností je použití modulátoru vyššího řádu. Modulátory vyšších řádů mají větší SNR , nastávají však problémy se stabilitou a jejich návrh je složitější. Třetím způsobem zvýšení SNR je použití vícebitového převodníku AD na výstupu integrátoru [8]. Vícebitový převodník AD sice zvýší SNR , ale nastávají opět problémy se stabilitou. Přesnost převodu ovlivňuje linearita převodníku DA a složitější je také realizace digitálního filtru. Při návrhu modulátoru sigma-delta je třeba udělat vhodný kompromis mezi rychlostí převodníku a jeho rozlišením a vybrat vhodnou architekturu pro realizaci. Problémy se stabilitou lze také řešit paralelním zapojením jednoduchých sigma-delta modulátorů označovaným jako MASH (Multi Stage Noise Shaper) [8], [13].

4.4 Digitální filtrace a decimace

Digitální filtry se rozdělují podle charakteru jejich impulsní charakteristiky na filtry s konečnou impulsní charakteristikou FIR (Finite Impulse Response) a nekonečnou impulsní charakteristikou IIR (Infinite Impulse Response). Srovnání vlastností filtrů je zobrazeno v tab. 4.1. Častěji se v převodnicích AD typu sigma-delta používají filtry FIR, protože jsou vždy stabilní, mají lineární fázovou charakteristiku, snadno se implementují a mohou obsahovat decimační filtr [9], [11]. Na obr. 4.6 jsou zobrazeny příklady realizace filtru FIR a IIR.

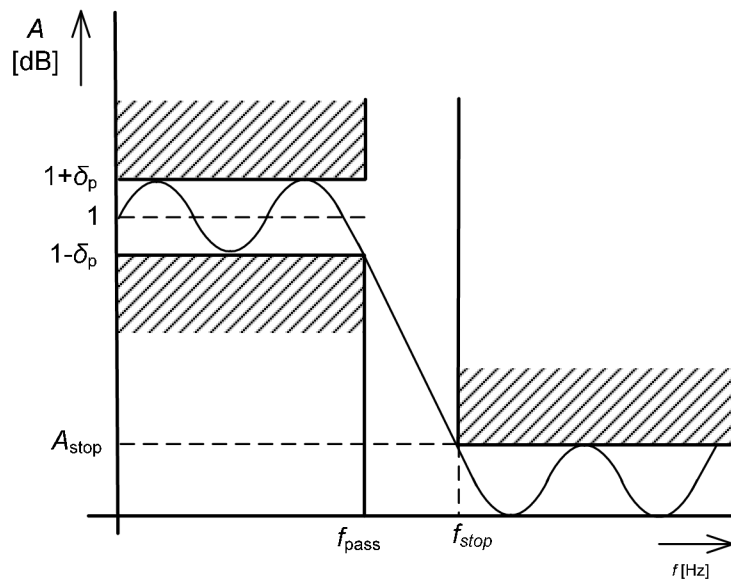


Obr. 4.6 Blokové schéma digitálního filtru typu a) FIR b) IIR

Posledním krokem digitálního zpracování je decimace. Vlivem převzorkování jsou na výstupu digitálního filtru přebytečné vzorky, které lze odstranit aniž by došlo po zrekonstruování signálu ke zkreslení. Decimace je proces snížení odběru výstupních vzorků z kmitočtu f_s na kmitočet f_s/D [9], [11].

Tab. 4.1 Porovnání vlastností filtrů FIR a IIR

Filtr FIR	Filtr IIR
jednoduchý návrh	složitější návrh
menší účinnost	větší účinnost
lineární fázová charakteristika	nelineární fázová charakteristika
jednoduché začlenění decimačního filtru	nelze začlenit do filtru ještě decimační filtr
vždy stabilní	může být nestabilní



Obr. 4.7 Kmitočtová charakteristika decimačního filtru

Na obr. 4.7 je zobrazena kmitočtová charakteristika decimačního filtru s vyznačením důležitých bodů

f_{pass} - kmitočet zpracovávaného pásma,

f_{stop} - kmitočet kdy dojde k zeslabení signálu na hodnotu A_{stop} ,

A_{stop} - úroveň zeslabení signálu, která odpovídá minimální hladině kvantovacího šumu,

δ_p - maximální zvlnění, které může být ve zpracovávaném pásmu.

4.4.1 Filtr comb

Filtr comb je jednoduchý a velice často používaný decimační filtr. Jedná se o filtr FIR typu dolní propust. Protože jsou všechny koeficienty filtru rovny jedné, nejsou pro jeho realizaci potřeba násobičky. Filtr comb má následující přenosovou funkci

$$H(z) = \frac{1}{D} \sum_{n=0}^{D-1} z^{-n}, \quad (4.7)$$

kde D je decimační faktor. V diskretním tvaru pro $D = 4$ dostaneme vztah

$$y(n) = \frac{1}{4} (x(n) + x(n-1) + x(n-2) + x(n-3)). \quad (4.8)$$

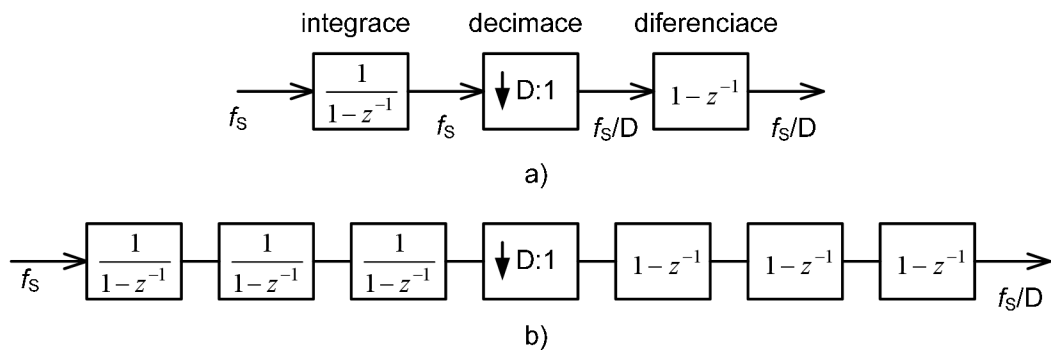
Z rov. 4.8 je patrné, že filtr je jednoduchý registr, který vytváří klouzavý průměr [11]. Užitím pravidel pro počítání s řadami lze rov. 4.7 upravit na tvar

$$H(z) = \frac{1}{D} \sum_{n=0}^{D-1} z^{-n} = \frac{1}{D} \frac{1 - z^{-D}}{1 - z^{-1}} = \frac{1}{D} \left[\frac{1}{1 - z^{-1}} \right] [1 - z^{-D}], \quad (4.9)$$

v diskretním tvaru pro $D = 4$ má rov. 4.9 tvar

$$y(n) = \frac{1}{4} (x(n) + x(n-4) + y(n-1)). \quad (4.10)$$

Rov. 4.10 má rekurzni tvar. Užitím tohoto tvaru je redukován počet součtů, který je nezávislý na velikosti decimačního faktoru. Z rov. 4.9 je také patrné, že lze přenosovou funkci rozdělit na proces integrace a diferenciaci [11]. Blokové uspořádání comb filtru je na obr. 4.8.



Obr. 4.8 Uspořádání decimačního filtru comb a) 1. řádu b) 3.řádu

Přenosová funkce filtru comb K -tého řádu je

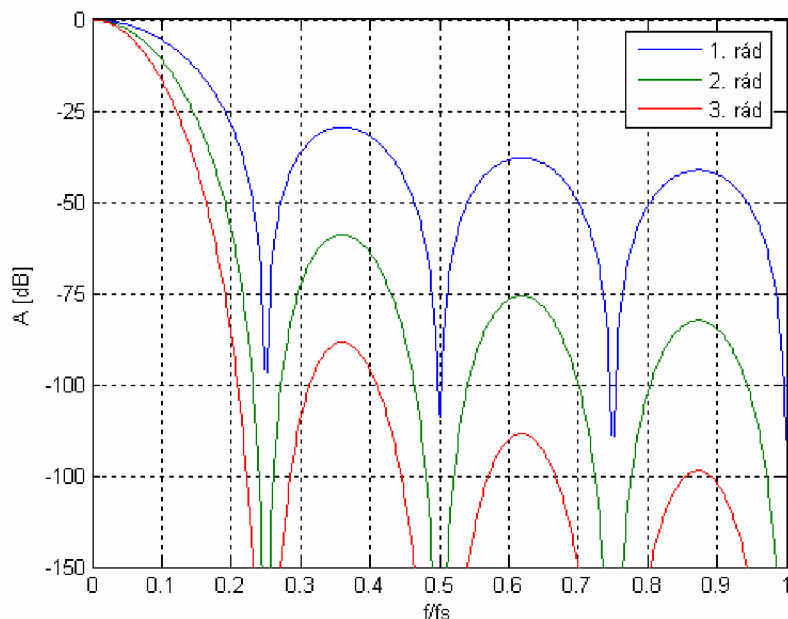
$$H(z) = \left(\frac{1}{D} \frac{1 - z^{-D}}{1 - z^{-1}} \right)^K. \quad (4.11)$$

Řád filtru comb by měl být alespoň o jeden větší než je řád modulátoru $\Sigma\Delta$. Kmitočtová charakteristika je dána vztahem [7]

$$|H(e^{j\omega})| = \left(\frac{1}{D} \frac{\sin(\omega D / 2)}{\sin(\omega / 2)} \right)^K, \quad (4.12)$$

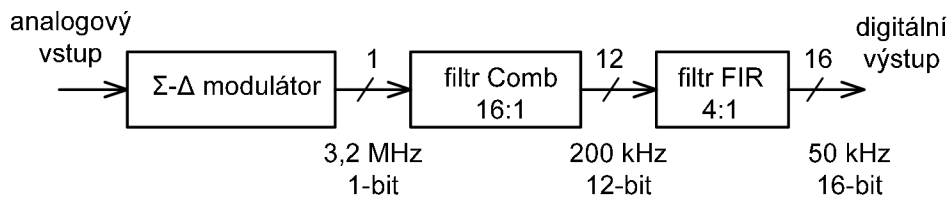
kde
$$\omega = 2\pi \frac{f}{f_s}. \quad (4.13)$$

Na obr. 4.9 jsou zobrazeny kmitočtové charakteristiky filtru comb 1. až 3. řádu.



Obr. 4.9 Kmitočtové charakteristiky filtru comb

Filtr comb má v propustném pásmu na kmitočtové charakteristice značný pokles amplitudy. Protože v mnoha aplikacích není tolerováno zkreslení, musí být použit ve spojení s dalšími digitálními filtry, nejčastěji s filtry FIR [7][11]. Na obr. 4.10 je příklad zapojení filtru comb s filtrem FIR. Filtr comb slouží k výraznému snížení počtu vzorků a odstranění šumu po kmitočtu 200 kHz. Toto výrazné snížení počtu vzorků umožní snížení řádu následujícího FIR filtru. Nižší řád filtru znamená menší výpočetní náročnost a také méně použitých komponent pro realizaci.



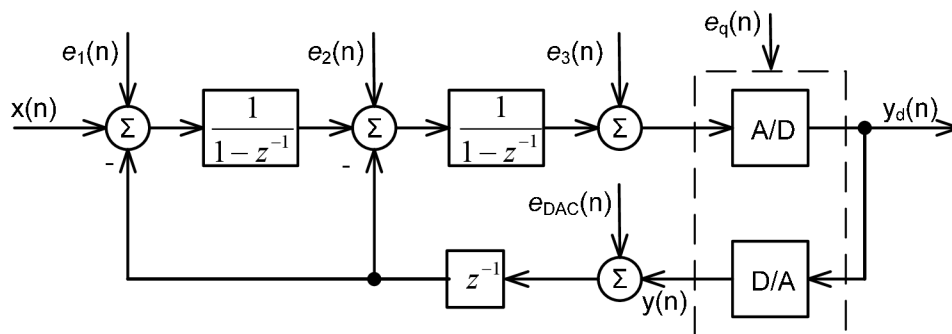
Obr. 4.10 Proces digitální decimace

Výhody filtru bomb

- nejsou potřeba násobičky,
- filtr obsahuje pouze 2 základní bloky,
- není potřeba paměťové místo pro uložení koeficientů filtru,
- jednoduchý návrh filtru, změny parametrů jsou dosaženy minimálními změnami struktury.

4.5 Zdroje šumu v modulátoru sigma-delta

V ideálním modulátoru $\Sigma\Delta$ byl uvažován pouze zdroj kvantizačního šumu $e_q(n)$ ADC. Na obr. 4.11 je zobrazen modulátor $\Sigma\Delta$ druhého řádu s vyznačením dalších zdrojů šumu, které se objevují v reálném obvodu.



Obr. 4.11 Zdroje šumu v modulátoru sigma-delta druhého řádu

Šum obsažený ve vstupním signálu je reprezentován zdrojem šumu $e_1(n)$. Tepelný šum prvního integrátoru, šum operačního zesilovače a pronikání řídicího hodinového signálu SC jsou rozloženy mezi zdroje šumu $e_1(n)$ a $e_2(n)$. Šum vznikající v druhém integrátoru je rozložen mezi zdroje šumu $e_2(n)$ a $e_3(n)$. Zdroje šumu $e_2(n)$ a $e_3(n)$ také zahrnují nelinearitu jednotlivých integrátorů, která je způsobena konečnou hodnotou SR a saturací OZ. Šum způsobený nelineárními operacemi ADC je zahrnut ve zdroji $e_3(n)$. Pokud modulátor

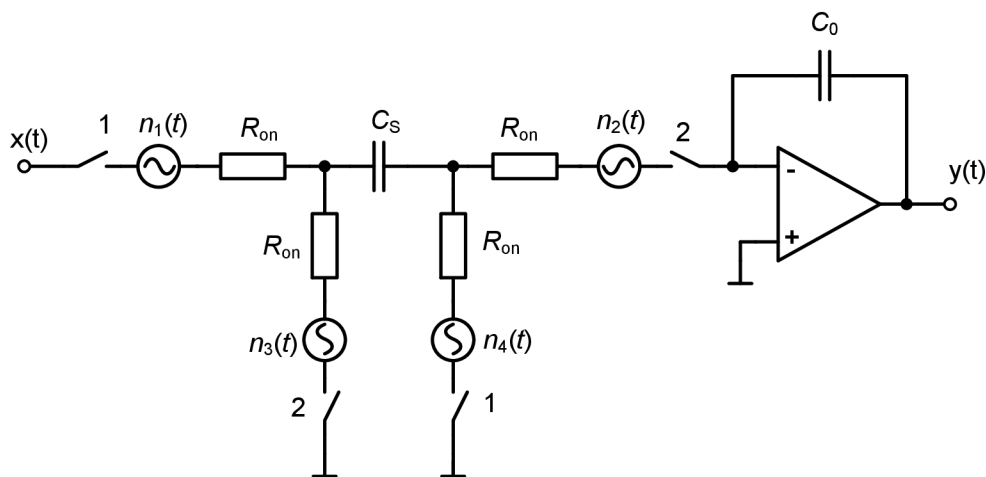
sigma-delta využívá vícebitový DAC, je jeho nelinearita vyjádřena zdrojem šumu $e_{DAC}(n)$. Použitím Z transformace lze z obr. 4.11 vyjádřit vztah pro výstup modulátoru $y(n)$

$$Y = X + E_1 - z^{-1}E_{DAC} + (E_2 - z^{-1}E_{DAC})(1 - z^{-1}) + (E_q + E_3)(1 - z^{-1})^2. \quad (4.14)$$

Z rov. 4.11 je patrné, že nejkritičtější jsou zdroje šumu $e_1(n)$ a $e_{DAC}(n)$. Zdroje $e_2(n)$ a $e_3(n)$ podléhají tvarování šumu prvního resp. druhého řádu a nemají tak výrazný vliv na výstupní signál modulátoru jako zdroje šumu $e_1(n)$ a $e_{DAC}(n)$ [8].

4.6 Vliv obvodů SC, tepelný šum SC

Na obr. 4.12 je znázorněn neinvertující integrátor využívající techniku SC s rozkreslenými zdroji šumu jednotlivých spínačů $n_1(t)$ až $n_4(t)$.



Obr. 4.12 Zdroje šumu v integrátoru s SC

Každý zdroj šumu $n_1(t)$ až $n_4(t)$ má spektrální hustotu výkonu šumu $P(f)$

$$P(f) = 4kTR_{on}, \quad (4.15)$$

kde k je Boltzmanova konstanta, T absolutní teplota. Tento tepelný šum má spektrum bílého šumu. Efektivní hodnota šumového napětí na kapacitoru C_S je dána vztahem [8]

$$E\{e_i(t)^2\} = \frac{1}{2\pi} \int_0^\infty 4kTR_{on} \left| \frac{1}{1 + j2\omega R_{on} C_S} \right|^2 d\omega = \frac{kT}{2C_S}. \quad (4.16)$$

Za předpokladu, že každý zdroj šumu $n_i(t)$ je nezávislý, lze celkovou energii tepelného šumu P_T vyjádřit

$$P_T = E\{e_1^2\} + E\{e_2^2\} + E\{e_3^2\} + E\{e_4^2\} = \frac{2kT}{C_S}. \quad (4.17)$$

Tepelný šum v obvodech s SC je nepřímo úměrný velikosti vzorkovacího kapacitoru C_S . Aby byl tepelný šum co nejmenší, musí mít C_S maximální možnou velikost. Platí to zejména pro první integrátor v modulátoru sigma-delta.

4.7 Vliv vlastností OZ

V této kapitole je rozebrán vliv OZ na funkci modulátoru $\Sigma\Delta$.

4.7.1 Kompenzace šumu a napět'ové nesymetrie OZ

Za předpokladu, že šum spínačů bude nulový, lze výstupní signál integrátoru z obr. 4.13a) popsat následující rovnicí

$$Y(z) = -\frac{C_S}{C_0} \frac{1}{1-z^{-1}} X(z) + \left(1 - \frac{C_S}{C_0} \frac{1}{1-z^{-1}}\right) U_n(z). \quad (4.18)$$

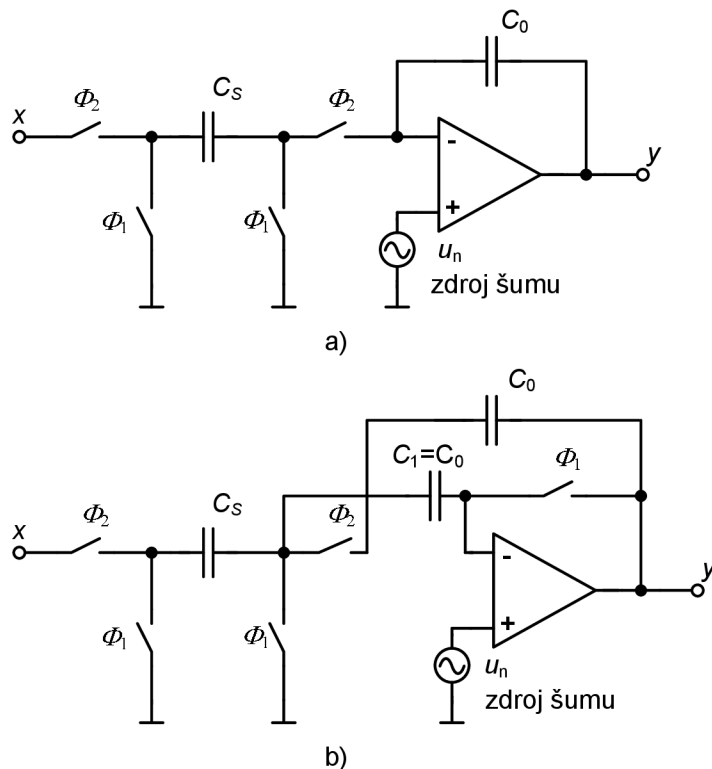
Zdroj u_n představuje tepelný a blikavý šum OZ a také napět'ovou nesymetrii OZ. Blikavý šum a šum $1/f$ jsou významné především na nízkých kmitočtech. Pro potlačení těchto šumů existuje řada technik. Mezi nejvýznamnější patří [7], [8], [12]

- střídavá stabilizace (CHS - Chopper Stabilization),
- automatické nulování (AZ – Autozeroing),
- dvojité korelované vzorkování (CDS - Correlated Double Sampling).

Technika CDS je speciální typ techniky AZ.

Na obr. 4.13b) je zobrazen integrátor využívající pro potlačení šumu techniku CDS. Ve fázi Φ_1 se nabíjí kapacitor C_1 na hodnotu napětí zdroje u_n . Ve fázi Φ_2 dochází k integraci vstupního signálu a odečtení šumového napětí u_n , na které je nabit kapacitor C_1 . Výsledný signál na výstupu integrátoru je dán vztahem

$$Y(z) = -\frac{C_S}{C_0} \frac{1}{1-z^{-1}} X(z) + \left(1 - \frac{C_S}{C_0} \frac{1}{1-z^{-1}}\right) (1-z^{-1/2}) U_n(z). \quad (4.19)$$



Obr. 4.13 a) Invertující integrátor b) Invertující integrátor využívající techniku CDS

Ve výsledku je napěťová nesymetrie zcela potlačena a šum $1/f$ je filtrován funkcí $(1 - z^{-1/2})$ a na nízkých kmitočtech je výrazně potlačen [8].

4.7.2 Vliv konečného zesílení OZ

Konečná velikost zesílení OZ vede ke změně nul a pólů přenosové funkce integrátoru, a to vede ke změně šumové přenosové NTF modulátoru $\Sigma\Delta$. Přenosová funkce integrátoru má tvar

$$\frac{Y(z)}{X(z)} = \frac{o}{1 + pz^{-1}}, \quad (4.20)$$

kde o je nula a p pól přenosové funkce integrátoru. Velikost nuly a pólu se vypočítá podle

$$p = \frac{1}{1 + \frac{C_s}{C_0} \frac{1}{1 + A}}, \quad (4.21)$$

$$o = \frac{1}{1 + \frac{1}{A} \left(\frac{C_s}{C_0} + 1 \right)}, \quad (4.22)$$

kde A je zesílení OZ bez zpětné vazby. Změna polohy nul a pólů NTF má za následek pokles SNR . Z rov. 4.21 je patrné, že pozice pólu je téměř úměrná $1/A$. U modulátorů $\Sigma\Delta$ 1. řádu nemá konečné zesílení OZ tak velký vliv jako u modulátorů $\Sigma\Delta$ vyšších řádů [8]. Vlastnosti integrátoru lze výrazně vylepšit použitím techniky AZ [8].

4.7.3 Vliv šířky pásma a mezní doby přeběhu OZ

V obvodech SC je důležitým parametrem doba ustálení τ , která je závislá na šířce pásma OZ. U filtrů SC by měla být šířka pásma OZ alespoň 10 krát větší než vzorkovací kmitočet. U modulátorů je důležitá hlavně doba ustálení τ , která by měla být menší než vzorkovací perioda T_s . Pokud je τ větší než T_s , může být modulátor nestabilní [8].

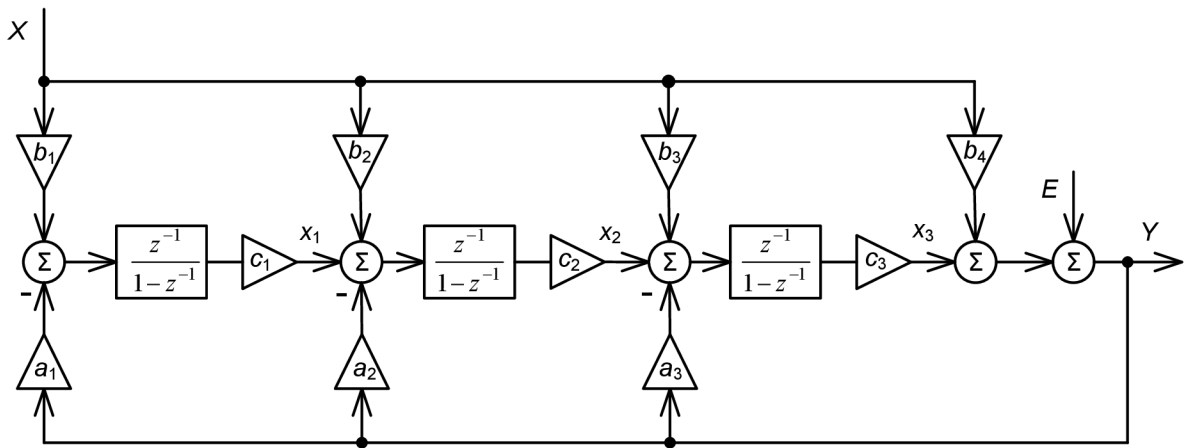
Mezní doba přeběhu musí být dostatečně velká, tak aby došlo během T_s k přenesení veškerého náboje ze vzorkovacího kapacitoru C_s do zpětnovazebního kapacitoru C_0 .

5 Návrh převodníku $\Sigma\Delta$ v prostředí MATLAB SIMULINK

Tato kapitola se zabývá návrhem a simulací modulátoru $\Sigma\Delta$ 3. řádu a decimálního filtru v prostředí MATLAB SIMULINK.

5.1 Struktura modulátoru sigma-delta 3. řádu

Pro realizaci modulátoru sigma-delta 3. řádu byla vybrána struktura CIDIDF (Cascaded Integrator with Distributed Input and Distributed Feedback). Tato struktura má výhodu, že lze realizovat *NTF* i *STF* nezávisle na sobě [7].



Obr. 5.1 Struktura CIDIDF modulátoru sigma-delta 3.řádu

Výpočet *STF* a *NTF* je následující,

$$x_1 = (Xb_1 - Ya_1) \frac{z^{-1}}{1-z^{-1}} c_1, \quad (5.1)$$

$$x_2 = (Xb_2 + x_1 - Ya_2) \frac{z^{-1}}{1-z^{-1}} c_2, \quad (5.2)$$

$$x_3 = (Xb_3 + x_2 - Ya_3) \frac{z^{-1}}{1-z^{-1}} c_3, \quad (5.3)$$

$$Y = Xb_4 + x_3 + E. \quad (5.4)$$

Po dosazení rov. 5.1, 5.2 a 5.3 do rov. 5.4 lze vyjádřit *NTF* a *STF*

$$STF = \frac{Y}{X} \Big|_{E=0} = \frac{z^3 u_4 + z^2 (u_3 - 3u_4) + z(3u_4 - 2u_3 + u_2) + (u_1 - u_2 + u_3 - u_4)}{z^3 + z^2 (v_3 - 3) + z(3 - 2u_3 + u_2) + (v_1 - v_2 + v_3 - 1)} \quad (5.5)$$

$$NTF = \frac{Y}{E} \Big|_{X=0} = \frac{(z-1)^3}{z^3 + z^2 (v_3 - 3) + z(3 - 2u_3 + u_2) + (v_1 - v_2 + v_3 - 1)} \quad (5.6)$$

Pro zpřehlednění výpočtu byla zavedena substituce

$$\begin{aligned} v_1 &= a_1 c_1 c_2 c_3 & u_1 &= b_1 c_1 c_2 c_3 \\ v_2 &= a_2 c_2 c_3 & u_2 &= b_2 c_2 c_3 \\ v_3 &= a_3 c_3 & u_3 &= b_3 c_3 \\ & & u_4 &= b_4 \end{aligned}$$

Je vhodné nastavit koeficienty $a_1 = a_2 = a_3 = 1$ a $b_1 = b_2 = b_3 = b_4 = 1$, protože poté bude platit

$$\begin{aligned} v_1 &= u_1 = c_1 c_2 c_3 \\ v_2 &= u_2 = c_2 c_3 \\ v_3 &= u_3 = c_3 \end{aligned}$$

a signálová přenosová funkce STF bude vždy $STF = 1$ a koeficienty integrátoru c_1 - c_3 budou určovat pouze tvar NTF . Pro nastavení koeficientů integrátoru c_1 - c_3 neexistuje žádný universální princip. Aby byla zachována stabilita systému, musí póly NTF ležet uvnitř jednotkové kružnice. Čím je větší vzdálenost pólu od středu jednotkové kružnice, tím je dosaženo lepšího SNR . Jsou-li póly NTF umístěny velice blízko jednotkové kružnice, dochází ke zhoršení stability modulátoru.

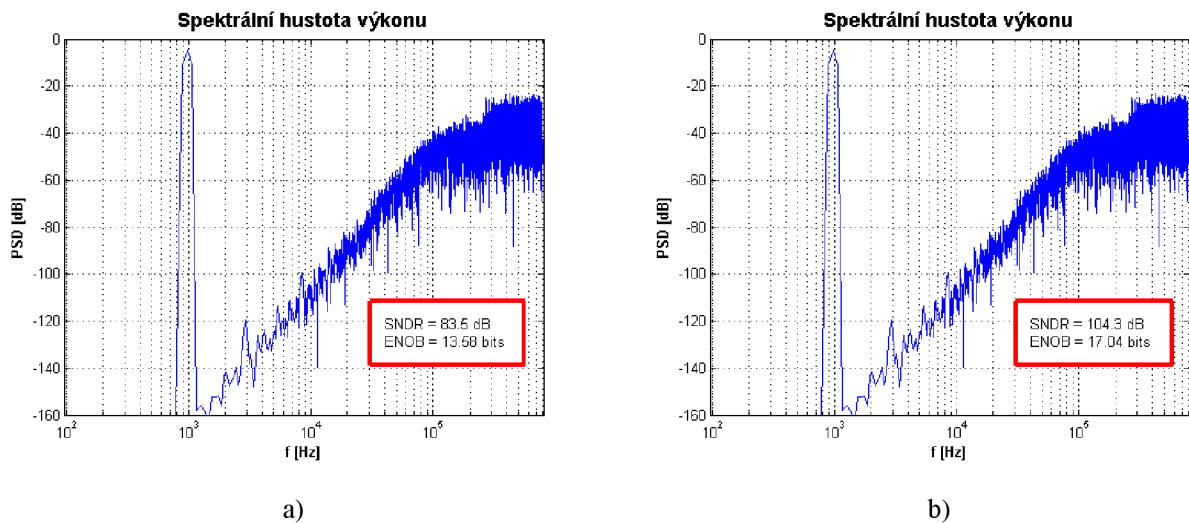
5.1.1 Simulace ideálního modulátoru 3. řádu v programu MATLAB SIMULINK

Pro zjištění vhodného nastavení koeficientů integrátoru c_1 - c_3 bylo provedeno několik simulací s různým rozložením pólů NTF . Kritérium bylo, aby bylo dosaženo co největšího možného vstupního rozsahu modulátoru a také co největšího SNR . Jako nejvhodnější se ukázaly koeficienty $c_1 = 0,1675$, $c_2 = 0,3435$ a $c_3 = 0,6064$. Těmto koeficientům odpovídají póly NTF $p_1 = 0,7$ a $p_{2,3} = 0,9 * e^{\pm 0,11\pi}$. Toto nastavení umožňuje zpracovávat signály o maximální amplitudě 1 V s referenčním napětím $U_{ref} = \pm 1,5$ V. V tab. 5.1 jsou uvedeny parametry modulátoru použité při simulaci.

Tab . 5.1 Parametry modulátoru při simulaci

vzorkovací kmitočet f_s		1,6 MHz
referenční napětí U_{ref}		$\pm 1,5$ V
OSR = 64	SNR	83.5 dB
	ENOB	13.58 bitů
	f_{max}	12,5 kHz
OSR = 128	SNR	104.3 dB
	ENOB	17.04 bitů
	f_{max}	6,25 kHz

Na obr. 5.2 jsou zobrazeny výsledky simulace ideálního modulátoru sigma-delta 3. řádu pro vstupní signál s kmitočtem 976 Hz a amplitudou 1 V. Pro OSR = 64 bylo dosaženo ENOB = 13,58 bitů a pro OSR = 128 bylo dosaženo ENOB = 17,04 bitů.



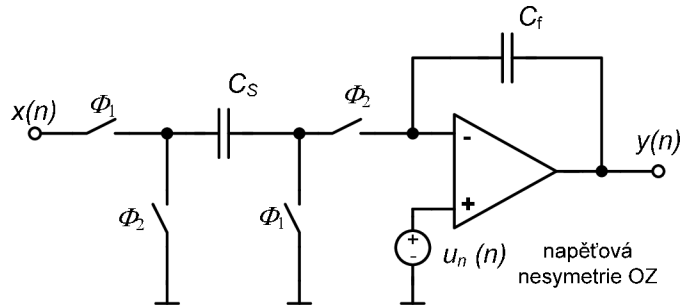
Obr. 5.2 Spektrální hustota výkonu na výstupu ideálního modelu modulátoru $\Sigma\Delta$ 3. řádu při a) OSR = 64
b) OSR = 128

5.2 Vliv napěťové nesymetrie OZ na SNR modulátoru $\Sigma\Delta$ 3. řádu

Tato část se zabývá vlivem vstupní napěťové nesymetrie OZ použitého v integrátoru na odstup signálu od šumu u navrhovaného modulátoru sigma-delta 3.řádu.

5.2.1 Model integrátoru SC zahrnující napětovou nesymetrii OZ

V navrhovaném modulátoru $\Sigma\Delta$ 3. řádu jsou použity integrátory se zpožděním používající techniku SC. Schéma integrátoru se zpožděním je zobrazen na obr. 5.3.



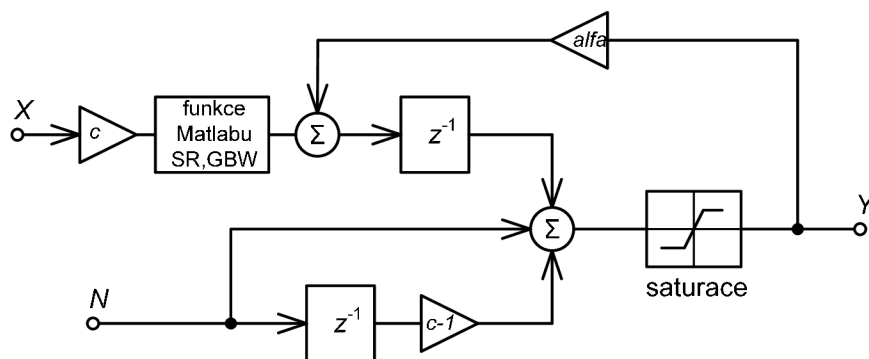
Obr. 5.3 Integrátor se zpožděním využívající techniku SC

Výstupní napětí integrátoru lze popsat rovnicí

$$y(n) = y(n-1) - u_n(n-1) + c[x(n-1) + u_n(n-1)] + u_n(n), \quad (5.7)$$

kde $c = C_s/C_f$ je koeficient integrátoru. Pro převod do Z transformace platí tyto obrazy: $Z(y(n)) = Y$, $Z(x(n)) = X$, $Z(u_n(n)) = N$. V Z transformaci vypadá rovnice následovně

$$\begin{aligned} Y &= Yz^{-1} - Nz^{-1} + c(Xz^{-1} + Nz^{-1}) + N, \\ Y(1 - z^{-1}) &= Xcz^{-1} + N(1 + z^{-1}(c - 1)), \\ Y &= Xc \frac{z^{-1}}{1 - z^{-1}} + N \frac{1 + z^{-1}(c - 1)}{1 - z^{-1}}. \end{aligned} \quad (5.8)$$



Obr 5.4 Model integrátoru s napětovou nesymetrii OZ

Na obr. 5.4 je zobrazen model pro MATLAB SIMULINK, který je sestaven podle rov. 5.7 a počítá s napěťovou nesymetrií OZ. Dále modeluje vliv konečného zesílení OZ zavedením koeficientu *alfa* do zpětné vazby. Velikost koeficientu *alfa* je dána vztahem $alfa = (A-1)/A$, kde *A* je stejnosměrné zesílení OZ. Model také počítá s mezní dobou přeběhu OZ a mezním kmitočtem OZ.

5.2.2 Přenos napěťové nesymetrie OZ jednotlivých integrátorů na výstup navrhovaného modulátoru $\Sigma\Delta$ 3. řádu

Pro zjištění vlivu napěťové nesymetrie OZ jednotlivých integrátorů na výstupu modulátoru $\Sigma\Delta$ 3. řádu musí být upraveny rov. 5.1 až 5.3. pomocí rov. 5.8. Pro jednotlivé výstupy integrátorů platí

$$x_1 = (Xb_1 - Ya_1) \frac{z^{-1}}{1 - z^{-1}} c_1 + N_1 \frac{1 + z^{-1}(c_1 - 1)}{1 - z^{-1}}, \quad (5.9)$$

$$x_2 = (Xb_2 + x_1 - Ya_2) \frac{z^{-1}}{1 - z^{-1}} c_2 + N_2 \frac{1 + z^{-1}(c_2 - 1)}{1 - z^{-1}}, \quad (5.10)$$

$$x_3 = (Xb_3 + x_2 - Ya_3) \frac{z^{-1}}{1 - z^{-1}} c_3 + N_3 \frac{1 + z^{-1}(c_3 - 1)}{1 - z^{-1}}. \quad (5.11)$$

Dosazením rov. 5.9 až 5.11 do rov. 5.4 jsou získány *NTF* a *STF*, které jsou stejné jako v rov. 5.5 a 5.6. a dále jsou získány přenosy jednotlivých napěťových nesymetrií $N_1 - N_3$ na výstup modulátoru *Y* (rov. 5.12 – 5.14)

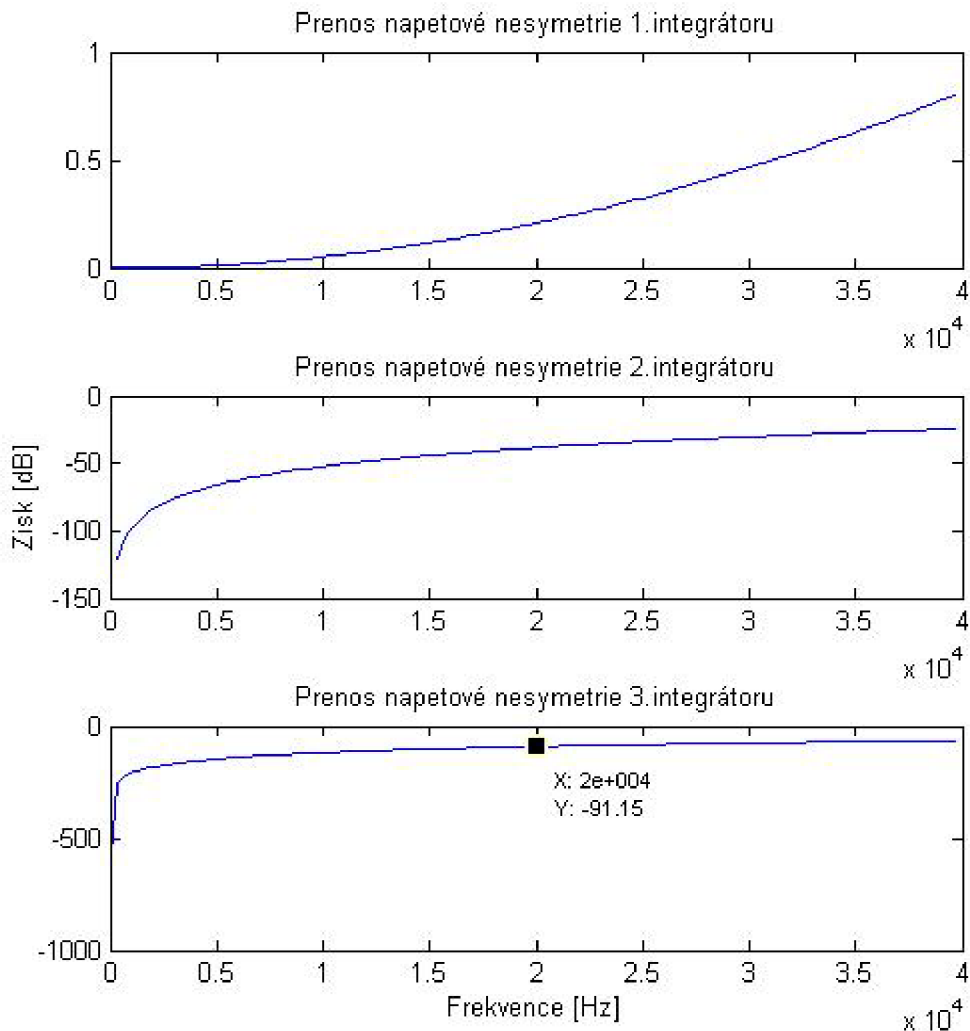
$$\frac{Y}{N_1} = \frac{C_2 C_3 (z + c_2 - 1)}{z^3 + z^2 (v_3 - 3) + z(3 - 2u_3 + u_2) + (v_1 - v_2 + v_3 - 1)}, \quad (5.12)$$

$$\frac{Y}{N_2} = \frac{C_3 (z + c_2 - 1)(z - 1)}{z^3 + z^2 (v_3 - 3) + z(3 - 2u_3 + u_2) + (v_1 - v_2 + v_3 - 1)}, \quad (5.13)$$

$$\frac{Y}{N_3} = \frac{(z + c_3 - 1)(z - 1)^2}{z^3 + z^2 (v_3 - 3) + z(3 - 2u_3 + u_2) + (v_1 - v_2 + v_3 - 1)}. \quad (5.14)$$

Na obr. 5.5 je detail přenosu jednotlivých napěťových nesymetrií OZ integrátorů s koeficienty uvedenými v kapitole 5.1.1. Je vidět, že nejkritičtějším místem v modulátoru je 1. integrátor, jehož napěťová nesymetrie je přenesena na výstup a degraduje tak *SNR*. Z obr. 5.5 plyne, že stejnosměrná složka napěťové nesymetrie 2. a 3. integrátoru je potlačena s útlumem více jak

100 dB, tzn. že nemá vliv na SNR modulátoru. Z obr. 5.5 je dále patrné, že 2. a 3. integrátor potlačuje i střídavou složku napěťové nesymetrie.

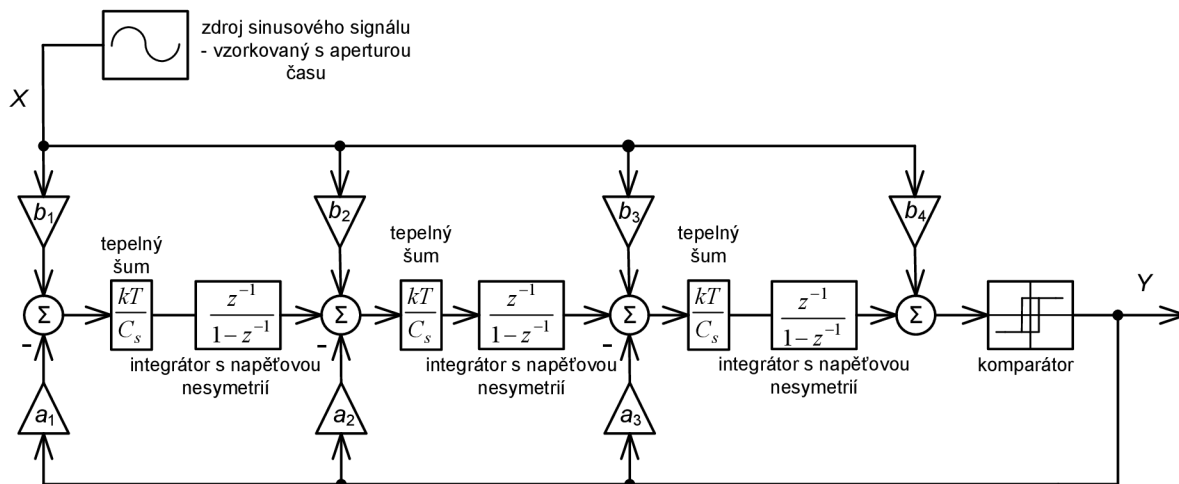


Obr. 5.5 Přenos napěťové nesymetrie OZ jednotlivých integrátorů

5.3 Reálný model navrženého modulátoru $\Sigma\Delta$ 3. řádu

Reálný model modulátoru sigma-delta 3. řádu simulovaný v prostředí MATLAB SIMULINK je zobrazen na obr. 5.6. Byly simulovány tyto reálné vlastnosti: vzorkování s aperturou času, tepelný šum vznikající v obvodech SC, mezní doba přeběhu OZ, konečné zesílení OZ, stejnosměrné zesílení OZ a vliv vstupní napěťové nesymetrie OZ. Byl použit

model integrátoru z obr. 5.4. V tab. 5.2 je uvedeno srovnání *SNR* a *ENOB* navrženého modulátoru $\Sigma\Delta$ 3. řádu v závislosti na parametrech modulátoru.

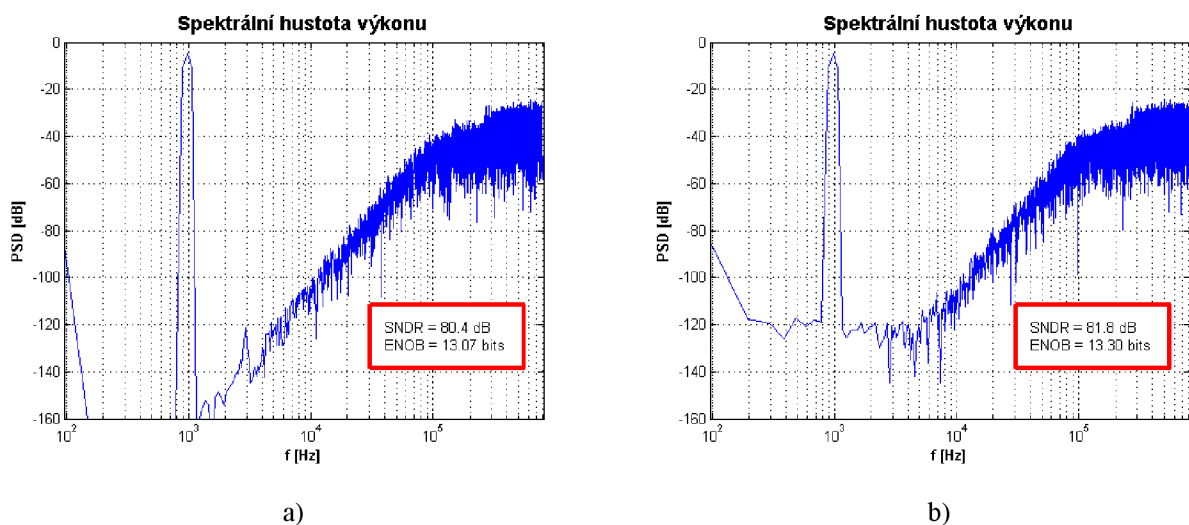


Obr. 5.6 Reálný model modulátoru $\Sigma\Delta$ 3. řádu v prostředí MATLAB SIMULINK

Tab. 5.2 Srovnání *SNR* a *ENOB* navrženého modulátoru $\Sigma\Delta$ 3. řádu v závislosti na parametrech modulátoru

		OSR = 64		OSR = 128	
		SNR [dB]	ENOB [bitů]	SNR [dB]	ENOB [bitů]
ideální model		83,5	13,58	104,3	17,04
apertura času 20 ps		83,1	13,51	103,8	16,95
tepelný šum, $C_s = 670$ fF, $T = 300$ K		83,1	13,51	100,1	16,33
OZ - GBW = 20 MHz, SR = 16V/μs, A = 84 dB		83,3	13,33	99,0	16,15
vstupní napěťová nesymetrie OZ	1 mV	61,7	9,96	61,8	9,97
	500 μV	67,7	10,95	67,8	10,97
	200 μV	75,0	12,17	75,7	12,29
	100 μV	80,4	13,07	81,8	13,30
	50 μV	81,9	13,31	87,7	14,27
veškeré neidealities, vstupní napěťová nesymetrie 100 μV		79,9	12,99	81,8	13,3
veškeré neidealities, vstupní napěťová nesymetrie 50 μV		81,6	13,26	87,5	14,25

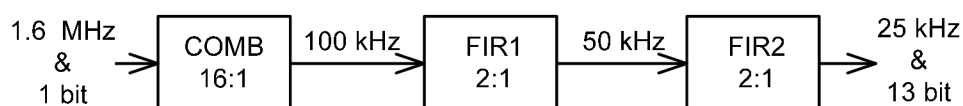
Je patrné, že největší vliv na SNR má vstupní napěťová nesymetrie OZ. Aby bylo dosaženo $ENOB$ 13 bitů, musí být vstupní napěťová nesymetrie OZ menší jak $100 \mu V$. Vstupní napěťová nesymetrie OZ má tak velký vliv na SNR , že rozdíly v SNR při použití koeficientu převzorkování 64 a 128 téměř mizí. Simulace potvrdily, že vstupní napěťová nesymetrie OZ má vliv pouze u prvního integrátoru. Pokud se zvýší vstupní napěťová nesymetrie OZ u 2. a 3. integrátoru, SNR poklesne pouze o několik setin dB. Při simulacích bylo zjištěno, že na SNR nemá vliv vstupní napěťová nesymetrie komparátoru ani jeho případná hystereze. Na obr. 5.7 jsou uvedeny grafy spektrální hustoty výkonu na výstupu reálného modelu modulátoru $\Sigma\Delta$ 3. řádu pro vstupní napěťovou nesymetrii $100 \mu V$.



Obr. 5.7 Spektrální hustota výkonu na výstupu reálného modelu modulátoru $\Sigma\Delta$ 3. řádu se vstupní napěťovou nesymetrií OZ $100 \mu V$ a) OSR = 64 b) OSR = 128

5.4 Návrh decimačního filtru

Decimační filtr není výhodné realizovat jako jeden celek. Mnohem výhodnější je rozdělit filtr na několik dílčích filtrů, tak jak bylo popsáno v kap. 4.4. Parametry decimačního filtru jsou uvedeny v tab. 5.3. Pokud by tento filtr byl realizován jako jeden celek, byl by jeho řád vyšší jak 3500. Takový filtr by byl velice obtížně realizovatelný, měl by značnou velikost na čipu a také spotřebu.

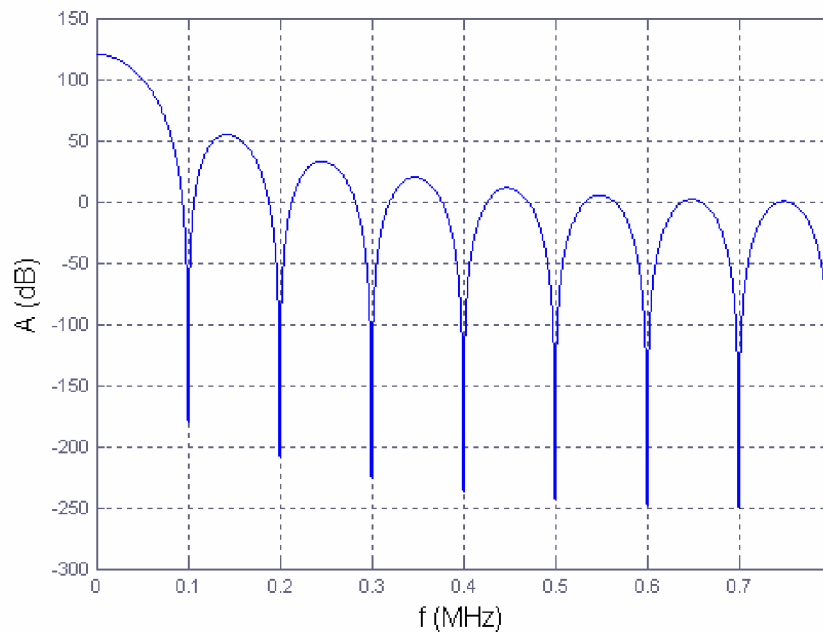


Obr. 5.8 Struktura decimačního filtru

Tab 5.3 Parametry decimačního filtru

vzorkovací kmitočet f_s	1,6 MHz
decimační faktor D	64
zpracovávané pásmo f_{pass}	10 kHz
konečný kmitočet f_{stop}	12,5 kHz
maximální zvlnění δ_p	0,0005 dB
hladina zisku A_{stop} při $f > f_{\text{stop}}$	> -90 dB
rozlišení vstupního signálu	1 bit
rozlišení výstupního signálu	13 bitů

Decimační filtr je proto realizován ze tří filtrů, tak jak je uvedeno obr. 5.8. První stupeň filtru je realizován filtrem comb. Výhodou tohoto filtru je, že pro realizaci nejsou potřeba žádné násobičky. Navržený filtr má decimační faktor $D = 16$. Řád filtru musí být alespoň o jeden vyšší než je řád modulátoru. Proto byl zvolen řád filtru 5.

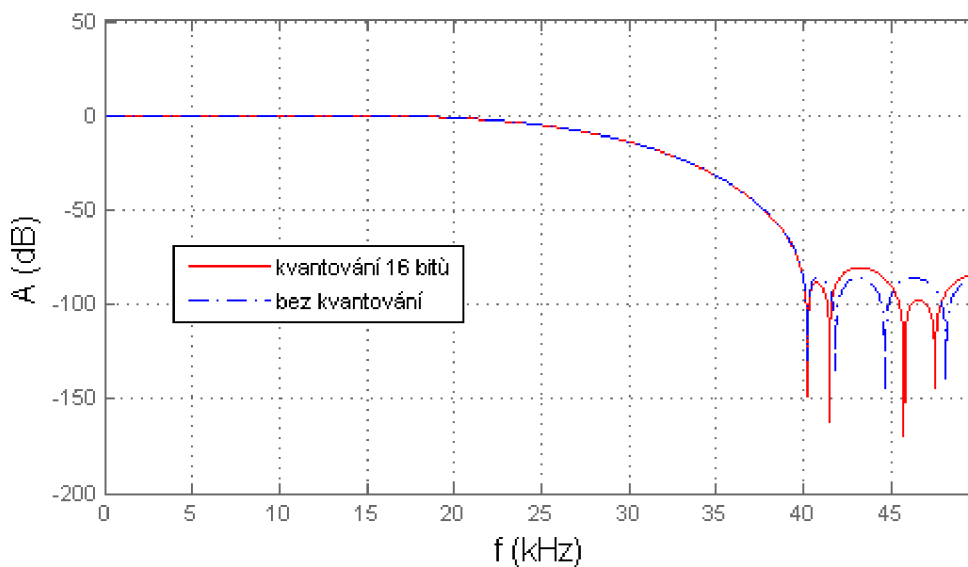


Obr.5.9 Navržený comb filtr 5. řádu

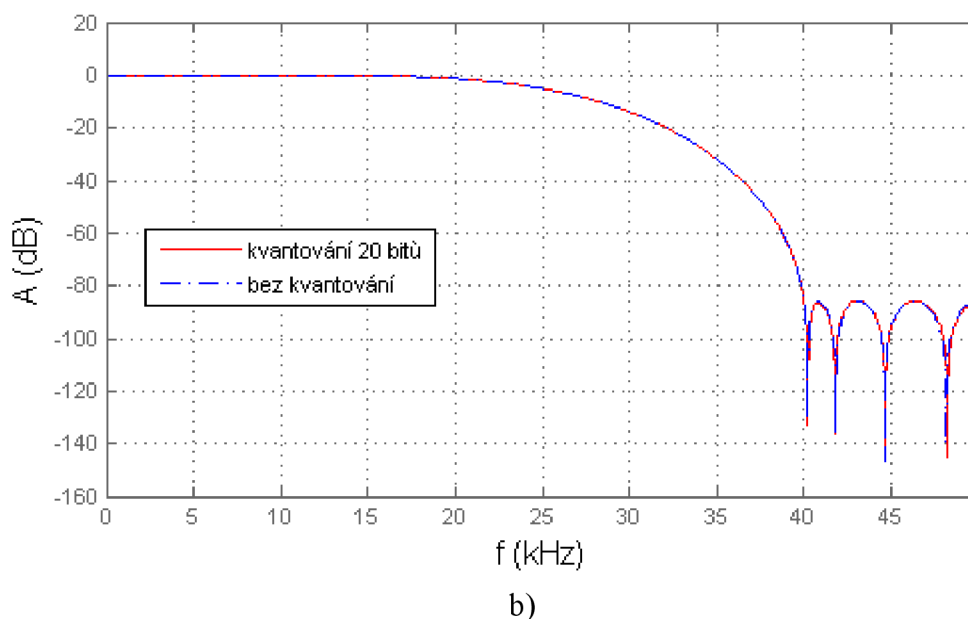
Za filtrem comb jsou zařazeny dva filtry FIR typu dolní propust. Realizace by byla možná pouze s jedním filtrem, ale výhodnější je filtr rozdělit na dva. Celkový řád filtru je pak nižší. Parametry filtru FIR1 a FIR2 jsou uvedeny v tab. 5.4

Tab. 5.4 Parametry filtru FIR1 a FIR2

	FIR1	FIR2
vzorkovací kmitočet f_s	100 kHz	50 kHz
decimační faktor D	2	2
zpracovávané pásmo f_{pass}	10 kHz	10 kHz
konečný kmitočet f_{stop}	40 kHz	12,5 kHz
maximální zvlnění δ_p	0,0002 dB	0,0002 dB
hladina zisku A_{stop} při $f > f_{\text{stop}}$	> -90 dB	> -90 dB



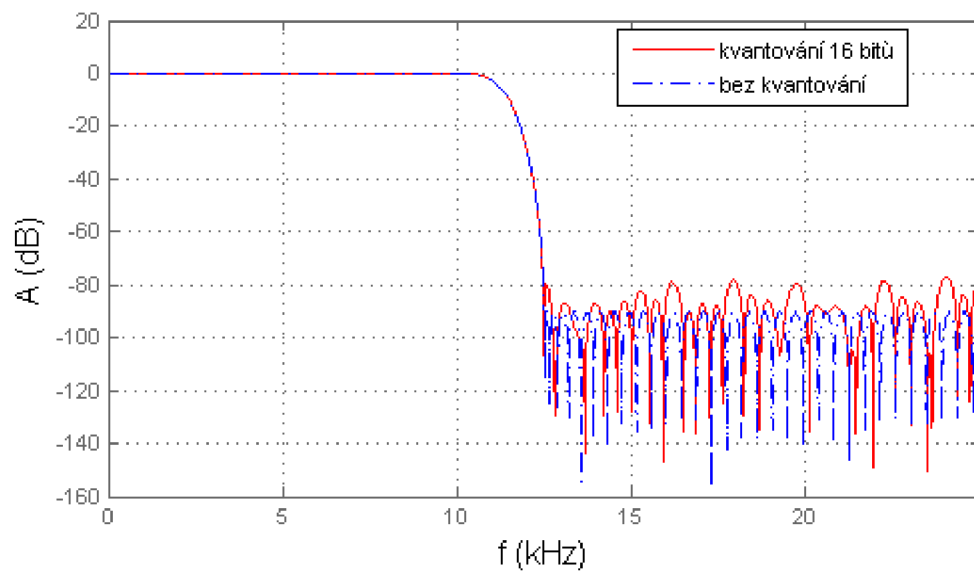
a)



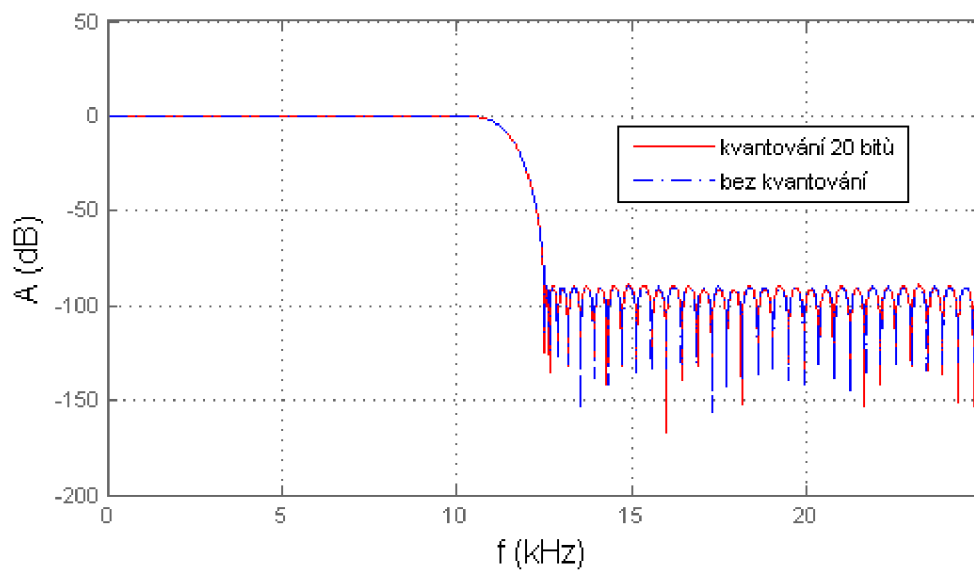
Obr. 5.10 Kmitočtová charakteristika filtru FIR1 a) kvantování 16 bitů b) kvantování 20 bitů

Na obr. 5.10 jsou uvedeny kmitočtové charakteristiky navrženého filtru FIR1. Aby bylo možné filtr realizovat v číslicové podobě je nutné, aby koeficienty byly kvantovány. Z obr. 5.10 je vidět, že 16 bitové kvantování koeficientů je nedostačující. Aby měl realizovaný filtr kmitočtovou charakteristiku co nejvíce shodnou s ideální charakteristikou musí mít koeficienty alespoň 20 bitové rozlišení. Kmitočtové charakteristiky navrženého filtru FIR2 jsou zobrazeny na obr. 5.11.

Filtry byly navrženy v nástroji *Filter Design & Analysis Tool*, který je součástí programu MATLAB. Tento nástroj také umožňuje kvantování koeficientů filtru a jejich export do souboru, tak aby byly použitelné při realizaci filtru v jazyku VHDL. Filtry typu FIR mají symetrické koeficienty. To je obrovská výhoda při realizaci, protože je možné snížit počet násobiček pro realizaci filtru na polovinu.



a)



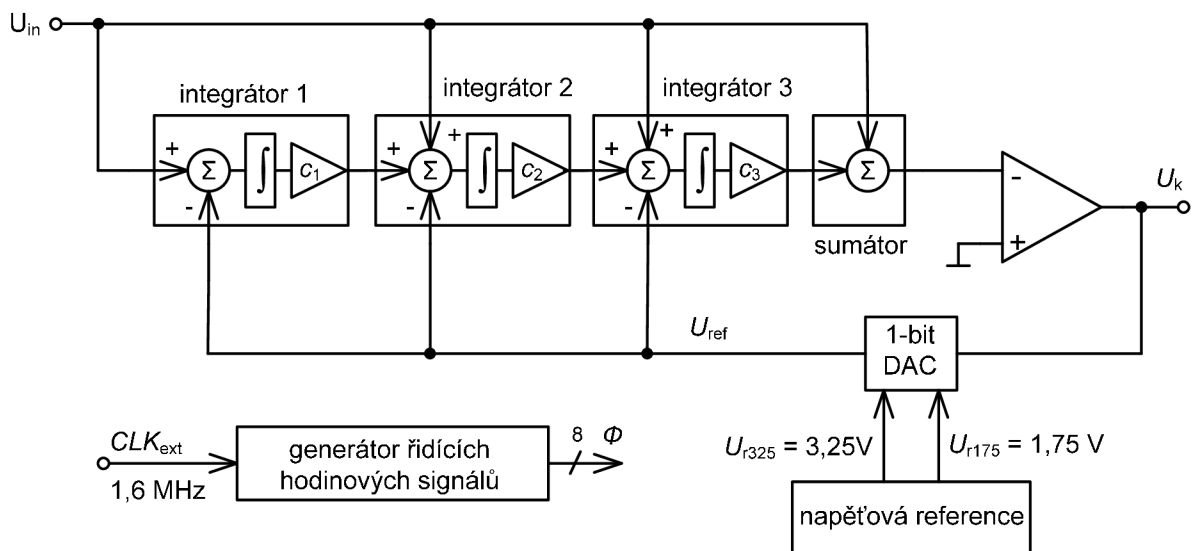
b)

Obr. 5.11 Kmitočtová charakteristika filtru FIR2 a) kvantování 16 bitů b) kvantování 20 bitů

6 Návrh jednotlivých bloků modulátoru $\Sigma\Delta$ 3. řádu na tranzistorové úrovni

6.1 Blokové schéma modulátoru $\Sigma\Delta$ 3.řádu

Blokové schéma modulátoru $\Sigma\Delta$ 3. řádu vychází z modelu modulátoru na obr. 5.1. Blokové schéma je uvedeno na obr. 6.1. Modulátor je složen ze tří integrátorů, sumačního zesilovače, komparátoru, 1-bitového AD převodníku, ke kterému je připojeno referenční napětí generované v bloku napěťové reference. Obvody využívající techniku SC, tzn. integrátory a sumační zesilovač jsou řízeny hodinovými signály, které jsou generovány z jednoho externího hodinového signálu CLK_{ext} v bloku generátor řídicích hodinových signálů. Podrobný popis jednotlivých bloků je uveden v následujících podkapitolách.

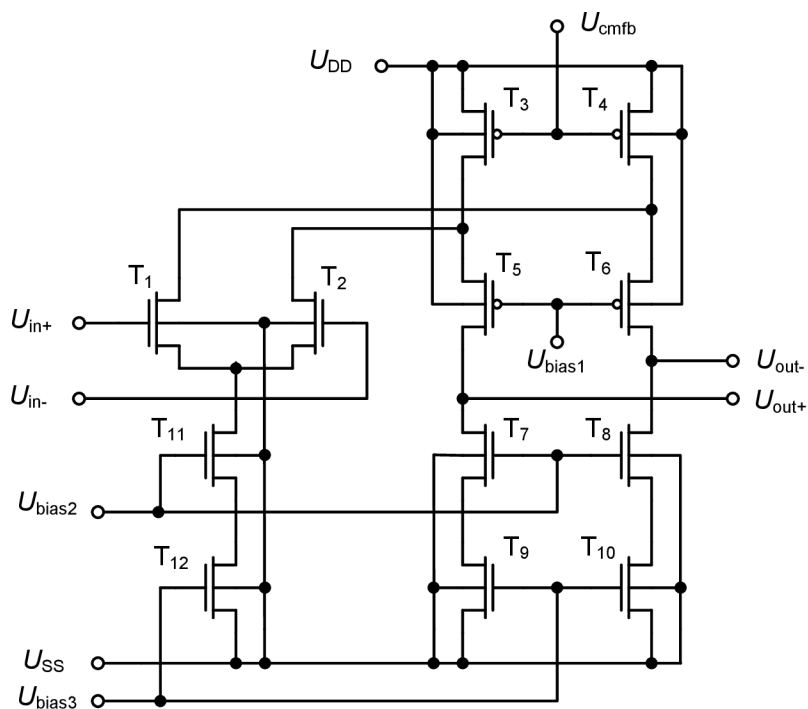


Obr. 6.1 Blokové schéma navrženého modulátoru $\Sigma\Delta$

6.2 Plně diferenční operační zesilovač

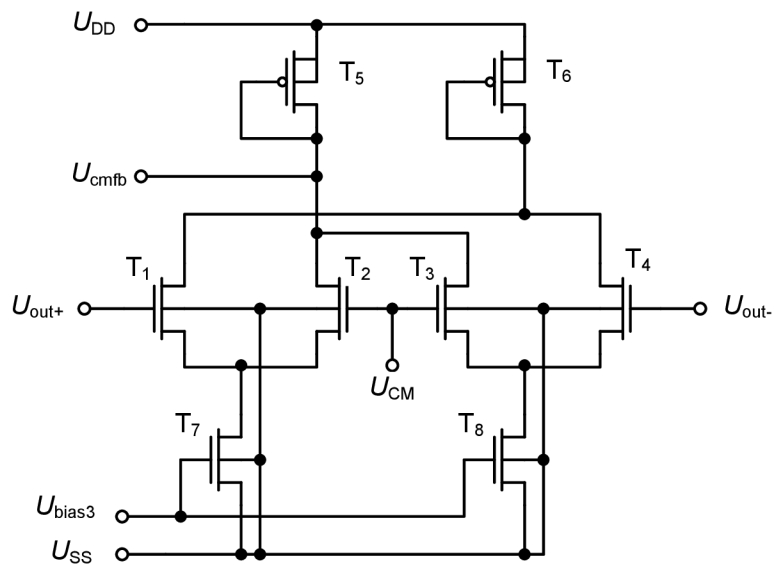
Jedním z nejdůležitějších stavebních bloků modulátoru sigma-delta, ale i dalších analogových obvodů, je operační zesilovač. V obvodech SC je potřeba kompenzovat injekci náboje ze spínačů s tranzistory MOS. Nejlepších výsledků kompenzace dosahuje plně diferenční zapojení. Proto musel být navržen plně diferenční operační zesilovač. Nejčastěji používaným operačním zesilovačem v obvodech SC je struktura složené kaskody [1]. Použitá struktura složené kaskody je uvedena na obr. 6.2. Tato struktura má dostatečně velký zisk,

kteřý zajišťuje vysoký výstupní odpor kaskodových proudových zrcadel T_7, T_9 a T_8, T_{10} . Mezní kmitočet je dán transkonduktancí diferenčního páru T_1, T_2 . Tranzistory T_1, T_2 mají velký poměr W/L , který zajistí velkou transkonduktanci a také dobrý matching tranzistoru, který má vliv na celkovou vstupní napěťovou nesymetrii OZ.



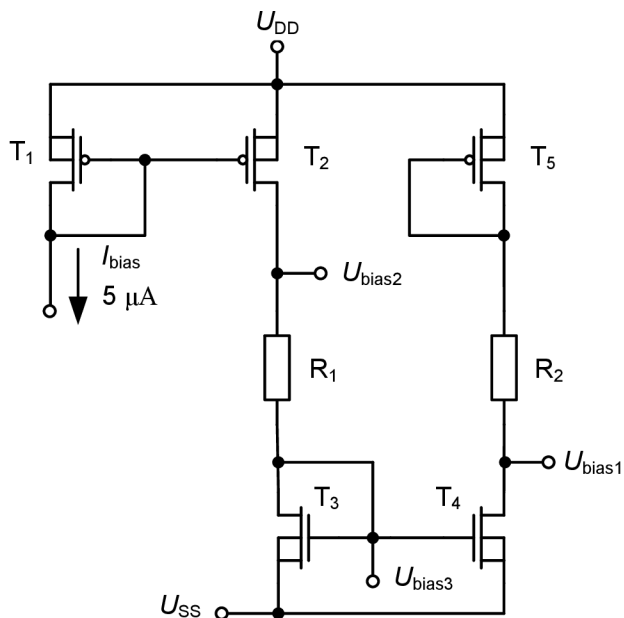
Obr. 6.2 Struktura složené kaskody

Protože plně diferenční zesilovač nemá přesně definované souhlasné napětí na výstupu, musí obsahovat další podpůrné obvody k jeho nastavení. Pro nastavení a udržení souhlasného napětí na výstupu slouží obvod CMFB zobrazený na obr. 6.3. Obvod CMFB porovnává výstupní napětí U_{out+} a U_{out-} se souhlasným napětím U_{CM} a pomocí napětí U_{cmfb} řídí úbytek napětí na tranzistorech T_3 a T_4 v obvodu složené kaskody tak, aby se rozkmit výstupního napětí U_{out+} a U_{out-} pohyboval rovnoměrně okolo souhlasného napětí U_{CM} [3]. Souhlasné napětí U_{CM} má hodnotu jedné poloviny napájecího napětí, tedy 2,5 V. Protože se jedná o zpětnovazební zapojení, musí být vyšetřena stabilita této zpětnovazební smyčky. Výsledek simulace rozpojené zpětnovazební smyčky obvodu CMFB je uveden v příloze P2. Fázová bezpečnost této zpětnovazební smyčky obvodu CMFB je 54° .



Obr. 6.3 Obvod CMFB pro nastavení souhlasného napětí na výstupu OZ

Na obr. 6.4 je uveden obvod pro generování klidových proudů OZ. Obvod je řízen proudem o velikosti $5 \mu\text{A}$, který je dále zrcadlen do několika větví, kde generuje příslušná napětí. Napětí $U_{\text{bias}1-3}$ musí být nastavena tak, aby všechny tranzistory v proudových zrcadlech pracovaly v saturačním režimu a to i při změně teploty a technologických parametrů.

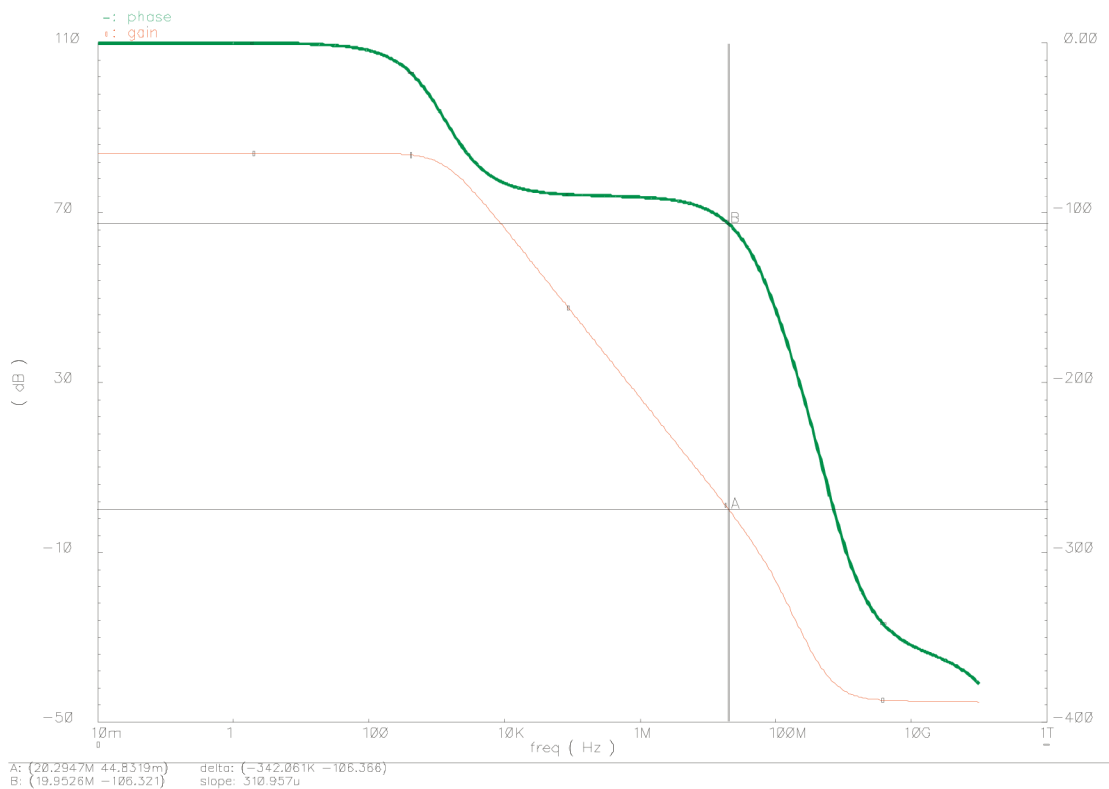


Obr. 6.4 Obvod pro generování klidových proudů OZ

Tab. 6.1 Napětí pro nastavení pracovního bodu OZ

U_{bias1}	3,21 V
U_{bias2}	1,64 V
U_{bias3}	1,01 V

Kompletní schéma zapojení navrženého plně diferenčního OZ je uvedeno v příloze P12. Na obr. 6.5 je uvedena kmitočtová a fázová charakteristika navrženého plně diferenčního OZ. Operační zesilovač má mezní kmitočet 20 MHz a fázovou bezpečnost 73°. Mezní doba přeběhu je 16 V/μs. Průběhy ze simulace mezní doby přeběhu jsou uvedeny v příloze P1. Zesílení na nízkých kmitočtech je 84 dB. Tyto parametry jsou simulovány pro typické parametry tranzistorů, rezistorů a kapacitorů. Po simulaci s rozptylem technologických parametrů tranzistorů a teploty v rozmezích 0 °C – 70 °C je minimální mezní kmitočet 16 MHz a fázová bezpečnost 67°. Amplitudová bezpečnost navrženého OZ je -21,3 dB. Zesilovač je navržen pro maximální zatěžovací kapacitu 10 pF.



Obr. 6.5 Kmitočtová a fázová charakteristika navrženého OZ

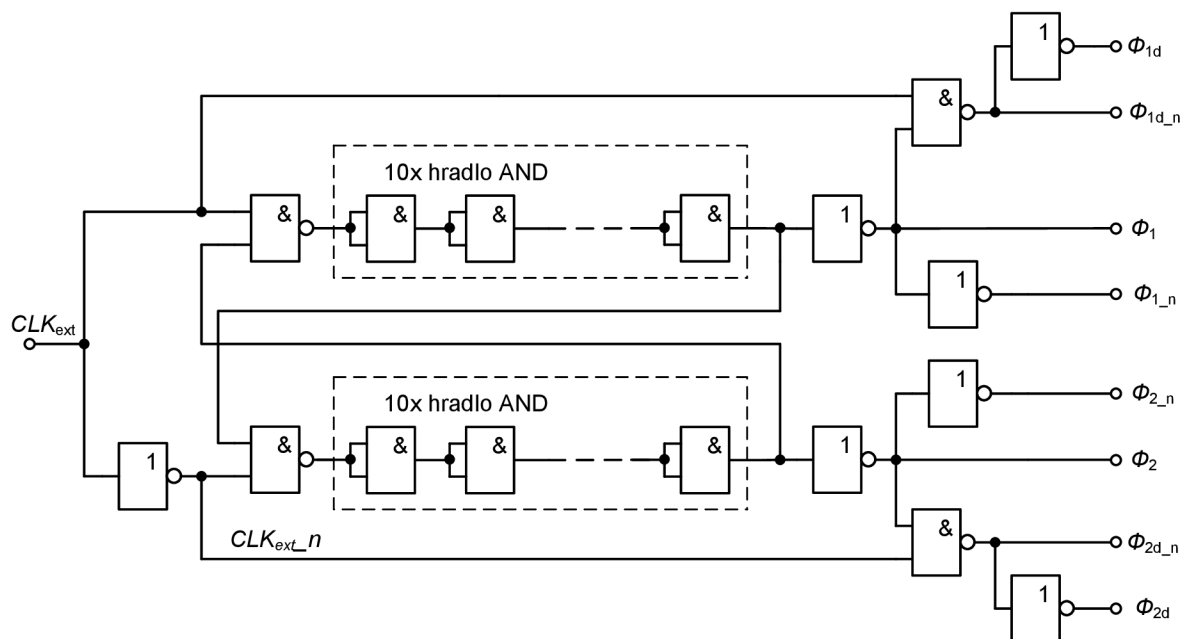
Celkový proudový odběr navrženého plně diferenčního OZ je 675 μA . Při napájecím napětí 5 V je celková spotřeba OZ 3,375 mW.

Tab 6.2 Vlastnosti navrženého plně diferenčního OZ

zesílení A_0	84 dB	mezí kmitočet f_T	16 MHz
fázová bezpečnost	67°	amplitudová bezpečnost	-21,3 dB
mezí doba přeběhu SR při C_{load} 10 pF	16 V/ μs	zatěžovací kapacita C_{load}	10 pF
rozsah vstupního napětí ICMR	1,4 - 5 V	rozsah výstupního napětí	1 - 4 V
potlačení souhlasného napětí CMRR	-160 dB	potlačení změn napájecího napětí PSRR	-160 dB
proudový odběr	625 μA	příkon při $U_{DD} = 5\text{V}$	3,375 mW
vstupní napěťová nesymetrie	7 mV	teplotní rozsah	0 - 70 $^\circ\text{C}$

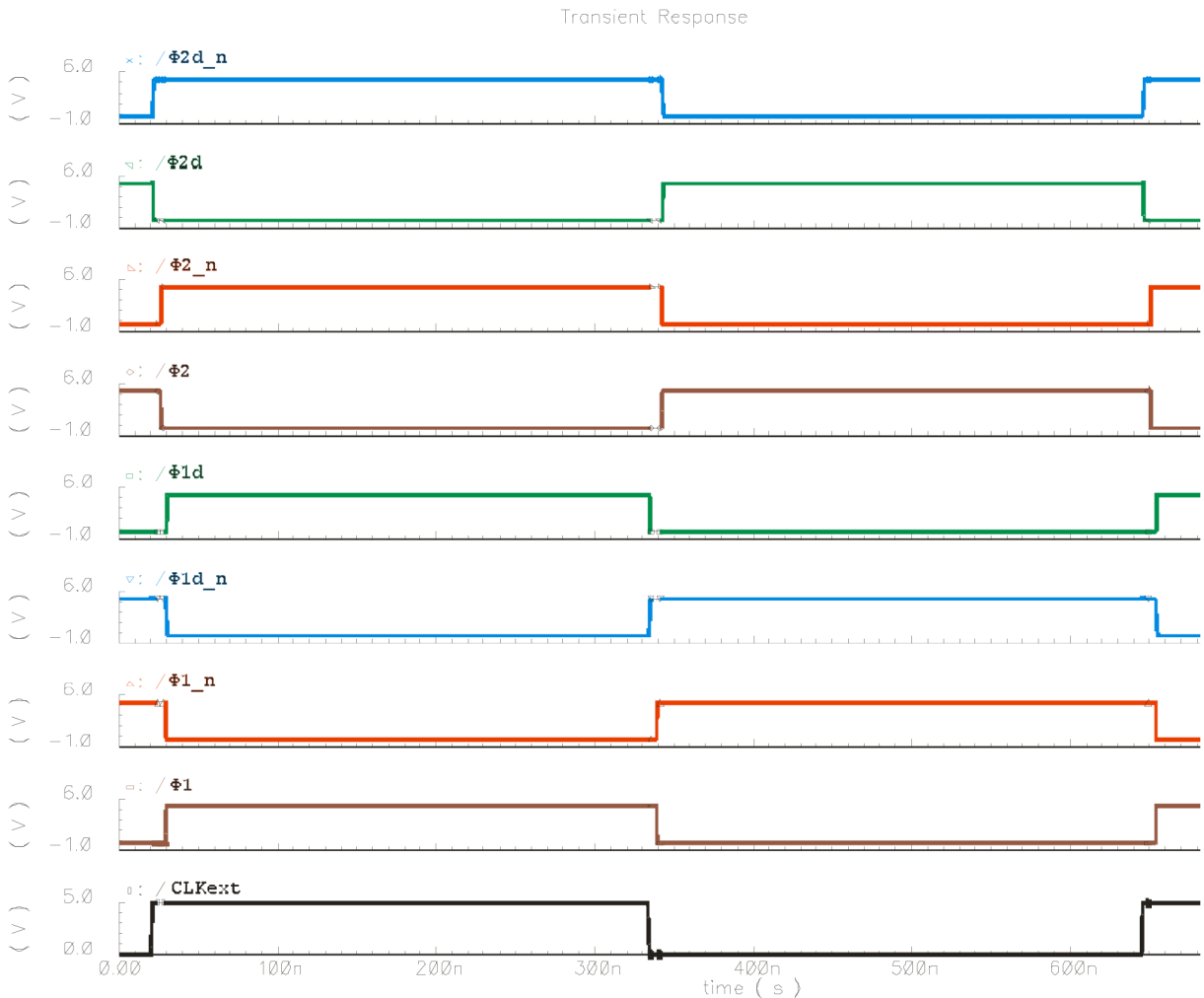
6.3 Generátor řídicích hodinových signálů

Generátor řídicích hodinových signálů zobrazený na obr. 6.6 generuje celkem 8 řídicích signálů. Je to z důvodu použití techniky vzorkování spodní elektrody [6] ke kompenzaci



Obr. 6.6 Generátor nepřekrývajících se řídicích hodinových signálů

injekce náboje ze spínačů s tranzistory MOS. Tato technika vyžaduje 2 řídicí signály v každé fázi (kap. 3.2). Tzn. že potřebuje celkem 4 nezávislé řídicí signály. Protože jsou spínače realizovány komplementárním zapojením tranzistorů MOS, které potřebuje také invertovaný řídicí signál, je počet řídicích signálů zdvojnásoben na celkových 8 signálů.



Obr. 6.7 Časové průběhy jednotlivých řídicích signálů

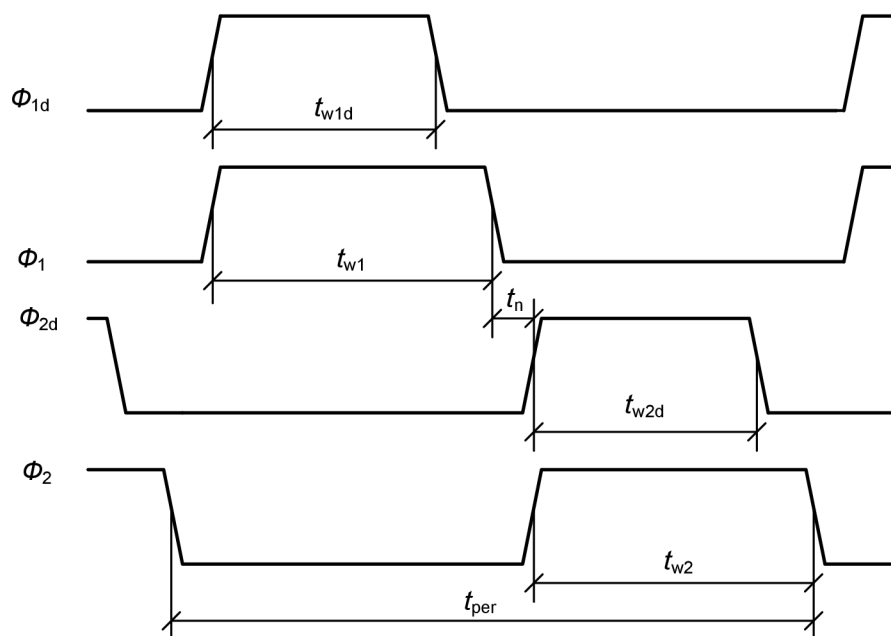
Nepřekrývání hodinových signálů Φ_1 a Φ_2 je zajištěno zpožděním, které generují hradla AND zapojená jako invertor a zpětná vazba [6]. Generování zpoždění je tvořeno deseti hradly AND, protože mají větší zpoždění než invertory a ve výsledku je tak použito méně hradel. Signály Φ_{1d} a Φ_{2d} jsou odvozeny od signálů Φ_1 resp. Φ_2 a CLK_{ext} resp. CLK_{ext_n} . Signál Φ_{1d} je výsledkem logického součinu signálu Φ_1 a CLK_{ext} a signál Φ_{2d} je výsledkem logického součinu signálu Φ_2 a CLK_{ext_n} . Simulované časové průběhy jednotlivých řídicích signálů jsou uvedeny na obr. 6.7. Spínače s tranzistory MOS představují pro generátor

řidicích hodinových signálů kapacitní zátěž. Na výstupu jsou proto použita hradla, která mohou být zatížena větší kapacitou.

Parametry navrženého generátoru řidicích hodinových signálů jsou uvedeny v tab. 6.3. Význam jednotlivých časových parametrů vysvětluje obr. 6.8.

Tab 6.3 Parametry navrženého generátoru řidicích hodinových signálů

t_{per} [ns]	t_{w1} [ns]	t_{w1d} [ns]	t_{w2} [ns]	t_{w1d} [ns]	t_{n} [ns]
625	310	305,5	308,6	303,9	4,6



Obr. 6.8 Nepřekrývající se řidicí hodinové signály

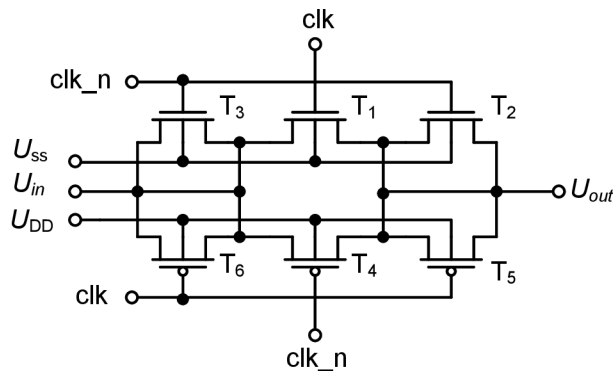
6.4 Obvody využívající techniku SC

V této části budou popsány obvody využívající techniku SC a to integrátor, sumátor a také zapojení spínače, který je nedílnou součástí obvodů realizovaných v technice SC.

6.4.1 Zapojení spínače

Aby bylo možné spínat napětí v celém rozsahu napájecího napětí, spínač tvoří komplementární zapojení tranzistorů MOS. Schéma spínače je uvedeno na obr. 6.9. Spínací

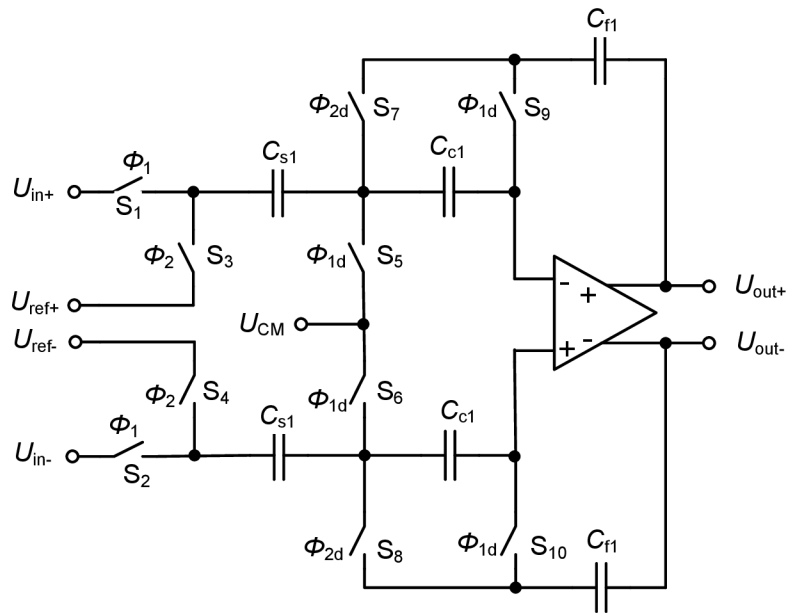
tranzistory jsou T_1 a T_4 a jsou doplněny o „dummy“ tranzistory T_2, T_3 a T_5, T_6 , které zlepšují potlačení injekce náboje spínacích tranzistorů. Tranzistory T_2, T_3 mají poloviční poměr šířky a délky kanálu W/L než tranzistor T_1 a tranzistory T_5, T_6 mají poloviční poměr W/L než tranzistor T_4 . Spínač je řízen dvěma signály a to clk a jeho negovaným průběhem clk_n .



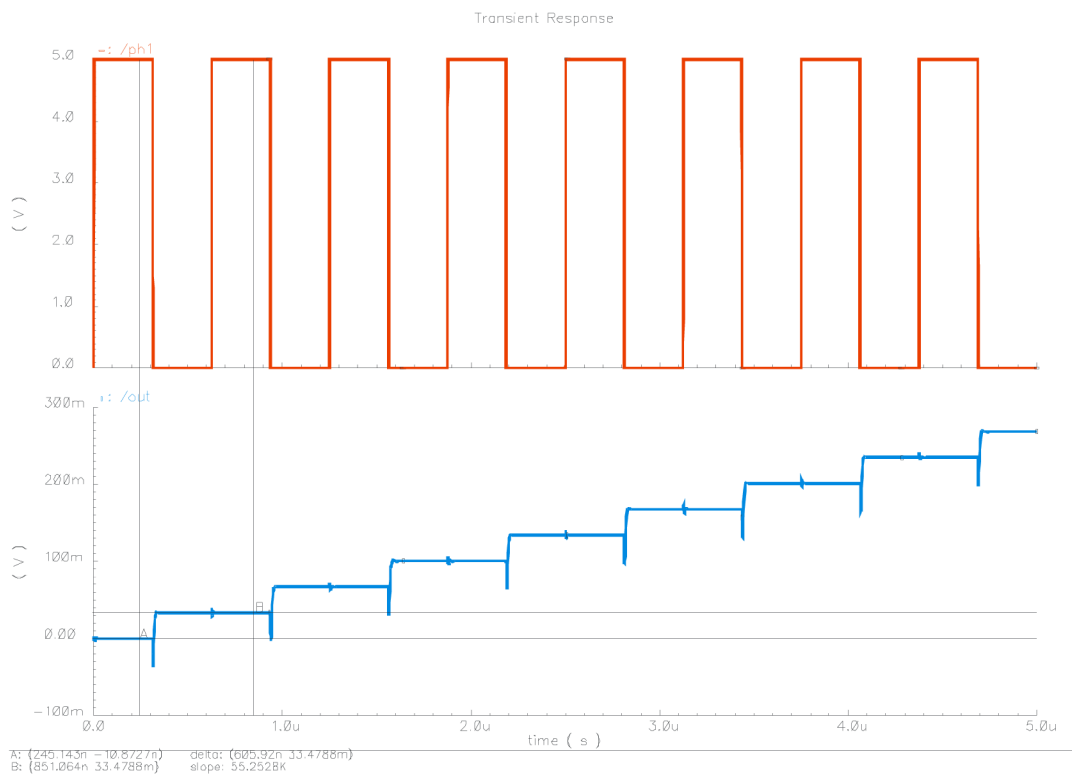
Obr. 6.9 Schéma použitého spínače

6.4.2 Integrátor

Schéma navrženého integrátoru 1 je na obr. 6.10. Jedná se o plně diferenční zapojení využívající navrženého OZ. Obvod integruje rozdíl vstupního a referenčního napětí $U_{in} - U_{ref}$ s integrační konstantou $c_1 = C_{s1}/C_{f1}$. V první fázi spínání Φ_1 se nabíjí vzorkovací kapacitor C_{s1} na hodnotu vstupního napětí. Zároveň jsou sepnuty spínače S_5, S_6 a S_9, S_{10} a kompenzační kapacitor C_{c1} se nabíjí na hodnotu napětí vstupní napěťové nesymetrie OZ [12]. Ve fázi spínání Φ_2 je od vstupního napětí, které je navzorkováno v kapacitoru C_{s1} , odečteno referenční napětí U_{ref} a také hodnota napětí vstupní napěťové nesymetrie OZ a výsledné napětí se objeví na výstupu U_{out} . Kapacitory pro kompenzaci vstupní napěťové nesymetrie C_{c1} mají stejnou velikost jako vzorkovací kapacitory C_{s1} [12]. Výstupní napětí je platné v první fázi spínání Φ_1 . Na obr. 6.11 je uveden výsledek simulace ověření činnosti integrátoru 1. Referenční napětí $U_{ref} = -100$ mV a vstupní napětí $U_{in} = 100$ mV. Při integrační konstantě $c_1 = 0,1675$ a uvedených vstupních napětí je rozdíl dvou po sobě jdoucích výstupních napětí 33,5 mV. V reálném zapojení je tato hodnota 33,478 mV, chyba je tedy 22 μ V. Napěťové špičky, které vznikají při přechodech jednotlivých fází spínání, jsou způsobeny tím, že řídicí hodinové signály se vzájemně nepřekrývají a na krátký časový okamžik trvající několik nanosekund jsou všechny spínače rozpojeny a výstupní napětí nemůže být přesně definováno.

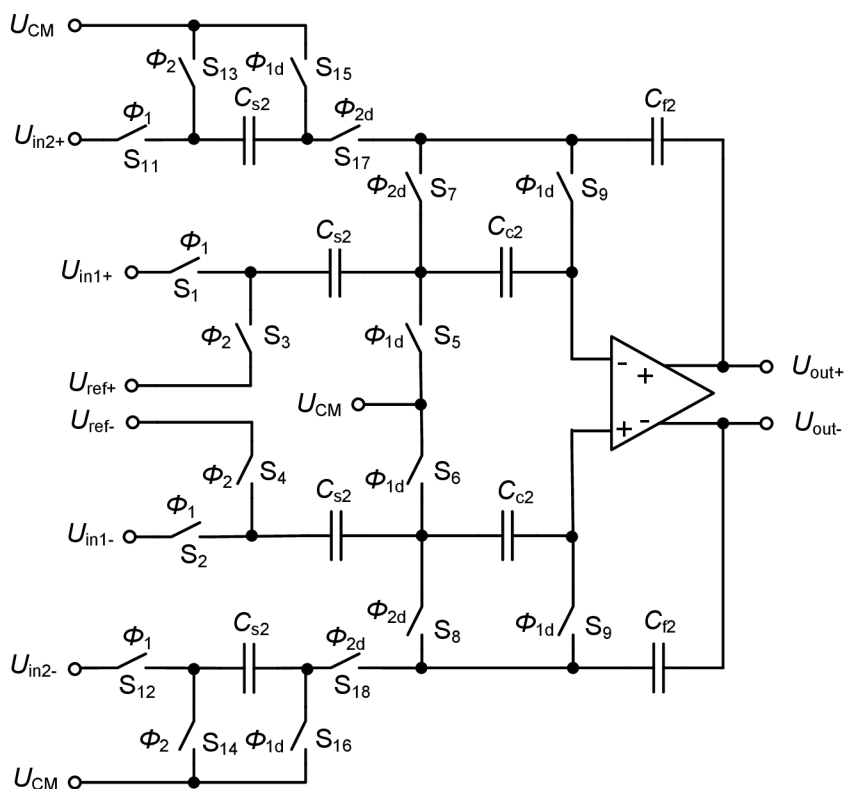


Obr. 6.10 Schéma integrátoru 1



Obr. 6.11 Výsledek simulace integrátoru 1

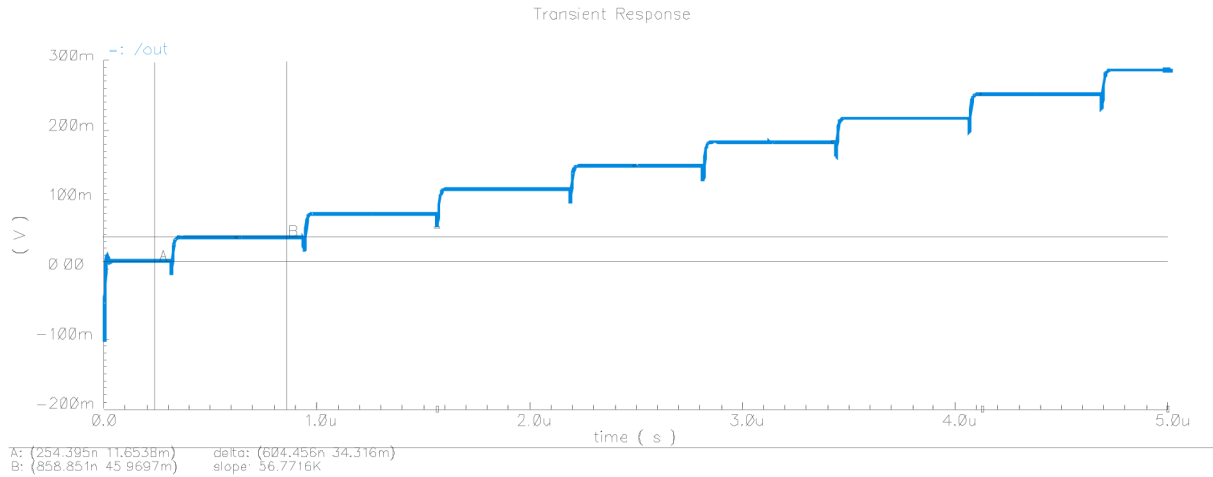
Kompenzace pronikání řídicího hodinového signálu ze spínačů s tranzistory MOS je provedena několika způsoby zároveň. Je použito plně diferenční zapojení integrátoru, pro spínání spínačů je použita technika vzorkování spodní elektrody [6].



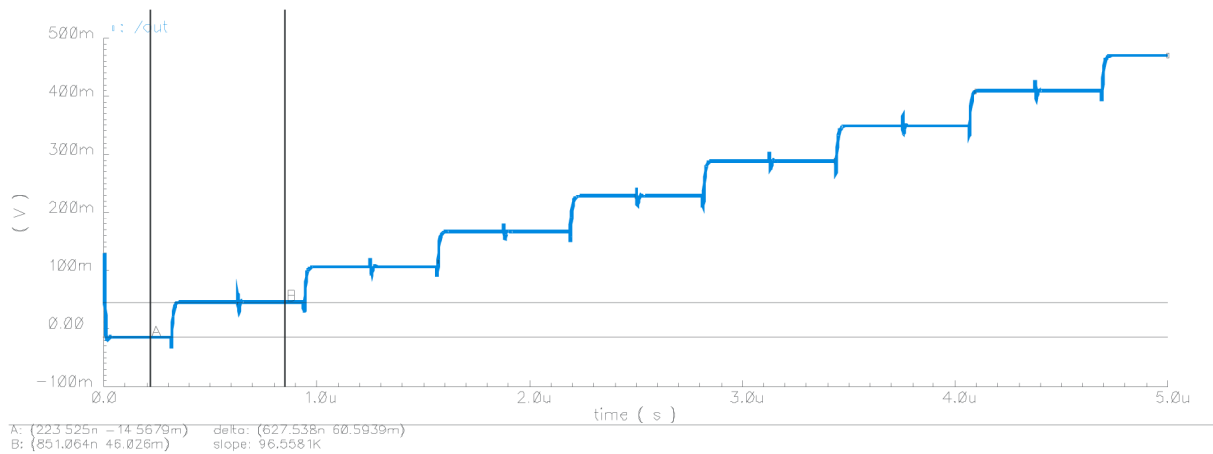
Obr. 6.12 Schéma integrátoru 2 a 3

Schéma integrátoru 2 a 3 je uvedeno na obr. 6.12. Oproti integrátoru 1 je integrátor 2 a 3 rozšířen o další vstup U_{in2} . Ve výsledku je integrováno napětí $U_{in1} + U_{in2} - U_{ref}$ s integrační konstantou $c_2 = C_{s2}/C_{f2}$ u integrátoru 2 a s integrační konstantou $c_3 = C_{s3}/C_{f3}$ u integrátoru 3. Integrační konstanta $c_2 = 0,3435$ $c_3 = 0,6064$. Na obr. 6.13 a 6.14 jsou výsledky simulací integrátoru 2 a 3. V případě simulace integrátoru 2 bylo nastaveno $U_{in1} = U_{in2} = U_{ref} = 100\text{mV}$. U integrátoru 3 bylo nastaveno $U_{in1} = U_{in2} = -50\text{ mV}$, $U_{ref} = -200\text{ mV}$. Tak jako integrátor 1 i integrátor 2 a 3 pracují s určitou chybou. U integrátoru 2 je to $19\text{ }\mu\text{V}$ a u integrátoru 3 je chyba $46\text{ }\mu\text{V}$. Chyba 3 integrátoru je sice 2 krát vyšší než u prvního a druhého integrátoru. Chyby integrátoru 2 a 3 však podléhají tvarování šumu prvního resp. druhého řádu a přesnost převodu převodníku AD typu $\Sigma\Delta$ neovlivňují. V přílohách P3 - P5 jsou

zobrazeny další výsledky simulací integrátorů. Hodnoty kapacitorů použité v jednotlivých obvodech integrátoru SC jsou uvedeny v tab. 6.4



Obr. 6.13 Výsledek simulace integrátoru 2



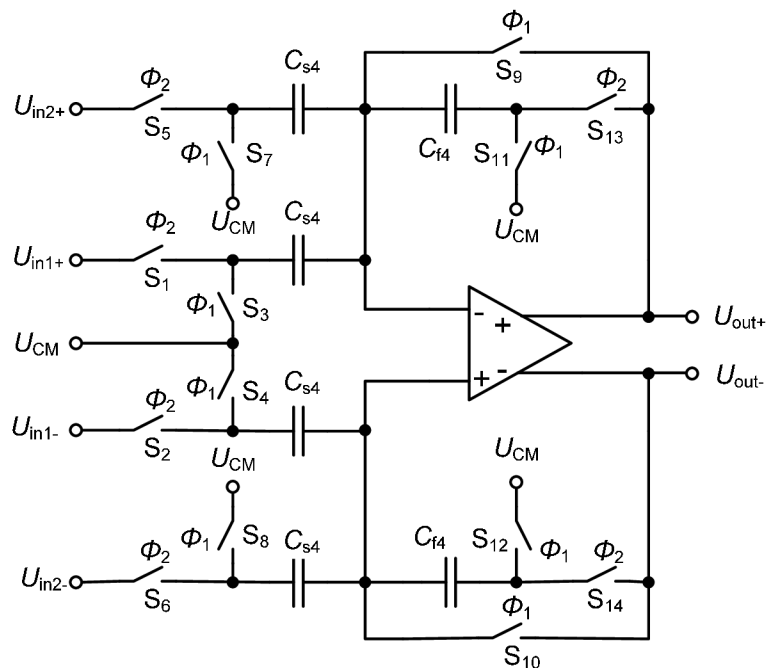
Obr. 6.14 Výsledek simulace integrátoru 3

Tab 6.4 Přehled hodnot kapacitorů integrátorů

	integr. konst. c	C_s [pF]	C_c [pF]	C_f [pF]
integrátor 1	0,1675	0,67	0,67	4
integrátor 2	0,3435	1,374	1,374	4
integrátor 3	0,6064	2,4256	2,4256	4

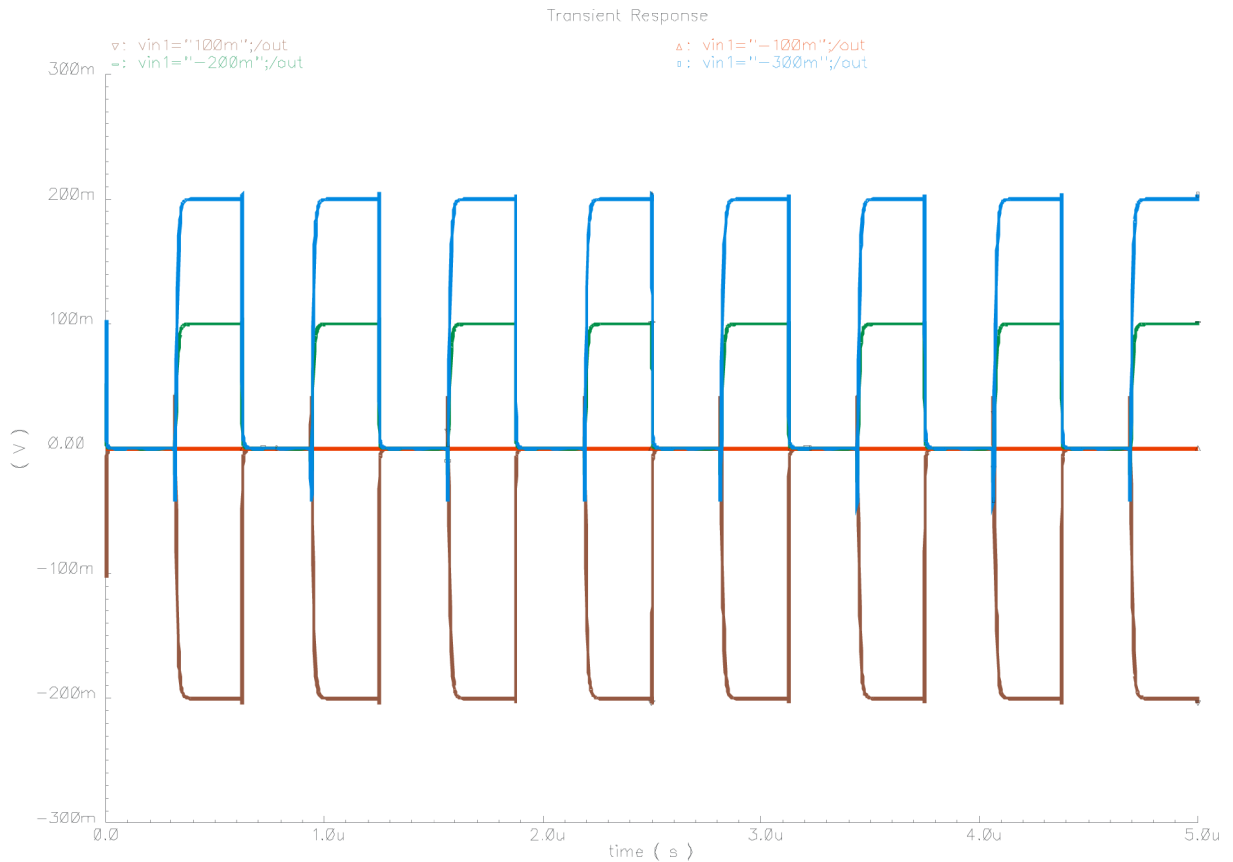
6.4.3 Sumátor

Posledním blokem využívající techniku SC je sumátor. Schéma je uvedeno na obr. 6.15. Obvod pracuje jako invertující sumační zesilovač s jednotkovým zesílením. Velikost zesílení je dána poměrem kapacitorů C_{s4}/C_{f4} . Ve fázi spínání Φ_1 je vybíjen kapacitor C_{s4} a zároveň je kapacitor C_{f4} nabíjen na hodnotu napětí vstupní napěťové nesymetrie OZ [4]. Ve fázi spínání Φ_2 je vstupní napětí vzorkováno do kapacitoru C_{s4} a zároveň přenášeno na výstup, kde je kapacitor C_{f4} z předchozí fáze nabit na hodnotu napětí rovnu vstupní napěťové nesymetrii, tzn. že dojde ke kompenzaci vstupní napěťové nesymetrie OZ.



Obr. 6.15 Schéma zapojení sumátoru

Na obr. 6.16 je uveden výsledek simulace sumátoru, kde U_{in1} je postupně nastavováno na 100 mV, -100 mV, -200 mV a -300 mV, $U_{in2} = 100$ mV. Z průběhů je patrné, že sumátor pracuje korektně. Je vidět, že výstup je aktivní ve fázi spínání Φ_2 . Kapacitory C_{f4} a C_{s4} mají hodnotu 4 pF.

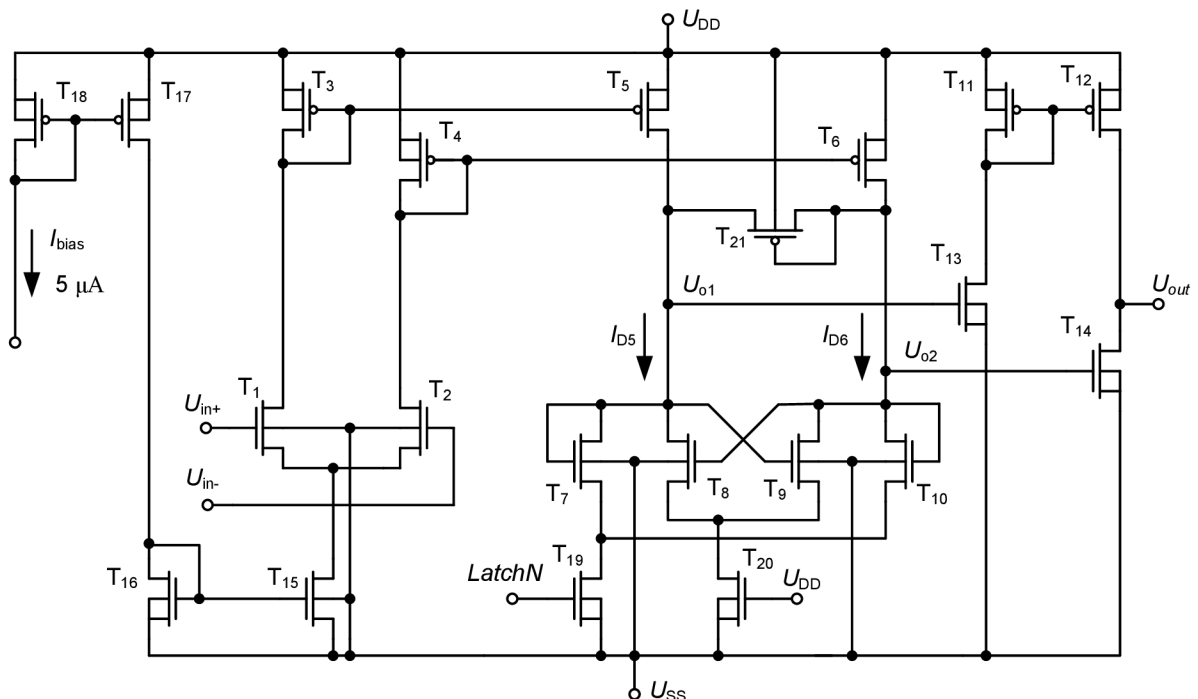


Obr. 6.16 Výsledky simulace sumátoru

6.5 Komparátor

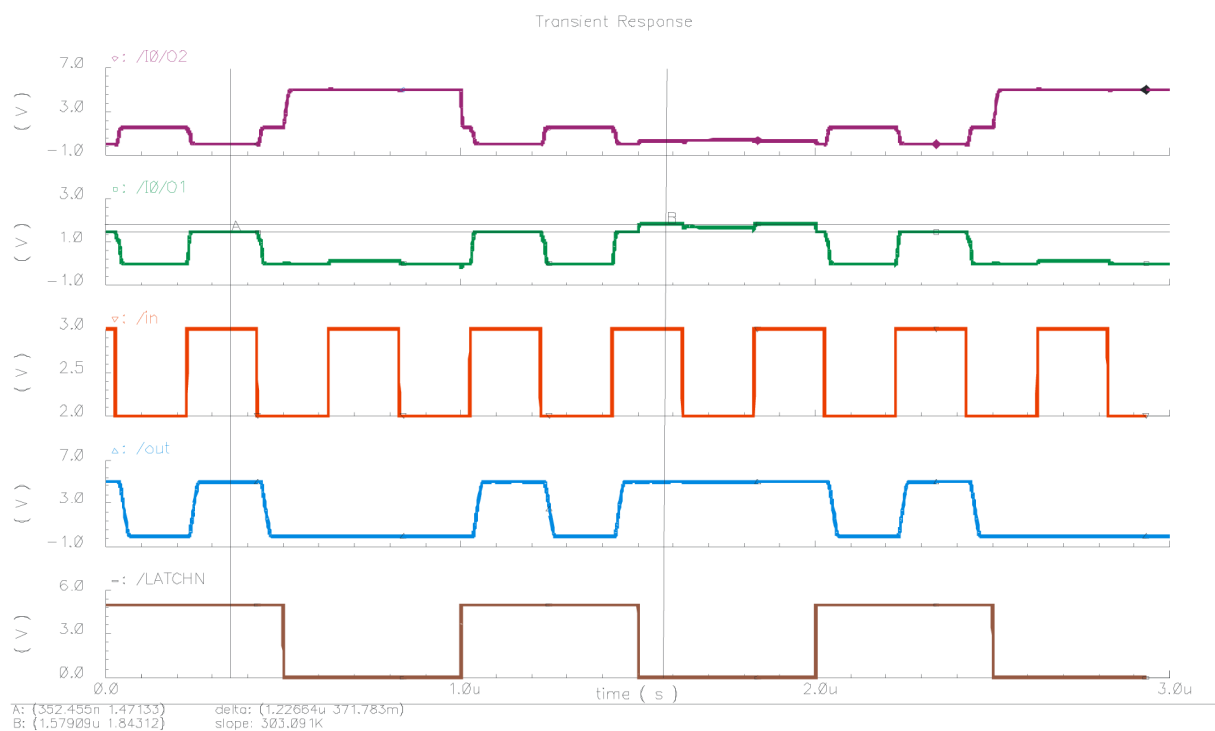
Komparátor je v obvodu navrhovaného modulátoru $\Sigma\Delta$ připojen k výstupu sumátoru a rozhoduje, zda je jeho výstupní napětí sumátoru kladné nebo záporné. Protože výstup sumátoru je aktivní pouze v jedné fázi řídicích hodinových signálů (obr. 6.16), je zapotřebí, aby komparátor nepracoval ve fázi spínání řídicích hodinových signálů, kdy je výstupní napětí sumátoru nulováno. V této fázi nulování výstupního napětí sumátoru musí komparátor držet hodnotu výstupního napětí z předchozí fáze. Schéma takového komparátoru je uvedeno na obr. 6.17. Komparátor je složen ze tří základních bloků, a to diferenčního páru (tranzistory T_1 , T_2), rozhodovacího obvodu (tranzistory $T_7 - T_{10}$) a výstupním stupněm (tranzistory $T_{11} - T_{14}$). Rozdíl vstupního napětí U_{in+} a U_{in-} je převáděn na rozdíl proudu I_{D5} a I_{D6} pomocí diferenčního páru. Rozhodovací obvod využívá kladnou zpětnou vazbu tranzistoru T_8 a T_9 , která zvyšuje zesílení rozhodovacího obvodu [3]. S rostoucím proudem I_{D5} a zároveň klesajícím proudem I_{D6} dochází ke zvýšení napětí U_{o1} a poklesu napětí U_{o2} .

způsobí, že proud tranzistorem T_8 také poklesne. Poklesne-li proud tranzistorem T_8 , dojde ke zvýšení proudu tranzistorem T_7 . Protože tranzistor T_7 je zapojen jak dioda, dojde ke zvýšení napětí na tranzistoru a tedy zvýšení napětí U_{o1} . Tranzistor T_9 pracuje v triodovém režimu [3] a zvýšením řídicího napětí tranzistoru T_9 dojde k poklesu odporu kanálu tranzistoru T_9 a dalšímu snížení napětí U_{o2} , které opět působí na tranzistor T_8 . Takto pracuje rozhodovací obvod je-li na $LatchN$ připojeno napájecí napětí U_{DD} . Napětí U_{o1} resp. U_{o2} se pohybuje v rozsahu 0 - 1,5V. Je-li $LatchN$ připojeno k U_{SS} a $U_{o1} = 1,5$ V tak dojde k zavření tranzistoru T_7 . Tranzistor T_8 je také zavřen a napětí U_{o1} vzroste na hodnotu U_{DD} . To výrazně zvýší spotřebu komparátoru, protože na hradlo tranzistoru T_{13} bude přivedeno napájecí napětí, tranzistor bude plně otevřen a poteče jím velký proud. Tomuto jevu zabraňuje tranzistor T_{21} . Pokud na emitoru tranzistoru vzroste napětí na přibližně 1,8 V, dojde k jeho otevření a napětí U_{o1} se dál zvyšovat nebude. Spotřeba komparátoru se sice zvýší, ale ne tak výrazně jako bez použití tranzistoru T_{21} . Je-li $LatchN$ připojeno k U_{SS} tak se výstupní napětí komparátoru nemění a je držen předchozí stav, kdy $LatchN$ bylo připojeno k U_{DD} . Pokud se komparátor nachází ve stavu, kdy je výstupní napětí rovno U_{SS} a signál $LatchN$ je připojen k U_{SS} , tak nedochází ke zvýšení spotřeby komparátoru. Z tranzistorů $T_{11} - T_{14}$ je realizován výstupní stupeň, který zajistí, aby se výstupní napětí pohybovalo v rozmezí U_{SS} a U_{DD} .



Obr. 6.17 Schéma navrženého komparátoru

Na obr. 6.18 je výsledek simulace ověřující správnou funkci komparátoru. Při simulaci bylo $U_{in} = 2,5$ V a na U_{in+} byl připojen zdroj obdélníkového signálu s úrovněmi 2 V a 3 V. Komparátor má průměrný proudový odběr $295 \mu\text{A}$ a to při napájecím napětí 5 V představuje příkon $1,475$ mW. Takto velká spotřeba je dána rychlostí komparátoru, která musí být značná. Nachází-li se komparátor ve stavu, kdy je výstupní napětí rovno U_{DD} a signál *LatchN* je připojen k U_{SS} , tak se proudový odběr komparátoru zvýší na $500 \mu\text{A}$. Je to způsobeno tím, že napětí U_{o1} vzroste z $1,5$ V na $1,8$ V a tranzistorem T_{13} teče větší proud (obr. 6.18). Zpoždění navrženého komparátoru je 17 ns při nástupné hraně vstupního signálu a $21,6$ ns při sestupné hraně vstupního signálu. Výsledky simulace zpoždění komparátoru jsou uvedeny v příloze P6 a P7. Stejnoseměrné zesílení komparátoru je 78 dB. Frekvenční charakteristika je uvedena v příloze P8.

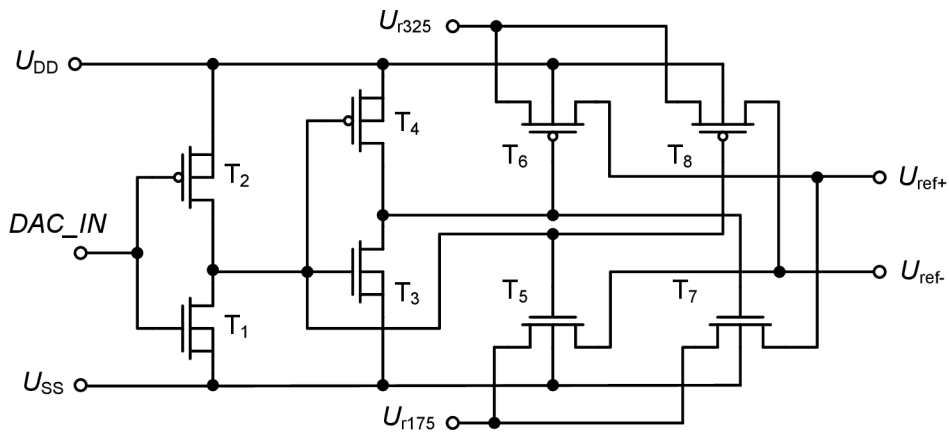


Obr. 6.18 Ověření funkce komparátoru

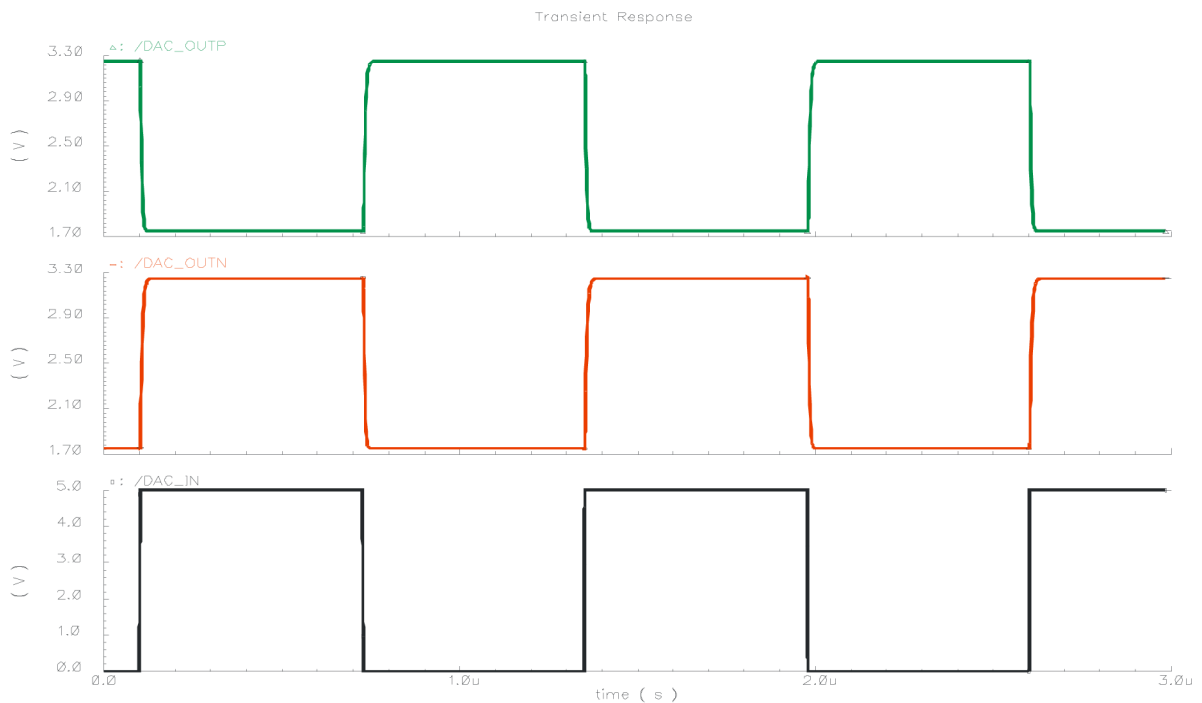
6.6 Převodník DA

Navržený jednobitový převodník DA je zobrazen na obr. 6.19. V závislosti na signálu DAC_IN nastavuje na diferenční výstup kladné nebo záporné referenční napětí. K převodníku jsou připojena dvě referenční napětí a to $U_{R325} = 3,25$ V a $U_{R175} = 1,75$ V. Je-li na DAC_IN

nastavena logická 0, jsou otevřeny tranzistory T_5 a T_6 a $U_{\text{ref}+} = U_{r325}$, $U_{\text{ref}-} = U_{r175}$. Rozdíl napětí na výstupu převodníku DA $U_{\text{ref}+} - U_{\text{ref}-}$ je 1,5 V. Je-li na DAC_IN nastavena logická 1, jsou otevřeny tranzistory T_7 a T_8 a $U_{\text{ref}+} = U_{r175}$, $U_{\text{ref}-} = U_{r325}$ a rozdíl napětí na výstupu převodníku DA $U_{\text{ref}+} - U_{\text{ref}-}$ je -1,5 V. Výsledky simulace navrženého jednobitového převodníku DA jsou zobrazeny na obr. 6.20.



Obr. 6.19 Převodník DA



Obr. 6.20 Simulace jednobitového převodníku AD

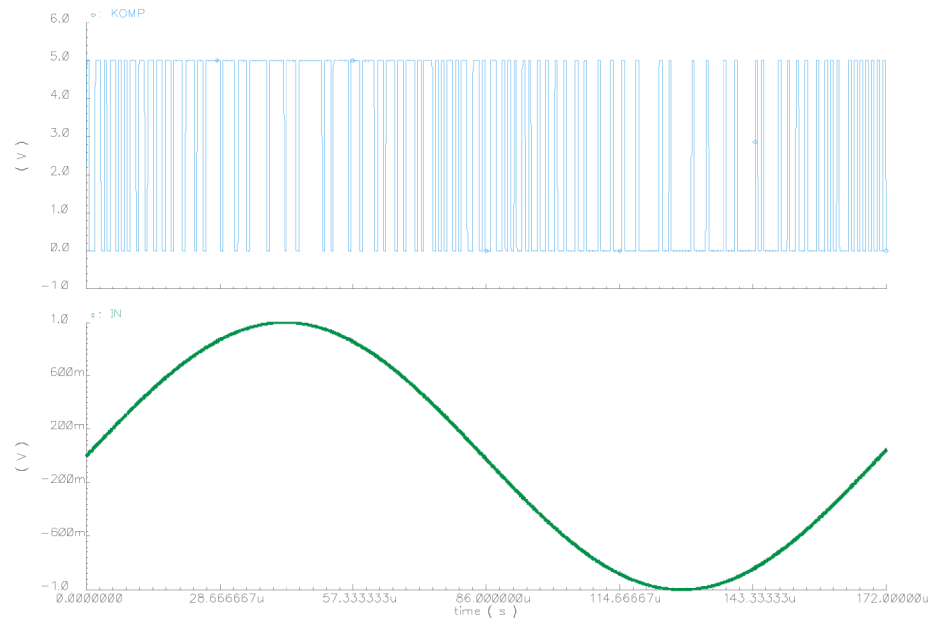
6.7 Výsledky simulace navrženého modulátoru $\Sigma\Delta$ 3. řádu a porovnání s výsledky získanými v MATLABu

Na obr. 6.21 jsou výsledky simulace modulátoru $\Sigma\Delta$ realizovaného na tranzistorové úrovni. Vstupní signál měl sinusový průběh s amplitudou 1 V a kmitočtem 5,86 kHz. Na obr. 6.22 jsou zachyceny výsledky simulace modelu modulátoru $\Sigma\Delta$ sestaveného v programu MATLAB SIMULINK. Reálné zapojení modulátoru $\Sigma\Delta$ na tranzistorové úrovni se chová přesně podle vytvořeného modelu, jehož výsledky simulace jsou uvedeny na obr. 6.22. V příloze P9 a P10 jsou uvedeny průběhy napětí integrátorů modelu modulátoru $\Sigma\Delta$ a reálného zapojení.

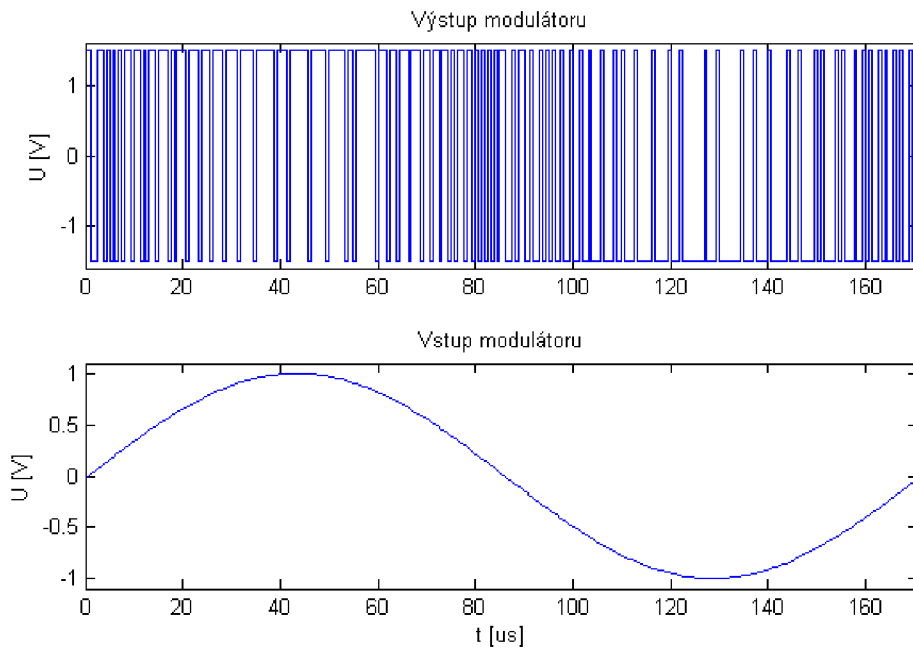
Kompletní zapojení modulátoru $\Sigma\Delta$ je uvedeno v příloze P11. V zapojení byly využity také standardní buňky z knihoven. Jedná se standardní buňky z knihovny MTC22500 CHMB1 a CFBCP1, které generují proud 5 μA pro nastavení pracovních bodů OZ a komparátoru. Na čipu nebyla realizována napěťová reference, protože v použité technologii CMOS by byla realizace přesné napěťové reference velice obtížná. Přehled parametrů navrženého modulátoru je uveden v tab. 6.5. Navržený modulátor může zpracovávat vstupní napětí o maximální amplitudě sinusového průběhu 1 V, tzn., že rozsah vstupního diferenčního napětí může být od -1 V do 1 V. Maximální kmitočet vstupního signálu je 10 kHz. Navržený modulátor $\Sigma\Delta$ má průměrný příkon 16 mV při napájecím napětí 5 V.

Tab. 6.5 Přehled parametrů navrženého modulátoru $\Sigma\Delta$

vzorkovací kmitočet f_s	1,6 MHz
koeficient převzorkování OSR	64
zpracovávané pásmo	10 kHz
efektivní počet bitů	13
rozsah vstupního napětí	2 V (± 1 V)
záporné referenční napětí $U_{\text{ref-}}$	1,75 V
kladné referenční napětí $U_{\text{ref+}}$	3,25 V
příkon modulátoru při $U_{\text{DD}} = 5$ V	16 mV



Obr. 6.21 Simulace navrženého modulátoru $\Sigma\Delta$ 3. řádu na tranzistorové úrovni – průběh vstupního napětí a výstupního modulovaného signálu



Obr. 6.22 Simulace modelu modulátoru $\Sigma\Delta$ 3. řádu v programu MATLAB – průběh vstupního napětí a výstupního modulovaného signálu

7 Závěr

Cílem diplomové práce je návrh a realizace převodníku AD typu $\Sigma\Delta$ vyššího řádu v technice spínaných kapacitorů. Pro modelování struktury modulátoru $\Sigma\Delta$ bylo použito prostředí MATLAB SIMULINK. V návrhovém prostředí CADENCE byly vytvořeny na základě modelu jednotlivé bloky modulátoru $\Sigma\Delta$. Tyto bloky jsou realizovány v technologii CMOS 0,7 μm . Na základě navrženého schématu byl vytvořen layout operačního zesilovače a integrátoru.

Pro realizaci modulátoru $\Sigma\Delta$ byla vybrána struktura CIDIDF 3. řádu, protože umožňuje realizovat NTF a STF nezávisle na sobě. U této struktury byla vyjádřena STF a NTF a na základě podmínky $STF = 1$ byly vypočteny koeficienty modulátoru. Ideální model modulátoru $\Sigma\Delta$ byl simulovaný v prostředí MATLAB SIMULINK a dosahuje při koeficientu převzorkování $OSR = 64$ odstupu signálu od šumu $SNR = 83,5$ dB a to odpovídá efektivnímu počtu bitů $ENOB = 13,58$ bitů. Stejná struktura dosahuje při $OSR = 128$ efektivního počtu bitů $ENOB = 17,04$ bitů. Na základě ideálního modelu modulátoru $\Sigma\Delta$ byl vytvořen model, který uvažuje reálné chování jednotlivých bloků a součástí. Aby mohla být simulována vstupní napěťová nesymetrie OZ, musel být vytvořen model integrátoru, který vliv napěťové nesymetrie OZ uvažuje. Nejprve byl vytvořen matematický popis integrátoru SC uvažující vstupní napěťovou nesymetrii OZ v Z transformaci. Na základě matematického popisu byl vytvořen v prostředí MATLAB SIMULINK jeho model. Výsledný reálný model modulátoru simuluje kromě vstupní napěťové nesymetrie OZ také mezní dobu přeběhu, mezní kmitočet a zisk OZ. Dále je simulován tepelný šum spínaných kapacitorů a vzorkování s aperturou času. Ze simulací plyne, že vstupní napěťová nesymetrie má výrazný vliv na SNR . Aby bylo dosaženo $ENOB$ alespoň 13 bitů, je zapotřebí dosáhnout vstupní napěťové nesymetrie 100 μV a méně. Největší vliv má napěťová nesymetrie OZ v prvním integrátoru. Napěťová nesymetrie OZ druhého a třetího integrátoru podléhá tvarování šumu prvního resp. druhého řádu a na hodnotu SNR má zanedbatelný vliv. V programu MATLAB byly navrženy dílčí filtry decimačního filtru. K návrhu byl použit nástroj *Filter Design & Analysis Tool*, který umožňuje kvantování koeficientů filtru a jejich export pro další návrh filtru v jazyce VHDL.

V návrhovém prostředí CADENCE byly v technologii CMOS realizovány integrátory, sumační zesilovač, komparátor, jednobitový převodník DA a generátor řídicích hodinových signálů. Realizovaný modulátor $\Sigma\Delta$ využívá plně diferenční zapojení. Je to z důvodů kompenzace injekce náboje ze spínačů s tranzistory MOS v obvodech SC. Ke kompenzaci

injekce náboje byla také použita technika vzorkování spodní elektrody. Protože se jedná o plně diferenční zapojení, musel být navržen plně diferenční operační zesilovač. Byla použita struktura složené kaskody, protože má dostatečně velký zisk a mezní kmitočet. K dosažení co nejvyššího rozlišení byla nutné provést kompenzaci vstupní napěťové nesymetrie. Navržený OZ má vstupní napěťovou nesymetrii 7 mV. Kdyby tato napěťová nesymetrie nebyla kompenzována, nedosáhl by převodník rozlišení ani 10 bitů. Proto obvody integrátorů obsahují kompenzační kapacitory, které se v jedné fázi spínání řídicích hodinových signálu nabíjejí na hodnotu vstupní napěťové nesymetrie a ve druhé fázi je toto napětí odečítáno od užitečného signálu.

Navržený převodník AD typu $\Sigma\Delta$ pracuje se vzorkovacím kmitočtem 1,6 MHz. Je navržen pro $OSR = 64$ a to umožňuje zpracovávat vstupní signály o kmitočtech do 10 kHz. Převodník je navržen pro rozlišení 13 bitů. Průměrný příkon modulátoru při napájecím napětí 5 V je 16 mW. Další zlepšení parametrů by bylo možné pokud by bylo použito více bitové zpracování signálu, tzn., že komparátor by byl nahrazen převodníkem AD s rozlišením např. 3 bity nebo i vyšším. U vícebitového zpracování jsou však vysoké nároky na linearitu použitých AD a DA převodníků. Pokud však nebude vyřešena kompenzace napěťové nesymetrie OZ, tak ani vícebitové zpracování nezvýší SNR a $ENOB$. Zvýšení vzorkovacího kmitočtu by bylo možné jen za předpokladu zvýšení mezní doby přeběhu a mezního kmitočtu použitých OZ. V použité technologii CMOS 0,7 μm je další zvýšení těchto parametrů obtížně realizovatelné, protože by neúměrně vzrostla celková spotřeba čipu a také jeho velikost.

Přínosem diplomové práce je vytvoření modelu integrátoru v programu MATLAB SIMULINK, který uvažuje vliv napěťové nesymetrie OZ. Tento model integrátoru lze použít nejen pro modelování architektury lowpass modulátoru $\Sigma\Delta$, ale také pro modelování rezonátoru v bandpass modulátoru $\Sigma\Delta$. Model integrátoru uvažující vliv napěťové nesymetrie OZ umožňuje zjistit, jakou měrou ovlivňuje napěťová nesymetrie OZ parametry navrženého modulátoru $\Sigma\Delta$ 3. řádu. Dalším přínosem diplomové práce je návrh integrátoru využívající techniku SC, který kompenzuje vliv napěťové nesymetrie OZ a také efektivně potlačuje injekci náboje ze spínačů s tranzistory MOS.

8 Literatura

- [1] ALLEN, E.P., HOLBERG, D.R. CMOS Analog Circuit Design. Oxford University Press, 2002, 784 stran. ISBN 0-19-511644-5
- [2] BIOLEK, D. Obvody se spínanými kapacitami . Dostupné na [www: http://user.unob.cz/biolek/veda/ARTICLES/EDS95_1.PDF](http://user.unob.cz/biolek/veda/ARTICLES/EDS95_1.PDF)
- [3] BAKER, R.J., Li, H.W., BOYCE, D.E. CMOS Circuit design, Layout, and Simulation, IEEE Press Marketing, 1998, 902 stran. ISBN 0-7803-3416-7
- [4] UNBEHAUEN, R., CICHOCKI, A. MOS Switched-Capacitor and Continuous-Time Integrated Circuits and Systems – Analysis and Design. Berlin: Springer-Verlag, 1989. 631 stran. ISBN 0-387-50599-7.
- [5] MALOBERTI, F. Analog Design for CMOS VLSI Systems. Boston: Kluwer Academic Publisher, 2001
- [6] WALTARI, M., Circuit Techniques for Low-Voltage and High-Speed A/D Converters, Helsinki University of Technology, 2002, 269 stran, ISBN 951-22-5989-3
- [7] NORSWORTHY, S.R., SCHREIER, R., TEMES, G.C. Delta-Sigma Data Converters, Theory, Design, and Simulation. IEEE Press Marketing, 1997. 476 stran. ISBN 0-7803-1045-4
- [8] BOURDOPOULOS, G. I., PNEVMATIKAKIS, A., ANASTASSOPOULOS, V., DELIYANNIS, T. L. Delta-Sigma Modulators: Modeling, Design and Applications. Imperial College Press, 2003, ISBN 1-86094-369-1
- [9] JARMAN, D., A Brief Introduction to Sigma Delta conversion, Dostupné na [www: http://www.intersil.com/data/an/an9504.pdf](http://www.intersil.com/data/an/an9504.pdf)
- [10] ONODERA, K., ABO, A., A Second Order Sigma-Delta A/D Converter, Dostupné na [www: http:// kabuki.eecs.berkeley.edu/~abo/papers/290y/290y_report.pdf](http://kabuki.eecs.berkeley.edu/~abo/papers/290y/290y_report.pdf)
- [11] PARK, S., Principles of Sigma-Delta Modulation for Analog-to-Digital Converters, Dostupné na [www: www.numerix-dsp.com/appsnotes/APR8-sigma-delta.pdf](http://www.numerix-dsp.com/appsnotes/APR8-sigma-delta.pdf)
- [12] ENZ, CH., C., TEMES, G., C. Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization. In *Proceedings of the IEEE*, vol. 84, no. 11, p. 1584 – 1614, November 1996.
- [13] MORIZIO, J. C., HOKE, M., KOCAK, T., GEDDIE, C., HUGHES, C., PERRY, J., MADHAVAPEDDI, S., HOOD, M. H., LYNCH, G., KONDOH, H., KUMAMOTO, T., OKUDA, T., NODA, H., ISHIWAKI, M., MIKI, T., NAKAYA, M., “14-bit 2.2MS/s Sigma-Delta ADC’s”, *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, July 2000, str. 968 - 974

9 Seznam zkratek

ADC	analogově číslicový převodník
AZ	automatické nulování
CDS	dvojitě korelované vzorkování
DAC	čísllicově analogový převodník
FIR	čísllicový filtr s konečnou impulsní odezvou
CHS	střídavá stabilizace
IIR	čísllicový filtr s nekonečnou impulsní odezvou
LSB	nejméně významný bit
MSB	nejvýše významný bit
OZ	operační zesilovač
SC	spínané kapacitory
$\Sigma\Delta$	sigma-delta
A_{stop}	úroveň zeslabení signálu, která odpovídá minimální hladině kvantovacího šumu
C_S	vzorkovací kapacitor
D	decimální faktor
DR	dynamický rozsah
$ENOB$	efektivní počet bitů
f_{pass}	kmitočet zpracovávaného pásma
f_S	vzorkovací kmitočet
f_{stop}	kmitočet kdy dojde k zeslabení signálu na hodnotu A_{stop}
N	počet bitů převodníku AD
NTF	šumová přenosová funkce
OSR	koeficient převzorkování
R_{on}	odpor spínačů SC
SNR	odstup signálu od šumu
SR	mezní doba přeběhu OZ
STF	signálová přenosová funkce
U_{ref}	referenční napětí převodníku DA
Φ_1	1. fáze řídicích hodinových signálu
Φ_2	2. fáze řídicích hodinových signálu
δ_p	maximální zvlnění, které může být ve zpracovávaném pásmu

10 Seznam příloh

Příloha 1: Simulace vlastností plně diferenčního operačního zesilovače

Příloha 2: Výsledky simulací integrátorů

Příloha 3: Parametry komparátoru

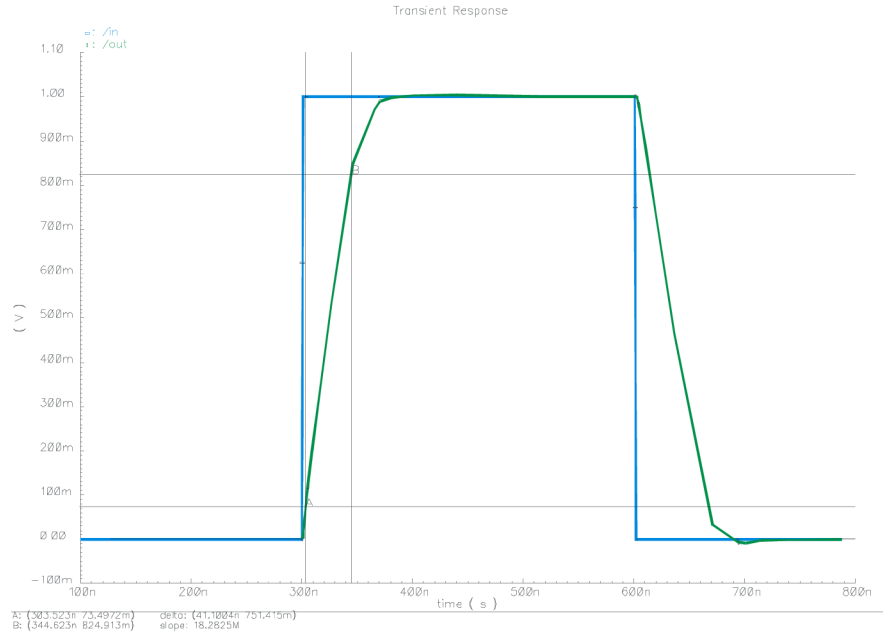
Příloha 4: Simulace navrženého modulátoru $\Sigma\Delta$

Příloha 5: Schémata jednotlivých bloků modulátoru $\Sigma\Delta$

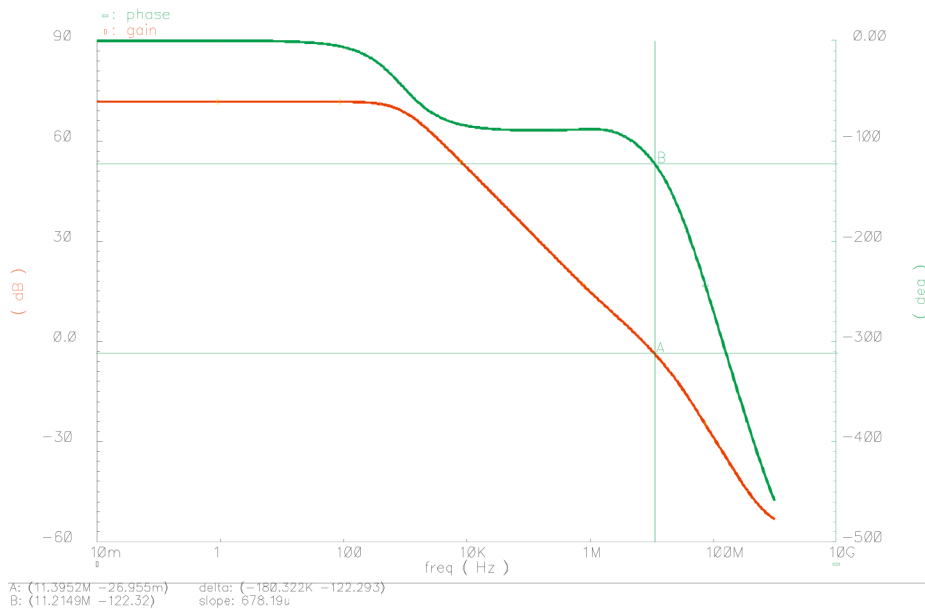
Příloha 6: Layout vybraných bloků modulátoru $\Sigma\Delta$

11 Přílohy

Příloha 1: Simulace vlastností plně diferenčního operačního zesilovače

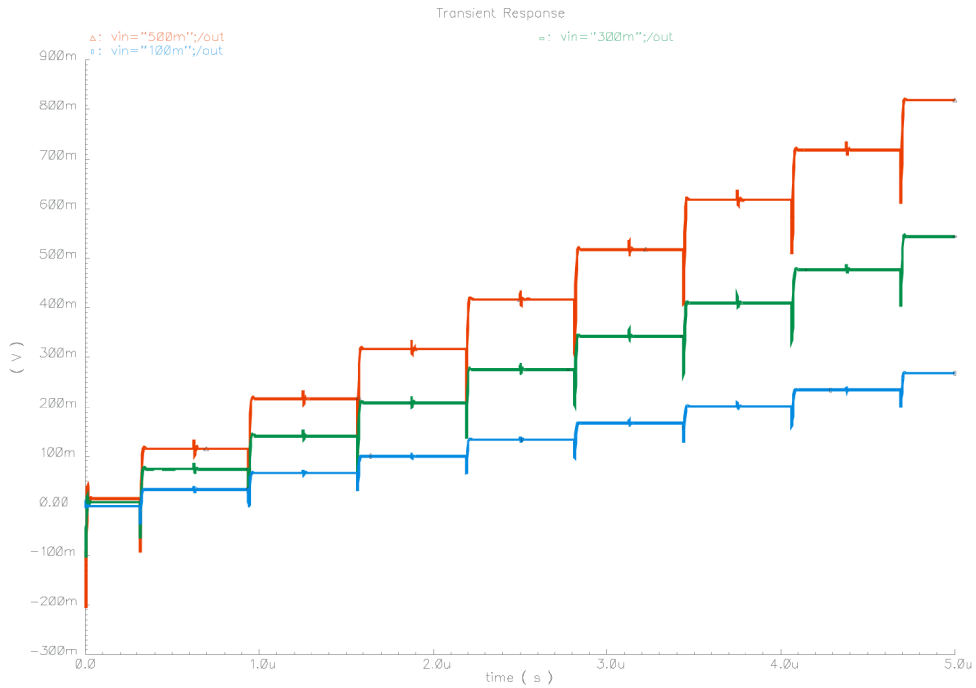


Obr. P1 Simulace mezní doby přeběhu SR navrženého OZ

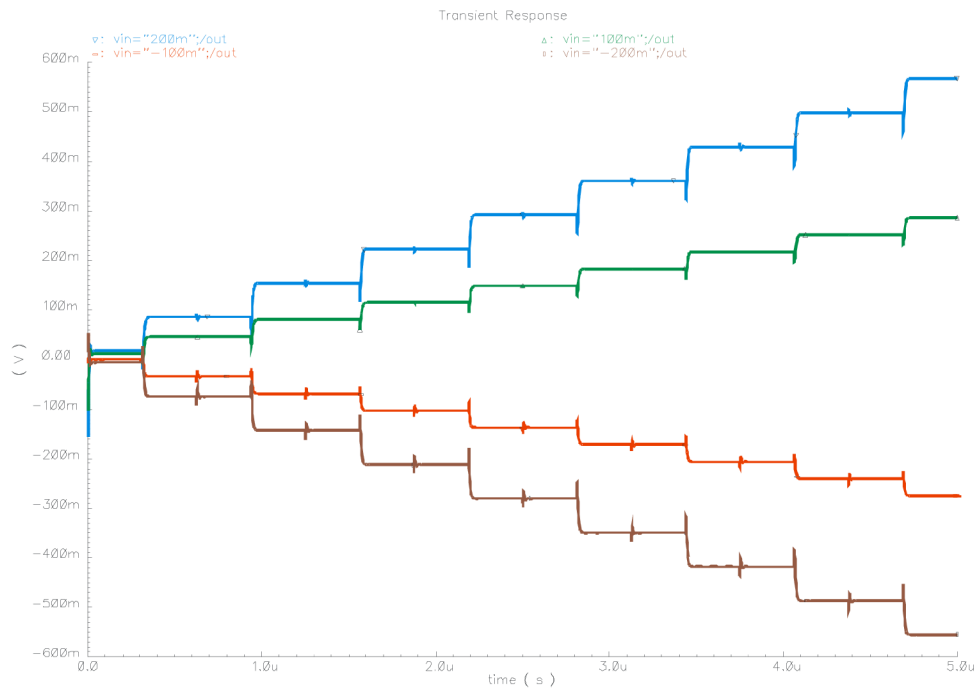


Obr. P2 Kmitočtová charakteristika rozpojené zpětnovazební smyčky obvodu CMFB

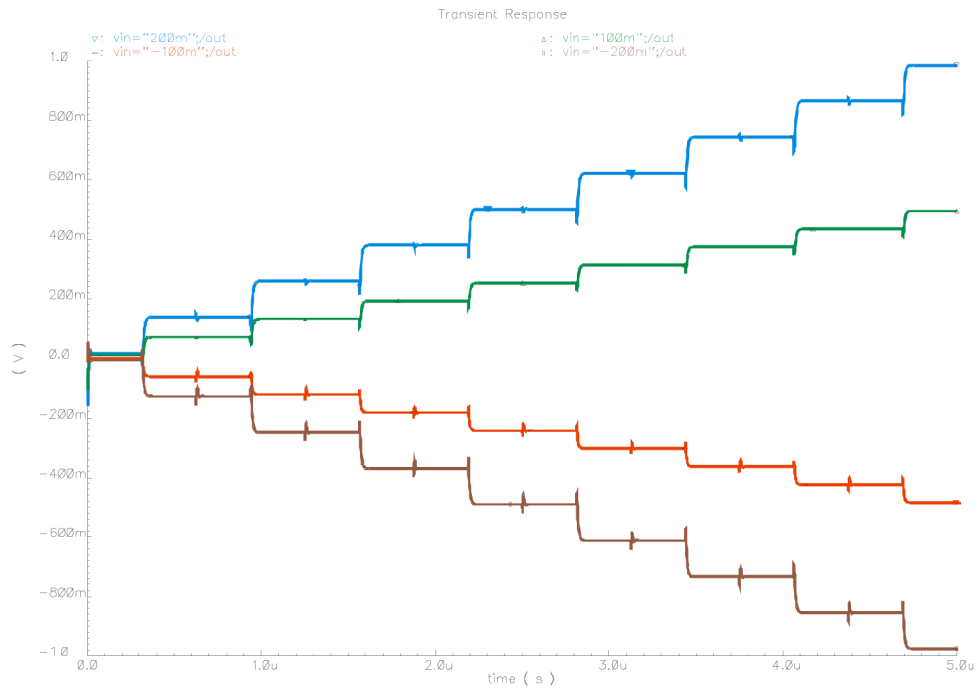
Příloha 2: Výsledky simulací integrátorů



Obr. P3 Simulace integrátoru 1, $U_{ref} = -100mV$, $U_{in} = 100mV, 300mV, 500mV$

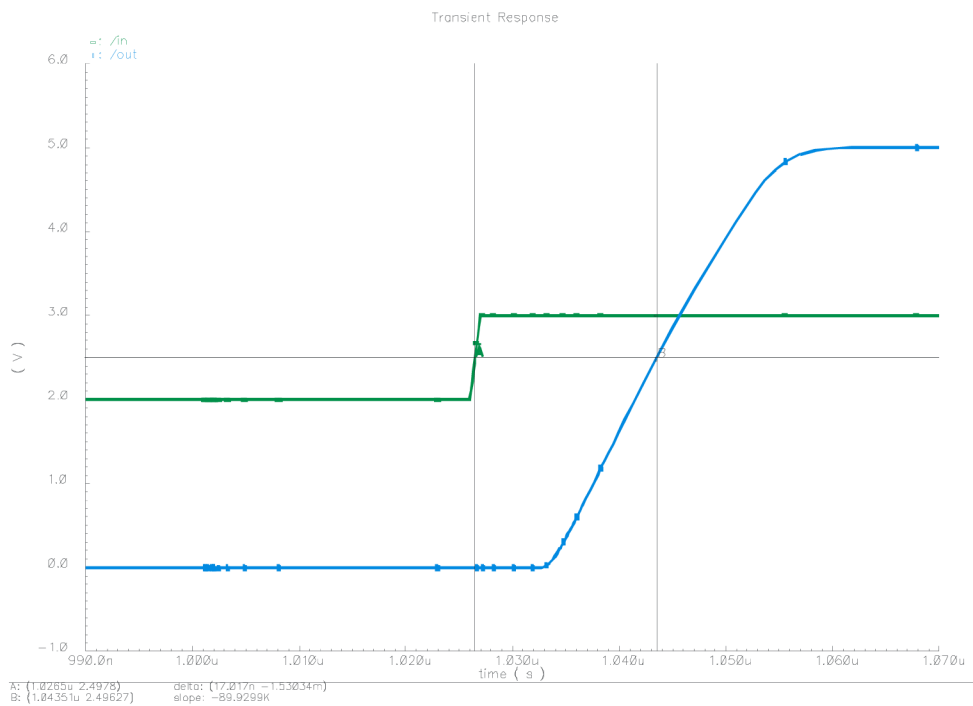


Obr. P4 Simulace integrátoru 2, $U_{ref} = U_{in2} = 100mV$, $U_{in1} = -200mV, -100mV, 100mV, 200mV$

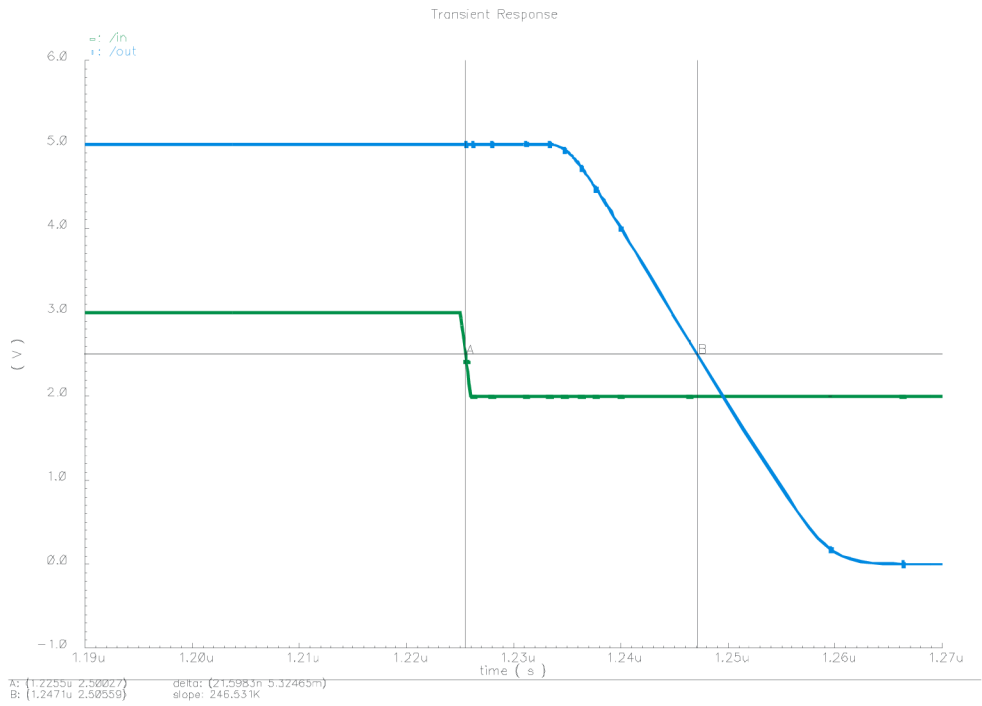


Obr. P5 Simulace integrátoru 3, $U_{ref} = U_{in2} = 100mV$, $U_{in1} = -200mV, -100mV, 100mV, 200mV$

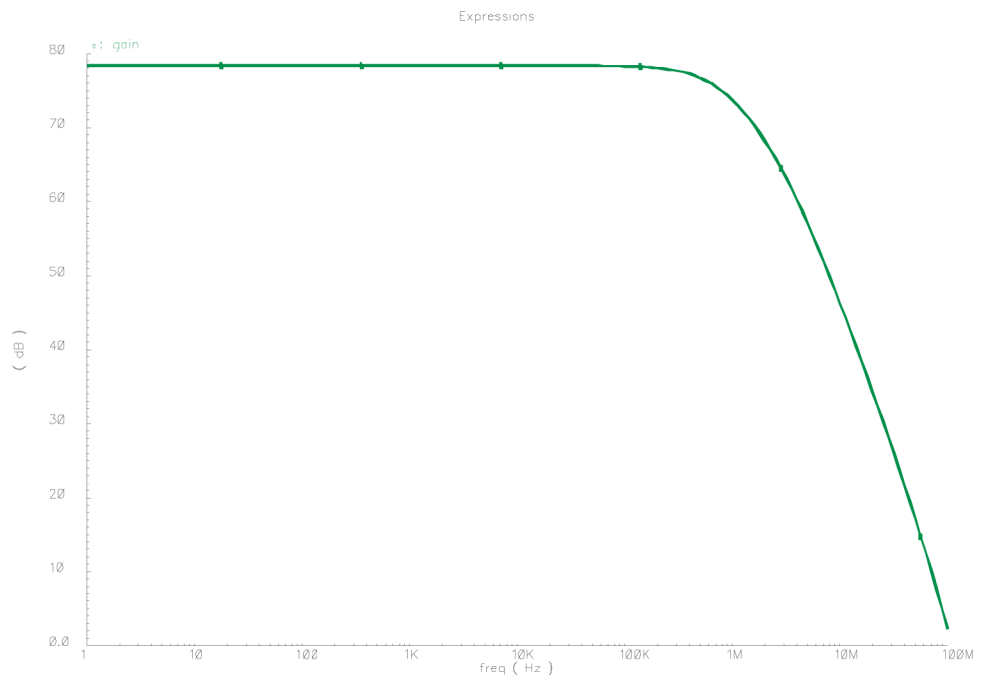
Příloha 3: Parametry komparátoru



Obr. P6 Simulace zpoždění komparátoru – náběžná hrana

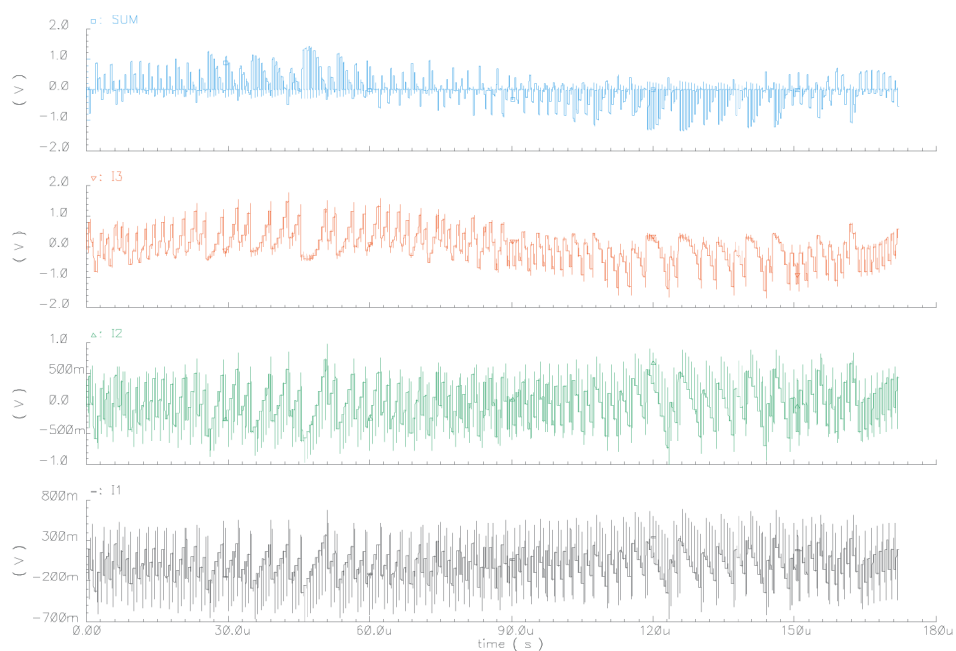


Obr. P7 Simulace zpoždění komparátoru – sestupná hrana

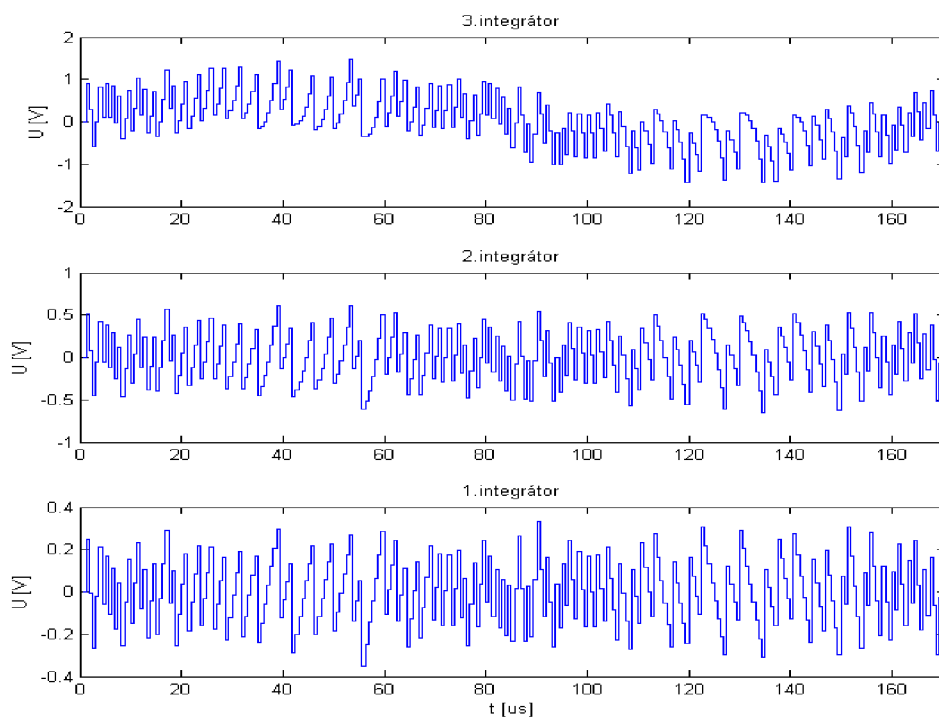


Obr. P8 Kmitočtová charakteristika komparátoru

Příloha 4: Simulace navrženého modulátoru $\Sigma\Delta$

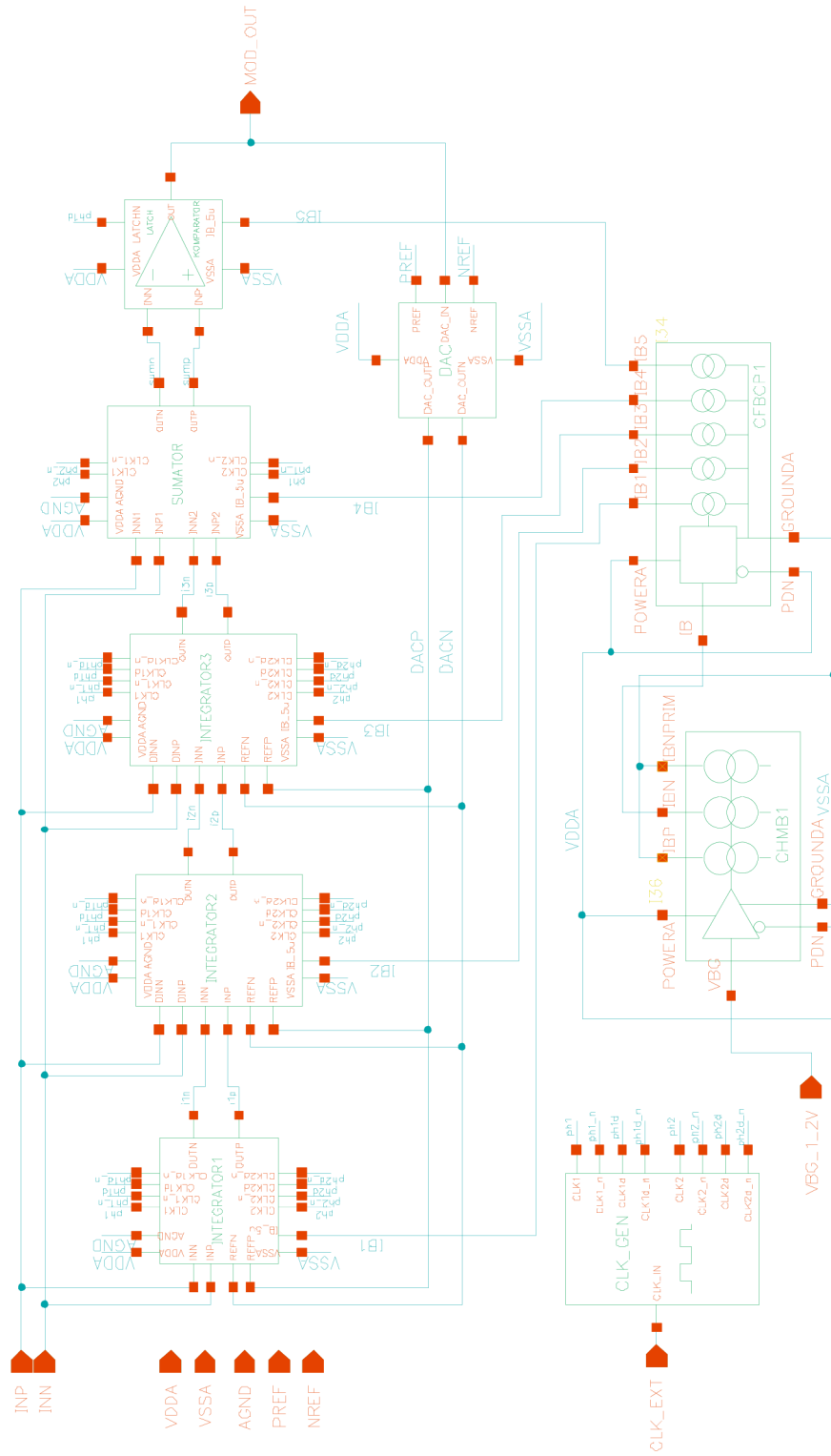


Obr. P9 Průběhy napětí na integrátorech v reálném zapojené modulátoru $\Sigma\Delta$

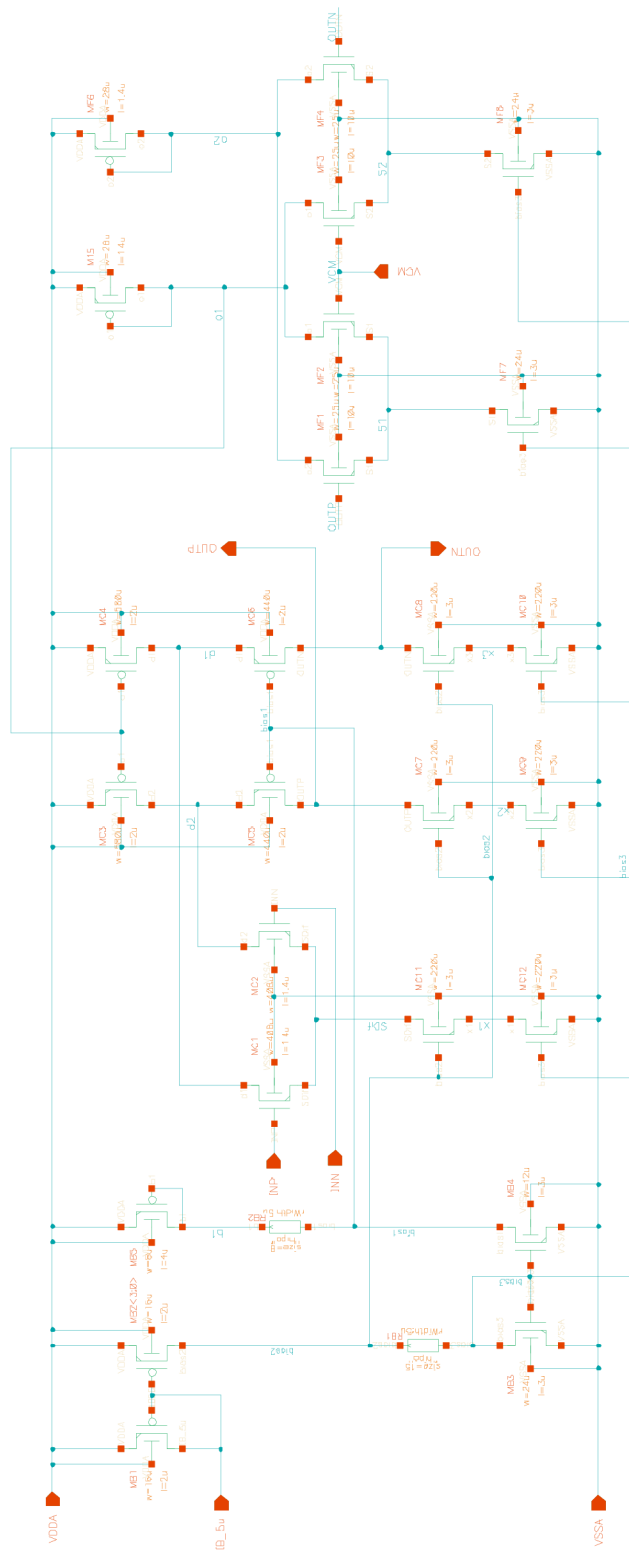


Obr. P10 Průběhy napětí na integrátorech v modelu modulátoru $\Sigma\Delta$

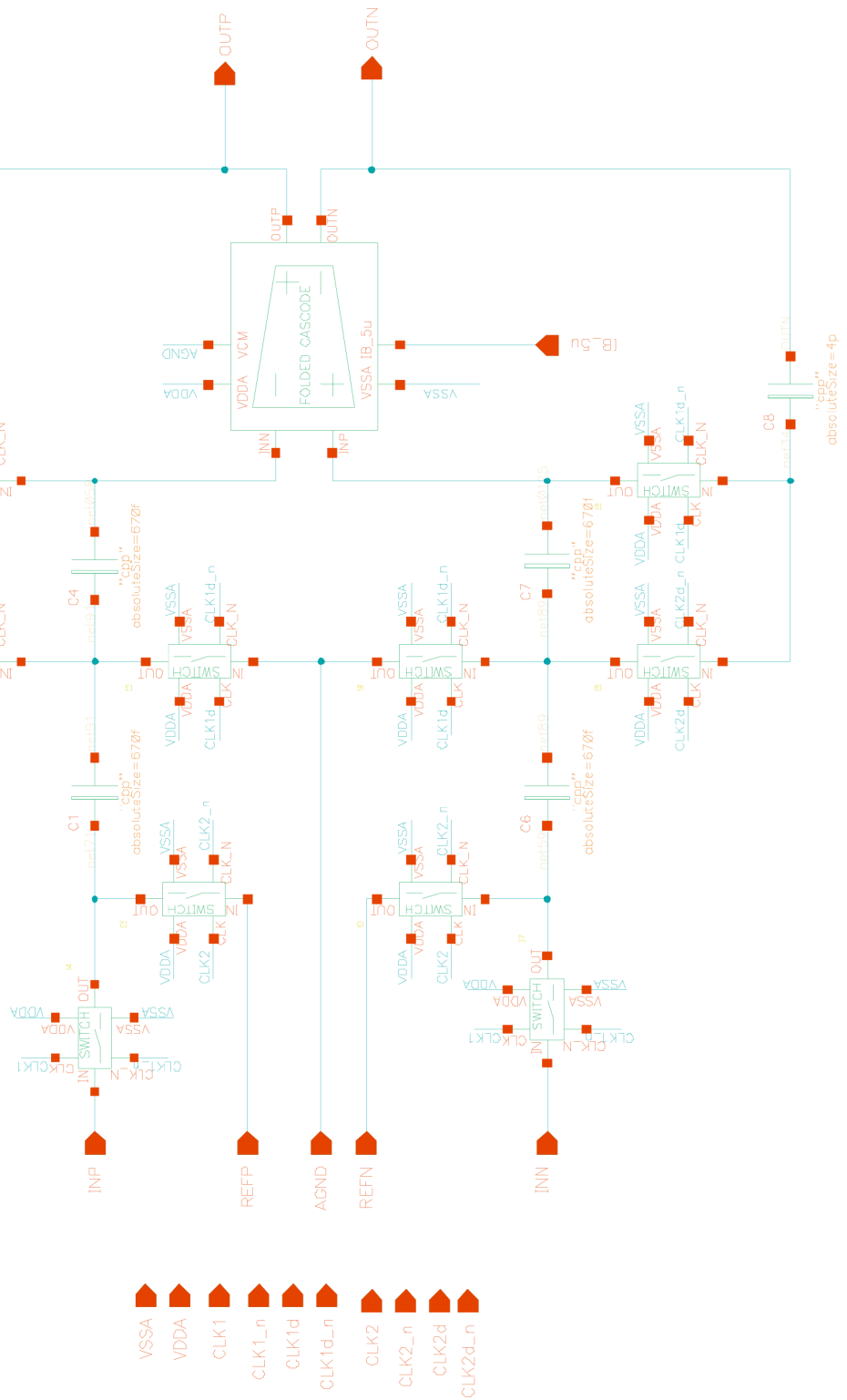
Příloha 5: Schémata jednotlivých bloků modulátoru $\Sigma\Delta$



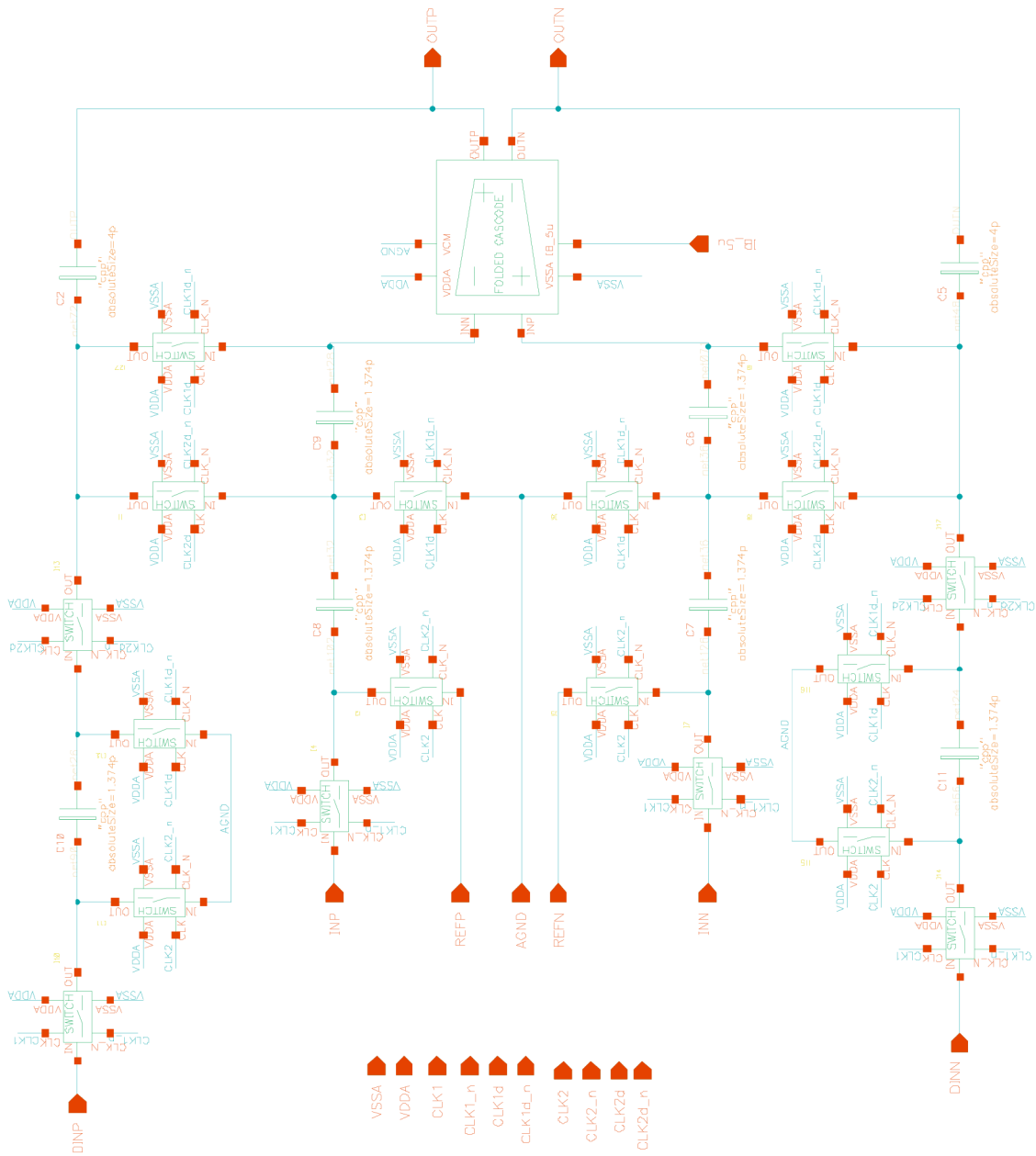
Obr. P11 Kompletní zapojení navrženého modulátoru $\Sigma\Delta$ 3. řádu



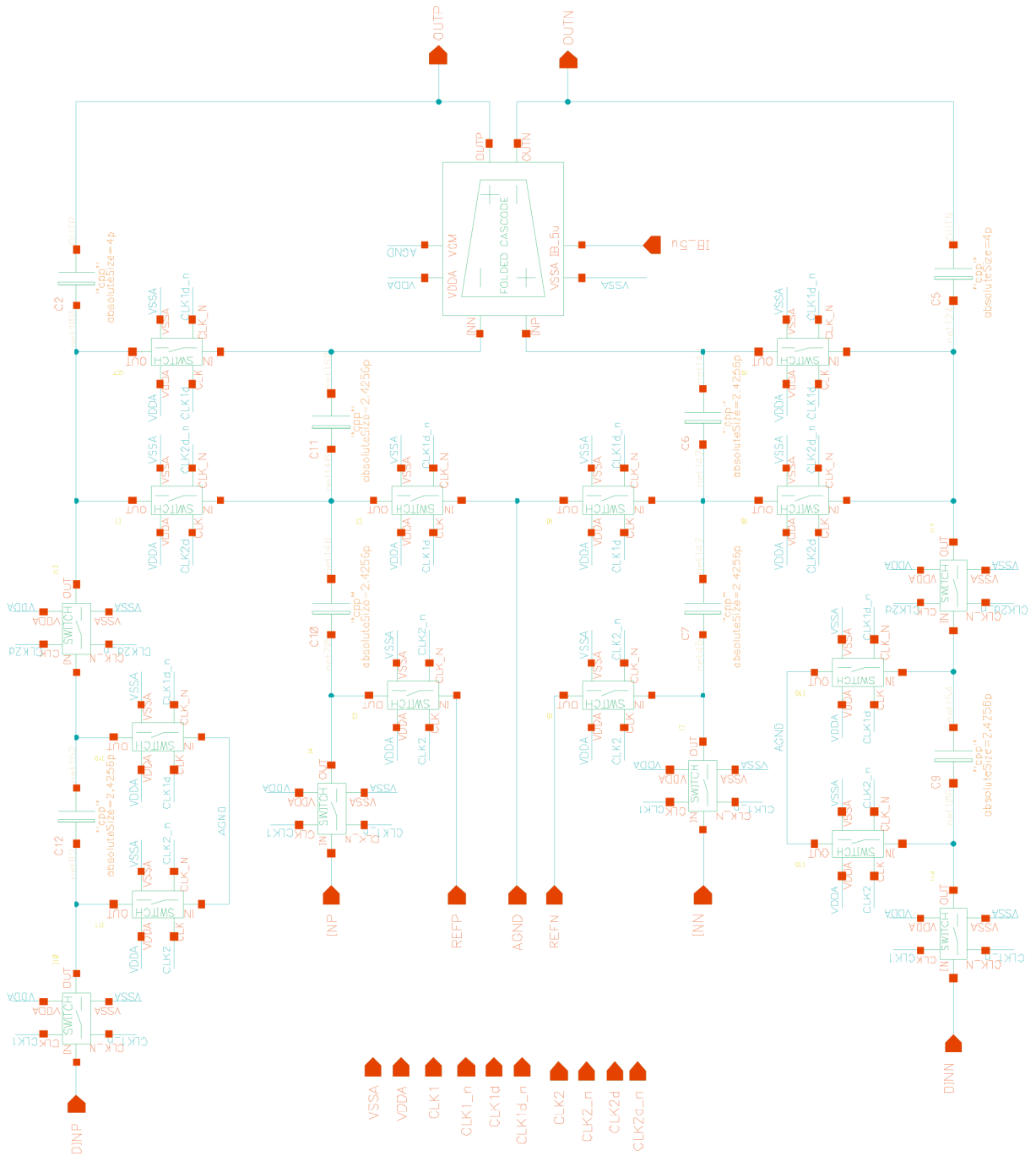
Obr. P12 Plně diferencní operační zesilovač



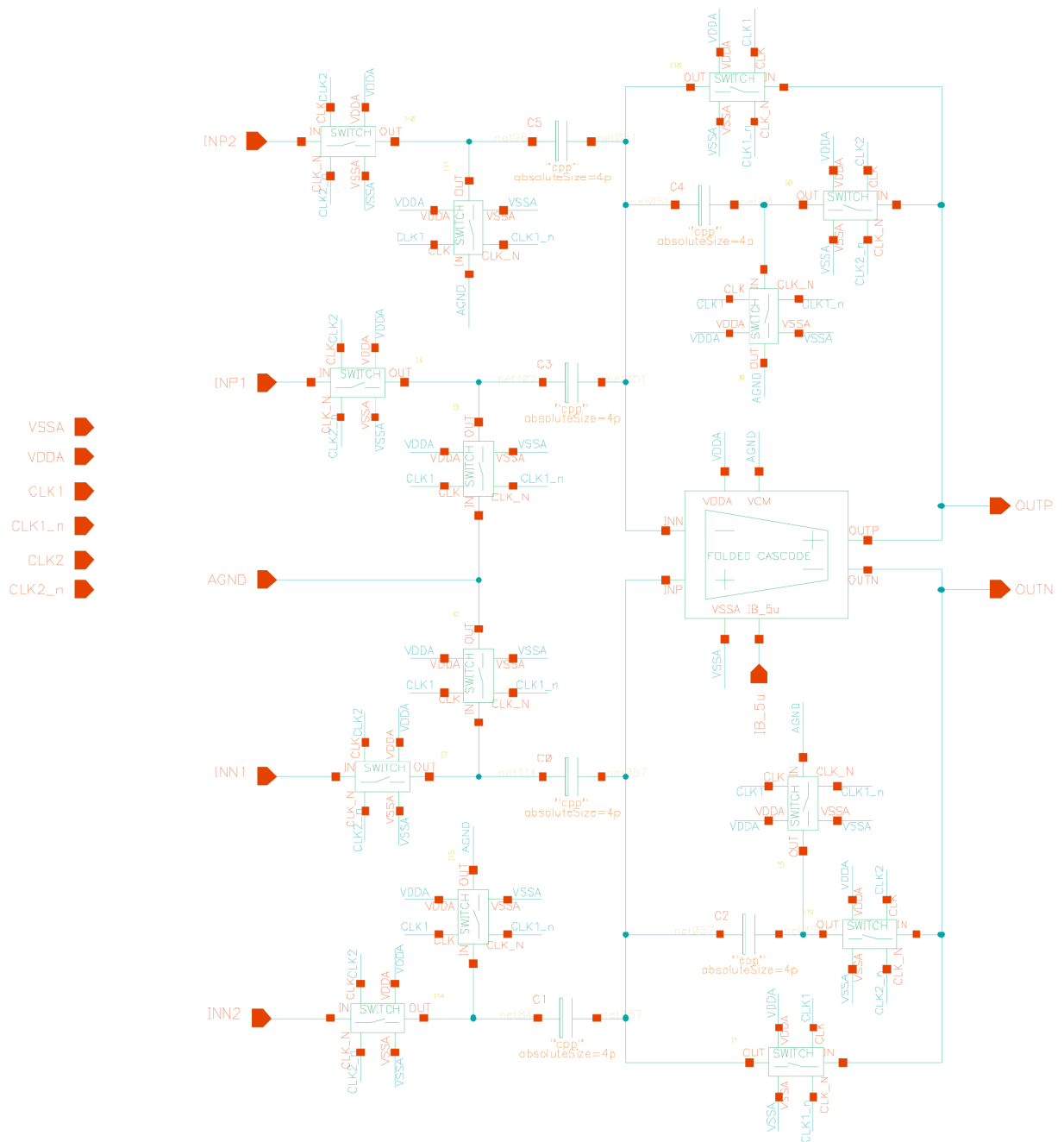
Obr. P13 Zapojeni integrátoru 1



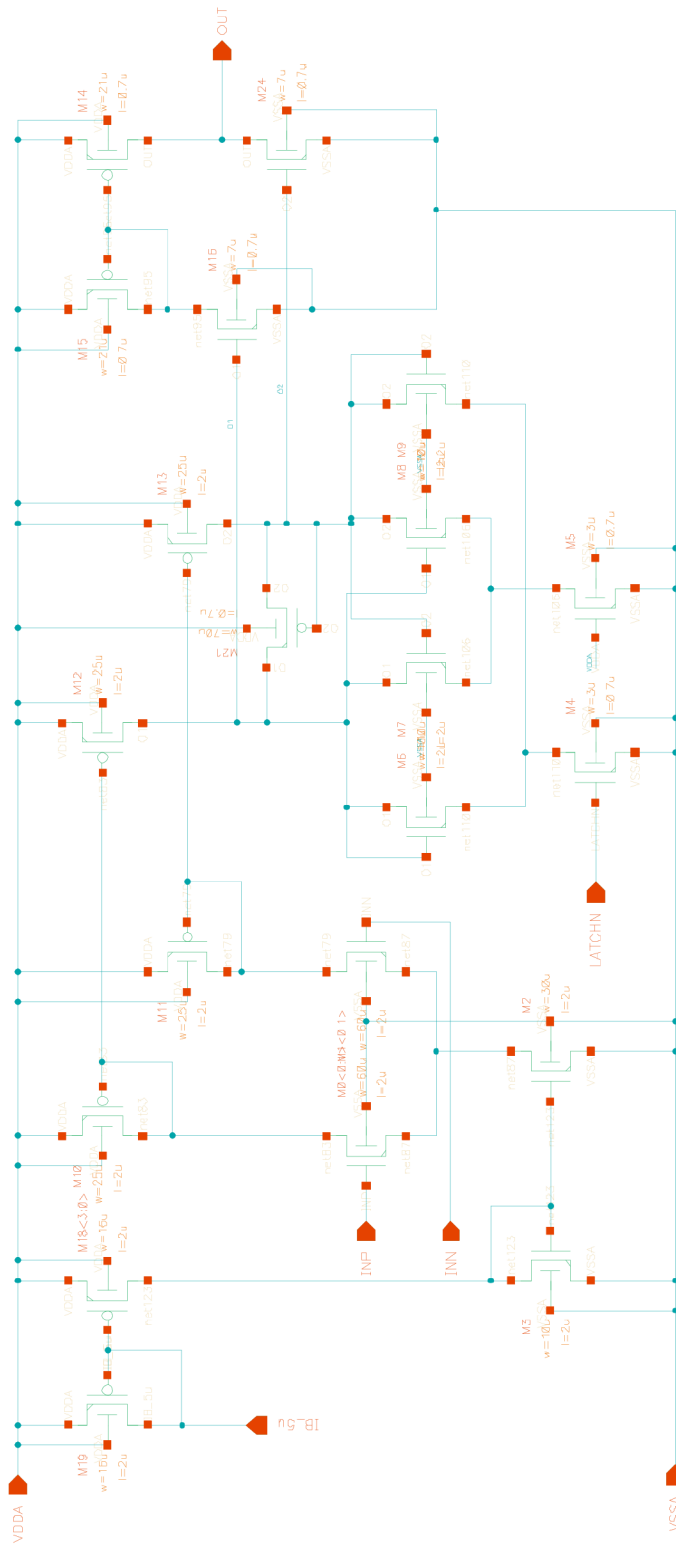
Obr. P14 Zapojení integrátoru 2



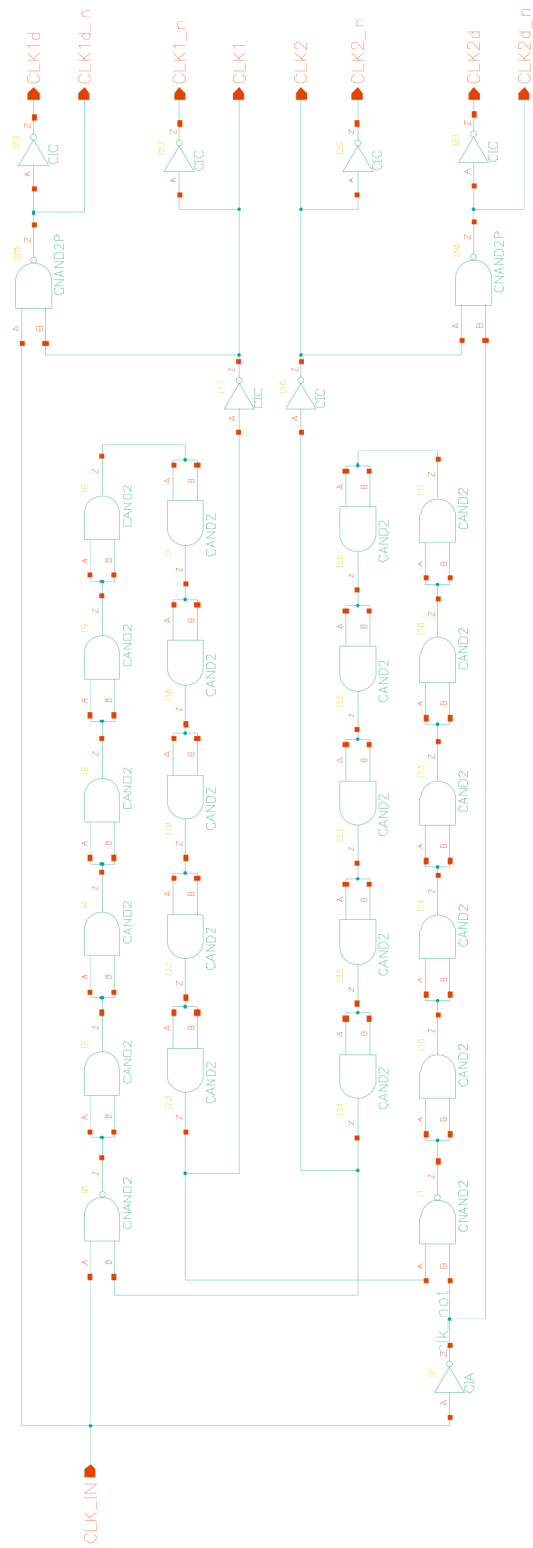
Obr. P15 Zapojení integrátoru 3



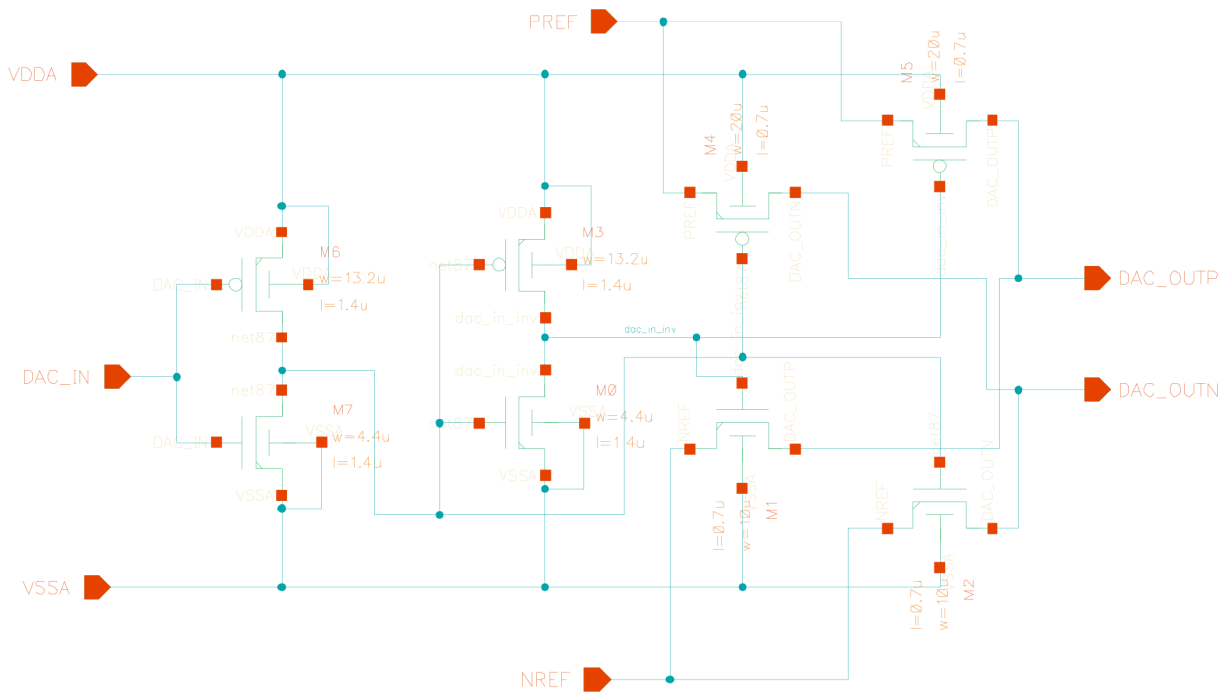
Obr. P16 Zapojení sumátoru



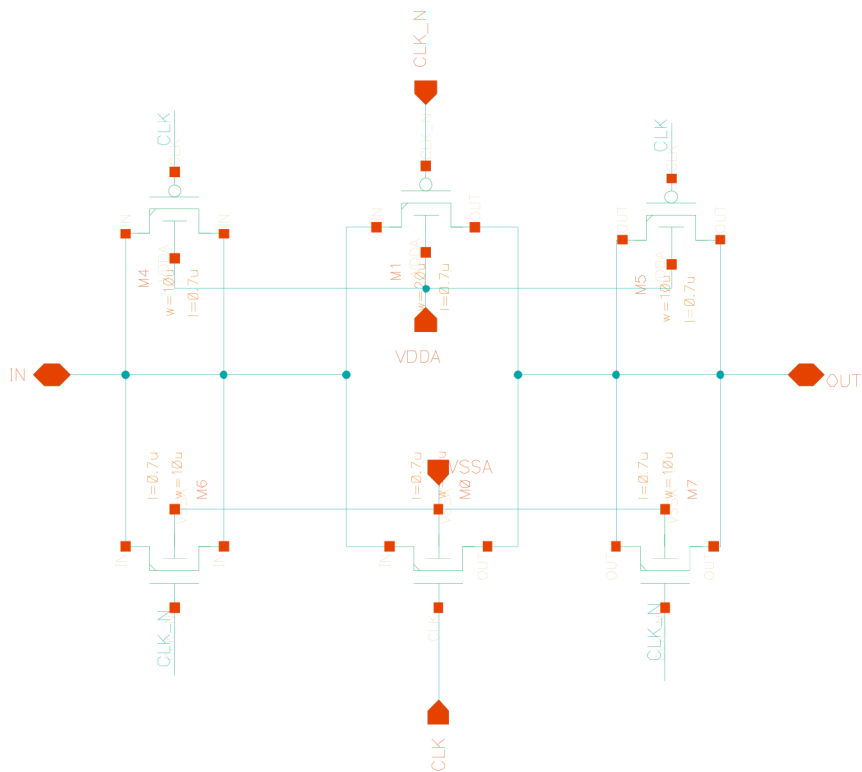
Obr. P17 Zapojení komparátoru



Obr. P18 Zapojení generátoru řídicích hodinových signálů

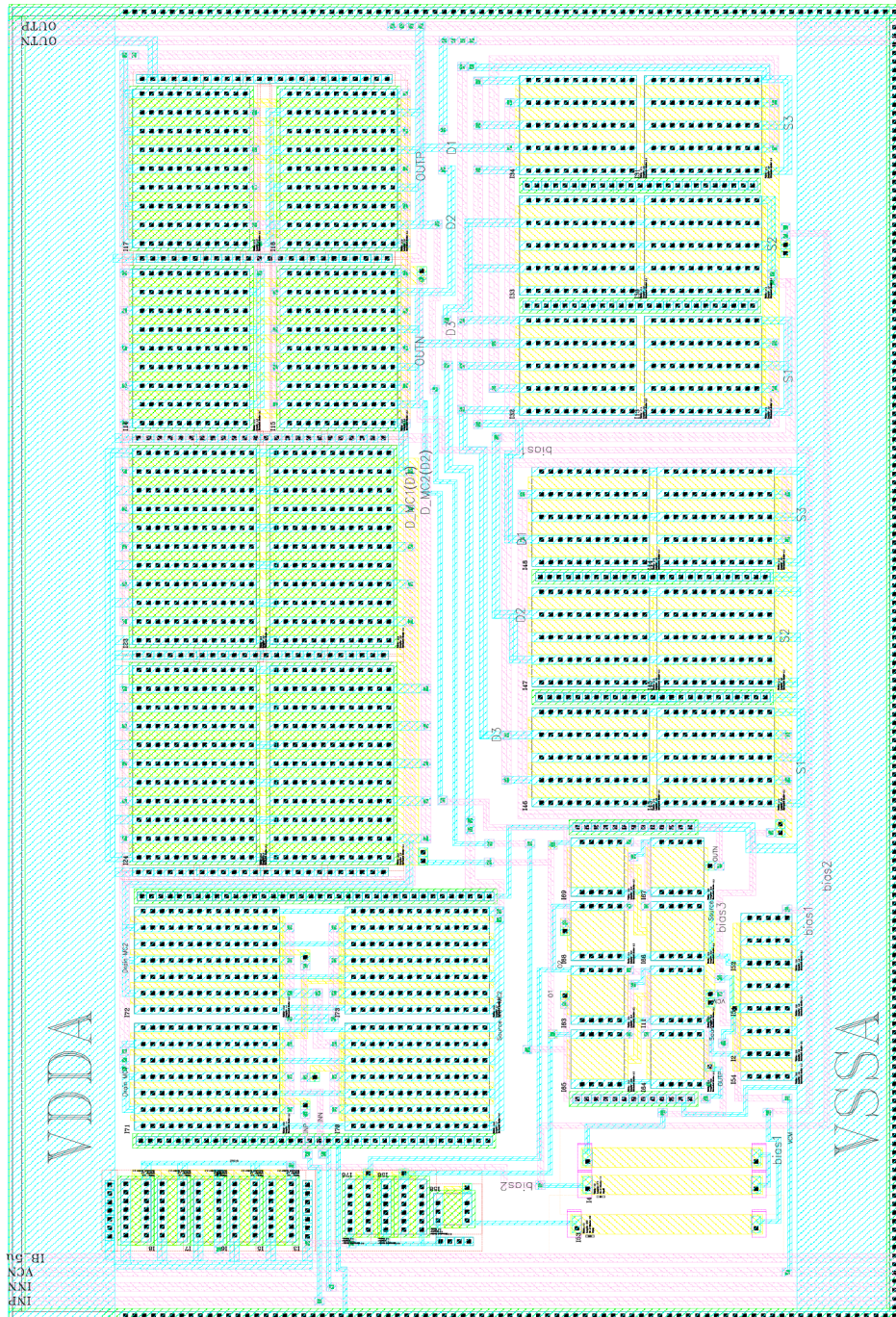


Obr. P19 Zapojení jednotbitového převodníku DA

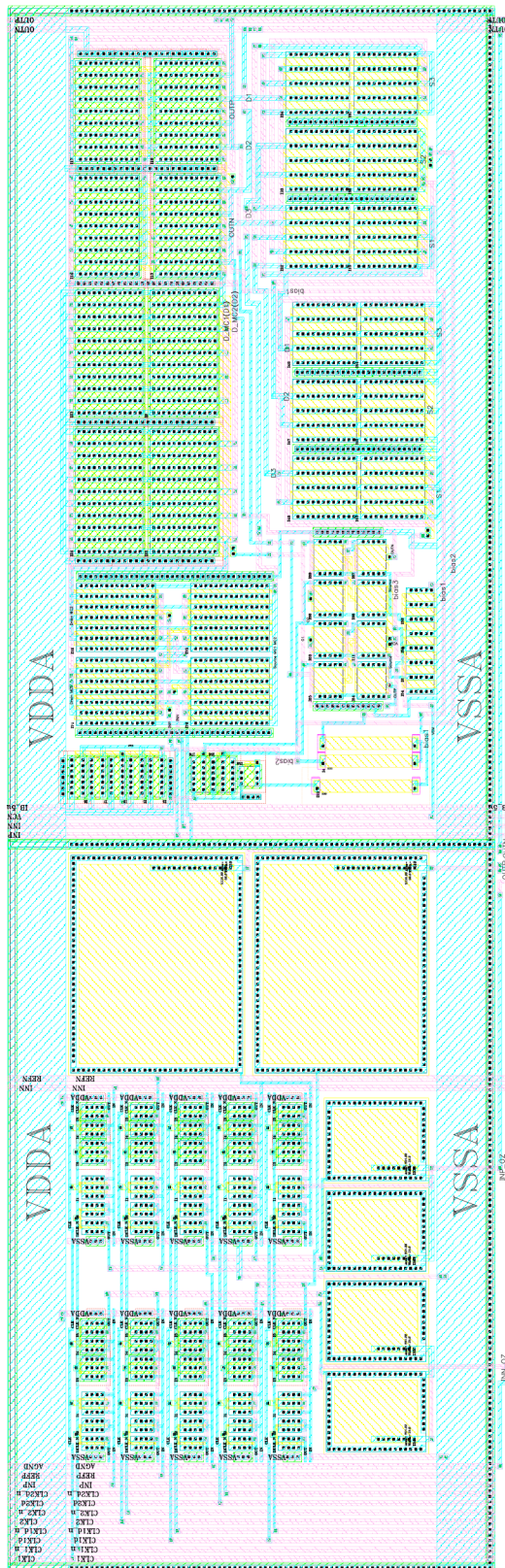


Obr. P20 Zapojení spínače s tranzistory MOS

Příloha 6: Layout vybraných bloků modulátoru $\Sigma\Delta$



Obr. P21 Layout plně diferenciálního OZ



Obr. P22 Layout integrátoru 1