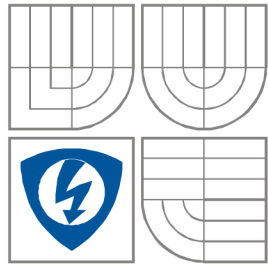


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**
ÚSTAV AUTOMATIZACE A MĚŘICÍ TECHNIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF CONTROL AND INSTRUMENTATION

DIGITÁLNÍ SNÍMÁNÍ OBRAZU A JEHO PŘENOS POMOCÍ SÍTĚ FLEXRAY

DIGITAL IMAGE ACQUISITION AND THE TRANSFER VIA FLEXRAY NETWORK

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

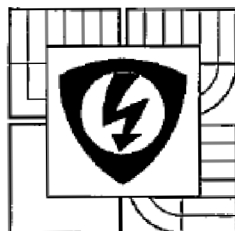
AUTOR PRÁCE
AUTHOR

LADISLAV BAŽANT

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. SOBĚSLAV VALACH

BRNO 2012



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav automatizace a měřicí techniky

Bakalářská práce

bakalářský studijní obor
Automatizační a měřicí technika

Student: Ladislav Bažant

Ročník: 3

ID: 119354

Akademický rok: 2011/12

NÁZEV TÉMATU:

Digitální snímání obrazu a jeho přenos pomocí sítě FlexRay

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte demonstrační model pro přenos obrazového signálu pomocí sítě FlexRay.

Navrhněte desku plošných spojů, která obsahuje komunikační kanál Flexray, rozhraní pro digitální kameru a další potřebné obvody pro zpracování a zobrazení přeneseného signálu.

Komunikační kanál musí obsahovat fyzickou vrstvu Flexray (transceiver čip) od firmy ON Semiconductor.

Další obvody pro komunikační vrstvy protokolu Flexray jsou libovolné, dle zvoleného technického řešení.

Přenášený signál může být zobrazený na vhodném displeji, případně na PC monitoru.

Výsledkem práce je realizovaná deska plošných spojů a oživení části umožňující přenos grafického souboru. Plná funkčnost včetně snímání z kamery, komprese a dekomprese, atd. není pro její komplexitu nezbytnou součástí zadání a bude předmětem dalšího pokračování práce.

DOPORUČENÁ LITERATURA:

[1] FlexRay Consortium, FlexRay Communications System - Electrical Physical Layer Specification, Version 3.0, December 2009

[2] FlexRay Consortium, FlexRay Communications System - Protocol Specification, Version 3.0, December 2009

[3] On Semiconductor, NCV7381 Datasheet

[4] F. Britan, Dokumentace k síti Flexray

Termín zadání: 6.2.2012

Termín odevzdání: 28.5.2012

Vedoucí práce: Ing. Soběslav Valach

Konzultanti bakalářské práce:

doc. Ing. Václav Jirsík, CSc.

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI, díl 4, Trestního zákoníku č. 40/2009 Sb.



Abstrakt

Cílem této práce je vytvořit ukázkou aplikace přenosu digitálního obrazu přes sběrnici FlexRay. Přenášený obraz se bude zobrazovat na VGA monitoru pomocí hradlového pole. Součástí práce je návrh desky plošných spojů. Na této desce plošných spojů bude, kromě nutných komponentů k přenosu obrazu, vyveden konektor na kamerový modul. Tento kamerový modul bude použit pro pokračování této práce.

Klíčová slova

NCV7381, FlexRay, FPGA, VHDL, Přenos Obrazu

Abstract

The aim of this work is to create a sample application of digital image transfer via FlexRay bus. The transmitted image is displayed on a VGA monitor using the FPGA. Part of the work is to designed printed circuit boards. This printed circuit boards will be contain connector on the camera module and the necessary components for image transfer. Camera module will be used in the continuation of this work.

Keywords

NCV7381, FlexRay, FPGA, VHDL, Image Transfer

Bibliografická citace:

BAŽANT, L. *Digitální snímání obrazu a jeho přenos pomocí sítě FlexRay*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2012. 42s. Vedoucí bakalářské práce byl Ing. Soběslav Valach.

Prohlášení

„Prohlašuji, že svou bakalářskou práci na téma „Digitální snímání obrazu a jeho přenos pomocí sítě FlexRay“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: **23. května 2012**

.....
podpis autora

Poděkování

Děkuji konzultantům a zadavatelům mé bakalářské práce Ing. Romanu Buzášovi a Ing. Filipu Brtáňovi za cenné rady, trpělivost a ochotu vždy pomoci při zpracování mé bakalářské práce. Také bych chtěl poděkovat Ing. Soběslavu Valachovi a Ing. Františku Gogolovi za účinnou metodickou a odbornou pomoc.

V Brně dne: **23. května 2012**

.....
podpis autora

Obsah

1	Úvod.....	11
2	Komunikační protokoly.....	12
2.1	LIN (Local Interconnect Network).....	12
2.2	CAN (Controller Area Network).....	12
2.3	FlexRay.....	12
2.4	MOST.....	13
2.5	Méně používané sběrnice.....	13
3	Flexray.....	14
3.1	Fyzická vrstva.....	14
3.1.1	Kabely.....	14
3.1.2	Konektory.....	14
3.1.3	Terminace.....	14
3.1.4	Elektrické signály.....	15
3.1.5	Topologie sítě.....	15
3.2	Linková vrstva.....	17
3.2.1	Komunikační cyklus.....	17
3.2.2	Popis datového rámce.....	18
4	Kamery.....	20
4.1	Požadavky.....	20
4.2	Popis MT9D111.....	21
4.3	Kamerový modul.....	22
5	Hradlové pole.....	23
5.1	Hradlové pole XC3S700AN.....	23
6	VGA rozhraní.....	25
6.1	VGA signály.....	25
6.2	VGA časování.....	26
6.3	Schéma zapojení.....	27
7	Propojovací modul.....	28
7.1	Napájecí obvody.....	29
7.2	Komunikační procesor.....	29
7.3	Mikroprocesor MC9S12XF512.....	30
7.3.1	Paměťový modul mikroprocesoru.....	30
7.4	FlexRay budič.....	30

8	Firmware	32
8.1	Knihovna FlexRay UNIFIED Driver.....	32
8.2	Inicializace a konfigurace FlexRay modulu	32
8.3	Firmware odesílací stanice	34
8.4	Firmware přijímací stanice	35
8.5	Firmware hradlového pole	36
9	Shrnutí a dosažené výsledky	39
10	Závěr.....	41
	Literatura.....	42

Seznam Obrázků

Obrázek 1: Terminace konce kabelu [1]	14
Obrázek 2: Napěťové schéma signálů na sběrnici [1].....	15
Obrázek 3: Point to point [1].....	15
Obrázek 4: Zapojení hvězda [1].....	16
Obrázek 5: Pasivní sběrnice [1]	16
Obrázek 6: Hybridní zapojení [1]	16
Obrázek 7: Komunikační cyklus [2]	17
Obrázek 8: Formát rámce [2]	18
Obrázek 9: Blokové schéma kamery MT9D111 [5]	21
Obrázek 10: Schéma kamerového modulu [13].....	22
Obrázek 11: DPS kamerového modulu [13]	22
Obrázek 12: Uspořádání základních bloků FPGA [7]	24
Obrázek 13: VGA konektor [8].....	25
Obrázek 14: Časové průběhy VGA [8].....	26
Obrázek 15: Schéma zapojení VGA konektoru k FPGA [8]	27
Obrázek 16: Blokové schéma zapojení s kamerou.....	28
Obrázek 17: Blokové schéma zapojení bez kamery.....	28
Obrázek 18: Blokové schéma propojovacího modulu	29
Obrázek 19: Popis stavů NCV7381 [6].....	31
Obrázek 20: Typické zapojení FlexRay budiče NCV7381 [6]	31
Obrázek 21: Vývojový diagram firmwaru odesílací stanice	33
Obrázek 22: Vývojový diagram přerušovací rutiny přijímací stanice	35
Obrázek 23: Popis protokolu mezi FlexRay modulem a FPGA	36
Obrázek 24: Funkce hradlového pole	36
Obrázek 25: Jednotlivé VHDL moduly	37
Obrázek 26: Vývojový diagram DDR2_CONTROL_VHDL modulu.....	37
Obrázek 27: Struktura FIFO paměti.....	38
Obrázek 28: Nastavení slotů u vysílací a přijímací stanice.....	39
Obrázek 29: Nastavení slotů s využitím dynamického segmentu.....	39

Seznam Tabulek

Tabulka 1: Impedance linky	14
Tabulka 2: Impedance konektorů.....	14
Tabulka 3: Impedance terminace	15
Tabulka 4: Přehled SOC senzorů od firmy Aptima	20
Tabulka 5: Parametry hradlových polí [7]	23
Tabulka 6: Možnosti míchání barev.....	25
Tabulka 7: P-Flash paměťová adresace	30
Tabulka 8: Popis souborů knihovny FlexRay	32

1 ÚVOD

Komunikační sběrnice FlexRay se pomalu začíná prosazovat především v automobilovém průmyslu. Její výhoda spočívá ve vysokorychlostním přenosu dat, vysoké odolnosti vůči poruchám a elektromagnetickému záření nebo unikátní dvoukanálové struktuře.

Tato bakalářská práce se zabývá realizací zařízení, která slouží k ukázce aplikace přenosu digitálního obrazu přes FlexRay síť. Tato aplikace může představovat například snímání obrazu z parkovací kamery, přenos a zobrazení na monitoru v přední části vozu.

V prvních kapitolách této práce jsou popsány různé druhy komunikačních protokolů, jejich výhody a nevýhody. Popis fyzické a linkové vrstvy FlexRay sběrnice je uveden v kapitole 3. Následující kapitola se zabývá výběrem a rozбором vhodného kamerového senzoru. Protože zobrazovacím zařízením v naší práci slouží monitor, tak kapitoly 5 a 6 popisují VGA protokol a hradlové pole typu Spartan 3AN, které slouží jako řadič VGA. Pro spojení hradlového pole a kamerového senzoru bylo nutné navrhnout desku plošných spojů. Tento návrh je popsán v kapitole 7. V posledních kapitolách je popsán firmware hradlového pole a firmware mikroprocesoru MC9S12XF512. Využíváme knihovny FlexRay UNIFIED driver. Poslední kapitola obsahuje zhodnocení práce a možnosti pro další pokračování práce.

2 KOMUNIKAČNÍ PROTOKOLY

V automobilovém průmyslu se používá několik druhů komunikačních protokolů používaných podle účelu.

2.1 LIN (Local Interconnect Network)

LIN je jednovodičový sériový protokol na bázi sériové asynchronní komunikace. Využívá UART protokol pro příjem a vysílání dat na sběrnici [1]. Komunikace je typu Master – Slave, přičemž maximální počet jednotek je 17 (1 master a 16 slave). Protože na komunikaci je třeba jen jednoho vodiče, výrobní náklady jsou velmi nízké. Rychlost komunikace se pohybuje od 2400 do 19200 bit/s. LIN se proto používá pro méně důležité jednotky nevyžadující rychlý přenos dat.

2.2 CAN (Controller Area Network)

CAN protokol byl představen v roce 1986 organizací SAE International na kongresu v Detroitu. Účel vzniku CAN protokolu spočíval ve vytvoření sériového multiplexního protokolu o vysokém přenosu dat při nízké chybovosti. Maximální rychlost komunikace je 1 Mbit/s do 40 metrů vedení. Pro delší vedení je třeba snížit maximální přenosovou rychlost na 125 kbit/s při maximální délce 500 metrů. Maximální délka 1000 metrů je podmíněna maximální přenosovou rychlostí 50 kbit/s. Jedním ze stěžejních vlastností CAN je bezchybný přenos dat, který se dosáhne pomocí monitorování sběrnice, kontrolními zprávami nebo kontrolou cyklickým kódem. Všechna kontrolní místa řadiče sledují komunikaci a podle povahy chyby buď přeruší komunikaci, zopakují zprávu, nebo vygenerují chybové hlášení. Komunikace na sběrnici probíhá metodou CSMA (Carrier Sense Multiple Access). Každý rámeček obsahuje identifikátor, podle kterého se určuje priorita vysílání. Vyšší prioritu mají zprávy s nižší hodnotou identifikátoru.

2.3 FlexRay

Výhodou oproti LIN a CAN je velká přenosová rychlost a velmi dobrá ochrana přenášených dat. FlexRay obsahuje unikátní dvoukanálovou strukturu a tento protokol je velmi odolný vůči elektromagnetickému rušení. Přenos dat dosahuje maximální rychlosti 10 Mbit/s. U FlexRay je přístupováno na sběrnici metodou TDMA nebo FTDMA, podle způsobu konfigurace. Více o fyzické a linkové vrstvě je popsáno v kapitole 3.

2.4 MOST

MOST (Media Oriented System Transport) je sběrnice pro multimediální účely. Technologie byla navržena pro efektivní přenos audio a video dat. Existují 3 druhy označení sběrnice, podle maximální rychlosti přenosu dat: MOST25, MOST50, MOST150. Přenos informace pro MOST25 a MOST150 probíhá po optickém kabelu, kdežto MOST50 využívá UTP kabel. Maximální rychlost přenosu dat je 25, 50, 150 Mbit/s.

2.5 Méně používané sběrnice

Mezi další sběrnice můžeme zařadit:

SAE J1850	Sběrnice pro diagnostiku a sdílení dat ve vozidle. Rychlost přenosu 41,6 kBit/s po dvou vodičích. Využívá se CDMA/CR protokol.
MI-Bus	(Motorola Interconnect) Sériová komunikace po jednom vodiči. Podobné sběrnici LIN.
VAN-ISO11519	(Vehicle Area Network) Vyvinut automobilkou Renault a koncernem PSA. Velmi podobné CAN protokolu. Z důvodu standardizace nahrazeno CAN protokolem.
SWCAN-SAE	(Single Wire CAN) Komunikace po jednom vodiči. Maximální rychlost 83,3 kbit/s.
Byteflight	Předchůdce FlexRay sběrnice. Vhodný pro použití v bezpečnostních systémech.

3 FLEXRAY

V této kapitole budou popsány základní vlastnosti FlexRay protokolu.

3.1 Fyzická vrstva

3.1.1 Kabely

Norma nedefinuje přesný typ kabelů, ale pouze jejich parametry. Mohou být použity jak stíněné, tak nestíněné za zachování následujících charakteristik uvedených v tabulce 1.

Jméno	Popis	Min	Max	Jednotka
Z_0	Diferenciální impedance	80	110	Ω
T_0	Zpoždění na lince	3,4	10	ns/m

Tabulka 1: Impedance linky

Poznámka: Útlum kabelu a zpoždění závisí na frekvenci a teplotě, ale může také záviset na okolních environmentálních podmínkách.

3.1.2 Konektory

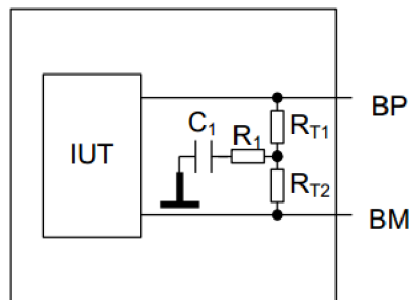
Specifikace neudává přesný typ konektorů, ale musí být splněny následující podmínky:

Jméno	Popis	Min	Max	Jednotka
$R_{dc_contact}$	Odpor kontaktu	-	50	$m\Omega$
Z	Impedance konektoru	70	200	Ω
l	Délka nestíněného místa včetně terminace	-	150	mm

Tabulka 2: Impedance konektorů

3.1.3 Terminace

Nejjednodušší varianta terminace kabelu je přidat rezistory R_{T1} a R_{T2} mezi diferenciální piny sběrnice. Kondenzátor C_1 a rezistor R_1 není nutný, ale jeho zapojení je doporučeno specifikací.



Obrázek 1: Terminace konce kabelu [1]

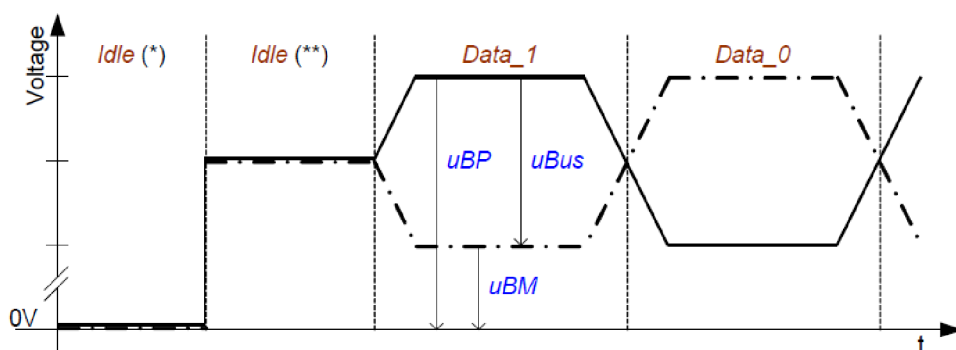
Jméno	Popis	Typ	Jednotka
R_{T1}	Rezistor terminace	$Z_0/2$	Ω
R_{T2}	Rezistor terminace	$Z_0/2$	Ω
R_1	Rezistor	5	Ω
C_1	Kondenzátor	4,7	nF

Tabulka 3: Impedance terminace

Poznámka: Hodnota Z_0 závisí na použití kabelu, viz. tabulka 1.

3.1.4 Elektrické signály

Na sběrnici mohou nastat tři stavy: Data_0, Data_1 a Idle. Napětové schéma je zobrazeno na obrázku 2. Vodiče sběrnice jsou označeny BP a BM. Napětí na vodičích je označeno jako u_{BP} a u_{BM} (měřeno k zemi). Rozdílové napětí na sběrnici u_{Bus} je definováno jako $u_{Bus} = u_{BP} - u_{BM}$. Rozsah rozdílového napětí u_{Bus} se pohybuje od 600 mV do 2000 mV.



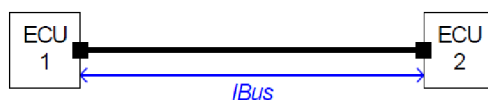
Obrázek 2: Napětové schéma signálů na sběrnici [1]

(*) V případě že všechny stanice jsou v low power módu.

(**) V případě že ani jedna stanice není v low power módu.

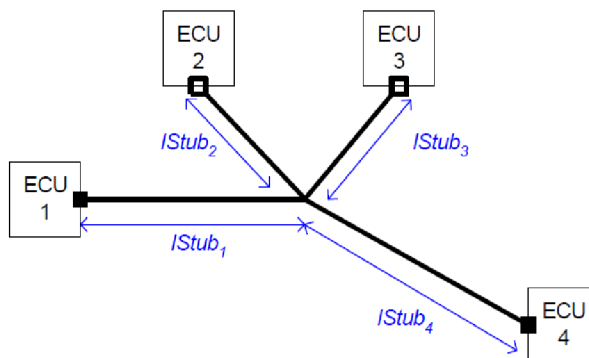
3.1.5 Topologie sítě

Existuje mnoho způsobů propojení jednotlivých stanic. Nejjednodušší způsob propojení dvou stanic se nazývá bod - bod (Point to Point). Doporučená maximální délka vodiče l_{Bus} mezi dvěma stanicemi je 24 metrů. Tuto limitující vzdálenost lze odstranit například pomocí opakováčů.



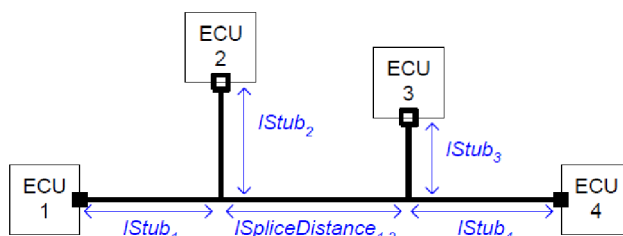
Obrázek 3: Point to point [1]

Pro spojení více než dvou stanic se užívá zapojení známé jako pasivní hvězda (passive star).



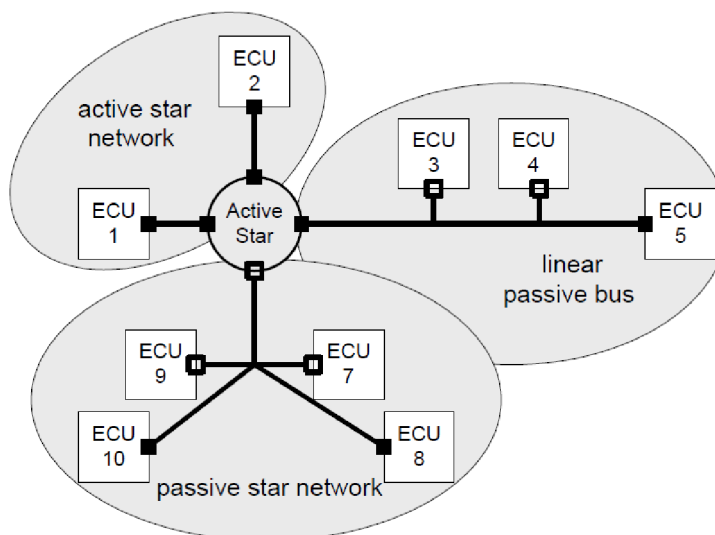
Obrázek 4: Zapojení hvězda [1]

Další možnost pasivního zapojení stanic se uvádí jako pasivní sběrnice.



Obrázek 5: Pasivní sběrnice [1]

Mezi další možnosti propojení stanic lze považovat zapojení za pomoci opakovačů a dále pak kombinace opakovačů a výše zmíněných pasivních zapojení, to se nazývá hybridní zapojení. Dále lze využít oba kanály k různým způsobům zapojení.

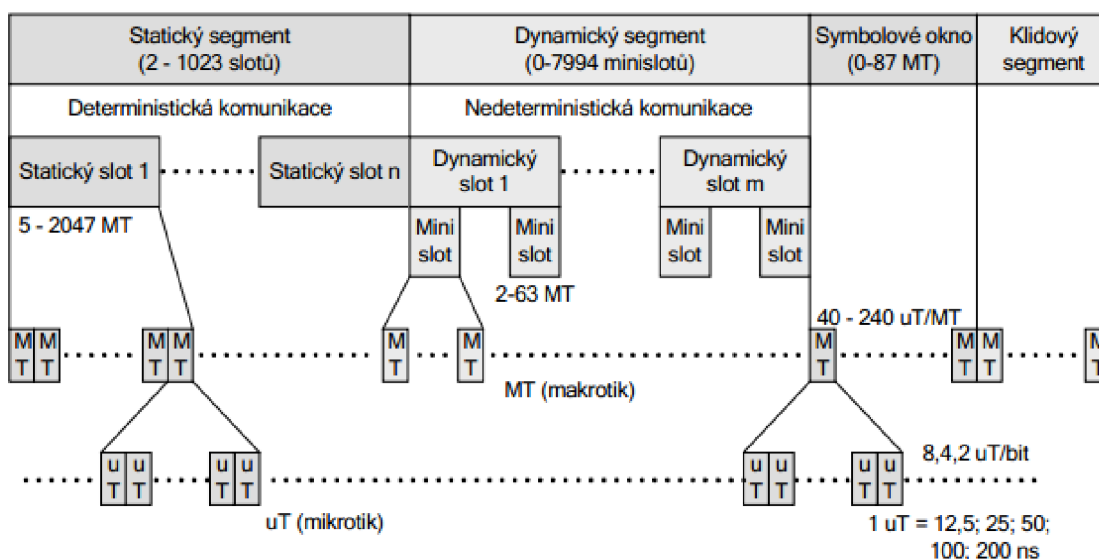


Obrázek 6: Hybridní zapojení [1]

3.2 Linková vrstva

3.2.1 Komunikační cyklus

Komunikace probíhá v komunikačních cyklech rozdělených do čtyř segmentů. Segmenty jsou rozděleny na sloty. Nejmenší časovou jednotkou je mikrotik (uT), délka odpovídá periodě hodinového generátoru. Macrotick je jednotka na úrovni systému. Jeho délka je násobkem microticku a musí být stejná pro všechny uzly. Struktura komunikačního cyklu je vyobrazena na obrázku 7. Jednotlivé komunikační cykly se periodicky opakují a jsou číslovány od 0 do 63 [2].



Obrázek 7: Komunikační cyklus [2]

Statický segment je povinnou součástí komunikačního cyklu a skládá se z 2 až 1023 statických slotů stejné délky, které mohou být přiřazeny k jednotlivým stanicím. Statické sloty se využívají k deterministické komunikaci. Tato přístupová metoda se také nazývá TDMA (Time Division Multiple Access).

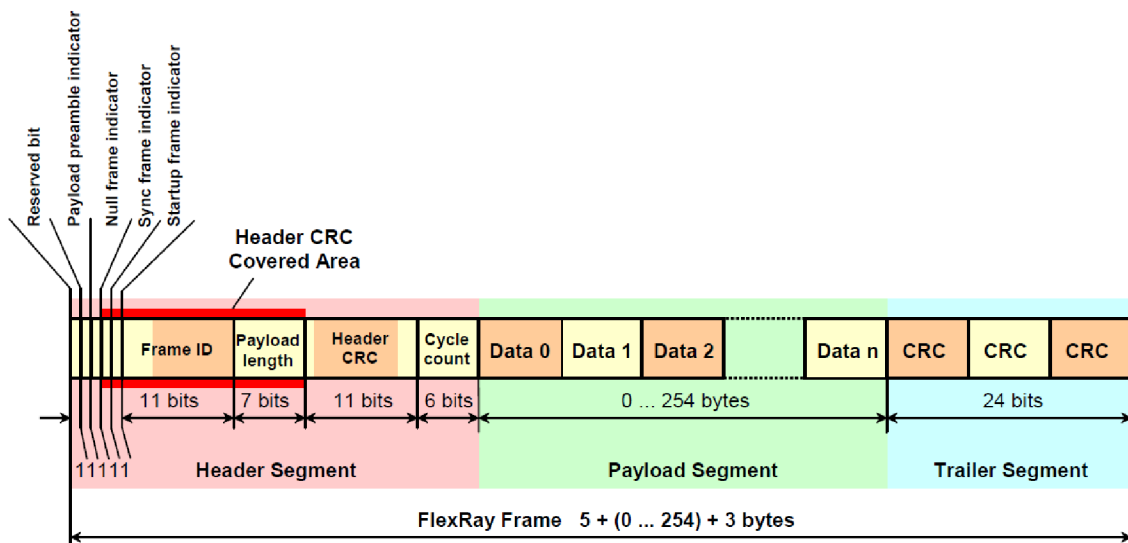
Naopak **dynamický segment** používá přístupovou metodu FTDMA (Flexible Time Division Multiple Access). Komunikace je nedeterministická a to znamená, že ne všechna data se musí přenést v jednom komunikačním cyklu. Dynamický segment není nutnou součástí komunikačního cyklu a je vhodný pro zprávy s menší prioritou.

V rámci **symbolického okna** se může poslat jeden ze dvou stavových symbolů: **MTS** (Media Access Test Symbol), **WUDOP** (Wakeup During Operation Pattern), slouží k probuzení na základě patternu. Symbolické okno je volitelnou součástí komunikačního cyklu.

Klidový segment odděluje jednotlivé komunikační cykly. Slouží pro synchronizaci a korekci časové základny. Po provedení korekce se klidový stav prodlouží nebo zkrátí o několik mikrotiků.

3.2.2 Popis datového rámce

Rámec obsahuje 3 segmenty, které obsahují **header** segment, **payload** segment a **trailer** segment.



Obrázek 8: Formát rámce [2]

Hlavička segmentu obsahuje 5 stavových bitů:

- **Rezervovaný bit** – slouží pro budoucí rozšíření protokolu
- **Indikátor preamble datového segmentu** - pokud je nastaven na 0 potom datový segment neobsahuje *network management vector* (pro statický segment) respektive *message ID* (pro dynamický segment)
- **Indikátor nulového rámce** – pokud je nastaven na 0, datový segment neobsahuje platná data. Všechny bajty v datovém segmentu jsou nastaveny na nulu a indikátor preamble je také vynulován.
- **Indikace synchronizace rámce** – slouží k synchronizaci základnen. Rámec může být poslán pouze ve statickém segmentu.
- **Indikátor startovacího rámce** – slouží k nastartování komunikace na síti.

Dále potom:

- **ID rámce (11 bitů)** – identifikace slotu, ve kterém rámec vysílá. Rozsah ID rámce je od 1 do 2047, přičemž 0 je neplatný rámec.
- **Délka datového segmentu (7 bitů)** – uvádí velikost datového rámce.

- **CRC hlavičky (11 bitů)** – Kontrolní součet slouží k případnému odhalení chyby v hlavičce rámce. Tento kontrolní součet je definován jako zbytek po dělení vstupních dat **generujícím polynomem**. Mezi vstupní data, ze kterých se počítá CRC, patří těchto dvacet bitů: indikátor synchronizačního a startovacího rámce, ID rámce a délka datového segmentu. Generujícím polynomem pro CRC je číslo **0x385** a inicializační vektor výpočtu CRC je číslo 0x1A [2]. Zdrojový kód výpočtu lze nalézt na [9].
- **Číslo cyklu (6 bitů)** – identifikace cyklu, v němž rámeček vysílá.

Datový segment obsahuje 0 až 254 bytů dat (0 až 127 dvou-bytových slov). Datový segment vždy obsahuje sudý počet bytů.

Posledních 24 bitů rámce slouží ke kontrolnímu součtu jak hlavičky, tak i dat v datovém segmentu. CRC počítá řadič.

4 KAMERY

Pro další pokračování této práce je nezbytné použít kameru na snímání obrazu a následný přenos pomocí sítě FlexRay.

4.1 Požadavky

Kamera by měla splňovat následující požadavky:

- Minimální rozlišení: 640x480 px
- Barevnost: RGB
- Frame rate: min. 15 FPS
- Real time JPEG encoder
- SOC provedení

Kvůli požadavku na JPEG kompresi se výběr kamer velice zúžil. Na trhu existují kamery s UART protokolem, ale jejich nevýhoda je v pomalém přenosu dat. Jako vhodná kamera se jeví kamery od firmy Aptina (dříve Micron). V následující tabulce je přehled 7 kamerových senzorů a jejich parametry.

Označení	Rozlišení	Výstupní formát dat	Rychlost snímkování
MT9D111	2,0 Mpx	RAW, JPEG 4:2:2, JPEG 4:2:0	15 - 30 fps
MT9D112	2,0 Mpx	565RGB, 555RGB, 444RGB	15 - 30 fps
MT9M111	1,3 Mpx	565RGB, 555RGB, 444RGB	15 - 30 fps
MT9M114	1,3 Mpx	565RGB, 555RGB, 444RGB	30 - 120 fps
MT9P111	5,0 Mpx	RAW, JPEG 4:2:2	15 - 30 fps
MT9V128	0,3 Mpx	RAW, Analog NTSC/PAL	60 fps
MT9T111	3,1 Mpx	RAW, JPEG 4:2:2	15 - 30 fps

Tabulka 4: Přehled SOC senzorů od firmy Aptima

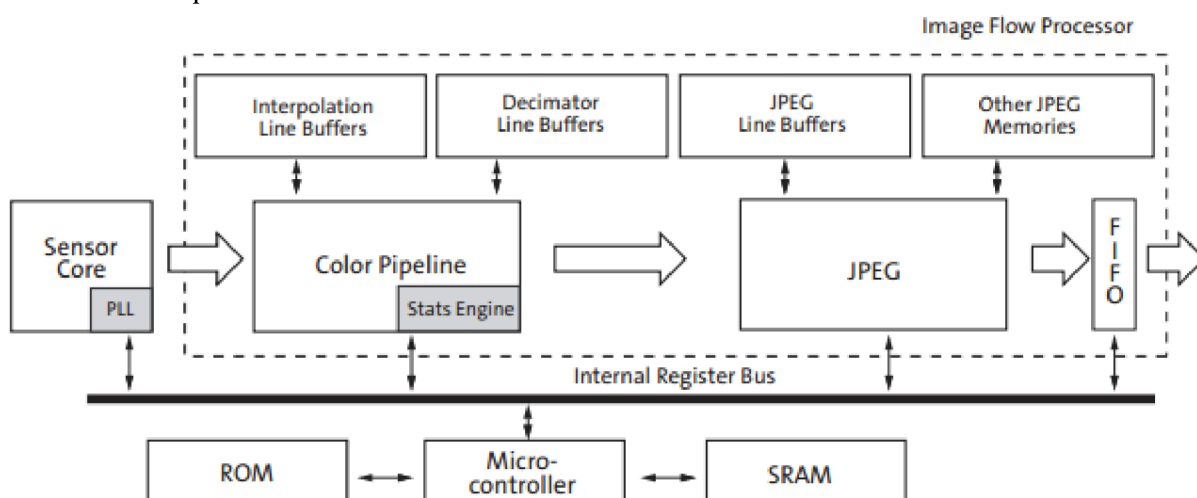
Z tabulky 4 jsou vidět rozdílné parametry jednotlivých senzorů. Všechny senzory splňují minimální rozlišení a minimální rychlost snímkování. Naopak požadovaný výstupní formát JPEG splňují jen kamerové senzory typu MT9D111, MT9P111 a MT9T111. Nevýhodou těchto senzorů je to, že jsou dodávány v pouzdru typu BGA, tudíž je nutné zakoupit hotový kamerový modul. Kamerový modul je k dispozici pouze pro sensor MT9D111. Tento modul lze zakoupit v kusovém množství na internetovém obchodě www.elechose.com za cenu 34,99 dolarů včetně ostřících čoček.

4.2 Popis MT9D111

Parametry:

- Nízká spotřeba <348mW
- Rozlišení 2 Mpx (1600 x 1200 px)
- Optický formát 1/3.2 inch (4:3)
- Velikost pixelu 2,8 μ m
- Typ uzávěrky ERS (Elektronic Rolling Shutter)
- Rychlost snímkování 15-30 fps
- Integrovaný procesor pro větší flexibilitu
- 8-bitová I/O sběrnice
- Maximální datový přenos 80 MB/s
- Maximální master clock 80 Mhz
- Formát obrazu: ITU-R BT.601 (YCbCr), 565RGB, 555RGB, 444RGB, JPEG 4:2:2, JPEG 4:2:0 a RAW 10-bit

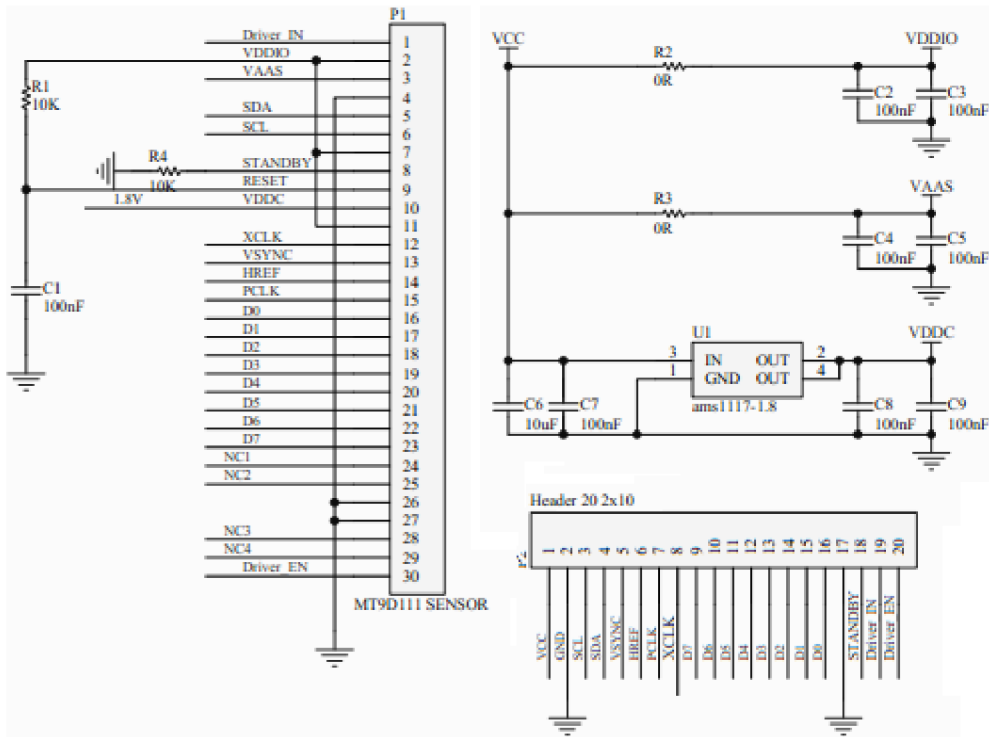
Aptina MT9D111 je 2 Mpx CMOS obrazový senzor s integrovaným pokročilým kamerovým systémem. Obsahuje mikroprocesor a sofistikovaný IFP procesor s real time JPEG encoderem. Poskytuje také programovatelný vstupní / výstupní modul, který může být použit pro ovládání externí uzávěrky optického zoomu. Procesor obsahuje a spravuje všechny komponenty kamerového systému. Sensorové jádro se skládá z aktivního pole pixelů velikosti 1668 x 1248. Celý systém na čipu (SOC) má velmi nízkou spotřebu.



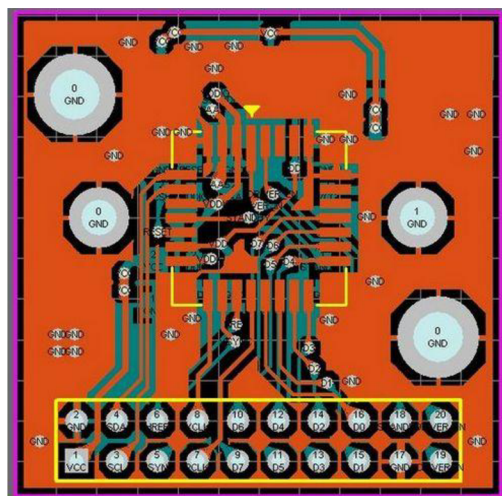
Obrázek 9: Blokové schéma kamery MT9D111 [5]

4.3 Kamerový modul

Z důvodu, že pouzdro sensoru MT9D111 je typu BGA (64-Ball iCSP), bylo nutné koupit hotový kamerový modul. Schéma je uvedeno na obrázku 10. Modul obsahuje regulátor 1,8 V pro digitální napájení sensoru. Dále jsou součástí modulu filtrační kondenzátory, pull-down rezistor pro standby pin a dvaceti-pinový konektor na propojení modulu s řídicím zařízením. Dvouvrstvá DPS je uvedena na obrázku 11.



Obrázek 10: Schéma kamerového modulu [13]



Obrázek 11: DPS kamerového modulu [13]

5 HRADLOVÉ POLE

Pro zpracování signálu z kamery a pro zobrazení přenesených dat na LCD monitoru je nutné použít hradlové pole, které by mělo mít následující požadavky:

- Dostatečný počet IO pinů vyvedených na externí konektor
- VGA konektor
- Dostatečně velkou paměť

Po zvážení všech možností byl vybrán vývojový kit od firmy Xilinx, **Spartan-3AN Starter**. Výhoda řady Spartan-3AN spočívá v nízké ceně a množství dokumentace. Vývojový kit obsahuje následující periferie, které jsou využity:

- Hradlové pole typu XC3S700AN
- 64 MB DDR2 SDRAM paměť
- 100-pinový rozšiřující konektor Hirose
- VGA konektor pro připojení monitoru
- 3 zdroje hodinového signálu (50 Mhz, 133 Mhz, SMA konektor)
- Stavové LED diody

Vývojový kit obsahuje další periferie, které nebudou využívány, jako například ethernet, audio výstup, znakový display nebo konektor na PS/2 myš / klávesnici.

5.1 Hradlové pole XC3S700AN

Parametry hradlové pole XC3S700AN řady Spartan 3AN jsou uvedeny na následující tabulce:

Device	System Gates	Equivalent Logic Cells	CLBs	Slices	Distributed RAM Bits	Block RAM Bits	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs	Bitstream Size	In-System Flash Bits
XC3S50AN	50K	1,584	176	704	11K	54K	3	2	144	64	427K	1M
XC3S200AN	200K	4,032	448	1,792	28K	288K	16	4	195	90	1,168K	4M
XC3S400AN	400K	8,064	896	3,584	56K	360K	20	4	311	142	1,842K	4M
XC3S700AN	700K	13,248	1,472	5,888	92K	360K	20	8	372	165	2,669K	8M
XC3S1400AN	1400K	25,344	2,816	11,264	176K	576K	32	8	502	227	4,644K	16M

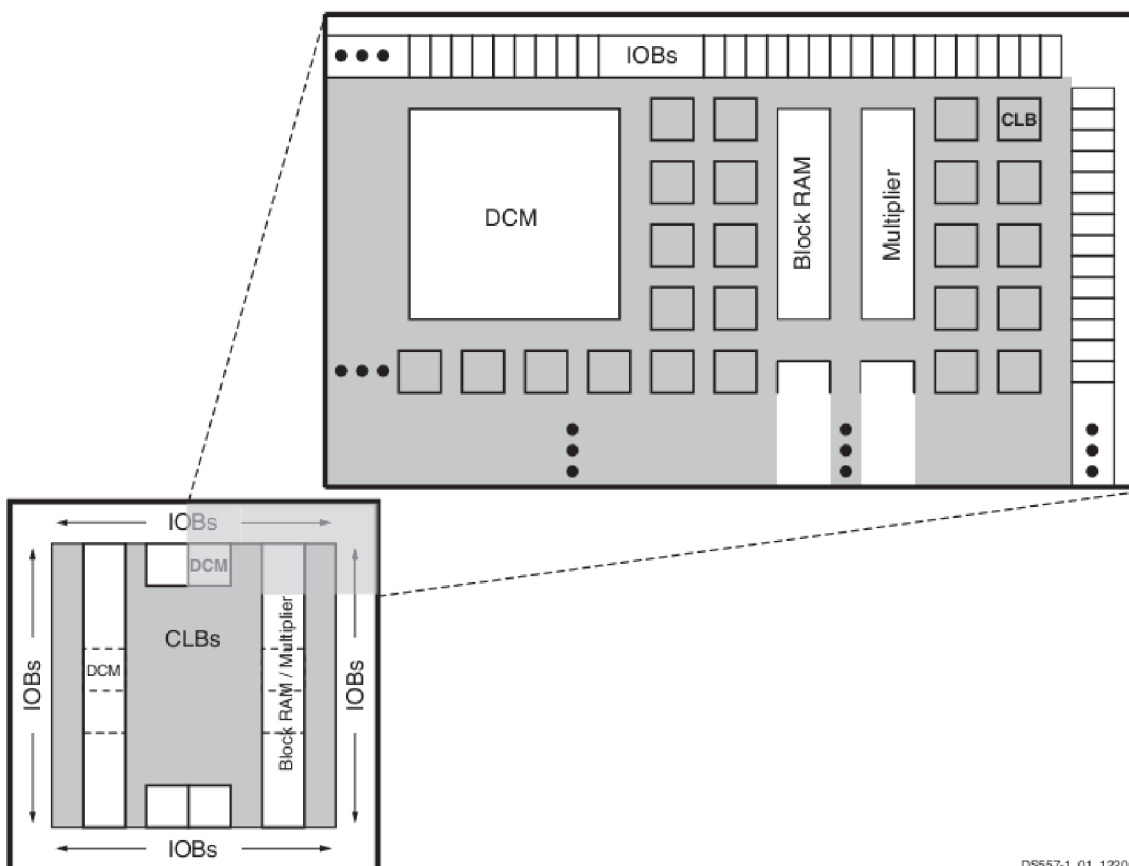
Tabulka 5: Parametry hradlových polí [7]

Architektura hradlového pole Spartan 3AN je kompatibilní se Spartan 3A a skládá se z pěti základních bloků:

- **Configurable Logic Blocks (CLBs)** Základní blokovou strukturu obvodu FPGA představují vlastní programovatelné logické bloky. Základní součásti jsou LUT (Look Up Table) tabulky, generátory logických funkcí, klopné obvody a multiplexory.

- **Input / Output Block (IOBs)** Řídí tok dat mezi vstupními a výstupními piny a vnitřní logikou hradlového pole. IOBs podporuje obousměrnou komunikaci a třístavové operace. Lze nastavit každému pinu jeden I/O standart, pro single-ended to jsou LVTTL, LVCMOS, PCI, HSTL a SSTL. Pro diferenciální zapojení jsou následující standardy: LVDS, RSDS, PPDS, TMDS, HSTL, SSTL a LVPECL. Pro výstupní pin můžeme nadefinovat omezení proudu.
- **Block RAM** Paměťový modul. Základ modulu tvoří 18 kB dvouportový RAM blok. Nejčastější způsob využití jako zásobník typu FIFO.
- **Multiplier Blocks** Násobičky
- **Digital Clock Manager (DCM) Blocks** Násobička hodinového signálu, dále je zde možnost auto kalibrace, plná podpora pro distribuci, zpoždění, násobení, dělení a fázový posun hodinových signálů.

Uspořádání těchto elementů je znázorněno na obrázku 12.

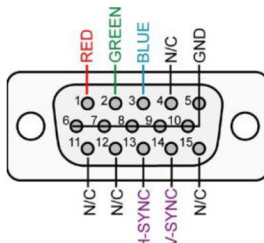


DS557-1_01_122008

Obrázek 12: Uspořádání základních bloků FPGA [7]

6 VGA ROZHRANÍ

Video Graphics Array (VGA) je standart pro počítačovou zobrazovací techniku vydaný roku 1987 společností IBM. Pro spojení počítače a monitoru slouží 15-pinový konektor typu D-SUB. Nejdůležitějšími piny jsou vertikální synchronizace (**V_SYNC**), horizontální synchronizace (**H_SYNC**) a signály tři barev (**RED**), (**GREEN**) a (**BLUE**).



Obrázek 13: VGA konektor [8]

6.1 VGA signály

Vertikální synchronizace (V-SYNC) určuje frekvenci, s jakou jsou obnovovány snímky. Náběžná hrana (v případě pozitivního synchronizačního impulsu) označuje začátek nového snímku. V současnosti se pohybuje snímková frekvence v rozsahu 56 až 120 Hz. Je možné vykreslovat celý snímek nebo pulsínek – toto záleží na tom, zda se jedná o prokládané nebo standardní řádkování.

Horizontální synchronizace (H-SYNC) určuje frekvenci, s níž jsou vykreslovány jednotlivé řádky. Princip je podobný jako u vertikální synchronizace, ale jeho frekvence je o několik řádů vyšší než v případě V-SYNC. Frekvence se pohybuje v rozsahu 31,5 až 100 kHz.

Analogové **RGB signály** slouží k přenášení obrazových dat pro každý bod zvlášť. Každou barvu lze vyjádřit kombinací signálů RGB. Výsledná barva je dána optickým součtem. Jedná se o aditivní míchání barev, kdy při současném dopadu několika paprsků vznikne nová barva. Bílá barva vznikne součtem červené zelené a modré barvy.

Možnosti míchání barev jsou zobrazeny v následující tabulce:

červená (RED)	zelená (GREEN)	modrá (BLUE)	výsledná barva
0	0	0	černá
0	0	1	modrá
0	1	0	zelená
0	1	1	azurová
1	0	0	červená
1	0	1	purpurová
1	1	0	žlutá
1	1	1	bílá

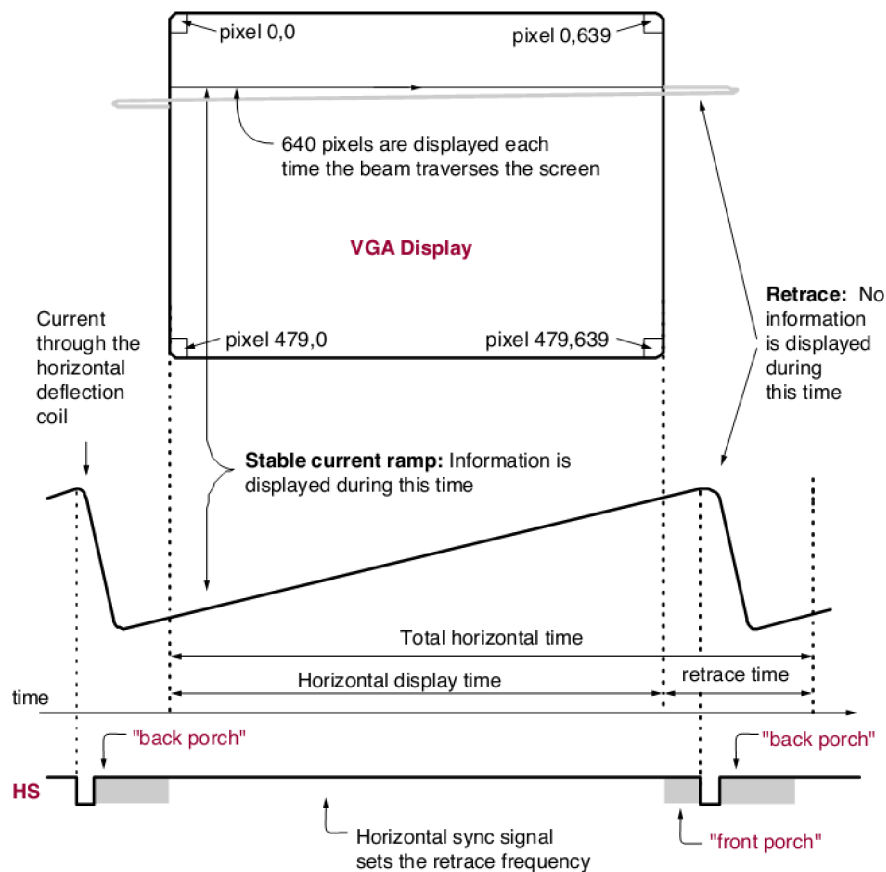
Tabulka 6: Možnosti míchání barev

Frekvence vykreslování jednotlivých bodů se pohybuje od 25 do 315 Mhz.

6.2 VGA časování

Specifikaci časování publikovala a licencovala organizace Video Electronics Standards Association (VESA). V této kapitole bude popsáno časování v grafickém rozlišení [8] 640 x 480 bodů. Frekvence překreslení 60 Hz.

Průběh signálů lze rozdělit na několik fází. Na obrázku číslo 14 jsou zobrazeny průběhy horizontálního synchronizačního signálu. Nejprve se provede synchronizace pomocí krátkého impulsu, poté následuje doba potřebná pro zpětný běh paprsku k přesunu na začátek následujícího řádku (**Black porch**). Po dalším synchronizačním impulsu (**Front porch**) následuje doba, v níž se vykresluje na obrazovku a celý děj se opakuje. Doby Front porch a black porch se obecně nazývají **doby zatmění** a v této době je nutné nastavit signály barev do logické 0, aby se vybily vnitřní kondenzátory v monitory. Vertikální synchronizace probíhá podobně jako horizontální, ale řádově pomaleji.



Obrázek 14: Časové průběhy VGA [8]

Podle standartu by měl být taktovací kmitočet roven 25,175 MHz, ale monitor se dokáže vyrovnat s vysokým rozptylem časových parametrů. Proto nám postačí hodinový kmitočet 25 MHz. Tabulka 6 zobrazuje časování pro režim 640 x 480 x 60 Hz.

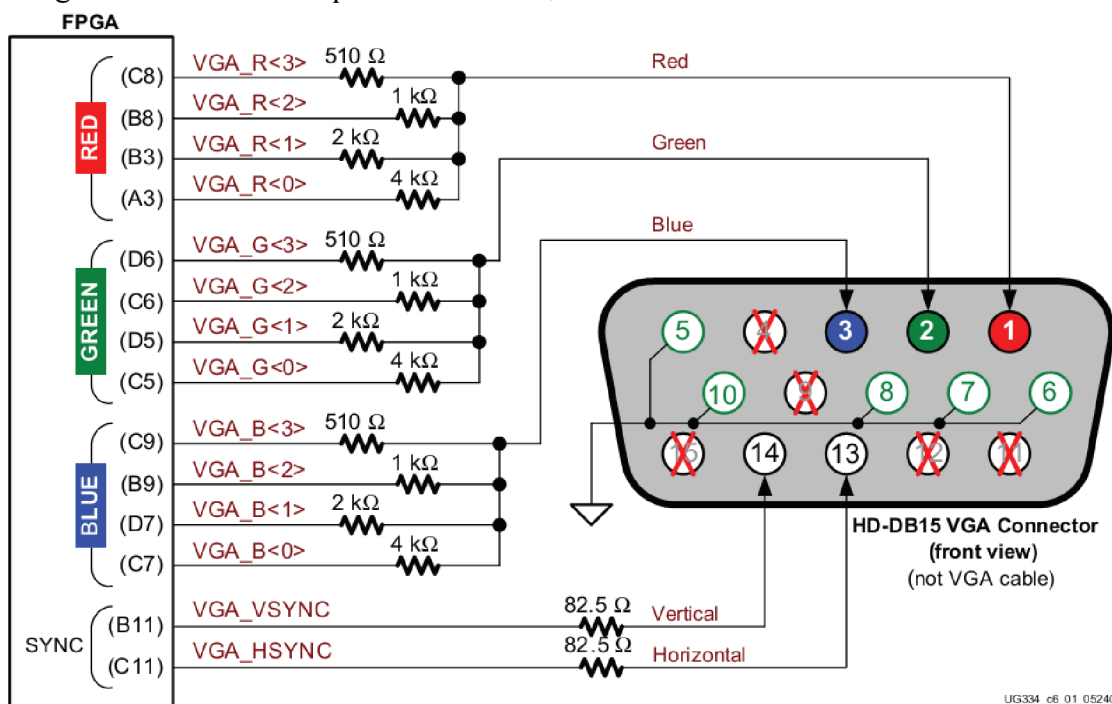
	Horizontální	Vertikální
Front porch	8 pixelů	2 řádky
Šířka impulsu	96 pixelů	2 řádky
Back porch	40 pixelů	25 řádků
Okraj obrazu	8+8 pixelů	8+8 řádků
Viditelný obraz	640 pixelů	480 řádků
Celkem	800 pixelů	525 řádků

Taktovací kmitočet: 25 MHz
 Řádkový kmitočet: 31,25 kHz
 Obrazový kmitočet: 59,52 Hz
 Polarita VS: negativní
 Polarita HS: negativní

Tabulka 6: Časování v režimu 640 x 480 x 60 Hz

6.3 Schéma zapojení

FPGA je připojeno k VGA konektoru přes rezistory. Čtyři výstupní signály každé barvy (R,G,B) z FPGA jsou připojeny přes váhovou rezistorovou síť přímo do VGA konektoru. Toto zapojení poskytuje 4 bitové rozlišení na barvu, což znamená, že vývojový kit dokáže vygenerovat 12-bitovou barvu, respektive 4096 různých barev. Sériové odpory s kombinací se zakončovacím rezistorem uvnitř VGA kabelu způsobí, že signál bude v rozsahu specifikace 0 až 0,7V

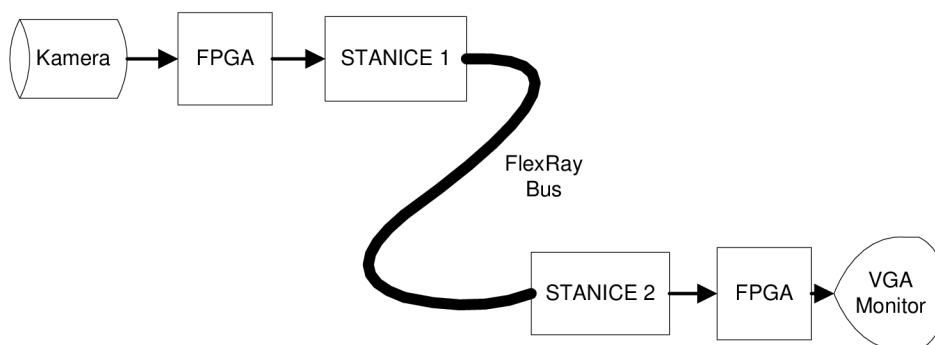


Obrázek 15: Schéma zapojení VGA konektoru k FPGA [8]

7 PROPOJOVACÍ MODUL

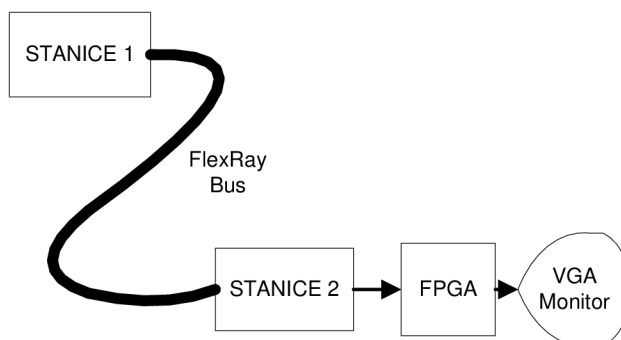
Cílem práce bylo navrhnout desku plošných spojů, na níž bude komunikační kanál FlexRay. Snahou bylo vyrobit řešení, které bude univerzální jak pro příjem, tak i pro odesílání obrazového signálu včetně možnosti připojení kamery.

Jednoduché blokové schéma zapojení včetně snímání z kamery je uvedeno na obrázku 16. Kamerový modul se senzorem MT9D111 je připojen k hradlovému poli, které vyčítá data z kamery a posílá je do stanice 1. Stanice 2 přijímá data, která jí poslala stanice 1 a tato data posílá do FPGA, které tato data zobrazuje na VGA monitoru.



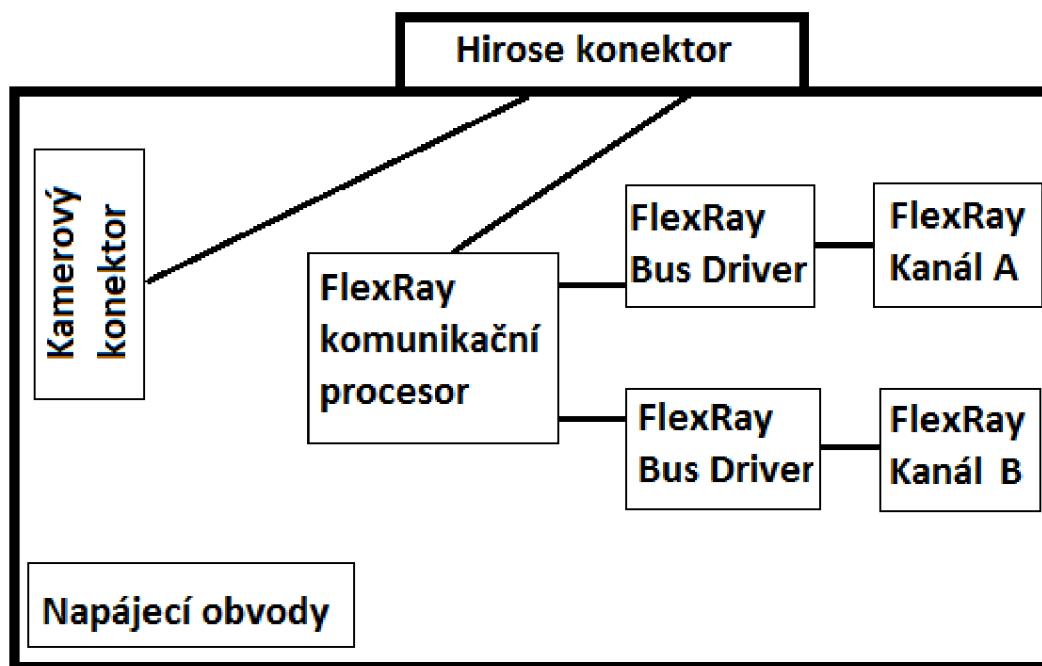
Obrázek 16: Blokové schéma zapojení s kamerou

Práce s kamerou bude předmětem pokračování této práce. Bez použití kamery bude stanice 1 vysílat data, která budou uložena ve Flash paměti v mikroprocesoru MC9S12XF512. Stanice 2 bude tato data přijímat a posílat je do FPGA které je bude vykreslovat na VGA monitor. Toto blokové schéma je uvedeno na obrázku 17.



Obrázek 17: Blokové schéma zapojení bez kamery

Z důvodu úspory peněz při vytváření DPS bylo rozhodnuto, že se vyrobí pouze jeden druh desky plošných spojů. Modul obsahuje stabilizátory napětí, propojovací konektor na kameru, FlexRay komunikační procesor, budič FlexRay sběrnice od firmy ON Semiconductor.



Obrázek 18: Blokové schéma propojovacího modulu

7.1 Napájecí obvody

Modul obsahuje dva lineární stabilizátory řady NCV4276 od firmy ON Semiconductor. Stabilizátor NCV4276DT50, který má 5 V výstup, slouží k napájení mikroprocesoru a budiče sběrnice. Druhý stabilizátor NCV4276AD je nastaven pomocí rezistorů R32 a R31 na výstupní napětí 2,8 V, které napájí kamerový modul. Vstupní napětí může být maximálně 40 V. Transientní dioda D1 chrání modul před přepětím. Dioda D2 slouží jako ochrana proti prepólování. Lineární stabilizátory obsahují vstup inhibit, který je připojen přes pull-down a slouží k možnosti vypnutí celého zařízení, pokud FlexRay síť přejde do sleep stavu.

7.2 Komunikační procesor

Pro komunikaci po sběrnici FlexRay je třeba komunikačního řadiče. Na trhu existuje řadič typu MFR4xx0 od firmy Freescale. Bohužel tato rodina řadičů nelze objednat v kusovém množství, jako náhradu lze použít mikroprocesor MC9S12XF512, který obsahuje FlexRay komunikační modul. Dále existuje ještě několik komunikačních řadičů, například od firmy Fujitsu MB88121, nebo mikroprocesor s FlexRay řadičem MB91F465X také od firmy Fujitsu. Pro naše použití vyhovuje mikroprocesor od firmy Freescale z důvodu dostupných ukázkových zdrojových kódů a dostupné dokumentace.

7.3 Mikroprocesor MC9S12XF512

Mikroprocesor, jehož jádrem je MC9S12, se vyznačuje nízkou spotřebou, velkým množstvím periférií a především podporou pro FlexRay modul podle standartu protokolu verze 2.1. Velikost Flash paměti u rodiny MC9S12XF se pohybuje od 128 kB do 512 kB. Pro vývoj jsme si zvolili největší možnou velikost 512 kB. Pouzdro je typu LQFP a počet pinů se pohybuje od 64 do 144. Doporučená hodnota krystalu je od 8 do 16 MHz. Frekvence vnitřních hodin pro FlexRay modul se může pohybovat od 4 do 40 MHz a je odvozena od frekvence krystalu.

7.3.1 Paměťový modul mikroprocesoru

Mikroprocesor obsahuje:

- **512 kB P-Flash** (Program Flash) paměti, která se skládá z tří fyzických bloků určených pro permanentní uložení paměti program. Přehled velikostí a globálních adres ukazuje tabulka 7.
- **32 kB D-Flash** (Data Flash) paměti, která může sloužit pro uložení paměti dat.
- **4 kB RAM**

Globální adresa	Velikost (byte)	Popis
0x7C_0000-0x7F_FFFF	256 K	P-Flash Block 0
0x7A_0000-0x7B_FFFF	128 K	P-Flash Block 1N
0x78_0000-0x79_FFFF	128 K	P-Flash Block 1S

Tabulka 7: P-Flash paměťová adresace

7.4 FlexRay budič

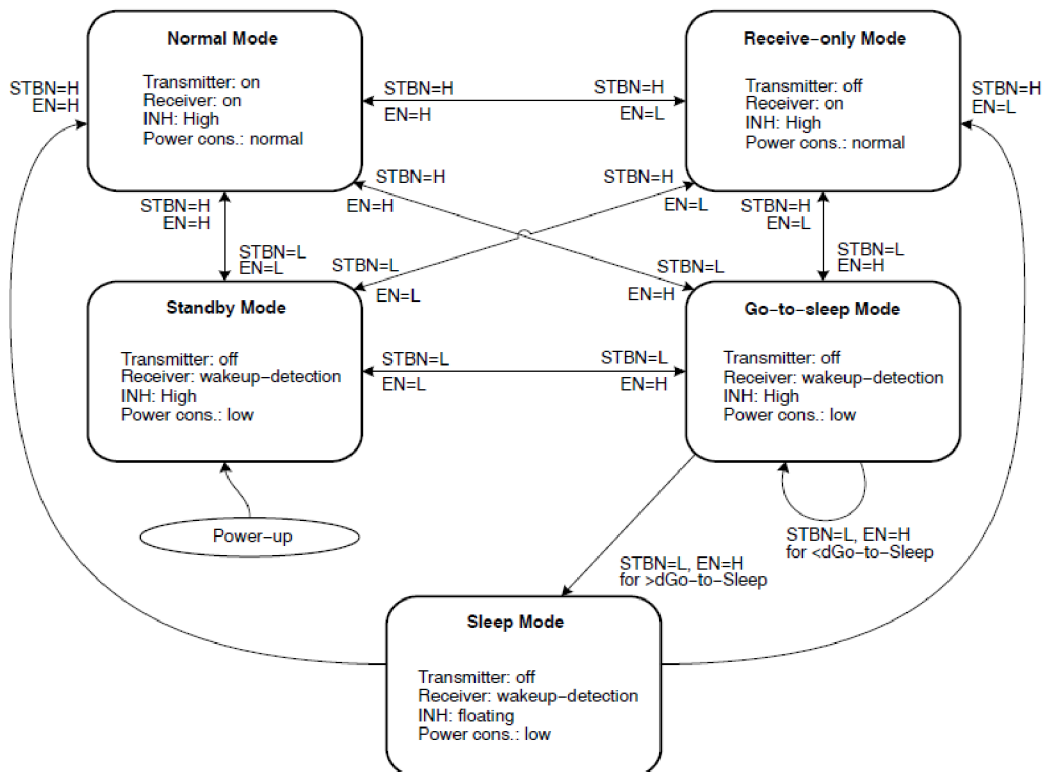
Pro správnou funkci je třeba použít FlexRay budič sběrnice (Bus Driver). Podle zadání práce jsme použili obvod **NCV7381** od firmy **ON Semiconductor**, což je jednobanálový budič FlexRay sběrnice kompatibilní podle standartu Electrical Physical Layer Specification Rev. 3.0.1 [1].

Mezi hlavní výhody patří:

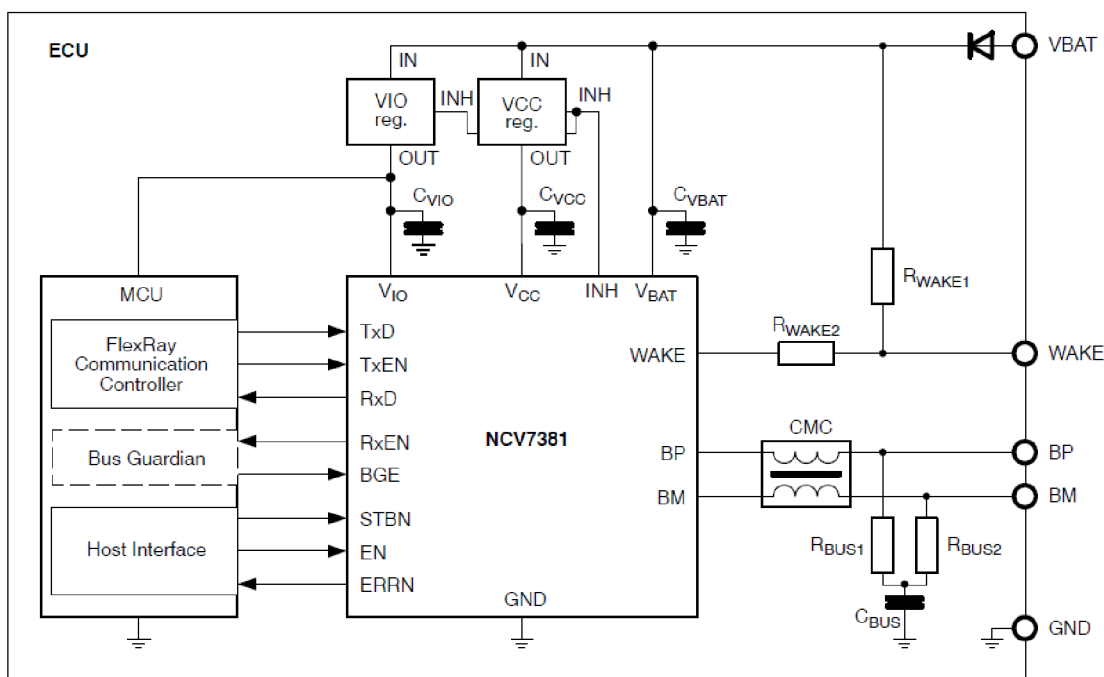
- Rychlost komunikace do 10 Mb/s
- Piny sběrnice jsou chráněny proti >10 kV system ESD pulzům
- INH výstup pro možnost ovládní regulátorů
- Napájecí piny: V_{CC} , V_{IO} , V_{BAT}
- Kompatibilní s 14 V a 28 V systémy

NCV7381 se může přepínat mezi několika stavy, které jsou uvedeny na obrázku 19. V **normálním** stavu čip komunikuje maximální možnou rychlostí. V **receive-only** stavu čip pouze přijímá. **Go-to-sleep** je mezi stav pro **Sleep** mode, kde je komunikace

potlačena. V tomto stavu může být použit INH pin pro možnost vypnutí regulátorů za účelem snížení spotřeby celého zařízení. Wake pin detekuje probuzení čipu. Signály STBN a EN z komunikačního procesoru udávají aktuální stav. Typické zapojení je uvedeno na obrázku 20.



Obrázek 19: Popis stavů NCV7381 [6]



Obrázek 20: Typické zapojení FlexRay budiče NCV7381 [6]

8 FIRMWARE

Pro správnou funkci bylo nutné napsat firmware do hradlového pole a do komunikačního procesoru. Pro hradlové pole je k dispozici prostředí ISE od firmy Xilinx.

Pro samotné programování mikroprocesorů MC9S12XF512 slouží vývojové prostředí CodeWarrior Development Studio pro Freescale HCS12(X) mikroprocesory. Mezi jeho funkce patří **Device Initialization**, což je nástroj sloužící k rychlé konfiguraci inicializačního kódu pro zvolený mikroprocesor na základě přehledného grafického prostředí. V tomto prostředí jsou popsány všechny registry mikroprocesoru.

8.1 Knihovna FlexRay UNIFIED Driver

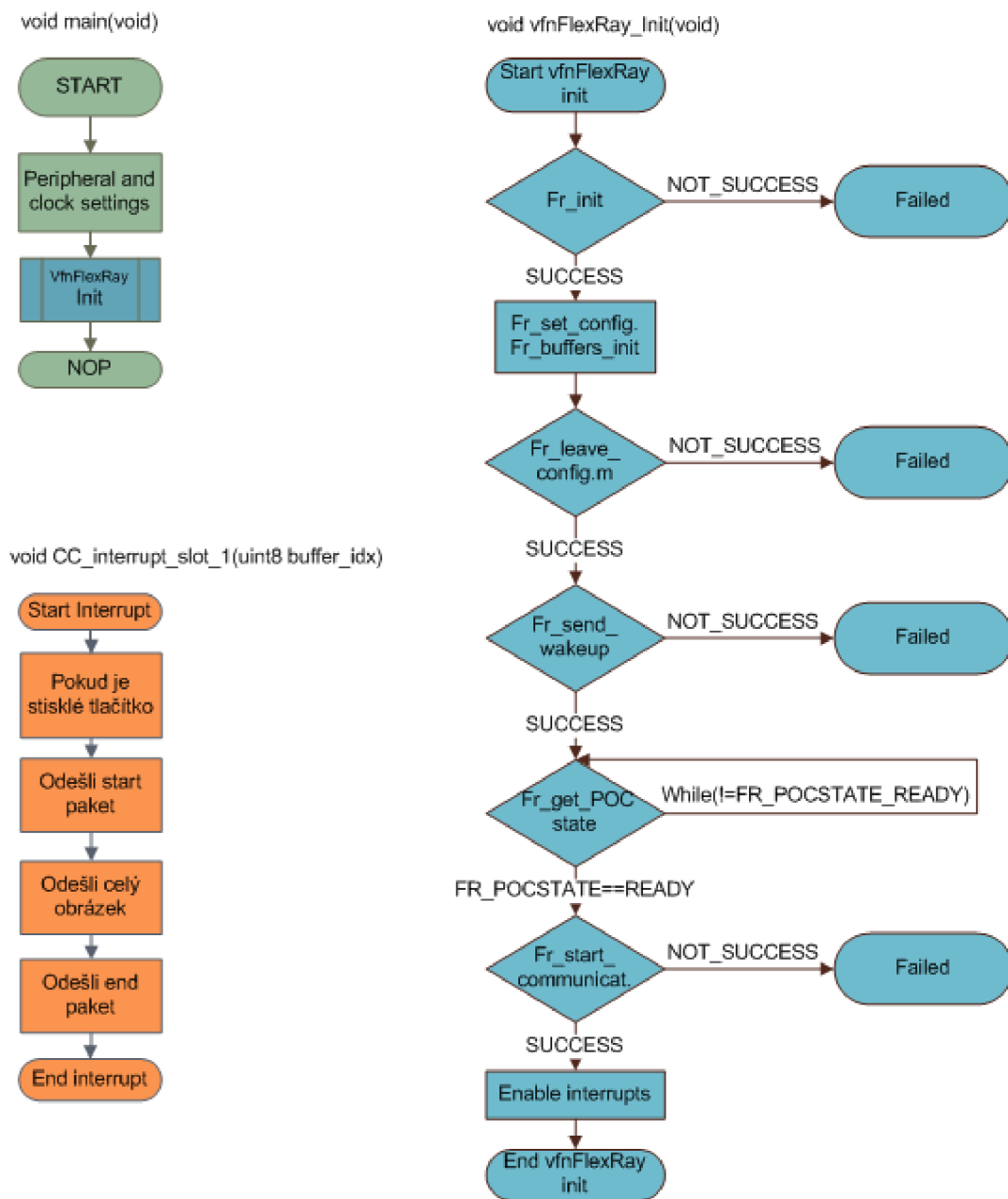
Součástí CodeWarrior Development Studia je balíček FlexRay driver. Balíček obsahuje zdrojové kódy, dva vzorové příklady a dokumentaci. Popis souborů je uveden v tabulce 8.

Název souboru	Popis
Fr_UNIFIED.c	Jádro knihovny
Fr_UNIFIED.h	Hlavičkový soubor s definicemi registrů
Fr_UNIFIED_cfg.c	Nastavení struktur s konfiguračními daty
Fr_UNIFIED_cfg.h	Výběr základní konfigurace stanice
Fr_UNIFIED_types.h	Definice datových typů a výběr modulu
FlexRay_handler.c, FlexRay_handler.h	Zdrojový kód pro přerušení a nastavení inicializace

Tabulka 8: Popis souborů knihovny FlexRay

8.2 Inicializace a konfigurace FlexRay modulu

Pro správné spojení jednotlivých stanic je nutné nakonfigurovat FlexRay modul. Všechna konfigurační data jsou uložena ve strukturách v souboru **Fr_UNIFIED_cfg.c**. Podrobný popis lze nalézt v rozsáhlé dokumentaci [8]. Níže je uvedeno blokové schéma pro nastavení dvou stanic připojených dvoukanálově rychlostí 10Mbit/s.



Obrázek 21: Vývojový diagram firmwaru odesílací stanice

Vývojový diagram na obrázku 21 zobrazuje postup konfigurace FlexRay modulu. Po zapnutí mikroprocesoru se nakonfiguruje nastavení hodin a vnitřní registry MCU. Frekvence externího krystalu je rovna 8 MHz. PLL násobičkou se docílí frekvence pro vnitřní sběrnici mikroprocesoru $F_{bus} = 40$ MHz a pro potřeby FlexRay modulu $F_{vco} = 80$ MHz. Po ustálení PLL se nakonfigurují vstupní a výstupní piny.

Následuje konfigurace FlexRay řadiče. Funce **Fr_init** je specifická tím, že smí být volána pouze jednou a před ostatními konfiguračními funkcemi. Vstupem této funkce je reference na strukturu **Fr_HW_config_type** a **Fr_low_level_config_type**.

Struktura **Fr_HW_config_type** obsahuje parametry, které specifikují typ FlexRay modulu, který je třeba nakonfigurovat. Struktura obsahuje bázové adresy, které musí odpovídat použitému FlexRay modulu, v našem případě MC9S12XF512. Používáme dva Message Buffery (MB) ve statickém segmentu. Dynamický segment a FIFO nepoužíváme. Velikost dat ve statickém segmentu je roven 64 dvou-bajtových slov. Ukázka nastavení struktury je uvedena níže:

```
const Fr_HW_config_type Fr_HW_cfg_00 =
{
    0x000400,        // FlexRay module base address pro MC9S12XF512
    0x0FF000,        // FlexRay memory base address pro MC9S12XF512
    FR_MC9S12XF,    // Typ FlexRay modulu
    FALSE,          // Filtrování synchronizačních rámců
    FR_INTERNAL_SYSTEM_BUS_CLOCK, // zdroj hodin
    0,              // Hodnota děličky hodin
    64,            // Velikost dat ve statickém segmentu
    8,            // Velikost dat v dynamickém segmentu
    2,            // Počet MB ve statickém segmentu -1
    2,            // Počet MB ve statickém a dynamickém segmentu -1
    3,            // Celkový počet MB ve statickém a dynamickém
                  // segmentu +1
    TRUE,         // Povolení coldstart
    0,            // Timeout není implementovaný pro MC9S12XF512
    0,            // Offset synchronizačního rámce
    FR_DUAL_CHANNEL_MODE // Povolení dual channel mode
};
```

Struktura **Fr_low_level_config_type** obsahuje konfigurační nastavení FlexRay. Toto konfigurační nastavení musí striktně odpovídat specifikaci FlexRay a zároveň musí být na všech stanicích stejné. Při nastavování vycházíme z popisu kapitoly 1.5.2 a z příručky o Freescale Unified Drivers [8]. Ukázka struktury pro stanici 1 je uvedena v příloze 1.

Po úspěšném zavolání funkce `Fr_init` se pokračuje ve volání funkce `Fr_set_configuration` a dále se funkcí `Fr_buffers_init` nastaví použité message buffery. Potom se opustí konfigurační mód, pošle se wake-up a čeká se, dokud modul nepřejde z CONFIG stavu do stavu READY. Komunikace se spustí funkcí `Fr_start_communication` a následněm zapnutím přerušování.

8.3 Firmware odesílací stanice

V P-Flash paměti mikroprocesoru je uložen obrázek, který se po správné inicializaci periférií odešle při stisku tlačítka PE1. Organizace paměti je uvedena v kapitole 7.3.1. Mikroprocesor dokáže najednou adresovat paměťový prostor o velikosti 16 bitů, tudíž

bylo nutné obrázek v paměti rozdělit na části a pracovat s částmi o maximální velikosti 65535 bajtů. Obrázek je uložen ve formátu:

{ 0xR₂B₁G₁R₁, 0xG₃R₃B₂G₂, 0xB₄G₄R₄B₃, 0xXB₅G₅R₅,
 ..., 0xR_{n-3}B_{n-4}G_{n-4}R_{n-4}, 0xG_{n-2}R_{n-2}B_{n-3}G_{n-3}, 0xB_{n-1}G_{n-1}R_{n-1}B_{n-2}, 0xXB_nG_nR_n }

Kde n určuje pozici vykreslovaného pixelu. $n_{\max} = 640 \cdot 480 = 307200$.

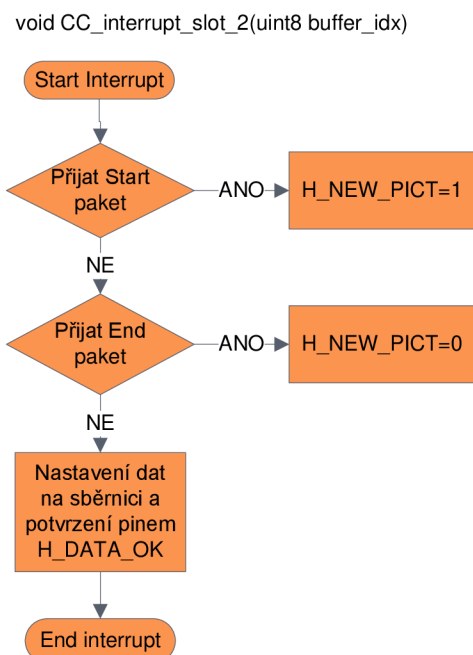
K vykreslování máme k dispozici 4 bity na barvu, to znamená celkově 12 bitů na pixel, které nám poskytují barevnou škálu o 4096 barvách. Jeden pixel nám v paměti mikroprocesoru zabírá 1,6 bajtu. Celkově obrázek o velikosti 640 x 480 pixelů nám zabere 491520 bajtů Flash paměti.

Při stisku tlačítka PE1 se vyhodnotí začátek odesílání obrázku, nejprve se pošle **Start** paket, který má v prvních dvou bajtech hodnotu **0x1234** a poté se po 128 bajtových blocích postupně přeneše celý obrázek. Po skončení přenosu obrázku se vyšle **Stop** paket s počáteční hodnotou **0xABCD**.

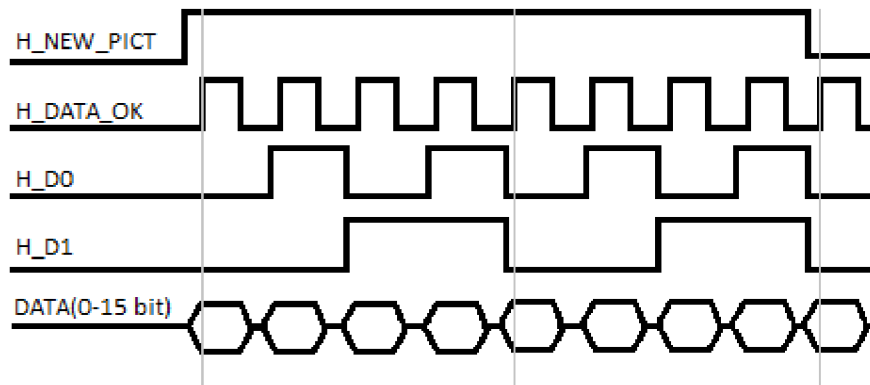
8.4 Firmware přijímací stanice

Postup inicializace je shodný s vysílací stanicí. Pouze na místo vysílacího message bufferu je zde přijímací message buffer.

Vývojový diagram přerušovací rutiny je vyobrazen na obrázku 22. Když dojde k přerušení od *CC_interrupt_slot_2* zjistí se, zda můžeme odesílat obrázek do FPGA a pokud ano, přenešeme 128 bajtů dat po paralelní sběrnici do hradlového pole. Šířka sběrnice do hradlového pole je 16 bitů pro data a 4 bity pro řízení sběrnice. Obrázek 23 ukazuje způsob přenosu dat do FPGA. Bitem *H_NEW_PICT* nastaveným do logické jedničky spustíme přenos dat. Nastavíme na port AB odesílaná data a nastavíme bity *H_DO* a *H_DI* do požadovaných úrovní, podle pořadí odesílaných slov. Pro platnost dat na sběrnici slouží bit *H_DATA_OK*, přičemž logická jednička znázorňuje platná data, nula nikoliv.



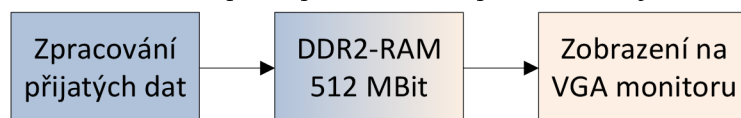
Obrázek 22: Vývojový diagram přerušovací rutiny přijímací stanice



Obrázek 23: Popis protokolu mezi FlexRay modulem a FPGA

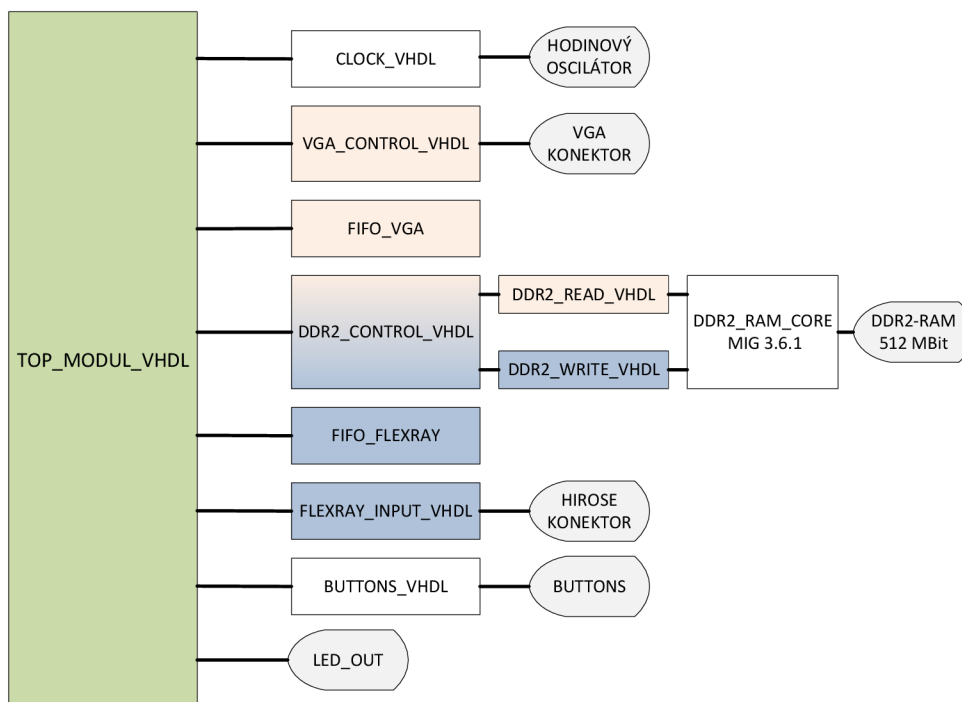
8.5 Firmware hradlového pole

Hradlové pole slouží na zpracování přijatých dat ze sběrnice FlexRay a následného vykreslení na VGA monitor. Protože vnitřní paměť hradlového pole nedostačuje pro uložení celého obrázku, je nutné využívat DDR2-SDRAM, která je součástí vývojového kitu SPARTAN 3AN. Základní princip hradlového pole zobrazuje obrázek 24.



Obrázek 24: Funkce hradlového pole

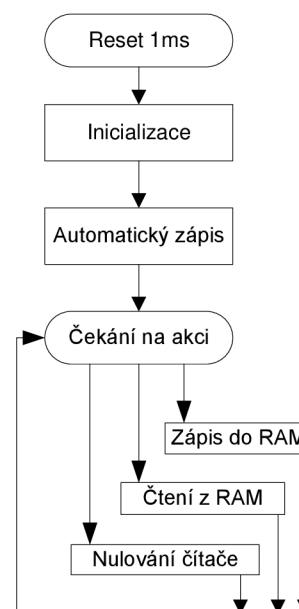
Firmware pro SPARTAN 3AN je psán v jazyce VHDL. Zdrojový kód se skládá z několika modulů uvedených na obrázku 25. Modul **TOP_MODUL_VHDL** pouze spojuje jednotlivé moduly mezi sebou. V naší aplikaci využíváme dva zdroje hodinového signálu. 133 MHz pro práci s DDR2 pamětí a 50 MHz, které používá vykreslovací modul.



Obrázek 25: Jednotlivé VHDL moduly

Modul **VGA_CONTROL_VHDL** slouží jako řadič VGA. Periodicky načítá obrazová data o velikosti 64 bitů z paměti a následně je vykresluje do pěti po sobě jdoucích pixelů. Vykreslení těchto pěti pixelů trvá 200 ns. Bezprostředně po vykreslení těchto pěti pixelů musí být připraveno nových 64 bitů dat.

Modul **DDR2_CONTROL_VHDL** je stavový automat. Po resetu a inicializaci DDR2 paměti proběhne automatický zápis a následuje čekání na akci. Pokud VGA řadič indikuje konec vykreslovaného snímku nebo pokud FlexRay modul indikuje konec odesílaných dat, provede se nulování vnitřního čítače. FIFO_VGA je naplňováno daty z DDR2 paměti, dokud není zcela naplněno. Zápis do DDR2 paměti probíhá v případě, že FIFO_FLEXRAY není prázdné. Pro zápis a čtení platí podmínky, že vnitřní signál `v_write_busy` respektive `v_read_busy` a zároveň `auto_ref_req` nesmí být roven `log. 0`.

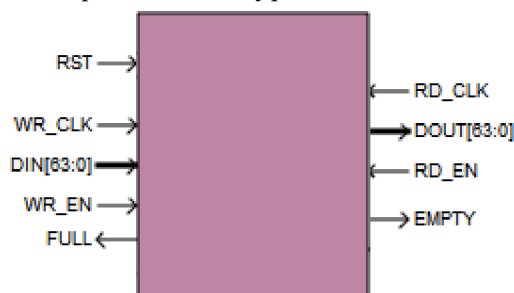


Obrázek 26: Vývojový diagram **DDR2_CONTROL_VHDL** modulu

Protože burst mode je nastaven na hodnotu 4, pracujeme s šířkou dat 64 bitů. Délka čtení odpovídá 22 hodinovým cyklům, což je 165 ns. Délka zápisu je rovna 25 hodinovým cyklům, to je 188 ns. Každých 7,5 ns probíhá automatický refresh samotné paměti a může se stát, že během 200 ns nestihneme vyčíst potřebná data pro VGA řadič. Z toho důvodu je nutné použít FIFO jako mezičlánek mezi DDR2 a VGA řadič.

Načítání dat z přijímací FlexRay stanice má na starosti modul *FLEXRAY_INPUT_VHDL*. Je to stavový automat, jehož stavy závisí na aktuálním nastavení řídicích signálů. Signál **h_new_pict** povoluje nebo zakazuje přenos dat. Pokud je povolený přenos dat a zároveň signál **h_data_ok** je nastaven, přejde se do stavu, ve kterém se podle aktuálního nastavení signálů **h_d0** a **h_d1** uloží 16-bitová data do vektoru **fr_dflex** o šířce 64 bitů. Následně se těchto 64 bitů uloží do FIFO paměti.

Obrázek 26 ukazuje strukturu FIFO paměti, která je stejná pro *FIFO_VGA* i pro *FIFO_FLEXRAY*. Čtení a zápis probíhá nezávisle. Pro zápis musíme nejprve přivést data na vstup **DIN[63:0]**, poté povolit zápis pinem **WR_EN** a po kladném hodinovém pulzu na pin **WR_CLK** jsou data uložena. Při čtení z FIFO paměti platí, že se nejdříve musí povolit čtení pinem **RD_EN**. A po hodinovém pulzu na **RD_CLK** jsou připravena data ke čtení. FIFO paměť také obsahuje možnost nakonfigurovat různé příznakové bity, jako například detekci zaplnění nebo vyprázdnění zásobníku [12].



Obrázek 27: Struktura FIFO paměti

9 SHRNU TÍ A DOSAŽENÉ VÝSLEDKY

V této práci se zabýváme přenosem statického obrazu přes FlexRay síť a následném zobrazení na monitoru. Bylo nutné realizovat dvě desky plošných spojů pro komunikační procesor, propojovací konektor k hradlovému poli a pro FlexRay budiče. Tyto dvě desky jsou propojeny FlexRay kabelem o délce 2 x 1 m. Přijímací stanice se připojí přes HIROSE konektor k hradlovému poli. Je třeba přivést napájení pro vysílací, přijímací stanici a pro hradlové pole. Po zapnutí napájení se spustí nahraný program, proběhne inicializace. Přijímací a vysílací stanice začne komunikovat. Poté se čeká na akci. Vysílání zahájíme stiskem tlačítka PE1 u vysílací stanice. Obraz se přenesení do přijímací stanice a následně se vykreslí pomocí hradlového pole na monitor. Stiskem tlačítka PE1 u přijímací stanice se docílí smazání obrazu z monitoru.

Nastavení vysílacích a přijímacích slotů je uvedeno na obrázku 28. Velikost slotů je nastavena na 128 bajtů. Maximální možná velikost pro nastavení slotu je 254 bajtů, což ale není největší možný dělitel čísla 32768, který nám slouží jako ukazatel na uložená data. Proto je velikost statického slotu nastavena na 128 bajtů (64 dvou-bajtových slov). Podle specifikace [1] je nutné používat v obou stanicích přijímací a vysílací slot z důvodu synchronizace. Přestože rychlost komunikace probíhá rychlostí 10 Mbit/s, reálná přenosová rychlost odpovídá 383,233 kB/s. Přenesení jednoho nekomprimovaného snímku trvá 1,28 vteřiny.

	Static Slot 1	Static Slot 2
Stanice 1	tx_slot_1	rx_slot_2
Stanice 2	rx_slot_1	tx_slot_2
	128 B	128 B

Obrázek 28: Nastavení slotů u vysílací a přijímací stanice

Rychlost by se dala navýšit přidáním dalších odesílacích slotů, maximálně je možné využít 32 konfigurovatelných message bufferů. Se zvyšujícím se počtem message bufferů stoupá režie správy pro odesílání. Další možnost je využití dynamických segmentů - viz. obrázek 29. Statické segmenty, které jsou nutné pro správnou komunikaci, nastavíme na minimální velikost 2 bajty a informaci odesíláme pomocí dynamického segmentu. Bohužel toto nastavení se nám nepodařilo nakonfigurovat.

	Static Slot 1	Static Slot 2	Dynamic slot
Stanice 1	tx_slot_1	rx_slot_2	rx_slot_3
Stanice 2	rx_slot_1	tx_slot_2	tx_slot_3
	2 B	2 B	128 B

Obrázek 29: Nastavení slotů s využitím dynamického segmentu

Pokud by se odesílal komprimovaný obrázek ve formátu JPEG, jeho velikost by závisela na velikosti komprese, přičemž takový obrázek je řádově 10x menší než

nekomprimovaný obrázek. Rychlost přenosu by byla přibližně 100 ms, což je 10 snímků za vteřinu.

Zdrojový kód pro hradlové pole byl psán v jazyku VHDL v programu Xilinx ISE Design Suite. V dalším pokračování této práce bude nutné používat nástroj Xilinx Embedded Development Kit, který slouží pro návrh vestavěných systémů. Řídícím prvkem těchto systémů je mikroprocesor MicroBlaze, který bude mít na starost dekódování JPEG obrázku. Pro návrh softwaru pro MicroBlaze slouží aplikace Xilinx Platform Studio SDK.

Realizace celého zařízení je zobrazena v příloze 4.

Předmětem dalšího pokračování bude využití kamerového snímače a přenos dat ve formátu JPEG pomocí sítě FlexRay.

10 ZÁVĚR

V bakalářské práci byl vytvořen hardware a software zařízení, které slouží k přenosu obrazu přes FlexRay síť. Daná síť je tvořena dvěma stanicemi. Statický obraz je uložen ve vysílací stanici. Byla vyrobena jedna deska plošných spojů, která je vhodná pro vysílací i přijímací stanici a pro případné připojení kamerového modulu. Jako jednotka pro zpracování obrazu bylo zvoleno hradlové pole Spartan 3AN Starter.

Software pro hradlové pole byl napsán v jazyku VHDL a pro mikroprocesor MC9S12XF512 byl napsán v jazyku C.

Podářilo se nám odeslat obraz přes FlexRay sběrnici a následně ho vykreslit na VGA monitoru. V dalším pokračování této práce budeme snímat obraz z kamerového modulu a následně tento obraz posílat přes FlexRay sběrnici a zobrazovat ho na VGA monitoru.

LITERATURA

- [1] FLEXRAY CONSORTIUM. *FlexRay Communications System: Protocol Specification*. [online] Version 3.0.1, 2010. <http://www.FlexRay.com>.
- [2] FLEXRAY CONSORTIUM. *FlexRay Communications System: Electrical Physical Layer Specification*. [online] Version 3.0.1, 2010. <http://www.FlexRay.com>.
- [3] LIN. Technical overview. [on-line] [cit. 2012-05-15]. <http://www.lin-subbus.de/index.php?pid=4&lang=en>.
- [4] XILINX. *Spartan-3A/3AN FPGA Starter Kit Board User Guide*. [on-line] 2008. http://www.xilinx.com/support/documentation/boards_and_kits/ug334.pdf.
- [5] APTINA. *1/3.2-Inch System-On-A-Chip (SOC) CMOS Digital Image Sensor MT9D111 Data Sheet*. [online] 2004. <http://www.apgina.com/>.
- [6] ON SEMICONDUCTOR. *NCV7381 FlexRay Bus Driver*. Rev. P0. May 2012.
- [7] XILINX. *Spartan-3AN FPGA Family Data Sheet*. [on-line] April 1, 2011. http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf.
- [8] XILINX. *Starter-3 Starter Kit Board UG: VGA Port*. [online] May 13, 2005. <http://ensiwiki.ensimag.fr/images/7/73/DocVGAXilinx.pdf>.
- [9] POKORNÝ, Viktor. *Metody měření vybraných parametrů komunikačního standartu FlexRay a jejich implementace*. Praha: České vysoké učení technické v Praze, Fakulta elektrotechnická, katedra měření, 2007. Dostupné z: http://www3.fs.cvut.cz/web/fileadmin/documents/12241-BOZEK/publikace/2007/2007_080_01.pdf.
- [10] FREESCALE. *FlexRay Unified Driver User Guide*. March, 2007. Rev. 1.2.6.
- [11] PINKER, Jiří a Martin POUPA. *Číslicové systémy a jazyk VHDL*. 1. Vyd. Praha: Vydavatelství BEN, 2006, 352 s. ISBN: 80-7300-198-5.
- [12] XILINX. *LogiCORE IP FIFO Generator v8.3 User Guide*. [on-line] http://www.xilinx.com/support/documentation/ip_documentation/fifo_generator_ug175.pdf.
- [13] ELECHOUSE. *MT9D111 Camera Module*. [on-line] [cit. 2012-05-15] http://www.elechouse.com/elechouse/index.php?main_page=product_info&cPath=168_169&products_id=806.
- [14] FREESCALE. *MC9S12XF512 Reference Manual*. [online] November 10, 2010. http://cache.freescale.com/files/microcontrollers/doc/ref_manual/MC9S12XF512RMV1.pdf

Seznam Příloh:

Příloha 1: Konfigurační nastavení struktury Fr_low_level_set_00 pro stanici 2

Příloha 2: Schéma propojovacího modulu

Příloha 3: Deska plošných spojů TOP a BOTTOM

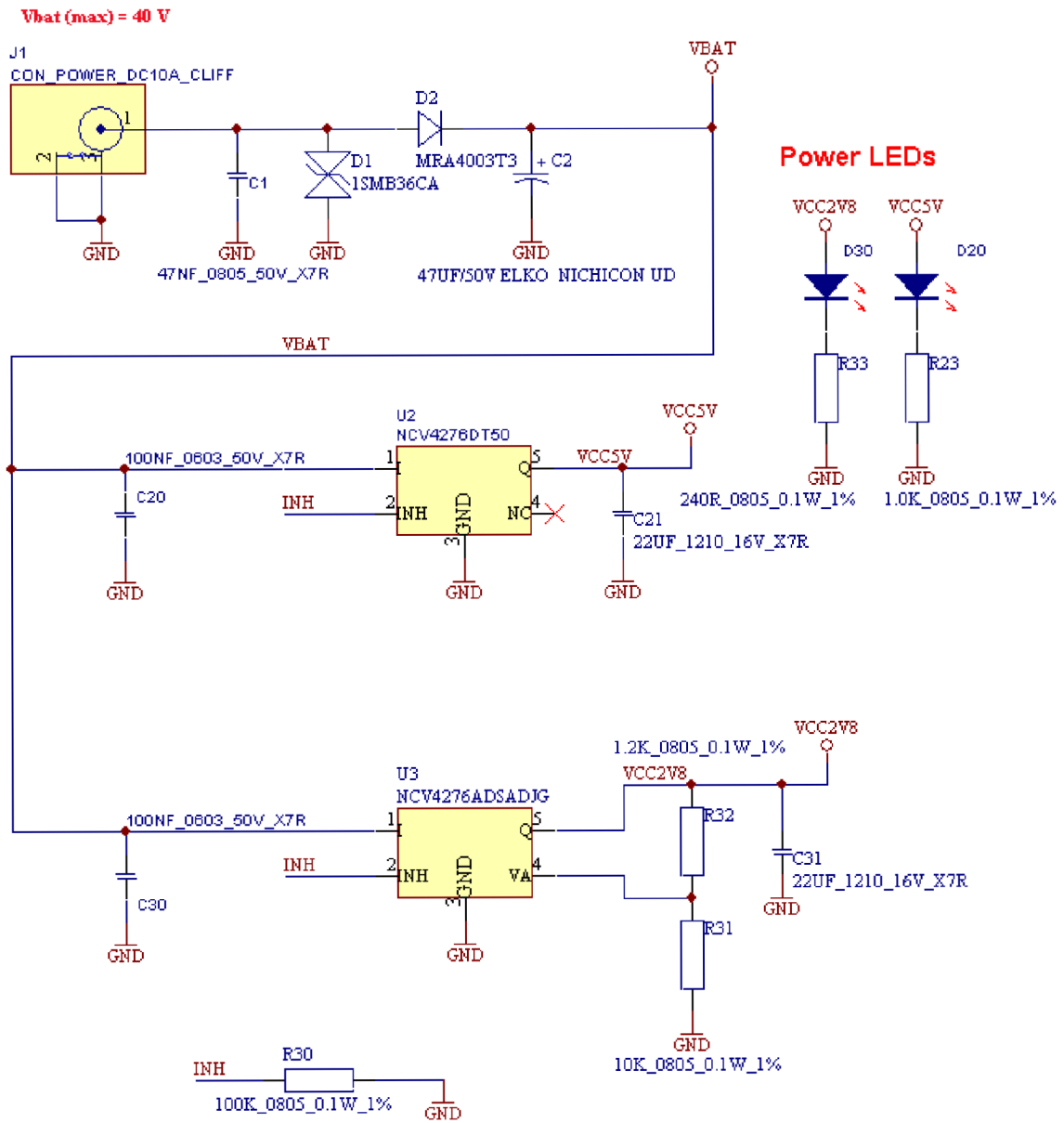
Příloha 4: Ukázka realizace zařízení

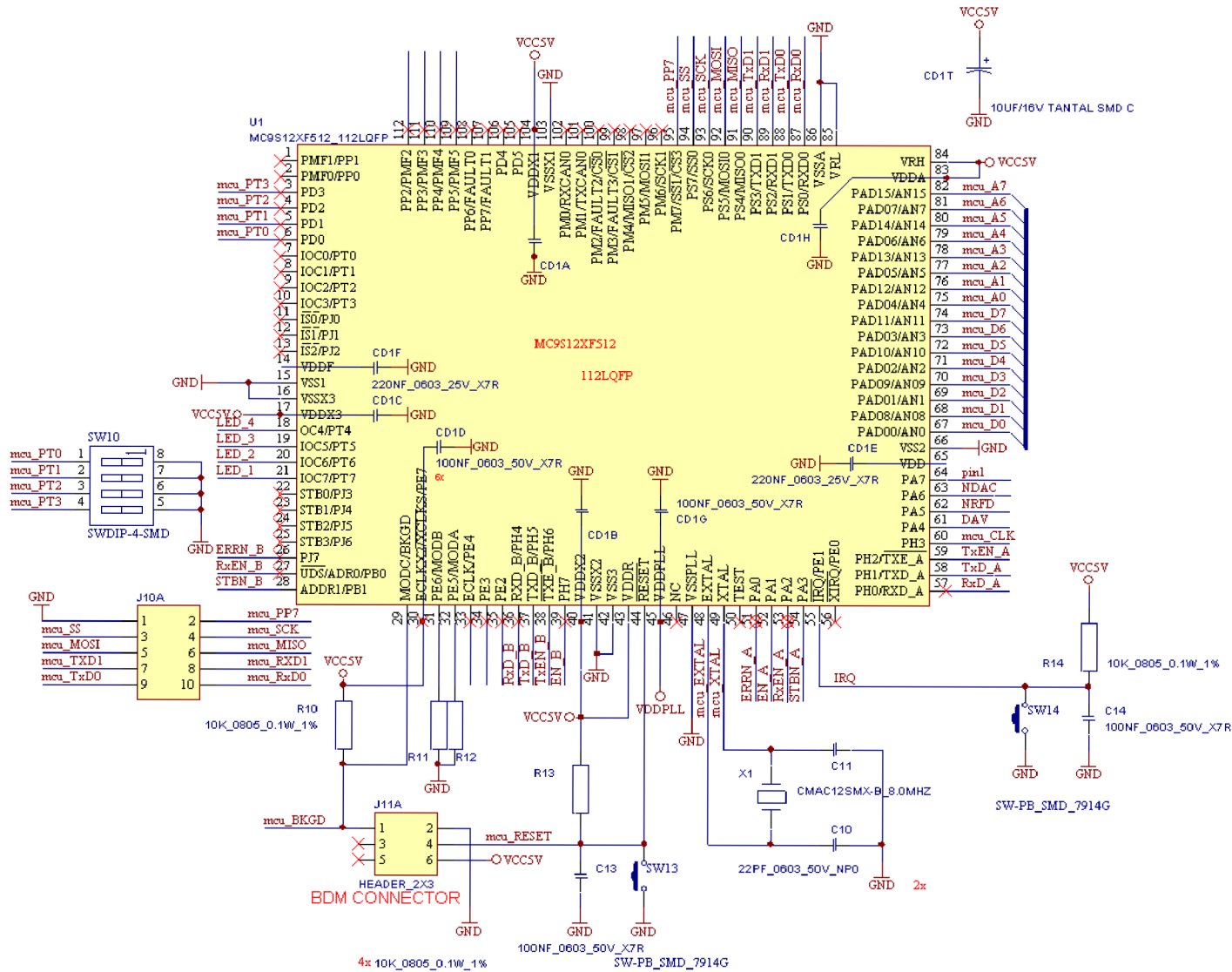
Příloha 1: Konfigurační nastavení struktury Fr_low_level_set_00 pro stanici 2

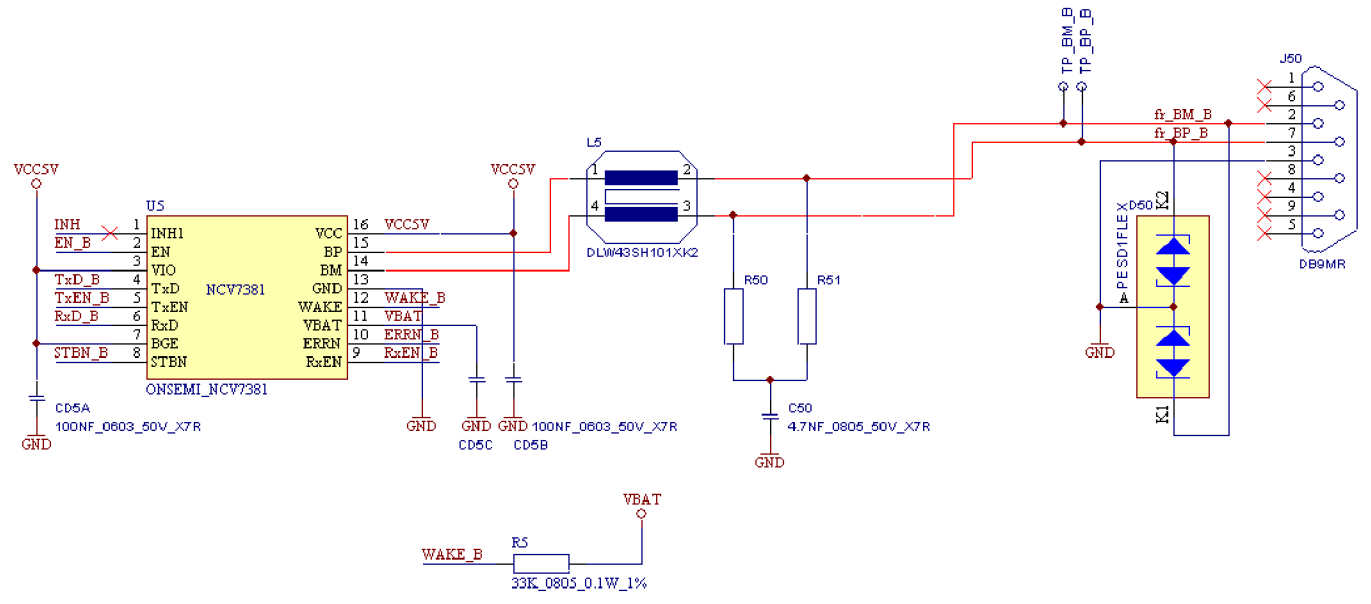
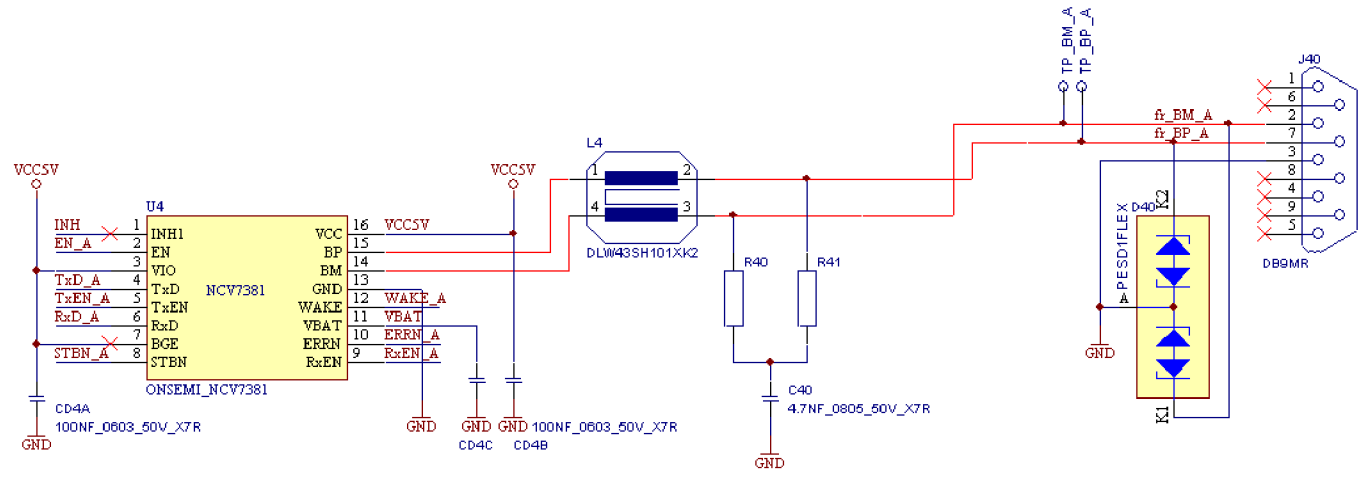
const Fr_low_level_config_type Fr_low_level_cfg_set_00 =

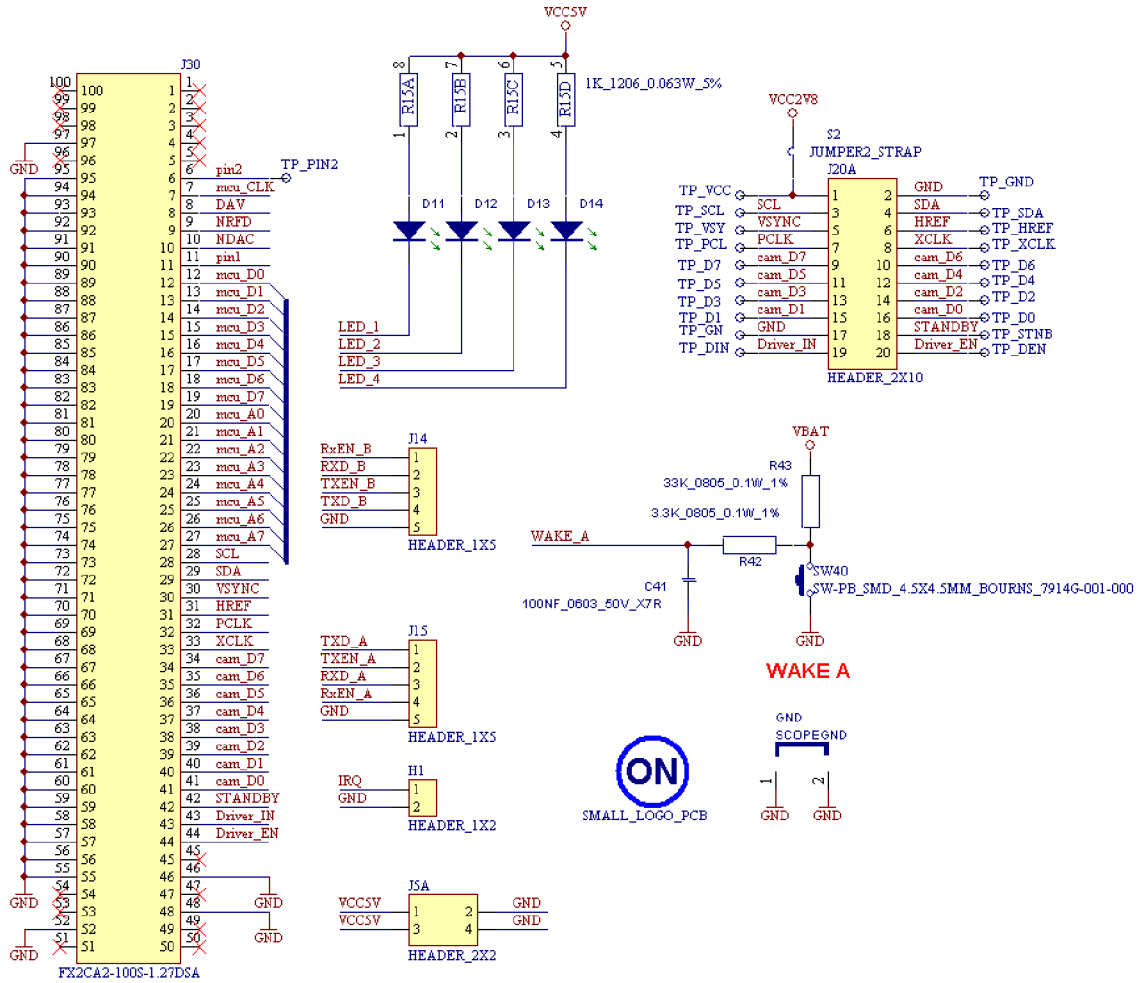
```
{
    10,          /* G_COLD_START_ATTEMPTS */
    3,          /* GD_ACTION_POINT_OFFSET */
    84,         /* GD_CAS_RX_LOW_MAX */
    0,          /* GD_DYNAMIC_SLOT_IDLE_PHASE */
    40,         /* GD_MINISLOT */
    3,          /* GD_MINI_SLOT_ACTION_POINT_OFFSET */
    146,        /* GD_STATIC_SLOT */
    12,         /* GD_SYMBOL_WINDOW */
    11,         /* GD_TSS_TRANSMITTER */
    59,         /* GD_WAKEUP_SYMBOL_RX_IDLE */
    59,         /* GD_WAKEUP_SYMBOL_RX_LOW */
    301,        /* GD_WAKEUP_SYMBOL_RX_WINDOW */
    180,        /* GD_WAKEUP_SYMBOL_TX_IDLE */
    60,         /* GD_WAKEUP_SYMBOL_TX_LOW */
    2,          /* G_LISTEN_NOISE */
    333,        /* G_MACRO_PER_CYCLE */
    10,         /* G_MAX_WITHOUT_CLOCK_CORRECTION_PASSIVE */
    14,         /* G_MAX_WITHOUT_CLOCK_CORRECTION_FATAL */
    0,          /* G_NUMBER_OF_MINISLOTS */
    2,          /* G_NUMBER_OF_STATIC_SLOTS */
    326,        /* G_OFFSET_CORRECTION_START */
    64,         /* G_PAYLOAD_LENGTH_STATIC */
    5,          /* G_SYNC_NODE_MAX */
    2,          /* G_NETWORK_MANAGEMENT_VECTOR_LENGTH */
    FALSE,     /* G_ALLOW_HALT_DUE_TO_CLOCK */
    20,         /* G_ALLOW_PASSIVE_TO_ACTIVE */
    FR_CHANNEL_AB, /* P_CHANNELS */
    133,        /* PD_ACCEPTED_STARTUP_RANGE */
    1,          /* P_CLUSTER_DRIFT_DAMPING */
    56,         /* P_DECODING_CORRECTION */
    1,          /* P_DELAY_COMPENSATION_A */
    1,          /* P_DELAY_COMPENSATION_B */
    26722,     /* PD_LISTEN_TIMEOUT */
    41,         /* PD_MAX_DRIFT */
    0,          /* P_EXTERN_OFFSET_CORRECTION */
    0,          /* P_EXTERN_RATE_CORRECTION */
    2,          /* P_KEY_SLOT_ID */
    TRUE,      /* P_KEY_SLOT_USED_FOR_STARTUP */
    TRUE,      /* P_KEY_SLOT_USED_FOR_SYNC */
    1691,     /* P_KEY_SLOT_HEADER_CRC */
    21,         /* P_LATEST_TX */
    5,          /* P_MACRO_INITIAL_OFFSET_A */
    5,          /* P_MACRO_INITIAL_OFFSET_B */
    0,          /* P_MICRO_INITIAL_OFFSET_A */
    0,          /* P_MICRO_INITIAL_OFFSET_B */
    13320,     /* P_MICRO_PER_CYCLE */
    127,        /* P_OFFSET_CORRECTION_OUT */
    41,         /* P_RATE_CORRECTION_OUT */
    FALSE,     /* P_SINGLE_SLOT_ENABLED */
    FR_CHANNEL_A, /* P_WAKEUP_CHANNEL */
    16,         /* P_WAKEUP_PATTERN */
    40,         /* P_MICRO_PER_MACRO_NOM */
    8           /* P_PAYLOAD_LENGTH_DYN_MAX */
};
```

Příloha 2: Schéma propojovacího modulu.



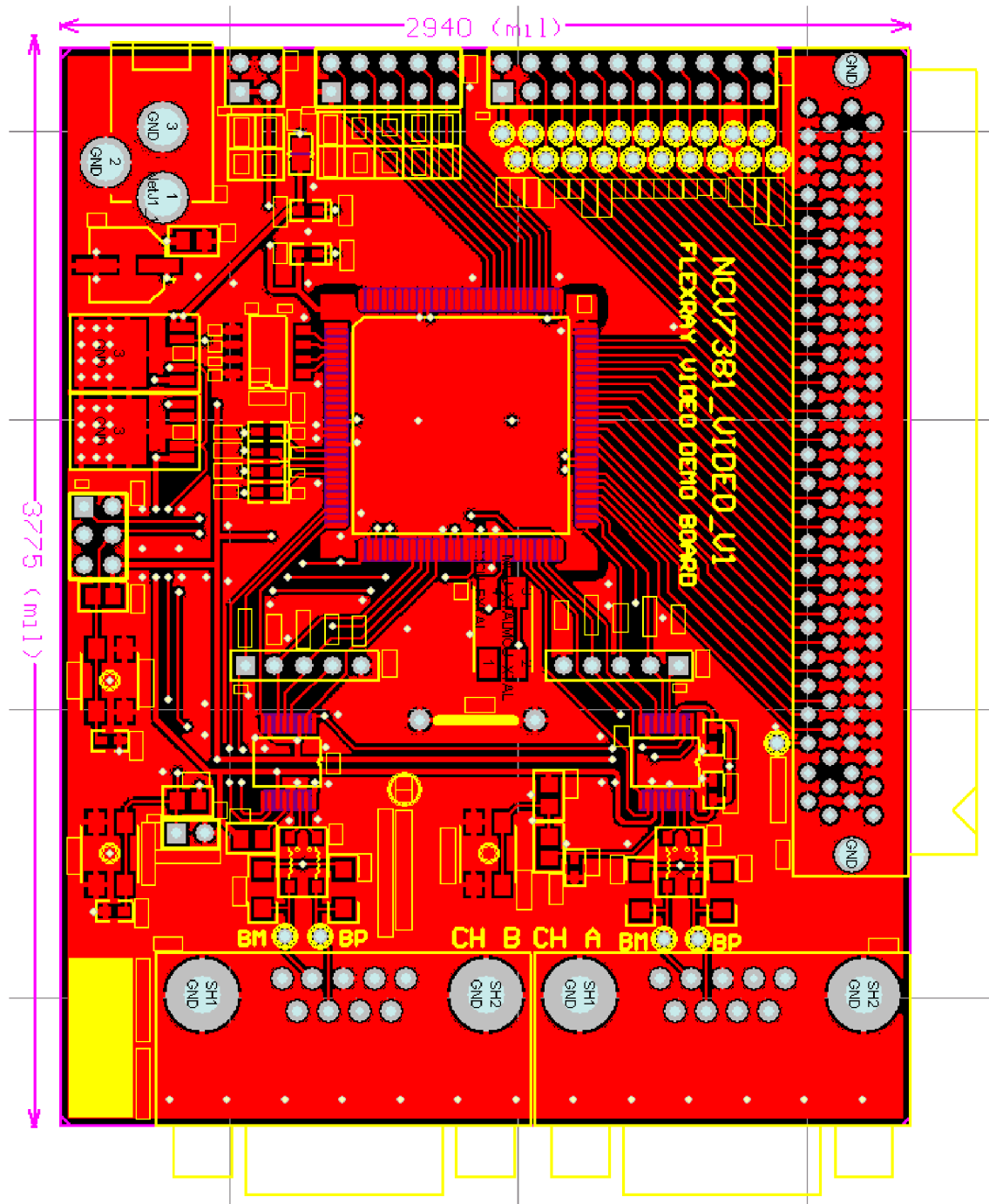




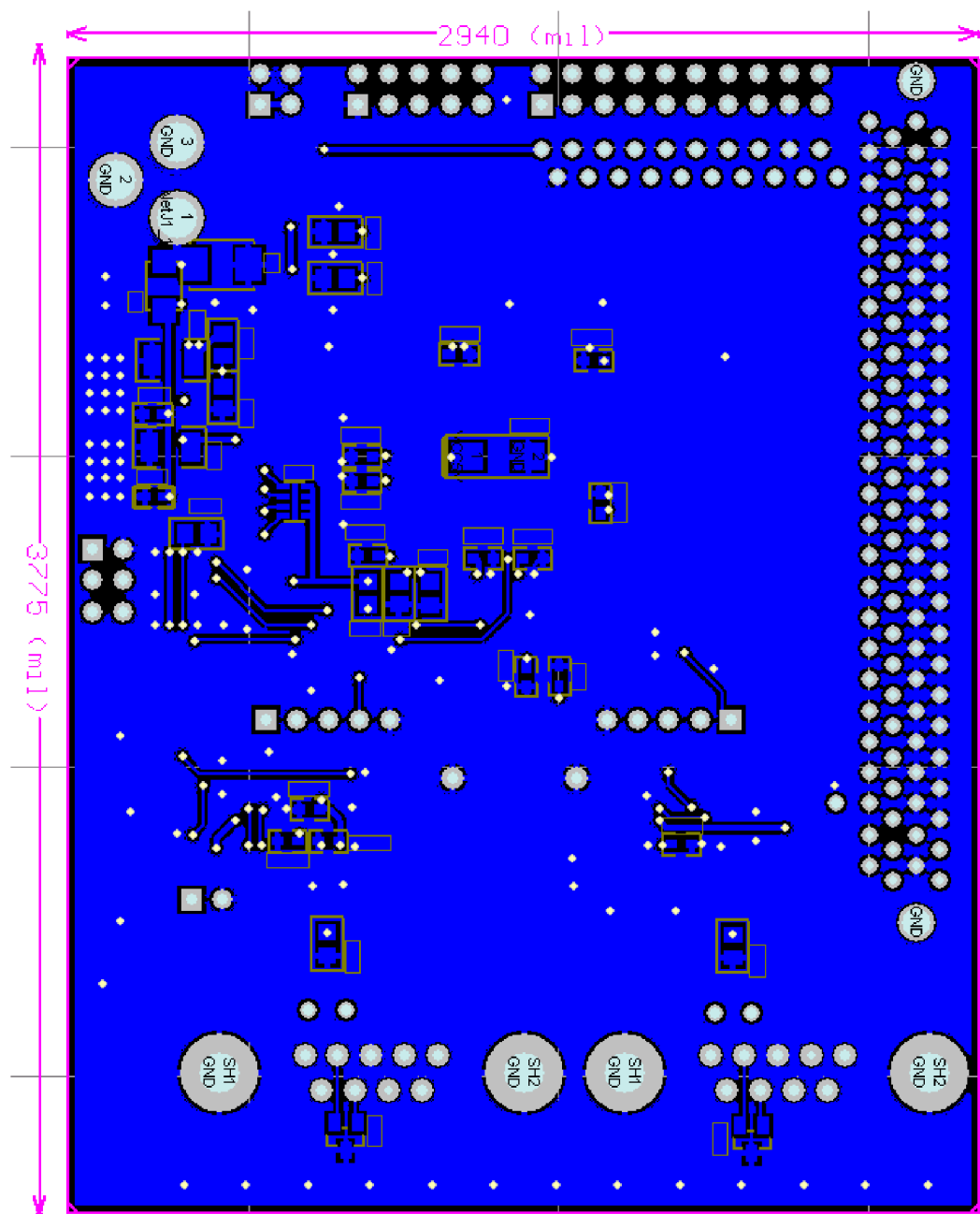


FX2CA2-100S-1.27DSA

Příloha 3: Deska plošných spojů TOP



Příloha 3: Deska plošných spojů BOTTOM



Příloha 4: Ukázka realizace zařízení

