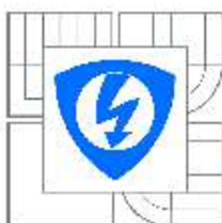




**VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ**

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ**

**ÚSTAV RADIOELEKTRONIKY**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF RADIO ELECTRONICS

## **VYSOKORYCHLOSTNÍ PŘEPÍNAČ DAT**

HIGH-SPEED DATA SWITCH

**DIPLOMOVÁ PRÁCE**  
MASTER'S THESIS

**AUTOR PRÁCE**  
AUTHOR

**Bc. JAKUB TOMAN**

**VEDOUČÍ PRÁCE**  
SUPERVISOR

**Ing. MICHAL KUBÍČEK, Ph.D.**

BRNO 2012



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav radioelektroniky

## Diplomová práce

magisterský navazující studijní obor  
Elektronika a sdělovací technika

**Student:** Bc. Jakub Toman  
**Ročník:** 2

**ID:** 98457  
**Akademický rok:** 2011/2012

**NÁZEV TEMATU:**

**Vysokorychlostní přepínač dat**

### POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s vlastnostmi fyzické a linkové vrstvy standardu Gigabit Ethernet (IEEE 802.3; 1000BASE-T). Navrhněte blokové uspořádání systému, který umožní symetrické rozdělení datového toku nezávisle na přenášeném obsahu na dvě linky s polovičním datovým tokem (625 Mb/s). Zároveň umožní i sloučení datových toků ze dvojice pomalých linek se zachováním pořadí rámců. Navrhněte obvodové zapojení zařízení a desku plošných spojů. Navrženou desku realizujte a ověřte její funkčnost.

### DOPORUČENÁ LITERATURA:

[1] Interfacing Between LVPECL, VML, CML, and LVDS Levels [online]. Texas Instruments Application Report 2002 [cit. 2009-05-15]. Dostupné na [www: http://focus.ti.com/lit/an/slla120/slla120.pdf](http://focus.ti.com/lit/an/slla120/slla120.pdf)

[2] ŽALUD, V. Moderní radioelektronika. Praha: BEN - technická literatura, 2000. 768 s. ISBN 80-86056-47-3

**Termín zadání:** 6.2.2012

**Termín odevzdání:** 18.5.2012

**Vedoucí práce:** Ing. Michal Kubiček, Ph.D.

**Konzultanti diplomové práce:**

**prof. Dr. Ing. Zbyněk Raida**  
Předseda oborové rady

### UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Diplomová práce je zaměřena na návrh ethernetového vysokorychlostního přepínače dat, který je založený na obvodu FPGA. Přepínač bude schopný rozdělit datový tok tvořený ethernetovými rámci na dva toky s polovičním datovým tokem.

## **KLÍČOVÁ SLOVA**

Ethernetový přepínač, FPGA, DDR3, SFP

## **ABSTRACT**

The master's thesis is focused on desing high-speed ethernet switch based on circuit FPGA. The switch is able to divide one data stream, created from ethernet frames to the two data streams with half data flow.

## **KEYWORDS**

Ethernet switch, FPGA, DDR3, SFP

TOMAN, J. *Vysokorychlostní přepínač dat*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2012. 34 s., 23 s. příloh. Diplomová práce. Vedoucí práce: Ing. Michal Kubiček, Ph.D.

## **PROHLÁŠENÍ**

Prohlašuji, že svoji diplomovou práci na téma Vysokorychlostní přepínač dat jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne .....

.....

(podpis autora)

## **PODĚKOVÁNÍ**

Děkuji vedoucímu diplomové práce ing. Michalu Kubíčkovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne .....

.....

(podpis autora)

# OBSAH

<b>Seznam obrázků</b>	<b>viii</b>
<b>Seznam tabulek</b>	<b>x</b>
<b>Úvod</b>	<b>1</b>
<b>1 gigabit Ethernet</b>	<b>2</b>
1.1 Linková vrstva .....	2
1.2 Fyzická vrstva .....	4
<b>2 FPGA</b>	<b>9</b>
2.1 VYSOKORYCHLOSTNÍ ROZHRANÍ GTP .....	10
2.2 ŘADIČ PAMĚTI DDR MCB .....	12
2.3 Ostatní IO .....	14
2.4 procesory v FPGA .....	14
<b>3 Podpůrné obvody</b>	<b>16</b>
3.1 DDR3 .....	16
3.2 SFP .....	17
3.3 USB-UART .....	19
3.4 EEPROM .....	19
<b>4 Mikropásková vedení</b>	<b>20</b>
4.1 Nesymetrické vedení .....	20
4.2 Nesymetrické vázané vedení .....	21
4.3 Ohyb vedení .....	21
4.4 Prokovy pro vysokofrekvenční signály .....	22
<b>5 Napájení</b>	<b>23</b>
5.1 Lineární regulátor .....	24
5.2 Spínaný regulátor .....	24
<b>6 Jádru přepínače</b>	<b>26</b>
6.1 Rozdělení datového toku .....	27
6.2 Sloučení datových toků .....	28

6.3	Synchronizace vysílače a přijímače .....	28
<b>7</b>	<b>Závěr</b>	<b>31</b>
	<b>Literatura</b>	<b>32</b>
	<b>Seznam symbolů, veličin a zkratk</b>	<b>33</b>
	<b>Seznam příloh</b>	<b>34</b>

# SEZNAM OBRÁZKŮ

obr. 1.1 Rozdělení fyzické a linkové vrstvy ISO/OSI modelu dle 802.3 (převzato z [11]) .....	2
obr. 1.2 Rámec ethernet (převzato z [13]) .....	3
obr. 1.3 sériové rozhraní SGMII (převzato z [14]) .....	5
obr. 1.4 konektor pro 1000BASE-LX, 1000BASE-SX (převzato z [11]) .....	6
obr. 1.5 Konektor 1000BASE-CX(převzato z [11]) .....	7
obr. 1.6 1000BASE-T (převzato z [11]) .....	7
obr. 1.7 Podvrstvy 1000BASE-T rozhraní (převzato z [11]).....	8
obr. 1.8 konektor pro 1000BASE-T (převzato z [11]).....	8
obr. 2.1 Základní struktura FPGA .....	9
obr. 2.2 Struktura logického bloku .....	9
obr. 2.3 Blokové schéma vysokorychlostní vysílače (převzato z [4]) .....	10
obr. 2.4 Blokové schéma vysokorychlostní přijímače(převzato z [4]) .....	11
obr. 2.5 Blokové schéma pro rozvod hodinového signálu pro vysokorychlostní rozhraní(převzato z [4]) .....	12
obr. 2.6 Řadič SDRAM paměti ve Spartan-6 (převzato z [5]) .....	13
obr. 2.7 Možné konfigurace registrů (převzato z [5]).....	14
obr. 3.1 Blokové schéma paměti DDR3 (převzato z [6]) .....	16
obr. 3.2 SFP pouzdro .....	17
obr. 3.3 SFP modul pro metalická vedení.....	18
obr. 3.4 SFP modul pro optická vedení .....	18
obr. 3.5 Nastavení ukončovacího rozhraní FPGA (převzato z [4]) .....	18
obr. 4.1 Nesymetrické mikropáskové vedení.....	20
obr. 4.2 Kvazi-TEM aproximace .....	20
obr. 4.3 Vázané nesymetrické vedení .....	21
obr. 4.4 Ohyb mikropáskového vedení (převzato z [2]).....	22
obr. 4.5 Přídavné prokovy.....	22
obr 5.1 zjednodušené napájecí schéma .....	23
obr. 5.2 Doporučené zapojení lineárního regulátoru (převzato z [8]) .....	24
obr. 5.3 Doporučené zapojení spínaného regulátoru (převzato z [9]) .....	25



obr. 6.1Principiální schéma funkce přepínače .....	26
obr. 6.2 Přepínání datových toků s řídicími rámci v režimu LEVEL-0.....	29
6.3Přepínání datových toků s řídicími rámci v režimu LEVEL-1 .....	30
6.4Přepínání datových toků s řídicími rámci v režimu LEVEL-2/0.....	30
6.5Přepínání datových toků s řídicími rámci v režimu LEVEL-2/X.....	30

# SEZNAM TABULEK

Tabulka 1.1 používané šířky optického vlákna a dosažitelné vzdálenosti (převzato z [11]).....	6
Tabulka 3.1 Vybrané operandy paměti DDR3 .....	17
Tabulka 5.1 Hodnoty rezistorů a výstupního napětí .....	25

# ÚVOD

Cílem diplomové práce je navrhnout Ethernetový přepínač dat, který rozdělí datový tok 1 Gb/s do dvou toků s možností symetrického rozdělení datových toků bez aktivního řízení, nebo nesymetrického rozdělení datových toků řízený vnějším zařízením na základě zjištěné propustnosti rádiové linky. Oba rozdělené datové toky budou odděleně přeneseny samostatným radiovým kanálem a následně budou sloučeny do původního datového toku 1 Gb/s, tak aby bylo zachováno pořadí rámců, v jakém do systému vstoupily. V přenosových kanálech se uvažuje, že bude vznikat stejné zpoždění, v přípravku nebude potřeba implementovat velkou vyrovnávací paměť. Zařízení bude pracovat v plně duplexním režimu metodou store-and-forward, která omezuje šíření chybných rámců v síti. Systém bude sestaven ze dvojce identických přepínačů, které zajistí požadované funkce (obr.0.1).

Kvůli kompatibilitě s různými sítěmi je zadavatelem požadováno použití SFP modulů, které umožní realizovat porty různých síťových technologií jako 1000BASE-T, 1000BASE-SX, 1000BASE-LX a 1000BASE-CX. Hlavní výhodou je, že při změně technologie na portu stačí vyměnit pouze SFP modul a není potřeba modifikovat hardware ani větší části firmwaru přepínače.

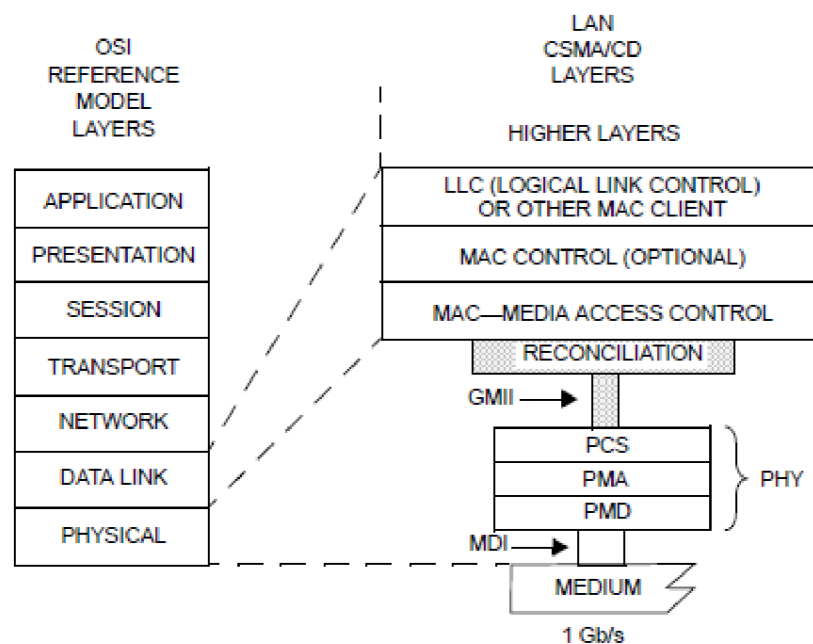
Z hlediska rozšíření funkcionality přepínače je možné do přepínače implementovat funkce tak, aby mohl být konfigurován prostřednictvím sítě ethernet. V jednodušším případě by mohl být konfigurován cílenými rámci vyslanými z řídicího PC. Vhodnější by byla varianta, kdy by na implementovaném mikroprocesoru byl spuštěný jednoduchý webový server, přes který by bylo možné přepínač konfigurovat.

# 1 GIGABIT ETHERNET

Gigabit ethernet 1000BASE rozšiřuje standart 100BASE-T pro komunikaci od 100Mb/s do 1000Mb/s. Minimální čas pro přenos paketů je desetkrát menší, než u 100BASE-T při plném duplexu. V polovičním duplexu je minimální čas také nižší, ale už ne desetkrát.[11]

Pro přístup k přenosovému sdílenému médiu používá podobně jako 100BASE-T metodu CSMA/CD.

Podle IEEE 802.3 je fyzická a linková vrstva modelu ISO/OSI rozdělena do několika dalších podvrstev(obr.1.1), obstarávající specifické funkce.



obr. 1.1 Rozdělení fyzické a linkové vrstvy ISO/OSI modelu dle 802.3 (převzato z [11])

## 1.1 Linková vrstva

Hlavním úkolem linkové vrstvy je zapouzdřovat pakety síťové vrstvy do rámců ethernet(obr.1.2), řídit přístup ke sdílenému médiu, zabezpečení a kontrolu rámců a hlášení o stavu linky.

## Ethernetový rámeček:

Ethernetový rámeček se skládá ze sedmi datových polí (obr.1.2)

Preamble	SFD	DA	SA	Length/Type	Data/Pad	FCS
----------	-----	----	----	-------------	----------	-----

obr. 1.2 Rámeček ethernet (převzato z [13])

Preamble- preambule 7 bajtů

Jde o sekvenci střídajících se logických nul a jedniček sloužící k synchronizování přijímače.

SFD (Start data delimiter)- začátek rámečku 1 bajt

Je v podstatě shodný jako bajt preambule, ale na jeho konci jsou dvě logické jedničky za sebou a značí skutečný začátek rámečku.

DA(Destination address)-Cílová adresa 6 bajtů:

Určuje MAC adresu cílového zařízení.

SA(Source address)-Zdrojová adresa 6 bajtů

Určuje MAC adresu vysílajícího zařízení.

Length/type-Délka/typ 2 bajty

Pokud je hodnota pole délka/typ menší nebo rovno 1500, pak udává délku pole data v bajtech. Pokud je hodnota větší nebo rovno 1536 pak pole udává charakter protokolu MAC klienta. [13]

Data/pad 46 až 1500 bajtů

Obsahuje klientská data, pokud jsou vysílaná data menší než 46 bajtů, jsou na tuto hodnotu doplněny takzvaným padem, který zajistí aby minimální délka rámečku byla 64 bajtů. [13]

FCS (frame check sequence)-4 bajty

Obsahuje redundantní data zabezpečení. K zabezpečení dat se používá 32bitový cyklický redundantní kód CRC-32, který zabezpečuje pole cílové a zdrojové adresy a pole data. [13]

## Logical link kontrol (LLC) podvrstva:

Je vyšší podvrstva linkové vrstvy. Její hlavní úkolem je řízení datového toku, vytváření rámečků, adresování rámečků a zabezpečení rámečků proti chybám.

## Medium Access control (MAC) podvrstva:

Má za úkol poskytnout přístup ke sdílenému médiumu a detekovat kolize na médiumu. V dnešní době je sice u gigabitového ethernetu sdílené médium využíváno minimálně, ale standart s ním počítá. K přístupu na médium využívá jednoduchou metodu CSMA/CD.

Metoda CSMA/CD je metoda, která nezabraňuje kolizím na médiu, pouze je detekuje. Zařízení, které chce vysílat nejdříve zjistí zda přenosové médium není obsazené, pokud ano, odmlčí se na náhodnou dobu a poté opět zjišťuje, zda je médium volné. Pokud je médium volné, zařízení může začít vysílat. Pokud zařízení v síti vysílá, tak zároveň i naslouchá přenosovému médiu, zda vysílaná sekvence bitů odpovídá správné amplitudě signálu šířícím se po médiu, pokud ne, tak je ohlášena kolize na mediu. Zařízení, která vstoupila do kolize a rozeznala ji, přestanou vysílat data a začnou vysílat signál JAM, kterým informují ostatní zařízení o kolizi. Poté se všechna zařízení v kolizní doméně odmlčí na náhodně vygenerovanou dobu, která je řízena takzvaným backoff algoritmem, který má za úkol zabránit, aby ihned po ukončení kolize začala vysílat další zařízení a tím způsobila další kolize, což by mohlo vést až k úplnému odtavení sítě. Doba, po kterou se zařízení odmlčí, než se znovu pokusí vysílat je vybrána v intervalu od 0 až do  $2^k$ , kde  $k$  je odvozené z počtu neúspěšných pokusů odeslání rámce ( $k = \min(n, 10)$ ). Pokud se zařízení nepodaří rámec odeslat ani po 16 pokusech, je vyšším vrstvám hlášena chyba linky. [10]

## 1.2 Fyzická vrstva

### **Reconciliation podvrstva (RS):**

Zajišťuje správnou prezentaci dat a stavových signálů od GMII vrstvy vrstvě MAC. A může zajišťovat podporu pro rozhraní s nižší přenosovou rychlostí. Při použití rychlostí 100Mb/s nebo 10Mb/s je potřeba použít rozhraní pro nižší vrstvy MII, protože GMII podporuje pouze rychlost 1Gb/s a oproti MII používá jiný referenční hodinový signál a širší sběrnice pro příjem a vysílání signálu. [11]

### **Media Independent interface(MII):**

Je paralelní rozhraní používající dvě nezávislé čtyřbitové sběrnice k příjmu a vysílání dat. Podporuje přenosové rychlosti 10Mb/s s referenčním kmitočtem 2,5MHz a 100Mb/s s referenčním kmitočtem 25MHz. [13]

### **Gigabit Media Independent interface (GMII):**

Je paralelní rozhraní, které má za úkol jednoduše a levně umožnit propojení univerzální vrstvy MAC s různými hardwarovými rozhraní ethernetu. Obsahuje nezávisle osmibitové sběrnice pro příjem a vysílání. Podporuje přenosové rychlosti odpovídající pouze přenosovým rychlostem 1G ethernetu s referenčním kmitočtem 125MHz. Používá úrovně signálů kompatibilní s CMOS technologií. Poskytuje dva signály o stavu linky vyšším vrstvám. První ukazuje přítomnost nosné a druhý ukazuje výskyt kolize na lince. [11]

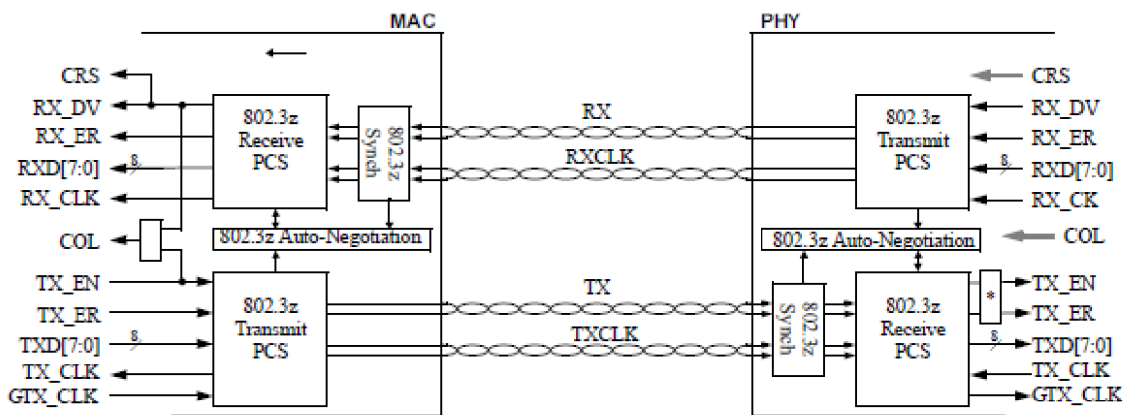
### **Reduce Gigabit Media Independent interface (RGMII):**

Je rozhraní vyvinuté firmou Hewlett Packard jako alternativa k GMII rozhraní. Hlavním výhodou RGMII rozhraní je, že počet potřebných datových vodičů směrem k vrstvě PHY byl zmenšen o více než polovinu z 28mi potřebných vodičů na 12 potřebných vodičů. Používá dvě nezávislé čtyřbitové sběrnice pro příjem a vysílání dat. Podporuje přenosové rychlosti 10Mb/s s referenčním kmitočtem 2,5Mhz, 100Mb/s s referenčním

kmitočtem 25Mhz a 1Gb/s s referenčním kmitočtem 125Mhz. Při přenosové rychlosti 1G/s pak rozhraní musí reagovat na obě dvě hrany hodinového signálu, tedy sestupnou i náběžnou, protože šířka sběrnice je pouze čtyři bity. Při náběžné hraně hodinového signálu odesílá či přijímá první čtyři bity z datového signálu a při sestupné hraně hodinového signálu odesílá či přijímá pátý až osmý bit datového signálu. [12]

### Serial Gigabit Independent Interface (SGMII):

Je sériové rozhraní vyvinuté firmou Cisco. Pro vysílání a příjem datových signálů používá dvě sériové linky s rychlostí 1,25Gb/s které jsou vedeny jako diferenční signály. Jako referenční hodinový kmitočet používá kmitočet 625 MHz, přičemž obvody reagují na obě hrany hodinového signálu. Rozhraní umožňuje i nevést linku pro hodinový kmitočet společně s datovými a hodinový signál na straně MAC obnovit z datového toku RX a na straně PHY hodinový signál obnovit z datového toku TX. [14]



obr. 1.3 sériové rozhraní SGMII (převzato z [14])

Podporuje přenosové rychlosti 10Mb/s, 100Mb/s a 1Gb/s. Signály o stavu linky jsou spolu s přenášenými daty serializovaná, přenesená pomocí diferenční linky a následně deserializovaná. Pokud jsou použity přenosové rychlosti pod 1Gb/s, jsou pak přenášené rámce v rámci SGMII prodlužovány, tak aby vyplnily zbývající pásmo do 1Gb/s. Každý rámec se prodlužuje tak, že je pak několikrát po sobě na lince zopakován, pro přenosovou rychlost 10Mb/s se rámec opakuje 100 krát a pro 100Mb/s je rámec zopakován 10krát. [12]

### 1000BASE-X Physical coding podvrstva (PCS):

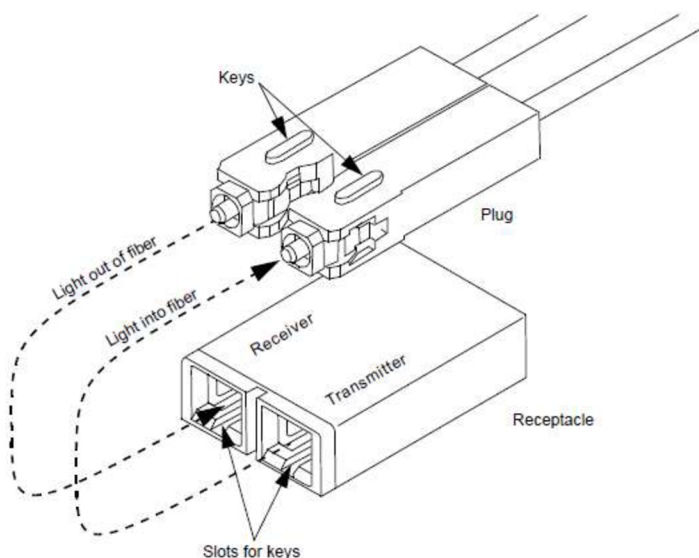
Hlavním úkolem vrstvy je kódování dat algoritmem 8B/10B [17], který potlačuje stejnosměrnou složku signálu a udržuje dostatečnou dynamiku signálu. Dále zjišťovat obsazenost linky a detekovat kolize na lince, pokud klient pracuje polovičním duplexem. Také řídí proces automatického vyjednávání přenosové rychlosti (Auto-negotiation) a hlásí, kdy je rozhraní připraveno k použití. [11]

### 1000BASE-X Physical medium attachment (PMA):

Hlavním úkolem je zajistit převod z paralelního rozhraní na sériové a obráceně a obnovení hodinového kmitočtu z přijímaného signálu kódovaného 8B/10B. [11]

### 1000BASE-LX, 1000BASE-SX Physical medium dependent (PMD):

Je nejnižší podvrstva fyzické vrstvy, jejím hlavním úkolem je převod signálu elektrického na optický a naopak. Jako přenosové medium je zde použito jednovidové optické vlákno (SMF) či vícevidové optické vlákno(MMF). Jako zdroj optického signálu rozhraní využívá laser o vlnové délce od 770 nm do 860 nm pro standart 1000BASE-SX (shortwave laser) a o vlnové délce od 1270 nm do 1355 nm pro standart 1000BASE-LX (longwave laser). Ukázka rozhraní 1000BASE-SX a 1000BASE-Lx je na obrázku obr. 1.4 konektor pro 1000BASE-LX, 1000BASE-SX obr. 1.4) [11]



obr. 1.4 konektor pro 1000BASE-LX, 1000BASE-SX (převzato z [11])

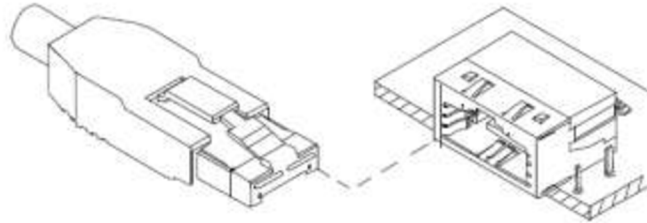
Tabulka 1.1 používané šířky optického vlákna a dosažitelné vzdálenosti (převzato z [11])

1000BASE-SX			1000BASE-LX		
Šířka optického vlákna ( $\mu\text{m}$ )	modální šířka pásma ( $\text{Mhz} \cdot \text{km}$ )	Minimální vzdálenost (m)	Šířka optického vlákna ( $\mu\text{m}$ )	modální šířka pásma ( $\text{Mhz} \cdot \text{km}$ )	Minimální vzdálenost (m)
62,5 (MMF)	160	2 až 220	62,5 (MMF)	500	2 až 550
62,5 (MMF)	200	2 až 275	50 (MMF)	400	2 až 550
50 (MMF)	400	2 až 500	50 (MMF)	500	2 až 550
50 (MMF)	500	2 až 550	10 (SMF)		2 až 5000
10 (SMF)					



### 1000BASE-CX Physical medium dependent (PMD):

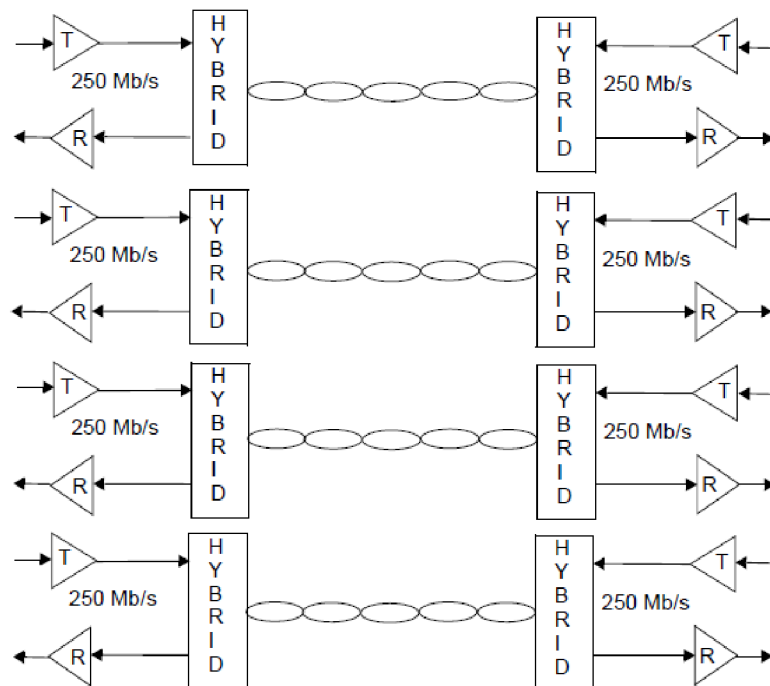
Hlavním úkolem je poskytnout konverzi signálu z CMOS logiky do diferenciálního signálu a naopak, jako přenosové médium je použit stíněný kabel s charakteristickou impedancí  $150\Omega$  a maximální délkou do 25m. [12]



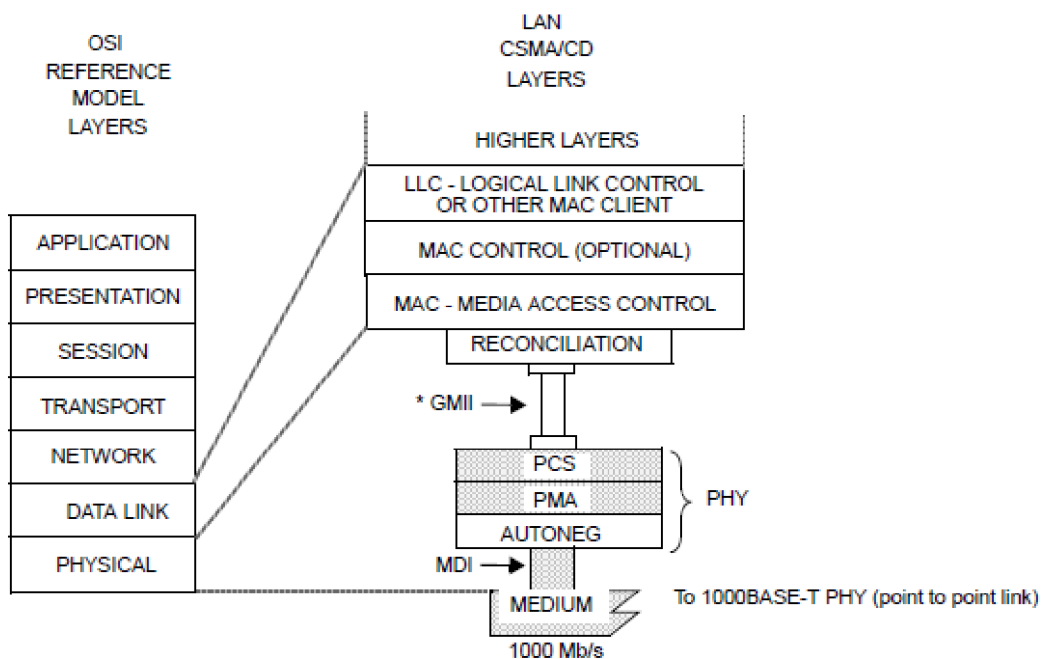
obr. 1.5 Konektor 1000BASE-CX (převzato z [11])

### 1000BASE-T PHY

1000BASE-T rozhraní zajišťuje přenos gigabitového ethernetu po čtyřech párech kabeláže kategorie 5. Použitím hybridního rozhraní, díky kterému je možné na jednom páru vysílat a přijímat informace najednou a tím umožňuje komunikovat po jednu páru přenosovou rychlostí 250 Mb/s (obr.1.2). Rozhraní používá nepřerušovaný signalizační systém, pokud nejsou přenášeny žádné rámce, jsou vysílány symboly 2, 0 a -2 pro zlepšení synchronizace. Každé PHY může fungovat v režimu master nebo slave. Pokud je PHY v režimu master, pak využívá ke generování hodinového signálu vlastní hodinový signál a pokud je v režimu slave, pak je hodinový signál obnovován z příchozích dat. [11]



obr. 1.6 1000BASE-T (převzato z [11])



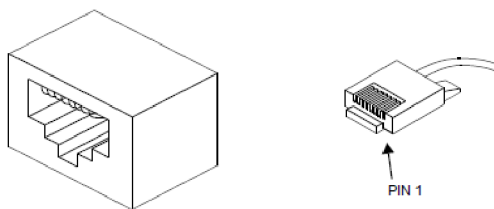
obr. 1.7 Podvrstvy 1000BASE-T rozhraní (převzato z [11])

### 1000BASE-T Physical coding podvrstva (PCS):

Hlavním úkolem podvrstvy je kódování signálu pomocí modulace 4D-PAM5 používající pulzní pětiúrovňovou modulaci, která umožňuje jeden bajt přenést pomocí čtyř kanálů v jednom hodinovém taktu. Podvrstva dále musí zajistit detekci kolize na médiu, detekování chyb v přijímaném signálu, obsazenost media a předávat informace o těchto stavech vyšším vrstvám. [11]

### 1000BASE-T Physical medium attachment (PMA):

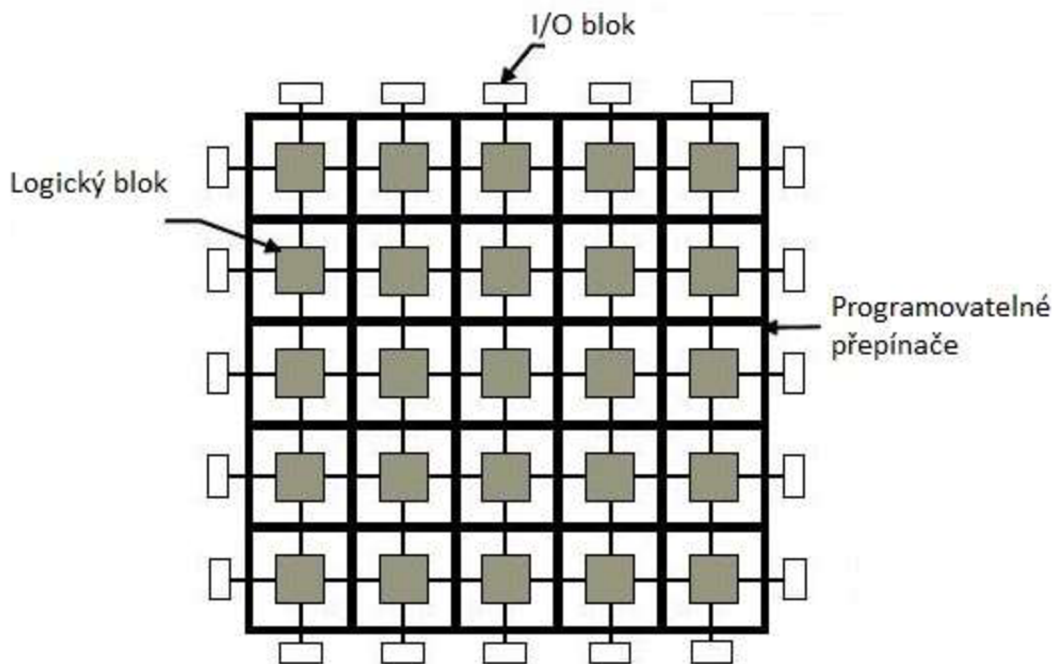
Hlavním úkolem podvrstvy je příjem signálu pětiúrovňové modulace a především obnova hodinového signálu. [11]



obr. 1.8 konektor pro 1000BASE-T (převzato z [11])

## 2 FPGA

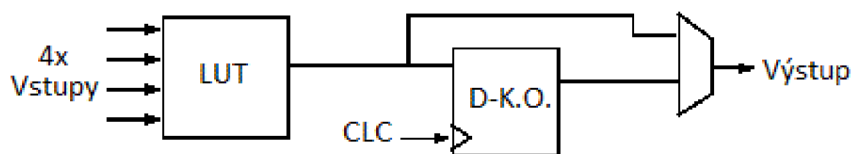
Obvody FPGA jsou logické obvody, které je možné naprogramovat tak, aby mohly provádět jakoukoliv logickou či sekvenční funkci. Díky tomu jsou velice univerzální. Základní struktura na obrázku (obr.2.1).



obr. 2.1 Základní struktura FPGA

I/O bloky: zajišťují konverzi signálů z úrovně jádra na výstupní úroveň banky a naopak. Mohou být konfigurovány jako tzv. single-end, nebo jako diferenciální.

Logické bloky: obvykle jich může být od desítek až po desetitisíce bloků, které mohou být naprogramovány tak, aby realizovaly libovolné logické a sekvenční funkce. Logický blok se obvykle skládá ze 4 vstupů, tzv. LUT a jednoho či více D-klopných obvodů řízených globálními hodinami, aby blok mohl pracovat synchronně (Obr.2.2).



obr. 2.2 Struktura logického bloku

Programovatelné přepínače: zajišťují směrování dat mezi jednotlivými logickými bloky. Pro distribuci hodinového signálu se obvykle využívá speciální síť, určená k distribuci hodinového signálu k jednotlivým blokům FPGA.

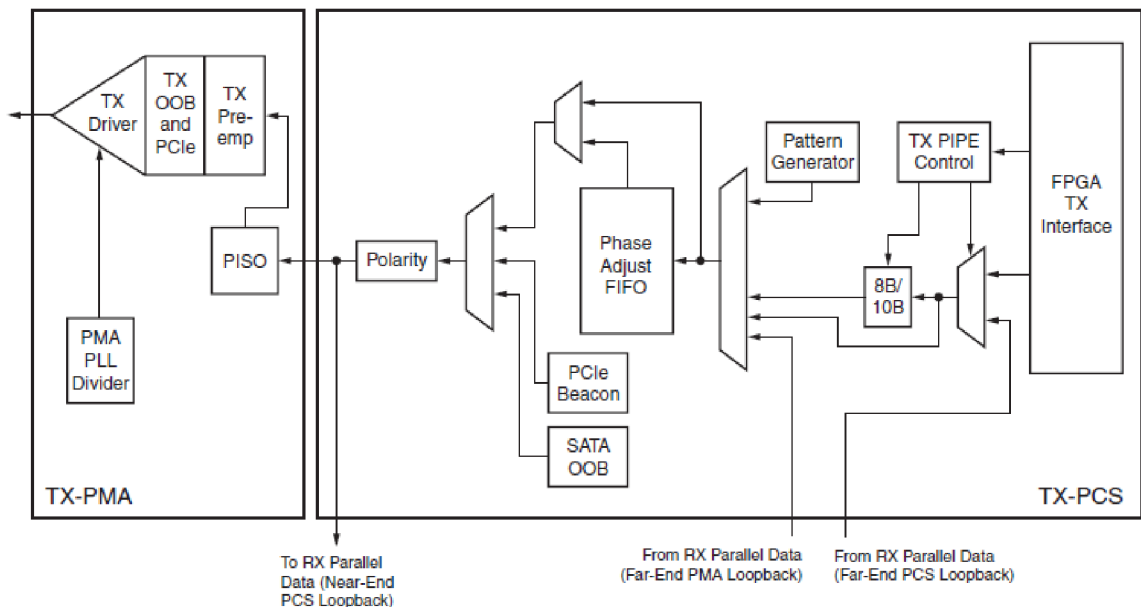
Pro realizaci přepínače dat byl vybrán obvod FPGA Spartan-6 LXT konkrétně xc6slx45t-3csg484c, který je optimalizován pro vysokorychlostní sériovou komunikaci. Obsahuje čtyři vysokorychlostní rozhraní umožňující komunikovat rychlostí do 3,125 Gb/s. Vysokorychlostní rozhraní umožňuje připojovat různá rozhraní jako Seriál ATA, Aurora, 1G ethernet, DisplayPort, EPON, GPON, PCI Express a XAUI. Dvě fyzická rozhraní pro připojení paměti SDRAM s maximální přenosovou rychlostí do 800 Mbps. Podporuje SDRAM paměti typu DDR, DDR2 a DDR3.

## 2.1 VYSOKORYCHLOSTNÍ ROZHRANÍ GTP

Vysokorychlostní přenos dat mezi jednotlivými systémy po sběrnici, nebo na velké vzdálenosti je čím dál žádanější a vyžaduje speciální obvody schopné generovat diferenciální signál a vyrovnat se s integritou signálu.

Každý GTP transceiver je kombinovaný vysílač a přijímač používající, samostatné PLL pro generování hodinového signálu. PLL umožňuje násobit referenční kmitočet dvěma až pětadvaceti tak, aby bylo dosaženo požadovaného kmitočtu pro komunikaci. Každý GTP transceiver má množství uživatelsky definovatelných funkcí a parametrů, které je možné měnit za provozu.

### Vysílač:

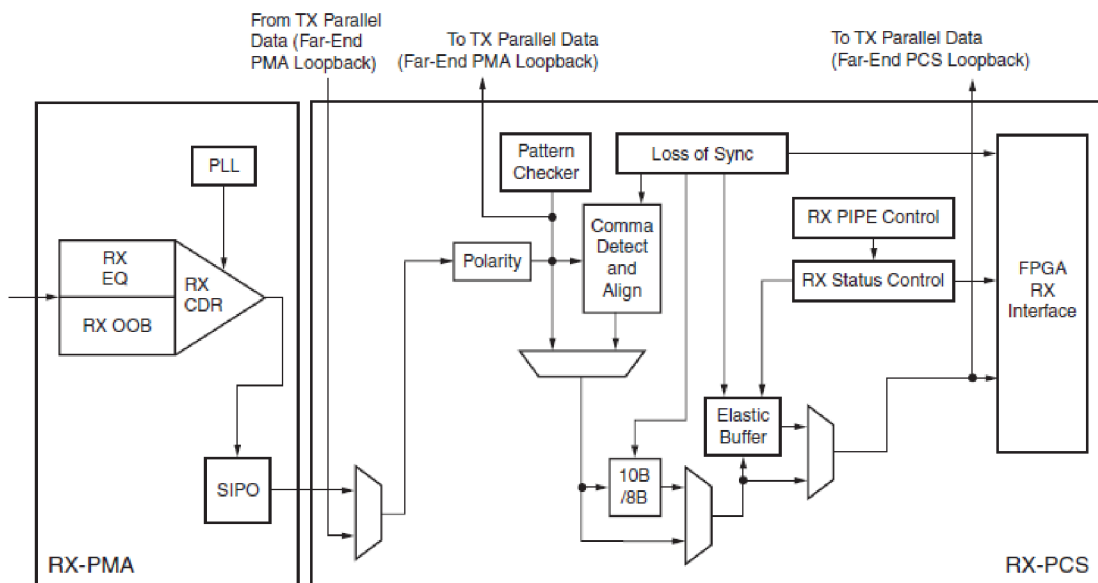


obr. 2.3 Blokové schéma vysokorychlostní vysílače (převzato z [4])

Jedná se v podstatě o paralelní-sériový převodník s volitelným konverzním poměrem 8, 10, 16 nebo 20. Paralelní data jsou přivedena do malého FIFO bufferu, kde mohou být volitelně upravena 8B/10B algoritmem, pro odstranění velkého počtu po sobě shodných symbolů a odstranění stejnosměrné složky signálu. Tím je možné zajistit dostatečnou

dynamiku signálu pro synchronizaci. Šířku paralelního portu je možné konfigurovat tak aby byl 1 až 4 bajty široký, skutečná šířka portu pak závisí na tom, zda je použito 8B/10B kódování a šířka portu může být 8, 10, 16, 20, 32 a 40 bitů. Pro využití vysílače na nejvyšší přenosové rychlosti až 3,125 Gb/s je nezbytné, aby šířka portu byla 4 bajty. Výstup z FPGA je diferenciální signál ve standardu CML. Výstup má programovatelný rozkmit signálu a „preemphasis“ umožňující předkreslení signálu pro kompenzaci ztrát na vedení a dalších propojení. [4]

### Přijímač:

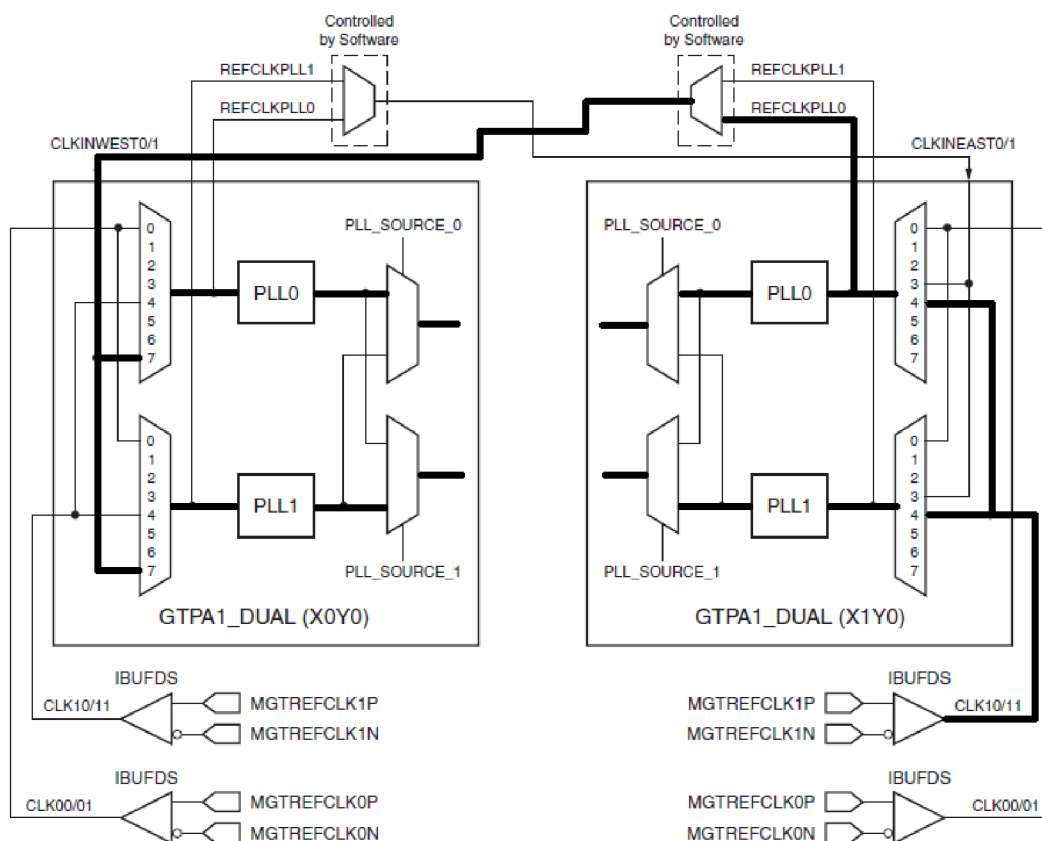


obr. 2.4 Blokové schéma vysokorychlostní přijímače (převzato z [4])

Je to v podstatě sériový-paralelní převodník, převádějící diferenciální sériový bitový tok do paralelního toku širokého 8, 10, 16 nebo 20 bitů. Přijímač obsahuje i 8B/10B dekodér, který obsahuje stavové signály pro indikaci chyb a příchozí kontrolní sekvence. Pokud není dekodér nutný, je možné ho vypnout a tím zlepšit zpoždění. Diferenciální data jsou přijímána přes programovatelný equalizer, který je schopen do jisté míry kompenzovat vysokofrekvenční ztráty na vedení. Přijímač obsahuje i obvod pro obnovení hodinového signálu CDR, který z příchozích dat je schopen obnovit hodinový kmitočet. [4]

Vstup přijímače je ve standardu CML a obsahuje konfigurovatelné ukončovací rozhraní, které umožňuje připojení různých standardů.

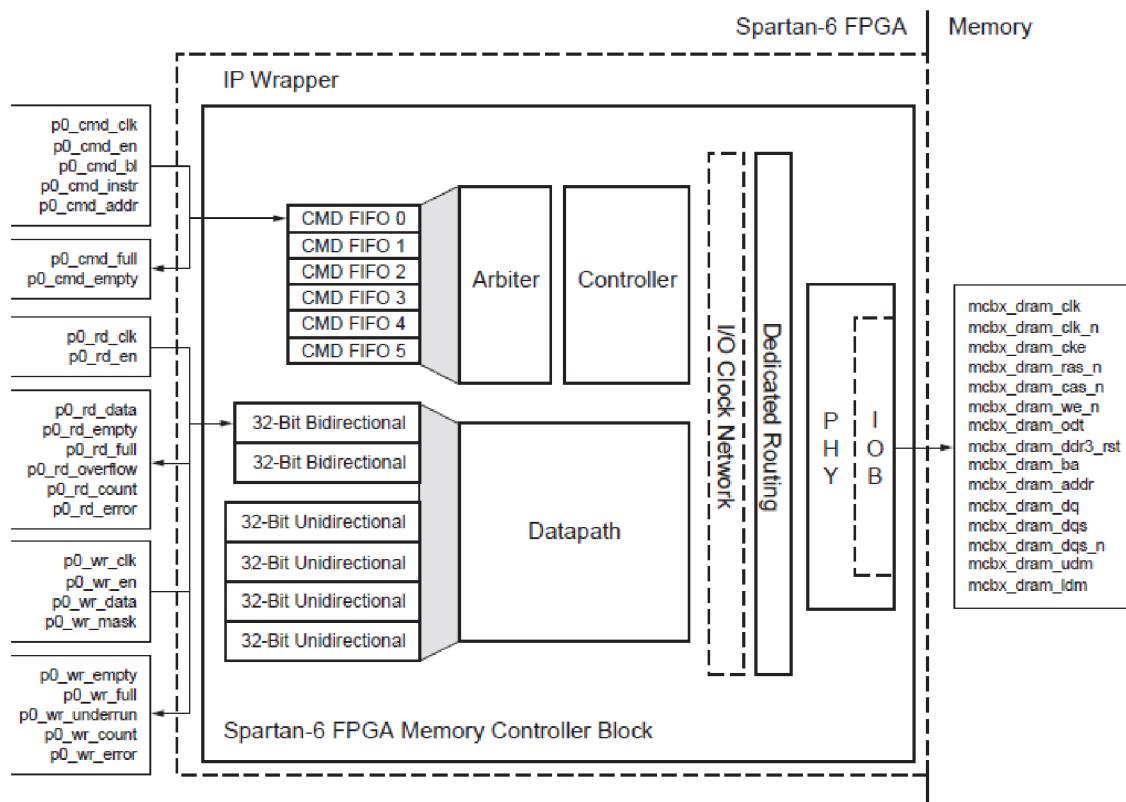
Pro správnou funkci vysokorychlostního rozhraní je zapotřebí generovat vlastní hodinový signál. K jednotlivým vysokorychlostním rozhraním je hodinový signál možné přivést pomocí vnitřní struktury i z jediného oscilátoru. Je možné použít až čtyři různé hodinové vstupy, mezi kterými je možné přepínat a vysokorychlostní rozhraní tak může komunikovat s různým základním hodinovým kmitočtem. (obr.2.5)



obr. 2.5 Blokové schéma pro rozvod hodinového signálu pro vysokorychlostní rozhraní (převzato z [4])

## 2.2 ŘADIČ PAMĚTI DDR MCB

Je speciální vestavěný blok obvodu FPGA (Spartan-6), který velmi zjednodušuje propojení FPGA s paměťovými moduly. Hardwarový řadič poskytuje větší výkon, nižší spotřebu energie a umožňuje uživateli se více zaměřit na návrh vlastností návrhu FPGA. Poskytuje jednoduchý a spolehlivý způsob připojení jednoho paměťového modulu a umožňuje pracovat na vyšších rychlostech než softwarová implementace řadiče.

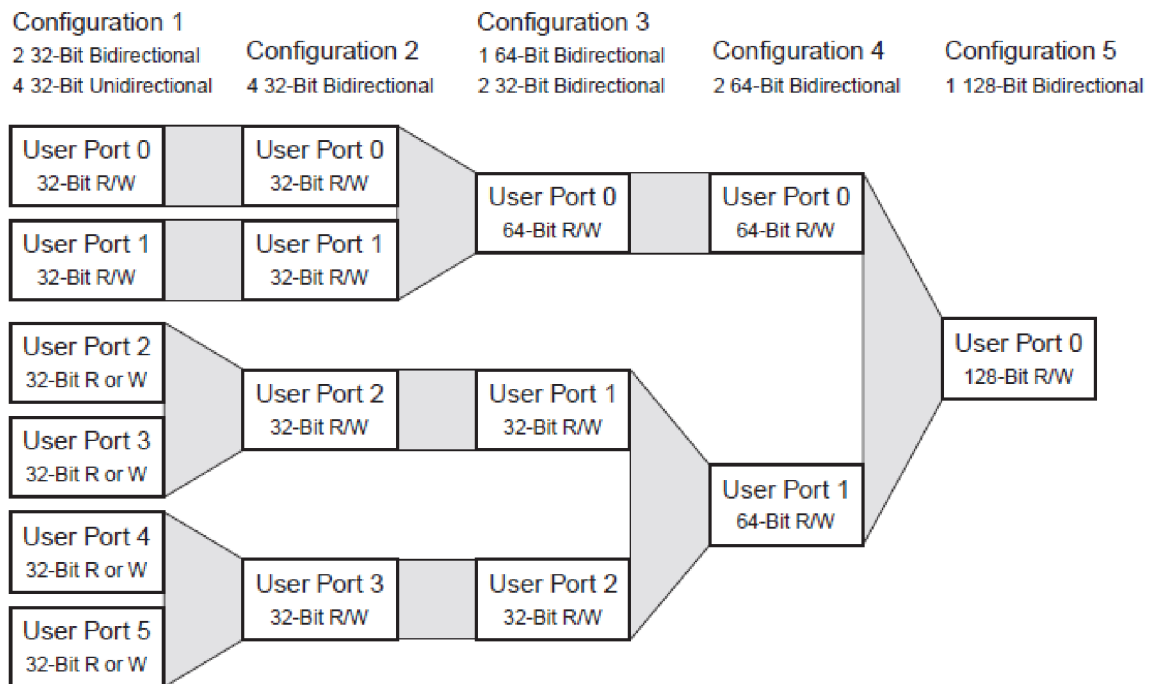


obr. 2.6 Řadič SDRAM paměti ve Spartan-6 (převzato z [5])

Řadič obsahuje tři základní typy portů. Dva jednosměrné pro čtení a pro zápis a jeden obousměrný pro čtení i zápis. Každý port obsahuje příkazovou část a část pro data. Pro jednosměrný port je příkazová část spárována se samostatnou datovou částí pro čtení, nebo zápis. Naproti tomu pro obousměrný port je samostatná příkazová část sdílena oběma čtení/zápis datovou částí je spojena s tímto portem. FIFO paměť se používají na uživatelském rozhraní příkazové části a datové části pro zařazení do fronty požadavků pro paměť a řízení přenosu uživatelských hodin do řadiče paměti. Příkazy v FIFO paměti jsou uživatelsky programovatelné a mohou v nich být uloženy příkazy jako čtení, zápis, refresh atd. [5]

Rozhodovací blok (arbiter) uvnitř řadiče používá časový slot na základě rozhodovacího mechanismu pro určení, který z šesti portů uživatelského rozhraní bude přistupovat do paměti. Obsahuje také metodu, jak umožnit některým portům s vyšší prioritou častěji přistupovat k paměti. [5]

V datové části základní hardware obsahuje šest 32 bitových registrů, z nich dva jsou obousměrné a zbývající čtyři jednosměrné, ale mohou být kombinovány tak, aby vytvořily obousměrné porty. Možná konfigurace portů je patrná z obrázku (obr.2.4). Kombinací těchto šesti portů je možné vytvořit požadované uživatelské rozhraní. Šířka slova pro čtení a zápis je přirozeně dána vybranou konfigurací. [5]



obr. 2.7 Možné konfigurace registrů (převzato z [5])

## 2.3 Ostatní IO

Spartan-6 XC6LX45T poskytuje celkem 296 IO pinů při využití single-ended, nebo 148 IO pinů, při využití diferenciálních IO. IO piny jsou organizovány ve čtyřech bankách, přičemž každá z bank má své napájení. Každá banka obsahuje i několik vstupů pro referenční napětí. Pokud IO standart vyžaduje, aby bylo přítomno referenční napětí, musí být všechny piny referenčního napětí dané banky připojeny ke stejnému napětí a nemohou být použity jako standardní IO piny. Výstupní singl-ended piny používají tři stavovou CMOS strukturu, přičemž vysoká úroveň je dána napájením dané banky, nízká úroveň představuje spojení na zem, anebo může být výstup přepnut do stavu vysoké impedance. [2]

## 2.4 procesory v FPGA

Vzhledem k tomu že v FPGA je možné implementovat různé logické funkce, není proto větší problém do FPGA implementovat i jádro procesoru, kterým mohou být realizovány složité stavové automaty či funkce obtížně realizovatelné v samotném FPGA. V FPGA mohou být implementovány procesory takzvané Soft ip core, kdy je procesor implementován pomocí standartních logických bloků FPGA, nebo může procesor být takzvaný hard ip core a to v případě, že je procesor vytvořen přímo v čipu FPGA.



### **Soft ip core**

Jsou implementovány na čipu FPGA ve standardních logických buňkách. Oproti hard ip core zabírají v čipu více místa a pracují s nižším hodinovým kmitočtem.

### **Picoblaze**

Je osmibitový RISC procesor. V čipu FPGA zabírá velmi malou plochu. Obsahuje 16ti-bajtový registr, jednoduchou osmy bitovou sčítačku s příznakem přetečení a nuly. osmibitový vstupní a výstupní port také umožňuje externí přerušení. Je schopný pracovat až na frekvenci 240 Mhz v závislosti na použitém obvodu. Je vhodný pro jednoduché stavové automaty a funkce.

### **Microblaze**

Je 32 bitový RISC procesor založený na harvardské architektuře pro obvody firmy Xilinx. Je poskytovaný zdarma v rámci vývojového studia ISE s modulem EDK. Na obvodu Spartan-6 může pracovat s frekvencí až 167 Mhz. Je vhodný pro implementaci rozsáhlých a složitých funkcí, umožňuje implementovat i operační systém. Tento procesor je vhodný pro implementaci funkce webového serveru, která by měla být v příštích verzích využita.

### **Hard ip core**

Jsou obvody, které jsou implementovány přímo v čipu FPGA. Hlavní výhodou tohoto řešení je, že procesor zabírá menší plochu čipu než u soft ip jádra. Obvykle mohou pracovat s vyšším pracovním kmitočtem než soft ip jádra. V cílovém obvodu FPGA (Spartan-6) není k dispozici hard IP jádro procesoru.

# 3 PODPŮRNÉ OBVODY

## 3.1 DDR3

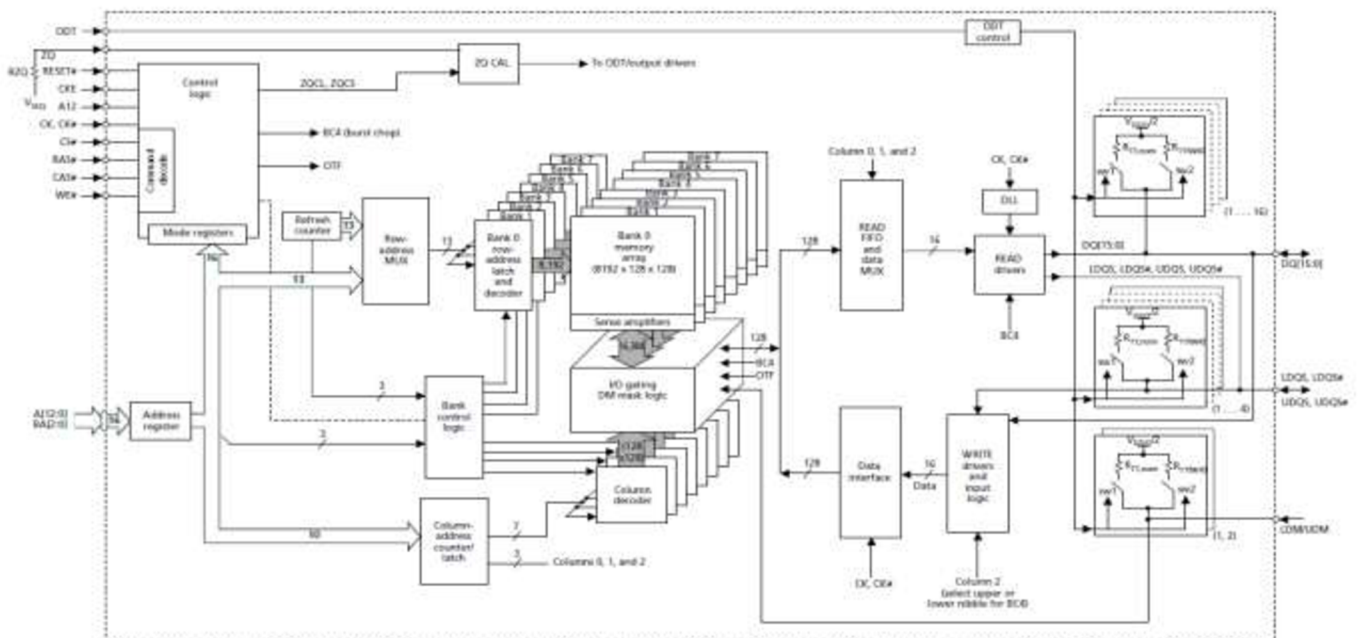
Paměť DDR3 může v obvodu být použita pro pokrytí zpoždění rámců, které může vznikat v přenosových kanálech a obvod mohl rámce vyslat ve stejném pořadí, v jakém vstupovaly do systému před rozdělením datového toku. Dále může být využita pro procesor, na kterém by měl běžet webový server.

Podle podporovaných pamětí uvedených v datasheetu xilinx, jsou podporovány různé paměti od firmy Mikron s časováním -187E, CL = 7. Tyto paměti se již nevyrábí, proto byla vybrána paměť MT41J64M16JT-15EGG o celkové kapacitě 1 Gb s časováním -15E, CL = 9, která je zpětně kompatibilní s časováním -187E.

Blokové schéma DDR3 paměti je na obrázku(obr.3.1). Data jsou v paměti organizována v osmi bankách. Výběr banky se provádí nastavením pinů BA0 až BA2. Každá banka je dále rozdělena do 16 384 buněk. Výběr buňky se provede nastavením pinů A0 až A13. Paměť vždy reaguje na vzestupnou hranu hodinového signálu. [6]

Jaká operace se s daty bude provádět, musí být specifikováno operandou na pinech RAS#, CAS#, WE# a CS#. Blokové schéma paměti je na obrázku (obr. 3.1). Seznam vybraných operand je v tabulce (tabulka 2.1). [6]

Uživatelská data jsou dostupná na pinech DQ0 až DQ15



obr. 3.1 Blokové schéma paměti DDR3 (převzato z [6])

Tabulka 3.1 Vybrané operandy paměti DDR3

Operace	CS#	RAS#	CAS#	WE#
Refresh	L	L	L	H
Zápis	L	H	L	L
Čtení	L	H	L	H
Aktivace banky	L	L	H	H

## 3.2 SFP

Modul SFP by vybrán, protože jeho zapojení na desce plošného spoje je oproti 1G ethernetovým řadičům jednodušší a umožňuje jednoduché připojení k vysokorychlostnímu rozhraní FPGA, díky výstupu v CML logice. Další jeho výhodou je, že může být použit pro metalické nebo optické vedení, dle vybraného modulu. Umožňuje jednoduchou komunikaci s FPGA přes I2C sběrnici, která je v modulu SFP připojena k paměti EEPROM. Z této paměti pak mohou být načteny detailní informace o modulu. Signály o stavu linky, jako je ztráta linky a chyba při přenosu jsou dostupné přímo na pinech SFP modulu. Datové signály jsou z SFP modulu přenášeny k MAC vrstvě implementované v FPGA pomocí rozhraní SGMII.

Pouzdro pro SFP modul je na obrázku (obr. 3.2), 1 Gb/s SFP modul pro metalické vedení je na obrázku (obr. 3.3) a 1 Gb/s SFP modul pro optické vedení je na obrázku (obr. 3.4)



obr. 3.2 SFP pouzdro

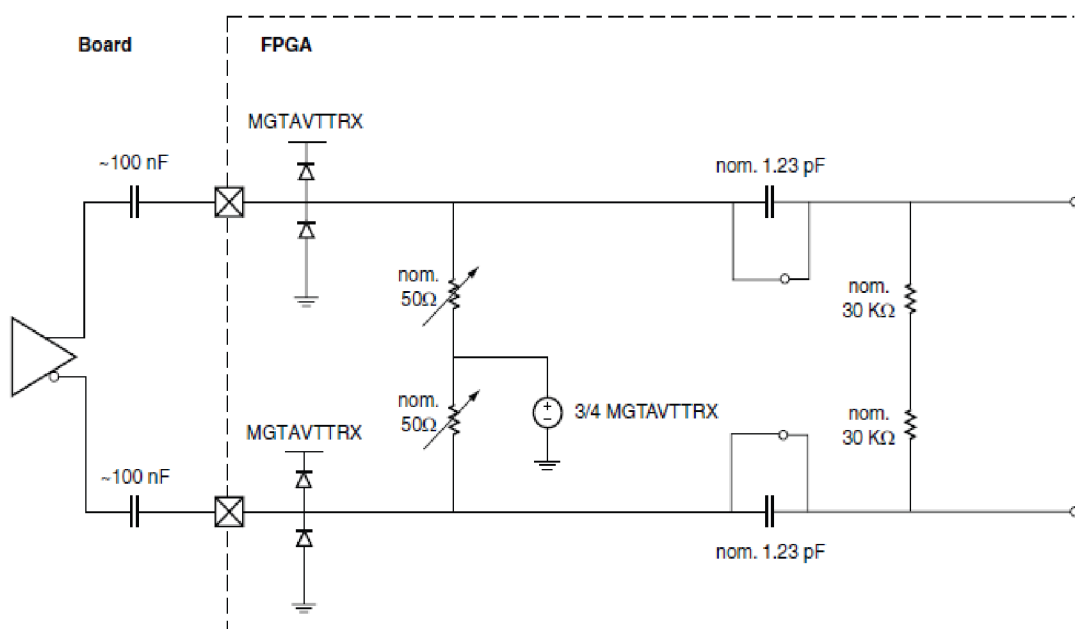


obr. 3.3 SFP modul pro metalická vedení



obr. 3.4 SFP modul pro optická vedení

Pro připojení SFP modulu k FPGA je zapotřebí, aby mezi FPGA a SFP modulem bylo navrženo diferenciální vedení s charakteristickou impedancí  $50\Omega$  a vzájemnou impedancí  $100\Omega$ . U FPGA je zapotřebí, aby byl nastaven ukončovací člen pro příjem diferenciálního signálu v CML logice podle obrázku (obr. 3.5). [1]



obr. 3.5 Nastavení ukončovacího rozhraní FPGA (převzato z [4])

### 3.3 USB-UART

Vzhledem k tomu že softwarová implementace řadiče USB by na FPGA byla velice složitá, bylo užito rozhraní USB-UART jako jednoduchý prostředek, jak spojit FPGA s počítačem vybaveného USB, kde převodník vytváří sériový port a umožňuje komunikaci s FPGA.

Byl vybrán obvod FT232R od firmy FTDI.

Základní parametry:

UART rozhraní 7 nebo 8 datových bitů, 1 nebo 2 stop bity, možnost parity

Přenosová rychlost od 300 baud do 1 Megabaud pro RS232

Možnost generování hodinového signálu pro externí zařízení – 48 MHz, 24 MHz, 16 MHz a 6 MHz

256 bajtů pro přijímací buffer a 128 bajtů pro odesílací buffer

Integrovaný oscilátor

Integrované rezistory USB

Napájení obvodu od 3,3V do 5,25V

Podpora USB 2.0

### 3.4 EEPROM

Paměť EEPROM bude v systému využita pro ukládání konfiguračních dat, která nebude možné obsáhnout v konfigurační paměti flash připojené k FPGA. Vzhledem k tomu že se jedná o nevolativní paměť, je k tomuto účelu vhodná. Její nevýhodou je omezený počet cyklů přepsání dat.

Byla vybrána paměť X24C08, která poskytuje 8kbit volného místa pro uložení dat. Komunikace mezi FPGA a pamětí je zajištěna pomocí I2C sběrnice.

## 4 MIKROPÁSKOVÁ VEDENÍ

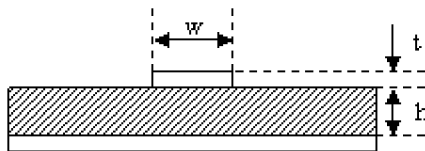
Mikropáskové vedení bude v návrhu použito pro propojení modulů SFP a FPGA, které pracuje v CML logice a vyžaduje charakteristickou impedanci  $50\Omega$  a diferenciální impedanci  $100\Omega$  a pro připojení oscilátoru s diferenciálním výstupem k FPGA, který je v logice LVDS a má stejné požadavky na přenosovou cestu jako u CML.

Mikropásková vedení jsou tvořena elektricky vodivou vrstvou, která je nanášena na dielektrickou podložku umístěnou na zemnicí desce.

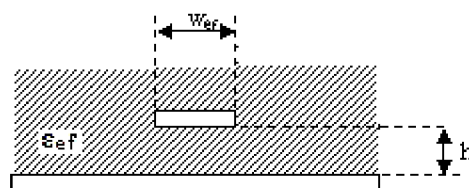
Pro výpočet parametrů mikropáskových vedení se obvykle používá tzv. kvazi-TEM aproximace, která sice na vyšších kmitočtech nedává přesné výsledky, ale na nižších kmitočtech postačuje. Pro přesnější návrh vedení je vhodné použít CAD softwaru, který analyzuje vedení pomocí z některých numerických metod jako je metoda konečných prvků, nebo metoda konečných diferencí.

### 4.1 Nesymetrické vedení

Struktura nesymetrického vedení je na obrázku (obr.4.1). Pásek je nanesen na dielektrické desce, která je umístěna na zemnicí desce. Při kvazi-TEM aproximaci je zanedbána šířka pásku a šířka pásku přechází na efektivní šířku pásku a vzduch společně s dielektrikem vytváří efektivní permitivitu [7] (Obr.4.2)



obr. 4.1 Nesymetrické mikropáskové vedení



obr. 4.2 Kvazi-TEM aproximace

„Charakteristickou impedanci nesymetrického vedení můžeme určit podle vztahu“ [7] (3.1)

$$Z_0 = \frac{120}{\sqrt{\epsilon_{ref}}} \frac{h}{w_{ef}} \quad (4.1)$$

Kde  $w_{ef}$  je efektivní šířka pásku,  $\epsilon_{ef}$  je efektivní permitivita

„Určení rozměru  $w$  a  $h$  mikropáskového vedení, kde  $w/h \geq 1$  můžeme použít vztah“ (4.2) [7]

$$\frac{w}{h} = \frac{120\pi}{Z_0\sqrt{\varepsilon_r}} - \frac{2}{\pi} \cdot \left( \frac{2}{\pi} - \frac{\varepsilon_r - 1}{3,7\varepsilon_r} \right) \operatorname{Ln} \left( \frac{120\pi^2}{Z_0\sqrt{\varepsilon_r}} - 1 + 184 - \frac{\varepsilon_r - 1}{\varepsilon_r} \right) \quad (4.2)$$

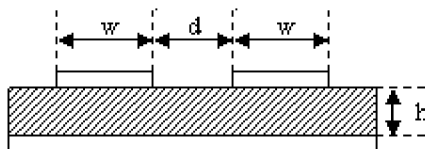
Dosažením hodnot substrátu FR-4, na kterém bude pásek umístěn a který má při kmitočtu 1GHz permitivitu  $\varepsilon_r=4,34$  a požadovanou charakteristickou impedanci  $Z_0=50\Omega$

$$\frac{w}{h} = \frac{120\pi}{50\sqrt{4,34}} - \frac{2}{\pi} \cdot \left( \frac{2}{\pi} - \frac{4,34 - 1}{3,7 \cdot 4,34} \right) \operatorname{Ln} \left( \frac{120\pi^2}{50\sqrt{4,34}} - 1 + 184 - \frac{4,34 - 1}{4,34} \right) = 1,9252$$

Pro výšku substrátu  $h=0,1$  mm bude šířka pásku  $w=h \cdot w/h=0,19$  mm.

## 4.2 Nesymetrické vázané vedení

Vázané nesymetrické vedení (obr.3.3) je tvořeno dvěma vodivými pásky, které mezi sebou mají diferenciální impedanci danou vzdáleností  $d$ . Z doporučení xilinx pro návrh diferenciálního spoje plyne, že poměr  $w/d$  byl větší než 0,4. Při použití šířky pásku  $w=0,19$  mm by mezera mezi pásky měla být větší než 0,47 mm. [1]



obr. 4.3 Vázané nesymetrické vedení

Pro ověření byl použit kalkulátor dostupný online na webových stránkách [www.mantaro.com](http://www.mantaro.com), který diferenciální impedanci aproximuje dle vztahu (4.3).

$$Z_d = \frac{174}{\sqrt{\varepsilon_r + 1,41}} \ln \left( \frac{0,98h}{(0,8w + t)} \left( 1 - 0,48 \exp \left( -0,96 \frac{d}{h} \right) \right) \right) \quad (4.3)$$

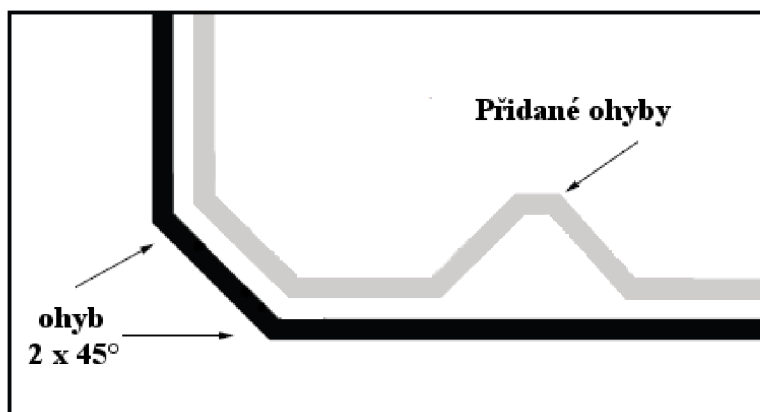
Po dosazení dostáváme pro jednotlivé tloušťky substrátu:

$h=0,1$  mm;  $t=0,035$  mm;  $w=0,19$  mm;  $d=0,47$  mm; je  $Z_d=84\Omega$

## 4.3 Ohyb vedení

Při ohybech diferenciálních vedení dochází k tomu, že vnější větev vedení bude delší než vnitřní větev a procházející signály pak putují různě dlouhou cestou a tím dochází k různému zpoždění těchto signálů, jak je patrné z obrázku (obr.4.4). Mimo jiné i samostatná cesta jednoho signálu ohnutá o  $90^\circ$  zvětšuje kapacitu přenosové cesty a tím narušuje charakteristickou impedanci v okolí ohybu. Proto je vhodné ohýbat

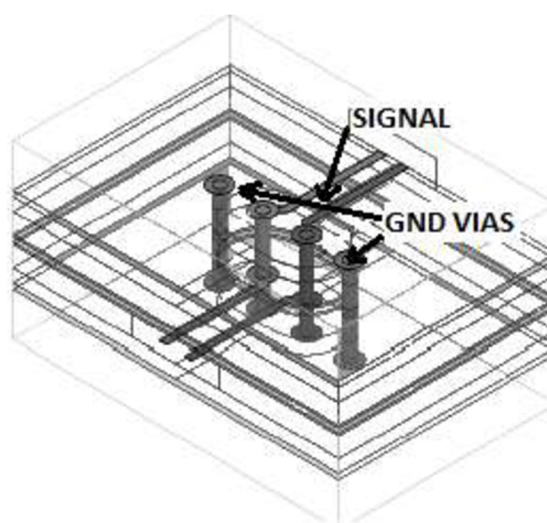
mikropáskové vedení na dvakrát po 45°. To zaručí, že kapacita cesty se výrazně nezmění a charakteristická impedance bude změněna pouze nevýrazně. Pro potlačení různých zpoždění signálů na diferenciálním mikropáskovém vedení je vhodné kompenzovat různou délku vedení pomocí přidávaných ohybů, aby délka obou cest byla shodná. [1]



obr. 4.4 Ohyb mikropáskového vedení (převzato z [2])

#### 4.4 Prokovy pro vysokofrekvenční signály

Pokud situace vyžaduje, aby vysokofrekvenční diferenční signál byl veden z/do některé vnitřní vrstvy je vhodné k vytvoření prokovení umístit dvojici zemnicích prokovů a okolo prokovení signálových cest odstranit zemnicí plochu (obr.4.5). Takto umístěné přidané prokovy, snižují indukci prokovů a tím zlepšují přenosové vlastnosti prokovení signálových cest. [1]

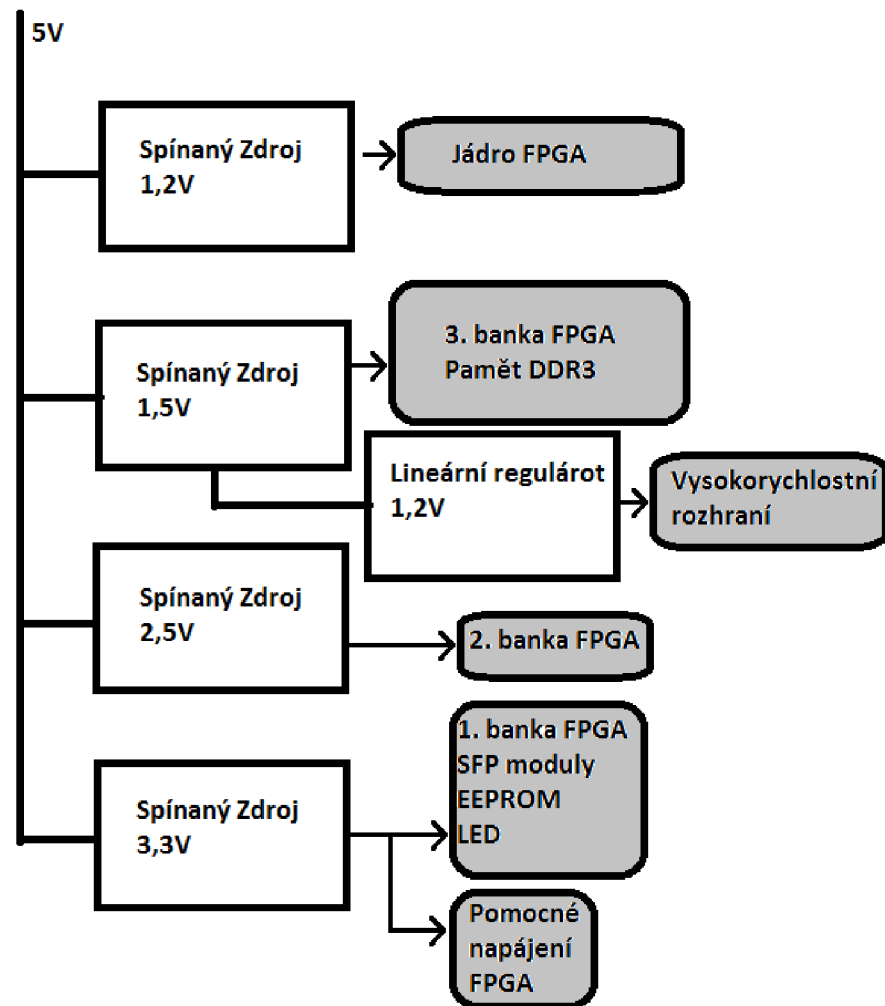


obr. 4.5 Přidavné prokovy



## 5 NAPÁJENÍ

Pro napájení obvodu FPGA spartan-6 a podpůrných obvodů je potřeba aby byla dostupná různá napětí. 1,2V je použito pro napájení jádra FPGA a vysokorychlostního rozhraní. 1,5V je napájení potřebné pro napájení DDR3 a třetí banky FPGA, kde je paměť připojena. 2,5V druhé banky FPGA. 3,3 V pro napájení EEPROM paměti , SFP modulů, pomocného napětí a 1. banky FPGA.(obr5.1)



obr 5.1 zjednodušené napájecí schéma

Regulátor napětí musí poskytovat dostatečný proud do obvodu s minimálním množstvím aditivního šumu a jeho funkce by neměla být ovlivňována okolní teplotou. Pro regulaci napětí se používají dvě skupiny regulátorů a to lineární a spínané. Optimální výběr regulátoru závisí na požadavcích systému, jako je: teplotní závislost, účinnost, cena, rozměr, maximální proud a stabilita napětí. [1]

## 5.1 Lineární regulátor

Lineární regulátor je obvykle nejjednodušší způsob, jak zajistit regulaci napětí pro obvod. Hlavní výhodou lineárních regulátorů je, že do výstupního napětí nevnášejí šum, obvykle vyžadují minimální počet externích prvků pro realizaci a obvykle nižší cena než u spínaných regulátorů. Jejich hlavní nevýhody jsou nízká účinnost a minimální úbytek napětí. Účinnost lineárního regulátoru je závislá na rozdílu vstupního a výstupního napětí.

Lineární regulátor byl použitý pro napájení vysokorychlostního rozhraní GTP, protože požaduje maximální šum vstupního napětí  $10\text{mV}_{\text{p-p}}$  a spínaný regulátor by mohl tuto hodnotu překročit.

Byl vybrán lineární regulátor TPS74401 (obr.4.1).

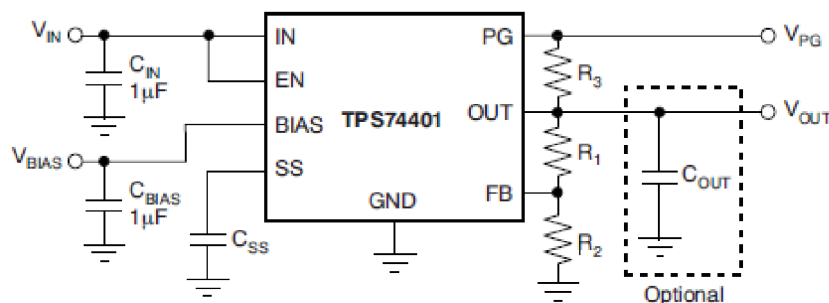
### Základní parametry:

Minimální úbytek napětí 115 mV při 3,0A.

Nastavitelné výstupní napětí od 0,8V do 3,6V.

Možnost pomalého náběhu výstupního napětí.

Nízký výstupní šum při použití pomalého náběhu s  $C_{\text{SS}} = 1\text{ nF}$   $I_{\text{OUT}} = 1,5\text{A}$   
 $U_{\text{OUT}} = 1,2\text{V}$  je šum  $19,2\text{ }\mu\text{V}_{\text{RMS}}$



obr. 5.2 Doporučené zapojení lineárního regulátoru (převzato z [8])

Pro výstupní napětí  $V_{\text{OUT}} = 1,2\text{V}$ , byly z datasheetu zvoleny hodnoty odporů  $R_1 = 2,49\text{ k}\Omega$  a  $R_2 = 4,99\text{ k}\Omega$ . Pro pomalý náběh výstupního napětí s dobou 1 ms byl vybrán kondenzátor  $C_{\text{SS}} = 1\text{ nF}$ .

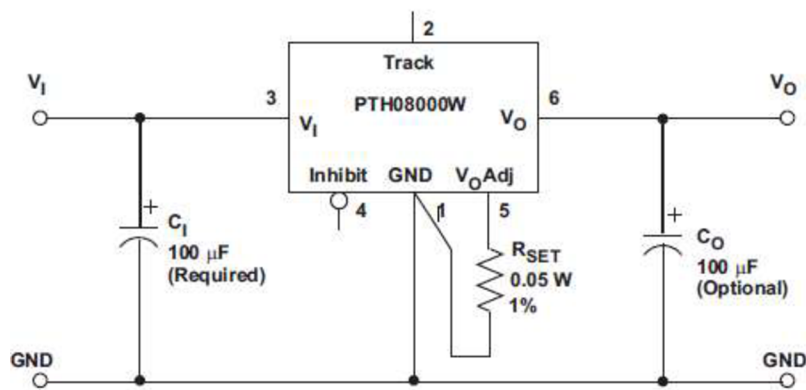
## 5.2 Spínaný regulátor

Spínané regulátory umožňují velice účinný způsob regulace napětí, jelikož na rozdíl od lineárních regulátorů jejich účinnost není závislá na rozdílu vstupního a výstupního napětí jako u lineárních regulátorů a obvykle dosahuje až 95%, což patří mezi jejich největší výhody. Nevýhodou spínaných regulátorů je, že obvody jsou složitější a tím pádem i dražší. Další hlavní nevýhodou je, že při spínání generují aditivní šum, který je potřeba odfiltrovat od výstupního napětí.

Spínaný regulátor byl vybrán pro napájení zbytku obvodů, bank a jádra FPGA, kde úroveň šumu není kritická. Aby byl obvod napájen spolehlivým způsobem, byl vybrán modul spínaného zdroje. Bylo by možné implementovat i spínaný zdroj řešený za pomoci diskretních součástek, který by byl pravděpodobně levnější při výrobě výrobku ve větším množství, ale pro vývoj prototypu je vhodnější použít modul s ověřenou funkčností. Byl vybrán obvod od Texas Instruments PTH0800W:

### Základní parametry:

- Výstupní proud až 2,25A
- Vstupní napětí 4,5V až 14V
- Volitelné výstupní napětí 0,9V až 5,5V
- Vysoká účinnost až 94%
- Pomalý náběh výstupního napětí
- Teplotní pojistka



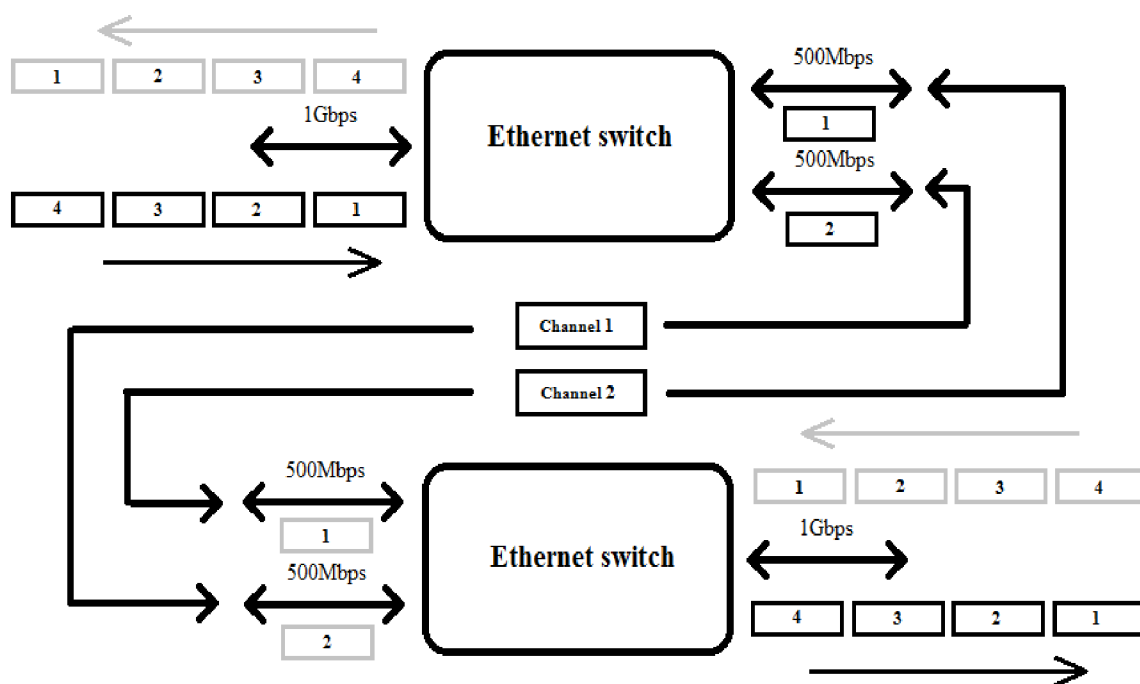
obr. 5.3 Doporučené zapojení spínaného regulátoru (převzato z [9])

Pro pomalý náběh výstupního napětí je zapotřebí, aby byl propojen pin 2 track a pin 3  $V_i$ . Požadované výstupní napětí je dané hodnotou odporu  $R_{SET}$ , hodnoty odporů a výstupního napětí jsou v tabulce (tabulka 4.1). Výstupní kondenzátor by měl mít ekvivalentní hodnotu sériového odporu (ESR) pod 10m $\Omega$ .

Tabulka 5.1 Hodnoty rezistorů a výstupního napětí

$R_{SET}$ [k $\Omega$ ]	$U_O$ [V]
27,9	1,2
13,0	1,5
3,75	2,5
1,89	3,3

## 6 JÁDRO PŘEPÍNAČE



obr. 6.1 Principiální schéma funkce přepínače

Optimální způsob zpracování dat, která mají být rozdělena na dva datové toky a přenesena dvěma nezávislými spoji, silně závisí na povaze přenášených služeb (protokolů) a vlastnostech přenosových kanálů, především jejich latenci.

V současné době je již nezanedbatelná část datového toku v síti Ethernet tvořena službami, které vyžadují přenos s minimálním zpožděním a prakticky nulovou ztrátovostí rámců (protokoly RTP, RTCP, MMS). Služby závislé na těchto protokolech jsou obvykle velmi citlivé na chyby přenosu (např. IPTV, VoIP...) a i výpadek jediného datového rámce může způsobit problémy s interpretací dat (např. artefakty v obraze, které se jen pomalu vytrácejí).

Z hlediska vlastního radiového spoje hraje důležitou roli jednak přenosová rychlost a především latence, tj. doba průchodu datového rámce spojem. Pro jednoduchost budeme uvažovat, že přenosová rychlost obou kanálů je stejná a je rovna polovině rozdělované přenosové rychlosti. Pokud budeme předpokládat obecný případ, kdy je každý z rozdělených datových toků přenášen kanálem s předem neznámou a navíc proměnnou latencí, je nutné v přijímači po určitou dobu uchovávat přijaté datové rámce, aby mohl být korektně složen datový tok (s ohledem na pořadí rámců). Tato doba přímo stanovuje nároky na velikost vyrovnávací paměti v přijímači. Paměť musí

být tím větší, čím je větší přenosová rychlost a čím je větší možný rozdíl latence obou datových spojů. Jelikož předpokládáme konstantní přenosovou rychlost, zůstává závislost pouze na velikosti rozdílu latencí.

V případě, že rozdíl latencí obou spojů je stále stejný a blíží se nule, můžeme přepínač realizovat zjednodušeným způsobem. Ten nevyžaduje ukládání přijatých datových rámců do mezipaměti za účelem jejich správného seřazení dle původního pořadí, neboť datové rámce jsou vždy přijímány postupně dle pořadí odeslání. Tento režim označíme jako režim s nulovým rozdílem latencí a další návrh se bude soustředit právě na tento zjednodušený režim.

## 6.1 Rozdělení datového toku

Datový tok v síti Ethernet je tvořen rámci s proměnnou délkou. Minimální standardní délka rámce je 64 bajtů, maximální délka rámce je 1518 bajtů (v případě použití VLAN rámců smí být délka rámce až 1522 bajtů). V těchto délkách není započítána délka synchronizační preambule, kterou tvoří 8 bajtů. Vzhledem k velkému rozdílu velikostí rámců (až 23:1) nelze jednoduše rozdělovat datový tok přepínáním rámců do jednotlivých kanálů tak, že první rámec bude odeslán radiovým kanálem A, druhý radiovým kanálem B, třetí opět A atd. Takto by mohla být jedna linka silně zatížena datovým tokem velkých rámců a druhá linka naopak jen minimálně zatížena krátkými rámci. Proto byl navržen nový způsob přepínání rámců tak, aby bylo rozdělení datového toku co nejrovnoměrnější.

Navržený způsob rozdělení datového toku využívá faktu, že porty A a B připojené na radiové spoje pracují na stejné přenosové rychlosti, na jaké pracuje zdrojový port (1 Gb/s). Dále je využita schopnost radiových vysílačů ukládat data určená pro vysílání do vyrovnávací paměti o velikosti 2 kB. Samotná vyrovnávací paměť je vysílačem průběžně čtena (obsah je odesílán radiovým kanálem) a rychlost jejího plnění je při plném datovém toku poloviční, neboť polovinu datového toku zároveň odebírá vysílač. Lze tak uvažovat, že paměť má efektivně dvojnásobnou kapacitu (4 kB).

Slovně lze popsat funkci rozdělení datových toků následovně. Po zapnutí zařízení bude datový tok směřován do kanálu A tak dlouho, dokud nebude odesláno alespoň  $D_{MAX}$  [kB] dat.  $D_{MAX}$  je mez pro start systému, kterou je nutné nastavit podle konkrétního použitého radiového systému. Pro námi používaný systém je vhodné nastavit  $D_{MAX} = 2$  kB tak, aby byla vstupní vyrovnávací paměť přijímače optimálně využita. Jelikož není možné rozdělovat rámce v okamžiku dosažení nastavené meze, nedojde k přerušení toku dat do kanálu A přesně v okamžiku, kdy dojde ke splnění stanovené podmínky (dosažení hranice  $D_{MAX}$ ). Do kanálu A tedy bude odesláno celkem  $D_{MAX} + \Delta_{A1}$  [kB] dat. Následně se datové rámce přesměrují do kanálu B. Data budou do kanálu B odesílána tak dlouho, dokud opět nedojde k dosažení nastavené hranice  $D_{MAX}$ . Jelikož opět nelze přerušit odesílání datového rámce před jeho skončením, opět dojde k odeslání celkem  $D_{MAX} + \Delta_{B1}$  [kB] dat. Následuje přepnutí datového toku opět na kanál A.

Nyní je ale třeba upravit mez pro objem dat odeslaných do kanálu A na hodnotu

$D_{MAX} - \Delta_{A1}$  [kB] tak, aby bylo vykompenzováno překročení meze z předchozího přepnutí. Jakmile dojde k překročení této meze, opět budou data přesměrována do kanálu B, ale je třeba ještě dokončit vysílání právě odesílaného rámce. Tím opět dojde k překročení nastavené meze o  $\Delta_{A2}$  (celkem bude odesláno  $(D_{MAX} - \Delta_{A1} + \Delta_{A2})$  kB dat). O tuto hodnotu je v dalším cyklu opět nutné snížit referenční mezní hodnotu  $D_{MAX}$ .

Tímto způsobem přepínání je zajištěno že

- a) nedojde k přetečení vstupní vyrovnávací paměti radiových vysílačů ani v nejméně příznivém případě, kdy bude při spuštění systému hranice překročena o maximální velikost datového rámce (celkem přibližně 3,5 kB dat)
- b) datový tok je rozdělován rovnoměrně, přičemž průměrný objem dat zaslaný na jeden port během jednoho cyklu přepnutí se blíží 2 kB.
- c) hardwarové nároky na řízení přepínání jsou minimální

Vzhledem k omezené velikosti vyrovnávací paměti konkrétního radiového spoje (teoreticky 4 kB efektivně) nelze použít nadrozměrné (jumbo) rámce, které mohou mít velikost až 10 kB. Takové rámce se nevejdou do vyrovnávací paměti radiového vysílače a pro jejich přenos by bylo nutné je rozdělit, odeslat jako několik samostatných rámců, a na straně přijímače opět sloučit. Přepínač je navržen tak, aby v budoucnu umožnil implementovat i tuto funkčnost. Jelikož ale v současné době není požadována, práce se jí nebude dále zabývat.

## 6.2 Sloučení datových toků

Uvedeným způsobem rozdělování datového toku je usnadněn proces slučování datových toků na straně přijímače. Pokud budeme uvažovat ideální situaci, kdy je latence spojů zcela stejná, mohou být na straně přijímače datové rámce řazeny stejným algoritmem, jakým jsou na straně vysílače rozdělovány, bez nutnosti ukládat data do velkých vyrovnávacích pamětí. Na základě zjednodušujícího předpokladu, kdy jsou obě strany spojeny radiovými spoji, ale ještě nedošlo k přenosu dat.

Vysílač začíná odesílat data kanálem A a tedy přijímači nejdříve přijme data z kanálu A. Jelikož známe algoritmus dělení datového toku, víme, že bude kanálem A odesláno právě  $D_{MAX}$  dat a navíc zbytek právě odesílaného rámce (plus  $\Delta_{A1}$  kB dat). Všechny přijaté rámce mohou být přímo odesílány na výstupní port slučovače. Po přijetí a odeslání posledního rámce (který způsobil překročení nastavené hranice  $D_{MAX}$ ) je třeba směřovat na výstup data z kanálu B, kam jsou nyní vysílačem směřovány rámce následující. Doba přepnutí na kanál B je opět dána přijetím  $D_{MAX}$  dat, přičemž opět dojde k překročení této hranice. Následuje přepnutí na kanál A s tím, že je upravena mez pro další přepnutí, stejným algoritmem jaký je použit ve vysílači.

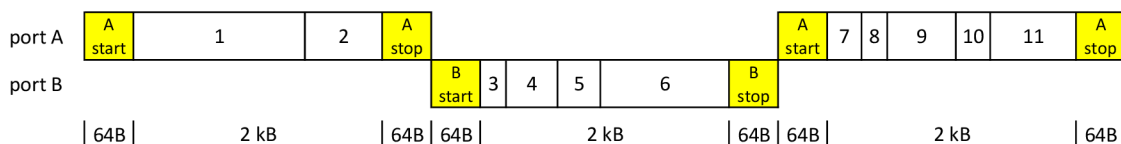
## 6.3 Synchronizace vysílače a přijímače

Uvedený systém přepínání rámců vyžaduje přesnou synchronizaci vysílače

s přijímačem během celého přenosu. Tu lze zaručit teoreticky pouze v případě, že vysílač začne vysílat data až v okamžiku, kdy je přijímač připraven data přijímat, což v případě plně duplexního spoje prakticky nelze zajistit oboustranně. Navíc by v průběhu přenosu nesmělo docházet ke ztrátám datových rámců v radiovém kanále, což je opět obtížně splnitelná podmínka. Proto je třeba zajistit synchronizaci vysílače a přijímače během provozu. Tato synchronizace zajistí jednak výchozí synchronizaci slučovače datových toků a dále zajistí, že i v případě výpadku několika rámců bude v krátké době synchronnost opět obnovena.

Navržený systém synchronizace využívá přenosu pomocných řídicích rámců, které jsou přenášeny radiovým kanálem spolu s užitečnými daty. Tím se mírně snižuje propustnost systému. Jak bude dále ukázáno, lze optimalizací režimu zasílání řídicích rámců dosáhnout kompromisu mezi spolehlivostí přepínání dat (korektní rekonstrukcí pořadí rámců v přijímači) a objemem servisního datového toku (snížením propustnosti kanálu).

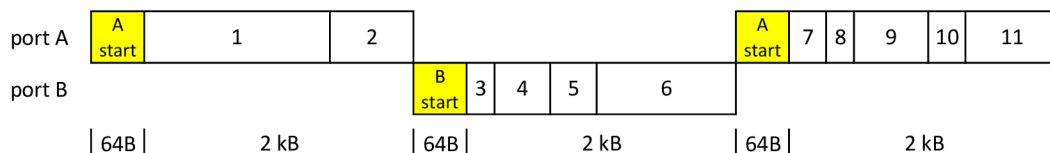
Nejbezpečnější způsob řízení, který zároveň vyžaduje největší objem přenášovaných servisních datových rámců, nepotřebuje ke své funkci znalost nastavené hranice pro přepnutí mezi kanály ( $D_{MAX}$ ). Tento režim budu dále označovat jako LEVEL-0. Synchronizace vysílače a přijímače je zabezpečena vysláním řídicího rámce jak na začátku, tak na konci úseku dat délky  $D_{MAX}$  pro každý kanál. Princip je patrný z obr. 6.1.



obr. 6.2 Přepínání datových toků s řídicími rámci v režimu LEVEL-0

Pokud dojde ke ztrátě pouze jednoho řídicího rámce, nemůže u tohoto systému dojít k chybnému seřazení datových rámců: pokud bude ztracen rámeček označující konec vysílání úseku datových rámců jednoho portu, stále máme k dispozici řídicí rámeček označující začátek úseku datových rámců druhého portu. Stejně je tomu v případě, že bude ztracen řídicí rámeček označující začátek úseku datových rámců. Ten je v podstatě již předznamenán koncovým řídicím rámečkem předchozího úseku datových rámců v sousedním kanálu. Výhodou tohoto systému je fakt, že není náchylný na ztrátu datových rámců. Synchronizace je zachována vždy, pokud je přijat alespoň jeden řídicí rámeček z každé dvojice stop-start.

Řídicí rámeček označující začátek a konec posloupnosti datových rámců jsou v režimu LEVEL-0 podstatě zdvojené, z čehož plyne poměrně velký přidaný datový tok. Pokud je přenos rámců mezi rozdělovačem a slučovačem rámců dostatečně spolehlivý, můžeme zmenšit počet přenášovaných řídicích rámců a zvýšit tak užitečnou propustnost systému. V režimu, který označím jako LEVEL-1, bude vysílač vkládat řídicí rámeček pouze na začátky jednotlivých úseků datových rámců (obr. 6.2).

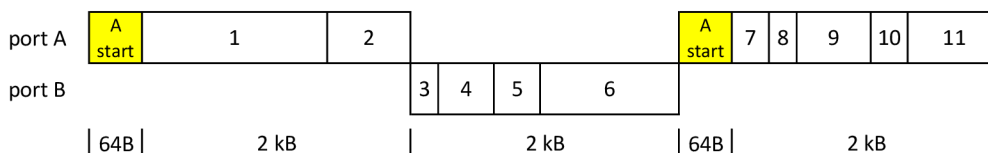


### 6.3Přepínání datových toků s řídicími rámci v režimu LEVEL-1

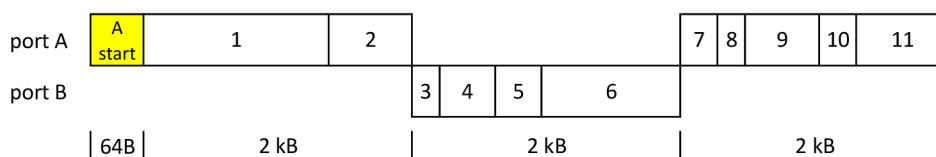
Pokud v tomto režimu dojde ke ztrátě datových rámců, přičemž řídicí rámce jsou zachovány, nedojde ke ztrátě synchronizace (podobně, jako v případě režimu LEVEL-0). Pokud v tomto režimu dojde ke ztrátě jednoho řídicího rámce, nemusí ještě dojít ke ztrátě synchronizace v případě, že bude slučovač kontrolovat objem dat přenesený v jednotlivých úsecích ( $D_{MAX}$ ). Kontrola délky datových rámců klade vyšší nároky na slučovač (složitější algoritmus), na druhou stranu zvyšuje spolehlivost procesu uspořádávání rámců. V případě implementace kontroly objemu dat  $D_{MAX}$  je nutné řídicími rámci navíc přenášet informaci o aktuální hodnotě rozdílu skutečné délky úseku rámců od stanovené meze (údaj  $\Delta_{Ai}$ ). Po ztrátě datového rámce totiž přijímač nemůže zjistit, jakou délku měl ztracený rámec, a tudíž nemůže korektně údaj  $\Delta_{Ai}$  dopočítat pro odhad konce dalšího úseku dat.

Další snížení režijního datového toku je možné provést vynecháváním řídicích rámců označujících začátky úseků datových rámců. Tento režim označím jako LEVEL-2. V tomto režimu je vždy nutné provádět kontrolu objemu dat v jednotlivých úsecích ( $D_{MAX}$ ) a zároveň řídicími rámci přenášet informaci o aktuální hodnotě  $\Delta_{Ai}$ .

Režim, kdy jsou vynechány všechny řídicí rámce označující začátek datového toku druhého kanálu, označím jako LEVEL-2/0. Režimy, kdy jsou vynechány i některé řídicí rámce označující začátek toku v kanálu A, pak budeme označovat jako LEVEL-2/X, kde X značí počet vynechaných řídicích rámců. V případě, že datový spoj vykazuje vysokou spolehlivost, je tak možné výrazně snížit přidáný režijní datový tok a plně tak využít kapacitu přenosového kanálu.



### 6.4Přepínání datových toků s řídicími rámci v režimu LEVEL-2/0



### 6.5Přepínání datových toků s řídicími rámci v režimu LEVEL-2/X



## 7 ZÁVĚR

Cílem prvního a druhého semestrálního projektu bylo navrhnout zařízení, které by bylo schopno přijímat diferenciální signály různých standardů a tyto signály přeposlat na výstupní bránu a zároveň na vstup osciloskopu, pro který by obvod obnovovalo i hodinový kmitočet pro synchronizaci. Obvod měl být zároveň schopný generovat různé datové signály. Po domluvě s vedoucím práce došlo v polovině listopadu ke změně zadání, jehož náplní bylo seznámit se s linkovou a fyzickou vrstvou standardu gigabit ethernet a návrh obvodu, který bude schopný symetricky rozdělit datový tok 1Gb/s na dva datové toky a umožní i jejich sloučení.

Pro tento účel bylo nejvýhodnější řešení založit zařízení na obvodu FPGA, které je schopné zpracovávat vysokorychlostní toky dat. Byl vybrán obvod od firmy Xilinx Spartan-6, který je schopný přijímat datové toky o rychlosti až 3,125Gb/s. K obvodu FPGA poté byly vybrány další obvody tak, aby mohly realizovat požadované funkce specifikované v zadání. Na základě podporovaných pamětí typů SDRAM obvodu Spartan-6 byla vybrána paměť DDR3 od firmy Micron. Pro komunikaci v síti ethernet bylo požadováno využít modulů SFP, které umožní připojení do sítě standardů 1000BASE-T, 1000BASE-SX, 1000BASE-LX a 1000BASE-CX. Dále jsou v práci navrženy nevolatilní paměť EEPROM a převodník USB.

Pro funkci rozdělování takového toku jsou v práci popsány čtyři možné varianty řízení rozdělení a opětovného sloučení datového toku označené jako LEVEL-0, LEVEL-1, LEVEL-2/0 a LEVEL2/X. Každá z popsaných variant má své výhody i nevýhody co se týče generování přídavných dat a zaručení správné synchronizace vysílací a přijímací strany. Pro nejlepší synchronizaci dat je nejvýhodnější varianta LEVEL-0, která ale generuje největší množství dat. Nejmenší množství dat generuje varianta LEVEL-2/X, ale vyžaduje spoj s nízkou chybovostí.

Pro ethernetový přepínač dat byla navržena osmivrstvá deska plošných spojů. Podklady pro návrh jsou umístěny v příloze. Vzhledem k tomu, že se zadání měnilo i v průběhu letního semestru podle požadavků zadávající firmy, bylo potřeba práci několikrát upravovat a nebylo možné desku plošných dodat do výroby včas. Proto jsem v diplomové práci nemohl ověřit její funkčnost.

# LITERATURA

- [1] XILINX, Inc. *Spartan-6 FPGA Data Sheet: DC and Switching Characteristics: DS162 (v3.0)* [online]. USA, 2011 [cit. 2011-11-10]. Dostupné z: [http://www.xilinx.com/support/documentation/data\\_sheets/ds162.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds162.pdf)
- [2] XILINX, Inc. *Spartan-6 FPGA Packaging and Pinouts Specification: UG385 (v2.2)* [online]. USA, 2011 [cit. 2011-12-16]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug385.pdf](http://www.xilinx.com/support/documentation/user_guides/ug385.pdf)
- [3] XILINX, Inc. *Spartan-6 FPGA Configuration: UG380 (v2.3)* [online]. USA, 2010 [cit. 2011-12-16]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug380.pdf](http://www.xilinx.com/support/documentation/user_guides/ug380.pdf)
- [4] XILINX, Inc. *Spartan-6 FPGA GTP Transceivers: UG386 (v2.2)* [online]. USA, 2010 [cit. 2011-12-26]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug386.pdf](http://www.xilinx.com/support/documentation/user_guides/ug386.pdf)
- [5] XILINX, Inc. *Spartan-6 FPGA Memory Controller: UG388 (v2.3)* [online]. USA, 2010 [cit. 2011-12-16]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug388.pdf](http://www.xilinx.com/support/documentation/user_guides/ug388.pdf)
- [6] MICRON TECHNOLOGY, Inc. *DATASHEET: 1Gb: x4, x8, x16 DDR3 SDRAM Features* [online]. 2011 [cit. 2011-12-16]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug380.pdf](http://www.xilinx.com/support/documentation/user_guides/ug380.pdf)
- [7] HANUS, Stanislav a Jiří SVAČINA. *VYSOKOFREKVENČNÍ A MIKROVLNNÁ TECHNIKA*. FEKT VUT v Brně, 2002.
- [8] TEXAS INSTRUMENTS, Inc. *DATASHEET: 3.0A Ultralow Dropout with Programmable Soft-Start (Rev. M)* [online]. 2008 [cit. 2012-04-17]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tps74401.pdf>
- [9] TEXAS INSTRUMENTS, Inc. *DATASHEET: 2.25 A 4.5-V TO 14-V Input Wide Adjust Miniature Power (Rev. B)* [online]. 2008 [cit. 2012-04-17]. Dostupné z: <http://www.ti.com/lit/ds/symlink/pth08000w.pdf>
- [10] KOLKA, Zdeněk. *Počítačové a komunikační sítě*. BRNO, 2007.
- [11] THE INSTITUTE OF ELECTRICAL AND ELECTRONIC ENGINEERS, Inc. *Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) access method and Physical Layer specifications: IEEE 802.3-2008 – Section Three* [online]. 2008. vyd. [cit. 2012-04-17]. Dostupné z: [http://standards.ieee.org/getieee802/download/802.3-2008\\_section3.pdf](http://standards.ieee.org/getieee802/download/802.3-2008_section3.pdf)
- [12] HEWLETT-PACKARD, Inc. *Reduced Gigabit Media Independent Interface: Reduced Pin-count Interface For Gigabit Ethernet Physical Layer Devices* [online]. 2011 [cit. 2012-04-17]. Dostupné z: [http://www.hp.com/rnd/pdfs/RGMIIv1\\_3.pdf](http://www.hp.com/rnd/pdfs/RGMIIv1_3.pdf)
- [13] THE INSTITUTE OF ELECTRICAL AND ELECTRONIC ENGINEERS, Inc. *Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) access method and Physical Layer specifications: IEEE 802.3-2008 – Section Two* [online]. 2008. vyd. [cit. 2012-04-17]. Dostupné z: [http://standards.ieee.org/getieee802/download/802.3-2008\\_section2.pdf](http://standards.ieee.org/getieee802/download/802.3-2008_section2.pdf)
- [14] PROAKIS J. G. *Digital Communications*. 4th Edition, New York:McGraw-Hill, 2001, 1002 p. ISBN 0-07-232111-3
- [15] XILINX, Inc. *Virtex-5 FPGA Embedded Tri-Mode Ethernet MAC User Guide: UG194 (v1.10)* [online]. 2011 [cit. 2012-04-17]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug194.pdf](http://www.xilinx.com/support/documentation/user_guides/ug194.pdf)
- [16] MAXFIELD, C. *The Design Warrior's Guide to FPGAs*. 1st ed. Newnes; Elsevier, Burlington, MA, 2004. 542 p. ISBN 0-7506-7604-3
- [17] WIDMER, P.A. DC-Balanced, Partitioned-Block, 8B/10B Transmission Code, IBM Journal of Research and Development, vol. 27, No. 5, Sep. 1983, pp. 440-451.
- [18] Marvell Semiconductor, Inc. 5488 Marvell Lane, Santa Clara, CA 95054, USA. 88E1111 Datasheet - Integrated 10/100/1000 Ultra Gigabit Ethernet Transceiver. [online] 2004 [cit. 2012-04-23]. Dostupný z WWW: [http://www.datasheet4u.com/html/8/8/E/88E1111\\_Marvell.pdf.html](http://www.datasheet4u.com/html/8/8/E/88E1111_Marvell.pdf.html)

# SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

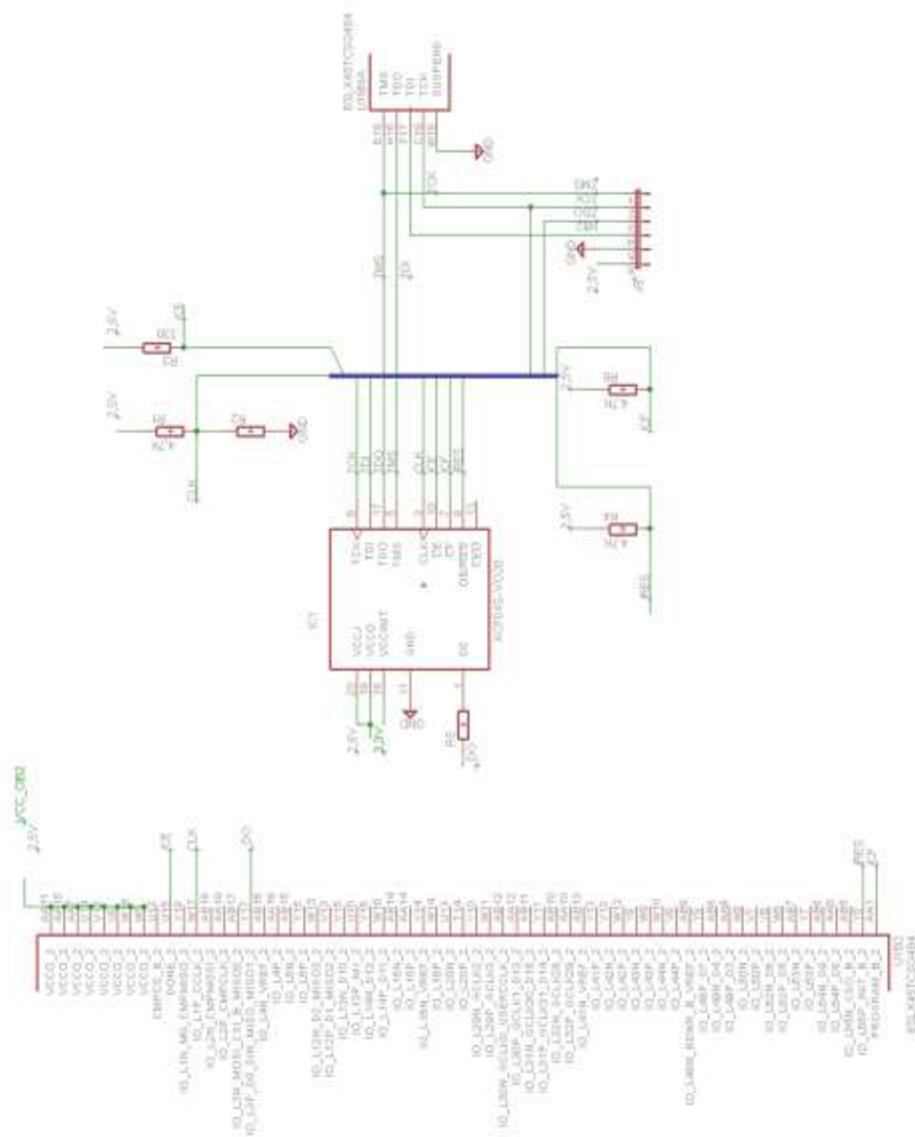
FPGA	Field Programmable Gate Array, Programovatelné hradlové pole
I/O	Input/Output, Vstup/Výstup
USB	Universal Serial Bus, Univerzální sériová sběrnice
UART	Universal Asynchronous Receiver and Transmitter
DDR	Double Data Rate
EEPROM	Electrically Erasable Programmable Read-Only Memory
TEM	Transverzálně elektromagnetická vlna
CML	Current mode logic
LVDS	Low Voltage Differential Signaling
SFP	Small Formfactor Pluggable
CDR	Clock Data Recovery
GTP	Gigabit Transceiver
LUT	Look Up Table
D-K.O	D klopný obvod
PHY	Physical interface
MMF	MultiMode Fiber
SMF	SingleMode Fiber
CSMA/CD	Carrier Sense Multiple Access/Collision Detection
PLL	Phase Locked Loop

# SEZNAM PŘÍLOH

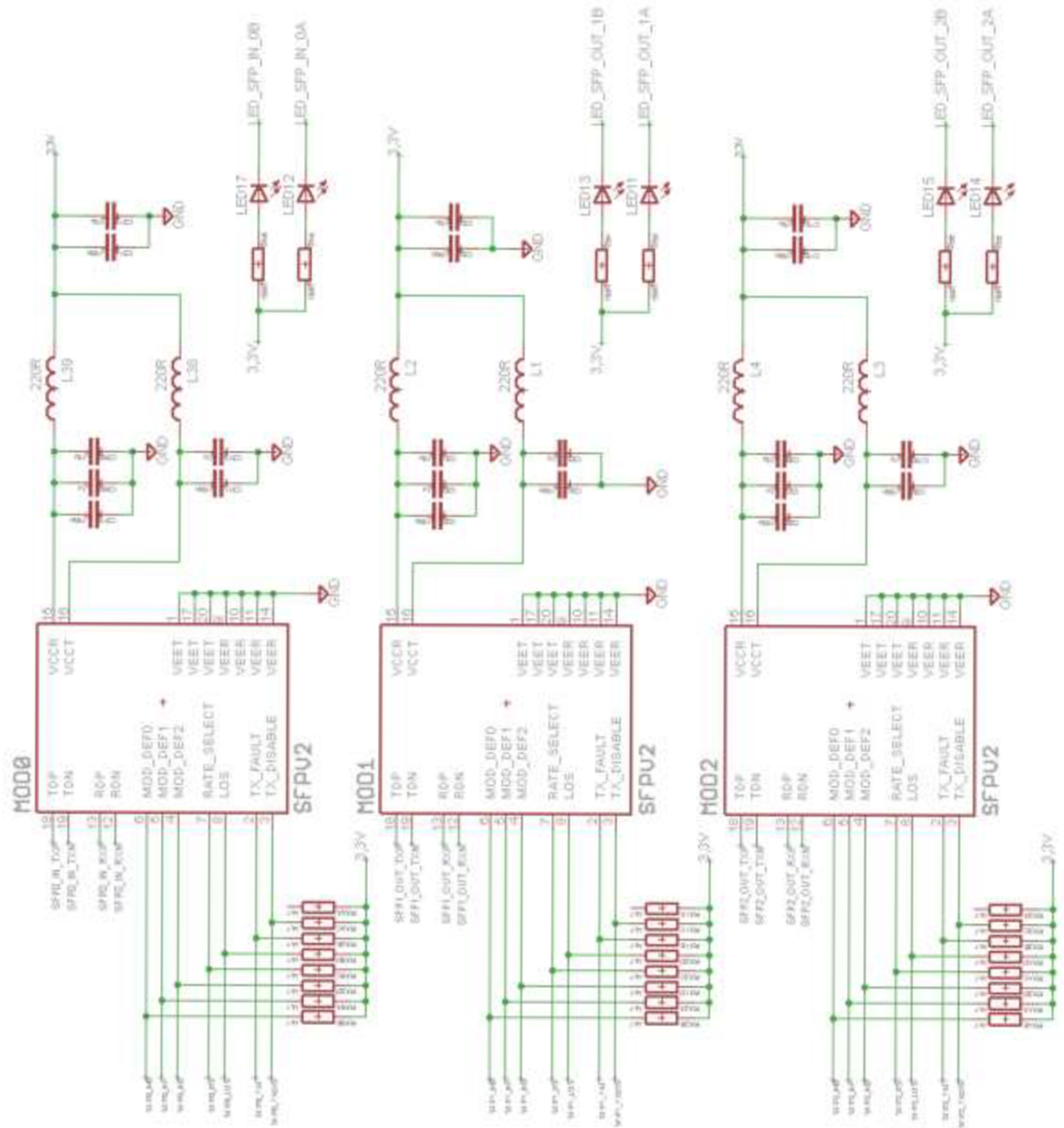
<b>A</b>	<b>Návrh Ethernetového přepínače</b>	<b>35</b>
A.1	Zapojení ISP rozhraní k FPGA a flash paměti .....	35
A.2	Zapojení SFP modulů .....	36
A.3	Zapojení GTP banky .....	37
A.4	Zapojení paměti DDR3 a FPGA .....	38
A.5	Zapojení paměti EEPROM a USB-UART k FPGA .....	39
A.6	Zapojení LED, přepínačů a Jumperů k FPGA .....	40
A.7	Vazební kondenzátory .....	41
A.8	Zapojení spínaných regulátorů a lin. Regulátoru .....	42
A.9	Deska plošného spoje - top .....	43
A.10	Deska plošného spoje- vrstva 2 (GND) .....	44
A.11	Deska plošného spoje – vrstva 3 (napájení).....	45
A.12	Deska plošného spoje- vrstva 4 (signálová) .....	46
A.13	Deska plošného spoje- vrstva 5 (signálová) .....	47
A.14	Deska plošného spoje- vrstva 6 (napájení) .....	48
A.15	Deska plošného spoje- vrstva 7 (GND) .....	49
A.16	Deska plošného spoje- botton .....	50
A.17	Deska plošného spoje-top(osazení) .....	51
A.18	Deska plošného spoje- bottom (osazení) .....	52
A.19	Deska plošného spoje- neprokovené vrtání .....	53
A.20	Deska plošného spoje- prokovené vrtání .....	54
A.21	Deska plošného spoje- top (nepájivá maska).....	55
A.22	Deska plošného spoje- bottom(nepájivá maska) .....	56
A.23	Deska plošného spoje- top (pájecí pasta).....	57
A.24	Deska plošného spoje- bottom (pájecí pasta) .....	58

# A NÁVRH ETHERNETOVÉHO PŘEPÍNAČE

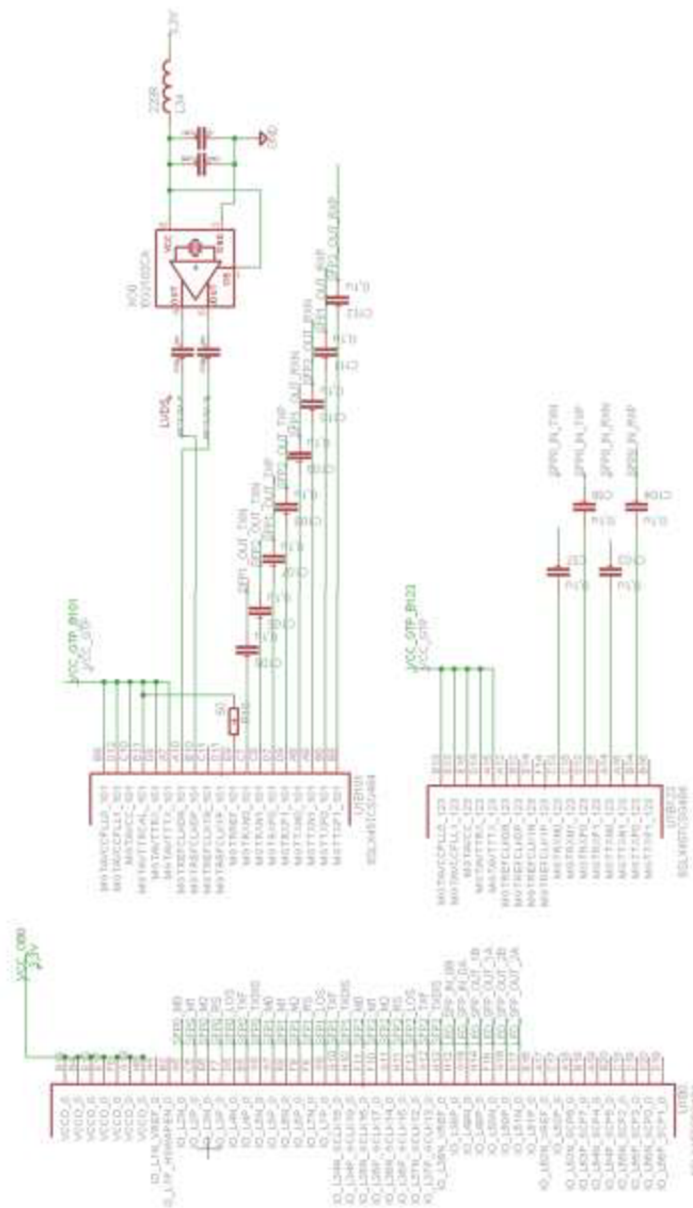
## A.1 Zapojení ISP rozhraní k FPGA a flash paměti



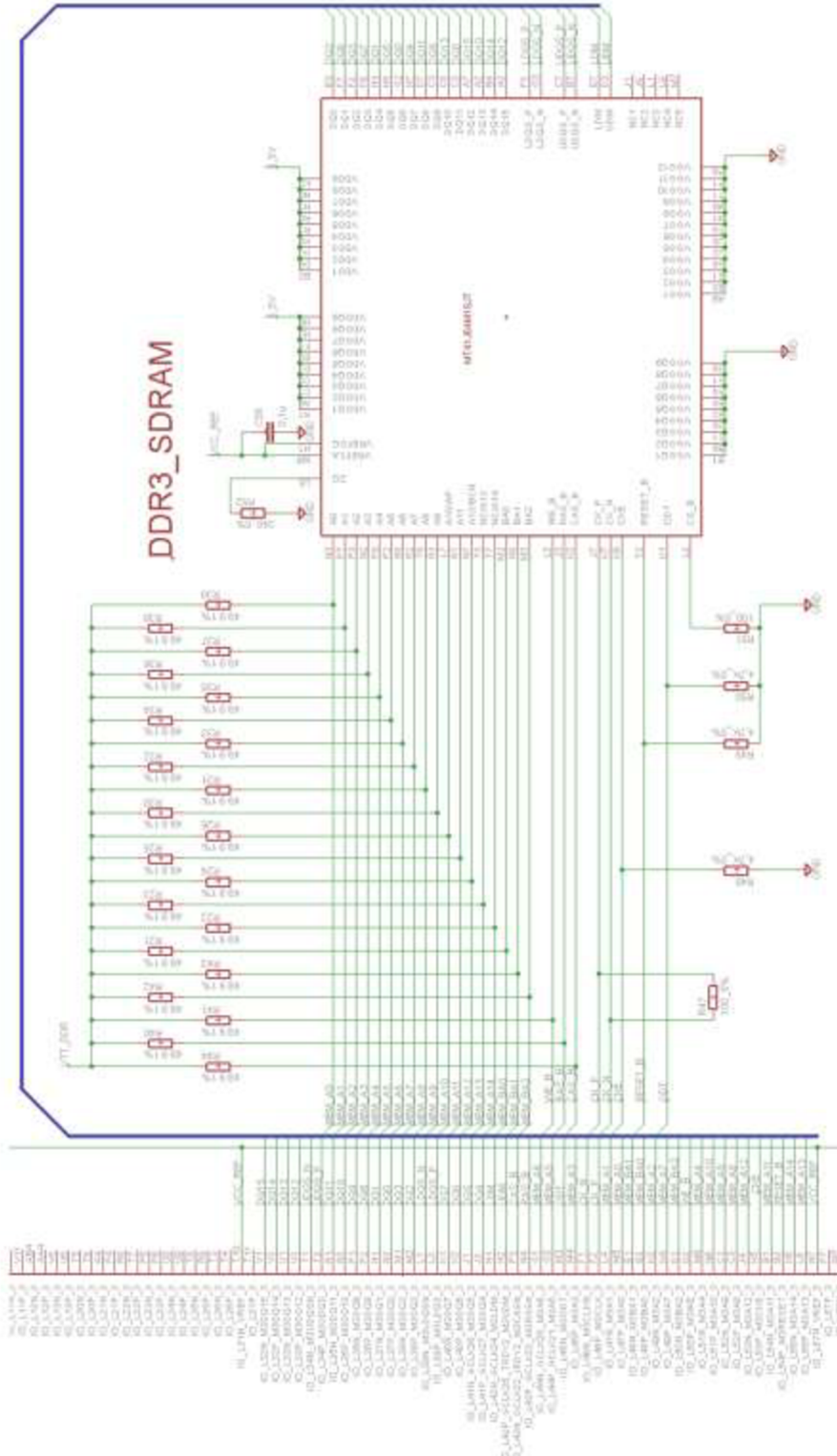
## A.2 Zapojení SFP modulů



### A.3 Zapojení GTP banky

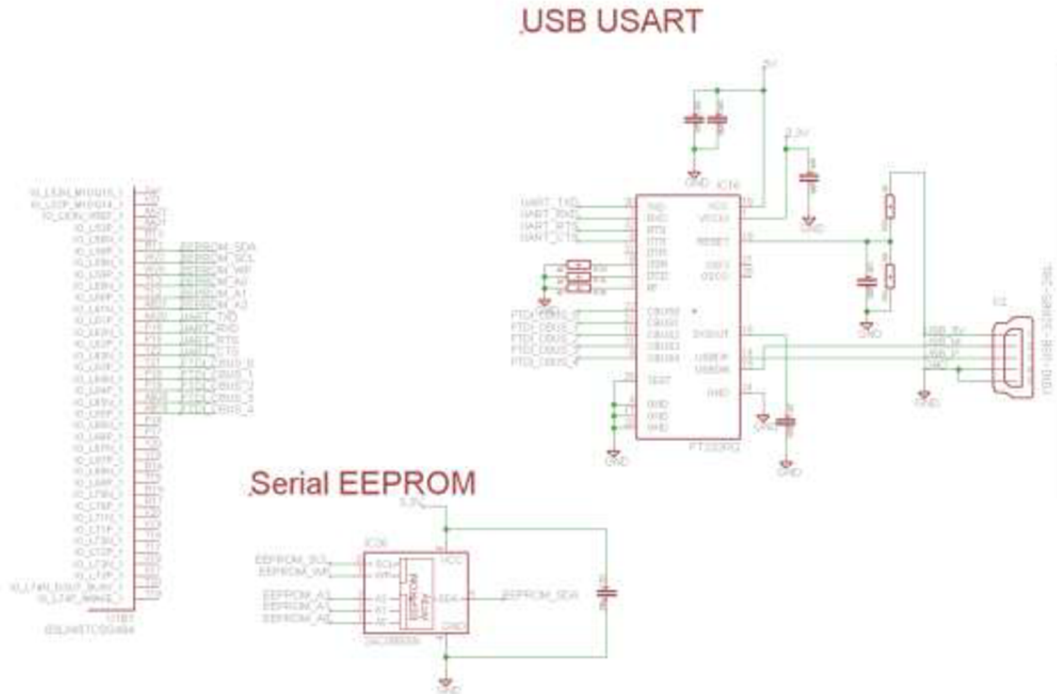


## A.4 Zapojení paměti DDR3 a FPGA

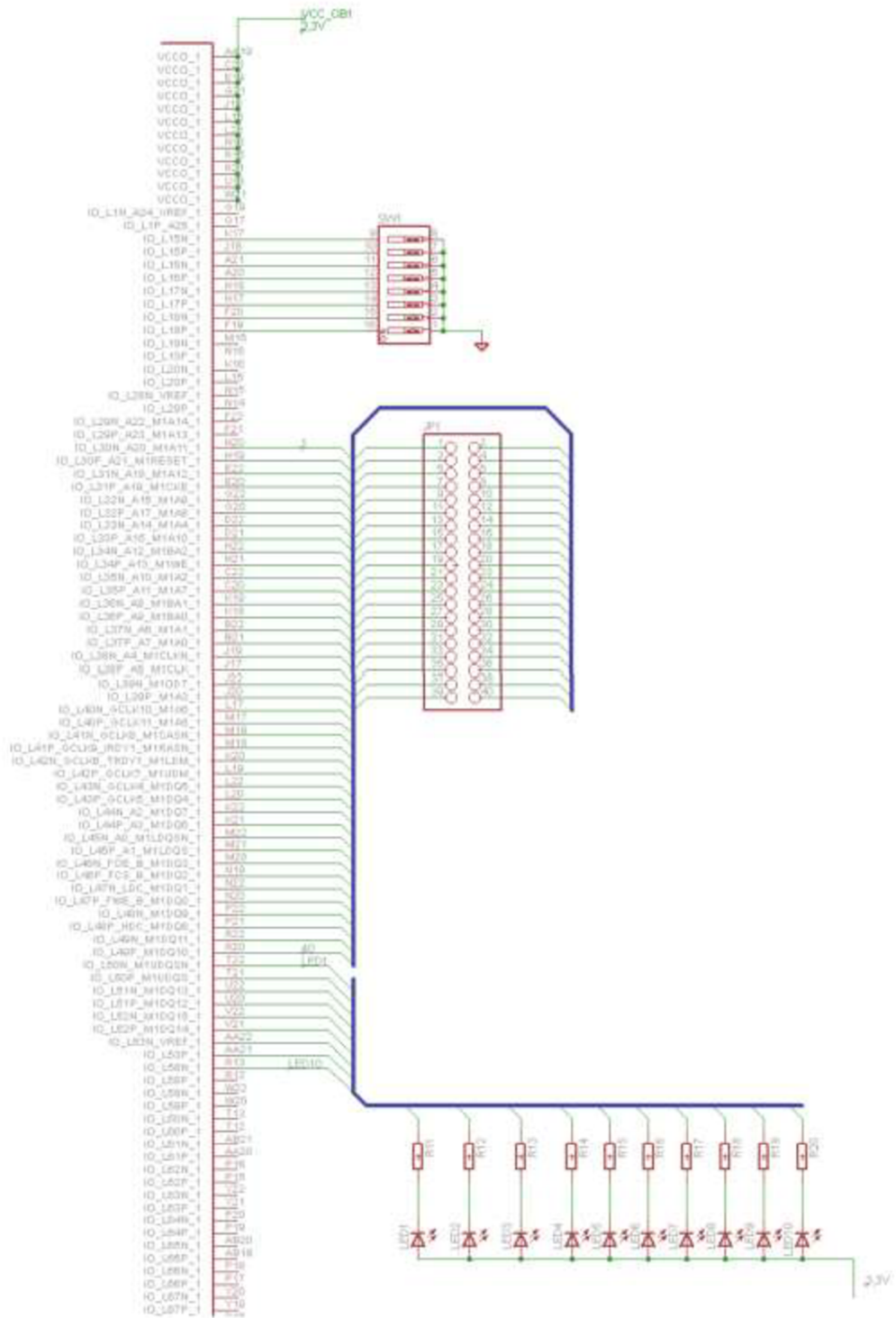




## A.5 Zapojení paměti EEPROM a USB-UART k FPGA

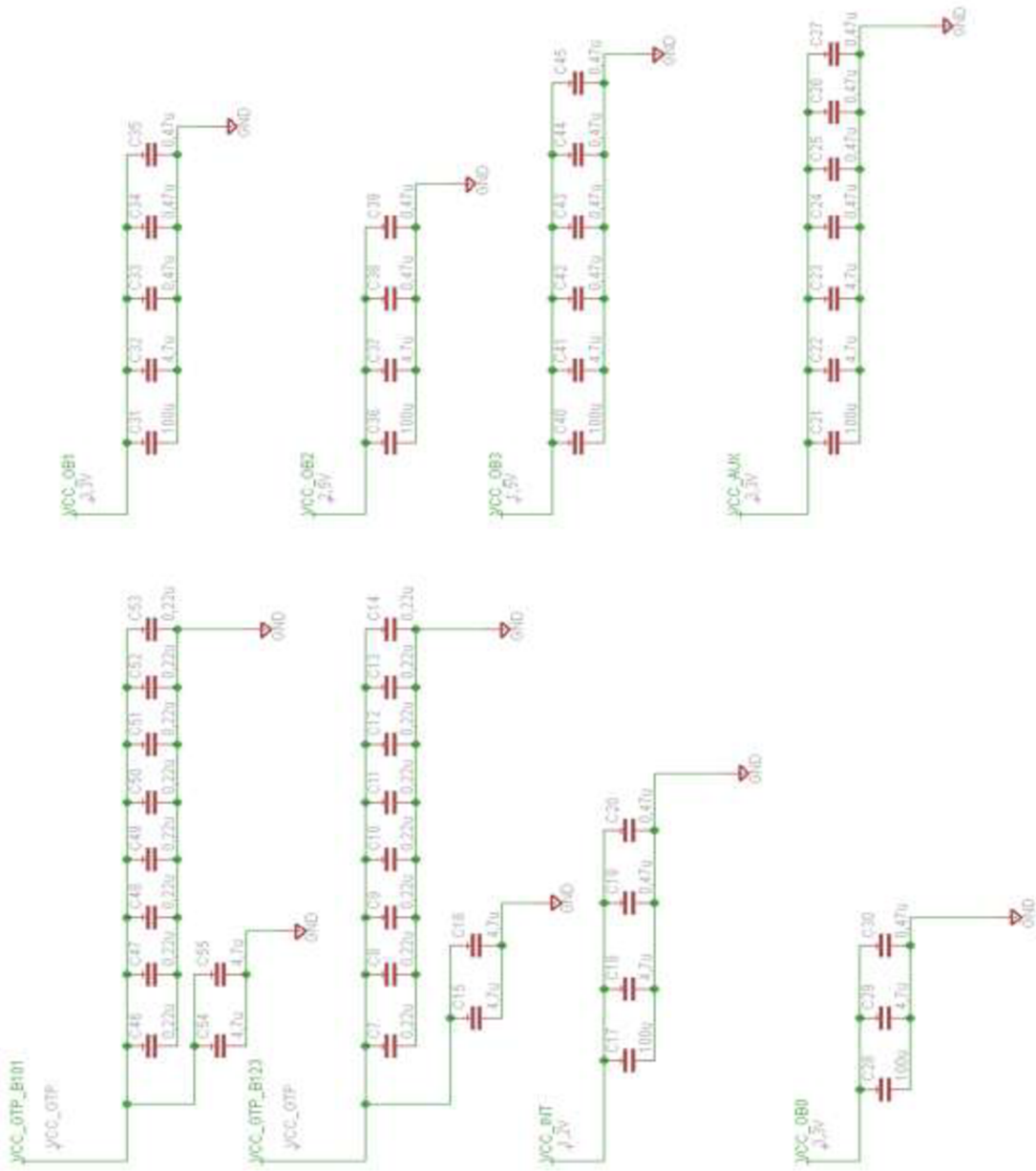


## A.6 Zapojení LED, přepínačů a Jumperů k FPGA

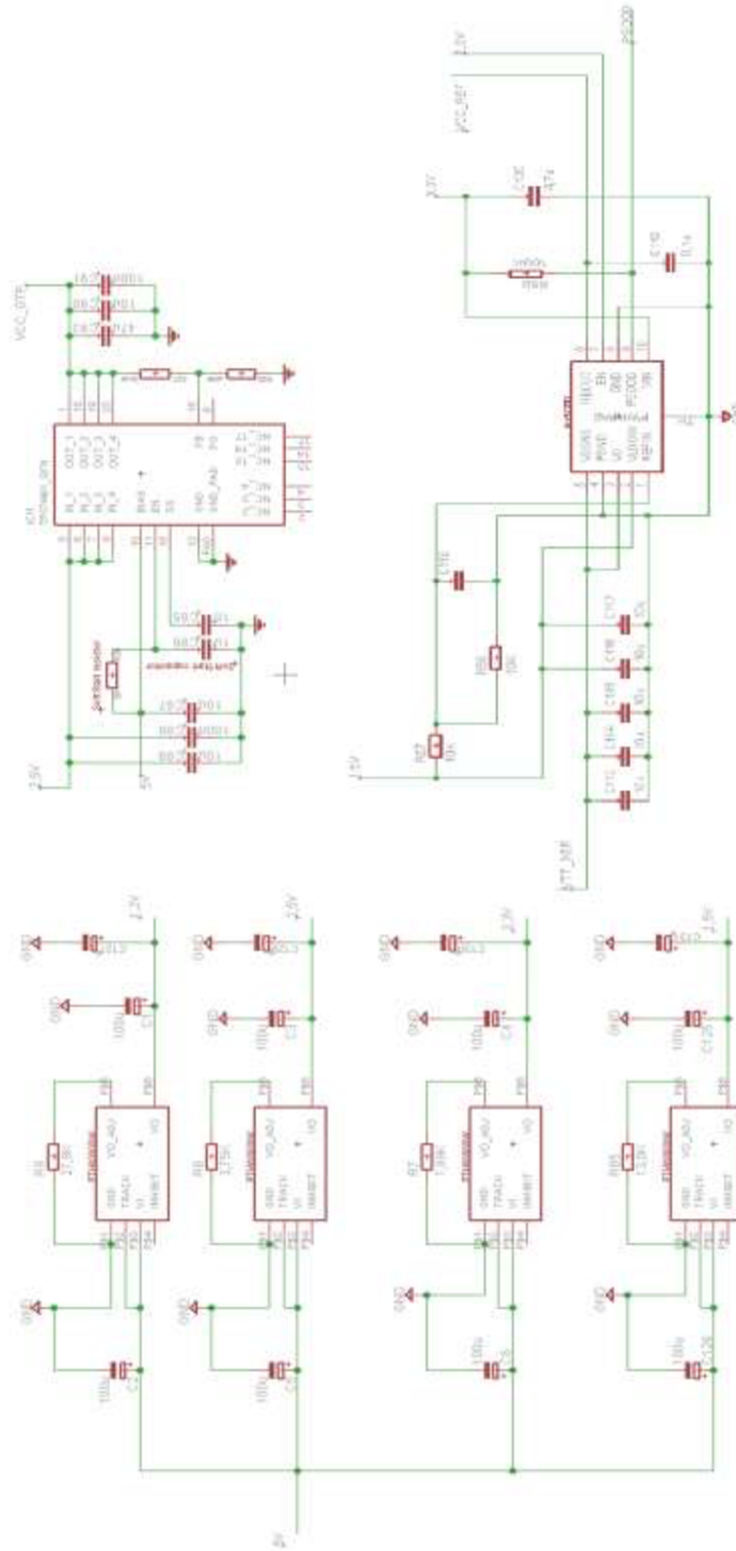


## A.7 Vazební kondenzátory

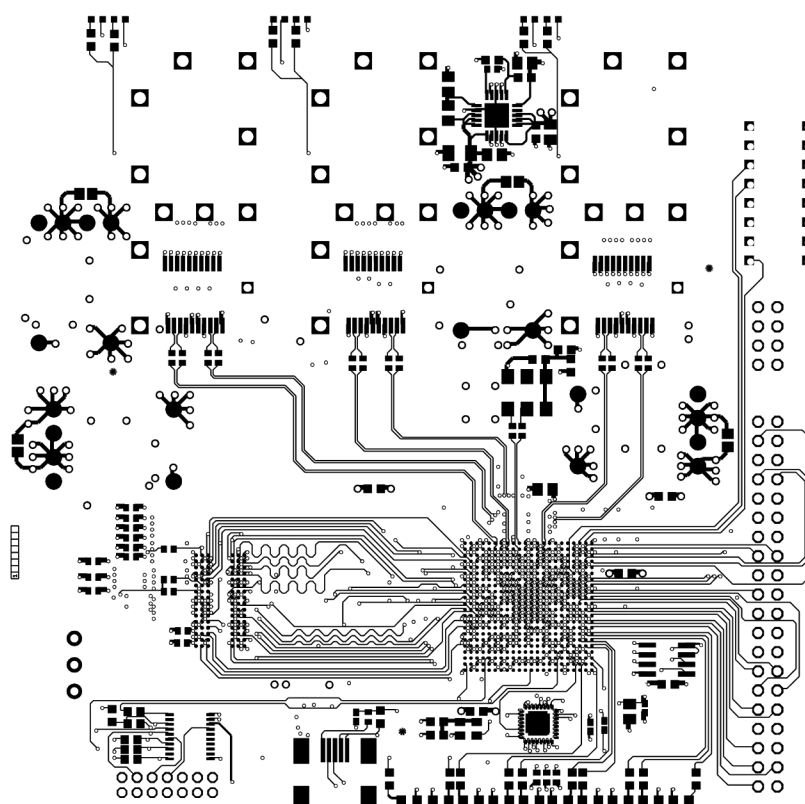
### Decoupling C



## A.8 Zapojení spínaných regulátorů a lin. Regulátoru

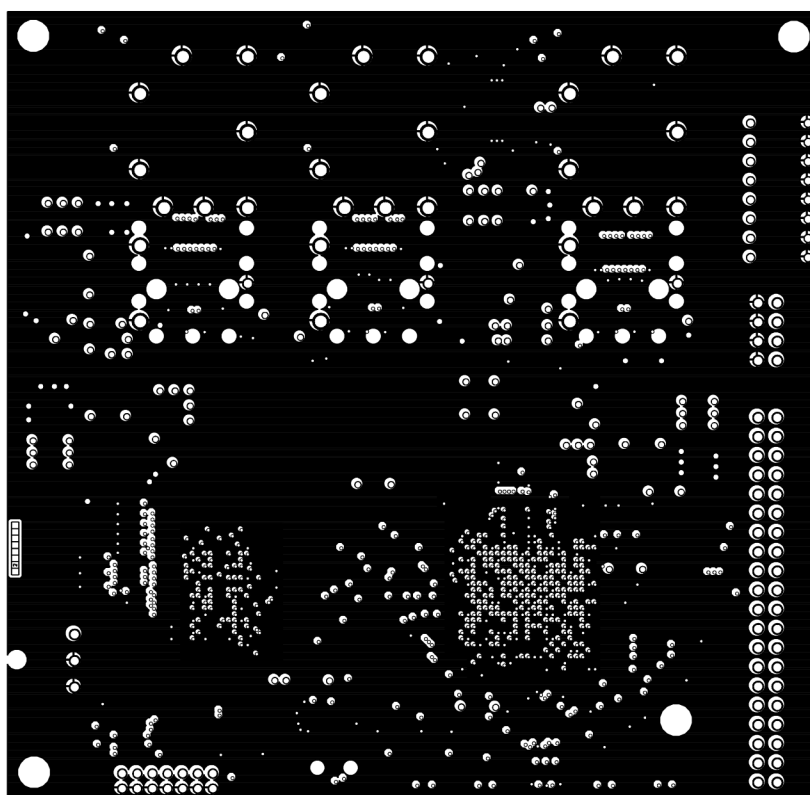


## A.9 Deska plošného spoje - top



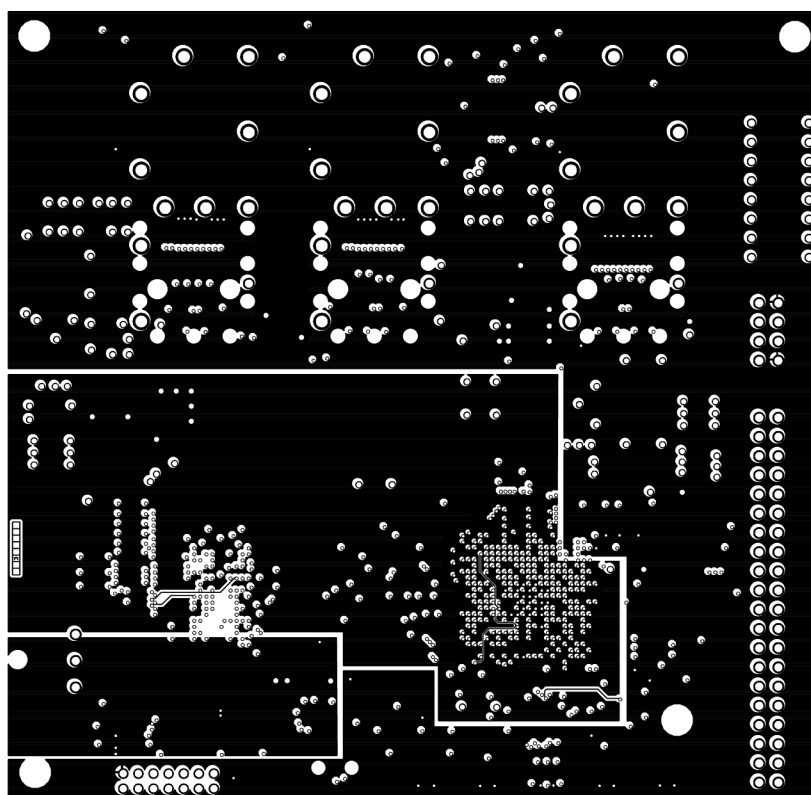
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.10 Deska plošného spoje- vrstva 2 (GND)



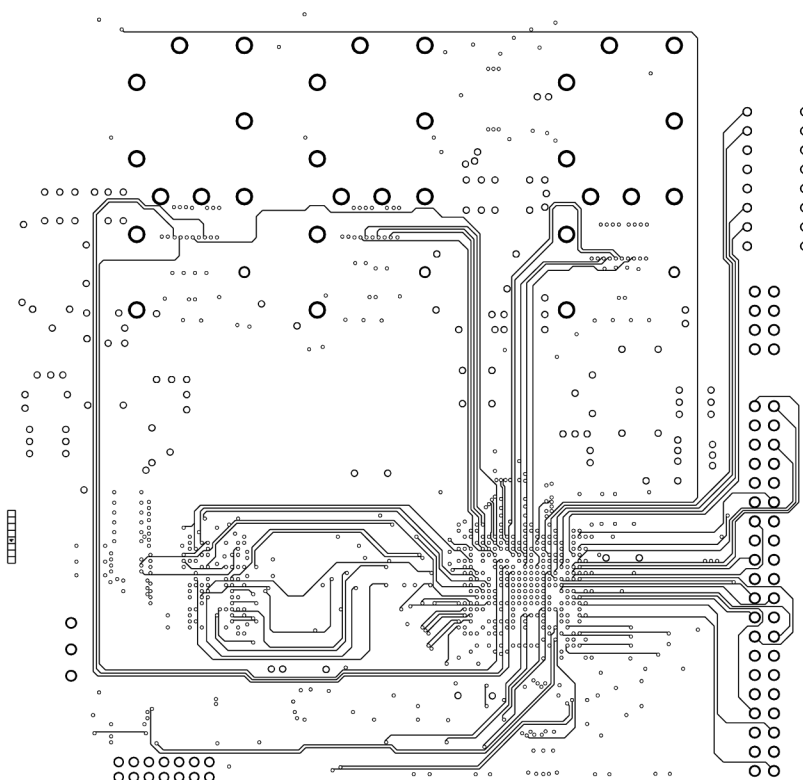
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.11 Deska plošného spoje – vrstva 3 (napájení)



Rozměr desky 108 x 105 [mm], měřítko M1:1

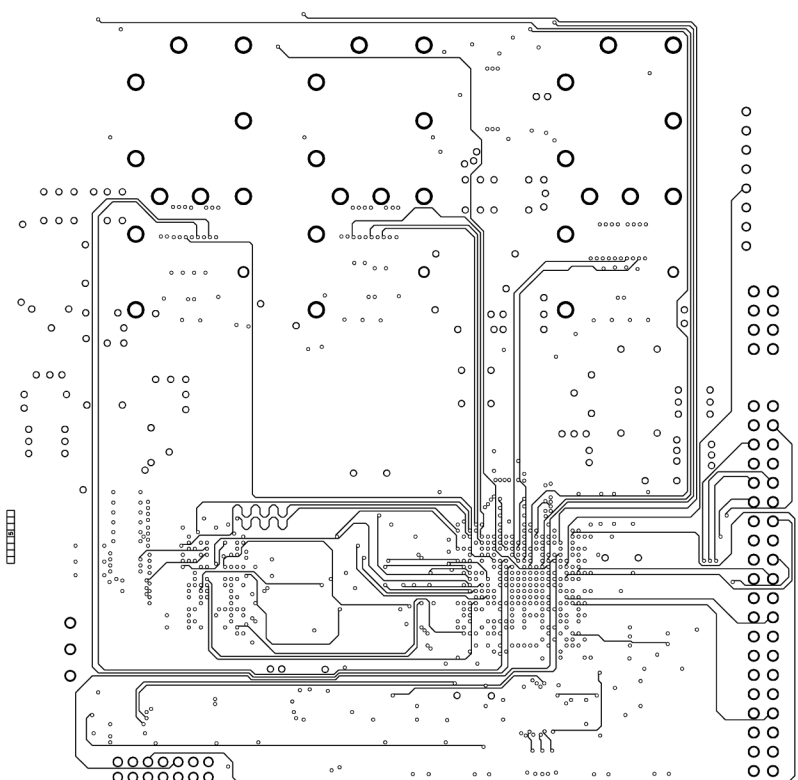
## A.12 Deska plošného spoje- vrstva 4 (signálová)



Rozměr desky 108 x 105 [mm], měřítko M1:1

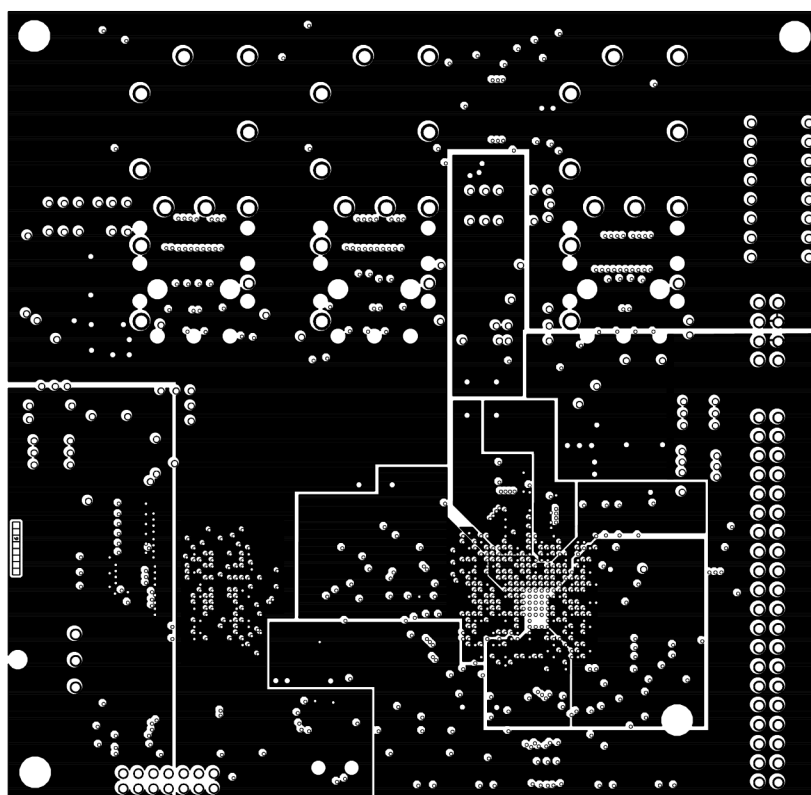


## A.13 Deska plošného spoje- vrstva 5 (signálova)



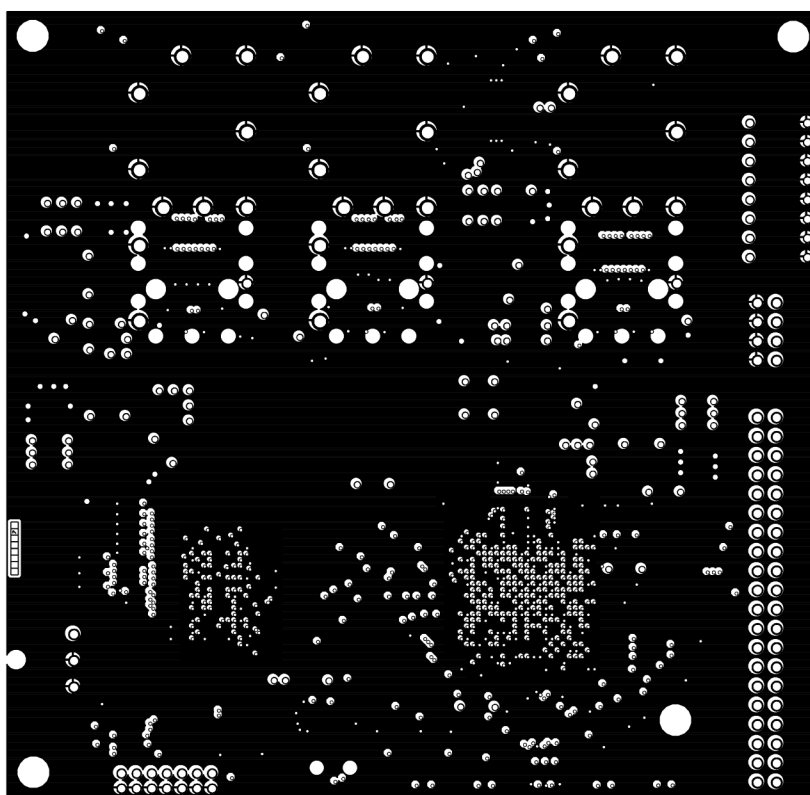
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.14 Deska plošného spoje- vrstva 6 (napájení)



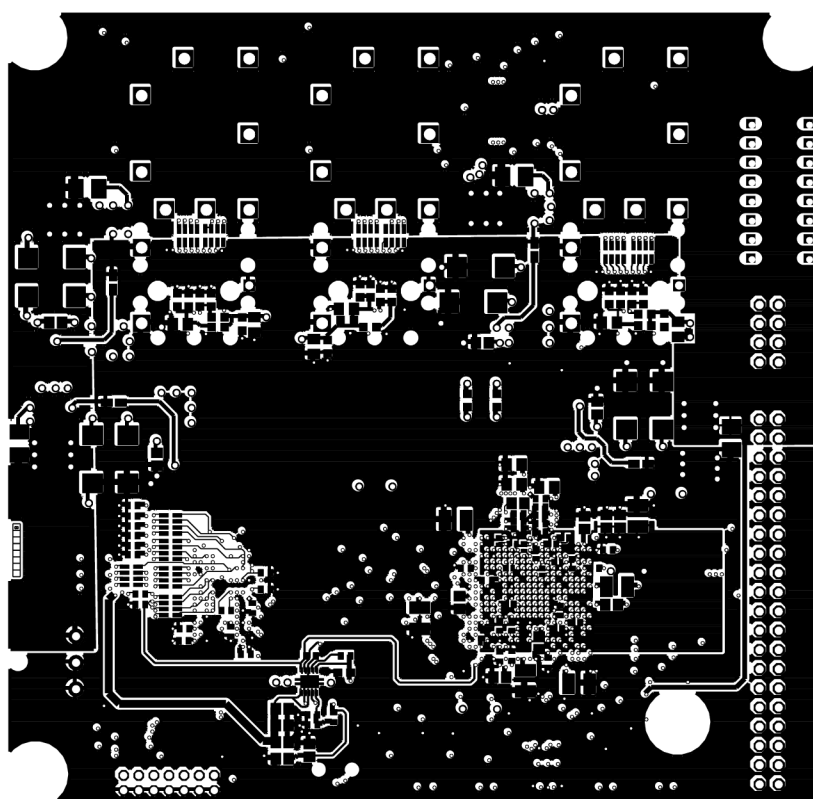
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.15 Deska plošného spoje- vrstva 7 (GND)



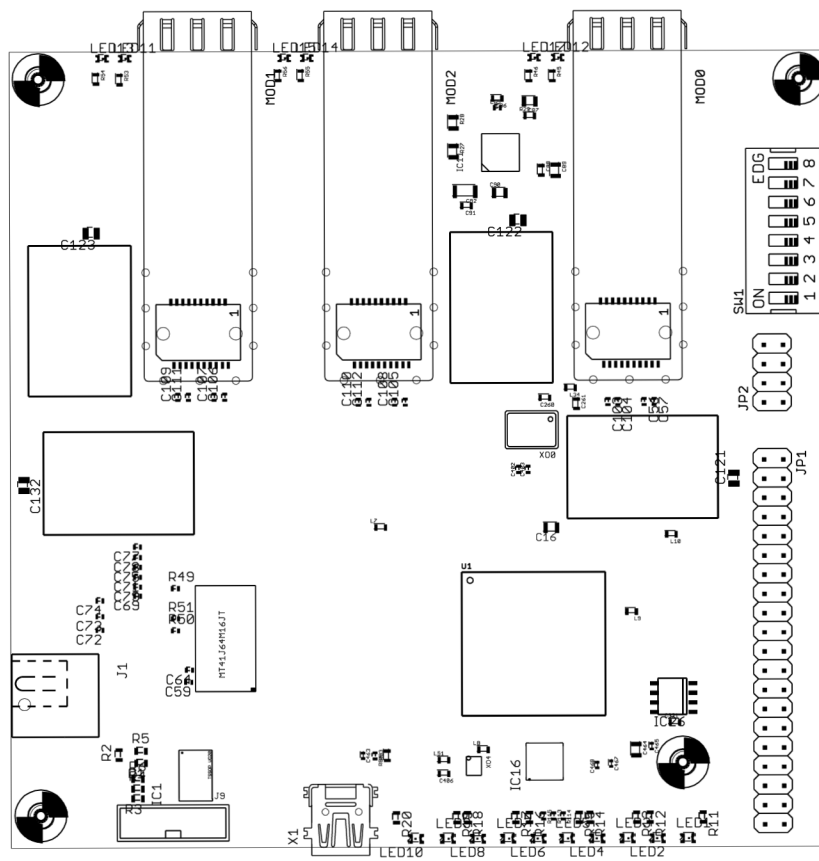
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.16 Deska plošného spoje- botton



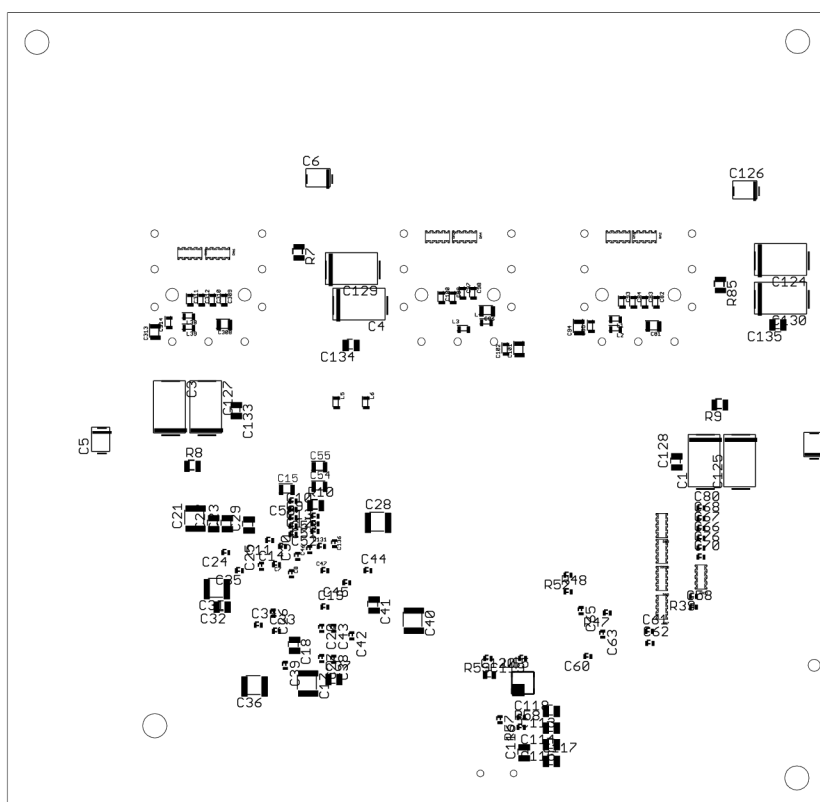
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.17 Deska plošného spoje-top(osazení)



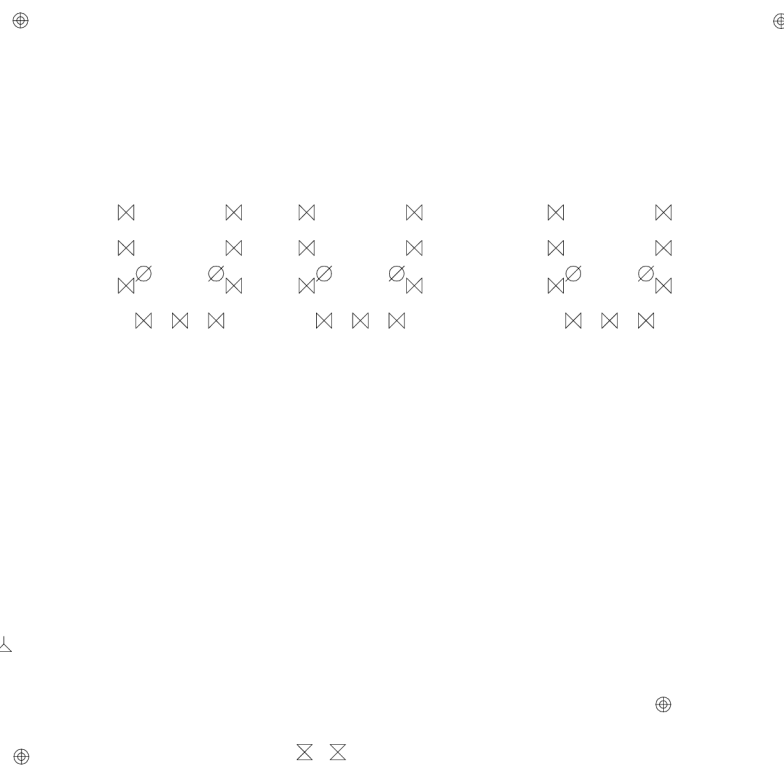
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.18 Deska plošného spoje- bottom (osazení)



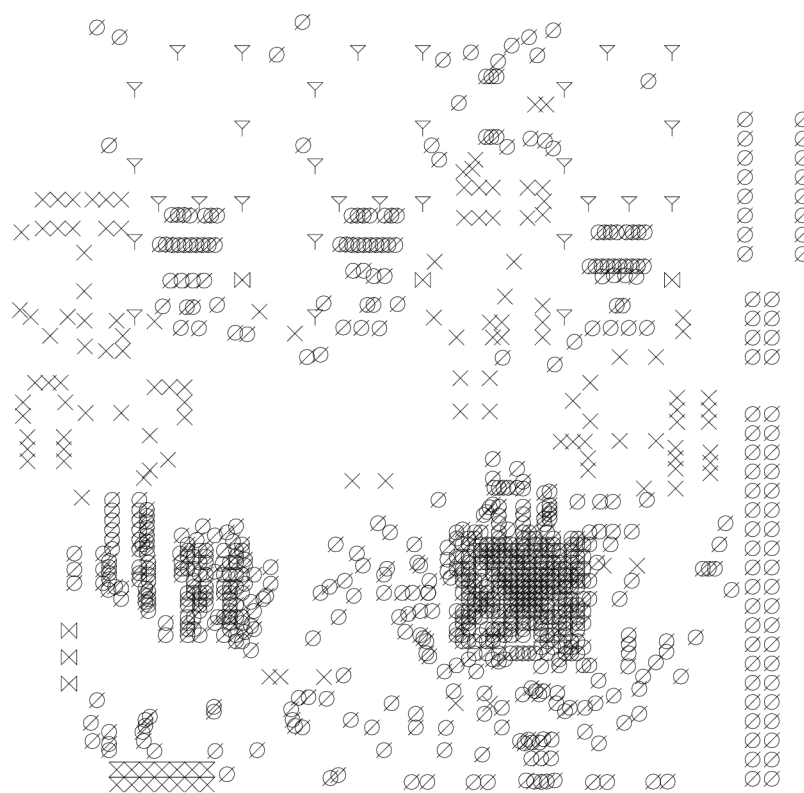
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.19 Deska plošného spoje- neprokožené vrtání



Rozměr desky 108 x 105 [mm], měřítko M1:1

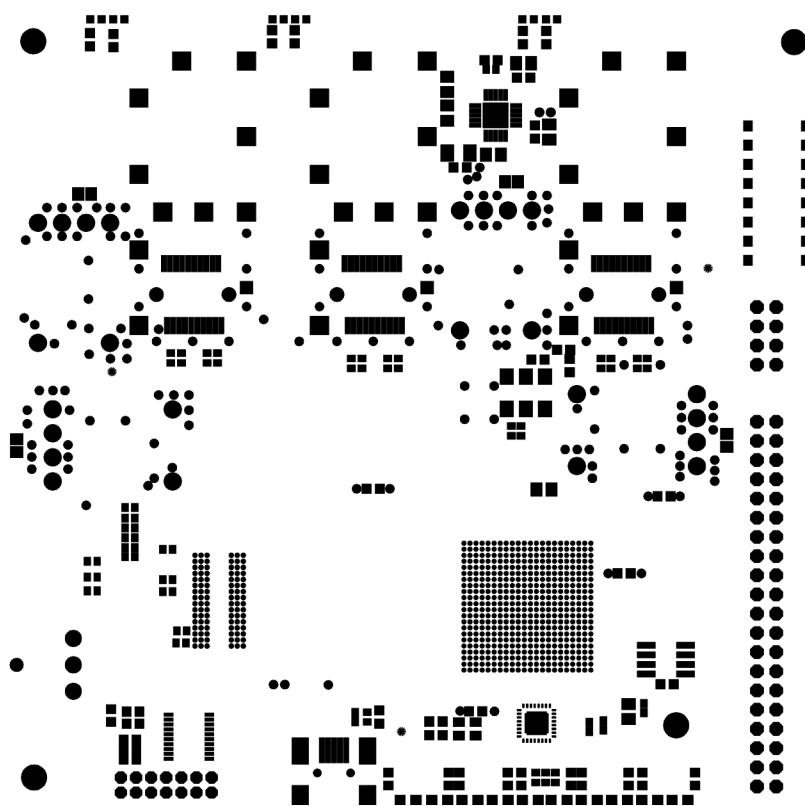
## A.20 Deska plošného spoje- prokovené vrtání



Rozměr desky 108 x 105 [mm], měřítko M1:1

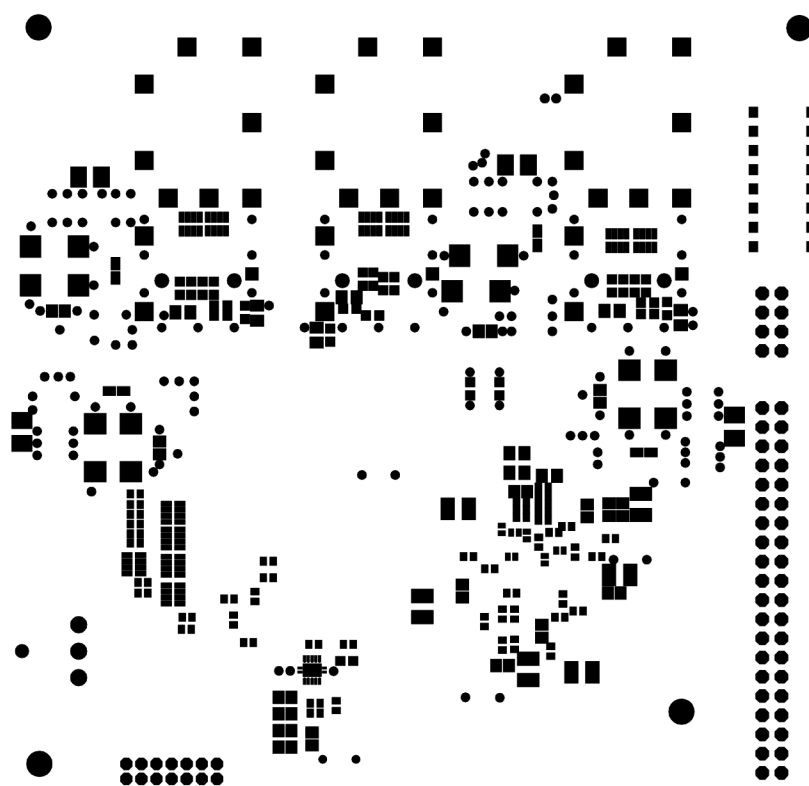


## A.21 Deska plošného spoje- top (nepájivá maska)



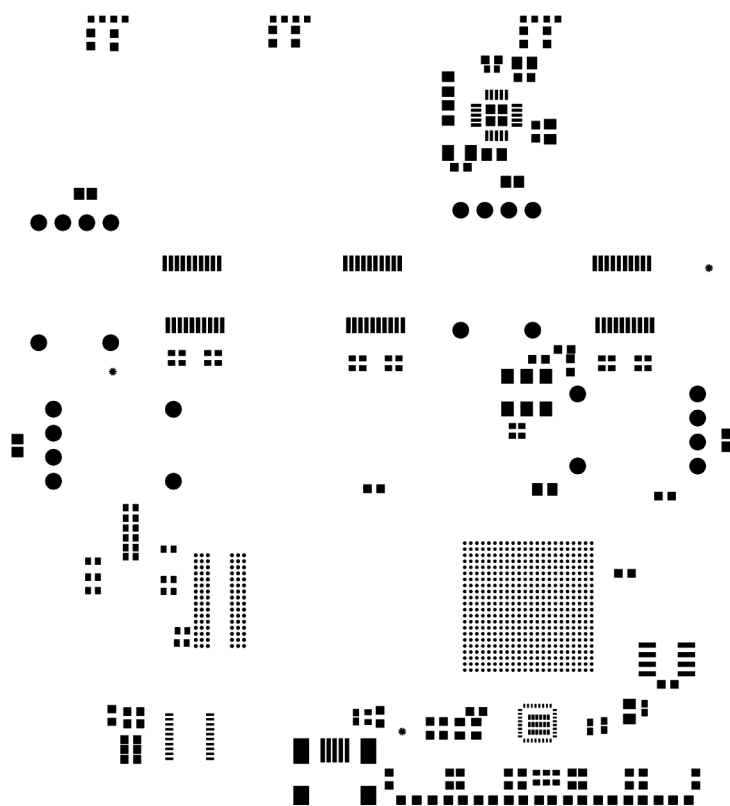
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.22 Deska plošného spoje- bottom(nepájivá maska)



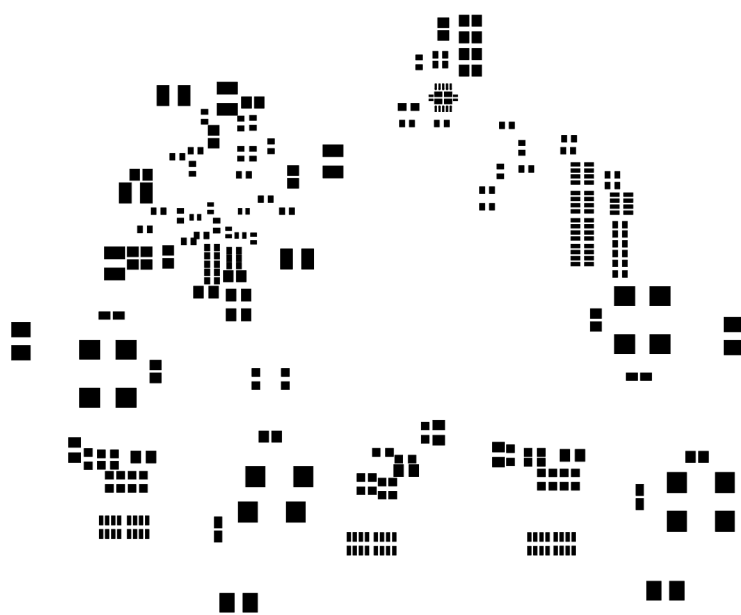
Rozměr desky 108 x 105 [mm], měřítko M1:1

## A.23 Deska plošného spoje- top (pájecí pasta)



Rozměr desky 108 x 105 [mm], měřítko M1:1

Rozměr desky 108 x 105 [mm], měřítko M1:1



**A.24 Deska plošného spoje - bottom (pájecí pasta)**