



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

## NÁVRH SAR AD PŘEVODNÍKU SE SPÍNANÝMI KONDENZÁTORY

DESIGN OF A SAR AD CONVERTER WITH SWITCHED CAPACITORS

### DIPLOMOVÁ PRÁCE

MASTER'S THESIS

### AUTOR PRÁCE

AUTHOR

**Bc. Jan Sysel**

### VEDOUCÍ PRÁCE

SUPERVISOR

**Ing. Roman Prokop, Ph.D.**

**BRNO 2023**

# Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

**Student:** Bc. Jan Sysel

**ID:** 211238

**Ročník:** 2

**Akademický rok:** 2022/23

**NÁZEV TÉMATU:**

## Návrh SAR AD převodníku se spínanými kondenzátory

### POKyny PRO VYPRACOVÁNÍ:

Seznamte se s integrovanými analogově digitálními (AD) převodníky s postupnou aproximací. Zaměřte se na převodníky se spínanými kapacitami. Z důvodu minimalizace plochy převodníku využijte parazitní kapacity mezi spoji na integrovaném obvodu. Zvolte vhodný typ převodníku a proveďte ideový návrh tohoto převodníku.

Poté proveďte kompletní návrh převodníku v technologii onk65bcd společnosti onsemi včetně charakterizace převodníku v prostředí Cadence Virtuoso, s použitím simulátoru Spectre. Proveďte optimalizaci návrhu na minimální plochu layoutu výsledného obvodu. Vypracujte detailní dokumentaci navrženého převodníku.

Základní požadované parametry AD převodníku jsou: rozlišení 9 bitů, vzorkovací frekvence min. 1 MHz, dynamický rozsah vstupního signálu 1,2 V, DNL < 1 LSB, INL < 2 LSB, napájecí napětí 2,5 V ±10 %. Dalšími požadavky je návrh obvodu pro automobilové prostředí, které je v tomto případě specifické především vysokým rozsahem pracovních teplot od -40 °C do 175 °C.

### DOPORUČENÁ LITERATURA:

[1] HARPE, Pieter, et al. A 30fJ/conversion-step 8b 0-to-10MS/s asynchronous SAR ADC in 90nm CMOS. In: 2010 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2010. p. 388-389.

[2] CHEN, Nai-Chen, et al. High-density MOM capacitor array with novel mortise-tenon structure for low-power SAR ADC. In: Design, Automation & Test in Europe Conference & Exhibition (DATE), 2017. IEEE, 2017. p. 1757-1762.

[3] TOMAZOU C., LIDGEY J., HAIGH D.: Analogue IC design: The current mode approach. Peter Peregrinus Ltd – The Institution of Electrical Engineers UK 1993.

**Termín zadání:** 6.2.2023

**Termín odevzdání:** 23.5.2023

**Vedoucí práce:** Ing. Roman Prokop, Ph.D.

**doc. Ing. Lukáš Fucík, Ph.D.**  
předseda rady studijního programu

### UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **Abstrakt**

Tato práce se zabývá návrhem analogově-digitálního převodníku s registrem postupné aproximace pro použití v automobilovém průmyslu s rozsahem pracovních teplot od  $-40\text{ }^{\circ}\text{C}$  do  $175\text{ }^{\circ}\text{C}$  a s použitím DAC se spínanými kapacitami vytvořenými mezi spoji na integrovaném obvodu k minimalizaci plochy převodníku. Teoretická část práce se zabývá základní teorií analogově-digitálních převodníků, principem převodníku s registrem postupné aproximace s použitím kapacitního DAC. Dále pak návrhem kapacitorů pro DAC na integrovaném obvodu z vrstev kovů a prokůvů a jejich layoutem k minimalizaci parazitních kapacit. V praktické části je proveden návrh převodníku na blokové úrovni. Dále je proveden návrh kapacitoru pro tento DAC a layout celého DAC. Na tranzistorové úrovni jsou navrženy a ověřeny bloky potřebné k realizaci tohoto převodníku: obvod napěťového sledovače, operační zesilovač, komparátor a přepínače. V převodníku je implementován self-test obvod pro vlastní měření nelinearity s jehož pomocí je převodník ověřen. V práci je ověřena funkčnost převodníku jako celku.

## **Klíčová slova**

AD převodník, SAR, spínané kapacitory, automobilový průmysl, CMOS

## **Abstract**

This work deals with the design of analog to digital converter with a successive approximation register for automotive industry with the range of operating temperatures from  $-40\text{ }^{\circ}\text{C}$  to  $175\text{ }^{\circ}\text{C}$  and with the use of DAC with switched capacitors between interconnect metal tracks in an integrated circuit to minimize converter area. Theoretical part deals with the basic theory of analog to digital converters, principle of converter with a successive approximation register with the utilization of capacitive DAC. Then with the design of capacitors for the DAC in an integrated circuit made of metal layers and vias and their layout to minimize parasitic capacities. In the practical part is made the theoretical design of the converter on block level. Then is done the design of a capacitor for this DAC and layout of the whole DAC is made. On the transistor level are designed and verified blocks required for realization of this converter: circuit of voltage follower, operational amplifier, comparator and switches. Inside the converter the self-test circuit is implemented for measurement of its own nonlinearity. In the work the functionality of the converter is verified as a whole.

## **Keywords**

AD converter, SAR, switched capacitors, automotive industry, CMOS

## **Bibliografická citace**

SYSEL, Jan. *Návrh SAR AD převodníku se spínanými kondenzátory* [online]. Brno, 2023 [cit. 2023-05-03]. Dostupné z: <https://www.vut.cz/studenti/zav-prace/detail/152475>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Roman Prokop.

# Prohlášení autora o původnosti díla

<b>Jméno a příjmení studenta:</b>	<i>Jan Sysel</i>
<b>VUT ID studenta:</b>	<i>211238</i>
<b>Typ práce:</b>	<i>Diplomová práce</i>
<b>Akademický rok:</b>	<i>2022/23</i>
<b>Téma závěrečné práce:</b>	Návrh SAR AD převodníku se spínanými kondenzátory

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 22. května 2023

-----  
podpis autora

## **Poděkování**

Děkuji svému vedoucímu diplomové práce Ing. Romanu Prokopovi, Ph.D. za svědomité vedení mé diplomové práce, dále děkuji odbornému konzultantovi doc. Dr. Ing. Pavlu Horskému a Ing. Janu Plojharovi za trpělivou, odbornou a účinnou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne: 22. května 2023

-----  
podpis autora

# Obsah

<b>SEZNAM OBRÁZKŮ</b> .....	<b>8</b>
<b>SEZNAM TABULEK</b> .....	<b>9</b>
<b>ÚVOD</b> .....	<b>10</b>
<b>1. PARAMETRY AD PŘEVODNÍKŮ</b> .....	<b>11</b>
1.1 ZÁKLADNÍ VLASTNOSTI AD PŘEVODNÍKŮ.....	11
1.2 CHYBA NULY A CHYBA ZISKU .....	12
1.3 CHYBY DNL A INL.....	12
<b>2. AD PŘEVODNÍK TYPU SAR</b> .....	<b>14</b>
2.1 OBECNÁ STRUKTURA AD PŘEVODNÍKU TYPU SAR.....	14
2.2 PRINCIP PŘEVODU .....	14
2.3 SYNCHRONNÍ STRUKTURA SAR .....	15
2.4 ASYNCHRONNÍ STRUKTURA SAR.....	16
2.5 STRUKTURA KAPACITNÍHO DAC.....	17
<b>3. KAPACITORY MOM V INTEGROVANÝCH OBVODECH</b> .....	<b>19</b>
3.1 STRUKTURY MOM KAPACITORŮ .....	20
3.2 LAYOUT KAPACITNÍHO POLE .....	22
<b>4. NÁVRH AD PŘEVODNÍKU TYPU SAR SE SPÍNANÝMI KAPACITORY</b> .....	<b>24</b>
4.1 NÁVRH NA BLOKOVÉ ÚROVNI.....	24
4.2 NÁVRH KAPACITNÍHO DAC .....	25
4.3 NÁVRH OBVODU NAPĚŤOVÉHO SLEDOVAČE.....	28
4.3.1 <i>Návrh proudového zdroje</i> .....	29
4.3.2 <i>Návrh napěťového sledovače</i> .....	32
4.4 NÁVRH OBVODU OPERAČNÍHO ZESILOVAČE .....	37
4.5 NÁVRH KOMPARÁTORU.....	44
4.6 NÁVRH PŘEPÍNAČŮ.....	46
4.7 SESTAVENÍ AD PŘEVODNÍKU .....	47
<b>5. OVĚŘENÍ PARAMETRŮ AD PŘEVODNÍKU</b> .....	<b>48</b>
5.1 SIMULACE PŘEVODU A OVĚŘENÍ STATICKÝCH PARAMETRŮ .....	48
5.2 SIMULACE SELF-TESTU.....	51
5.3 ANALÝZA VLIVU NAPÁJECÍHO NAPĚTÍ NA ČINNOST PŘEVODNÍKU .....	54
<b>ZÁVĚR</b> .....	<b>56</b>
<b>LITERATURA</b> .....	<b>58</b>
<b>SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>60</b>
<b>SEZNAM PŘÍLOH</b> .....	<b>61</b>

# SEZNAM OBRÁZKŮ

Obrázek 1: Ideální převodní charakteristika AD převodníku [2].....	11
Obrázek 2: Znázornění chyby nuly a zisku na převodní charakteristice [2] .....	12
Obrázek 3: Znázornění chyby DNL a INL na převodní charakteristice [2].....	13
Obrázek 4: Obecná struktura převodníku typu SAR [2] .....	14
Obrázek 5: Diagram převodu principem postupné aproximace [2] .....	15
Obrázek 6: Synchronní SAR a) struktura (převzato z [5]) b) časový průběh operací převodu [3] .....	16
Obrázek 7: Asynchronní SAR a) struktura (převzato z [5]) b) časový průběh operací převodu [3] .....	17
Obrázek 8: Převodník se spínanými kapacitami ve fázi a) vzorkovací b) nulovací c) bitového cyklování [2].....	18
Obrázek 9: Parazitní kapacity ve struktuře kapacitního DAC [4].....	19
Obrázek 10: Kapacitor vytvořený z prokládaných vodičů a) jedním směrem b) oběma směry (převzato z [4]).....	20
Obrázek 11: Kapacitory vytvořené pomocí prokovů a) laterálně b) vertikálně (převzato z [4]).....	21
Obrázek 12: Struktura kapacitorů typu a) MLS b) Mortise-tenon (převzato z [4]) .....	21
Obrázek 13: Layout binárně vážených kapacitorů a) bez prokládání b) s částečným prokládáním c) s úplným prokládáním (převzato z [6]) .....	23
Obrázek 14: Blokové schéma navrženého AD převodníku .....	25
Obrázek 15: Navržený MOM kapacitor.....	26
Obrázek 16: Pohled zprava na navržený kapacitor (řez).....	26
Obrázek 17: Extrahovaný model kapacitoru.....	27
Obrázek 18: Layout DAC .....	28
Obrázek 19: Schéma obvodu napěťového sledovače.....	29
Obrázek 20: Schéma zdroje referenčního proudu .....	30
Obrázek 21: Analýza stability (zesílení a fáze) proudového zdroje.....	31
Obrázek 22: Simulace PSRR proudového zdroje .....	31
Obrázek 23: Náběh proudového zdroje (výstupního proudu) z power down .....	32
Obrázek 24: Schéma napěťového sledovače.....	33
Obrázek 25: Zesílení a fáze napěťového sledovače .....	34
Obrázek 26: PSRR napěťového sledovače .....	34
Obrázek 27: Histogram offsetu napěťového sledovače .....	35
Obrázek 28: Kvantilový graf offsetu napěťového sledovače.....	35
Obrázek 29: Histogram korekčního napětí napěťového sledovače.....	36
Obrázek 30: Kvantilový graf korekčního napětí napěťového sledovače .....	36
Obrázek 31: Principiální schéma použitého operačního zesilovače .....	37
Obrázek 32: Obvod operačního zesilovače na tranzistorové úrovni .....	39
Obrázek 33: Kvantilový graf stejnosměrného zesílení operačního zesilovače .....	41
Obrázek 34: Kvantilový graf vstupního offsetu operačního zesilovače.....	41
Obrázek 35: Kvantilový graf fázové rezervy OZ.....	42
Obrázek 36: Kvantilový graf amplitudové rezervy OZ .....	42
Obrázek 37: Graf PSRR operačního zesilovače.....	43
Obrázek 38: Navržený komparátor s kladnou zpětnou vazbou.....	44
Obrázek 39: Časová simulace výstupu DONE při kladném diferenčním napětí .....	45
Obrázek 40: Časová simulace výstupu DONE při záporném diferenčním napětí .....	45
Obrázek 41: MC analýza vstupní napěťové nesymetrie komparátoru pro typ. proces .....	46
Obrázek 42: Obvod prepínače .....	47
Obrázek 43: Obvod prepínače pro vstup SAMPLE .....	47



Obrázek 44: Schéma převodníku na topové úrovni .....	47
Obrázek 45: Časový průběh napětí při převodu na AD převodníku (typ. proces) .....	48
Obrázek 46: Časový průběh výstupního diferenčního napětí z předzesilovače .....	49
Obrázek 47: Graf průběhu výstupního kódu pro ověření linearity .....	50
Obrázek 48: Závislost DNL na výstupním kódu (typ. proces) .....	50
Obrázek 49: Závislost INL na výstupním kódu (typ. proces) .....	50
Obrázek 50: Závislost výstupního kódu na vstupním napětí při různém Nref.....	51
Obrázek 51: Časové průběhy napětí při self-testu .....	52
Obrázek 52: Časový průběh výstupního kódu při vyhodnocení self-testu.....	52
Obrázek 53: Kvantilový graf DNL nejhoršího případu .....	53
Obrázek 54: Časový průběh napětí v uzlu CAPCOM s modulovaným napájecím napětím signálem 0,1 CLK.....	54
Obrázek 55: Závislost offsetu v převodníku v LSB na části hodinového signálu CLK v napájecím napětí (typ. proces).....	55
Obrázek 56: Schéma zdroje referenčního proudu .....	62
Obrázek 57: Schéma napěťového sledovače.....	62
Obrázek 58: Schéma operačního zesilovače .....	63
Obrázek 59: Schéma komparátoru .....	64
Obrázek 60: Schémata přepínačů – pro SAMPLE (nahore), pro ostatní (dole) .....	64

## SEZNAM TABULEK

Tabulka 1: Rozměry použitých tranzistorů ve zdroji proudu.....	30
Tabulka 2: Výsledné parametry navrženého zdroje proudu.....	32
Tabulka 3: Rozměry tranzistorů napěťového sledovače .....	33
Tabulka 4: Parametry napěťového sledovače .....	36
Tabulka 5: Rozměry tranzistorů v obvodu operačního zesilovače.....	40
Tabulka 6: Velikosti pasivních prvků v obvodu operačního zesilovače .....	40
Tabulka 7: Parametry navrženého obvodu operačního zesilovače .....	43
Tabulka 8: Rozměry tranzistorů navrženého komparátoru .....	44
Tabulka 9: Výsledky navrženého komparátoru .....	46
Tabulka 10: Výsledky simulace linearity převodníku při typ. procesu.....	53
Tabulka 11: Odsimulované velikosti DNL pomocí self-testu na variaci $5\sigma$ .....	53
Tabulka 12: Vliv šumu na činnost self-testu.....	54
Tabulka 13: Zadané a dosažené parametry AD převodníku .....	57
Tabulka 14: Navržený layout kapacitního DAC .....	65

# ÚVOD

Analogově-digitální (AD) převodníky v současné době patří mezi obvody nezbytné při zpracování signálů. Výstupní data ze snímačů či senzorů jsou často ve formě analogového signálu ve formě napětí či proudu, a proto je pro jejich zpracování pomocí digitálních obvodů nutné tato data převést do digitální podoby. K takovému účelu slouží právě analogově-digitální převodník. Tato práce se tak zabývá návrhem AD převodníku s postupnou aproximací, jenž k převodu na digitální hodnotu využívá metodu půlení intervalů (successive approximation) v technologii CMOS. Ke snížení plochy převodníku je zpětnovazební digitálně-analogový (DA) převodník vytvořen pomocí spínaných kapacit struktury MOM (Metal-Oxide-Metal).

V teoretické části jsou popsány základní parametry AD převodníku a jsou zde rozebrány chyby v těchto převodnících. Dále je popsána struktura AD převodníku typu SAR a je zde uveden princip převodu tohoto převodníku, struktury řízení a popis a princip kapacitního DAC. Poslední teoretická část popisuje model parazitních kapacit na kapacitním DAC, jsou zde popsány jednotlivé struktury MOM kapacitorů a metody layoutu binárně vážených kapacitorů k redukci parazitních kapacit a mismatche.

V praktické části práce je proveden ideový návrh tohoto převodníku, dále je navržen kapacitor pro tento DAC v programu Cadence Layout XL a pomocí parazitní extrakce je získána jeho pracovní kapacita. Je také proveden layout tohoto DAC. V následující části jsou navrženy jednotlivé bloky k realizaci převodníku v programu Cadence Virtuoso: obvod napěťového sledovače, operační zesilovač, komparátor a přepínače. Návrh je ověřen v simulátoru Spectre.

V poslední části je ověřena celková funkčnost převodníku a jsou ověřeny jeho statické parametry. Linearita přes procesní odchylky a mismatch je ověřena pomocí self-test obvodu, jenž je v tomto převodníku implementován.

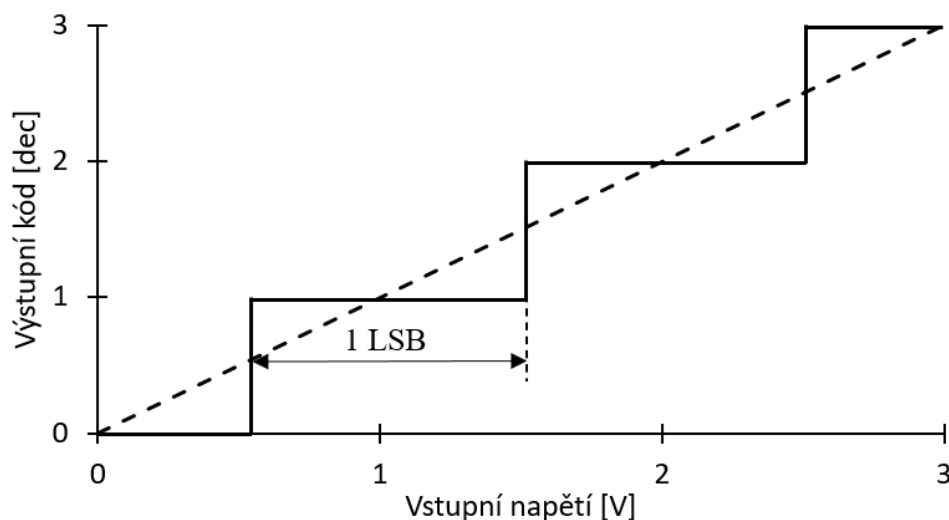
# 1. PARAMETRY AD PŘEVODNÍKŮ

Reálné převodníky se od ideálních liší v mnoha vlastnostech, jenž pak limitují jejich použitelnost v různých aplikacích. Tato kapitola pojednává o důležitých parametrech AD převodníků a je rozdělena na popis základních vlastností a chyb AD převodníků.

## 1.1 Základní vlastnosti AD převodníků

Ideální převodní charakteristika AD převodníku je zobrazena na obr. 1, kde čárkovaná čára se označuje jako aproximační přímka. Vstupní hodnoty této charakteristiky nabývají hodnot od 0 V až do maxima označovaného jako  $U_{ref}$ . Výstupní hodnoty převodní charakteristiky jsou rozděleny na  $2^N$  hodnot, kde  $N$  je počet bitů převodníku, přičemž jednomu kroku výstupního kódu odpovídá rozsah vstupní veličiny o velikosti označované 1 LSB (Least Significant Bit). Při převodu tak dochází k zaokrouhlení vlivem konečné velikosti LSB a tato chyba je pak označována jako kvantizační chyba. Velikost LSB je dána vztahem [1] [2]

$$LSB = \frac{U_{ref}}{2^N - 1}. \quad (1.1)$$



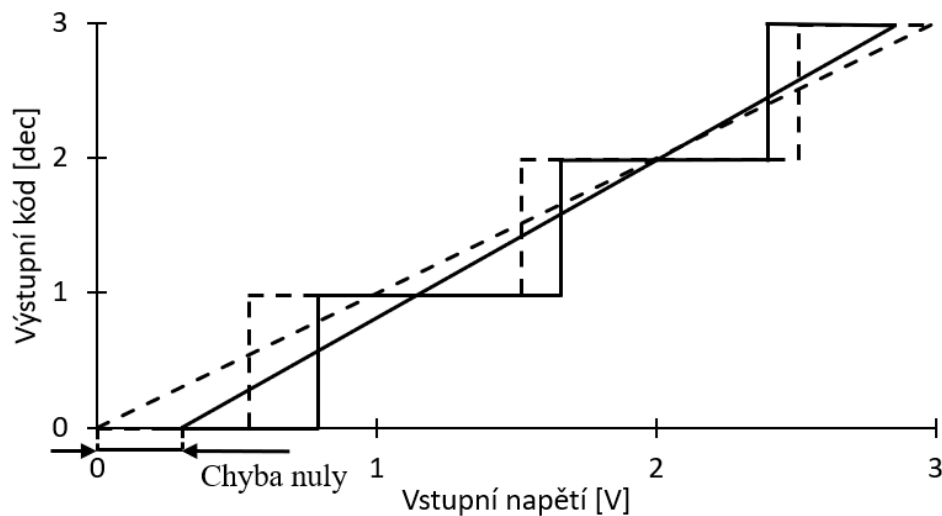
Obrázek 1: Ideální převodní charakteristika AD převodníku [2]

Dalším důležitým parametrem AD převodníků je jejich vzorkovací frekvence (rychlost) a udává počet převedených vzorků vstupního signálu do digitální podoby během 1 s [1].

## 1.2 Chyba nuly a chyba zisku

Chyba nuly způsobuje posun převodní charakteristiky po ose vstupní veličiny a je definována jako odchylka vstupní veličiny při přechodu výstupní veličiny z 0 do 1 od hodnoty  $\frac{1}{2}$  LSB [2].

Chyba zisku je definována jako rozdíl mezi sklonem dané převodní charakteristiky oproti ideální. Chyba nuly a zisku je pak znázorněna na obr. 2, kde je chyba zisku znázorněna různým sklonem aproximačních přímk.

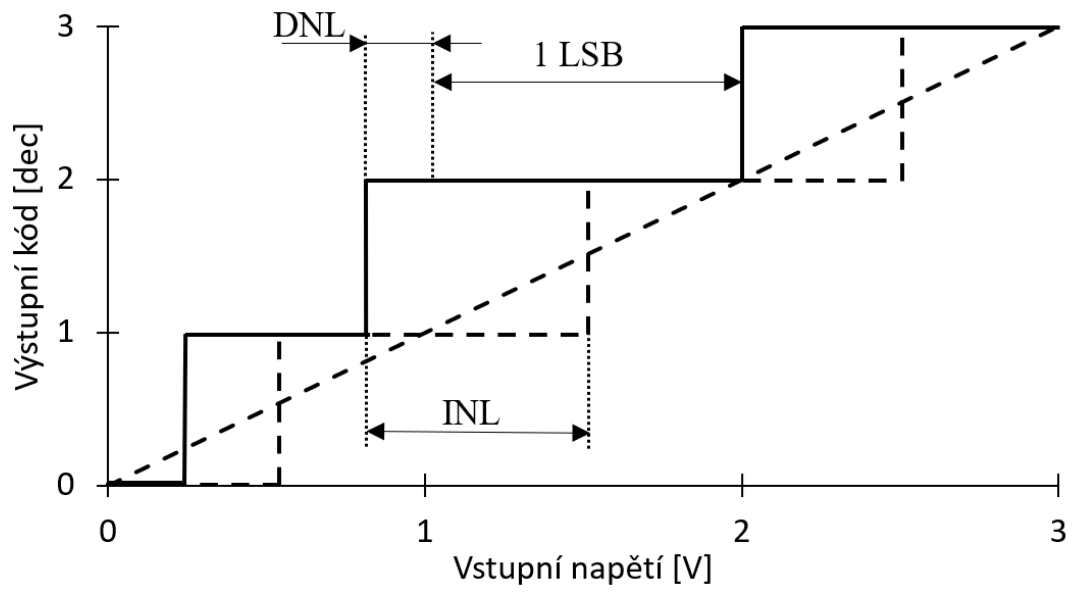


Obrázek 2: Znázornění chyby nuly a zisku na převodní charakteristice [2]

## 1.3 Chyby DNL a INL

Chyba DNL (differential nonlinearity) je rozdíl mezi délkou kroku vstupního analogového signálu a ideálním krokem v rámci jednoho výstupního kódu. Ideální převodník tak má tuto délku kroku vždy 1 LSB, zatímco u převodníku s maximální DNL o velikosti 0,5 LSB má délku kroku v rozsahu 0,5 až 1,5 LSB [2].

Chyba INL (integral nonlinearity) je rozdíl mezi začátkem kroku vstupního analogového signálu a začátkem kroku u ideálního převodníku v rámci jednoho výstupního kódu. Chyba způsobená INL již nezahrnuje chyby způsobené chybami zisku a nuly. Znázornění vlivu DNL a INL je pak zobrazeno na obr. 3 [2].



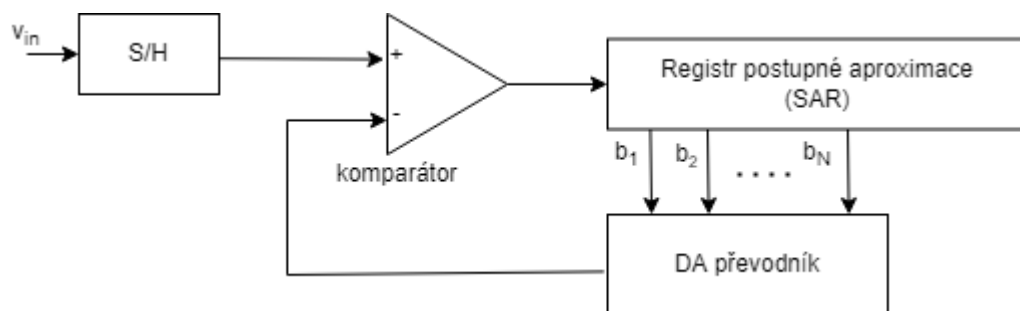
Obrázek 3: Znáornění chyby DNL a INL na převodní charakteristice [2]

## 2. AD PŘEVODNÍK TYPU SAR

Převodník typu SAR (Successive Approximation Register), česky „registr s postupnou aproximací“, patří mezi nejpoužívanější typy AD převodníků kvůli jejich relativně velké rychlosti převodu a střední složitosti obvodu [2]. V této kapitole je popsána obecná struktura SAR převodníku, princip převodu a známá struktura SAR převodníku využívající spínané kapacity.

### 2.1 Obecná struktura AD převodníku typu SAR

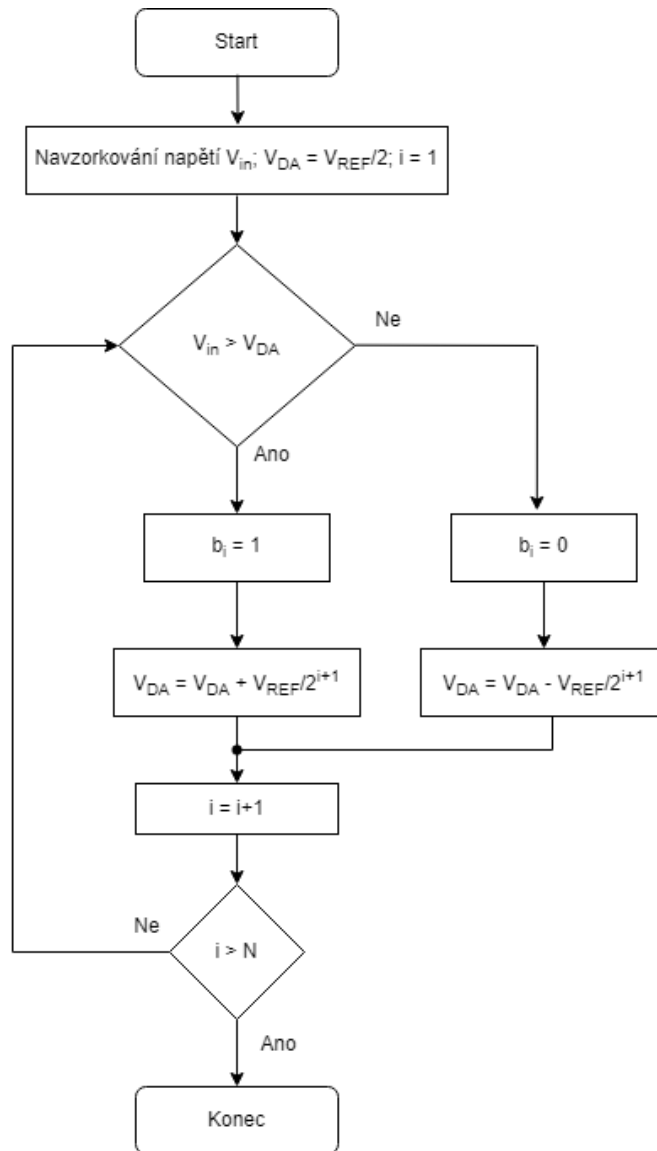
Převodník typu SAR je složen z čtyř základních bloků: obvodu Sample and Hold (S/H), komparátoru, registru postupné aproximace (SAR) a DA převodníku (DAC). Vstupní napětí vede do obvodu S/H, výstupem jsou pak jednotlivé bity pro spínání DA převodníku [2]. Obecná struktura SAR převodníku je zobrazena na obr. 4.



Obrázek 4: Obecná struktura převodníku typu SAR [2]

### 2.2 Princip převodu

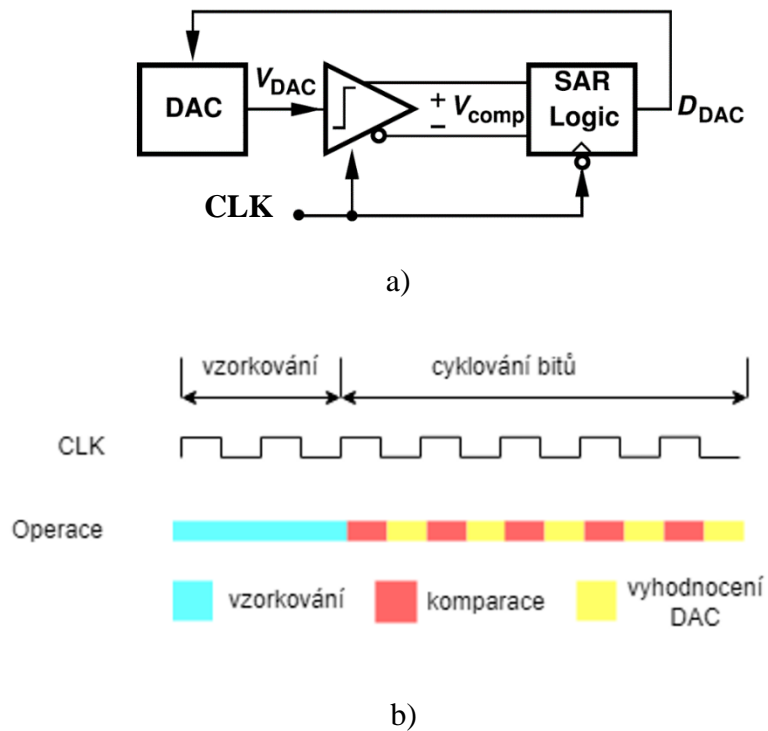
Princip převodu signálu SAR převodníkem je založen na algoritmu „binárního vyhledávání“, který používá metodu půlení intervalů k nalezení vstupní hodnoty. Diagram převodu N bitového SAR převodníku je zobrazen na obr. 5. V první části dojde k navzorkování vstupního napětí. Dále již následuje část označovaná jako „cyklování bitů“. Dojde k porovnání vstupního navzorkovaného napětí s výstupem DA převodníku (nejprve s polovinou referenčního napětí). V případě, že bude vstupní napětí vyšší, nastaví se první bit (MSB) do log. 1 a k výstupu DAC je přičtena hodnota  $\frac{V_{REF}}{2^{i+1}}$  referenčního napětí, kde  $i$  představuje index daného bitu. V případě, že je vstupní napětí nižší, nastaví se daný bit do log. 0 a od výstupu se odečte hodnota  $\frac{V_{REF}}{2^{i+1}}$ . Poté se tento cyklus opakuje, dokud nedojde k postupnému nastavení všech bitů [2].



Obrázek 5: Diagram převodu principem postupné aproximace [2]

### 2.3 Synchronní struktura SAR

Synchronní AD převodník využívá ke své funkci hodinový signál, kdy při cyklování bitů je každá komparace řízena nástupnou/sestupnou hranou hodinového signálu. Doba cyklování u synchronního bitového převodníku tak trvá  $N$  period hodinového signálu. Struktura synchronního SAR složeného z DAC, komparátoru a SAR obvodu je zobrazena na obr. 6a a časový průběh převodu na obr. 6b, kde signál CLK je řídicí hodinový signál [3].

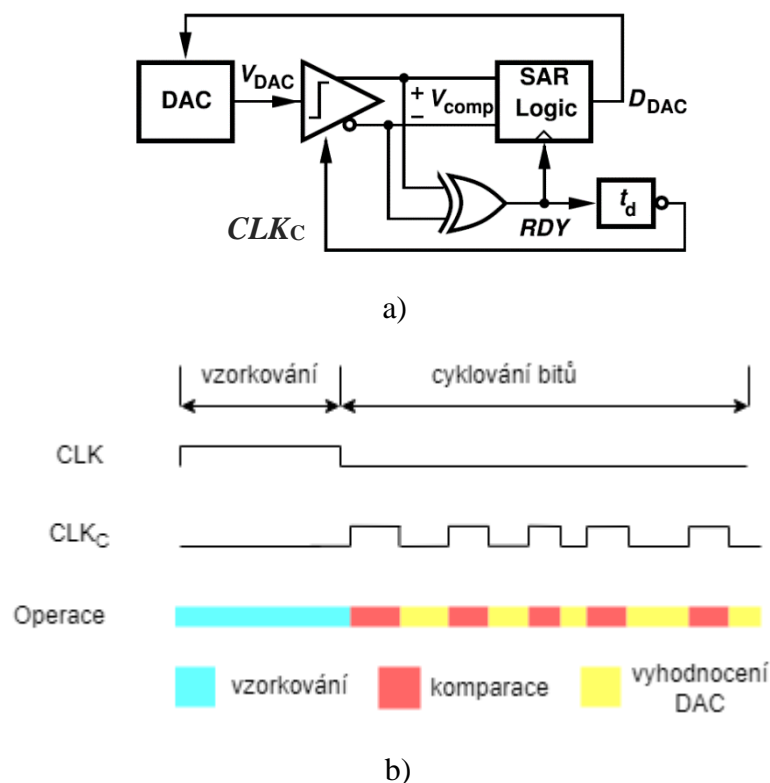


Obrázek 6: Synchronní SAR a) struktura (převzato z [5]) b) časový průběh operací převodu [3]

## 2.4 Asynchronní struktura SAR

U asynchronní struktury řídí hodinový signál pouze dobu vzorkování, signál  $CLK_C$ , jenž řídí cyklování bitů, je generován při dokončení dané operace nebo po vypršení určité doby a předpokladu, že daná operace byla v tomto čase provedena, jak ilustruje principiální schéma asynchronního SAR na obr. 7a, kde další krok je zahájen po dokončení komparace nebo vypršení časovače. Časový průběh operací je zobrazen na obr. 7b. Každá operace při bitovém cyklování tak začne ihned po ukončení té předešlé, čímž je asynchronní převodník obecně rychlejší než synchronní převodník [3].





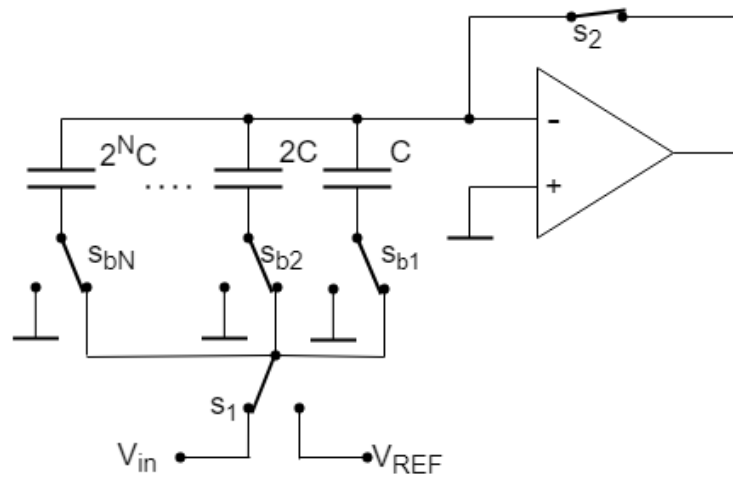
Obrázek 7: Asynchronní SAR a) struktura (převzato z [5]) b) časový průběh operací převodu [3]

## 2.5 Struktura kapacitního DAC

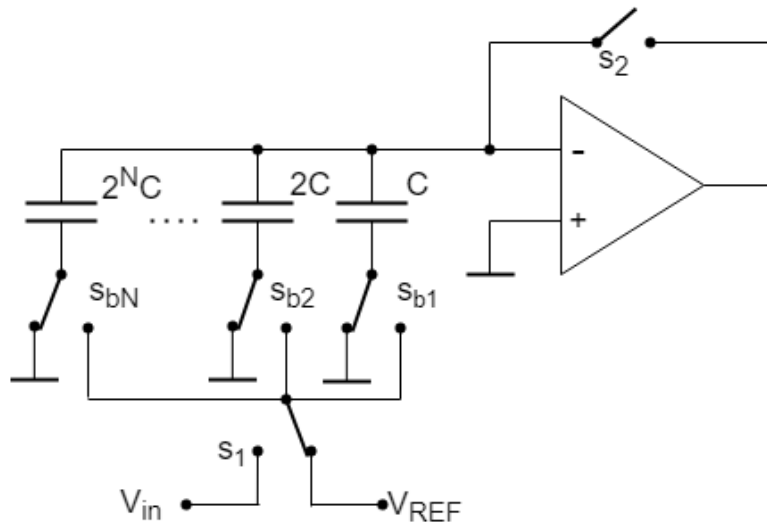
Uvedený převodník využívající spínané kapacity je složen z operačního zesilovače, sady vážených kapacitorů, spínačů a obvodu SAR (není zobrazen). Obvod pracuje ve třech fázích. V první fázi dojde k navzorkování vstupního napětí na kapacity DA převodníku. Spínač  $s_2$  sepnut, čímž je operační zesilovač zapojen jako napěťový sledovač a nabije kapacity u jeho invertujícího vstupu na 0 V. Na straně přepínačů pak dojde k nabití kapacitorů na hodnotu vstupního napětí, čímž DA převodník slouží také jako obvod Sample and Hold. Tato fáze je vyobrazena na obr. 8a [2].

Ve druhé fázi, označené jako nulovací fáze zobrazené na obr. 8b, dojde k otevření spínače  $s_2$ , čímž operační zesilovač bude pracovat jako komparátor a přepnutí ostatních přepínačů na hodnotu referenčního napětí. Napětí u invertujícího vstupu operačního zesilovače je pak rovno záporně vzaté hodnotě vstupního napětí. Tuto fázi lze teoreticky sloučit s cyklováním prvního bitu [2].

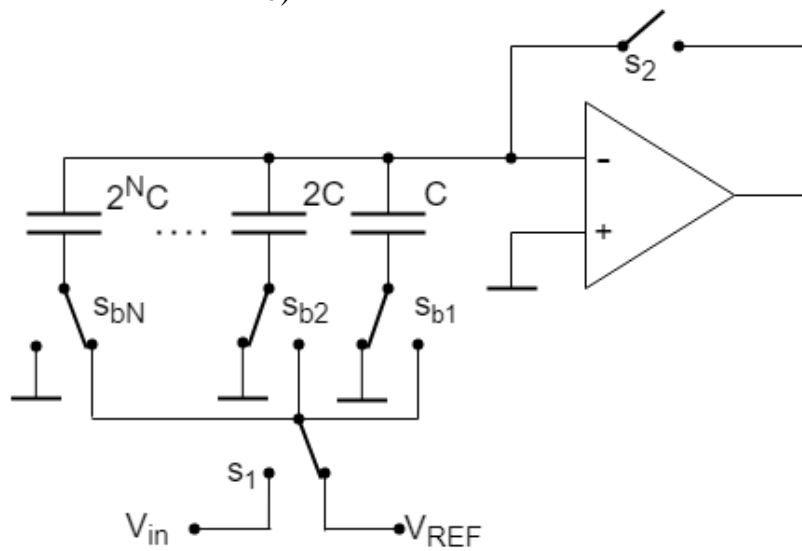
V poslední fázi označené jako fáze bitového cyklování zobrazené na obr. 8c dochází k postupnému přepínání bitových spínačů a přičítání části hodnoty referenčního napětí odpovídajícího proporcionalně hodnotám jednotlivých kapacit k celkové kapacitě kapacitorů převodníku [2].



a)



b)



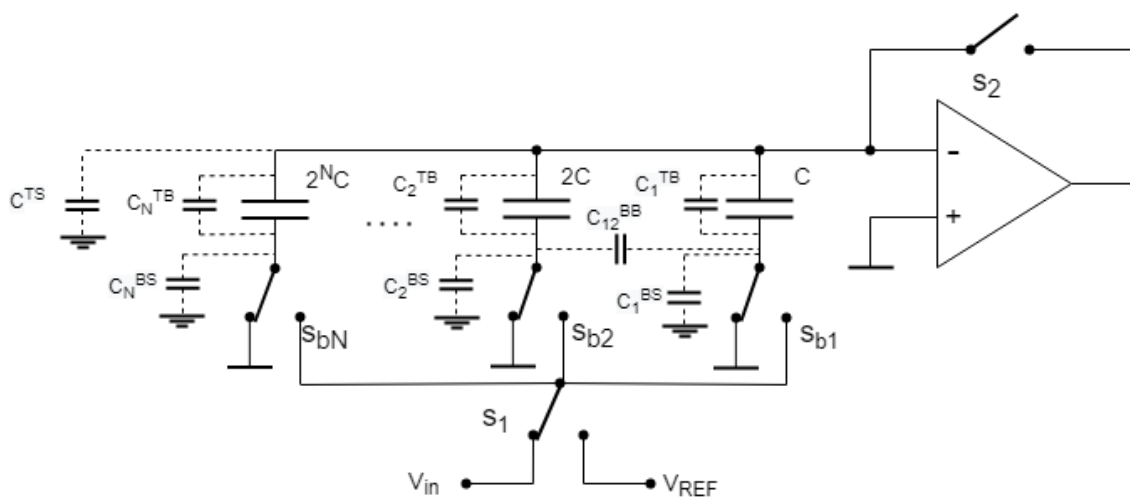
c)

Obrázek 8: Převodník se spínanými kapacitami ve fázi a) vzorkovací b) nulovací c) bitového cyklování [2]

### 3. KAPACITORY MOM V INTEGROVANÝCH OBVODECH

Jelikož je požadována minimalizace plochy převodníku, která bývá z největší části využita právě polem kapacitorů, je třeba využít kapacitory mezi spoji na integrovaném obvodu, ty však standartní technologická knihovna nepodporuje. Tato kapitola se zabývá využitím parazitních kapacit struktury MOM vzniklých mezi spoji na integrovaném obvodu a layoutem těchto vážených kapacitorů k redukci parazitních jevů.

Vlivem vytváření MOM kapacitorů na integrovaném obvodu mohou existovat čtyři typy parazitních kapacit na vytvořeném kapacitním DAC. Tyto parazitní kapacity na DAC jsou zobrazeny na obr. 9 a jedná se o kapacitu mezi horní a spodní plochou kapacitoru, horní plochou a substrátem, spodní plochou a substrátem, spodními plochami jednotlivých kapacitorů označené v daném pořadí jako  $C^{TB}$ ,  $C^{TS}$ ,  $C^{BS}$ ,  $C^{BB}$ . Velikosti kapacit  $C^{TB}$  a  $C^{TS}$  pak mají velký vliv na linearitu převodníku, zatímco  $C^{BS}$  a  $C^{BB}$  může mít vliv na stabilitu referenčního napětí  $V_{REF}$  [4]. Dalším jevem ovlivňující parametry kapacitního DAC je šum. Šum se významně projevuje na společné straně kapacit, jelikož právě tento uzel je plovoucí ve fázi cyklování bitů a nedochází tak k jeho potlačení operačním zesilovačem jako ve vzorkovací fázi. V případě návrhu DAC je pak jedna z možností potlačení šumu snížení váhy kapacitorů vyšších bitů (např. u MSB), aby došlo k vzájemnému proložení výstupního napětí z DAC při sepnutí MSB nebo několika nižších bitů ve fázi cyklování bitů. Takto upravený DAC by tak měl mít možnost znovu se rozhodnou v případě špatného rozhodnutí u MSB vlivem šumu [5].

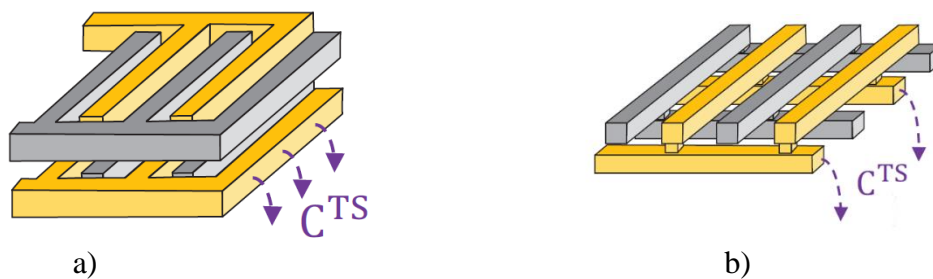


Obrázek 9: Parazitní kapacity ve struktuře kapacitního DAC [4]

### 3.1 Struktury MOM kapacitorů

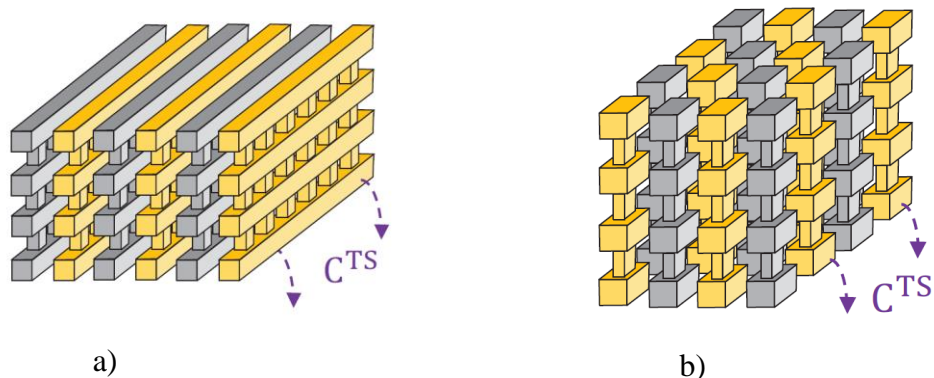
Mezi nejpoužívanější struktury kapacitorů patří deskový kapacitor, který je složen ze dvou kovových vrstev nad sebou a vrstvy dielektrika mezi nimi. Deskový kapacitor má relativně nízkou parazitní kapacitu  $C^{TS}$ , hlavní nevýhodou je velmi nízká hustota kapacity na plochu [4].

Další variantou je kapacitor složený z prokládaných vodičů. Kapacitor může být složen z prokládaných vodičů jak z laterálního, tak i z vertikálního směru, kde vodiče vedou jedním směrem, jak je zobrazeno na obr. 10a nebo mohou vést oběma směry (křížově), jak je zobrazeno na obr. 10b. Žlutá vrstva kovu označuje horní stranu kapacitoru a šedá spodní stranu. Jelikož tyto struktury vytvářejí kapacity ve více rozměrech a také horizontální vzdálenost mezi spoji bývá menší než vertikální, mají značně vyšší hustotu kapacity oproti MOM kapacitoru složenému ze dvou vrstev nad sebou [4].



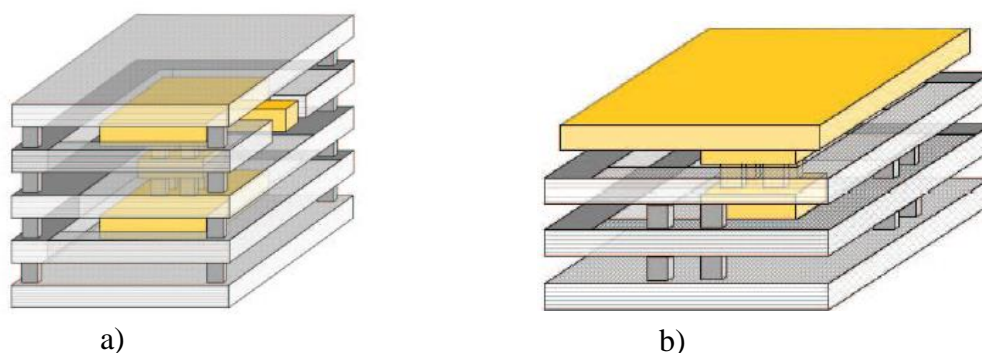
Obrázek 10: Kapacitor vytvořený z prokládaných vodičů a) jedním směrem b) oběma směry (převzato z [4])

S využitím kovů a prokův lze mezi cestami ve více kovových vrstvách vytvořit kapacitu mezi těmito částečnými plochami v laterálním směru, struktura takto vytvořeného kapacitoru je zobrazena na obr. 11a. Dále je možné vytvořit kapacitory skládáním jednotlivých vrstev kovu vertikálně přes jeden prokov, tato struktura je zobrazena na obr. 11b. Obě tyto metody vytváření kapacitorů se vyznačují vyšší hustotou kapacity než u předešlých metod, nevýhoda je však v horší kontaktovatelnosti zvláště u této druhé metody [4].



Obrázek 11: Kapacitory vytvořené pomocí prokůvů a) laterálně b) vertikálně (převzato z [4])

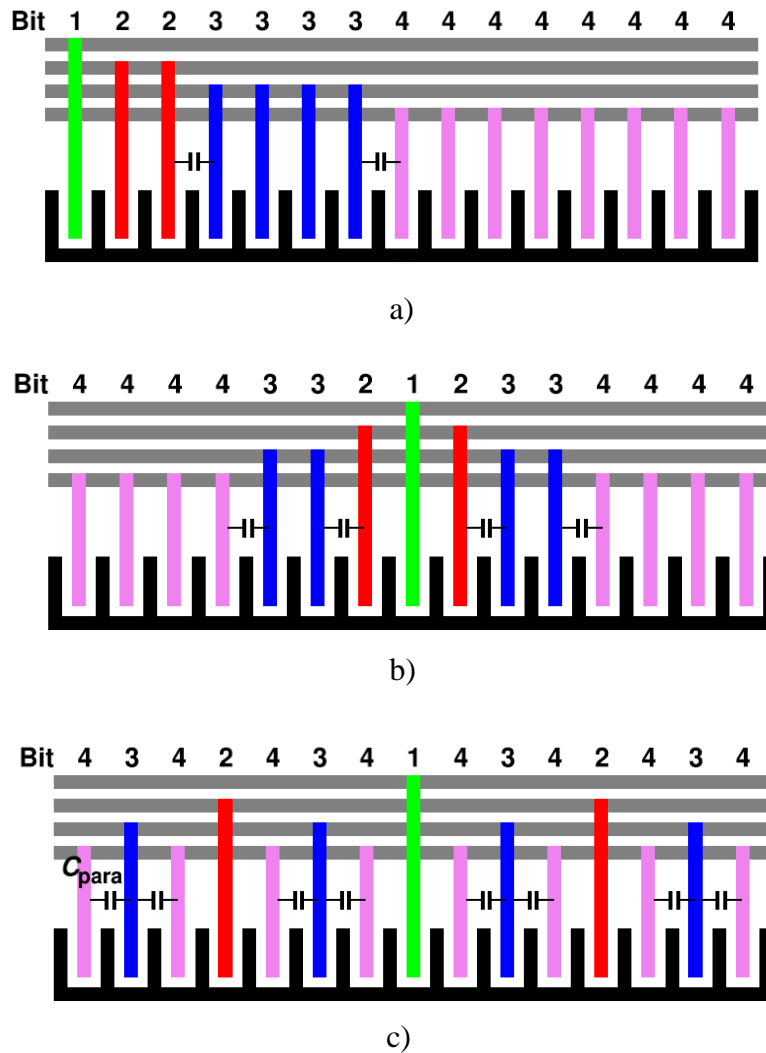
Další struktury kapacitorů jsou již vytvořeny pomocí kombinace předešlých metod. Struktura kapacitoru MLS (Multi-Layer Sandwich) je zobrazena na obr. 12a a skládá se ze dvou kovových desek v různých vrstvách spojených prokovem a obklopené vrstvami kovů a prokovy. Struktura MLS se vyznačuje relativně nízkou hodnotou  $C^{TS}$  ale také nízkou hustotou kapacity na plochu a horší kontaktovatelností. Struktura kapacitoru označovaná jako „Mortise-tenon“ se skládá ze dvou kovových desek, kde z horní strany kapacitoru je vytvořen prokov směrem k dolní vrstvě a je obklopen prokovy z dolní vrstvy, jak je zobrazeno na obr. 12b, k redukci  $C^{TS}$  je navíc zkrácena délka horní kovové desky [4].



Obrázek 12: Struktura kapacitorů typu a) MLS b) Mortise-tenon (převzato z [4])

## 3.2 Layout kapacitního pole

Při použití velmi malých hodnot kapacit v DAC mohou parazitní kapacity mezi sousedními kapacitami a kapacity kontaktů způsobit významnou nelinearitu tohoto převodníku a je třeba optimalizovat metody layoutu k redukci těchto parazitních kapacit. Při layoutu kapacitorů v rámci jedné řady se k redukci parazitních kapacit používá struktura s prokládáním jednotlivých kapacitorů. Princip spočívá v částečném nebo úplném prokládání kapacitorů jednotlivých bitů způsobem, že jsou rozmístěny od LSB symetricky okolo centra dané řady v případě částečného prokládání (označované také jako „common-centroid“) [6] a symetricky dle centra dané části řady, kde počet těchto částí je roven násobku váze LSB daného bitu [7]. Layout kapacitorů 4-bitového DAC bez prokládání je zobrazen na obr. 13a, s částečným prokládáním na obr. 13b a s úplným prokládáním na obr. 13c. Horizontální vodiče pak představují jednotlivé bitové linky. I když úplné prokládání výrazně redukuje systematický mismatch (neideální poměry mezi jednotlivými kapacitami), vlivem malé vzdálenosti mezi vertikálními vodiči vedoucími k jednotlivým bitům vznikají mezi těmito vodiči parazitní kapacity, jež se mohou projevit na linearitě, částečné prokládání pak více redukuje nelinearitu vlivem těchto parazit [6].



Obrázek 13: Layout binárně vážených kapacitorů a) bez prokládání b) s částečným prokládáním c) s úplným prokládáním (převzato z [6])

Další metodou pro snížení mismatche mezi jednotlivými kapacitami je použití dummy kapacitorů. Dummy kapacitory neplní žádnou obvodovou funkci a používají se jen pro zlepšení matchingu při layoutu. Mismatch kapacitorů se nejvíce projevuje na okrajích kapacitního pole a nejméně v jeho středu, je tak žádoucí umístit nejvyšší kapacity právě do středu a na okraj kapacitního pole umístit dummy kapacitory pro zlepšení matchingu u kapacitorů vyšších bitů [8].

## 4. NÁVRH AD PŘEVODNÍKU TYPU SAR SE SPÍNANÝMI KAPACITORY

Tato kapitola se zabývá návrhem převodníku specifikovaného dle zadání. V první podkapitole je proveden návrh na systémové úrovni. V následujících kapitolách je proveden návrh jednotlivých bloků na tranzistorové úrovni. Základní požadavky na převodník jsou:

- rozlišení 9 bitů,
- vzorkovací frekvence min. 1 MHz,
- rozsah vstupního napětí 0 – 1,2 V,
- $DNL < 1 \text{ LSB}$ ,
- $INL < 2 \text{ LSB}$ ,
- napájecí napětí 2,25 V – 3,63 V, typ. 2,5 V,
- rozsah pracovních teplot  $-40 \text{ }^\circ\text{C}$  –  $175 \text{ }^\circ\text{C}$ ,
- malá plocha,
- programovatelný zisk v rozsahu 0 až 1 pomocí parametru Nref.

### 4.1 Návrh na blokové úrovni

Navržený obvod je zobrazen na obr. 14 a je složen z blokových částí: obvodu napěťového sledovače pro referenční napětí a proud, kapacitního DAC, spínačů, operačního zesilovače, komparátoru a obvodu SAR. Obvod sledovače také zahrnuje zdroj proudu pro vlastní činnost a pro další obvody. Dále bude napěťový sledovač definovat vstupní napěťový rozsah převodníku a bude zaručovat nízkou impedanci při nabíjení kapacitního DAC.

Převodník bude navíc obsahovat obvod BIST (Built-In Self-Test) pro vlastní testování DNL, kde při změně kódu DAC mezi kritickými přechody (např. z 15 na 16) dojde k injekci náboje do uzlu CAPCOM o velikosti kapacity 1 LSB ( $C_{\text{LSB}}$ ) a napětí  $V_{\text{ref}}$  1,2 V. Operačním zesilovačem dojde zkrz obvod T/H ke změně napětí zpětnovazební smyčkou do DAC přes kapacitu  $C_{\text{bist}}$ , aby tento náboj vykompenzoval napěťovým krokem odpovídající  $V_{\text{ref}} \frac{C_{\text{LSB}}}{C_{\text{bist}}}$ . Takto získané napětí je následně uloženo a převedeno převodníkem, čímž je získáno napětí odpovídající jednomu kroku, kde při porovnání se základním krokem (z 0 na 1) lze vypočítat nelinearitu v daném kroku. Uzel této zpětnovazební smyčky z T/H obvodu do DAC je na obr. 14 označen jako BISTA.

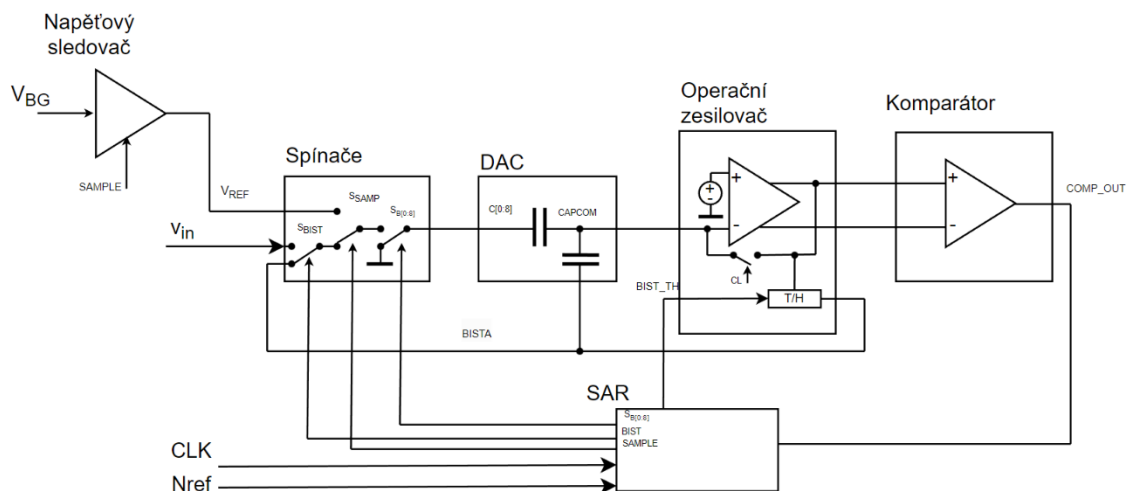
Obvod spínačů je řízen signály  $S_{\text{SAMP}}$  pro spínání vstupu DAC k referenčnímu napětí nebo ke vstupu,  $S_{\text{B}}$  sepnou kapacitory se vstupním napětím při vzorkovací fázi, ve fázi cyklování bitů pak ke spojení všech k zemi a postupně je přepínat k referenčnímu napětí. Spínače ze zpětnovazební smyčky řízené signálem  $S_{\text{BIST}}$  slouží pro převod uloženého napětí ze self-testu. Dále bude obvod mít programovatelný zisk převodu, jehož principem



je nahrání vstupního napětí pouze na některé kapacity (ostatní budou uzemněny při vzorkovací fázi) určených parametrem Nref, jenž bude odpovídat váze kapacitorů, na které bude nahráno vstupní napětí. Programovatelný zisk se tak pohybuje od 0 (Nref = 0) až do 1 (maximální Nref).

Blok DAC je pole kapacitorů, kde na straně CAPCOM jsou všechny spojeny a dále kapacitory pro self-test spojující CAPCOM s výstupem obvodu T/H.

V obvodu operačního zesilovače dojde ve vzorkovací fázi k sepnutí spínače SAMPLE k uzavření zpětnovazební smyčky a nabije tak kapacitory CAPCOM na hodnotu referenčního napětí o velikosti přibližně 1 V. Při této hodnotě napětí na vstupu pracuje operační zesilovač ve vhodném pracovním bodě. Po uplynutí stanovené doby přejde obvod do další fáze. Rozpojí se zpětnovazební smyčka a hodnota napětí na CAPCOM bude  $1 V - V_{in}$ . Ve fázi bitového cyklování bude obvod operačního zesilovače fungovat jako předzesilovač pro komparátor. Posledním blokem je obvod SAR, který bude řídit jednotlivé spínače a bude řízen synchronně.

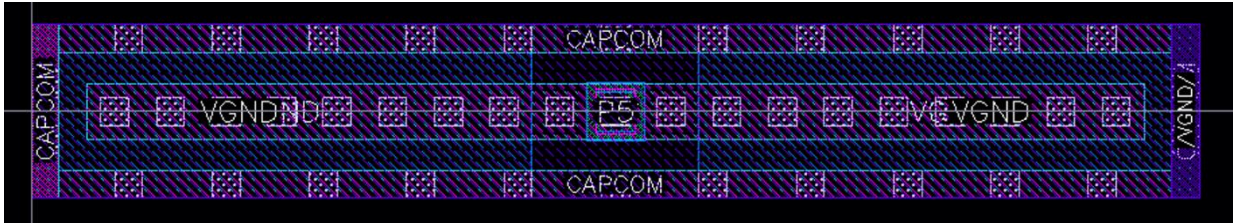


Obrázek 14: Blokové schéma navrženého AD převodníku

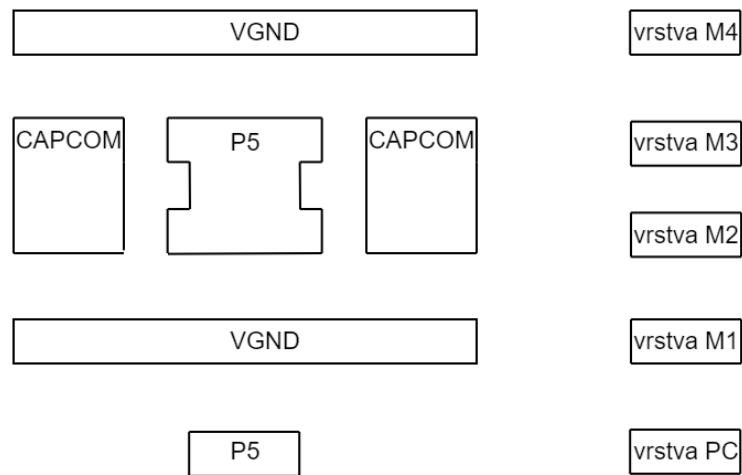
## 4.2 Návrh kapacitního DAC

V použité technologii onk65bcd jsou k dispozici 4 vrstvy kovu a vrstva křemíkového vodiče. Kvůli použití krajních vrstev kovů k odrušení jsou využitelné dvě vrstvy a bude tak vhodnou volbou použít laterálně vytvořené kapacitory s prokovy. Krajní vrstvy určené k odrušení jsou připojeny na zem (VGND). Navržený kapacitor použitý pro bit LSB je zobrazen na obr. 15. a překreslený pohled zprava (ze strany) je zobrazen na obr. 16. Délka kapacitoru jsou  $4,2 \mu\text{m}$  a šířka  $620 \text{ nm}$ . Tohle je minimální délka, při které lze routovat cesty mezi jednotlivými kapacitory tak, aby vznikla dostatečná mezera mezi jednotlivými kontakty. Kapacita je tvořena mezi vrstvami kovu a pásem prokovů ve vrstvách 2 a 3 (P5 – bit na 5. pozici) obklopeného vrstvami kovu a prokovy ve stejných

vrstvách tvořící společnou stranou kapacit (CAPCOM). Ostatní velikosti kapacitorů pak budou složeny z tohoto základního kapacitoru s pozicí vývodu umístěným dle potřeby.



Obrázek 15: Navržený MOM kapacitor



Obrázek 16: Pohled zprava na navržený kapacitor (řez)

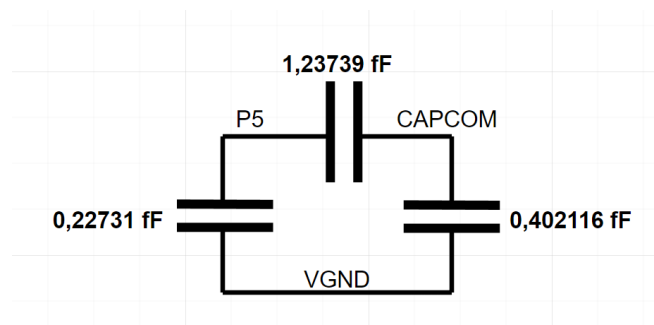
Z geometrie kapacitoru lze přibližně vypočítat jeho hodnotu pracovní kapacity, jenž je dána dvojnásobkem kapacity v jedné vrstvě (např. v M2) a se zanedbáním prokovů dána vztahem:

$$C = 2C_{M2} = 2\varepsilon_0\varepsilon_r \frac{S}{l} = 2\varepsilon_0\varepsilon_r \frac{2w_m h_m + 2t_m h_m}{l_m}$$

$$= 2 \cdot 8,854 \cdot 10^{-12} \cdot 4 \cdot \frac{2 \cdot 3,8 \cdot 0,22 + 2 \cdot 0,2 \cdot 0,22}{0,11} = 1,13 \text{ fF}, \quad (4.1)$$

kde  $\varepsilon_r$  je permitivita  $\text{SiO}_2$ ,  $w_m$  je šířka metalové vrstvy,  $h_m$  je výška metalové vrstvy,  $t_m$  je tloušťka metalové vrstvy a  $l_m$  je její délka v  $\mu\text{m}$ .

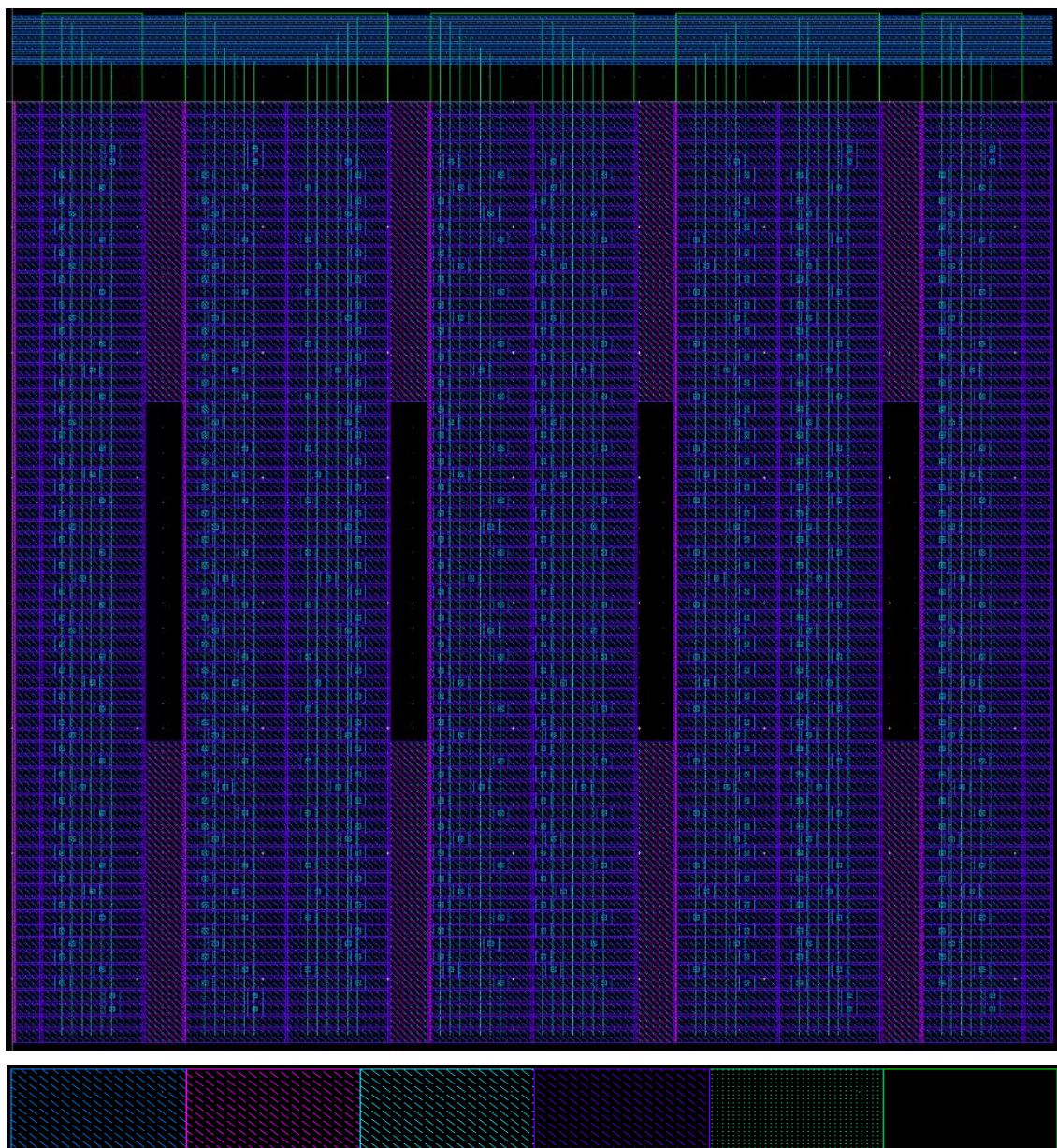
Dále byla provedena analýza PEX k extrakci této kapacity, kde výsledný model je zobrazen na obr. 17 a hodnota pracovní kapacity dosahuje hodnoty přibližně 1,24 fF. Odlišná hodnota kapacity lze jednoduše vysvětlit zanedbáním prokovů při výpočtu, jenž mají určitý vliv na výslednou hodnotu kapacity.



Obrázek 17: Extrahovaný model kapacitoru

V další části je třeba navrhnout layout kapacitorů. DAC nebude složen z binárně vážených kapacitorů, ale bit 9 (MSB) bude mít hodnotu 252 LSB a bit 8 pak 127 LSB pro zvýšení odolnosti DAC proti šumu. Tyto hodnoty vah jednotlivých bitů jsou použity v převodníku v jiné technologii a jeví se jako dostatečné. V přenosové funkci DAC tak ke každému výstupnímu napětí v rozsahu 1 LSB připadá alespoň jedna kombinace vstupního kódu, čímž je zachována linearita. Kvůli minimalizaci parazitních kapacit mezi jednotlivými kapacitami je využito úplného prokládání. Kapacitory budou rozděleny na 8 pásů po 73, 506 kapacitorů pro DAC, dále pak 16 pro BIST. Tím je určen i rozsah parametru Nref pro programovatelný zisk. Z levé a pravé strany jsou umístěny zkrácené dummy kapacitory a shora a zdola pak alespoň 2 vrstvy dummy kapacitorů. Navržená tabulka s layoutem je zobrazena v příloze B.1 v tabulce 14, kde horní řádek představuje označení jednotlivých pásů a levý sloupec pořadí v daném pásu. Jednotlivé hodnoty pak představují kapacitory určené jednotlivým bitům (1 – LSB, 9 – MSB, B – BIST, D – dummy, S - zkrácený). Kontakty jsou vytvořeny s použitím metody prokládání „common-centroid“. Layout je zobrazen na následujícím obr. 18. Výsledné rozměry DAC činí  $41,5 \mu\text{m} \times 41 \mu\text{m}$  a jeho plocha tak dosahuje  $1701,5 \mu\text{m}^2$ . Po provedení dalších analýz pro určení linearity tohoto DAC bylo zjištěno, že použitá hodnota kapacity není dostatečná a byla zvětšena čtyřnásobně na hodnotu 4,95 fF. Předpokládaná velikost DAC tak bude  $6806 \mu\text{m}^2$ . Vytvořené DAC lze tak snadno modifikovat pouze zvětšením jednotlivých kapacitorů a posunutím vytvořených pásů v layoutu. Následující návrh a simulace jsou pak provedeny pouze se zvětšenou velikostí DAC.





Vrstva M1    Vrstva M2    Vrstva M3    Vrstva M4    Vrstva PC    Substrát

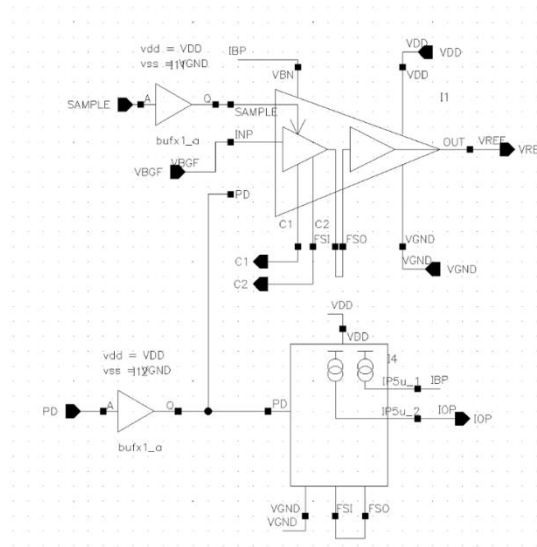
Obrázek 18: Layout DAC

### 4.3 Návrh obvodu napěťového sledovače

Obvod poskytuje nízkoimpedanční vstupní bandgap napětí o velikosti asi 1,2 V a referenční proud 5  $\mu\text{A}$ . U obvodu je také vyžadováno, aby fungoval i při hodnotách napájecího napětí, asi od 1,8 V pro účely jiných obvodů. Schéma je zobrazeno na obr. 19.

Napěťový sledovač je tvořen z operačního zesilovače navrženého s kompenzací vstupní napěťové nesymetrie. Výkonově bude sledovač zatížen při fázi cyklování bitů, aby na společné straně DAC (CAPCOM) došlo k ustálení napětí. Kvůli tomu bude fáze

cyklování obsahovat 11 cyklů, kde 9 cyklů odpovídá jednotlivým bitům a bit 8 (MSB) a 7 budou mít oba navíc jeden cyklus.

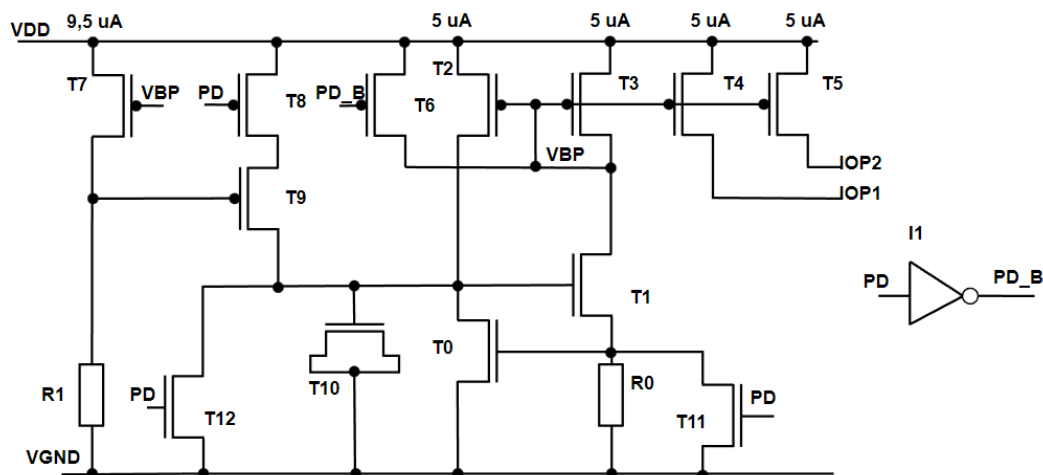


Obrázek 19: Schéma obvodu napěťového sledovače

#### 4.3.1 Návrh proudového zdroje

Zdroj referenčního proudu bude vytvořen jako self-bias proudová reference. Schéma zdroje proudu je zobrazeno na obr. 20. Schéma z Cadence je uvedeno v příloze A.1 na obr. 56.

Tranzistor T9 slouží k nastartování obvodu, kde na jeho vstupu je napětí na rezistoru R1, které je v power down nulové, a při zapnutí obvodu tak rychle nastartuje obvod. V případě, kdy je obvod nastartován pak proud tranzistorem T7 vytvoří na rezistoru úbytek napětí takový, že se startovací tranzistor vypne. Zpětnovazební smyčka je kompenzována kapacitou tvořenou tranzistorem T10. Rozměry jednotlivých tranzistorů jsou zobrazeny v tabulce 1. Hodnota odporu R0 je pak 143,2 kΩ a hodnota R3 258,1 kΩ.



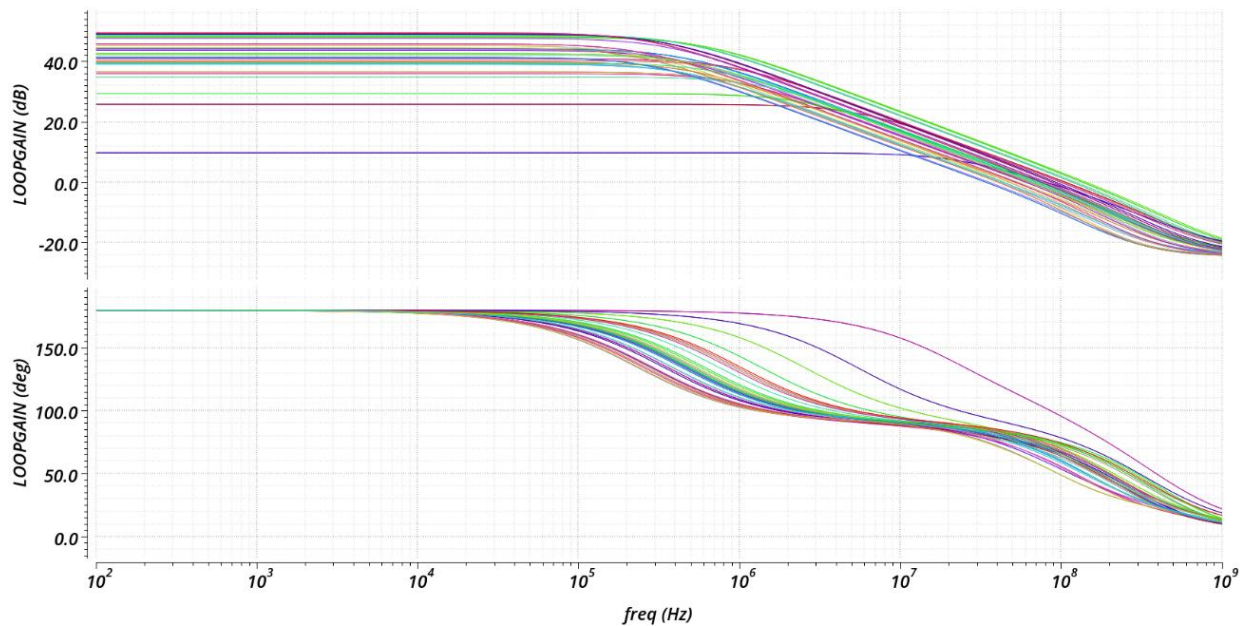
Obrázek 20: Schéma zdroje referenčního proudu

Tabulka 1: Rozměry použitých tranzistorů ve zdroji proudu

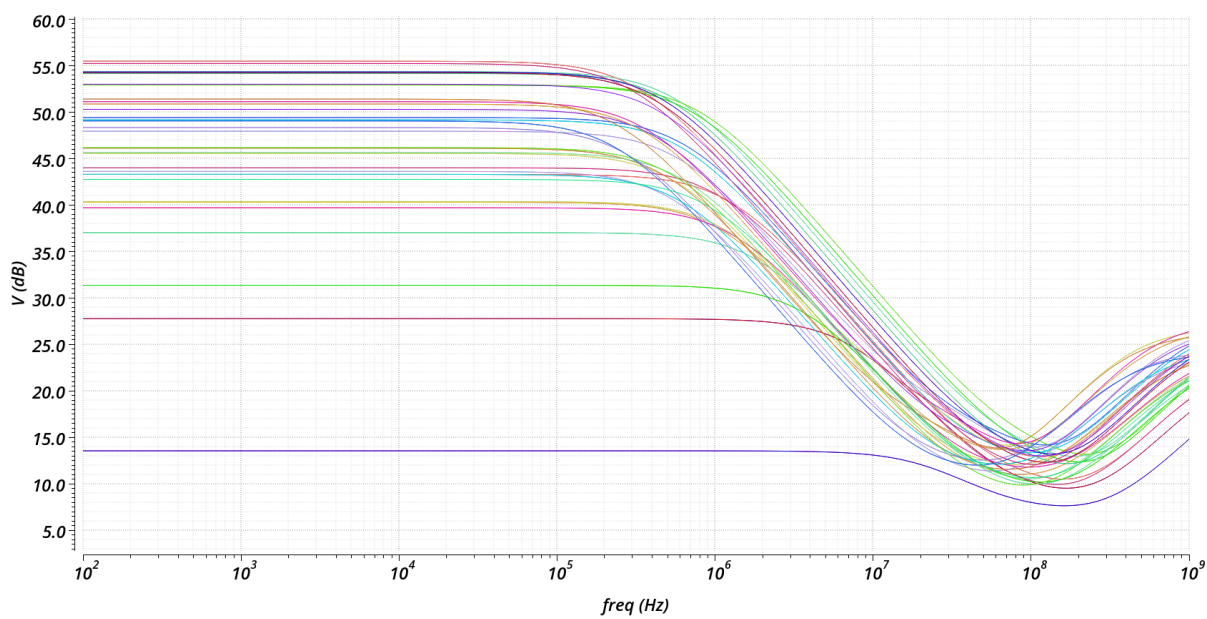
Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]	Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]
T0	8/1,6	T6,T8,T11,T12	0,4/0,28
T1	31/0,3	T2 – T5	16/0,8
T7	16/0,4	T9	0,4/0,6
T10	2,3/3		

U obvodu byla ověřena stabilita přes procesní cornery, výsledný graf zesílení smyčky a fáze je zobrazen na obr. 21. V případě potlačení napájecího napětí (PSRR) bylo dosaženo stejnosměrné hodnoty alespoň 13,5 dB při min. napájecím napětí ( $V_{DD_{\min}}$ ) 1,8 V a 43,8 dB při 2,25 V, výsledný graf je zobrazen na obr. 22. Náběh proudového zdroje z power down je zobrazen na obr. 23. Všechny tyto grafy obsahují cornery při napájecím napětí 1,8 V, Hodnota referenčního proudu se pohybuje v rozsahu 2,71  $\mu\text{A}$  až 8,1  $\mu\text{A}$  pro  $V_{DD_{\min}} = 1,8 \text{ V}$  a od 2,762  $\mu\text{A}$  v případě  $V_{DD_{\min}} = 2,25 \text{ V}$ , kde tento rozptyl je z největší části dán rozptylem hodnoty rezistoru. Výsledky jsou pak shrnuty v tabulce 2 pro různé  $V_{DD_{\min}}$ .

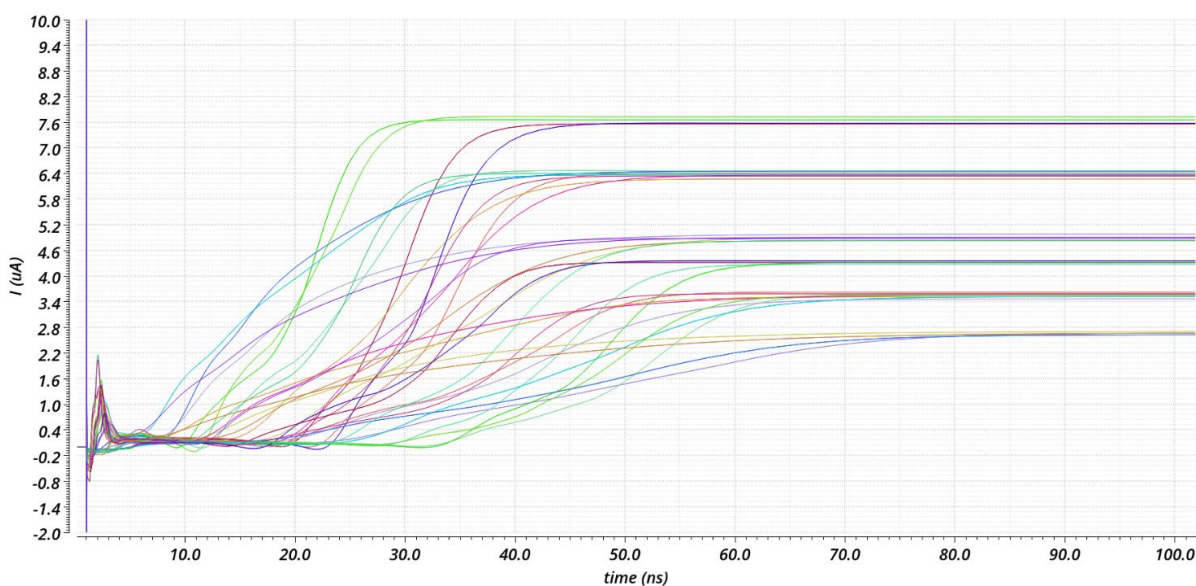




Obrázek 21: Analýza stability (zesílení a fáze) proudového zdroje



Obrázek 22: Simulace PSRR proudového zdroje



Obrázek 23: Náběh proudového zdroje (výstupního proudu) z power down

Tabulka 2: Výsledné parametry navrženého zdroje proudu

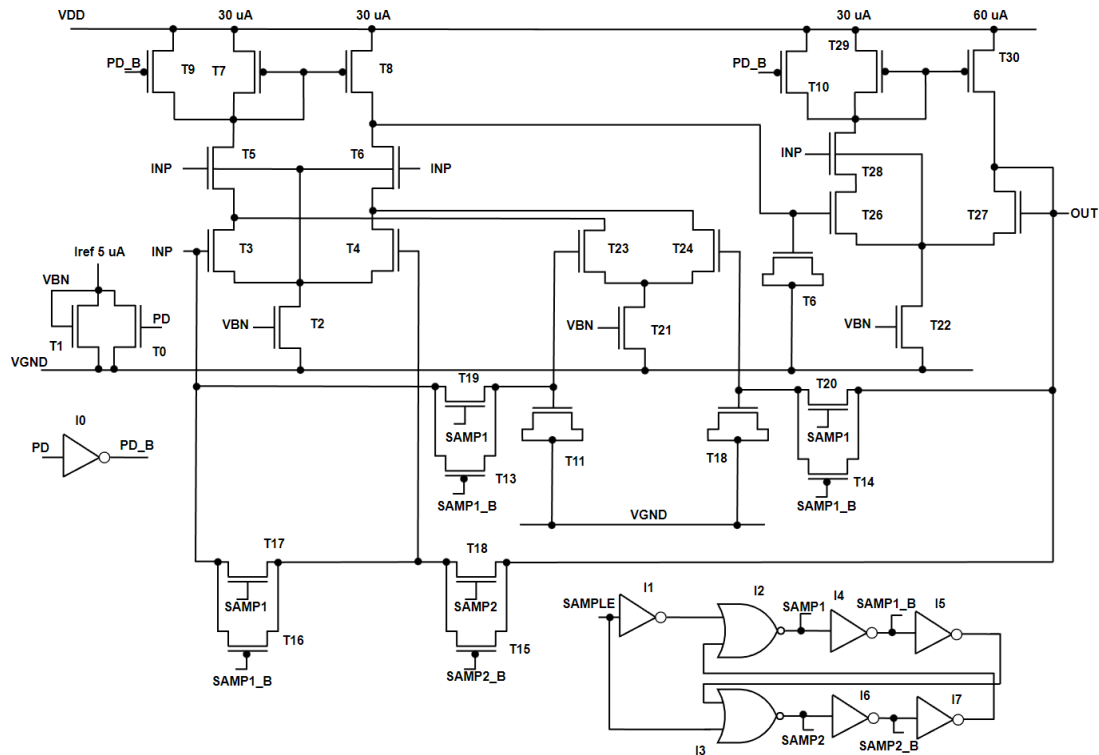
Parametr	TYP	WC (od 1,8 V)	WC (od 2,25 V)
DC zesílení smyčky [dB]	44,5	9,8	43,3
GBW [MHz]	75,8	34,3	39,8
Fázová rezerva [°]	72,5	68	68
PSRR @ DC [dB]	49,3	13,5	43,8
Startovací doba [ns]	51	80	80
Výstupní ref. proud [µA]	5,02	<2,71;8,1>	<2,762;8,1>
Proudová spotřeba [µA]	24,4	42	42

#### 4.3.2 Návrh napěťového sledovače

Schéma navrženého napěťového sledovače s potlačením vstupního offsetu je zobrazeno na obr. 24 a schéma z Cadence je pak zobrazeno v příloze na obr. 57. Obvod bude pracovat ve dvou fázích: fáze kompenzace vstupního offsetu (SAMPLE = 1) a fáze sledování vstupního napětí (SAMPLE = 0). Ve fázi kompenzace vstupního offsetu dojde k propojení vstupů hlavního diferenčního páru tvořeného tranzistorem T3 a T4, a dále k propojení vstupního tranzistoru T23 sekundárního diferenčního páru se vstupem a T24 s výstupem, čímž dochází k vykompenzování chybových proudů pomocí těchto tranzistorů. Ve druhé fázi jsou tyto spínače rozpojeny a dojde k propojení invertujícího vstupu diferenčního páru s výstupem. Napětí, které bylo použito pro kompenzaci chybových proudů je pak uloženo na tranzistorech T11 a T18 tvořících kapacitry. Obvod



non-overlapu je tvořen pomocí hradel NOR a invertorů tvořící prodlevu, čímž tak zamezují zkratu mezi vstupem a výstupem při přepínání spínačů. Obvod je dále tvořen napěťovým sledovačem z diferenčního páru a tranzistorem T6 sloužícím jako kapacita pro frekvenční kompenzaci obvodu. Rozměry tranzistorů v obvodu jsou zobrazeny v tabulce 3.

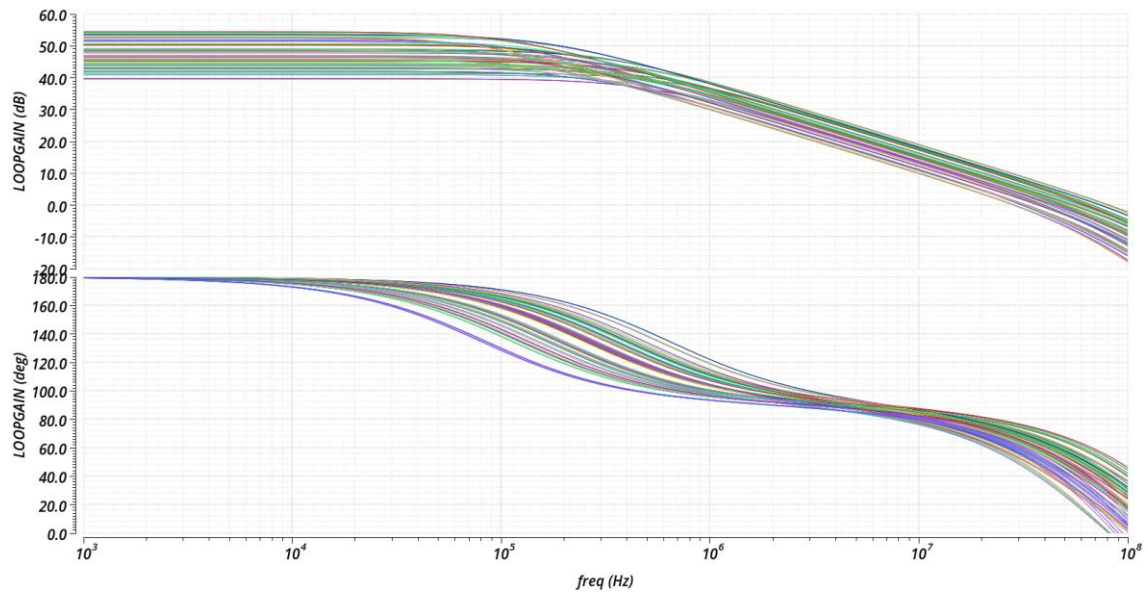


Obrázek 24: Schéma napěťového sledovače

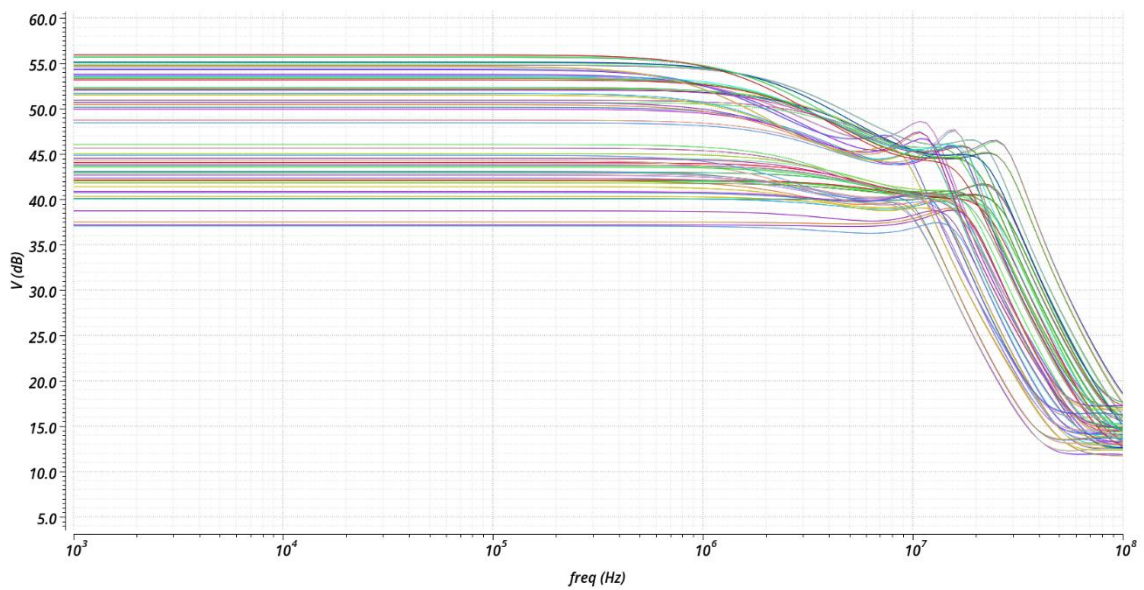
Tabulka 3: Rozměry tranzistorů napěťového sledovače

Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]	Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]
T0	6/1	T13-T20	0,4/0,28
T1,T9,T10	0,4/0,28	T21	3(6/1)
T2	9(6/1)	T22	18(6/1)
T3,T4	2(10/0,5)	T23,T24	2(7,2/4,2)
T5,T6	2(10/0,28)	T25	4(11,2/3)
T7,T8	2(12/1,3)	T26	14/0,35
T12,T12	12,4/2,8	T27	2(14/0,35)
T28	2(20/0,28)	T29	24/0,4
T30	2(24/0,4)		

Obvod byl jako proudový zdroj ověřen pro napájecí napětí od 1,8 V a od 2,25 V, kde zobrazené grafy zahrnují cornery již od 1,8 V a při zátěži všech bitů kapacitního DAC přes spínače (odpovídající funkčnímu zapojení na obr. 14 pro tento obvod – kapacita DAC přibližně 3 pF včetně substrátové kapacity přes spínače). Na obr. 25 je graf analýzy stability napěťového sledovače ve fázi sledovače vstupního napětí, kde bylo dosaženo minimálního zesílení 38,9 dB a fázové rezervy 51,2°. Na obr. 26 pak zobrazen graf PSRR, kde bylo dosaženo potlačení o velikosti 35,1 dB od 1,8 V a 42,3 dB od 2,25 V.

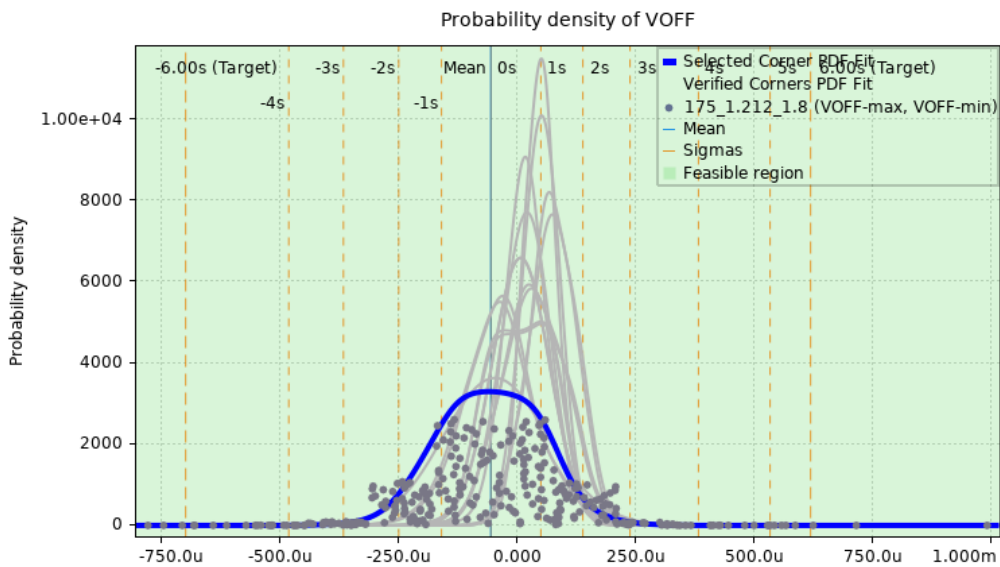


Obrázek 25: Zesílení a fáze napěťového sledovače

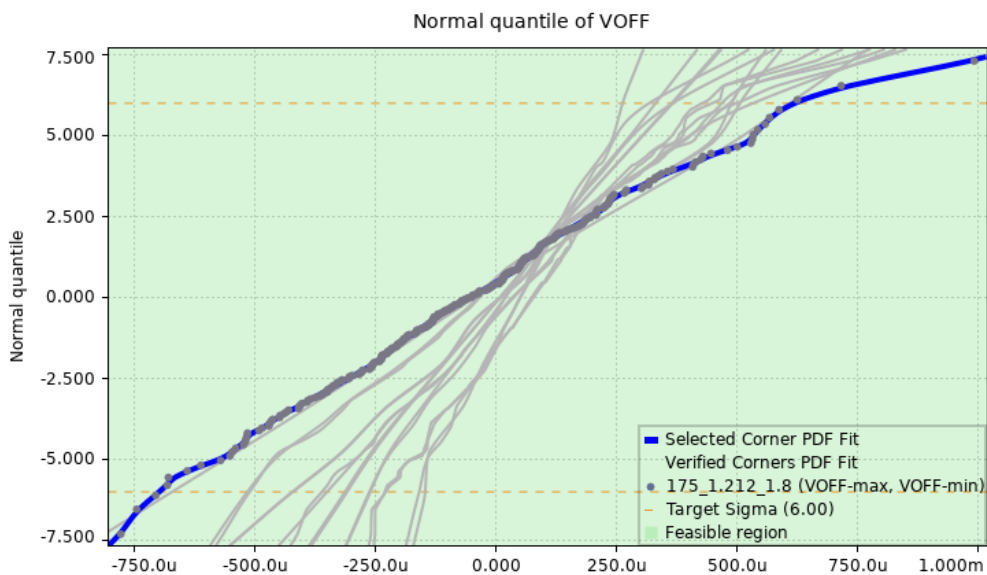


Obrázek 26: PSRR napěťového sledovače

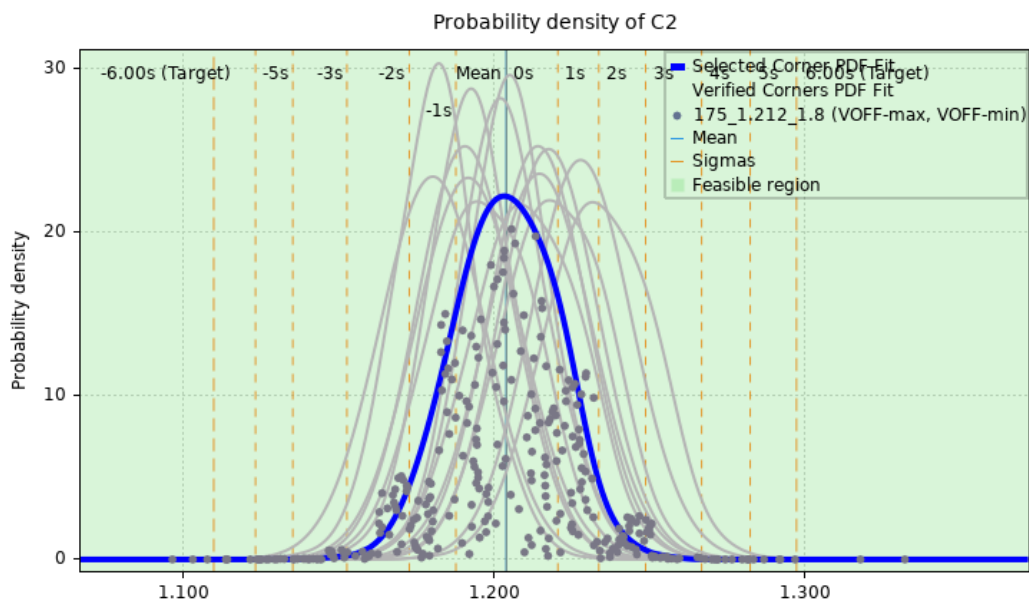
Rozptyl offsetu napětového sledovače a korekčního napětí (napětí uložené na tranzistoru T18) byl ověřen v prostředí Solido Design Environment (SDE) v simulaci Monte Carlo přes procesní cornery (PVTMC) na variaci  $6\sigma$ , vzhledem k tomu, že tento sledovač může být využit i pro jiné obvody. Na obr. 27 je zobrazen histogram celkového offsetu, rozptyl přes kvantily pak na obr. 28. Totéž pak pro hodnotu korekčního napětí na obr. 29 a obr. 30. Nejhorší případ vstupního offsetu dosáhl maximální hodnoty při teplotě  $175\text{ }^{\circ}\text{C}$ , napětí bandgapu  $1,188\text{ V}$  a napájecím napětí  $1,8\text{ V}$  a výsledný offset se pohybuje v rozsahu od  $-699\text{ }\mu\text{V}$  do  $620\text{ }\mu\text{V}$  na rozptylu  $6\sigma$ , tento corner je modře vyznačen v grafech. Dosažené parametry obvodu jsou zobrazeny v tabulce 4.



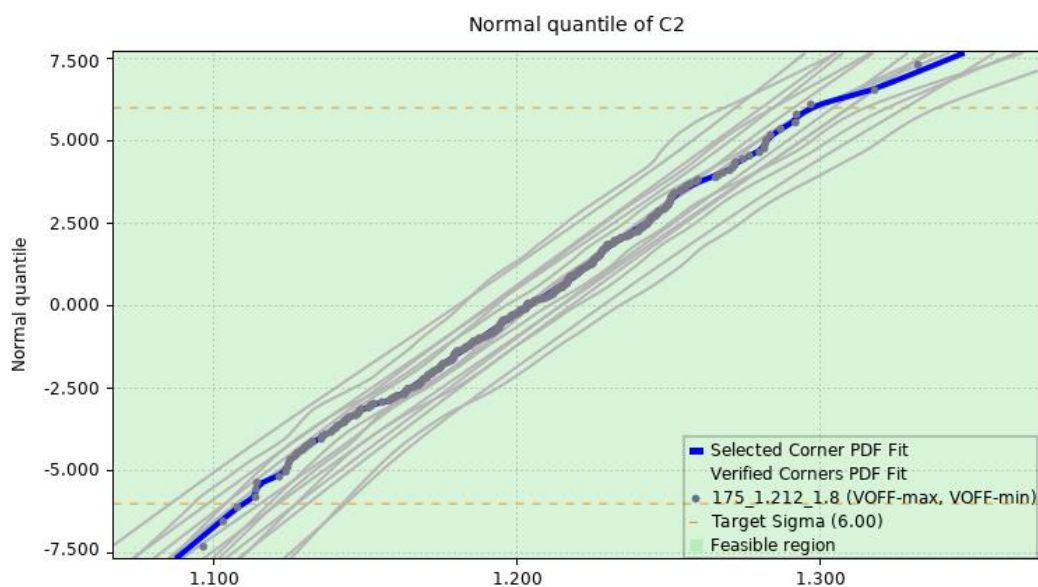
Obrázek 27: Histogram offsetu napětového sledovače



Obrázek 28: Kvantilový graf offsetu napětového sledovače



Obrázek 29: Histogram korekčního napětí napětového sledovače



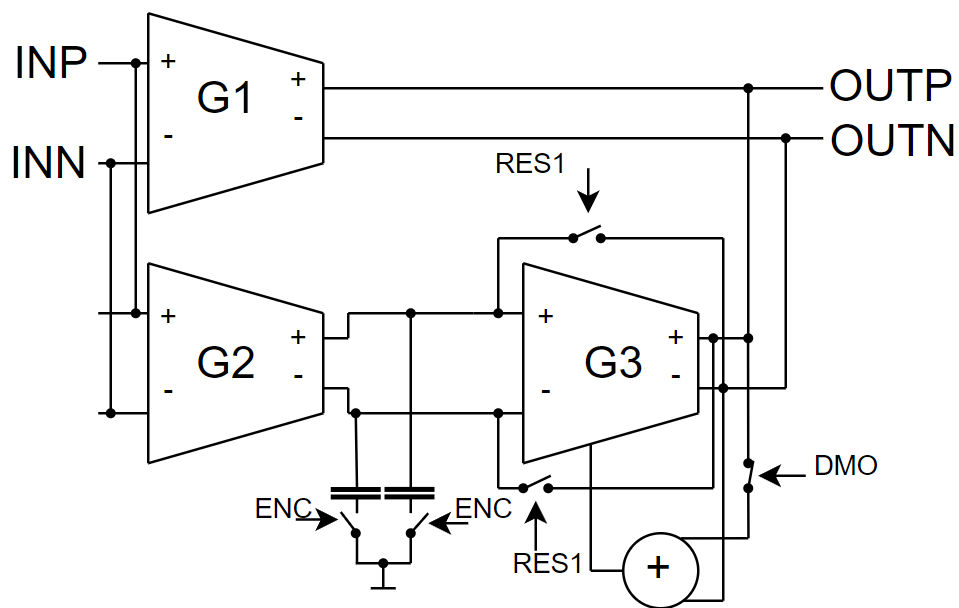
Obrázek 30: Kvantilový graf korekčního napětí napětového sledovače

Tabulka 4: Parametry napětového sledovače

Parametr	TYP	WC (od 1,8 V)	WC (od 2,25 V)
DC zesílení [dB]	49	39,7	42,1
GBW [MHz]	54	27,8	29,3
Fázová rezerva [°]	53,8	47,9	49,2
PSRR @ DC [dB]	50	43	44,6
Celkový offset ( $6\sigma$ ) [ $\mu$ V]	<-235;332>	<-699;620>	<-422;507>
Korekční napětí ( $6\sigma$ ) [mV]	<1140;1306>	<1086;1339>	<1104;1339>
Proudová spotřeba [ $\mu$ A]	153,6	224	224

## 4.4 Návrh obvodu operačního zesilovače

Základním požadavkem na tento obvod je vysoká rychlost. Při použití 17,6 MHz oscilátoru (16 MHz + 10 %) je 11 cyklů vyhrazeno pro cyklování bitů. Zesilovač pak musí nabít a ustálit na kapacitním DAC přes spínač napětí interní reference přibližně 1 V nejpozději do 284 ns včetně náběhu celého obvodu z power down. Dále bude operační zesilovač pracovat jako předzesilovač pro komparátor a bude tak vyžadovat malou reakční dobu na vstupní signál. Navržený obvod je vytvořen ze 3 diferenčních transkonduktorů v konfiguraci diferenčních invertorů. První transkonduktor je vytvořen z jednoho stupně s kaskodami, které slouží především pro potlačení Millerova jevu přes drain-gate parazitní kapacitu vstupních tranzistorů, jenž by potlačovala výstupní napětí z DAC. Paralelně k tomuto jednostupňovému transkonduktoru bude připojen integrátor sériově spojený s výstupním transkonduktorem k zajištění dostatečně velkého napěťového zesílení. Frekvenčně bude obvod kompenzovaný vytvořením přenosové nuly jednostupňovým transkonduktorem, v principu pak vhodným zvolením transkonduktancí v jednotlivých stupních a výstupní kapacitou integrátoru. V případě, že bude obvod pracovat jako sledovač, dojde k deaktivaci zpětné vazby kladného výstupu výstupního transkonduktoru za integrátorem signálem DMO a budou aktivovány kapacity na výstupu integrátoru k zajištění dostatečné stability obvodu signálem ENC. Při předzesilování pro komparátor bude obvod pracovat v otevřené smyčce, integrální složka bude resetována před každou komparací zavazbením výstupního transkonduktoru za integrátorem signálem RES1. Principiální schéma samotného operačního zesilovače je zobrazeno na obr. 31.



Obrázek 31: Principiální schéma použitého operačního zesilovače

Schéma obvodu na tranzistorové úrovni je zobrazeno na obr. 32. Schéma z Cadence je zobrazeno v příloze na obr. 58. Transkonduktory jsou tvořeny jednostupňovými diferenčními invertory s NMOS a PMOS vstupními tranzistory a mají tak relativně vysokou transkonduktanci, nevýhodou je však omezený vstupní napěťový rozsah, jež je dán od napětí  $V_{GSN} + V_{DS}$  pro NMOS tranzistory a do napětí  $V_{DD} - V_{GSP} - V_{DS}$  pro PMOS tranzistory, proto je pro tento obvod vytvořena napěťová reference na uzlu VBN o velikosti typicky 870 mV napětím na NMOS diodě, kde budou oba vstupní tranzistory ve vhodném pracovním bodě. Uzel Vinp je výstupem sledovače referenčního napětí VBN, který jde do neinvertujícího vstupu operačního zesilovače a je použit také u spínače mezi výstupem OUTP a invertujícím vstupem INN pro potlačení jeho leakage proudu.

Pro BIST T/H obvod je použita kapacita s RC filtrem pro zlepšení šumových vlastností a sledovač z PMOS diferenčního páru. Rozměry použitých tranzistorů jsou uvedeny v tabulce 5 a pasivních prvků v tabulce 6. Kritická část návrhu tohoto obvodu jsou také spínače pro CAPCOM tvořené z tranzistorů T63 a T64, které byly zvoleny CMOS zejména pro redukci leakage proudu ze substrátů, náboj hodinového signálu je pak kompenzován tranzistory T65 a T66, které by měly být ideálně poloviční [9].



Tabulka 5: Rozměry tranzistorů v obvodu operačního zesilovače

Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]	Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]
T0,T1,T3	1,3/1,2	T31 – T34	2(8,8/1,3)
T2	2(1,3/1,2)	T35,T36	2(12/0,6)
T4,T5,T53,T54	0,4/0,28	T37 – T40	2(8,8/0,32)
T6	10/3	T41	18(3/0,8)
T7	14,8/0,43	T42	6(3/0,8)
T8	2(14,8/0,43)	T43	9(3/0,6)
T9	6/1,6	T45,T46	2/0,28
T10	2(6/1,6)	T47,T48	12/3
T11	4(3/0,8)	T49 – T52	2(11,6/0,49)
T12	3/0,8	T55,T56	4/0,28
T13	2(3/0,8)	T57,T58	5/0,6
T14	7,6/1,8	T59 – T62	2(0,6/0,28)
T15	1,05/0,39	T63,T64	2(0,8/0,33)
T16,T17	3,4/3	T65,T66	0,8/0,33
T18	0,6/0,295	T67	2(0,8/0,31)
T19-T22	2(13,6/0,4)	T68,T69	2(14,8/0,58)
T23-T26	2(13,6/0,28)	T70,T71	2(6/1,2)
T27,T28	2(4/0,28)	T72	2(3/0,8)
T29,T30	2(8/0,6)	T73	0,4/0,9

Tabulka 6: Velikosti pasivních prvků v obvodu operačního zesilovače

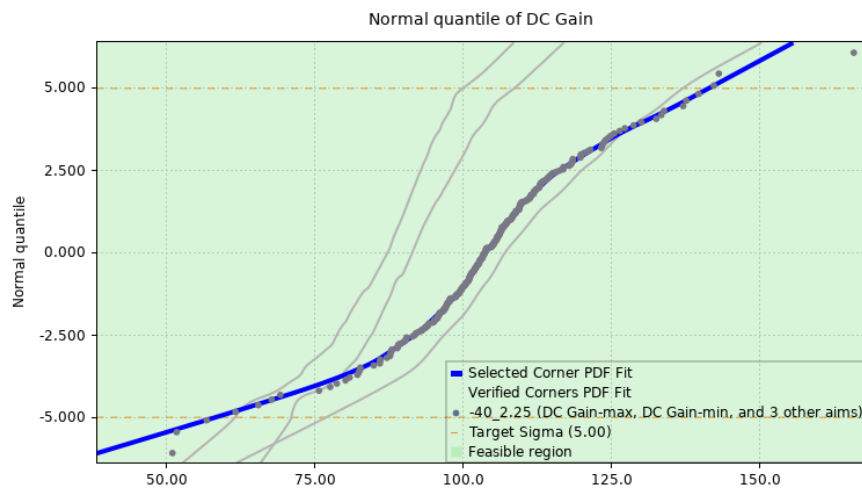
Prvek	Hodnota	Prvek	Hodnota
R0	26,32 k $\Omega$	R3	68,16 k $\Omega$
R1	73,31 k $\Omega$	C1	2,26 pF
R2	76,47 k $\Omega$	C0	402 fF

Kvůli paralelnímu spojení dvou transkonduktorů bude mít matching vstupních tranzistorů významný vliv na integritu tohoto obvodu (zisk, stabilita, atd.) a jeho vlastnosti tak budou ověřeny v simulaci PVTMC v prostředí SDE. Sledovanými parametry zesilovače jsou především zisk, fázová a amplitudová rezerva, dále pak offset. Obvod byl otestován v zapojení jako sledovač (s aktivovaným spínačem vedoucí výstup OOUTP na uzel CAPCOM) a výstupní kapacitě DAC (odpovídající funkčnímu zapojení na obr. 14 pro tento obvod – přibližně 3,3 pF výstupní zátěž).

Kvantilový graf stejnosměrného zesílení OZ v dB je zobrazen na obr. 33. Na variaci  $5\sigma$  bylo dosaženo zesílení alespoň 58,2 dB, což je dostatečně vysoká hodnota

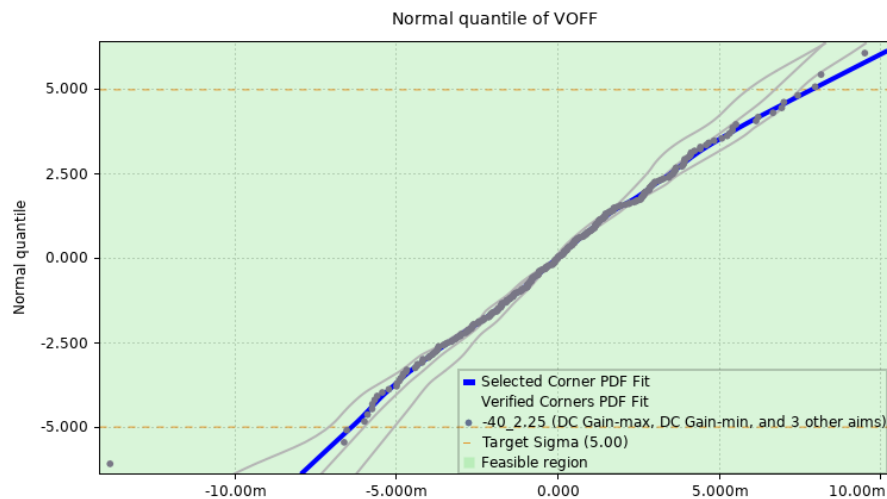


zesílení pro funkci rychlého předzesilovače, typická hodnota zesílení přitom dosahuje až 104 dB.



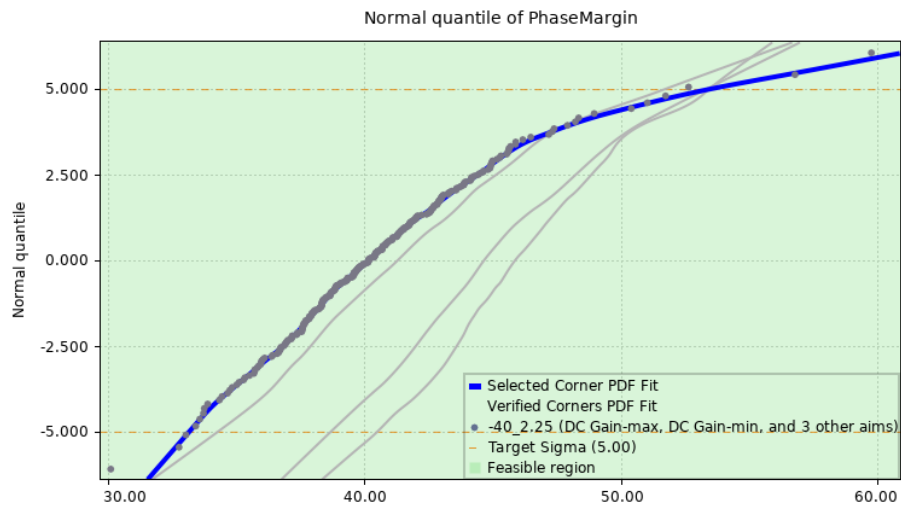
Obrázek 33: Kvantilový graf stejnosměrného zesílení operačního zesilovače

Dalším otestovaným parametrem OZ je jeho vstupní offset. I když při vzorkování OZ nabije kapacity na referenční hodnotu s určitým offsetem, při komparaci výstupního napětí z DAC se také uplatňuje offset tohoto zesilovače, čímž se offset vstupního napětí AD převodníku eliminuje. Nicméně je vhodné, aby offset OZ nenabýval hodnot vyšších než desítek mV, aby nedošlo k velkému posunu vstupního napětí a tím ke změně pracovního bodu vstupních tranzistorů zesilovače. Kvantilový graf vstupního offsetu je zobrazen na obr. 34, výsledný offset dosahuje hodnotu maximálně 7,8 mV na variaci  $5\sigma$ .

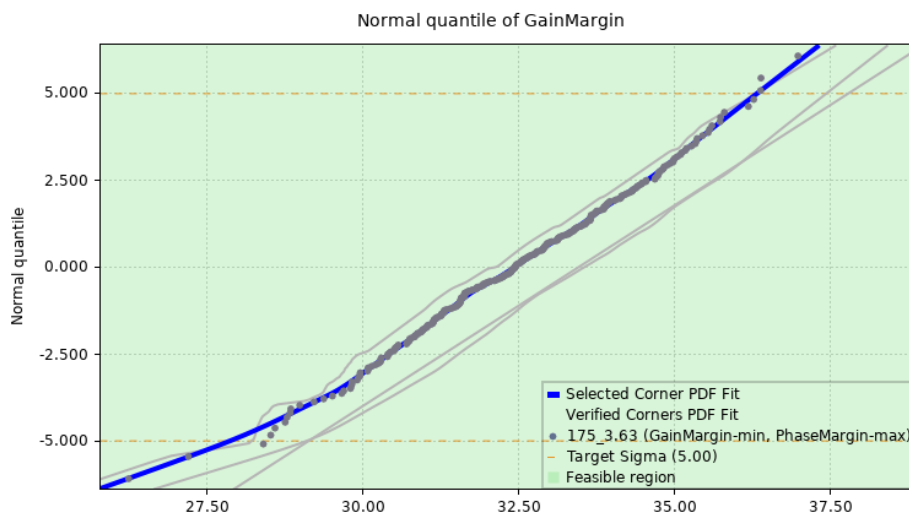


Obrázek 34: Kvantilový graf vstupního offsetu operačního zesilovače

V případě stability je třeba udržet fázovou rezervu dostatečně vysoko nad  $0^\circ$  a u amplitudové rezervy bude cílem dosáhnout alespoň 20 dB. Výsledné kvantilové grafy fázové a amplitudové rezervy jsou zobrazeny na obr. 35 a obr. 36. V případě fázové rezervy bylo dosaženo alespoň  $33^\circ$  a amplitudové rezervy alespoň 27,9 dB, obvod by tak neměl mít výrazně velké problémy s malosignálovým ustálením a bude stabilní i ve zpětnovazební smyčce self-testu, jelikož OZ si v případě použití záporné zpětné vazby pouze udržuje na svém výstupu hodnotu interní napěťové reference a nezpracovává AC složku.

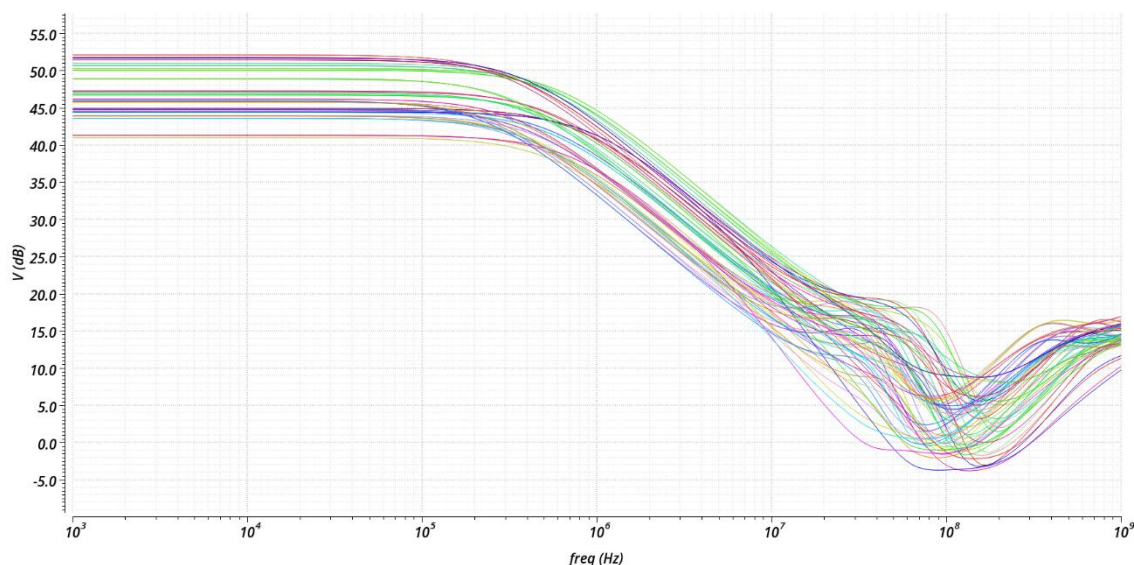


Obrázek 35: Kvantilový graf fázové rezervy OZ



Obrázek 36: Kvantilový graf amplitudové rezervy OZ

Posledním sledovaným parametrem je potlačení napájecího napětí, výsledný graf PSRR je zobrazen na obr. 37. Obvod vykazuje stejnosměrné PSRR alespoň 40 dB, na vysokých frekvencích asi na 100 MHz však klesá k hodnotám až -4 dB. Nízké PSRR se může negativně projevit na parametrech převodníku a v tom případě by bylo třeba tento obvod modifikovat nebo problém řešit externě (např. přidáním kapacity k napájení obvodu OZ).



Obrázek 37: Graf PSRR operačního zesilovače

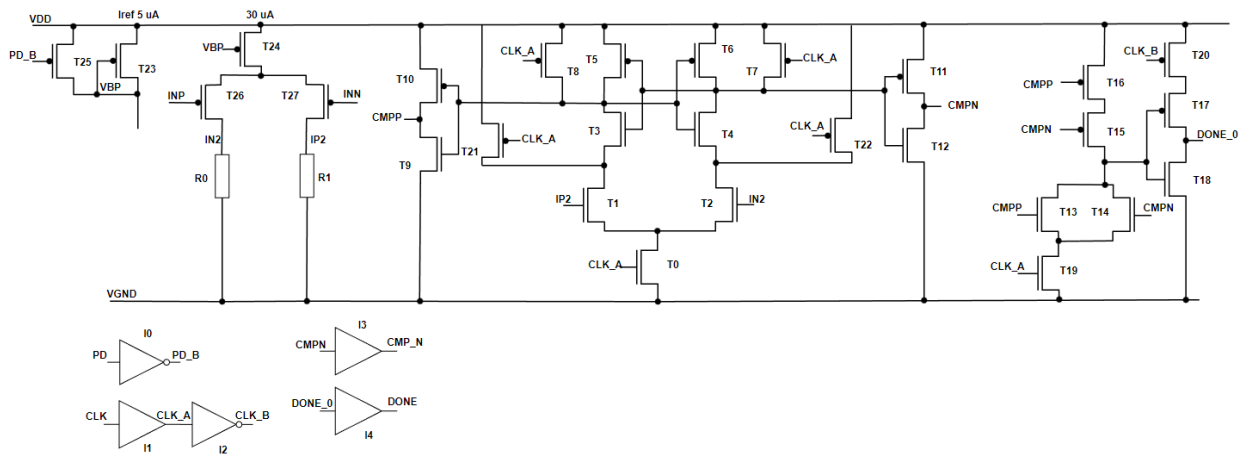
Parametry obvodu OZ jsou shrnuty v tabulce 7. Worst-case hodnoty byly ověřeny pomocí simulace PVTMC v prostředí SDE na variaci  $5\sigma$  mimo PSRR a proudovou spotřebu. Spotřeba uvedená v tabulce zahrnuje i biasovací obvody a T/H obvod.

Tabulka 7: Parametry navrženého obvodu operačního zesilovače

Parametr	TYP	WC
DC zesílení [dB]	104	58,2
GBW [MHz]	83,3	47,3
Fázová rezerva [°]	41	33
Amplitudová rezerva [dB]	33	27,9
PSRR @ DC [dB]	47	41
Celkový offset ( $5\sigma$ ) [mV]	5,9	7,8
Napětí reference $V_{inp}$ [mV]	870	<691;988>
Proudová spotřeba [ $\mu A$ ]	432	672

## 4.5 Návrh komparátoru

Do vstupu komparátoru vede výstup diferenčního zesilovače. V obvodu je třeba zajistit dva parametry: nízké propagační zpoždění signálu na výstup a k vyhodnocení i při nízkém diferenčním napětí a dále pak dostatečně nízký offset, který předzesilovač dokáže překonat. Byla zvolena architektura komparátoru s kladnou zpětnou vazbou označována také jako „single tail“, před kterou je umístěn PMOS diferenční pár s rezistory pro potlačení vstupního offsetu a také k potlačení kickbacku (injekce náboje do vstupů při komparaci). Obvod je zobrazen na obr. 38. Schéma z Cadence je zobrazeno v příloze A.3 na obr 59. V případě vstupního CLK úrovně L bude na výstupech úroveň L, vyhodnocení komparace signalizuje výstup DONE, který je dán funkcí OR výstupů CMP\_P a CMP\_N. V případě aktivního hodinového signálu dojde vlivem kladné zpětné vazby k rychlému ustálení obvodu do jednoho ze dvou stavů – úroveň H na výstupu CMPP a L na výstupu CMPN nebo naopak. Rozměry tranzistorů jsou shrnuty v tabulce 8, velikost rezistorů je 70,4 kΩ.

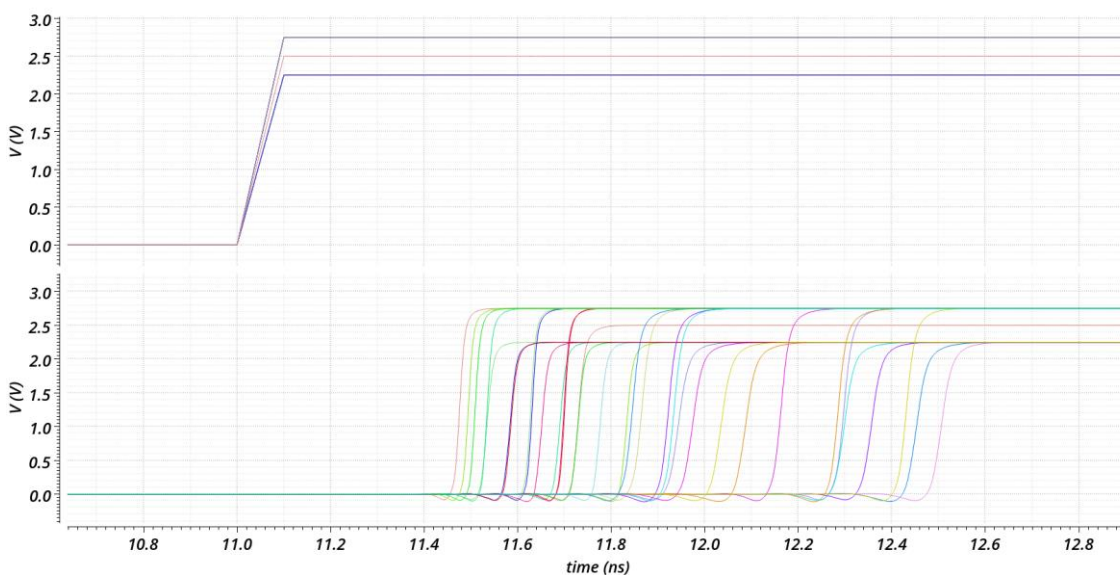


Obrázek 38: Navržený komparátor s kladnou zpětnou vazbou

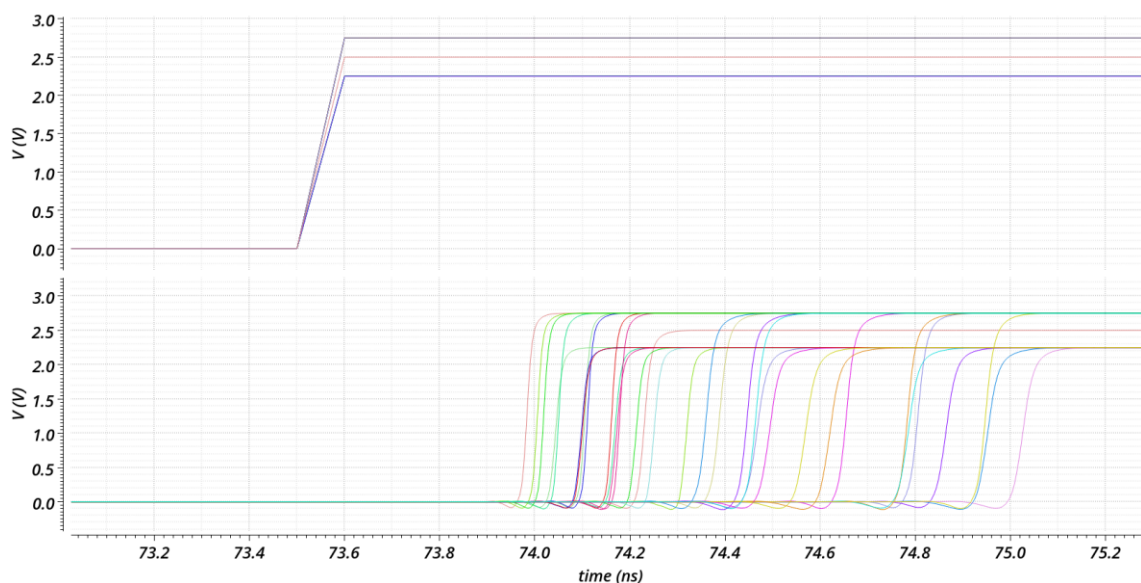
Tabulka 8: Rozměry tranzistorů navrženého komparátoru

Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]	Tranzistor	Rozměr [ $\mu\text{m}/\mu\text{m}$ ]
T0	5/0,28	T23	6/1,3
T1,T2	2·(3,2/0,6)	T25	6(6/1,3)
T3 – T6	0,8/0,56	T26,T27	2(18,4/0,9)
T7 – T12,T24	0,4/0,28	T13,T14,T19	0,42/0,28
T15,T16	0,72/0,28	T18	0,84/0,28
T17,T20	1,44/0,28		

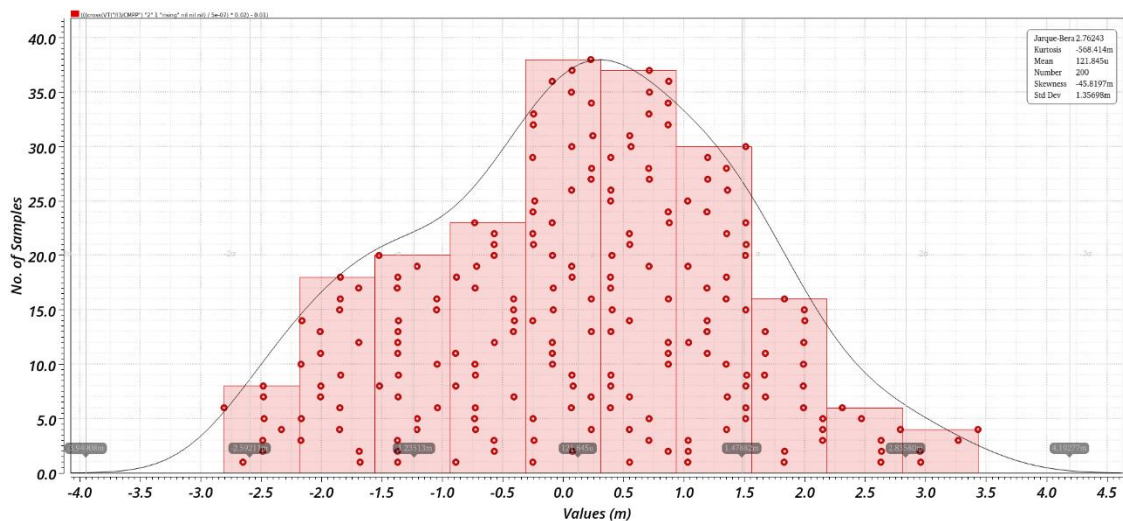
Časové simulace propagačních dob přes cornery jsou zobrazeny na obr. 39 pro výstup vyhodnocení DONE u kladného diferenčního napětí a na obr. 40 to samé pro záporné diferenční napětí, kde první průběh je signál CLK a druhý je signál vyhodnocení DONE. Obvod je ověřen při diferenčním napětí 10 mV, které by měl bezpečně zajistit předzesilovač i při diferenčním napětí na předzesilovači nižší než 0,5 LSB (1,17 mV). Při simulaci vstupní napěťové nesymetrie vstupní diferenční napětí lineárně roste a při tom dochází ke komparacím řízeným pomocí CLK, při prvním překlopení do úrovně H je pak možné vyčíslit vstupní napěťovou nesymetrii ze znalosti průběhu diferenčního napětí, histogram vstupní napěťové nesymetrie pro typický proces je zobrazena na obr. 41. Výsledky simulací jsou shrnuty v tabulce 9.



Obrázek 39: Časová simulace výstupu DONE při kladném diferenčním napětí



Obrázek 40: Časová simulace výstupu DONE při záporném diferenčním napětí



Obrázek 41: MC analýza vstupní napěťové nesymetrie komparátoru pro typ. proces

Tabulka 9: Výsledky navrženého komparátoru

Parametr	TYP	WC
Prodleva na výstup DONE [ns]	0,68	1,47
Systematický offset [ $\mu\text{V}$ ]	227	-380
Náhodný offset ( $5\sigma$ ) [mV]	6,78	7,38
Statická spotřeba proudu [ $\mu\text{A}$ ]	35	56

## 4.6 Návrh prepínačů

U prepínače je třeba zajistit, aby nedošlo ke zkratování mezi vstupy, k tomu byl vytvořen spínač s non-overlap obvodem vytvořeným z invertorů zobrazený na obr. 42 pro běžné prepínače a na obr. 43 pro prepínačem se vstupem SAMPLE. Schéma z Cadence je zobrazeno v příloze na obr. 60. Šířka všech tranzistorů je  $6\ \mu\text{m}$  a délka  $280\ \text{nm}$ . V případě prepínače pro SAMPLE jsou substráty tranzistorů umístěny na napájení, aby nedošlo k otevření parazitního PN přechodu. V případě ostatních spínačů jsou substráty NMOS tranzistorů připojeny na Vlow nebo na OUT ke zlepšení vodivosti i při nízkých napájecích napětích. Neoznačené připojení substrátu pak automaticky znamená jejich připojení na zem (pro NMOS) nebo na VDD (pro PMOS). Samotné řízení je zpožděno pomocí dvou invertorů navíc, aby nedocházelo k sepnutí při přecházení napěťového sledovače z fáze kompenzace svého offsetu.



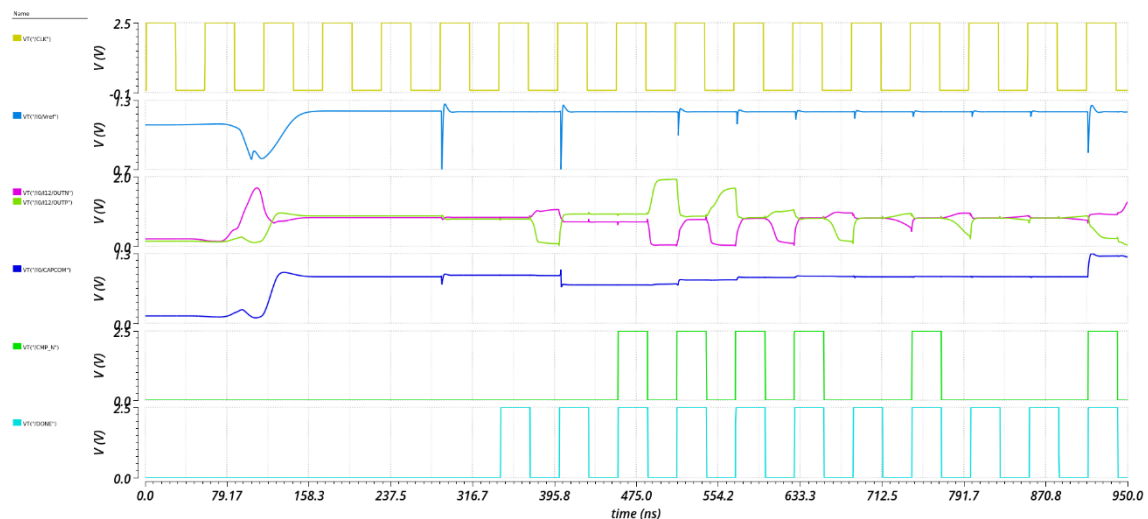


## 5. OVĚŘENÍ PARAMETRŮ AD PŘEVODNÍKU

V této kapitole jsou popsány provedené simulace na sestaveném AD převodníku. Nejprve simulace převodu vstupního analogového napětí na digitální kód a ověření statických parametrů převodníku. Dále pak ověření funkčnosti programovatelného zisku AD převodníku pro různé hodnoty parametru  $N_{ref}$ . Obvod BIST bude ověřen v simulaci PVTMC v prostředí SDE k získání DNL a INL přes PVT variace a přes mismatch, dále bude tento obvod ověřen i se šumem. Poslední částí bude ověření vlivu napájecího napětí na funkčnost tohoto převodníku při běžném převodu.

### 5.1 Simulace převodu a ověření statických parametrů

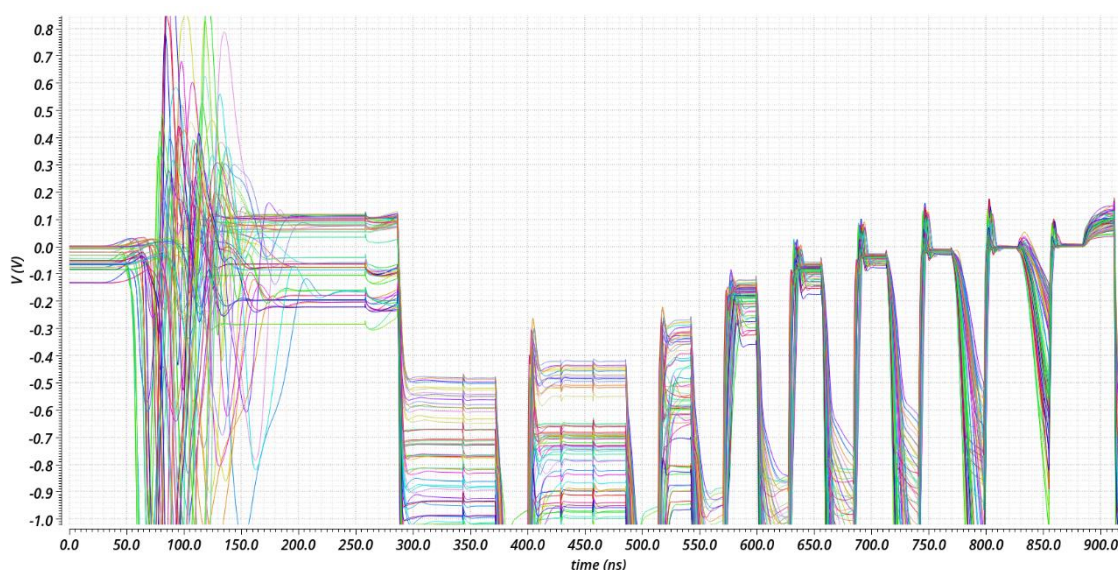
Časové průběhy napětí při převodu při typickém procesu jsou zobrazeny na obr. 45. Obvod byl ověřen při frekvenci hodinového signálu 17,6 MHz (odpovídající vzorkovací frekvenci 1,1 MHz). První je hodinový signál, kde je zobrazeno 16 period, druhým signálem je napětí na výstupu napěťového sledovače, který na výstupu udržuje napětí o velikosti bandgapového napětí. Na třetím průběhu jsou diferenční výstupy z operačního zesilovače. Další průběh je výstupní napětí na DAC – napětí na společné straně kapacit (CAPCOM). Následujícím signálem je invertující výstup z komparátoru a poslední signál je vyhodnocení komparace – výstup DONE.



Obrázek 45: Časový průběh napětí při převodu na AD převodníku (typ. proces)

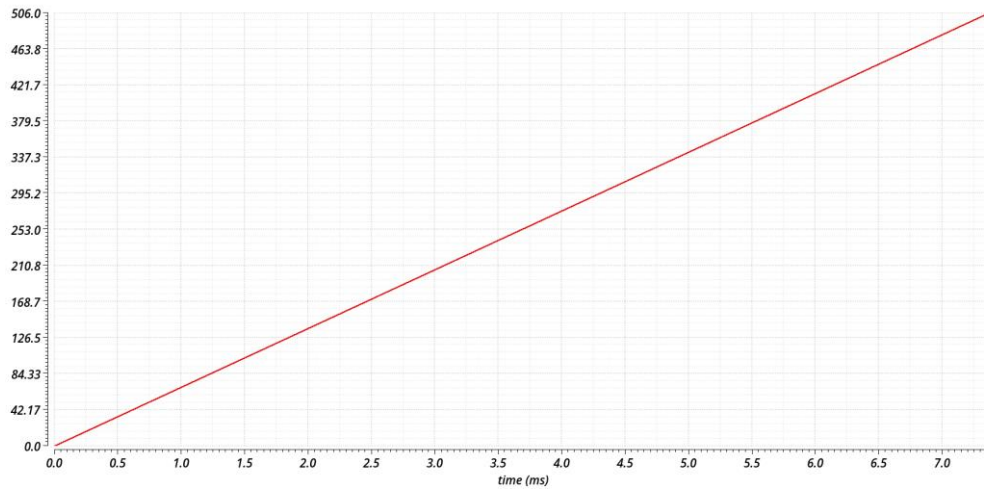


Velikost offsetu převodníku je ověřena při časovém průběhu na obr. 46 na všech cornerech při vstupním napětí ekvivalentní 1 LSB (2,372 mV) na vstupu ADC a je sledován rozdíl napětí mezi diferenční výstupy z předzesilovače. Simulací byla získána nejhorší hodnota 36 mV výstupního diferenčního napětí v čase 912 ns, což je dostatečně vysoká hodnota pro překonání vstupního offsetu komparátoru (7,38 mV na variaci  $5\sigma$ ) a chybu offsetu tak lze garantovat do 1 LSB. Chyba zisku převodníku je dána offsetem napěťového sledovače, jenž dosahuje 509  $\mu\text{V}$  na variaci  $6\sigma$ , se zanedbáním ostatních vlivů lze vypočíst chybu plného rozsahu právě z velikosti offsetu sledovače, jenž je v nejhorším případě 0,21 LSB.

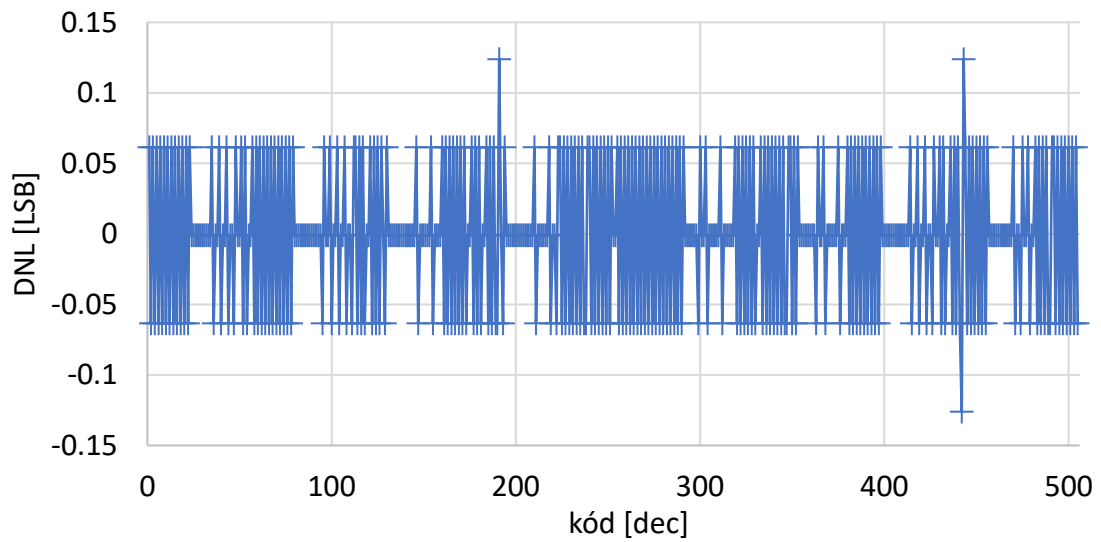


Obrázek 46: Časový průběh výstupního diferenčního napětí z předzesilovače

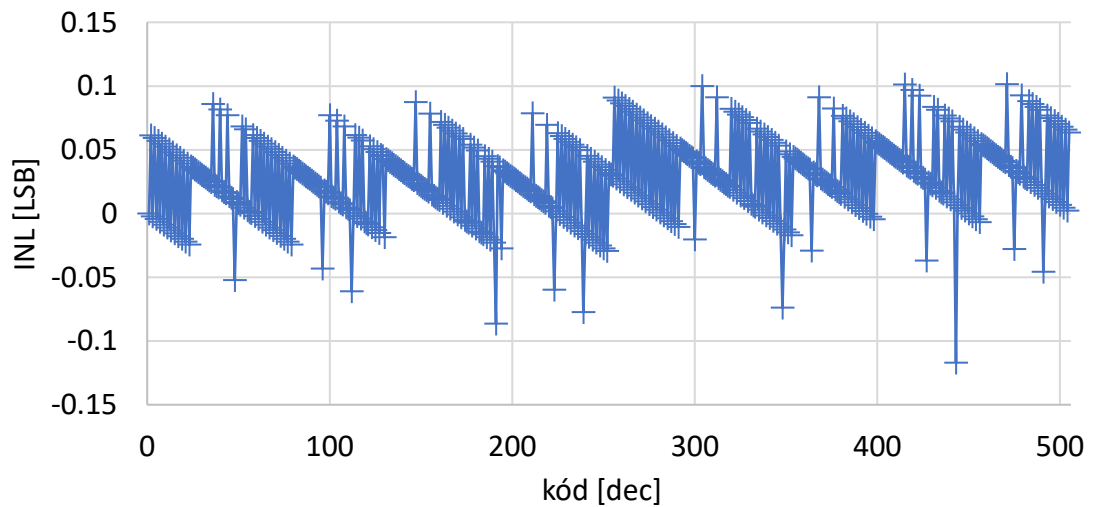
Nelinearita převodníku byla pro typický průběh bez mismatche ověřena při lineárním náběhu vstupního napětí od 0 V do 1,2 V rychlostí napětí přibližně 1 LSB za 16 převodních cyklů. Graf výstupního kódu z tohoto průběhu je zobrazen na obr. 47. Odsimulovaná závislost DNL na výstupním kódu je zobrazena na obr. 48 a závislost INL pak na obr. 49. V případě DNL bylo dosaženo maximální hodnoty 0,123 LSB a u INL pak 0,117 LSB.



Obrázek 47: Graf průběhu výstupního kódu pro ověření linearity

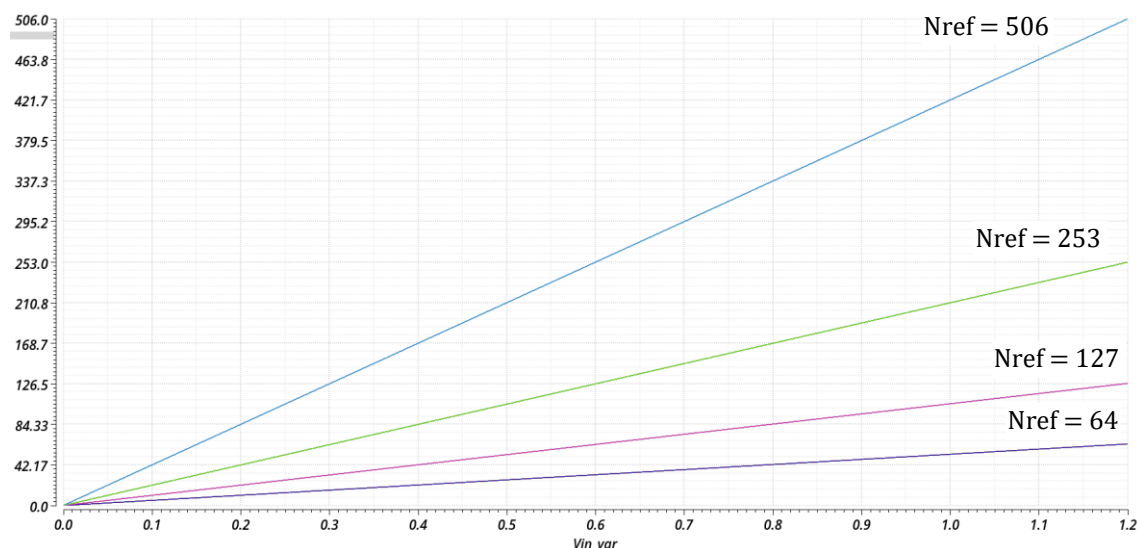


Obrázek 48: Závislost DNL na výstupním kódu (typ. proces)



Obrázek 49: Závislost INL na výstupním kódu (typ. proces)

Dále byla ověřena funkce programovatelného zisku převodníku. Vstupní napětí AD převodníku bylo nastaveno na 0 V a 1,2 V, parametr pro nastavení programovatelného zisku Nref pak v hodnotách 506, 253, 127, 64. Výsledná interpolovaná závislost výstupního kódu na vstupním napětí při různém Nref je zobrazena na obr. 50.



Obrázek 50: Závislost výstupního kódu na vstupním napětí při různém Nref

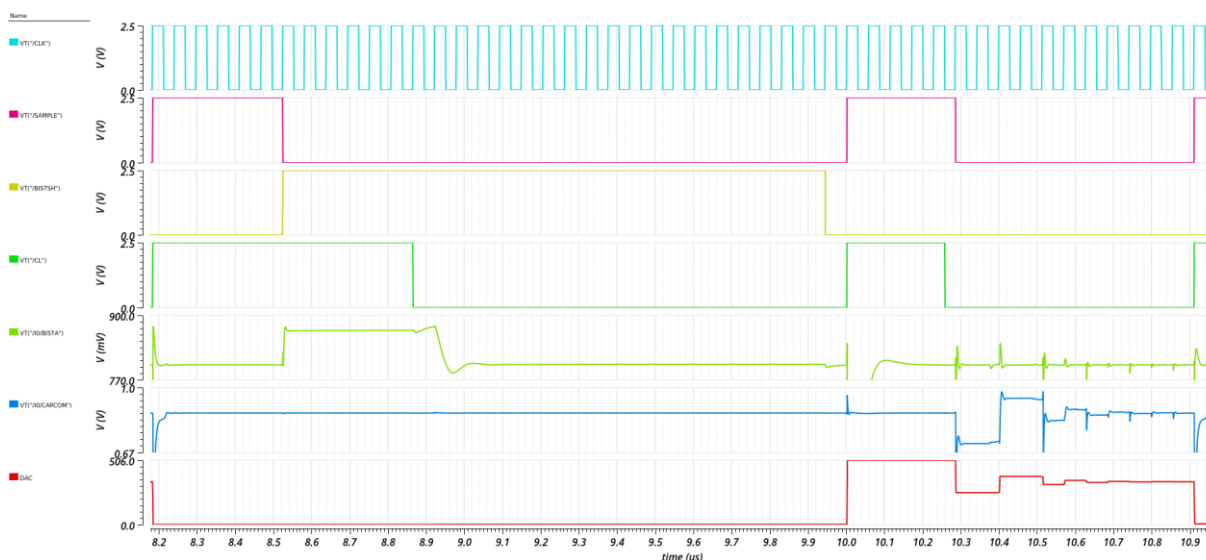
## 5.2 Simulace self-testu

Self-test je proveden při typickém napájecím napětí 2,5 V, ostatní PVT kombinace pak na běžné variaci  $5\sigma$  a frekvence CLK na 17,6 MHz. Pomocí self-testu bude ověřena linearita převodníku na daných cornerech a s vlivem mismatche a v další simulaci pak čistě se šumem na kritických cornerech. Časový průběh napětí při self-testu je zobrazen na obr. 51. První signál je hodinový signál CLK. Další je signál SAMPLE, který slouží pro kompenzaci napěťového sledovače. Třetím signálem je BISTSH, který slouží k aktivaci T/H obvodu. Následuje signál CL pro sepnutí spínače OZ a jeho zavazbení na sledovač. Pátý signál je BISTA – napětí ve zpětnovazební smyčce BIST kapacitního DAC. Následujícím signálem je uzel CAPCOM. Poslední signál DAC je řídicí hodnota DAC v dekadickém tvaru.

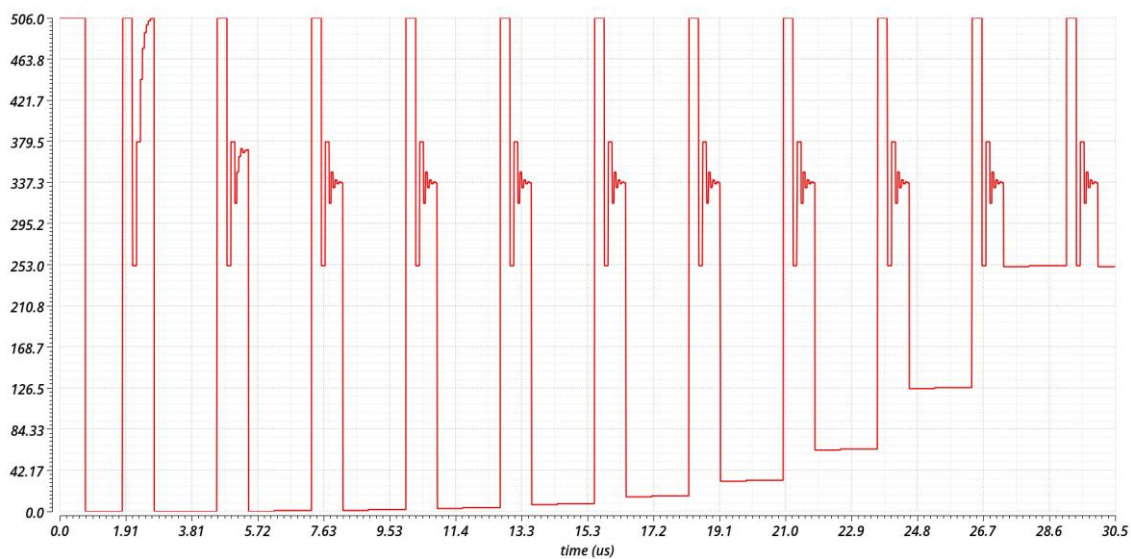
V čase asi 8,5  $\mu$ s dojde k dokončení kompenzace napěťového sledovače. Dále je spuštěn T/H obvod, operační zesilovač nabije uzel CAPCOM na hodnotu své reference – 870 mV. Na DAC je nastaven iniciační kód - 0. V čase asi 8,9  $\mu$ s se deaktivuje zpětná vazba OZ přes spínač a po uplynutí asi 0,5  $\mu$ s je na DAC nastaven tranzitní kód – 1. Na uzlu CAPCOM dojde ke změně napětí a operační zesilovač tuto změnu dorovná přes T/H obvod. Obvod T/H se deaktivuje a je změřeno uložené napětí. Napětí odpovídající rozdílu mezi takto změřenými kódy (při přechodu z 0 na 0 a při přechodu z 0 na 1) odpovídá 1

LSB. Tímto způsobem jsou otestovány všechny kritické přechody (přechody při kterém se přepíná na vyšší bit).

Časový průběh výstupního kódu pro celý self-test je zobrazen na obr. 52, při přechodu do 0 je výsledný kód 377, při přechodu do 1 pak 337, napětí potřebné ke kompenzaci 1 LSB tak odpovídá 40 LSB (95 mV), získané výstupní hodnoty kódu pro ostatní přechody jsou shodné, což znamená, že byla na těchto přechodech změřena DNL o velikostech 0 LSB, což je předpokládáné, vzhledem k tomu, že se při této simulaci neuplatňuje mismatch.



Obrázek 51: Časové průběhy napětí při self-testu



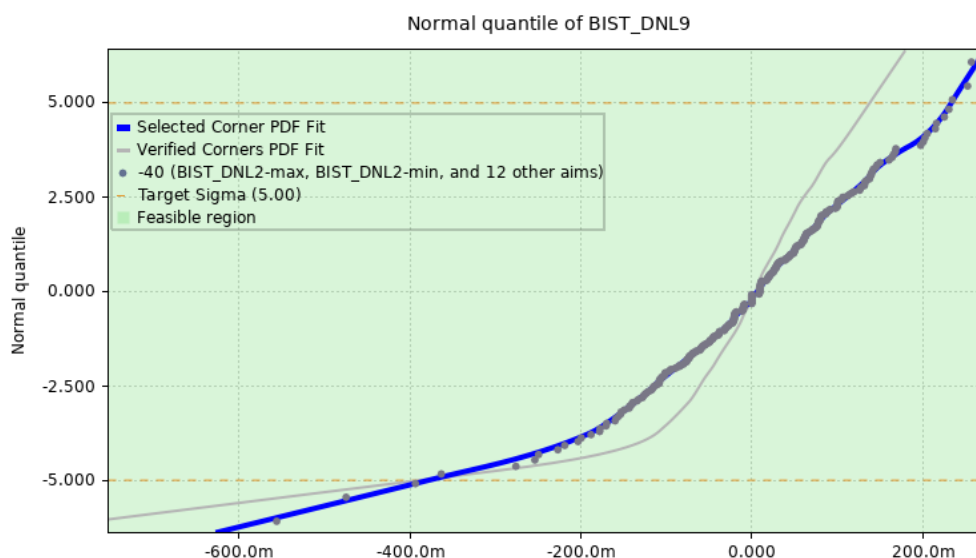
Obrázek 52: Časový průběh výstupního kódu při vyhodnocení self-testu

V tabulce 10 je porovnání výsledků linearity převodníku simulovaného pomocí standardního převodu (pomocí rampového signálu na vstupu) a pomocí BIST. Rozdílný výsledek může být způsoben nižší dobou na ustálení napětí na kapacitách při standardním převodu.

Tabulka 10: Výsledky simulace linearity převodníku při typ. procesu

Princip simulace	Standardní převod	BIST
$DNL_{MAX}$ [LSB]	0,124	0

Linearita byla dále ověřena přes procesní odchylky v simulaci PVTMC v prostředí SDE. Nejhorší případ nelinearity byl zjištěn u bitu MSB, výsledný kvantilový graf DNL tohoto bitu je zobrazen na obr. 53 a dosahuje hodnoty  $-0,39 \text{ LSB}$ . Výsledné velikosti DNL u ostatních bitů jsou shrnuty v tabulce 11.



Obrázek 53: Kvantilový graf DNL nejhoršího případu

Tabulka 11: Odsimulované velikosti DNL pomocí self-testu na variaci  $5\sigma$

Bit	2	3	4	5	6	7	8	9
$DNL_{MIN}$ [LSB]	0	-0,024	-0,034	-0,059	-0,062	-0,096	-0,22	-0,388
$DNL_{MAX}$ [LSB]	0	0,03	0,039	0,045	0,053	0,091	0,18	0,233

Funkčnost BIST byla analyzována také s aktivním šumem při simulaci. Při této simulaci byly zvoleny kritické cornery – nízké hodnoty kapacit, teplota  $-40\text{ }^{\circ}\text{C}$  a  $175\text{ }^{\circ}\text{C}$  a odsimulováno 50 běhů se šumem do 1 GHz. Výsledné odsimulované směrodatné odchylky DNL pro dva nejhorší bity jsou shrnuty v tabulce 12 a dosahují maximálně 87 mLSB. Šum by se tak v malé míře mohl projevit při činnosti BIST, avšak provedením tohoto self-testu s několika běhy by se získaná data zprůměrovala a vliv šumu potlačil.

Tabulka 12: Vliv šumu na činnost self-testu

Corner	Nízké C, teplota $-40\text{ }^{\circ}\text{C}$	Nízké C, teplota $175\text{ }^{\circ}\text{C}$
Směrodatná odchylka $\text{DNL}_9$ [LSB]	0,078	0,058
Směrodatná odchylka $\text{DNL}_3$ [LSB]	0,087	0,08

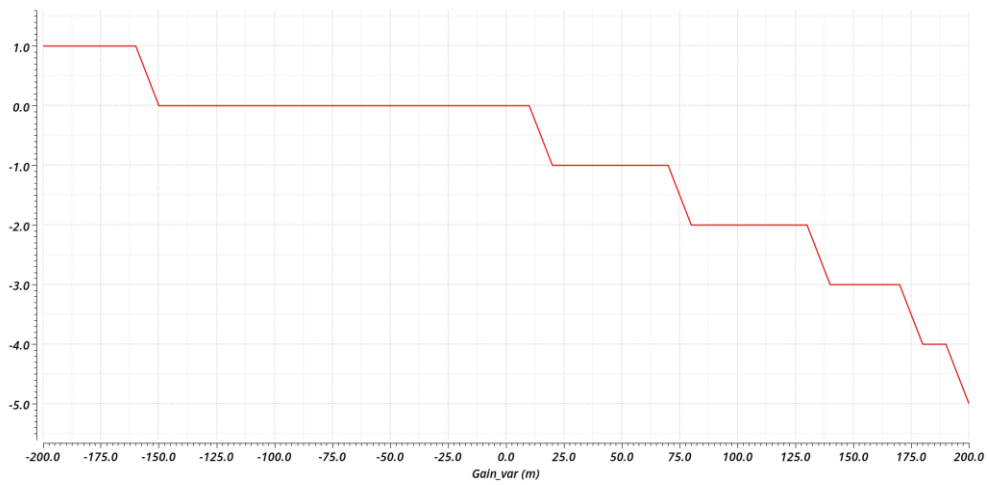
### 5.3 Analýza vlivu napájecího napětí na činnost převodníku

Vzhledem k nízké hodnotě PSRR operačního zesilovače hrozí, že vlivem modulací napájecího napětí dojde k narušení činnosti převodníku. Obvod byl otestován standardním převodem vstupního napětí 600 mV s napájecím napětím superponovaným s 0,1 hodnotou hodinového signálu CLK. Modulace v napájecím napětí mají vliv na činnost převodníku v akviziciční fázi, při které dochází k modulaci napětí v uzlu CAPCOM a dochází tak ke vzniku offsetu v převodníku. Časový průběh napětí na uzlu CAPCOM s modulovaným napájecím napětím je zobrazen na obr. 54, změřená závislost offsetu v LSB na části signálu CLK superponované na napájení pak na obr. 55, závislost offsetu vykazuje nelineární charakter. Při dalších simulacích bylo zjištěno, že horší potlačení napájecího napětí je způsobeno z největší části pronikáním napájecího napětí do interní napěťové reference.



Obrázek 54: Časový průběh napětí v uzlu CAPCOM s modulovaným napájecím napětím signálem 0,1 CLK





Obrázek 55: Závislost offsetu v převodníku v LSB na částí hodinového signálu CLK v napájecím napětí (typ. proces)

## ZÁVĚR

V teoretické části této práce byly teoreticky rozebrány základní vlastnosti AD převodníků a jejich chyby, dále pak byla vysvětlena teorie převodníku typu SAR a jeho realizace s kapacitním DAC. V dalších částech byly popsány možnosti realizace MOM kapacitorů v integrovaných obvodech a jejich layout pro DAC k redukci parazitních kapacit a k redukci mismatche, jež by se mohly negativně projevit na linearitě převodníku.

V následující části byl proveden návrh převodníku na blokové úrovni a byly specifikovány parametry potřebné k návrhu tohoto obvodu. Byla zvolena laterální struktura MOM kapacitoru složeného z vrstev kovu a prokovů, byl proveden layout a extrakce jeho parazit, kde pracovní kapacita jednoho LSB odpovídala 1,24 fF. Byl navrhnout layout kapacitního DAC využívající úplné prokládání k redukci mismatche mezi jednotlivými kapacitami a proveden jeho layout z těchto kapacit. Pomocí dalších analýz bylo zjištěno, že velikost pracovní kapacity není dostatečná pro dosažení dané linearity a byla zvýšena čtyřnásobně na hodnotu 4,95 fF. Potřebné obvody k realizaci tohoto převodníku byly navrženy na tranzistorové úrovni: zdroj referenčního proudu, napěťový sledovač, operační zesilovač, komparátor, přepínače a tyto obvody byly s pomocí simulací ověřeny. V převodníku byl realizován self-test obvod pro vlastní měření nelinearity. Zdroj proudu a napěťový sledovač byl ověřen pro napájecí napětí od 1,8 V, jenž mohou být použity u dalších obvodů i při výrazném snížení napájecího napětí. Pro potřeby simulace byl naprogramován model SAR v jazyce Verilog-A.

U sestaveného převodníku byly ověřeny jeho statické parametry. Linearita převodníku byla ověřena na procesních cornerech a s mismatchem pomocí self-testu při typickém napájecím napětí v simulaci PVTMC v prostředí SDE. Byla ověřena funkčnost self-testu se šumem s nízkými kapacitami a extrémními teplotami. Poslední analýzou byl zjištěn vliv modulací v napájecím napětí na offset převodníku. Tento vliv by se dal potlačit optimalizací návrhu napěťové reference, dále pak umístěním kapacity k napájecímu napětí u operačního zesilovače, případně oddělením napájení na analogovu a digitální část. Nutné je také zmínit, že během akviziční fáze není aktivní komparátor a nebude tak v této fázi docházet k proudovým špičkám v rámci tohoto převodníku. Všechny zadané parametry tak byly dosaženy a výsledky jsou shrnuty v následující tabulce 13.



Tabulka 13: Zadané a dosažené parametry AD převodníku

Parametr	Zadáno	TYP	WC
Rozlišení [bit]	9	9	9
Vzorkovací frekvence [MHz]	$\geq 1$	1,1	1,1
Vstupní rozsah [V]	0 – 1,2	0 – 1,2	0 – 1,2
Offset [LSB]	$\leq 1$	$\leq 1$	$\leq 1$
Chyba zisku [LSB]	$\leq 1$	0,14	0,21
DNL [LSB]	$\leq 1$	0,124	0,39
INL [LSB]	$\leq 2$	0,117	-
Průměrná spotřeba proudu [ $\mu$ A]	-	652	1000

## LITERATURA

- [1] PLASSCHE, R.. *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, 2nd ed.* Dordrecht : Kluwer Academic Publishers, 2003. ISBN 1-4020-7500-6.
- [2] MARTIN, K. a A.D. JOHNS. *Analog Integrated Circuit Design.* New York : Wiley & Sons Inc. 1997. ISBN 8126517786.
- [3] HUANG, C. -P., J. -M. LIN, Y. -T. SHYU a S. -J. CHANG. A Systematic Design Methodology of Asynchronous SAR ADCs, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* [Online]. 2016, 24(5), s. 1835-1848. [cit. 02.05.2023]. doi: 10.1109/TVLSI.2015.2494063. Dostupné z: <https://ieeexplore.ieee.org/document/7332786>.
- [4] CHEN, N. -C, P. -Y. CHOU, H. GRAEB a M. P. -H. LIN. High-density MOM capacitor array with novel mortise-tenon structure for low-power SAR ADC, *Design, Automation & Test in Europe Conference & Exhibition* [Online]. 2017, s. 1757-1762. [cit. 02.05.2023]. doi: 10.23919/DATE.2017.7927277. Dostupné z: <https://ieeexplore.ieee.org/document/7927277>.
- [5] KULKARNI, U. M., C. PARIKH a S. SEN. A Systematic Approach to Determining the Weights of the Capacitors in the DAC of a Non-binary Redundant SAR ADCs, *2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID)*. 2018, s. 1-6. [cit. 02.05.2023]. doi: 10.1109/VLSID.2018.28. Dostupné z: <https://ieeexplore.ieee.org/document/8326891>.
- [6] JANKE, D., A. MONK, E. SWINDLEHURST, K. LAYTON a S. -H. W. CHIANG. A 9-Bit 10-MHz 28-  $\mu$  W SAR ADC Using Tapered Bit Periods and a Partially Interdigitated DAC, *IEEE Transactions on Circuits and Systems II: Express Briefs*, [Online]. 2019, 66(2), s. 187-191. [Cit. 02.05.2023]. doi: 10.1109/TCSII.2018.2845883 Dostupné z: <https://ieeexplore.ieee.org/document/8378063>.
- [7] HARPE P., C. ZHOU, X. WANG, G. DOLMANS a H. de GROOT. A 30fJ/conversion-step 8b 0-to-10MS/s asynchronous SAR ADC in 90nm CMOS, *IEEE International Solid-State Circuits Conference - (ISSCC)* [Online]. 2010, s. 388-389. [cit. 02.05.2023]. doi: 10.1109/ISSCC.2010.5433967. Dostupné z: <https://ieeexplore.ieee.org/document/5433967>.
- [8] LIN, C. W., J. M. LIN, Y. C. CHIU, C. P. HUANG a S. J. CHANG. Mismatch-Aware Common-Centroid Placement for Arbitrary-Ratio Capacitor Arrays Considering Dummy Capacitors, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. 2012, 31(12), s. 1789-1802. [cit. 02.05.2023]. doi: 10.1109/TCAD.2012.2204993. Dostupné z: <https://ieeexplore.ieee.org/document/6349434/>.

[9] GREGORIAN, R. a G. TEMES. *Analog MOS Integrated Circuis for Signal Processing*. New York : John Wiley & Sons. 1986. ISBN 0471097977.

## SEZNAM SYMBOLŮ A ZKRATEK

Zkratky:

ADC	Analog to Digital Converter
BB	Bottom-Bottom
BIST	Built-In Self-Test
BS	Bottom-Substrate
CLK	Clock
CMP	Comparison
DAC	Digital to Analog Converter
DC	Direct Current
GBW	Gain-Bandwidth Product
MC	Monte Carlo
MLS	Multi-Layer Sandwich
MOM	Metal-Oxide-Metal
MOS	Metal-Oxide-Semiconductor
OTA	Operational Transconductance Amplifier
OZ	Operační Zesilovač
PSRR	Power Supply Rejection Ratio
S/H	Sample and Hold
SAMP	Sample
SAR	Successive Approximation Register
T/H	Track and Hold
TB	Top-Bottom
TS	Top-Substrate

Symboly:

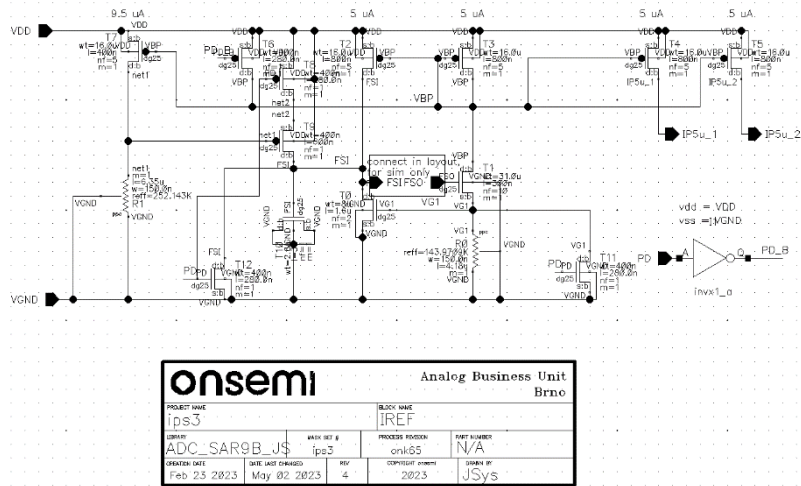
C	Kapacita	(F)
DNL	Differential Nonlinearity	(V)
$f$	Frekvence	(Hz)
INL	Integral Nonlinearity	(V)
LSB	Least Significant Bit	(V)
MSB	Most Significant Bit	(V)
N	Počet	(1)
V	Napětí	(V)

## **SEZNAM PŘÍLOH**

<b>PŘÍLOHA A - SCHÉMATA NAVRŽENÝCH OBVODŮ.....</b>	<b>62</b>
<b>PŘÍLOHA B - NÁVRH DAC.....</b>	<b>65</b>

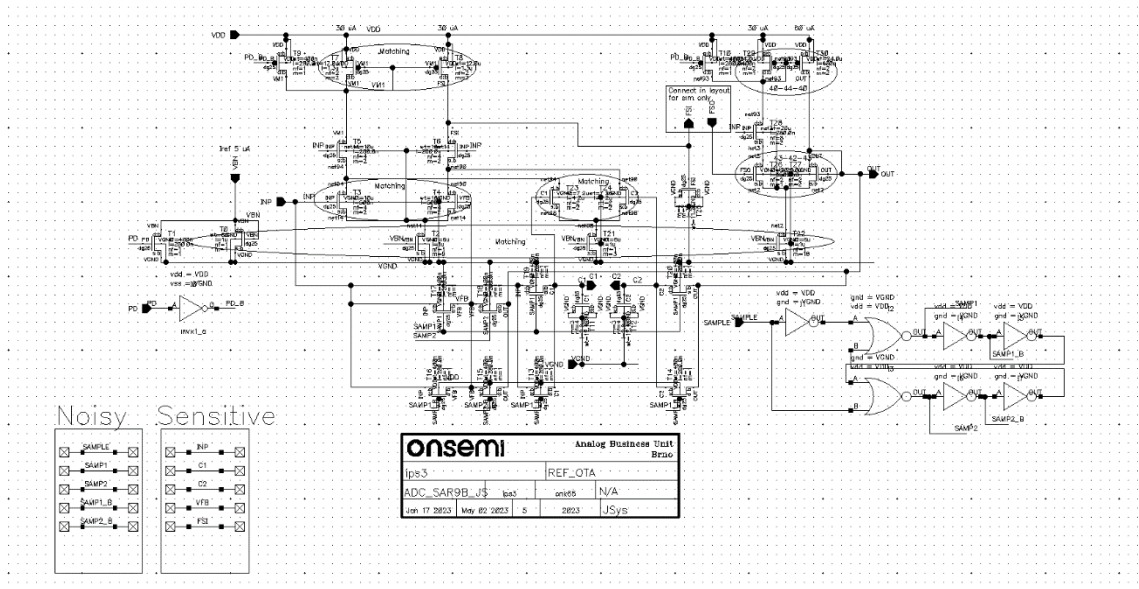
# Příloha A - Schémata navržených obvodů

## A.1 Schéma zdroje referenčního proudu



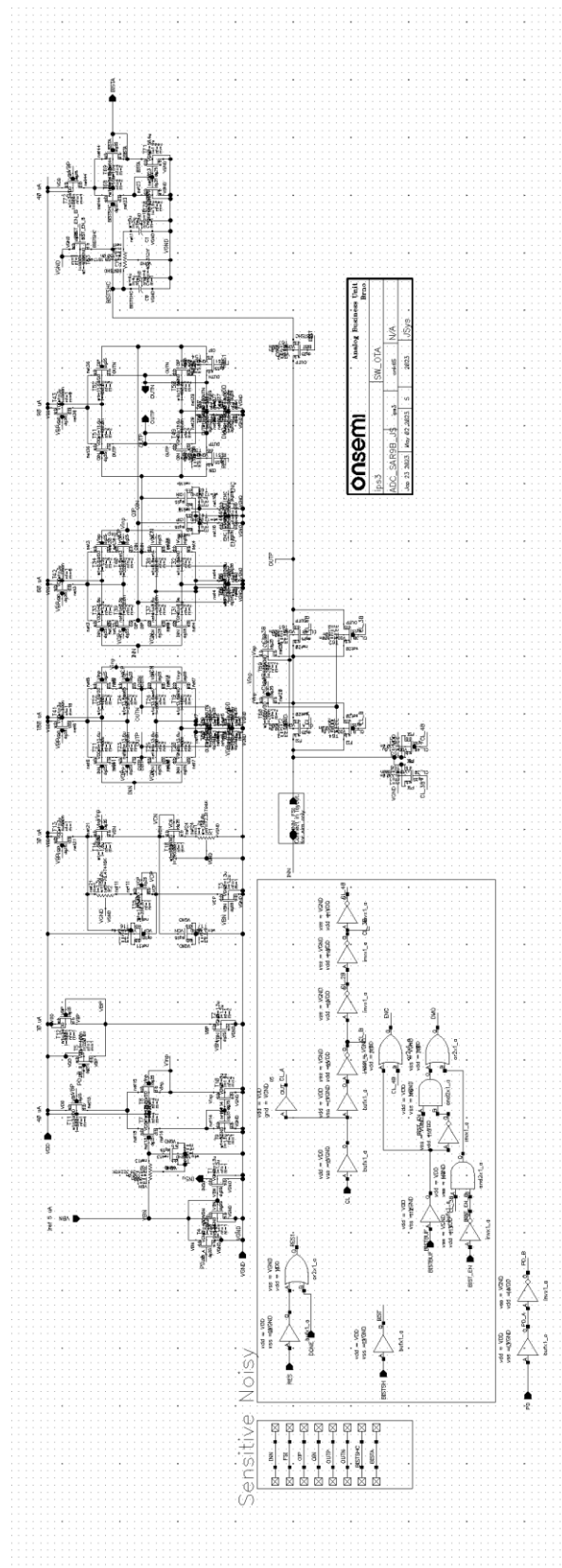
Obrázek 56: Schéma zdroje referenčního proudu

## A.2 Schéma napěťového sledovače



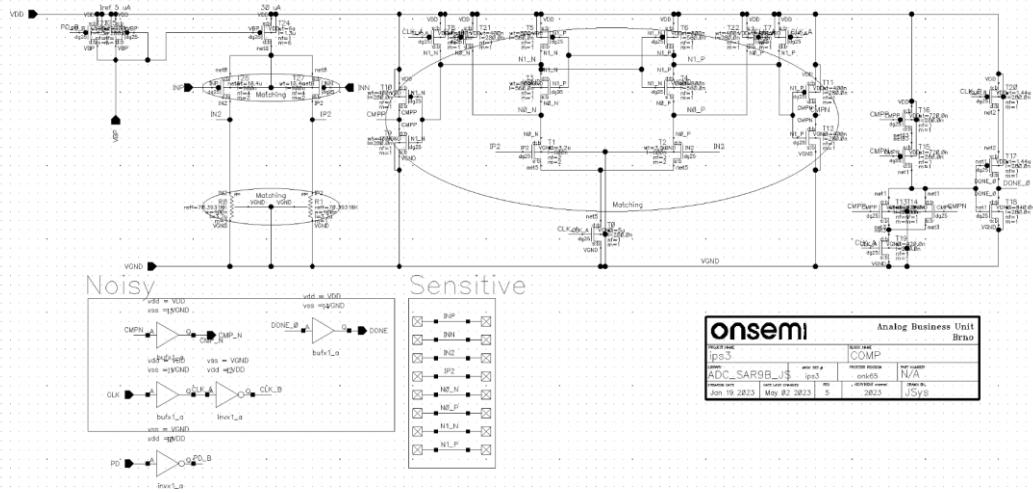
Obrázek 57: Schéma napěťového sledovače

## A.3 Schéma operačního zesilovače



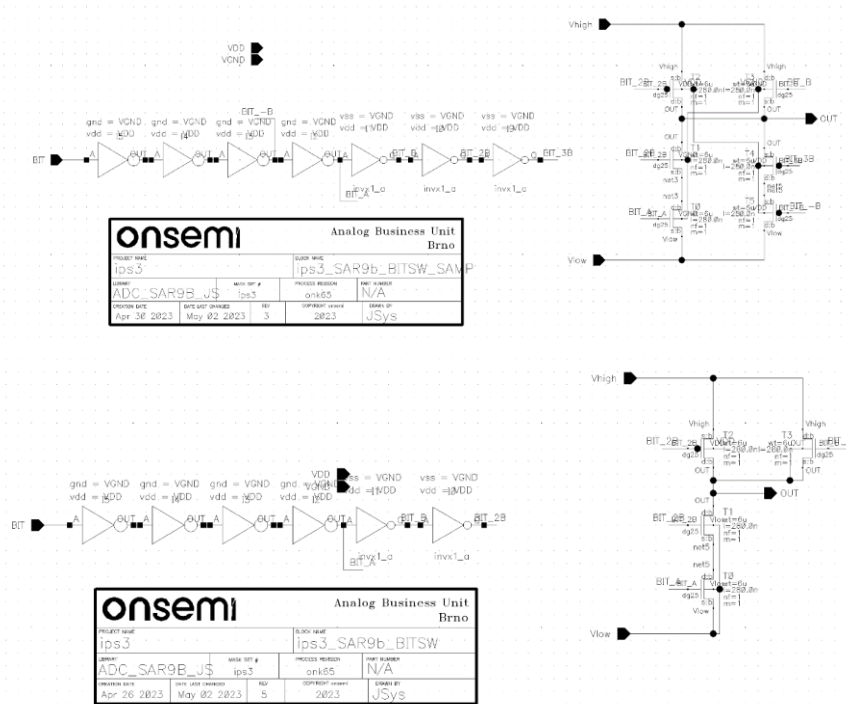
Obrázek 58: Schéma operačního zesilovače

## A.4 Schéma komparátoru



Obrázek 59: Schéma komparátoru

## A.5 Schéma přepínače



Obrázek 60: Schémata přepínačů – pro SAMPLE (nahore), pro ostatní (dole)



# Příloha B - Návrh DAC

## B.1 Tabulka s navrženým layoutem

Tabulka 14: Navržený layout kapacitního DAC

Bit/Pás	S	3	3	2	1	1A	2A	3	3	S
0	S	D	D	D	D	D	D	D	D	S
1	S	D	D	D	D	D	D	D	D	S
2	S	D	D	D	D	D	D	D	D	S
3	S	B	B	D	D	D	D	B	B	S
4	S	B	B	7	7	7	7	B	B	S
5	S	9	9	9	8	8	9	9	9	S
6	S	8	8	8	5	7	D	8	8	S
7	S	9	9	9	9	9	9	9	9	S
8	S	7	7	7	6	6	7	7	7	S
9	S	9	9	9	9	9	9	9	9	S
10	S	8	8	8	8	8	8	8	8	S
11	S	9	9	9	9	9	9	9	9	S
12	S	7	7	6	5	5	6	7	7	S
13	S	9	9	9	9	9	9	9	9	S
14	S	8	8	8	8	8	8	8	8	S
15	S	9	9	9	9	9	9	9	9	S
16	S	7	7	7	5	7	7	7	7	S
17	S	9	9	9	9	9	9	9	9	S
18	S	8	8	8	8	8	8	8	8	S
19	S	9	9	9	9	9	9	9	9	S
20	S	6	6	3	4	4	3	6	6	S
21	S	9	9	9	9	9	9	9	9	S
22	S	8	8	8	8	8	8	8	8	S
23	S	9	9	9	9	9	9	9	9	S
24	S	7	7	7	7	7	7	7	7	S
25	S	9	9	9	9	9	9	9	9	S
26	S	8	8	8	8	8	8	8	8	S
27	S	9	9	9	9	9	9	9	9	S
28	S	6	6	6	5	5	6	6	6	S
29	S	9	9	9	9	9	9	9	9	S
30	S	8	8	8	8	8	8	8	8	S
31	S	9	9	9	9	9	9	9	9	S
32	S	7	7	7	6	6	7	7	7	S
33	S	9	9	9	9	9	9	9	9	S
34	S	8	8	8	8	8	8	8	8	S

35	S	9	9	9	9	9	9	9	9	S
36	S	5	4	2	1	D	2	4	5	S
37	S	9	9	9	9	9	9	9	9	S
38	S	8	8	8	8	8	8	8	8	S
39	S	9	9	9	9	9	9	9	9	S
40	S	7	7	7	6	6	7	7	7	S
41	S	9	9	9	9	9	9	9	9	S
42	S	8	8	8	8	8	8	8	8	S
43	S	9	9	9	9	9	9	9	9	S
44	S	6	6	6	5	5	6	6	6	S
45	S	9	9	9	9	9	9	9	9	S
46	S	8	8	8	8	8	8	8	8	S
47	S	9	9	9	9	9	9	9	9	S
48	S	7	7	7	5	7	7	7	7	S
49	S	9	9	9	9	9	9	9	9	S
50	S	8	8	8	8	8	8	8	8	S
51	S	9	9	9	9	9	9	9	9	S
52	S	5	4	3	4	4	3	4	5	S
53	S	9	9	9	9	9	9	9	9	S
54	S	8	8	8	8	8	8	8	8	S
55	S	9	9	9	9	9	9	9	9	S
56	S	7	7	7	5	7	7	7	7	S
57	S	9	9	9	9	9	9	9	9	S
58	S	8	8	8	8	8	8	8	8	S
59	S	9	9	9	9	9	9	9	9	S
60	S	6	6	6	5	5	6	6	6	S
61	S	9	9	9	9	9	9	9	9	S
62	S	8	8	8	8	8	8	8	8	S
63	S	9	9	9	9	9	9	9	9	S
65	S	7	7	7	6	6	7	7	7	S
66	S	9	9	9	9	9	9	9	9	S
67	S	8	8	8	7	7	8	8	8	S
68	S	9	9	9	8	8	9	9	9	S
69	S	B	B	D	D	D	D	B	B	S
70	S	B	B	D	D	D	D	B	B	S
71	S	D	D	D	D	D	D	D	D	S
72	S	D	D	D	D	D	D	D	D	S