



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIOENGINEERING

FREKVENČNÍ SYNTEZÁTOR PRO MIKROVLNNÉ KOMUNIKAČNÍ SYSTÉMY

FREQUENCY SYNTHESIZER FOR MICROWAVE COMMUNICATION SYSTEMS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Filip Klapil

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Ing. Miroslav Kasal, CSc.

BRNO 2020



Diplomová práce

magisterský navazující studijní obor **Elektronika a sdělovací technika**

Ústav radioelektroniky

Student: Bc. Filip Klapil

ID: 177545

Ročník: 2

Akademický rok: 2019/20

NÁZEV TÉMATU:

Frekvenční syntezátor pro mikrovlnné komunikační systémy

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s kmitočtovými syntezátory s fázovým závěsem pro mikrovlnné kmitočty na bázi čipů Analog Devices a Maxim. Seznamte se rovněž s kritickými parametry syntezátorů jako jsou frekvenční stabilita, minimální krok, fázový šum. K vybranému čipu navrhnete řídicí procesor včetně firmware a připojení k PC sběrnici USB. Provedte nutné obvodové simulace a navrhnete DPS.

Syntezátor realizujte a proměřte jeho parametry.

DOPORUČENÁ LITERATURA:

[1] Kroupa, Venceslav F. Frequency Synthesis: Theory, Design & Applications, Griffin, ISBN 0-470-50855-8

[2] Ulrich L. Rohde " Microwave and Wireless Synthesizers: Theory and Design ", John Wiley & Sons, August 1997, ISBN 0-471-52019-5

[3] Analog Devices: <https://www.analog.com/en/index.html#>

Termín zadání: 3.2.2020

Termín odevzdání: 28.5.2020

Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

prof. Ing. Tomáš Kratochvíl, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Cílem diplomové práce je návrh řešení frekvenčního syntezátoru pro mikrovlnné komunikační systémy. Konkrétně se práce zabývá návrhem kmitočtového syntezátoru se smyčkou fázového závěsu. Na začátku práce je vysvětlen princip a uvedeny základní vlastnosti této metody generování signálu. Následuje krátké pojednání o parametrech syntezátorů a co je při návrhu může ovlivňovat. Další částí práce je rozbor obvodu kmitočtového syntezátoru se smyčkou fázového závěsu MAX2871, na který je navázán návrh realizace zapojení modulu kmitočtového syntezátoru. Poslední část práce je věnována praktické realizaci, ověření funkce, měření dosažených parametrů a jejich zhodnocení.

KLÍČOVÁ SLOVA

PLL, PLO, kmitočtový syntezátor, frekvenční syntezátor, fázový závěs, celočíselný, neceločíselný, mikrovlny, frekvenční generátor, VCO, PFD, fázový šum, násobič kmitočtu, zdvojovač kmitočtu, dělič kmitočtu, filtr smyčky, MAX2871, XX1002.

ABSTRACT

The main aim of the thesis is to develop a solution of a frequency synthesizer for a microwave communication systems. Specifically, it suggests a design for frequency synthesizer with phase-locked loop. At beginning of the thesis the principle and basic properties of this method of signal generation are explained. Then it is followed by a brief discussion of the parameters of synthesizers and their influence on design. Another part of the work is the analysis of circuit the frequency synthesizer with the phase-locked loop MAX2871, which is followed by a proposal for the design of the frequency synthesizer module hardware. The last part of the work deals with practical implementation, verification of function and measurement of achieved parameters and their evaluation.

KEYWORDS

PLL, PLO, frequency synthesizer, phase-locked loop, integer, fractional, microwave, frequency generator, VCO, PFD, phase noise, frequency multiplier, frequency doubler, frequency divider, loop filter, MAX2871, XX1002.

Klapil, F. *Frekvenční syntezátor pro mikrovlnné komunikační systémy*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2020. 53 s., 6 s. příloh. Diplomová práce. Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

PROHLÁŠENÍ

Prohlašuji, že svoji diplomovou práci na téma „Frekvenční syntezátor pro mikrovlnné komunikační systémy“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Tímto bych chtěl poděkovat mému vedoucímu práce prof. Ing. Miroslavu Kasalovi, CSc. za účinnou metodickou, pedagogickou i odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

OBSAH

Seznam symbolů, veličin a zkratk	IX
Úvod	1
1 Frekvenční syntezátory s fázovým závěsem	2
1.1 Fázový závěs.....	2
1.1.1 Fázově frekvenční detektor	2
1.1.2 Filtr smyčky	3
1.1.3 Napětím řízený oscilátor	4
1.2 Čítač jako dělička ve zpětné vazbě PLL	4
1.2.1 Syntezátory s celočíselným dělicím poměrem	4
1.2.2 Syntezátory s neceločíselným dělicím poměrem	6
2 Parametry syntezátorů	7
2.1 Kmitočtový krok	7
2.2 Spektrální šumové vlastnosti	7
2.3 Kmitočtový rozsah	9
2.4 Stabilita kmitočtu	9
3 Výběr syntezátoru	10
3.1 Obvod syntezátoru MAX2871	10
3.1.1 Referenční vstup.....	11
3.1.2 Fázový detektor a nábojová pumpa.....	11
3.1.2.1 Redukce skluzu (Cycle Slip reduction).....	12
3.1.2.2 Režim zrychleného zavěšení (Fast-Lock)	12
3.1.3 Napětím řízený oscilátor	12
3.1.3.1 Automatický režim výběru vhodného VCO	13
3.1.3.2 Manuální výběr VCO.....	13
3.1.4 Celočíselný/neceločíselný režim	13
3.1.5 Výstup syntezátoru	15
3.1.6 Režim nízké spotřeby	15
3.1.7 Režim potlačující tvorbu diskrétních nežádoucích kmitočtů	16
3.1.8 Vnitřní AD převodník	16
3.1.9 Nastavení fáze	16
3.1.10 Komunikace se syntezátorem.....	16
3.1.11 Vlastností syntezátoru	18
4 Návrh realizace syntezátoru	19
4.1 Napájecí část	20
4.2 Přepínání referenčního signálu.....	23
4.3 Obvod frekvenčního syntezátoru	24
4.4 Výstupní obvody	25
4.5 Řídicí část s MCU	27

4.6	Návrh realizace syntezátoru	28
5	Realizace	29
5.1	Realizace modulu syntezátoru	29
5.2	Firmware pro MCU.....	29
5.2.1	Hlavní program	30
5.2.2	Autonomní režim řízení syntezátoru.....	30
5.2.2.1	Datová paměť v oblasti paměti programu.....	30
5.2.2.2	Změna pozice zkratovací propojky	32
5.2.2.3	Použití časovače.....	32
5.2.3	USB komunikace (VCP).....	32
5.2.3.1	Odesílání příkazů přes sériové rozhraní.....	33
5.2.3.2	Příjem dat ze sériového rozhraní.....	33
5.2.3.3	Zpracování přijatých příkazů	33
5.2.4	Ovladač frekvenčního syntezátoru MAX2871.....	35
5.2.4.1	Zápis dat do syntezátoru	36
5.2.4.2	Čtení dat z registru	36
5.2.5	Indikace zavěšení smyčky fázového závěsu PLO.....	36
5.3	Software pro PC	37
5.3.1	Výpočet registrů ze zadané frekvence.....	38
5.3.2	Informace o aktuálním nastavení modulu syntezátoru.....	39
5.3.3	Informační textová konzole.....	40
5.3.4	Pracovní registry	40
5.3.5	Ovládání jednotlivých funkcí syntezátoru	40
5.3.5.1	Referenční kmitočet	40
5.3.5.2	Výstupní kmitočet	41
5.3.5.3	Fázový detektor.....	41
5.3.5.4	Vypínání částí syntezátoru MAX2871.....	41
5.3.5.5	VCO	41
5.3.5.6	Nábojová pumpa	42
5.3.5.7	Výstupní kmitočet syntezátoru.....	42
5.3.5.8	Ovládání výstupů	42
5.3.5.9	Ostatní ovládací prvky	42
5.3.5.10	Registr 6.....	42
5.3.6	Práce s pamětí	43
6	Ověření činnosti – měření	45
6.1	Úroveň výstupního výkonu	45
6.2	Spektrální vlastnosti.....	46
6.2.1	Fázový šum	46
6.2.2	Úroveň vyšších harmonických.....	51
6.3	Napájení zařízení.....	51
7	Závěr	52
	Literatura	54

Seznam obrázků	57
Seznam tabulek	58
A Návrh zařízení	59
A.1 Obvodové zapojení frekvenčního syntezátoru	59
A.2 DPS frekvenčního syntezátoru – top (strana součástek).....	60
A.3 Frekvenční syntezátor – osazovací předpis – top.....	60
A.4 DPS frekvenčního syntezátoru – bottom (strana spojů).....	61
A.5 Frekvenční syntezátor – osazovací předpis – bottom	61
B Seznam součástek	62
C Naměřené průběhy	64
D Zdrojový kód	64

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

<i>P</i>	Výkon
<i>G, K</i>	Zisk
<i>IP3</i>	Third-order intercept point, bod zahrazení, oblast vzniku produktů 3. řádu
<i>NF</i>	Noise Figure, šumové číslo
<i>f</i>	Frekvence
<i>R</i>	Elektrický odpor
<i>Q</i>	Jakost cívky
<i>C</i>	Elektrická kapacita
<i>L</i>	Indukčnost
VCO	Voltage Control Oscillator, napětím řízený oscilátor
PLL	Phase-Locked Loop, smyčka fázového závěsu
DPLL	Digital Phase-Locked Loop, digitální smyčka fázového závěsu
ADPLL	All Digital Phase-Locked Loop, plně digitální smyčka fázového závěsu
SPLL	Signal-processed Phase-Locked Loop, smyčka fázového závěsu realizovaná technikou DSP
DSP	Digital signal processing, digitální zpracování signálu
PFD	Phase Frequency Detector, fázově frekvenční detektor
CP	Charge Pump, nábojová pumpa
KO	Klopný Obvod
RBW	Resolution BandWidth, rozlišení spektrálního analyzátoru, šířka pásma IF filtru
IF	Intermediate Frequency, mezifrekvence
DPS	Deska Plošného Spoje
LDO	Low Drop-Out (regulator), stabilizátor s nízkým úbytkem napětí mezi vstupem a výstupem
XO	Crystal Oscillator, krystalem řízený oscilátor
TCXO	Thermally-Compensated Crystal Oscillator, teplotně kompenzovaný krystalový oscilátor
OCXO	Oven-Controlled Crystal Oscillator, termostatovaný krystalový oscilátor
GPSDO	GPS Disciplined Oscillator, Oscilátor zavěšený PLL na signál GPS

GPS	Global Positioning System, globální polohový systém
PSRR	Power Supply Rejection Ratio, potlačení zvlnění napájecího napětí
ESD	ElectroStatic Discharge, elektrostatický výboj
BW	BandWidth, šířka pásma
AD	Analog to Digital, analogově digitální
ADC	Analog to Digital Converter, analogově digitální převodník
AD	Analog Devices, společnost zabývající se vývojem a výrobou elektrotechnických součástek
TI	Texas Instrument, společnost zabývající se vývojem a výrobou elektrotechnických součástek
CE	Chip Enable, aktivování součástky
CLK	CLock, obvykle zdroj hodinového taktovacího signálu
MSB	Most Significant Bit, nejvýznamnější bit
LSB	Least Significant Bit, nejméně významný bit
SPI	Serial Peripheral Interface, sériové periferní rozhraní
LE	Load Enable, povolení nahrání například dat z posuvného registru do paměti
RF	Radio Frequency, VF, vysokofrekvenční
VF	VysokoFrekvenční
ARM	Advanced RISC Machine, označení procesorů, architektura procesorů
GPIO	General-Purpose Input Output, univerzální vstupně/výstupní pin
RISC	Reduced Instruction Set Computer, redukováná instrukční sada
DMA	Reduced Instruction Set Computer, přímý přístup do paměti
FW	FirmWare, software pro řízení vestavěného systému (např. v mikrokontroléru)
HW	HardWare
MCU	MicroController Unit, mikrokontroler
MOSI	Master-Out Slave-In, data jsou přenášena od řídicího zařízení k řízenému
MISO	Master-In Slave-Out, data jsou přenášena od řízeného zařízení k řídicímu
GUI	Graphical User Interface, grafické uživatelské rozhraní
RMS	Root Mean Square, efektivní hodnota
I ² C	Inter-Integrated Circuit, interní sériová datová sběrnice
USART	Universal Synchronous / Asynchronous Receiver and Transmitter, univerzální sériové synchronní / asynchronní sériové rozhraní
CAN	Controller Area Network, datová sběrnice

USB	Universal Serial Bus, universální sériová sběrnice
CEC	Consumer Electronics Control, kontrolní sběrnice u rozhraní HDMI
VCP	Virtual Com Port, virtuální sériový port
CDC	Communication Device Class, třída rozhraní USB
HAL	Hardware Abstraction Layer, hardwarová abstraktní vrstva
PC	Personal Computer, osobní počítač
LF	Line Feed, posun o řádek, speciální netisknutelný řídicí znak
CR	Carriage Return, návrat vozíku, speciální netisknutelný řídicí znak

ÚVOD

Kmitočtové syntezátory se používají pro generování harmonických průběhů s diskrétními kmitočty odvozených z jednoho (koherentní) či více zdrojů (nekoherentní). Podle způsobu odvození se pak rozlišují syntezátory s přímou a nepřímou syntézou. [1] Tato práce se zabývá návrhem nepřímého kmitočtového syntezátoru s fázovým závěsem pro mikrovlnné kmitočty. Od navrhovaného modulu syntezátoru bude předpokládán dostatečný kmitočtový krok (alespoň 10 Hz), frekvenční stabilita a v neposlední řadě univerzálnost modulu.

Kmitočtové syntezátory s fázovým závěsem (PLL) mohou být sestaveny z obvodových součástek realizujících jednotlivé funkční bloky nebo jsou dostupné v podobě integrovaných obvodů. Integrace funkčních bloků PLL syntezátoru do miniaturních velikostí pozitivně ovlivňuje výsledné parametry. Výrobci nabízejí velký výběr PLL syntezátorů v různých variantách integrace pokrývající široké spektrum kmitočtů výstupního signálu až do řádů nízkých desítek GHz. Takto mohou integrovat frekvenční čítače (programovatelné / pevné), realizující funkci děliček kmitočtů, násobičky kmitočtu na výstupu VCO či fázový detektor včetně nábojové pumpy. Mohou taktéž obsahovat napětím řízený oscilátor, který bývá často složen z mnoha dalších sub-VCO. Ten pak ve výsledku pokrývá spolehlivě avizované široké spektrum výstupních frekvencí bez nutnosti použití děličky nebo násobičky kmitočtu na výstupu. Je velmi obvyklé, že takové VCO má též možnost nastavení výstupní úrovně výkonu.

Samotná práce je rozdělena do 7 na sebe navazujících částí. V první kapitole je vysvětlen princip funkce PLL syntezátoru a jsou obecně rozebrány jednotlivé funkční celky. Druhá kapitola se zabývá objasněním základních parametrů při porovnávání syntezátorů. Taktéž je zde nastíněno, co vše daný parametr ovlivňuje. Následuje kapitola, ve které je frekvenční syntezátor vybrán a poté jsou podrobněji rozebrány vlastnosti a způsob ovládání vybraného obvodu MAX2871. Čtvrtá kapitola obsahuje pojednání o návrhu realizace včetně návrhu desky plošného spoje. V páté kapitole je věnován prostor praktické realizaci modulu kmitočtového syntezátoru, včetně popisu programu pro řídicí mikrokontroler a taktéž řídicímu programu pro osobní počítač. Předposlední část je zaměřená na měření základních parametrů navrženého modulu. Poslední částí práce je závěr, ve kterém jsou zhodnoceny dosažené výsledky, případně nedostatky a návrhy na jejich odstranění.

1 FREKVENČNÍ SYNTEZÁTORY S FÁZOVÝM ZÁVĚSEM

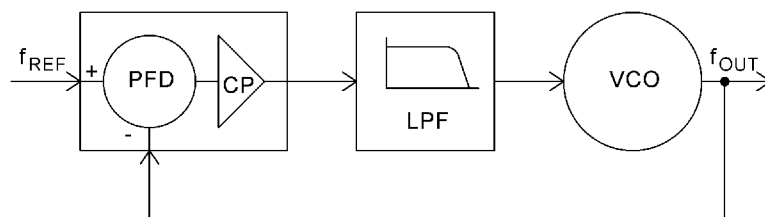
Výstupní signál takového oscilátoru je koherentně odvozen od jednoho zdroje referenčního signálu. Používají se pro generování signálu na vyšších frekvencích až do nízkých desítek GHz. Principem je fázově synchronizovat signál napětím řízeného oscilátoru (VCO) na výstupu systému se signálem z referenčního oscilátoru. Frekvenční syntezátor se skládá z následujících základních bloků – Fázového závěsu (Phase-Locked Loop) a děliček kmitočtu ve zpětné vazbě, případně na vstupu referenčního zdroje signálu, pro dosažení dostatečného kmitočtového kroku. [1], [2], [3]

1.1 Fázový závěs

System se skládá se ze tří základních funkčních bloků:

1. Fázově frekvenční detektor (Phase Frequency Detector – PFD) s nábojovou pumpou (Charge Pump – CP)
2. Filtr smyčky – filtr typu dolní propust
3. Napětím řízený oscilátor (Voltage Controlled Oscillator – VCO)

Signál z referenčního zdroje signálu je v bloku PFD fázově porovnáván s výstupním signálem, generovaným blokem VCO. Vzájemné fázové posunutí těchto dvou signálů vytvoří na výstupu PFD patřičný řídicí signál, který je po filtraci přiveden na řídicí vstup VCO. Stav, který nastane, když je fáze výstupního a referenčního signálu stejná, se nazývá synchronní a smyčka PLL je tzv. zavěšena. Výstup PFD má v tomto stavu konstantní průběh. [2]



Obrázek 1 Blokové schéma smyčky fázového závěsu

1.1.1 Fázově frekvenční detektor

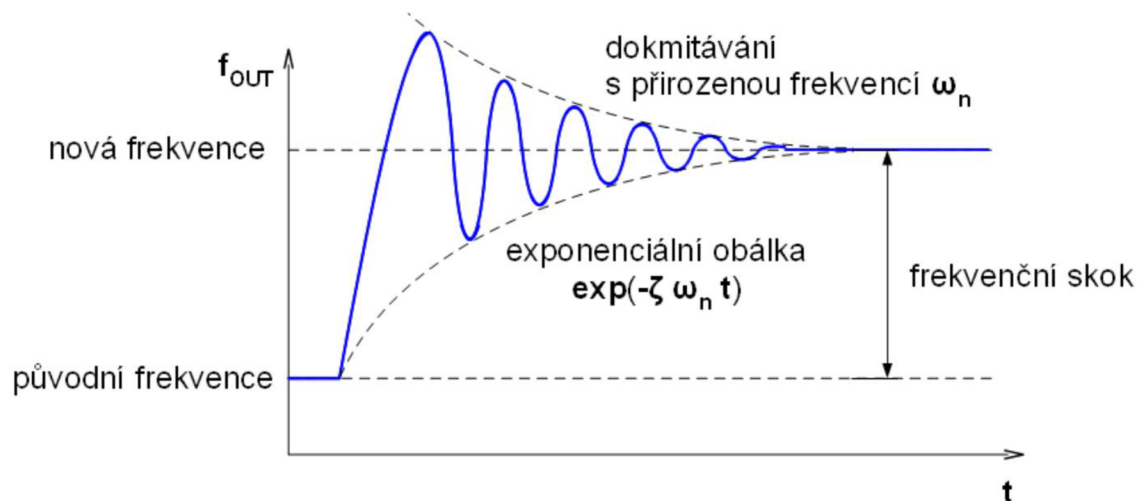
Nejjednodušším stavebním prvkem může být analogová násobička. Ovšem v moderních obvodech fázových závěsů se používají spíše klopné obvody (KO) typu D. Podle použitého prvku se tedy PFD dělí na analogové a digitální. Toto rozdělení určuje i označení celého fázového závěsu. Pokud je systém analogový, mluvíme o PLL a v případě číslicového fázového závěsu o DPLL. Jestliže je pak například celý PFD realizován číslicovými obvody, jedná se o ADPLL. PFD pak může být realizováno také softwarově, tedy technikou DSP. V takovém případě mluvíme o SPLL.

Na výstupu těchto KO je připojena nábojová pumpa, která generuje třístavový signál (-1, 0, +1). Pokud je výstupní signál VCO nižší, než signál referenční je výstup ve stavu +1. To způsobuje zvyšování napětí na vstupu VCO, a tedy zvyšování výstupní frekvence. [2], [3]

1.1.2 Filtr smyčky

Bývá realizován jako pasivní nebo aktivní. Výrazně ovlivňuje vlastnosti a chování celého systému, jako je například odezva systému na skokové změny požadované frekvence, stabilitu nebo fázový šum. Jeho úkol spočívá v integrování pulsů výstupního signálu PFD a odfiltrování nežádoucích vyšších kmitočtů. Aktivní filtr smyčky bývá použit například v případě, že nábojová pumpa nedostačuje pro přeladění VCO, nebo z důvodu fázové koherence, kdy je potřeba, aby se filtr choval jako ideální integrátor apod. [3]

Filtr se chová jako setrvačný systém, zavádí tedy do systému zpoždění, které ovlivňuje dynamickou odezvu na změnu výstupního kmitočtu. Při změně kmitočtu dojde ke skokové změně frekvence signálu na vstupu PFD, která vyvolá na výstupu postupnou změnu frekvence jako je na obrázku 2.



Obrázek 2 Odezva výstupního kmitočtu na skokovou změnu frekvence [2]

Při nevhodném návrhu filtru může dojít k prodloužení času nezbytného k zavěšení detektoru, nebo dokonce k úplnému rozkmitání systému. S tímto ohledem se volí šířka pásma filtru nejvýše jako desetina referenčního kmitočtu.

$$f_c \leq 0,1 \cdot f_1 \quad (1)$$

kde f_c v Hz představuje mezní kmitočet filtru smyčky (typu dolní propust), tedy šířku pásma a kmitočet na vstupu fázového detektoru referenčního signálu f_1 v Hz. [2]

Při použití velké šířky pásma filtru je systém citlivý i na rychlé změny frekvence a k ustálení frekvence na výstupu dochází rychle. Nevýhodou je ovšem velké množství nežádoucích složek ve spektru výstupního signálu. U malé šířky pásma je tomu pak přesně naopak. [2]

Zdvojnásobení velikosti šířky pásma lze docílit zdvojnásobením frekvence fázového detektoru, nebo úpravou velikosti proudu smyčky. Toto je klíčová vlastnost v návrhu širokopásmových syntezátorů se smyčkou fázového závěsu. Je to nejjednodušší cesta, jak kompenzovat změny v zisku VCO, viz níže. [4]

1.1.3 Napětím řízený oscilátor

Jedná se o blok, který je zodpovědný za samotné generování signálu. Jeho základním parametrem je zisk K_V s jednotkou Hz/V. [2] Zisk nebývá v celém spektru konstantní, což má za následek možnou nestabilitu a tím pádem vyšší nároky na filtr smyčky. Dále od nosného kmitočtu se tedy může objevit dominantnější šum, který musí být potlačen filtrem smyčky. Platí tedy, že fázový šum na výstupu systému je tím menší, čím menší je citlivost tohoto oscilátoru. [4]

1.2 Čítač jako dělička ve zpětné vazbě PLL

Obecně pro fázový závěs musí platit, že ve stavu zavěšení je výstupní kmitočet systému roven kmitočtu referenčnímu:

$$f_1 = f_2 \quad (2)$$

kde f_1 v Hz představuje kmitočet na vstupu fázového detektoru pro referenční signál a f_2 v Hz kmitočet na výstupu systému. [2]

Pro dosažení dostatečně malého kmitočtového kroku, musí mít referenční kmitočet na vstupu PFD dostatečně malou hodnotu. K tomuto účelu se na vstupu PFD zařazuje programovatelná dělička s označením R . Platí pak, že:

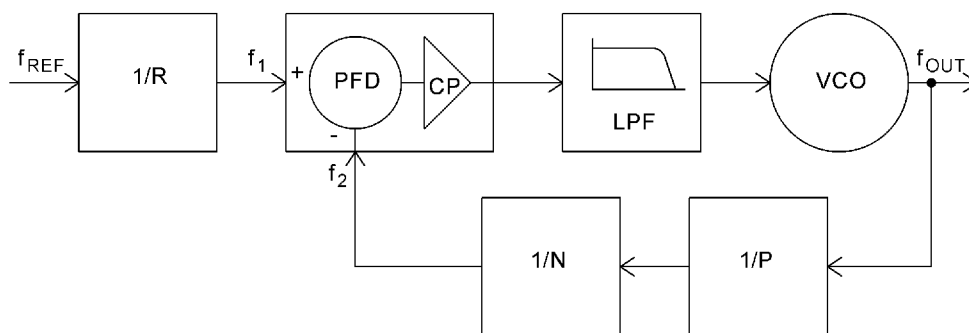
$$f_1 = \frac{f_{REF}}{R} \quad (3)$$

kde f_1 v Hz je kmitočet na vstupu PFD pro referenční signál, f_{REF} v Hz je frekvence zdroje referenčního signálu a R je celočíselná hodnota udávající dělicí poměr. [2]

Aby bylo možné výstupní kmitočet v řádu jednotek až desítek GHz přivést zpět k porovnání na fázový detektor, je nutné jej podělit. Tímto je také zajištěna možnost přeladování celého systému, jestliže je frekvenční dělička realizována jako programovatelná. Existuje více možností, jak realizovat zpětnou vazbu PLO. Podle toho se dělí na dva základní druhy, a to syntezátory s celočíselným (Integer-N) a neceločíselným (Fractal-N) dělicím poměrem. [2]

1.2.1 Syntezátory s celočíselným dělicím poměrem

Zpětná vazba u tohoto typu syntezátoru se může skládat z pevného nebo z řízeného předděliče a následně samotného programovatelného děliče kmitočtu. U syntezátorů s dostatečně nízkým výstupním kmitočtem pak lze předdělič úplně vypustit. Kmitočet signálu vstupujícího do děliče je dostatečně nízký, na to, aby s ním mohl pracovat přímo. [2]



Obrázek 3 PLL syntezátor s celočíselným dělicím poměrem a pevným předděličem

Pro kmitočet na vstupu PFD ze zpětné vazby pak platí:

$$f_2 = \frac{f_{OUT}}{P \cdot N} \quad (4)$$

kde f_2 v Hz odpovídá vstupnímu kmitočtu PFD ze zpětné vazby, f_{OUT} v Hz je frekvence výstupního signálu syntezátoru, P je dělicí poměr pevné předděličky a N je dělicí poměr programovatelného čítače. [2]

Jestliže platí ve stavu zavěšení smyčky PLL vztah (2), lze za pomoci rovnic (3) a (4) odvodit, že výstupní kmitočet se rovná:

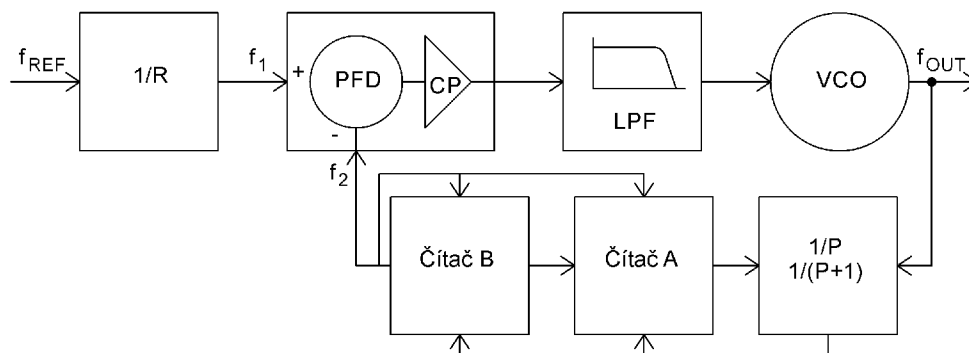
$$f_{OUT} = \frac{f_{REF}}{R} \cdot P \cdot N \quad (5)$$

Kmitočtový krok je pak:

$$\Delta f = \frac{f_{REF}}{R} \cdot P \quad (6)$$

Z rovnice (6) je tedy patrné, že čím větší bude hodnota předděličky, tím se zhorší kmitočtové rozlišení syntezátoru. [2]

Syntezátor s řízeným předděličem, který je na obrázku 4, má výhodu v tom, že jeho kmitočtový krok je nezávislý na hodnotě předděličky P .



Obrázek 4 PLL syntezátor s celočíselným dělicím poměrem a řízeným předděličem

Tento předdělič se označuje jako Dual-Modulus a jeho princip spočívá v tom, že v prvním kroku jsou oba čítače A i B vynulovány a předdělič je nastaven na hodnotu $P+1$. Oba čítače (A i B) čítají impulzy dané poměrem $P+1$ do doby, než čítač A dosáhne své

maximální hodnoty A_{\max} . Následně je předdělič přepnut na hodnotu P a čítání pokračuje do stavu, kdy i čítač B dosáhne své maximální hodnoty B_{\max} . Poté se opět začíná prvním krokem. [2]

Na vstupu PFD je pak frekvence zpětnovazební smyčky rovna [2]:

$$f_2 = \frac{f_{\text{OUT}}}{A + P \cdot B} \quad (7)$$

Výstupní frekvence za použití vztahů (2), (3) a (7) bude:

$$f_{\text{OUT}} = \frac{f_{\text{REF}}}{R} \cdot (A + P \cdot B) \quad (8)$$

Kmitočtový krok takového syntezátoru je dán vztahem:

$$\Delta f = \frac{f_{\text{REF}}}{R} \quad (9)$$

U syntezátorů s celočíselným dělicím poměrem a řízeným předděličem je tedy kmitočtový krok závislý pouze na velikosti děliče referenčního kmitočtu. Pro dosažení velmi malého kroku by dělicí poměr R musel být vysoký. Úměrně tomu musí být zvětšena i hodnota N . Snižování frekvence PFD vede na delší čas zachycení celého oscilátoru, jak bylo již nastíněno ke konci v kapitole 1.1.2 Filtr smyčky. Zvyšování dělicího poměru N má pak za následek vyšší fázový šum na výstupu. [2]. Tyto problémy eliminuje syntezátor s neceločíselným dělicím poměrem.

1.2.2 Syntezátory s neceločíselným dělicím poměrem

Velmi malého kmitočtového kroku je u tohoto typu syntezátoru docíleno neustálým přepínáním mezi dělicím poměrem N a $N+1$. Syntezátor tedy určitý čas pracuje s jedním poměrem a určitou dobu s druhým poměrem, čemuž pak průměrně bude odpovídat nastavená neceločíselná hodnota. Přepínání probíhá podle algoritmu funkce průměrování (například za pomoci sigma-delta modulátoru) tak, že výsledkem je neceločíselný dělicí poměr N_F čemuž odpovídá vztah:

$$N_F = N_{\text{INT}} + \frac{N_{\text{FRAC}}}{N_{\text{MOD}}} \quad (10)$$

kde N_F je výsledný dělicí poměr, N_{INT} je celočíselná část dělicího poměru a poměr $\frac{N_{\text{FRAC}}}{N_{\text{MOD}}}$ udává velikost neceločíselné části. [2]

Hodnota N_{MOD} může nabývat fixní či nastavitelné hodnoty.

Jelikož se díky tomu hodnota kmitočtu na vstupu zpětnovazební smyčky filtru nikdy neustálí a VCO tyto změny bude neustále korigovat, bude ve výstupním spektru větší množství nežádoucích složek. [2]

2 PARAMETRY SYNTEZÁTORŮ

V této kapitole budou rozebrány základní parametry, které mohou být klíčové při výběru syntezátoru pro konkrétní aplikaci.

2.1 Kmitočtový krok

Kmitočtový krok neboli rozlišení syntezátoru, představuje nejmenší rozdíl mezi dvěma možnými diskrétně nastavitelnými kmitočty.

Z předchozí kapitoly plyne, že jej může ovlivňovat více bloků, ze kterých se daný syntezátor skládá. Malého kroku lze dosáhnout použitím velkého dělicího poměru referenčního signálu R , to ovšem na úkor většího fázového šumu a delší doby zachycení zavěšení.

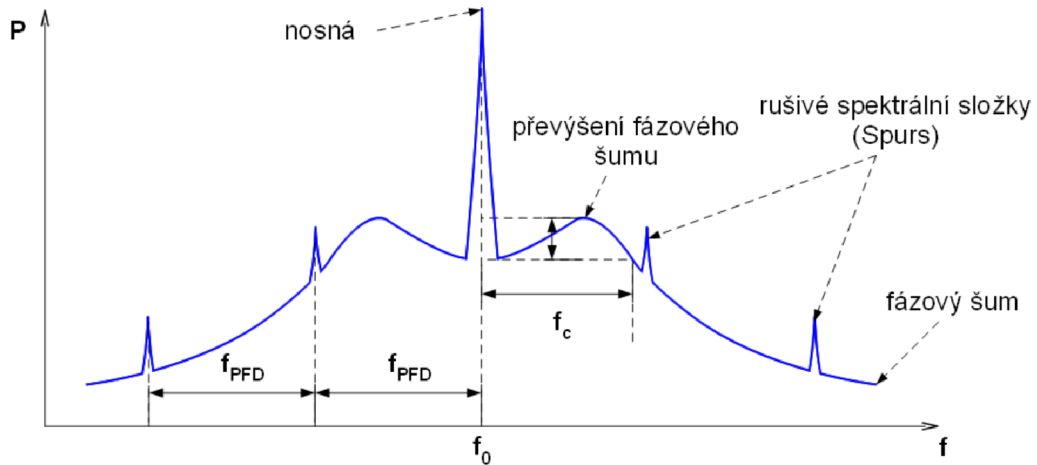
Také způsobem realizování zpětné vazby fázové smyčky lze výrazně ovlivnit kmitočtový krok. Při použití pevné předděličky je rozlišení přímo úměrné velikosti předděličky. Použitím řízeného předděliče se jeho vliv na kmitočtový krok vyloučí.

Největšího rozlišení lze ovšem dosáhnout až s použitím neceločíselného syntezátoru, kdy je dělicí poměr ve zpětné vazbě pomocí speciálního algoritmu přepínám mezi hodnotami N a $N+1$.

2.2 Spektrální šumové vlastnosti

Každý oscilátor je na svém výstupu zatížen šumem. Jedním z nich je amplitudový, který lze u frekvenčních syntezátorů prakticky zanedbat. [1] Daleko výraznější se jeví diskrétní parazitní složky a fázový šum, který vzniká náhodnými fluktuacemi fáze. [3]

Fázový šum v těsné blízkosti 1. harmonického kmitočtu je způsoben převážně fázovým šumem referenčního signálu. Jelikož je jím referenční signál zatížen minimálně, spektrální čára na výstupu syntezátoru je úzká. Se zvětšující vzdáleností od nosného harmonického kmitočtu může fázový šum vykazovat určité převýšení. To je dáno dělicím poměrem syntezátoru a filtrem smyčky, konkrétně jeho mezním kmitočtem f_c . Od tohoto kmitočtu je fázový šum určen již především vlastnostmi VCO. Ve spektru výstupního signálu syntezátoru se objevují i rušivé složky o diskrétních kmitočtech. V případě celočíselného syntezátoru je jejich poloha dána frekvencí fázového detektoru f_{PFD} . U neceločíselného syntezátoru jsou tyto diskrétní kmitočty rozmístěny složitěji. [2]



Obrázek 5 Blízké spektrum nosného kmitočtu výstupního signálu celočíselného syntezátoru [2]

Fázový šum je nejčastěji definovaný jako poměr šumového výkonu o šířce pásma 1 Hz v určité vzdálenosti od nosné (offsetu), k celkovému výkonu:

$$\alpha_{dB}(\Delta f) = 10 \cdot \log\left(\frac{P_{SSB}}{P_C}\right) \quad (11)$$

kde $\alpha_{dB}(\Delta f)$ v dBc/Hz je fázový šum na offsetovém kmitočtu Δf , P_{SSB} ve W je spektrální hustota výkonu o šířce pásma 1 Hz na offsetovém kmitočtu Δf a P_C ve W značí výkon nosné. [1]

Pro měření fázového šumu je nejjednodušší použít spektrální analyzátor. V takovém případě se jedná o měření ve frekvenční oblasti. Vzhledem ke způsobu zpracování signálu ve spektrálním analyzátoru má ovšem tato metoda jistá omezení. Fázový šum měřeného oscilátoru musí být podstatně vyšší než jeho amplitudový šum. Jak bylo v úvodu řečeno, tato podmínka je obvykle splněna.

Dalším omezením je použitý mezifrekvenční filtr (RBW) ve spektrálním analyzátoru. Jeho šířka pásma bývá většinou mnohem vyšší, než požadovaný 1 Hz. Lze stanovit jistý korekční faktor, ten se ovšem může pro různé šířky pásma lišit. Obecně se používá korekční faktor šumové šířky pásma 1,2násobku RBW. Fázový šum po započtení tohoto korekčního faktoru se pak rovná:

$$\alpha_{dB}(\Delta f) = 10 \cdot \log\left(\frac{P_{SSB}}{P_C}\right) - 10 \cdot \log(1,2 \cdot RBW) \quad (12)$$

Měření na velmi malém offsetovém kmitočtu je též omezené díky použitému RBW filtru. Proto je obvykle možné měřit spektrálním analyzátozem fázový šum nejméně 1 kHz od nosného kmitočtu.

Pokud je fázový šum samotného oscilátoru použitého ve spektrálním analyzátoru větší než fázový šum měřeného signálu, měření je pak zcela nerealizovatelné. Dynamický rozsah je u této metody malý, jelikož není možné potlačit nosnou měřeného signálu.

Pro měření fázového šumu na nižších offsetových kmitočtech lze využít například metody kmitočtového diskriminátoru se zpožďovacím vedením, nebo případně kvadratické metody. [7]

2.3 Kmitočtový rozsah

Dalším významným kritériem při výběru syntezátoru s fázovým závěsem je zajisté jeho kmitočtový rozsah. Kmitočtové syntezátory jsou dostupné v integrované podobě v různých topologiích. Díky tomu jsou miniaturní s minimální potřebou okolních obvodů. To umožňuje generování frekvencí v širokém rozsahu kmitočtů. Napětím řízený oscilátor může být součástí syntezátoru, případně je připraven pro jeho připojení. Syntezátory se zabudovaným VCO často rozšiřují kmitočtový rozsah pomocí výstupních děličů, případně násobiček kmitočtu. Širokopásmové syntezátory mají mnohdy kromě výstupních děličů/násobičů také samotné VCO složeno z více dílčích sub-oscilátorů, což umožňuje přímé generování výstupního signálu, bez nutnosti jej, jakkoliv upravovat. Díky tomu lze generovat výstupní kmitočet s minimem nežádoucích produktů v širším rozsahu než při použití jediného VCO.

2.4 Stabilita kmitočtu

Výsledná stabilita kmitočtu syntezátoru vychází primárně z referenčního signálu. Posuzuje se z časového hlediska, kdy interval sledování změn je buď dlouhodobý, případně krátkodobý. O dlouhodobé frekvenční stabilitě se hovoří v případě, že úsek pozorování výstupní frekvence je mnohem delší než 1 sekunda. [2] Údaj o změně kmitočtu musí být vždy doplněn i o informaci, v jakém přesném časovém úseku, bylo měření prováděno. Pro mikrovlnné aplikace se využívají zdroje o vysoké krátkodobé i dlouhodobé stabilitě kmitočtu. Jedná se především o zdroje signálu založené na rubidiovém či cesiovém standartu. Případně oscilátory tzv. ukázněných, což je vhodná kombinace oscilátorů s dobrou krátkodobou stabilitou a dobrou dlouhodobou stabilitou signálu. Tomu odpovídá například oscilátor GPSDO.

Tabulka 1 Teoretická stabilita jednotlivých kmitočtových standardů [8]

Typ oscilátoru	XO	TCXO	OCXO	GPSDO	Rubidium	Cesium	Hydrogen maser	Optical clock
Stabilita 1 den	$1 \cdot 10^{-5}$	$1 \cdot 10^{-7}$	$1 \cdot 10^{-9}$	$1 \cdot 10^{-11}$	$1 \cdot 10^{-12}$	$1 \cdot 10^{-13}$	$1 \cdot 10^{-15}$	$1 \cdot 10^{-18}$
Chyba PPM	10 PPM	0,1 PPM	1 PPB	0,01 PPB	3 PPT	0,3 PPT	1 PPQ	0,001 PPQ
Chyba při 1 GHz	10 kHz	10 Hz	1 Hz	0,01 Hz	3 mHz	300 μ Hz	1 μ Hz	1 nHz
Chyba času za 1 rok	315,36 s	3,15 s	31,5 ms	0,32 ms	94,61 μ s	9,46 μ s	31,54 ns	31,54 ps
Vhodné pro	HF	UHF	SHF	HAM	GSM/4G	GPS	časový standart	časový standart

3 VÝBĚR SYNTEZÁTORU

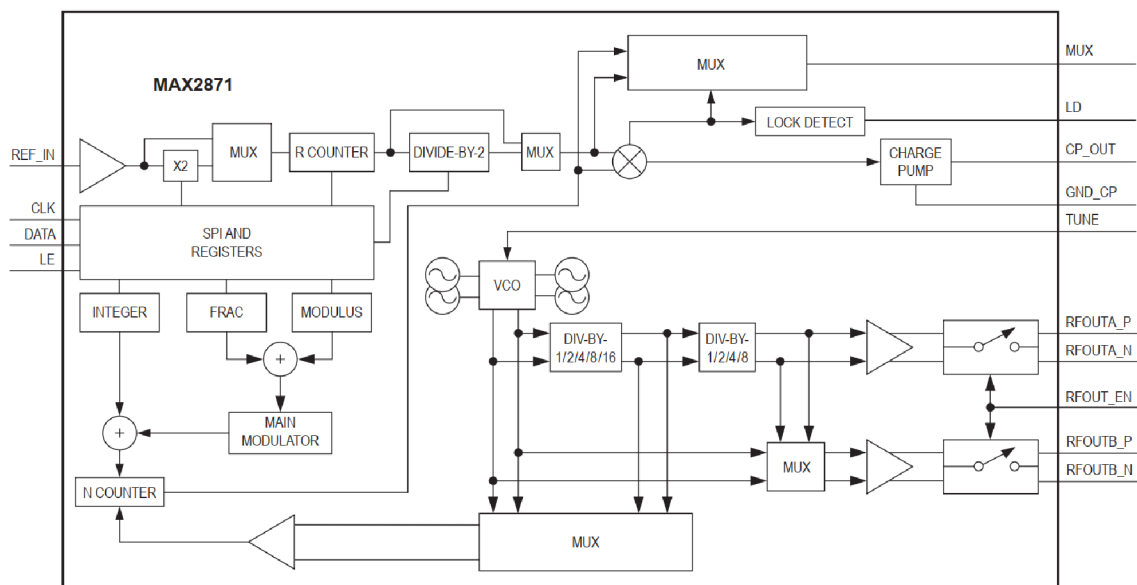
Z dostupných integrovaných obvodů frekvenčních syntezátorů, byly vybráni dva, kteří nejvíce odpovídají požadovaným vlastnostem. Především vlastnostem generování kmitočtů v oblasti 5,5 GHz. Pohled byl tedy zaměřen na následující dva frekvenční syntezátory. Jeden od firmy Analog Devices, který nese označení ADF4157 a druhý od firmy Maxim Integrated s označením MAX2871.

S ohledem na požadovaný minimální kmitočtový krok, který má být alespoň 10 Hz, se jeví jako nejvhodnější použít syntezátor ADF4157. Nicméně absence zabudovaného VCO by zbytečně komplikovala hardwarový návrh, a proto bylo rozhodnuto použít spíše druhý porovnávaný MAX2871 a spokojit se s větším kmitočtovým krokem. Dosažení kmitočtů mimo jeho základní krok bude muset být realizováno výpočetním algoritmem, který vypočítá odpovídající nastavení registrů, pro dosažení minimální odchylky od zadaného kmitočtu.

Obvod syntezátoru MAX2871 bude v následující části práce podrobněji rozebrán. Informace vycházejí z katalogového listu výrobce [6].

3.1 Obvod syntezátoru MAX2871

Jedná se o frekvenční syntezátor s fázovým závěsem, který umí pracovat ve frekvenčním rozsahu od 23,5 MHz do 6 GHz. Obsahuje zabudované VCO, které pokrývá základní rozsah frekvencí od 3 GHz do 6 GHz. Nižší kmitočty jsou realizovány pomocí integrované děličky kmitočtu na výstupu syntezátoru. Tento obvod má k dispozici dva diferenciální výstupy, u kterých může být nezávisle řízen výstupní výkon od -1 dBm do +8 dBm. Pro nesymetrický výstup pak od -4 dBm do +5 dBm. Komunikace s tímto syntezátorem je umožněna pomocí 4 vodičů, z čehož tři jsou využity pro sběrnici SPI a jeden jako víceúčelový s funkcí, přepínanou programově přes rozhraní SPI. Napájecí napětí by mělo být voleno v rozsahu od 3 V do 6 V a proudový odběr při aktivovaných obou výstupech by měl být maximálně 200 mA. Kompletní přehledný popis všech registrů lze nalézt v katalogovém listu [6].



Obrázek 6 Blokové schéma syntezátoru MAX2871 [6]

3.1.1 Referenční vstup

Vstupní obvody pro referenční signál umožňují přivést signál o kmitočtu od 10 MHz do 210 MHz. Obsahují zabudovanou pevnou děličku kmitočtu dvěma (registr 2, bit 24 R_{DIV2}) a násobičku kmitočtu dvěma (registr 2, bit 25 DBR). Při použití násobičky je maximální možná frekvence na vstupu syntezátoru 105 MHz. Poslední významnou částí je 10bitový R čítač (registr 2, bity 23:14). Ten slouží jako programově řízená dělička referenčního kmitočtu v rozsahu dělicího poměru 1–1023. Pro frekvenci na vstupu fázového komparátoru pak platí následující vztah:

$$f_1 = f_{REF} \cdot \frac{1 + DBR}{R \cdot (1 + R_{DIV2})} \quad (13)$$

kde f_1 v Hz vyjadřuje kmitočet na vstupu fázového detektoru, f_{REF} v Hz je kmitočet referenčního signálu na vstupu syntezátoru, DBR je stav násobičky dvěma (1 aktivní, 0 neaktivní), R je programovatelný dělič referenčního kmitočtu a R_{DIV2} představuje stav děličky dvěma (1 aktivní, 0 neaktivní).

3.1.2 Fázový detektor a nábojová pumpa

Na fázový detektor lze přivést signál o frekvenci maximálně 140 MHz při celočíselném režimu a 125 MHz při neceločíselném režimu. Při použití invertujícího aktivního filtru smyčky je nutné obrátit polaritu fázového detektoru. Toho lze docílit resetováním bitu PDP (registr 2, bit 6).

Pro filtr smyčky fázového závěsu je na výstupu fázového detektoru umístěna nábojová pumpa. Maximální proud je odvozen od hodnoty externě připojeného rezistoru mezi pinem RSET a zemí. Aktuální hodnotu proudu ovlivňuje nastavení bitů CP3:0 (registr 1, bity 12:9) a vypočítá se podle následujícího vztahu:

$$I_{CP} = \frac{1,63}{R_{SET}} \cdot (1 + CP3:0) \quad (14)$$

kde I_{CP} v A je výstupní proud nábojové pumpy, R_{SET} v Ω je hodnota rezistoru na pinu RSET a CP3:0 je dekadická hodnota CP bitů.

Potlačení diskretních rušivých složek (spurů), které vznikají při neceločíselného režimu, lze docílit nastavením bitů CPL (registr 1, bity 30:29). Nábojová pumpa má pak v tomto režimu upravenou linearitu. Při celočíselném režimu musí být tyto bity vždy CPL = 00.

Nastavením bitu TRI lze výstup nábojové pumpy uvést do režimu vysoké impedance. Pro normální operace musí být tento bit resetován.

3.1.2.1 Redukce skluzu (Cycle Slip reduction)

Tato metoda je první ze dvou, která slouží ke zkrácení doby, potřebné k zavěšení smyčky fázového závěsu při změně frekvence. Skluz fázového detektoru představuje stav, který nastane, když fázová odchylka na vstupu narůstá rychleji, než je smyčka fázového závěsu schopna korigovat. V přechodové charakteristice jsou pak tyto skluzu patrné jako zlomy, které jsou způsobeny tím, že nábojová pumpa generuje ladící napětí nesprávným směrem. Důsledkem toho je dramatický nárůst času, než se smyčka zavěsí. [5]

Syntezátor umožňuje tyto skluzu korigovat nastavením CSM bitu (registr 3, bit 18). V tomto režimu musí být proud nábojové pumpy nastaven na nejnižší hodnotu. Díky tomuto principu lze tedy dosáhnout rychlejšího zavěšení, aniž by bylo potřeba zvyšovat šířku pásma filtru.

3.1.2.2 Režim zrychleného zavěšení (Fast-Lock)

Tato metoda je druhou z možností, jak zlepšit dobu, potřebnou k zavěšení smyčky. Kromě nutnosti nastavit nejmenší proud nábojové pumpy, je také nutná úprava zapojení samotného filtru smyčky. Ten je v tomto režimu připojen i na pin SW, který je syntezátorem přepínán z režimu vysoké impedance do stavu zkratu se zemí. Mód lze aktivovat po ukončení automatického výběru VCO, pokud jsou nastaveny bity CDM do 01 (registr 3, bity 16:15). Během Fast-Lock módu je hodnota nábojové pumpy automaticky zvyšována do hodnoty CP = 1111, kdy je následně pin SW přepnut z režimu vysoké impedance do režimu zkratu se zemí. Režim je automaticky deaktivován po uplynutí doby, kterou nastavuje uživatel jako:

$$t_{FAST-LOCK} = M \cdot \frac{CDIV}{f_1} \quad (15)$$

kde $t_{FAST-LOCK}$ v sekundách je doba, po které je deaktivován režim upravené smyčky, M je hodnota nastaveného M-čítače, $CDIV$ je dělička hodinového kmitočtu a f_1 v Hz je frekvence na vstupu fázového detektoru.

Hodnota $CDIV$ je nastavována podle časové konstanty filtru smyčky. Pokud tento režim není využíván, lze pin SW ponechat jako plovoucí. Úpravu hodnot součástek filtru smyčky lze najít v [6].

3.1.3 Napětím řízený oscilátor

Jak bylo již v úvodu řečeno, zabudované VCO umožňuje generovat výstupní signál přímo

v rozsahu kmitočtů od 3 GHz do 6 GHz. Toho je dosaženo s pomocí čtyř samostatných VCO bloků, kdy každý blok se následně ještě dělí do dalších 16 sub-pásem.

3.1.3.1 Automatický režim výběru vhodného VCO

Při nastavování výstupní frekvence lze výběr VCO ponechat na automatice syntezátoru. V tomto režimu stavový automat vybírá nejvhodnější VCO, pokud je resetován bit VAS_SHDN (registr 3, bit 25). Taktovací kmitočet stavového automatu musí být nastaven na 50 kHz. Toho se docílí za pomoci děličky kmitočtu nastavením BS bitů (registr 4, bity 25:24, 19:12):

$$BS = \frac{f_1}{50 \cdot 10^3} \quad (16)$$

kde BS je hodnota frekvenční děličky a f_1 v Hz je kmitočet na vstupu fázového detektoru od referenčního kmitočtu.

Neceločíselný výsledek vztahu stačí zaokrouhlit na nejbližší celočíselné číslo. V případě, že vypočítaná hodnota není v rozsahu 1-1023, hodnota BS se nastaví na spodní nebo horní hranici, podle toho, co je blíže výsledku. Čas, který trvá stavovému automatu zvolit vhodné VCO se vypočítá jako:

$$t_{VAS} = \frac{10}{f_{BS}} \quad (17)$$

kde t_{VAS} v sekundách je čas, potřebný pro výběr odpovídajícího VCO a f_{BS} v Hz odpovídá nastavené taktovací frekvenci stavového automatu.

Aby bylo VCO teplotně stabilní v teplotním rozsahu od -40 °C do +85 °C lze využít funkci, která se aktivuje bitem VAS_TEMP (registr 3, bit 24). Při tomto režimu se nejvhodnější VCO volí s ohledem na okolní teplotu. Doba potřebná k nalezení vhodného VCO t_{VAS} poté ovšem dosahuje přibližně 100 ms. V průběhu výběru VCO musí být bity RFA_EN (registr 4, bit 5) a RFB_EN (registr 4, bit 8) resetovány a bity 30:29 v registru 5 zase nastaveny.

3.1.3.2 Manuální výběr VCO

Manuální výběr VCO je umožněn nastavením bitu VAS_SHDN. Konkrétní VCO se vybírá v registru 3, bity 31-26. Při manuálním výběru se zkrátí potřebný čas pro zachycení fázového závěsu o typicky 200 μ s. Postup, který je nutný dodržet při využívání manuálního módu, lze nalézt v katalogovém listě [6].

3.1.4 Celočíselný/neceločíselný režim

Pro uvedení syntezátoru do celočíselného módu je nutné nastavit bity INT (registr 0, bit 31) a LDF (registr 2, bit 8). Resetováním těchto dvou registrů se syntezátor přepne do neceločíselného režimu. Samotné nastavení registru F na hodnotu 0 neuvede syntezátor do celočíselného režimu. Tomu tak ovšem není při nastavení bitu F01 (registr 5, bit 24). To umožní automatické přepnutí do celočíselného módu při hodnotě $F = 0$.

Následující část textu bude věnována vztahům mezi výstupním kmitočtem f_{OUTA} na výstupu syntezátoru A a odpovídajícímu nastavení registrů.

Samotný kmitočtet na výstupu VCO je určen jako:

$$f_{VCO} = f_{OUTA} \cdot DIVA \quad (18)$$

kde f_{VCO} v Hz je kmitočtet na výstupu VCO, f_{OUT} v Hz je kmitočtet na výstupu syntezátoru a $DIVA$ je dekadická hodnota bitů 22:20 v registru 4 určujících nastavení děličky na výstupu syntezátoru.

Nastavením bitu FB do logické jedničky (registr 4, bit 23) je dělička výstupního kmitočtu vyřazena ze smyčky fázového závěsu a platí vztah:

$$N + \frac{F}{M} = \frac{f_{VCO}}{f_1} \quad (19)$$

kde N je hodnota celočíselného dělicího poměru, F/M je hodnota určující neceločíselný poměr, f_{VCO} v Hz je kmitočtet na výstupu VCO a f_1 v Hz vyjadřuje kmitočtet na vstupu fázového detektoru.

N (registr 0, bity 30:15) je programovatelný 16bitový čítač v rozsahu 16-65535. M je nastavitelná hodnota (registr 1, bity 14:3) v rozsahu od 2-4095. Hodnota F je programovatelná v registru 0 přes bity 14:3 a může nabývat hodnot 0 až $M-1$. V neceločíselném režimu je rozsah platných hodnot registru N omezen na 19-4091. Dělič na výstupu lze nastavit pomocí $DIVA$ (registr 4, bity 22:20) v krocích 1/2/4/8/16/32/64/128.

Pokud je naopak bit FB resetován, tedy dělička výstupního kmitočtu je zařazena do smyčky a platí, že hodnota $DIVA \leq 16$, pak bude platit i následující vztah:

$$N + \frac{F}{M} = \frac{\frac{f_{VCO}}{f_1}}{DIVA} \quad (20)$$

Jestliže je hodnota výstupního předděliče větší než 16, platí tento vztah:

$$N + \frac{F}{M} = \frac{\frac{f_{VCO}}{f_1}}{16} \quad (21)$$

Z výše definovaných vztahů lze odvodit, že výstupní kmitočtet výstupu A se vypočítá, pokud platí:

1. $FB = 1$ podle:

$$f_{OUTA} = \frac{f_1 \cdot \left(N + \frac{F}{M}\right)}{DIVA} \quad (22)$$

2. $FB = 0$ a $DIVA \leq 16$ podle:

$$f_{OUTA} = f_1 \cdot \left(N + \frac{F}{M}\right) \quad (23)$$

3. $FB = 0$ a $DIVA > 16$ podle:

$$f_{OUTA} = \frac{f_1 \cdot \left(N + \frac{F}{M}\right)}{16} \quad (24)$$

Část syntezátoru s výstupem B má svůj výstupní kmitočtet určený podle následujících

vztahů:

1. $BDIV = 0$ (registr 4, bit 9):

$$f_{OUTB} = f_{OUTA} \quad (25)$$

2. $BDIV = 1$

$$f_{OUTB} = f_{VCO} \quad (26)$$

Kmitočtový krok syntezátoru v případě neděleného výstupu:

$$\Delta f = \frac{f_1}{M} \quad (27)$$

3.1.5 Výstup syntezátoru

Frekvenční syntezátor nabízí dva diferenciální výstupy typu otevřený kolektor. Z tohoto důvodu je nutné použít VF tlumivku či 50 ohm rezistor mezi výstupním pinem a napájecím napětím. Každý výstup lze nezávisle aktivovat či deaktivovat pomocí bitů RFA_EN (registr 4, bit 5) a RFB_EN (registr 4, bit 8). Hardwarový pin RFOUT_EN umožňuje přivedením vysoké logické úrovně aktivovat, případně přivedením nízké úrovně deaktivovat, oba výstupy zároveň.

Výkon každého výstupu při nesymetrickém zapojení je programovatelný v 3 dB krocích od -4 dBm do +5 dBm přes APWR (registr 4, bity 4:3) a BPWR (registr 4, bity 7:6). Při nesymetrickém zapojení výstupu by měl být druhý nevyužitý výstup, zakončen charakteristickou impedancí.

Výstup syntezátoru by měl být po dobu přeladování deaktivován. K tomuto může být využito funkce, která se aktivuje nastavením bitu MTLD (registr 4, bit 10). Pokud bude digitální detekce zavěšení indikovat stav ztráty zavěšení (tedy stav přeladování), výstupy budou automaticky zakázány.

Výstupní frekvence může v průběhu ladění přesáhnou nastavenou frekvenci, což může v některých případech vyvolat zákmity na výstupu. To lze ošetřit vložení zpoždění, než dojde k opětovné aktivaci výstupu. Tato funkce je aktivní, pokud je kromě MTLD bitu také nastaven bit MUTEDEL (registr 3, bit 17). Velikost zpoždění se vypočítá podle stejného vzorce (15) jako byl uveden v podkapitole 3.1.2.2 Režim zrychleného zavěšení (Fast-Lock).

3.1.6 Režim nízké spotřeby

Do režimu nízké spotřeby lze syntezátor přivést nastavením bitu SHDN do vysoké úrovně (registr 2, bit 5), nebo také nastavením hardwarového pinu CE do nízké úrovně. Všechny části s výjimkou SPI rozhraní jsou poté vypnuty. Odběr syntezátoru by měl být pak maximálně 1 mA. Část syntezátoru zajišťující zpracování referenčního signálu je v tomto módu ve vysoké impedanci, což zajistí nezatěžování referenčního zdroje. Při ukončení tohoto režimu je nutné počkat nejméně 20 ms, než se zahájí nastavení výstupní frekvence VCO.

3.1.7 Režim potlačující tvorbu diskretních nežádoucích kmitočtů

Synteázator umožňuje nastavit 3 operační režimy sigma-delta modulátoru. Prvním z nich je režim nízkého šumu (Low-noise mode). Toho je ovšem dosaženo za cenu vyšších diskretních nežádoucích kmitočtů. Ty mohou být potlačeny nastavením bitů SDN = 10 nebo SDN = 11 pro různé režimy rozhodování (registr 2, bity 30:29).

3.1.8 Vnitřní AD převodník

Synteázator obsahuje integrovaný AD převodník, který lze využít k vyčítání ladícího napětí, případně teploty synteázatoru. Převodník nabízí 7bitové rozlišení čtené hodnoty. Převedenou hodnotu z ADC lze vyčíst z registru číslo 6 z bitů 22:16 pomocí MUX pinu.

Pro získání hodnoty je potřeba zajistit následující:

1. Nastavit správný hodinový takt pro AD převod. Nastavit tedy hodnotu děličky CDIV (registr 3, bity 14:3) na hodnotu $f_{\text{PFD}}/100$ kHz.
2. Nastavit hodnotu ADCM (registr 5, bity 5:3) pro odpovídající mód převodníku:
 - a. pro ladící napětí VCO bude ADCM = 100.
 - b. pro čtení teploty bude ADCM = 001.
3. Nastavením bitu ADCS = 1 (registr 5, bit 6) zahájit proces převodu.
4. Počkat 100 μ s na dokončení procesu převodu.
5. Přečíst registr 6, bity 22:16.
6. Resetovat bity ADCM a ADCS
7. Převést hodnotu:
 - a. pro ladící napětí:

$$U_{\text{TUNE}} = 0,315 + \text{ADC} \cdot 0,0165 \quad (28)$$

kde U_{TUNE} ve V je získané ladící napětí VCO a ADC je vyčtená hodnota ADC.

- b. pro teplotu:

$$t = 95 - \text{ADC} \cdot 1,14 \quad (29)$$

kde t ve $^{\circ}\text{C}$ je teplota čipu MAX2871 a ADC je vyčtená hodnota ADC.

3.1.9 Nastavení fáze

Fáze výstupního signálu lze řídit pomocí bitů P (registr 1, bity 26:15). Výstupní fáze signálu je poté posunutá o:

$$\varphi = \frac{P}{M} \cdot 360^{\circ} \quad (30)$$

kde φ ve stupních je fázový posun, P registr nastavení fáze a M je programovatelný modul (registr 1, bity 14:3).

3.1.10 Komunikace se synteázátorem

Řídící data jsou do synteázatoru nahrávána přes sběrnici SPI. Frekvenční synteázator využívá ke komunikaci 3 vodičů označených jako CLK (Clock – vstup taktovacího kmitočtu), DATA (představující MOSI – Master Out, Slave In – vstupní data) a LE (Load

Enable – nahrání obsahu posuvného registru do příslušných registrů). Vyčítání dat je umožněno pomocí pinu MUX, který při komunikaci se syntezátorem představuje MISO – Master In, Slave Out – výstupní data. Mimo sériovou komunikaci může sloužit jako víceúčelový vstup/výstup. Pomocí bitu 18 v registru 5 a 28:26 v registru 2 lze nastavit příslušnou funkci MUX pinu. Více informací o MUX pinu lze nalézt v [6].

Syntežátor obsahuje šest 32bitových registrů určených pro zápis a jeden 32bitový pro čtení. Každý registr má vyšších 29 bitů určených pro data a nejnižší 3 bity určují adresu. Data jsou nahrávána do posuvného registru od nejvýznamnějšího bitu (MSB) po nejméně významný bit (LSB). Po nahrání všech 32 bitů je potřeba pinem LE obsah v posuvném registru aplikovat. Nahrání je synchronizováno na náběžnou hranu hodinového signálu.

Při převedení napájení, je nutné nahrát obsah všech registrů a provést inicializační sekvenci. Při dalším běžném operačním režimu, je vhodné mezi opakovanými zápisy nechávat nejméně 20 ms.

Nahrávání jednotlivých registrů by mělo být vždy v pořadí od registru 5 po registr 0. Inicializační sekvence při přivedení napájení by vypadala tedy následovně: nejprve nahrát registr 5, počkat 20 ms, následně registr 4, kde bity 4 a 8 uvést do 0 pro deaktivování výstupů. Dále postupně nahrávat zbylé registry v pořadí 3, 2, 1, 0. Tuto sekvenci provést ještě celou jednou s tím, že bity 4 a 8 stále držet resetované. Až nyní po druhém kompletním nahrání všech registrů s deaktivovanými výstupy je opět aktivovat.

Při běžném operačním režimu jsou některé bity dvojitě nahrávány. To zajistí uplatnění změn na výstupu syntezátoru v jeden časový okamžik. První zápis zajistí aktivování syntezátoru a druhý pak sekvenci výběru VCO. Výstup by měl být deaktivovaný, aby se zabránilo generování nežádoucích signálů na výstupu, viz. kapitola 3.1.5.

Poslední registr slouží tedy pouze pro vyčítání a za tímto účelem je využito funkce MUX pinu. Sekvence pro vyčtení 6. registru je následující:

1. Nastavení funkce MUX pinu pro čtení registru 6 (registr 5, bit 18 nastavit na 1; registr 2, bity 28:26 nastavit na 100)
2. Do syntezátoru odeslat data 0x0006 – nastaví adresu šestého registru (LE a DATA v logické nule po 29 taktů hodin, poslední tři takty hodin budou data postupně 110 a na závěr vygenerovat LE puls s 33. hodinovým taktem).
3. S dalším hodinovým taktem se na MUX pinu objeví hodnota MSB bitu (31. bit).
4. Postupným generováním hodinového taktu vyčítat zbývajících 31 bitů.
5. Obnovit původní hodnoty registrů 5 a 2

3.1.11 Vlastnosti syntezátoru

V následující tabulce jsou pro přehlednost vypsány klíčové vlastnosti obvodu kmitočtového syntezátoru MAX2871.

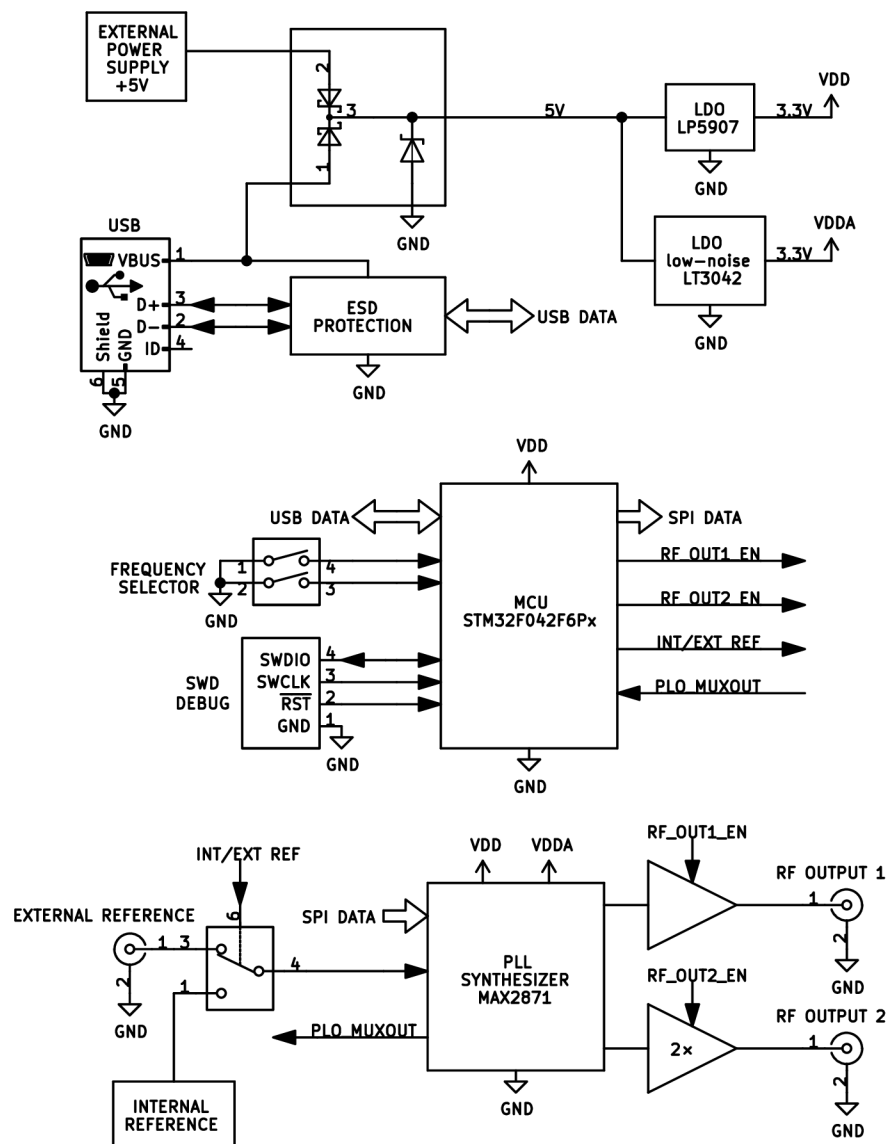
Tabulka 2 Klíčové vlastnosti syntezátoru MAX2871

Syntezátor	MAX2871
Napájecí napětí	3 V-3,6 V
Proudová spotřeba	max. 200 mA (oba výstupy aktivní) 1 mA režim spánku
Komunikace	Řízení – SPI, 6 × 32bitový registr Výstupní MUX pin
Pouzdro	32 TQFN-EP
Druh	celočíselný / neceločíselný
Kmitočtový rozsah	23,5 MHz-6 GHz
VCO	integrované 3 GHz-6 GHz
Úroveň harmonických v rozsahu základních kmitočtů VCO	2. harmonická.: -40 dBc 3. harmonická.: -34 dBc
Úroveň harmonických při dělení kmitočtu VCO/2	2. harmonická.: -25 dBc 3. harmonická.: -20 dBc
Výstupní výkon	-4 dBm až +5 dBm 3 dB krok
Rozsah f_{REF}	10-210 MHz
$f_{REF}/2$ a $f_{REF} \cdot 2$	ano
$f_{1_MAX}(f_{PFD_MAX})$	140 MHz Int-N 125 MHz Frac-N
Čítač R	10bit (1-1023)
Čítač N	16bit 16-65535 v Int-N 19-4091 ve Frac-N
Čítač F	0-(M-1)
Čítač M	2-4095
Nejmenší kmitočtový krok ($f_1 = f_{REF} = 10 \text{ MHz}$)	2442 Hz
práh šumu při Int-N	-230 dBc/Hz BW filtru smyčky: 2 MHz 200 kHz od nosné

4 NÁVRH REALIZACE SYNTEZÁTORU

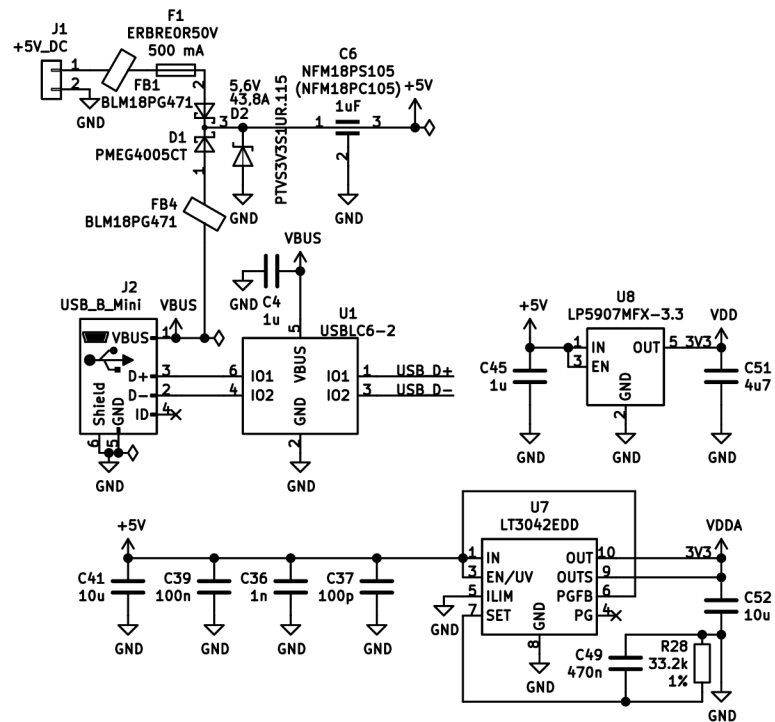
Prvotní návrh syntezátoru vycházel ze zapojení referenčního designu výrobce [9] a především konstrukce z internetových stránek vhfdesign.com [10]. Výhodou tohoto postupu by byla ověřená konstrukce, kde bylo zamýšleno použít původní FW ve vlastním HW návrhu a tím si ověřit správnou funkci návrhu plošného spoje. Nicméně nakonec se touto cestou nebylo možné vydat, protože originální FW je distribuován jako uzavřený software.

Na obrázku 7 je blokový koncept navrženého modulu syntezátoru. V následujících podkapitolách budou jednotlivé funkční celky popsány podrobněji.



Obrázek 7 Blokový koncept řešení frekvenčního syntezátoru

4.1 Napájecí část

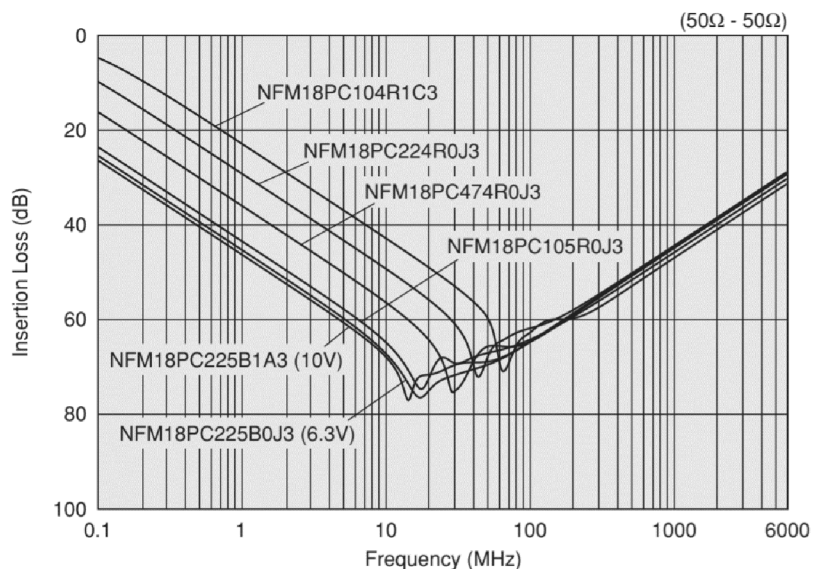


Obrázek 8 Schéma zapojení napájecí části

Napájení je umožněno buď z konektoru USB (J2), nebo ze zdroje externího stejnosměrného napětí +5 V připojeného na konektor J1. To zajišťuje dvojitá Schottkyho dioda D1 (PMEG4005CT), která zároveň zajišťuje ochranu proti přepólování. V důsledku úbytku napětí na přechodu u diody D1 bude na 5 V větvi menší úbytek napětí. Z tohoto důvodu byla použita dioda vybírána s ohledem na co nejmenší napěťový úbytek v propustném směru. Jako ochrana před nadměrným proudem, například při zkratu, je zde použita pojistka F1 o hodnotě 500 mA. Pro ochranu před přepětím je použit transil D2 (PTVS3V3S1UR.115). Ochranu proti přepětí na rozhraní USB realizuje speciální obvod U1 (USBL6-2). Ten kromě ESD ochrany napájecího napětí také zajišťuje i účinnou ochranu datových vodičů. Napájecí pin obvodu je filtrován kondenzátorem C4.

Jelikož jsou analogové obvody syntezátoru citlivé na kvalitu napájecího napětí, musí být použity při návrhu napájecí části vhodné odrušovací prvky a stabilizátor napětí. Nevhodný návrh napájecí části může vést k výraznému zhoršení spektrálních vlastností na výstupu oscilátoru.

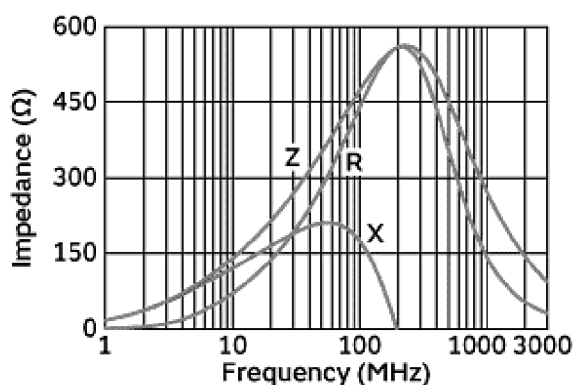
Odrůšení je realizováno feritovými perličkami FB1 a FB4 (BLM18PG471) a průchodkovým kondenzátorem C6 (NFM18PC105). Ten se vyznačuje se svojí jedinečnou konstrukcí minimální parazitní indukčností. Nutno podotknout, že pro dosažení optimálních výsledků, musí být dodržen doporučený motiv plošného spoje, tedy co nejkratší spojení se zemnicí vrstvou s co největším množstvím menších prokůvů – minimalizuje se tím přidaná parazitní indukčnost plošným spojem [11]. Průchodkový kondenzátor má průběh potlačení kmitočtů na následujícím obrázku.



Obrázek 9 Vložný útlum průchodkových kondenzátorů pro různé hodnoty jejich kapacity [12]

Největší potlačení je blízko plánovanému referenčnímu kmitočtu syntezátoru. Je dobré si uvědomit, že změřená charakteristika je při impedanci 50Ω , tedy skutečná charakteristika se bude v zapojení lišit.

Průchodkovému kondenzátoru je předržena feritová perlička. Ta má na vyšších kmitočtech zásadně vyšší impedanci. Oproti použití běžné cívky, má také mnohem větší reálnou složku impedance. Tedy její jakost Q je menší. Průchodu stejnosměrného proudu však klade minimální odpor. Použitá perlička má průběh impedance podle následujícího obrázku.

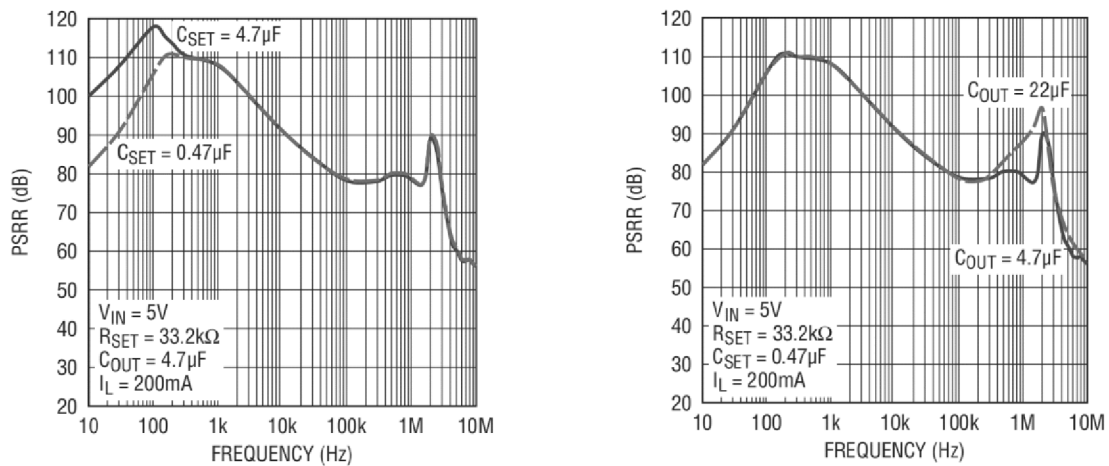


Obrázek 10 Závislost impedance feritové perličky na frekvenci [12]

Obvod syntezátoru a mikrokontroleru je napájen $3,3 \text{ V}$, které jsou získány stabilizátory U8 a U7. Pro dosažení co nejmenšího možného šumu na výstupu syntezátoru je napájení rozdělené na digitální a analogovou část. Pro napájení mikrokontroleru a digitálních částí syntezátoru je použit lineární nízkošumový nízkoúbytkový (LDO) stabilizátor firmy Texas Instrument (TI) s označením LP5907MFX-3.3 (U8) jehož výstup

poskytuje stabilních 3,3 V. Je schopný dodávat až 250 mA výstupního proudu, což by mělo pro požadovanou aplikaci s přehledem dostačovat. Nároky na potlačení pronikání zvlnění ze vstupního napájení do výstupu a šumové parametry jsou při uvažování použití pro digitální část menší. Avšak i přesto je zvolen obvod s velice skvělými vlastnostmi. Výstupní šum je podle katalogového listu menší než $6,5 \mu\text{V}_{\text{RMS}}$ (v uvažované šířce pásma od 10 Hz do 100 kHz při proudovém zatížení 250 mA). Širokopásmové potlačení zvlnění napájecího napětí, označované jako PSRR, by mělo být u tohoto obvodu při 1 kHz superponovaném na vstupu LDO 82 dB (při zatížení výstupu 20 mA). Vstupní napájení je filtrováno kondenzátorem C45 a výstupní kondenzátorem C51. [14]

Pro napájení analogové části syntezátoru je použit preciznější LDO stabilizátor výrobce Analog Devices (AD) s označením LT3042EDD (U7). Šum na jeho výstupu je pouhých $0,8 \mu\text{V}_{\text{RMS}}$ (BW 10 Hz – 100 kHz). Průběh PSRR v závislosti na kmitočtu je pak na obrázku 11.

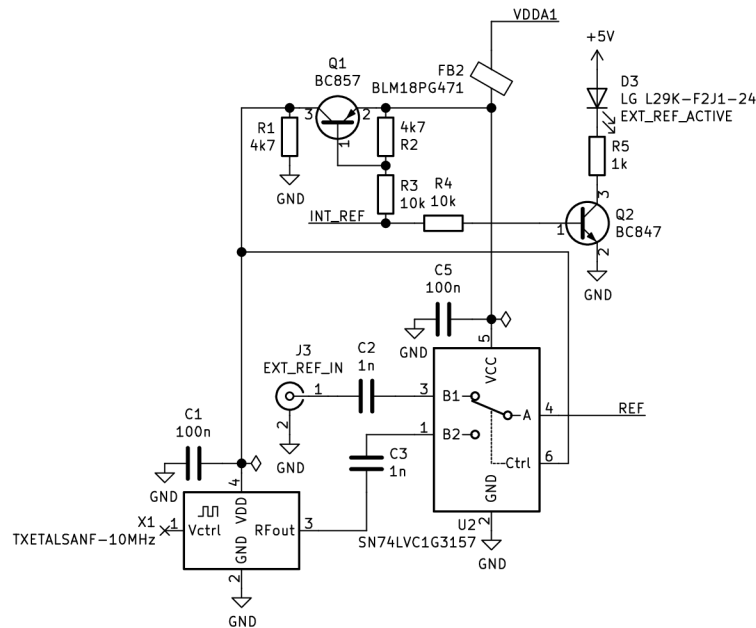


Obrázek 11 Závislost potlačení zvlnění napájecího napětí na frekvenci zvlnění [15]

Do systému je regulátor schopný dodávat proud až 200 mA. Zapojení je realizováno podle katalogového listu [15]. Nastavení výstupního napětí není řešeno jako obvykle napěťovou referencí z výstupu, ale proudovou referencí na pinu SET. To má výhodu zejména v tom, že regulátor pracuje vždy v konfiguraci jednotkového zesílení nezávisle na nastaveném výstupním napětí. To umožňuje regulátoru mít nezávislou smyčku zpětné vazby na její šířce pásma, frekvenční charakteristice a zisku, což vede k nezávislosti PSRR a šumu na nastaveném výstupním napětí. Další výhodou proudové reference je, že není potřeba použít chybový zesilovač pro zesílení napětí na SET pinu. To vede k větší napěťové stabilitě výstupu v řádu stovek mikrovoltů, která je fixní oproti napěťové referenci, kde se chyba výstupního napětí liší relativně s jeho velikostí.

Jelikož je zdroj proudu pro referenci velmi přesný, výsledná chyba výstupního napětí je pak silně závislá na přesnosti použitého rezistoru. Výrobce doporučuje použít přesný 1 % rezistor, kde v katalogovém listě uvádí přehlednou tabulku jeho hodnoty, pro různá výstupní napětí. Pro žádaných 3,3 V je hodnota rezistoru v proudové referenci 33,2 k Ω . Aby bylo výstupní napětí minimálně závislé na odebíraném výstupním proudu je doporučeno použít čtyř-vodičové zapojení (tzv. Kelvinovo zapojení) výstupního kondenzátoru (C52). Ten realizuje filtrování výstupního napětí. Vstupní napětí je dostatečně blokováno a filtrováno paralelní kaskádou kondenzátorů C41, C39, C36 a C37.

4.2 Přepínání referenčního signálu

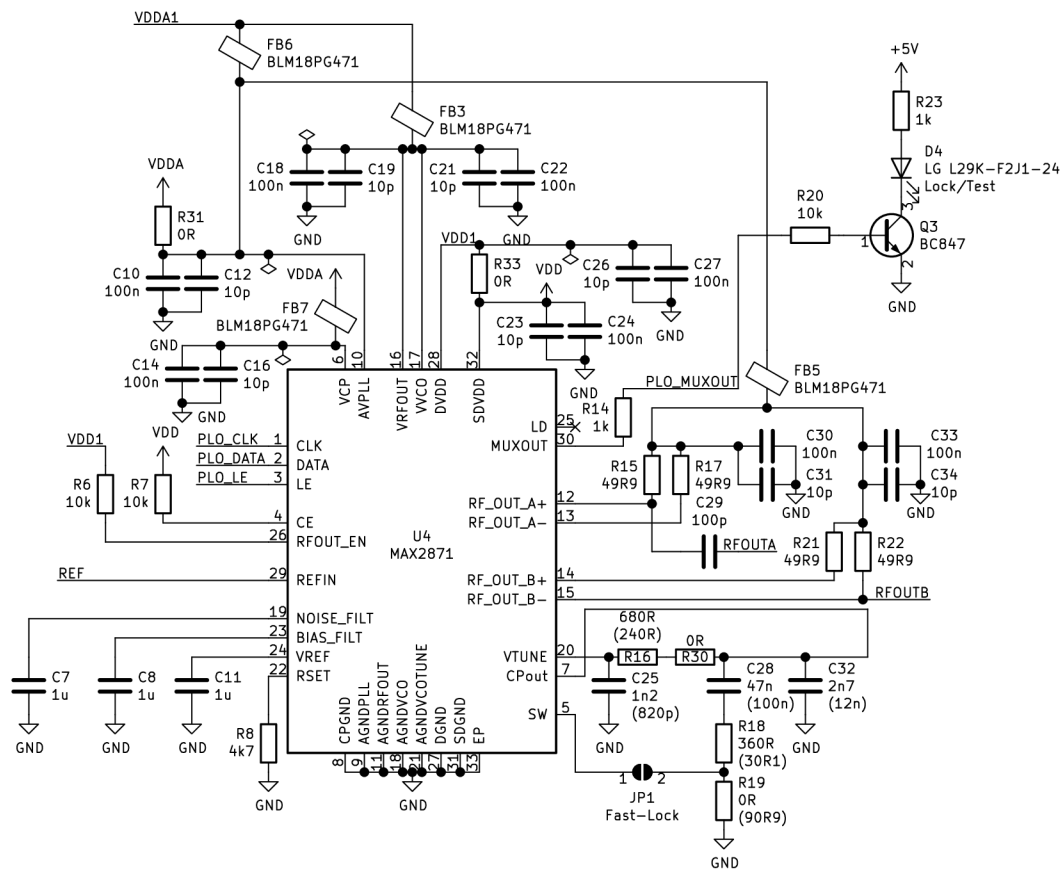


Obrázek 12 Schéma zapojení přepínání referenčního signálu

Jako zdroj referenčního signálu pro frekvenční syntezátor je uvažován vysoce stabilní rubidiový oscilátor připojený přes externí konektor. Pro méně náročné aplikace, například pro účely testování je vhodné mít k dispozici interní zdroj stabilního referenčního signálu. Jako interní oscilátor (X1) může být použit například TCXO od výrobce Taitien s označením TXETALSANF-10.000000. Jedná se o miniaturní teplotně kompenzovaný oscilátor v SMD pouzdře o rozměrech 3,2 x 2,5 mm. Jeho frekvenční stabilita při změně napájecího napětí $\pm 5\%$ je $\pm 0,2$ ppm. Jeho dlouhodobá frekvenční stabilita v rámci jednoho roku je ± 1 ppm. Tolerance výstupní frekvence je výrobcem udávaná na ± 2 ppm. [16]

K jejich přepínání slouží analogový přepínač U2 firmy TI nesoucí označení SN74LVC1G3157. Přepínač je použitelný až do 340 MHz, což pro uvažovanou aplikaci je s rezervou dostačující. Na 10 MHz je přeslech mezi vstupy -54 dB a vstupně výstupní izolace -57 dB. O stavu přepnutí informuje stavová LED dioda D3 spínaná tranzistorem Q2 (BC847). Na napájení je opět se záměrem zabránit nežádoucímu rušení zařazena feritová perlička FB2. Obvod přepínače je trvale připojen na napájení z analogové části. Za pomoci tranzistoru Q1 je poté ovládán řídicí pin přepínače a přiváděno napájecí napětí pro interní oscilátor. Kondenzátory C1 a C5 pak slouží jako blokování a kondenzátory C2 a C3 jako vazební.

4.3 Obvod frekvenčního syntezátoru



Obrázek 13 Schéma zapojení frekvenčního syntezátoru MAX2871

Jeho zapojení vychází z referenčního designu výrobce. [9] Jednotlivá napětí na napájecích pinech digitální části jsou blokovány kondenzátory C23, C24, C26 a C27. Napětí analogových částí jsou blokovány kondenzátory C14, C16, C10, C12, C18, C19, C21 a C22 a u napájení výstupních obvodů frekvenčního syntezátoru slouží za tímto účelem kondenzátory C30, C31, C33 a C34. Odrušení je opět realizováno feritovými perličkami, které zároveň slouží jako propojky pro přemostění cesty při návrhu desky plošného spoje. Některé vnitřní bloky syntezátoru je nutné filtrovat připojením externího kondenzátoru C7, C8 a C11.

Napájení výstupních obvodů syntezátoru je kromě jejich dostatečného blokování nutno impedančně přizpůsobit. Za tímto účelem slouží rezistory R15, R17, R21 a R22. Výstup sekce A je pak na zbytek obvodů navázán kondenzátorem C29. Na výstupu druhé sekce B není použit vazební kondenzátor, vzhledem k použitému navazujícímu obvodu, který jej již obsahuje zabudovaný. Ten bude popsán v jedné z následujících kapitol.

Smyčka fázového závěsu musí být doplněna o externí kombinaci součástek C25, R16, R30, C28, R16, R19 a C32. Ty realizují funkci filtru smyčky. Jejich hodnoty vycházejí opět z referenčního návrhu výrobce. Zapojení je navrženo univerzálně, s možností upravit smyčku syntezátoru pro režim rychlého zavěšení. Hodnoty součástek se upraví podle těch uvedených v závorkách a cínovou propojkou JP1 se realizuje propoj

s pinem SW.

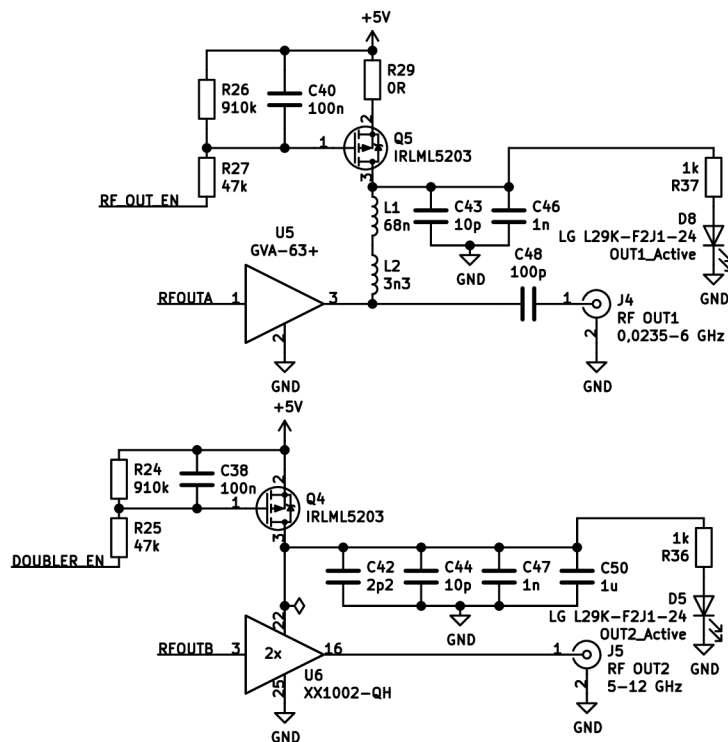
Hodnotu proudu nábojové pumpy na jejím výstupu určuje rezistor R8. Jeho hodnota se vypočítá s využitím rovnice (14):

$$I_{CP} = \frac{1,63}{R_{SET}} \cdot (1 + CP3:0) = \frac{1,63}{4700} \cdot (1 + 15) = 5,55 \text{ mA} \quad (31)$$

Pin syntezátoru nesoucí označení CE (Chip Enable) slouží k uvedení syntezátoru do režimu nízké spotřeby. Připojením přes sériový rezistor R7 na napájecí napětí je čip trvale povolen. Aktivaci výstupních pinů zajišťuje pin s označením RFOUT_EN. Ten je trvale přes sériový rezistor R6 připojen na napájecí napětí a tím jsou oba výstupy trvale povolené. Jejich případná aktivace/deaktivace je tedy možná pouze programově.

Za tímto i dalšími účely řízení slouží rozhraní SPI, tvořené piny CLK (zdroj hodinového kmitočtu), DATA a LE (Load Enable). Komunikace skrze toto rozhraní je tedy pouze jednosměrná. Jako výstup i vstup slouží víceúčelový pin MUXOUT, který má na svém výstupu taktéž připojenou přes tranzistor Q3 (BC847) LED diodu D4. Ta bude sloužit k informování o stavu fázového zavěšení, případně pro účely ladění FW procesoru.

4.4 Výstupní obvody



Obrázek 14 Schéma zapojení výstupních obvodů syntezátoru

Výstup syntezátoru A je určen pro generování základních kmitočtů v rozsahu od 23,5 MHz – 6 GHz. Výstup je zesílen integrovaným VF zesilovačem U5 firmy Mini-

Circuits GVA-63+. Ten je schopný zesilovat kmitočty v rozsahu od 10 MHz do 6 GHz. Vybrané základní parametry jsou přehledně uvedeny v tabulce 3.

Tabulka 3 Vybrané parametry zesilovače GVA-63+ [18]. Napájení zesilovače 4,5 V.

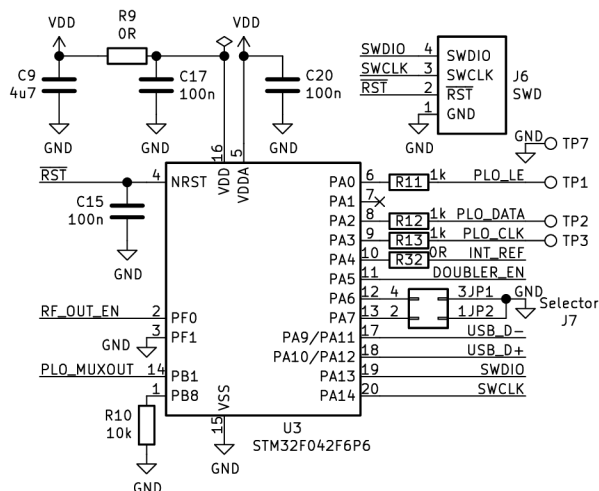
Parametr	Jednotka	Kmitočet [GHz]						
		0,3	1	2	3	4	5	6
Zisk G	dB	22,17	20,66	19,63	18,28	17,03	16,14	15,91
P_{1dB}	dBm	15,9	15,75	16,57	15,83	14,73	12,49	10,95
$IP3$	dBm	29,83	29,6	29,67	28,43	27,41	25,68	23,84
Šumové číslo NF	dB	3,38	3,62	3,53	3,48	3,69	3,92	4,22

Obvod je doplněn o vazební kondenzátor C48 pro oddělení stejnosměrné složky a obvodem zajišťující napájení zesilovače. Ten se skládá z tranzistoru Q5, který umožňuje aktivaci a deaktivaci a LC filtrem (C43, C46, L1 a L2) s rezistorem R29, zajišťující předpětí pro zesilovač. Toto zapojení vychází z konstrukce [10]. Hodnoty LC filtru jsou důležité pro impedanční přizpůsobení v širokém rozsahu kmitočtů. Výrobce nabízí vlastní hotové řešení například s označením ZX85-12G-S+ [19], které je impedančně přizpůsobené v rozsahu kmitočtů od 0,2 MHz do 12 GHz. Takové řešení je ovšem pro tuto práci nevhodné, jelikož se jedná zaprvé o ne příliš levné řešení a zadruhé by použití bylo velmi nepraktické.

Jedním z předností výše zmíněné konstrukce [10] je použití násobičky výstupního kmitočtu, která umožní rozšířit základní rozsah generovaných kmitočtů až do 12 GHz. Vzhledem k praktickému rozšíření vlastností navrhovaného modulu bylo rozhodnuto tuto násobičku použít i v této práci. Násobička je umístěna na druhém výstupu syntezátoru, označeném jako B. Násobička dvěma U6 firmy MACOM s označením XX1002-QH je schopna na svém výstupu poskytovat kmitočty v rozsahu 5–12 GHz o výkonu v saturaci +16 dBm. Výkonová úroveň na vstupu násobičky by se měla pohybovat v rozmezí od -3 dBm do +3 dBm. Z toho plyne, že maximální úroveň na výstupu syntezátoru při použití násobičky může být nastavena pouze na +2 dBm. Z principu násobení kmitočtu vznikají ve spektru nežádoucí kmitočty. Jejich úroveň by měla být podle katalogového listu -30 dBc pro třetí harmonickou a -20 dBc pro čtvrtou harmonickou. Napájení násobičky je přímo z 5 V větve a její proudový odběr by měl být typicky 102 mA (maximálně 140 mA). [17]

Každý kmitočtový rozsah má svůj vlastní konektor. O aktivním výstupu informují pro účely vývoje LED diody D8 a D5.

4.5 Řídicí část s MCU



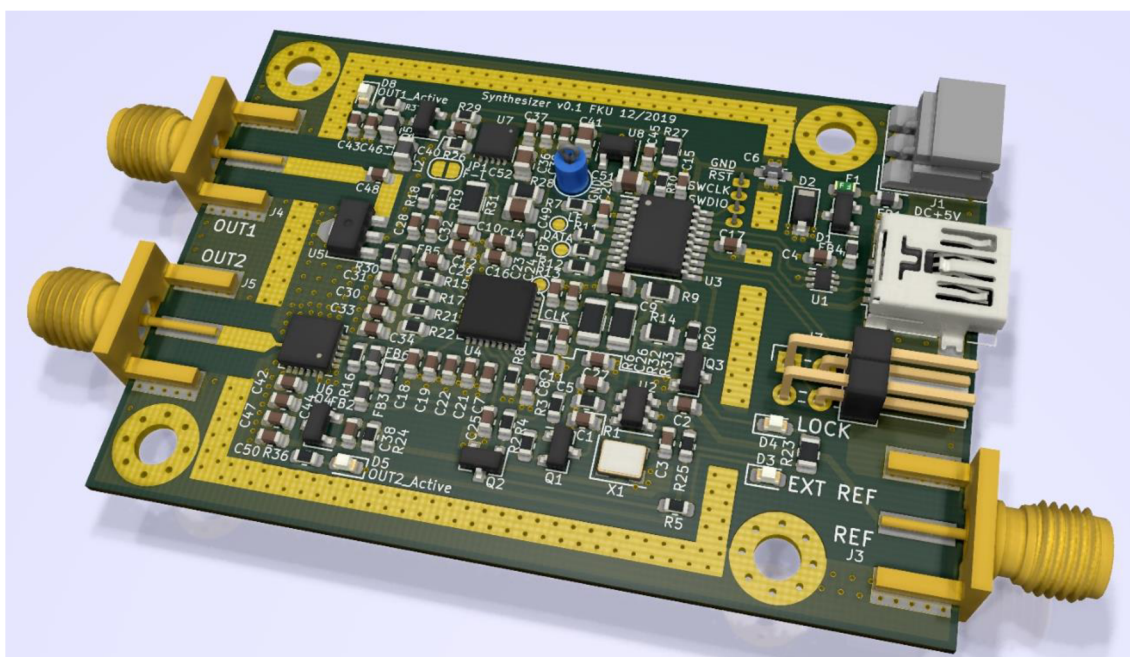
Obrázek 15 Schéma zapojení části řídicího mikrokontroleru

Pro řízení syntezátoru byl zvolen mikrokontroler STM32F042F6P6 (U3). Jedná se o 32bitový mikrokontroler s redukovanou instrukční sadou (RISC). Je postavený na jádře ARM Cortex-M0 s Von Neumannovou architekturou. CPU může pracovat na frekvenci až 48 MHz. Disponuje 32 kB paměti typu flash a 6 kB paměti typu SRAM. Z hardwarové výbavy nabízí především čtyři 16bitové a jeden 32bitový časovač. Z komunikačních rozhraní jsou to SPI, I²C, USART, CAN, USB, CEC. Obsahuje také 12bitový AD převodník, kterým lze měřit 9 výstupních kanálů a 3 interní. Mikrokontroler má celkem 16 vstupně výstupních pinů (GPIO). Taktéž obsahuje rozhraní DMA (Direct memory access controller), které umožňuje přenosy mezi perifériemi a pamětí bez účasti CPU. Rozsah napájecího napětí by měl být v rozmezí od 2 V do 3,6 V. [20]

Napájecí piny jsou blokovány kondenzátory C20 a C17. Kondenzátor C9 slouží jako filtrační. Zapojení je doplněno o konektor J6, který bude použit pro programování a vývoj vlastního FW. Rozhraní SPI (piny PA0, PA2 a PA3) není realizováno využitím HW periferie MCU, ale bude řízeno programově. Své opodstatnění to má především kvůli zjednodušení návrhu motivu plošného spoje. Piny PA4, PA5 a PF0 jsou využity pro ovládání přepínání vstupního referenčního zdroje signálu, a výstupního konektoru dle generované frekvence. Vstupně výstupní MUX pin syntezátoru je k mikrokontroleru připojen skrze pin PB1. Pin PB8 je v této aplikaci uzemněn přes rezistor R10 a je využit pro přehrávání FW skrze rozhraní USB přes tzv. zavaděč (bootloader). Rozhraní USB (piny PA9/PA11 a PA10/PA12) je připojeno k výstupu ESD ochrany U1 popisované v kapitole 4.1 pojednávající o napájecí části. Piny mikrokontroleru PA6 a PA7 jsou využity pro nastavení frekvence syntezátoru, uložené v paměti mikrokontroleru. Pomocí dvojitě pinové lišty J7 bude možno vybírat jednu ze 4 pevných frekvencí, uložených v paměti mikrokontroleru, bez nutnosti použití ovládacího programu v PC. Do té se bude přistupovat skrze rozhraní USB.

4.6 Návrh realizace syntezátoru

Navržený prototyp desky plošného spoje musí mít vysokofrekvenční trasy impedančně přizpůsobeny 50Ω . Pro dosažení co nejlepších parametrů by bylo vhodnější použít materiál dielektrika, který má na vyšších frekvencích menší ztráty. Nicméně s ohledem na jednodušší výrobu, byl pro první prototyp zvolen materiál dielektrika FR4 s relativní permitivitou $\epsilon_r = 4,4$ a tloušťkou 0,8 mm. Šířka vysokofrekvenčního mikropáskového vedení byla stanovena za pomoci integrovaného kalkulátoru návrhového prostředí plošných spojů KiCad [21] na 1,65 mm.



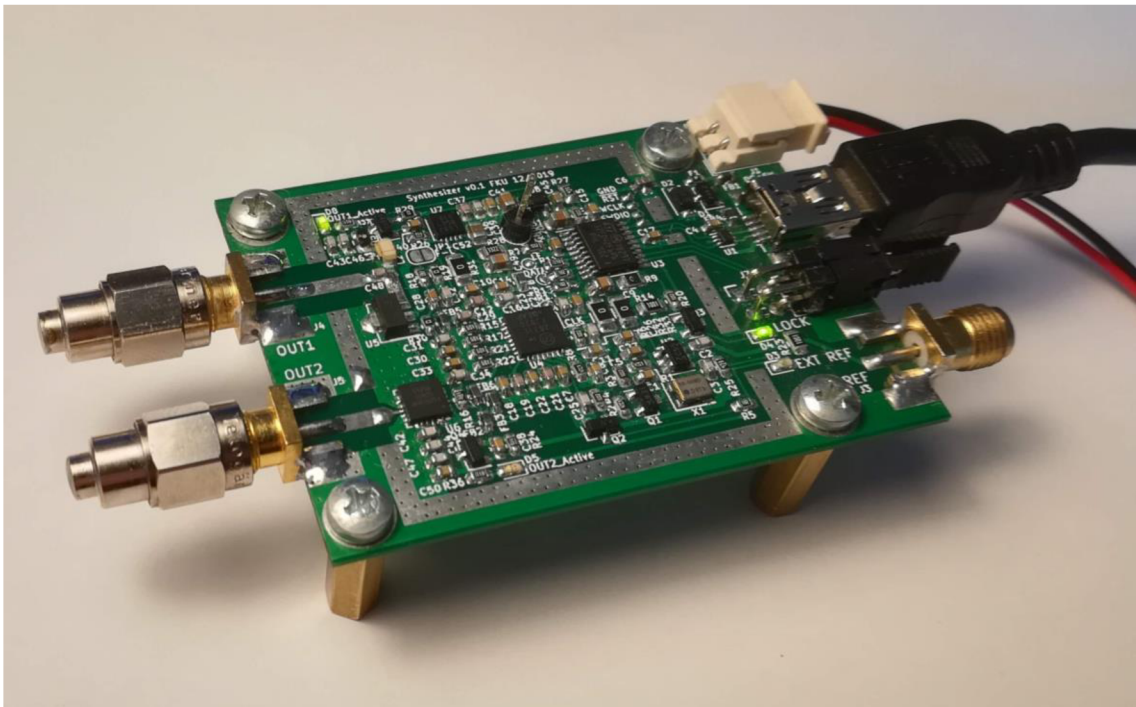
Obrázek 16 3D vizualizace návrhu realizace frekvenčního syntezátoru

Vysokofrekvenční obvody včetně řídicí části s mikrokontrolerem budou odstíněny od vnějšího okolí stíněním realizovaného z tenkého pocínovaného plechu, který bude natvarován do patřičného tvaru a přiletován k desce plošného spoje.

5 REALIZACE

5.1 Realizace modulu syntezátoru

Navržený prototyp plošného spoje byl zadán do výroby u profesionálního výrobce a po osazení a oživení základních částí bylo přistoupeno k vývoji řídicího programu pro mikroprocesor. Ten by měl zajišťovat komunikaci s řídicím PC přes rozhraní USB a se samotným frekvenčním syntezátorem přes rozhraní SPI.



Obrázek 17 Výsledná realizace modulu frekvenčního syntezátoru s PLO MAX2871

5.2 Firmware pro MCU

V následující části práce bude věnován prostor popisu programu mikrokontroleru. Firmware byl vyvíjen za pomoci HAL knihoven v prostředí *Visual Studio Code*. Základ projektu včetně těchto knihoven byl vygenerován programem *STM32CubeMX*.

Pro účely programování a ladění vyvíjeného programu byl použit vývojový kit *STM32F4DISCOVERY*, který obsahuje ladící rozhraní *ST-LINK V2*. To se dá jednoduše použít pro programování/ladění programu mimo vývojovou desku, po změně nastavení zkratovacích propojek na kitu.

5.2.1 Hlavní program

Hlavní program se nachází v souboru `main.c`. Před vstupem do nekonečné smyčky se provede inicializace periférií s využitím HAL knihoven. Dále je spuštěn časovač 3, provede se část z úkonů pro přeměrování výstupu `stdout` na USB VCP (například pro příkaz `printf()`), počká se 100 ms a je spuštěna inicializační rutina `init_routine()`. V nekonečné smyčce je pak volána `running_routine()`, která se věnuje obsluze hlavního programu.

Inicializační rutina zajistí při zjištění, že uživatelská paměť pro 4 nastavení syntezátoru je prázdná, nahrání defaultních hodnot paměti a provede inicializaci frekvenčního syntezátoru s ohledem na pozici zkratovací propojky (výběr paměti).

Funkce volaná v nekonečné smyčce vykonává obsluhu stavů, podle toho, jestli je sériový port otevřen, či nikoliv.

Když je port otevřený, jako první se volá funkce, zajišťující zpracování přijatých řídicích dat z rozhraní USB. Po zpracování přijatých příkazů se testuje, jestli jsou v kruhovém zásobníku k dispozici nová data. Kruhový zásobník je plněn při změně stavu zavěšení smyčky fázového závěsu PLO jejím aktuálním stavem. Pokud jsou k dispozici nové změny stavu smyčky, jsou tyto stavy postupně odesílány odpovídajícím textovým řetězcem na sériovou linku.

V případě, že port je zavřený, zjišťuje se, jestli nebyla provedena změna stavu na zkratovací propojce. Ta určuje nastavení registrů pro syntezátor, která jsou uložena v programové paměti mikrokontroleru.

5.2.2 Autonomní režim řízení syntezátoru

Navržený modul je schopný si uchovat i po odpojení napájení 4 sady registrů (nastavení) syntezátoru, mezi kterými lze vybírat zkratovací propojkou. Ta je umístěna na kratší hraně modulu u konektoru USB. Pro uchování nastavení i při odpojeném napájení, je nutné data uložit do paměti programu.

5.2.2.1 Datová paměť v oblasti paměti programu

Funkce, které zajišťují práci s programovou pamětí se nacházejí v souboru `flash.c`. V linker script souboru `STM32F042F6Px_FLASH.ld` byla nadefinována nová oblast s názvem `DATA`. Ta je umístěna na konci programové paměti, čímž je flash paměť rozdělena na dva sektory o velikosti 31 kB pro program a 1 kB pro data.

Proměnné uchovávací nastavení jsou pak v kódu definované takto:

```
__attribute__((__section__(".user_data"))) uint32_t saved_data_1[7];
__attribute__((__section__(".user_data"))) uint32_t saved_data_2[7];
__attribute__((__section__(".user_data"))) uint32_t saved_data_3[7];
__attribute__((__section__(".user_data"))) uint32_t saved_data_4[7];
```

7 pozic pro každou ze 4 pamětí. Šest 32bitových neznaménkových celých čísel (pozice 0-5) uchovává informaci o všech šesti registrech pro PLO MAX2871. Sedmá pozice pak slouží pro uložení nastavení modulu syntezátoru. Tedy o tom, jaký výstup je aktivní, jestli byla nastavena interní nebo externí signálová reference. Ostatní bity nemají prozatím žádnou funkci. 0. bit uchovává informaci o prvním výstupu (1 aktivní, 0 neaktivní), 1. bit o druhém (1 akt., 0 neakt.) a 2. bit o signálové referenci (1 externí, 0

interní).

Do paměti programu nelze zasahovat, dokud není odemčena HAL funkcí *HAL_FLASH_Unlock()*. Po provedení patřičných změn je zase nutné přístup k paměti uzamknout, k čemu slouží funkce *HAL_FLASH_Lock()*.

Dalším nutným úkonem, bez kterého nelze data do této paměti zapisovat, je vymazání celé stránky dat. Zápis totiž není možný, pokud obsah paměťového místa není roven 0xFFFFFFFF. Všechny 4 pozice paměti se nacházejí na jedné stránce dat a z toho důvodu je nezbytné ji mazat celou i při přepisování jedné pozice paměti. Existuje HAL funkce, která by toto měla zajišťovat, nicméně ta obsahuje chyby a nefungovala. Proto bylo použito řešení z tohoto zdroje [22] a byla napsána vlastní funkce pro smazání stránky v programové paměti. Do funkce vstupuje pouze adresa začátku stránky.

Paměť je rozdělena, jak již bylo několikrát zmíněno na stránky. Každá stránka má právě 1 kB. Viz referenční manuál k mikrokontroleru STM32F0 na stránce 55 [23].

Samotný zápis uživatelských dat pak využívá HAL funkce *HAL_StatusTypeDef HAL_FLASH_Program(uint32_t TypeProgram, uint32_t Address, uint64_t Data)*. Funkce je volána s parametrem *TypeProgram* FLASH_TYPEPROGRAM_WORD, čímž je definováno, že bude zapisováno celé 32bitové číslo. Adresa, kam se má zapisovat bude například pro první paměť (&saved_data_1[index]), kde *index* udává, o jaký registr se jedná (0-6). Posledním parametrem jsou samotná 32bitová data.

Pro jednodušší implementaci byla napsána funkce *void write_data_to_flash(uint8_t position, uint8_t index, uint32_t data)*, která na pozici (1-4) ukládá data určená pro jeden ze 7 registrů (index = 0 až 6).

Pro potřebu zapsat obsah všech 7 registrů pro určitou pozici v paměti najednou, byla vytvořena funkce *void write_complete_data_to_flash(uint8_t position, char *val0, char *val1, char *val2, char *val3, char *val4, char *val5, char *val6)*. Ta pak na pozici 1-4 (parametr *position*) uloží data, která do funkce vstupují v podobě hexadecimálních znaků.

Jednou z funkcí, která pracuje s těmito uživatelskými daty je *void apply_memory_select_changed(plo_new_data_t plo_write_type)*. Ta je volána například při inicializaci modulu syntezátoru po spuštění, nebo při změně pozice zkratovací propojky. Podle toho jsou pak data nahrána do syntezátoru MAX2871. Při přivedení napájení je nutné provést inicializační proceduru, která bude dále popsána v sekci týkající se funkcí pro PLO MAX2871. Ta je totiž odlišná od algoritmu změny řídicích registrů při normálním provozu. Při parametru *plo_write_type == PLO_INIT* funkce nečeká, než se nastaví *tick_handle* na *TICK_OCCUR* a okamžitě data nahraje z uživatelské paměti do frekvenčního syntezátoru jako inicializační. Během dalšího volání v běžném provozu se funkce volá s parametrem *PLO_NEW_DATA*. Nahrávání do syntezátoru je podmínkou pozdrženo do chvíle, kdy se dosáhne periody čítače (max 1 s). Tímto jsou ošetřeny případné zákmity signálu při změně pozice propojky. Předpokladem je, že po takovém čase už je signál na pinu po změně stabilní.

Pro každou pozici zkratovací propojky, je po nahrání registrů do MAX2871 také aplikováno nastavení pro komponenty modulu syntezátoru (aktivace odpovídajících výstupů, volba reference). K tomu slouží právě funkce *void change_plo_module_states(uint32_t control_register)*.

Poslední nepopsanou funkcí, která s touto pamětí operuje, je funkce `void flash_send_stored_data(void)`. Ta jednoduše odešle obsah uživatelské paměti na rozhraní USB VCP.

5.2.2.2 Změna pozice zkratovací propojky

Při generování projektu v *CubeMX* bylo nastaveno volání přerušení v případě, že dojde ke změně stavu na pinech, kde je umístěna pinová lišta pro zkratovací propojku. Přerušení se vygeneruje jak pro sestupnou, tak i pro náběžnou hranu. Obsluha přerušení se nachází ve funkci `void EXTI4_15_IRQHandler(void)` v souboru `stm32f0xx_it.c`, který je již předpřipravený generováním kódu z *CubeMX*. Přerušení musí být krátké, proto se pouze nastaví příznak, že byla detekována změna `memory_select_event = MEMORY_SELECT_CHANGED` a vyresetuje se `tick_handle = TICK_NOT_OCCUR`. Což jak už bylo zmíněno, slouží k aplikaci neblokujícího čekání pro ošetření případných zákmitů. Tyto příznaky se pak kontrolují v hlavním programu, viz. výše.

5.2.2.3 Použití časovače

Časovač číslo 3 slouží pouze pro generování příznaku, že uplynula určitá doba. Čítač byl pomocí *CubeMX* nastaven s periodou 500 ms a pro rozšíření časového intervalu je využito podmínky s počítáním, kolikrát byla podmínka zavolána. Takto je aktuálně generován příznak o délce 1 sekundy. Takto lze lehce generovat více příznaků v libovolných násobcích základní periody čítače. Je dobré mít na vědomí, že je rozdíl mezi přerušením od samotného časovače, kdy je volána rutina v souboru `stm32f0xx_it.c` a přerušení od periody, která je násobkem. Tato rutina se nachází v souboru `timer.c`. Funkce `void HAL_TIM_PeriodElapsedCallback(TIM_HandleTypeDef *htim)` je v HAL knihovnách definována jako slabá (`weak`), a je tedy v této části kódu přepsána.

5.2.3 USB komunikace (VCP)

Pro komunikaci s počítačem bylo použito rozhraní USB v režimu virtuálního sériového portu (odtud zkratka VCP - Virtual Com Port). Knihovna byla vygenerována s pomocí programu *CubeMX* jako *Middleware*.

Při otevření portu terminál operačního systému Windows odešle CDC příkazy pro nastavení kódování linky a pak vyčítá toto nastavení zpět. Více informací lze nalézt zde [24]. Tyto příkazy jsou zachyceny ve funkci `static int8_t CDC_Control_FS(uint8_t cmd, uint8_t *pbuf, uint16_t length)`, která se nachází v souboru `usb_cdc_if.c`. Příkazy jsou detekovány jako `cmd CDC_SET_LINE_CODING` a `CDC_GET_LINE_CODING`.

Tato funkce je také volána s příkazem `CDC_SET_CONTROL_LINE_STATE` v momentě, kdy se port otevře, případně zavře. Čehož je využito pro nastavení odpovídajícího příznaku, podle kterého se mění chování hlavního programu. Pokud je ovšem během otevřeného portu sériového rozhraní USB kabel odpojen a komunikace tak není řádně ukončena uzavřením portu, tato funkce volána není a příznak by nebyl změněn. Při odpojení USB kabelu se zavolá v souboru `usbd_conf.c` funkce `void HAL_PCD_SuspendCallback(PCD_HandleTypeDef *hpcd)` a právě v ní je potřeba patřičné příznaky správně nastavit.

Samotné ovládání modulu syntežátoru je realizováno za pomoci jednoduchých textových příkazů. Konkrétní způsob realizace bude popsán níže.

5.2.3.1 Odesílání příkazů přes sériové rozhraní

Už v hlavním programu byla zavolána funkce *setbuf(stdout, NULL)*. Ta byla zavolána právě proto, aby pro odesílání dat na sériovou linku mohlo být v kódu využíváno funkce formátovaného výstupu *printf()*. Pro dokončení přeměření výstupu *stdout* na USB VCP je využito kódu funkce *int _write(int file, char const *buf, int n)*, která se nachází v souboru *usbd_cdc_if.c*. Pokud je stav linky BUSY, funkce setrvává v nekonečné smyčce, do momentu, kdy se stav na lince neuvolní. Po uvolnění linky se zavolá funkce pro odesílání dat na USB *uint8_t CDC_Transmit_FS()* a textový příkaz je odeslán na sériové rozhraní.

5.2.3.2 Příjem dat ze sériového rozhraní

Po naplnění USB CDC přijímacího bufferu se zavolá funkce static *int8_t CDC_Receive_FS(uint8_t *Buf, uint32_t *Len)*, který se nachází v souboru *usbd_cdc_if.c*. Funkce po jednotlivých znacích volá další funkci *void usb_data_available(uint8_t c)* ze souboru *usb.c*. V ní jsou jednotlivé znaky ukládány do příkazového bufferu *cmd_buffer*. Samotné příkazy mohou být odděleny jak znakem '\n' (LF) tak '\r' (CR). Takto se také rozpozná, že příkaz je kompletní a nastaví se příznak, že buffer obsahuje kompletní ovládací instrukci. Následně dojde k přepnutí příkazového bufferu na druhý, pro případ, že data chodí rychleji, než je schopen mikrokontroler zpracovávat.

Příkazy jsou tedy ukládány do více bufferů, mezi kterými program přepíná. Počet bufferů pro příkazy, které bude mít mikrokontroler k dispozici definuje makro *CMD_BUFFER_CNT*. Maximální počet znaků v bufferu určuje makro *CMD_BUFFER_LEN*. Není ošetřen stav, kdy budou všechny zásobníky plné. Tedy příkazy z rozhraní USB chodí stále příliš rychle. Do tohoto stavu by se ale program teoreticky neměl nikdy dostat, díky implementovanému softwarovému handshakingu. Řídicí program v počítači po každém příkazu totiž čeká na potvrzení, že příkaz byl zpracován.

5.2.3.3 Zpracování přijatých příkazů

Když je port otevřený, v hlavním programu je v nekonečné smyčce volána funkce *void usb_procesing_command_data(void)*. V ní je zjišťováno, jestli nebyl přijat nový příkaz. Pokud ano, obsah zásobníku je předán funkci *void usb_process_command(char *command_data)*, která se stará o zpracování příkazu. Po úspěšném zpracování příkazu je příznak, že zásobník obsahuje nový příkaz zrušen a je přepnuto na další zásobník. Následně je opět zjišťováno, jestli se v něm nenachází nový příkaz. Pokud ano, postup se opakuje. Pokud ne, funkce zde končí.

Funkce zpracování všech příkazů je poměrně rozsáhlá, proto zde bude uvedena jen její část, na které bude vysvětlen princip rozdělení přijatého textového řetězce na jednotlivé příkazy.

Jako první jsou deklarovány pomocné proměnné, do kterých se bude postupně ukládat získaný rozdělený přijatý příkaz. Z přijatého textového řetězce jsou také odstraněny bílé znaky CR a LF, které byly použity pro oddělení jednotlivých kompletních příkazů při příjmu.

Postup rozdělování přijatého řetězce lze demonstrovat na příkazu pro výběr referenčního zdroje. Pro oddělení hlavního příkazu je využito volání funkce *strtok*

s následujícími parametry: `strtok(command_data, " ")`. Prvním argumentem je zpracováváný textový řetězec a druhým je oddělovací znak, tedy mezera. Získaný hlavní příkaz je pak uložen do pomocné proměnné `command`. V kaskádě podmínek se poté zjišťuje, jestli se neshoduje s nějakým definovaným řetězcem. Například pro výběr zdroje referenčního signálu je to `"ref"`. Zbylé části kompletní instrukce se z přijatého řetězce získají voláním stejné funkce, ovšem nyní už s následujícími parametry `strtok(NULL, " ")`. Opakovaným voláním funkce s těmito parametry se tedy dostávají další a další příkazy oddělené v tomto případě mezerou (pokud jsou k dispozici). Po úspěšném dokončení přijatého příkazu se odešle zpět na sériovou linku text `"OK\r"`. Pokud jsou příkazy odesílány nějakým počítačovým programem automatizovaně, měl by na tento řetězec počkat, než bude pokračovat ve vysílání dalších příkazů.

Pokud bude přijat textový řetězec neznámého formátu, kterému neodpovídá žádná ze série podmínek, modul syntezátoru odpoví odesláním textu na sériové rozhraní: `"unknown command!\r"`.

Některé příkazy zpracovávají hexadecimální výraz přijatý jako textový řetězec. Pro další zpracování, například uložení do programové paměti, nebo odeslání do PLO musí být tento řetězec převeden na číselnou hodnotu. K tomu slouží funkce `uint32_t hex2int(char *hex)`, která se nachází v souboru `format.c`. Funkce využívá algoritmu z tohoto zdroje [25]. Vstupní textový řetězec představující v hexadecimální znaky funkce převede a vrátí 32bitovou číselnou hodnotu. Maximální převáděnou hodnotou může být 8 hexadecimálních znaků / 32 bitů.

Kompletní přehled všech možných příkazů, na který modul reaguje je v následujícím seznamu.

Tabulka 4 Seznam příkazů pro modul frekvenčního syntezátoru s PLO MAX2871

Příkaz	Popis
ref ext	přepne na externí zdroj referenčního signálu
ref int	přepne na interní zdroj referenčního signálu
out 1 on	aktivuje výstupní zesilovač na 1. výstupu PLO
out 1 off	deaktivuje výstupní zesilovač na 1. výstupu PLO
out 2 on	aktivuje aktivní násobičku dvěma na 2. výstupu PLO
out 2 off	deaktivuje aktivní násobičku dvěma na 2. výstupu PLO
plo init	provede inicializační algoritmus nahrání testovacích dat do PLO
plo set_register 12345678	odešle 8 hexadecimálních znaků 12345678 do PLO (32bit. registr)
plo data clean	smaže všechna uživatelská data uložená v programové paměti
plo data stored?	vrátí všechna uživatelská data uložená v programové paměti
plo data 1 R0 R1 R2 R3 R4 R5 RC	nahráje data pro 1. paměť. R0-5 jsou reg. MAX2871, RC je registr stavů v samotném modulu
plo data 2 R0 R1 R2 R3 R4 R5 RC	nahráje data pro 1. paměť. R0-5 jsou reg. MAX2871, RC je registr stavů v samotném modulu
plo data 3 R0 R1 R2 R3 R4 R5 RC	nahráje data pro 1. paměť. R0-5 jsou reg. MAX2871, RC je registr stavů v samotném modulu
plo data 4 R0 R1 R2 R3 R4 R5 RC	nahráje data pro 1. paměť. R0-5 jsou reg. MAX2871, RC je registr stavů v samotném modulu
plo read_reg6 vco	vrátí registr 6, který zahrnuje informaci o čísle aktuálně používaného VCO
plo read_reg6 temp R3	vrátí registr 6, který zahrnuje informaci o získané teplotě čipu syntezátoru MAX2871, R3 je kompletní registr 3 s upravenou hodnotou CDIV pro účely nastavení AD převodu
plo read_reg6 tune R3	vrátí registr 6, který zahrnuje informaci o získaném ladícím napětí VCO v obvodu MAX2871, R3 je kompletní registr 3 s upravenou hodnotou CDIV pro účely nastavení AD převodu

5.2.4 Ovladač frekvenčního syntezátoru MAX2871

Funkce, které zajišťují komunikaci s obvodem frekvenčního syntezátoru lze nalézt v souboru max2871.c. Použití pinů mikrokontroleru, které mají jako alternativní funkci možnost hardwarové podpory SPI rozhraní, po kterém využívá syntezátor, by zkomplikovalo návrh designu plošného spoje. Z tohoto důvodu bylo rozhodnuto realizovat komunikaci softwarovou realizací SPI rozhraní. Funkce *void plo_write_register(uint32_t data)* slouží pro zápis a *uint32_t plo_read_register(void)* pro čtení.

5.2.4.1 Zápís dat do syntezátoru

Před zápisem musí být zajištěno, aby byla data do syntezátoru nahrávána od nejvíce významného bitu (MSB) po nejméně významný bit (LSB). Za tímto účelem se volá funkce `uint32_t lsb_to_msb_bit_reversal(uint32_t input)` ze souboru `format.c`, která pořadí bitů otočí. Funkce vychází z algoritmu uvedené v této diskusi [26].

Samotný proces odesílání je následující: podle vstupních dat je v cyklu bit po bitu nastavován datový výstup (pin PA2) a generován hodinový pulz na hodinovém pinu (pin PA3). Po odeslání všech 32 bitů je před ukončením funkce generován pulz na pinu LE (pin PA0). Tento pulz způsobí, že se nahraná data, která se ukládají v PLO do posuvného registru aplikují.

Pro případ, že je potřeba postupně odeslat všechny registry, vznikla funkce `void plo_write(uint32_t *data, plo_new_data_t plo_new_data_type)`. Způsob nahrávání se liší podle typu nových data specifikovaných proměnnou `plo_write_type`. Její hodnota může být:

- `PLO_OUT_ENABLE` – zapíše pouze 4. registr, který zahrnuje informaci o stavu výstupů syntezátoru A i B.
- `PLO_INIT` – provede inicializační proceduru (výstupy budou deaktivovány)
- `PLO_NEW_DATA` – zapíše všechny registry od 5. po 0. beze změny

Uvnitř této funkce je volána funkce `void plo_write_all(uint32_t *max2871, plo_new_data_t plo_write_type)`, která zajišťuje správné pořadí nahrání všech registrů podle výše zmíněných typů dat.

Inicializační procedura je popsána v kapitole 3.1.10 Komunikace se syntezátorem a odpovídajícího chování se dosáhne voláním funkce s parametrem `INIT`. Pro povolení výstupu v závěru inicializační rutiny se funkce volá s parametrem `PLO_OUT_ENABLE`. Pro běžný požadavek na nahrání obsahu všech registrů beze změn se funkce volá s parametrem `PLO_NEW_DATA`.

5.2.4.2 Čtení dat z registru

Pro čtení dat z MAX2871 slouží registr 6, jak bylo již zmíněno v kapitole 3.1.10 Komunikace se syntezátorem. Při přijetí příkazu pro čtení dat z ADC (čtení teploty, napětí na ladícím pinu VCO) musí být přijat i upravený registr 3 se správnou hodnotou `CDIV` pro AD převodník. Po dočasné změně registru 3 je nastaven odpovídající mód ADC a zahájen proces převodu. Dokud není nastavený bit 15 v registru 6, který indikuje úspěšně dokončený AD převod, je opakovaně volána funkce `uint32_t plo_read(uint32_t reg5)`. Této funkci se musí předat dočasně upravená hodnota registru 5. Funkce se také stará o správné nastavení funkce MUX pinu. Po úspěšném AD převodu je celá hodnota přečteného registru 6 odeslána zpět na sériovou linku v odpovídajícím tvaru, podle toho, jaký mód ADC byl nastaven. Před ukončením funkce jsou ještě obnoveny původní hodnoty v dočasně upravených registrech. Z registru 6 lze také vyčíst aktuálně zvolené VCO.

5.2.5 Indikace zavěšení smyčky fázového závěsu PLO

Jednou z funkcí MUX pinu je digitální detekce zavěšení smyčky fázového závěsu. Pokud jsou do příslušného registru PLO nahrána data, která nenastavují tuto funkci MUX pinu, je odeslán textový řetězec "plo state is not known\r" a je zakázáno přerušování, které se

generuje při změně stavu na MUX pinu. V momentě, kdy má PLO funkci MUX pinu nastavenou správně na digitální detekci zavěšení smyčky fázového závěsu, tak je přerušeni povoleno. Pokud je zároveň sériový port otevřený, do kruhového bufferu je zaznamenáván stav zavěšení, při změně úrovně na MUX pinu. Zachycené stavy zavěšení se pak v nekonečné smyčce zpracovávají a na sériový port se odesílá informace "plo locked\r" nebo "plo isn't locked\r".

5.3 Software pro PC

Pro pohodlné ovládání modulu syntezátoru, byl napsán řídicí program pro počítač s operačním systémem Microsoft Windows. Program byl psán v jazyku C# s využitím prostředí *Microsoft Visual Studio* a *Microsoft Visual Studio Code*. Následuje stručný popis vytvořeného programu.

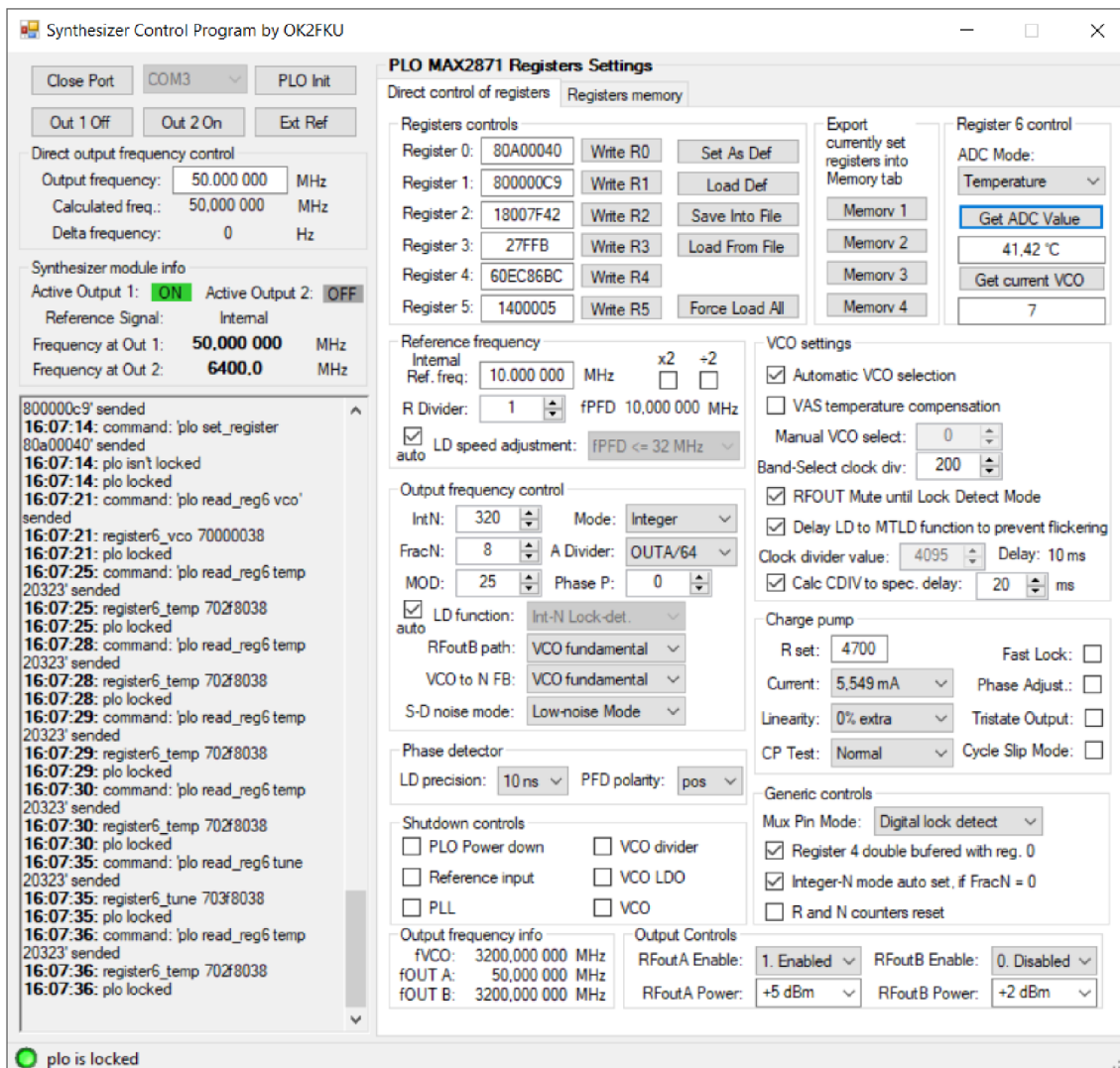
Po spuštění programu je aktivní pouze prvek pro výběr sériového portu a jeho otevření. Seznam aktuálně dostupných sériových portů je vždy aktualizován při jeho rozbalení. Po úspěšném otevření portu se možnost jeho výběru deaktivuje a aktivují se ostatní ovládací prvky. Pokud by byl zvolen nesprávný port, případně by nastala jiná chyba zabráňující úspěšnému otevření sériového portu, program vypíše chybovou hlášku. Při uzavření portu se opět zpřístupní výběr portu a deaktivují se všechny ostatní ovládací prvky v programu.

Uživatelské prostředí je rozděleno do několika základních skupin. Jeho podoba je zachycená na obrázku 18. V levé horní části programu se nacházejí ovládací prvky pro otevření / uzavření a výběr sériového portu. Dále tlačítko pro požadavek na inicializační sekvenci frekvenčního syntezátoru, tlačítka pro aktivování / deaktivování výstupu 1 / 2 a výběr zdroje referenčního signálu (interní / externí). Pod těmito prvky se nachází sekce pro automatický výpočet registrů ze zadané frekvence, informační sekce o aktuálním stavu modulu frekvenčního syntezátoru a v levé spodní části se nachází informační textová konzole. Sem se vypisují významné události.

V pravé části okna se nacházejí prvky týkající se samotných registrů. A to jak číselná hodnota celého registru, tak jednotlivé separované parametry, které jednotlivé registry zahrnují. Přepnutím okna na druhou záložku lze následně zobrazit sekci, která obsahuje ovládací a informační prvky paměti registrů v modulu syntezátoru.

Ve spodní části okna se nachází stavová lišta, která informuje o tom, jestli je frekvenční syntezátor ve stavu fázového zavěšení, či nikoliv. Pokud syntezátor neposkytuje díky svému aktuálnímu nastavení informaci o zavěšení, je zde o této situaci uživatel též informován.

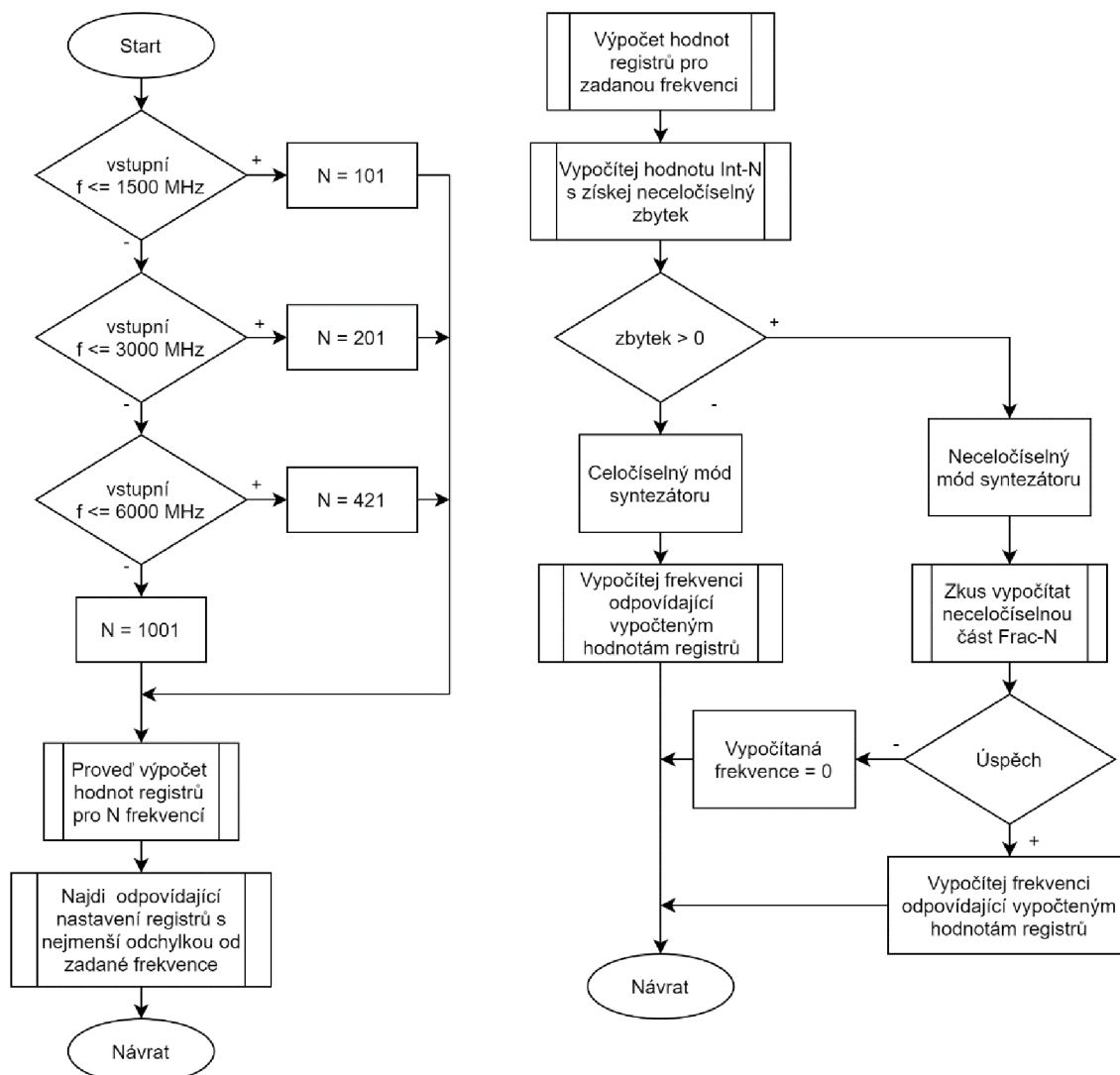
Při otevření portu / uzavření portu a také při ukončení programu se aktuální vnitřní obsah okna uloží do souboru *saved_workspace.json*, který lze nalézt ve složce */conf*. Takto si program po spuštění automaticky pamatuje poslední používanou konfiguraci a automaticky ji načte, pokud je tedy k dispozici. V opačném případě se okno načte s defaultními hodnotami. Při ukončení si program také zapamatuje pozici okna na obrazovce, a to i v případě, že počítač je vybaven více monitory. V případě, kdy by se okno mělo otevřít mimo viditelnou část obrazovky, je zajištěno, aby se okno otevřelo v defaultní pozici. Toto může nastat například při odpojení externího monitoru.



Obrázek 18 Okno ovládacího programu pro PC po úspěšném otevření portu – záložka s ovládáním registrů

5.3.1 Výpočet registrů ze zadané frekvence

V sekci pojmenované *Direct output frequency control* lze zadat cílový kmitočet v MHz a program vypočítá nejvhodnější nastavení hodnot registrů (s využitím vztahů (22) až (26) s ohledem na co nejmenší odchylku od zadané frekvence. Samotný výpočet probíhá podle algoritmu znázorněném na obrázku 19.



Obrázek 19 Vývojový diagram výpočtu nastavení hodnot registrů

Uživateli je následně vypsána aktuální odchylka a reálný nastavený kmitočet. Podle velikosti výstupní frekvence jsou také automaticky aktivovány odpovídající výstupy. Vstupní pole pro požadovaný kmitočet respektuje jak desetinou tečku, tak i desetinnou čárku. Na jiné znaky (například písmena) nereaguje. Změnu frekvence lze také provést inkrementováním / dekrementováním cifry podle pozice kurzoru šipkami nahoru / dolů, případně kolečkem myši.

5.3.2 Informace o aktuálním nastavení modulu syntezátoru

Tato část okna uživateli poskytuje přehledně informaci o stavu a kmitočtu na jednotlivých výstupech modulu a jaký zdroj referenčního signálu je použit. Kliknutím na stav výstupu (ON / OFF) lze výstup deaktivovat / aktivovat. Taktéž kliknutím na aktuální referenci ji lze přepnout na druhou. Vypisované kmitočty jsou počítány z aktuálního odeslaného nastavení podle vztahů (22) až (26). Kmitočet pro výstup 2 odpovídá dvojnásobku kmitočtu na výstupu B frekvenčního syntezátoru MAX2871.

5.3.3 Informační textová konzole

Tato konzole slouží k informování uživatele a uchovávání významných událostí při používání programu. Každá událost má časovou značku a dokud program není ukončen, významné akce jsou zde zpětně dohledatelné. Zaznamenávají se přijatá data, odeslané příkazy, chybové hlášky, případně další akce, jako je ukládání nastavení atd. Chybové hlášky, případně varování jsou pak červeně zdůrazněny slovíčkem „Warning“.

5.3.4 Pracovní registry

Sekce s pracovními registry se nachází v pravé části okna pod záložkou *Direct control of registers*. V části *Register controls* lze přímo upravovat kompletní hexadecimální hodnotu každého registru. Textové pole respektuje pouze hexadecimální znaky. K aplikování změn dojde buď stiskem tlačítka *Enter*, kliknutím na tlačítko *Write Rx* (x představuje číslo odpovídajícího registru 0-5) nebo při ztrátě zaměření (na jiný ovládací prvek). Pokud se zadaná hodnota liší od té předchozí, program přepočítá odpovídající separované hodnoty z jednotlivých registrů a v případě potřeby provede jejich korekci na správné hodnoty. Před konečným aplikováním změn a odesláním do modulu syntezátoru ještě dojde ke kontrole adresních bitů. Pokud se nová hodnota od té původní neliší, k odeslání hodnoty nedojde.

Kliknutím na tlačítko *Set As Def* lze tyto nastavené registry uložit jako výchozí a kliknutím na tlačítko *Load Def* je lze načíst zpět. Uloženy, případně načteny, budou též stavy výstupů celého modulu a výběr zdroje referenčního signálu. Nastavení je uloženo v souboru s názvem *default.json* ve složce */conf*. Pokud složka, případně soubor neexistuje, program se jej pokusí vytvořit a pokud by pokus nebyl úspěšný a operace by selhala, uživatel je informován chybovou hláškou.

Aktuální nastavení registrů, stavy výstupů a výběr zdroje referenčního signálu je také umožněno uložit / načíst pod libovolným názvem z libovolného umístění použitím tlačítka *Save Into File / Load From File*. Program vytvoří výchozí název souboru podle vzoru jako je například tento: *fOUT1_30,000000MHz_IntRef_Out1Act_Out2Dis.json*.

Tlačítko *Force Load All* pak slouží k nahrání všech registrů v patřičném pořadí do syntezátoru. K odeslání hodnot dojde bez ohledu na to, jestli je aktuální nastavení registrů již v syntezátoru nahráno.

5.3.5 Ovládání jednotlivých funkcí syntezátoru

Ovládání syntezátoru přes 32bitovou hodnotu by bylo silně nepraktické, proto jsou ve zbytku karty *Direct control of registers* ovládací prvky pro jednotlivá separovaná dílčí nastavení. V následujících podkapitolách budou prvky rozebrány.

5.3.5.1 Referenční kmitočet

V této části okna nazvané *Reference frequency* se nacházejí jednotlivé separované položky z registrů, které se týkají referenčního kmitočtu. Zároveň je zde textové pole pro zadání kmitočtu referenčního signálu. V momentě, kdy je přepnuto na interní referenci, je hodnota vždy přenastavena 10,0 MHz a je umožněna její editace. Umožněno je zadávat kmitočet referenčního signálu s přesností na jednotky Hz. Toto textové vstupní pole má stejné ovládání a respektuje stejný formát vstupu jako pole popisované v kapitole 5.3.1 Výpočet registrů ze zadané frekvence.

Jednotlivé separované položky v této části jsou: hodnota děliče referenčního kmitočtu *R Divider*, stav kmitočtové násobičky referenčního kmitočtu dvěma ($\times 2$), stav děličky ref. kmit. dvěma ($\div 2$). Dále je zde volba *LD speed adjustment*, která je při aktivované volbě *auto* automaticky nastavena podle velikosti kmitočtu na vstupu fázového detektoru. f_{PFD} .

5.3.5.2 Výstupní kmitočet

Sekce s názvem *Output frequency control* obsahuje ovládací prvky, které mají přímý vliv na výstupní kmitočet syntezátoru. Obsahuje tedy separované položky jako jsou: hodnoty celočíselného poměru *IntN*, hodnoty pro neceločíselný poměr *FracN* a *MOD* a volbu módu syntezátoru *Mode*. Na výstupu VCO je pak umístěna programovatelná dělička frekvence, kterou ovládá prvek *A divider*. Při potřebě posunu fázového rozdílu slouží prvek *Phase P*.

Podle aktuálního módu syntezátoru bude při aktivované volbě *auto* automaticky nastavena správná funkce fázového detektoru (*LD function*). Kmitočet na výstupu B lze ovlivnit volbou *RFoutB path*. Při volbě *VCO fundamental* je kmitočet na výstupu roven frekvenci na výstupu VCO. Naopak při volbě *VCO divided* bude frekvence dělena hodnotou děliče A. Viz rovnice (25) a (26).

Cestu zpětné vazby z VCO na N-čítač lze měnit pomocí ovládacího prvku *VCO to N FB*. Při volbě *VCO fundamental* je výstupní kmitočet určen vztahem (22). Při volbě *VCO divided* platí vztahy (23) případně (24) v závislosti na velikosti děličky A.

Pomocí *S-D noise mode* lze nastavit režim sigma-delta modulátoru pro optimální šumové vlastnosti, viz kapitola 3.1.7.

5.3.5.3 Fázový detektor

Položky týkající se fázového detektoru lze najít v části pojmenované jako *Phase detector*. Jsou to zejména *LD precision* a polarita fázového detektoru *PFD polarity*.

5.3.5.4 Vypínání částí syntezátoru MAX2871

V sekci *Shutdown controls* lze jednotlivě vypínat a zapínat části syntezátoru MAX2871, jako jsou obvody referenčního vstupu (*Reference input*), fázového závěsu (*PLL*), děličky na výstupu VCO (*VCO divider*), LDO pro VCO (*VCO LDO*) nebo samotného VCO. Případně zde lze vypnout kompletně celý syntezátor (*PLO Power down*), kdy aktivní zůstane pouze komunikační rozhraní SPI.

5.3.5.5 VCO

V části *VCO Settings* jsou separované kontrolní prvky týkající se napětím řízeného oscilátoru. Lze zde přepínat mezi automatickým nebo manuálním výběrem konkrétního VCO (*Automatic VCO selection*). Při automatickém výběru je ovládací prvek *Manual VCO select* deaktivován a lze využít volby *VAS temperature compensation*. Při aktivní volbě se konkrétní VCO vybírá také podle okolní teploty s ohledem na minimální teplotní drift. Hodnota *Band-Select clock div* je automaticky počítána podle frekvence na vstupu fázového detektoru. Jak bylo zmíněno v kapitole 3.1.3.1, její hodnota udává rychlost stavového automatu při výběru VCO, a tedy i rychlost zavěšení. Dále zde lze nastavit automatické deaktivování výstupů syntezátoru při ztrátě zavěšení, případně nastavit časovou prodlevu opětovné aktivace výstupu, při opětovné detekci zavěšení smyčky fázového závěsu. Velikost prodlevy ovlivňuje parametr *CDIV* a nastavení hodnoty lze

nechat výpočetním algoritmu programu, pokud je aktivní možnost *Calc CDIV to spec. delay*. Případně ji lze nastavovat manuálně prvkem *Clock divider value*. Aktuální doba prodlevy je v okně přepočítána podle vztahu (15) a zobrazena v milisekundách v kolonce *Delay*.

5.3.5.6 Nábojová pumpa

Ovládací prvky pro nábojovou pumpu lze nalézt v sekci *Charge pump*. Podle hodnoty *RSET* (hodnotu je nutné po zadání potvrdit klávesou Enter) jsou vypočítány dle vztahu (14) jednotlivé hodnoty pro proudy nábojové pumpy (*Current*). Též zde lze řídit linearitu nábojové pumpy (*Linearity*). Program sám hlídá správné nastavení linearity s ohledem na aktuální režim syntezátoru. Volbou *CP Test* lze nábojovou pumpu přepnout z normální funkce do testovacích režimů. Další možnosti ovládací syntezátoru v této sekci jsou: režim rychlého zavěšení (*Fast Lock*), korekce fáze (*Phase Adjust*), režim výstupu nábojové pumpy ve vysoké impedanci (*Tristate Output*) a tzv. redukce skluzu (*Cycle Slip Mode*).

5.3.5.7 Výstupní kmitočet syntezátoru

V části *Output frequency info* je uživatel informován o aktuálních kmitočtech na jednotlivých výstupech frekvenčního syntezátoru MAX2871 (*fOUT A / fOUT B*). Zároveň zde lze nalézt aktuální frekvenci na výstupu VCO (*fVCO*). Jestliže je kmitočet VCO mimo povolené meze (3000 MHz – 6000 MHz) je uživateli vypsáno chybové hlášení, kmitočet VCO je červeně zvýrazněn a kmitočty na výstupech budou ukazovat 0 MHz. **Ovládací výstupů**

V pravé dolní části okna se nachází sekce pojmenovaná *Output controls*, která slouží k řízení výstupů syntezátoru MAX2871. Každý výstup A i B lze povolit, případně zakázat (*RFoutA/B Enable*) a nastavovat u něj výstupní výkon (*RFoutA/B Power*). U výstupu B je volba + 5 dBm zakázána, protože by došlo k překročení optimální úrovně signálu na vstupu kmitočtové násobičky, která je na tomto výstupu připojena. Při nastavování výkonu na výstupu A je nutné respektovat bod jednadicelové komprese. Více k tomuto bude řečeno v kapitole 6.1.

5.3.5.9 Ostatní ovládací prvky

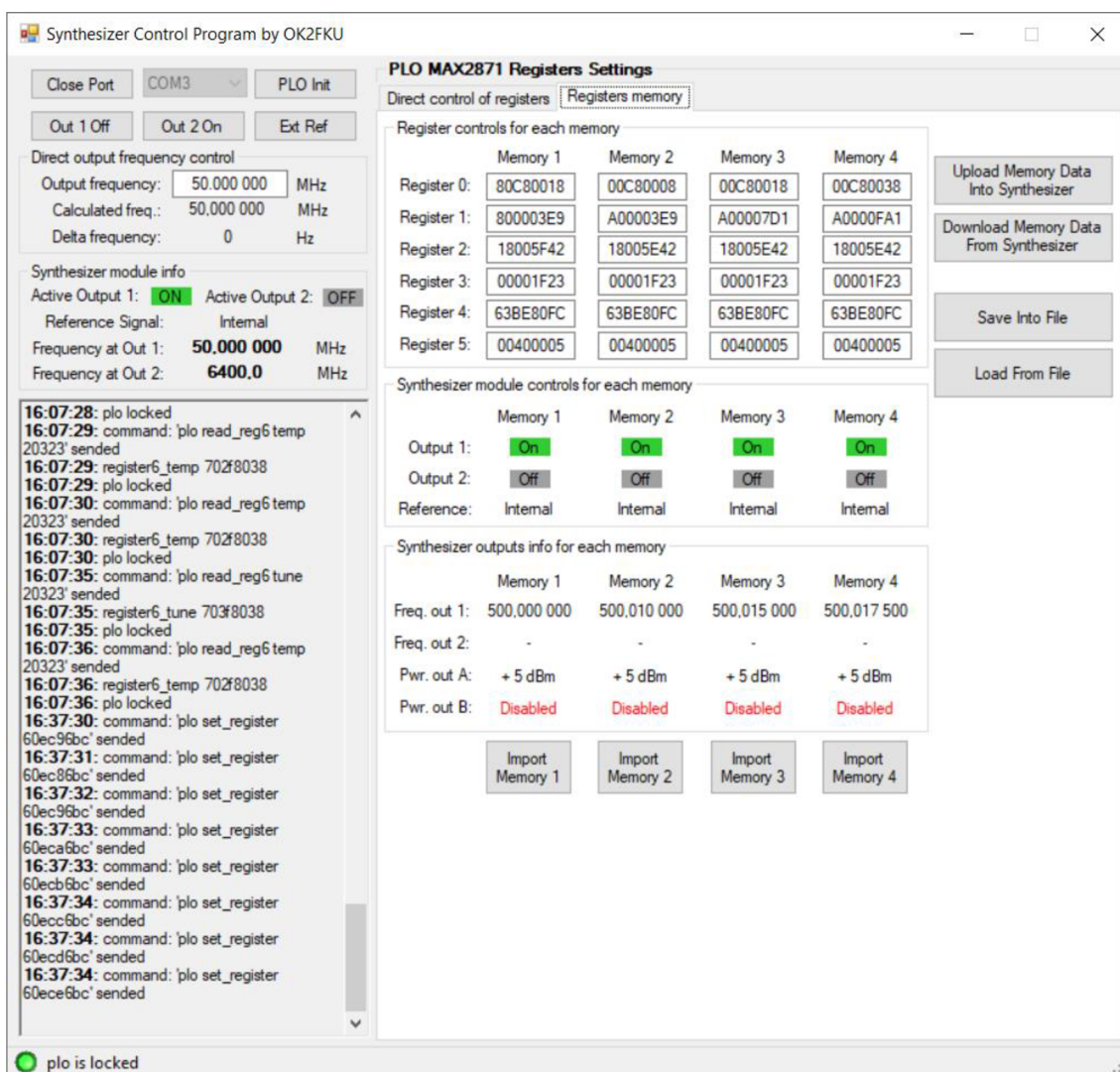
V části pojmenované *Generic controls* lze nalézt tyto ovládací prvky: režim MUX pinu (*MUX Pin Mode*), automatické nastavení syntezátoru do celočíselného módu, pokud je $F = 0$ (*Integer-N mode auto set, if FracN = 0*) a reset R a N čítačů (*R and N counters reset*). Také zde lze nastavit, aby byl registr 4 dvojitě nahráván s registrem 0 (*Register 4 double buffered with reg. 0*). Pokud tato funkce není aktivní, změna hodnoty A děliče vyvolá okamžitou změnu na výstupu syntezátoru.

5.3.5.10 Registr 6

V pravé horní části se nachází sekce s názvem *Register 6 control*. Podle nastaveného režimu AD převodu (*ADC Mode*) se po stisku tlačítka *Get ADC Value* odešle do modulu příslušný příkaz a modul odešle zpět registr 6 se získanou hodnotou z AD převodníku, který je součástí syntezátoru MAX2871. Program ji podle vzorce (28) nebo (29) převede do odpovídající podoby a zobrazí v textovém poli pod tímto tlačítkem. Takto lze přečíst teplotu čipu syntezátoru ve °C, případně napětí na ladícím pinu VCO ve V. Po stisku tlačítka *Get current VCO* je uživateli přečteno a zobrazeno aktuální používané VCO.

5.3.6 Práce s pamětí

Aktuální nastavení registrů a stavy výstupů modulu včetně volby zdroje referenčního signálu lze exportovat do karty věnované pamětím v modulu syntezátoru. K tomu slouží tlačítka pro jednotlivé paměťové pozice *Memory 1* až *Memory 4* v části programu, pojmenované *Export currently set registers into Memory tab*. Po stisknutí tlačítka pro konkrétní pozici paměti se aktualizuje daná pozice v kartě *Registers memory*. Tato karta je vyobrazena na následujícím snímku.



Obrázek 20 Okno ovládacího programu pro PC po úspěšném otevření portu – záložka s pamětmi modulu syntezátoru

Položky v této záložce jsou opět rozděleny do několika sekcí. První z nich, *Registers controls for each memory* zobrazuje hodnotu každého registr. Stavy výstupů a volba zdroje referenčního signálu se zobrazuje v části *Synthesizer module controls for each memory*. Kliknutím na stav se tyto hodnoty dají měnit. Poslední částí je *Synthesizer outputs info for each memory*, která slouží jako přehledný výpis základních parametrů, které určují jednotlivé registry. Ve spodní části se nacházejí tlačítka, kterými lze každé

nastavení paměti přenést do pracovního prostředí s registry na první kartě (tlačítko *Import Memory 1 až 4*). Při importu se zároveň toto nastavení odešle do modulu syntezátoru.

Veškeré úpravy hodnot pro paměť se dějí pouze v programu a pro nahrání do modulu syntezátoru je potřeba stisknout tlačítko *Upload Memory Data Into Synthesizer*. Pokud je potřeba vyčíst aktuální obsah paměti v modulu syntezátoru, tak k tomu slouží tlačítko *Download Memory Data From Synthesizer*. Program také umožňuje obsah nastavení pro paměti uložit do počítače. Pro uložení slouží tlačítko *Save Into File*. Uložená data paměti lze načíst zpět do programu tlačítkem *Load From File*.

6 OVĚŘENÍ ČINNOSTI – MĚŘENÍ

Pro měření byl použit měřicí přístroj značky R&S FSUP50. Tento přístroj je vhodný pro měření například fázového šumu díky své vysoké dynamice vstupu a nízkému fázovému šumu. Přístroj navíc celé měření automatizuje, a proto ani není potřeba korekce dle použitého RBW filtru dle vztahu (12) uvedeného v kapitole 2.2.

6.1 Úroveň výstupního výkonu

Změřen byl výstupní výkon modulu frekvenčního syntezátoru na prvním výstupu, který slouží pro generování signálu v rozsahu od 23,5 MHz do 6 GHz. Hodnoty výstupních úrovní jsou uvedeny v následující tabulce.

Tabulka 5 Závislost výstupního výkonu na frekvenci pro první výstup. [18]
($P_{OUT A} = -4$ dBm, $U_{DQ} = 4,46$ V – napájeno z USB $U_{USB} = 4,79$ V)

$f_{OUT 1} / \text{GHz}$	$P_{OUT 1} / \text{dBm}$	G / dBm	P_{1dB} / dBm
1	11,3	20,66	15,75
2	11,4	19,63	16,57
3	9,7	18,28	15,83
4	6	17,03	14,73
5	6,1	16,14	12,49
6	1,3	15,91	10,95

Při měření byla úroveň výstupního výkonu obvodu MAX2871 nastavena na -4 dBm. V tabulce je též uvedena katalogová hodnota jednodécibellové komprese P_{1dB} a zisk G použitého VF zesilovače GVA-63+. Tento zesilovač je umístěn na výstupu A obvodu MAX2871. Katalogové hodnoty jsou vztaženy k napájecímu napětí výstupního zesilovače $U_{DQ} = 4,5$ V, které přibližně odpovídá napětí na zesilovači při napájení z USB ($U_{USB} = 4,79$ V). Je patrné, že výstupní výkon je poměrně silně závislý na výstupní frekvenci. S rostoucí frekvencí výstupní úroveň výkonu klesá. Na frekvenci okolo 6 GHz by se například dalo uvažovat maximální přípustné nastavení výstupního výkonu frekvenčního syntezátoru MAX2871 i $+2$ dBm či $+5$ dBm. Na kmitočtu okolo 1 GHz by byla teoretická maximální výstupní úroveň frekv. syntezátoru pouze -1 dBm. Při takovém nastavení by neměl být výstupní výkon zesilovače v úrovni, kdy nastává jednodécibellová komprese. Při zvyšování výstupního výkonu na výstupu 1 je tedy nutné respektovat bod jednodécibellové komprese.

Znatelná závislost úrovně výstupního výkonu na frekvenci bude pravděpodobně způsobena nedokonalostí fyzického provedení vzorku modulu syntezátoru. Použitý materiál dielektrika FR4 má na vyšších kmitočtech vyšší ztráty. Rozložení součástek, a tedy i výsledný motiv plošného spoje, se také bude podílet na větším útlumu signálu při vyšších kmitočtech. Řešením by bylo použít více vrstvou desku plošného spoje, případně také vhodnější materiál substrátu desky plošného spoje.

V následující tabulce jsou zachyceny změřené hodnoty úrovně výstupního výkonu pro druhý z výstupů, který slouží pro generování signálu v kmitočtovém rozsahu od 6 GHz do 12 GHz.

Tabulka 6 Závislost výstupního výkonu na frekvenci pro druhý výstup.
($P_{OUT\ B} = +2\ \text{dBm}$, napájeno z USB $U_{USB} = 4,79\text{V}$)

$f_{OUT\ 2} / \text{GHz}$	$P_{OUT\ 2} / \text{dBm}$
6	10,7
8	9,8
10	9,3
12	4,5

Při měření výstupního výkonu na druhém výstupu lze opět sledovat značný pokles úrovně výstupního výkonu při vyšších kmitočtech.

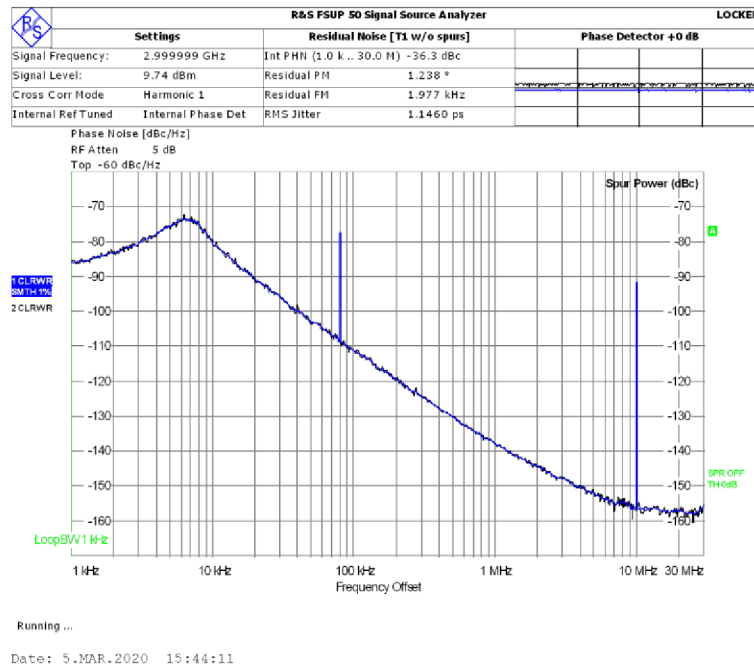
6.2 Spektrální vlastnosti

U navrženého vzorku modulu frekvenčního syntezátoru byly změřeny základní spektrální vlastnosti jak v blízkém okolí generovaného nosného signálu (fázový šum), tak v jeho vzdálenějším okolí (úrovně vyšších harmonických složek).

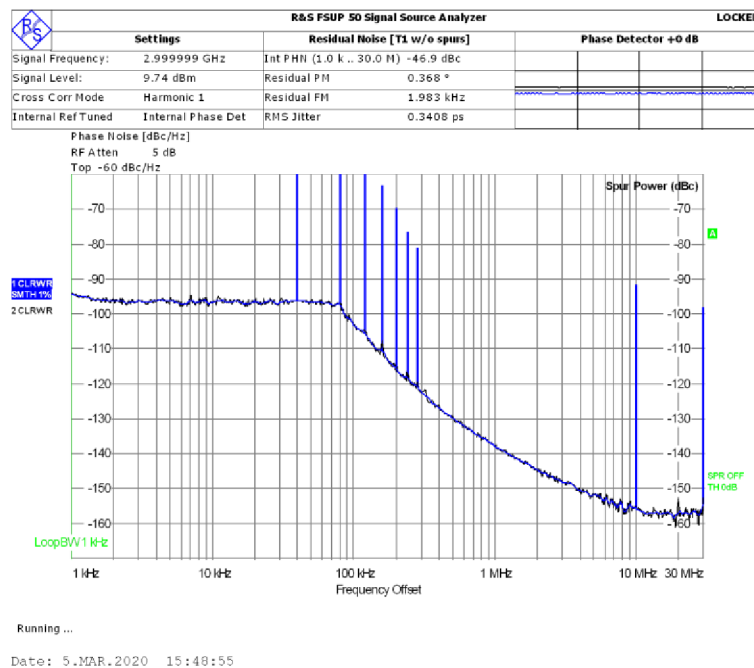
6.2.1 Fázový šum

Fázový šum byl měřen pro několik kombinací hodnoty proudu nábojové pumpy na několika kmitočtech výstupního signálu jak v základním rozsahu, tak na výstupu s kmitočtovou násobičkou. Na kmitočtu 6 GHz bylo zároveň provedeno měření s externím zdrojem referenčního signálu. Vzhledem k většímu množství všech zaznamenaných průběhů jsou zde v hlavní části práci jen některé průběhy. Všechny změřené průběhy lze nalézt v příloze.

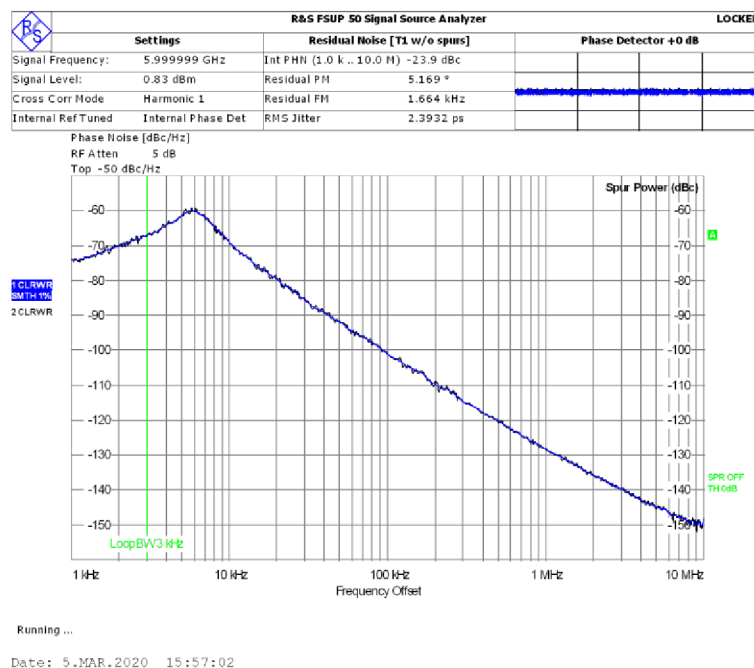
Při zvyšování proudu nábojové pumpy, na jejímž výstupu se nachází filtr smyčky fázového závěsu, se sice snižuje práh šumu v okolí nosného kmitočtu, ovšem na úkor generování většího množství rušivých složek o diskretních signálech (anglicky spurs). Referenční kmitočet použitého zdroje referenčního signálu byl v obou případech (jak pro interní zdroj, tak pro externí zdroj referenčního signálu) 10 MHz. V blízkém okolí nosného kmitočtu si lze všimnout pronikání tohoto signálu do výstupního spektra. Tato složka je posunutá od nosného kmitočtu o hodnotu kmitočtu použitého zdroje referenčního signálu.



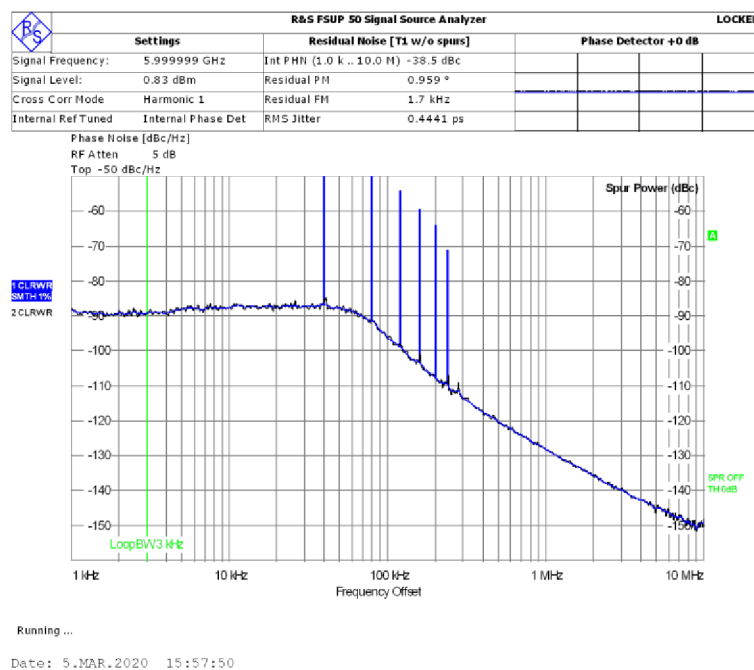
Obrázek 21 Fázový šum signálu 3 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, interní reference



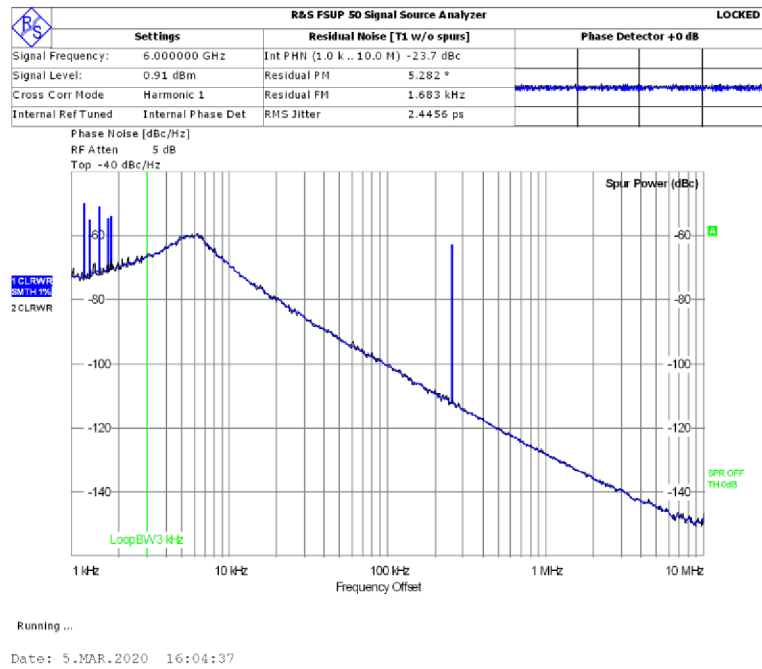
Obrázek 22 Fázový šum signálu 3 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, interní reference



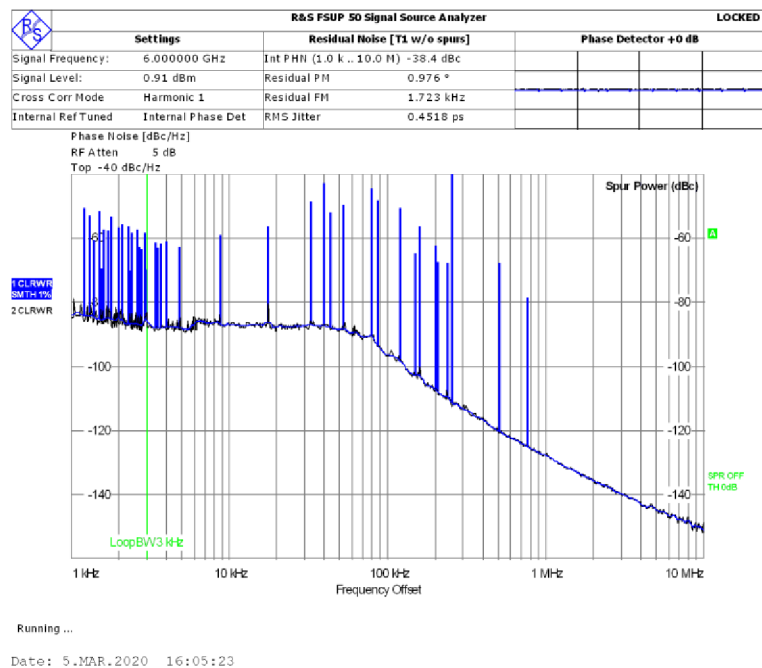
Obrázek 23 Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, interní reference



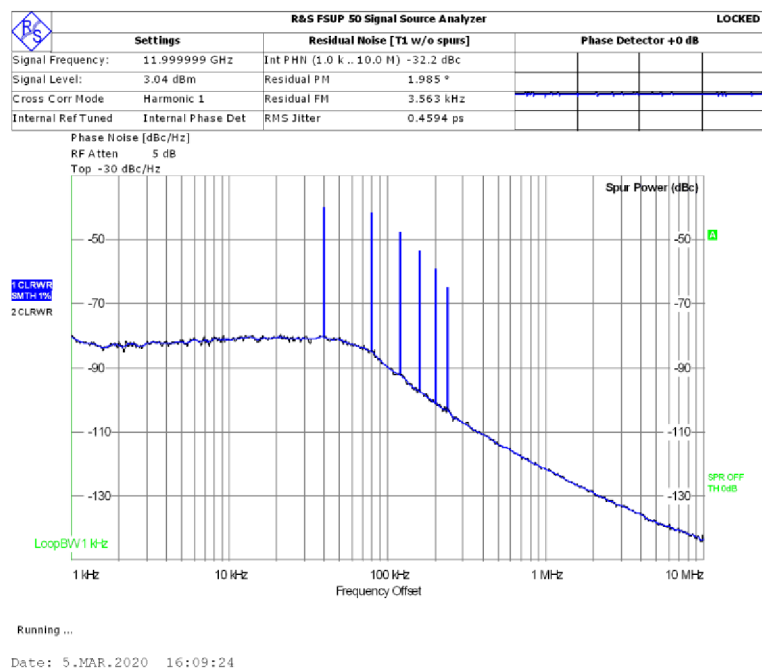
Obrázek 24 Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, interní reference



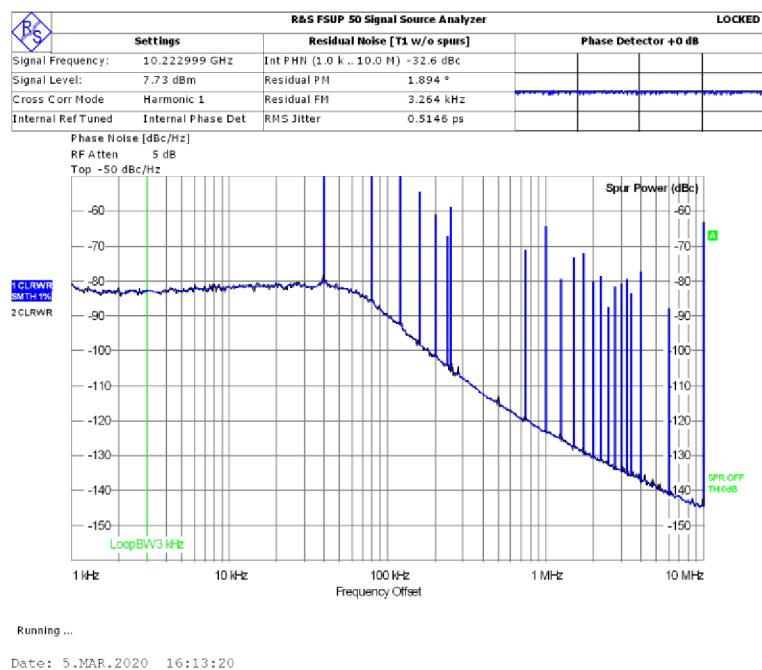
Obrázek 25 Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, externí reference



Obrázek 26 Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, externí reference



Obrázek 27 Fázový šum signálu 12 GHz při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, interní reference



Obrázek 28 Fázový šum signálu 12 GHz při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, interní reference

6.2.2 Úroveň vyšších harmonických

Na výstupu byly pro základní rozsah do 6 GHz změřeny jednotlivé úrovně výkonu vyšších složek harmonických kmitočtů pro kmitočet generovaného výstupního signálu 1 GHz. Výstupní výkon obvodu MAX2871 byl nastaven na nejnižší a poté na nejvyšší možnou hodnotu.

Tabulka 7 Úrovně výkonu harmonických kmitočtů na prvním výstupu modulu syntezátoru pro kmitočet výstupního signálu 1 GHz ($P_{OUT A} = -4$ dBm)

Číslo harmonické	Úroveň výkonu / dBm	dBc
1. - základní	11,3	
2.	-5,7	17
3.	-0,2	11,5
4.	-9,6	20,9
5.	-13,1	24,4
6.	-19,0	30,3
7.	-23,0	34,3

Tabulka 8 Úrovně výkonu harmonických kmitočtů na prvním výstupu modulu syntezátoru pro kmitočet výstupního signálu 1 GHz ($P_{OUT A} = +5$ dBm)

Číslo harmonické	Úroveň výkonu / dBm	dBc
1. - základní	16	
2.	-4,8	20,8
3.	3,5	12,5
4.	-5,8	21,8
5.	-10	26
6.	-16	32
7.	-17	33
8.	-22	38

6.3 Napájení zařízení

Zařízení je navrženo pro možnost jej napájet ze stejnosměrného zdroje externího napájení +5 V, nebo z konektoru USB. Za tímto účelem je použita Schottkyho dioda, která má za následek úbytek v systémové 5 V větvi. Napěťový úbytek vzniklý na této sériové diodě byl změřen na přibližně 300 mV.

Proudový odběr byl měřen vždy při napájení z externího zdroje +5 V. Při aktivním výstupu 1 byl změřen na 181 mA (výkon nastavený na výstupu MAX2871 byl -4 dBm). Při aktivním výstupu 2 byl změřen na 234 mA (výkon na výstupu MAX2871 byl +2 dBm). Při aktivování obou výstupů zároveň (výkon na výstupu obvodu syntezátoru A $P_{OUT A} = -4$ dBm a na výstupu B $P_{OUT B} = +2$ dBm) byl proudový odběr 283 mA. Při nastavení maximálních možných výkonů na obou výstupech (+5 dBm a +2 dBm) proudový odběr nepřekročí 350 mA, což odpovídá maximálnímu příkonu 1,75 W.

7 ZÁVĚR

V samotném úvodu diplomové práce byly kmitočtové syntezátory představeny a rozděleny do základních kategorií. V navazující kapitole byla získána potřebná znalost teorie kmitočtových syntezátorů s fázovým závěsem včetně studia jejich základních parametrů.

Na základě získaných znalostí byly z nabídky integrovaných obvodů výrobců Analog Devices a Maxim Integrated vybráni dva nejvíce vhodné kandidáti. Každý syntezátor byl podrobně prostudován a ukázalo se, že bude potřeba zvolit vhodný kompromis mezi efektivitou návrhu a dosažitelnými parametry s ohledem na cenu za integrovaný obvod syntezátoru. Vývoj syntezátoru na mikrovlákných kmitočtech s sebou nese jistá rizika a komplikace, díky kterým bylo rozhodnuto použít integrovaný obvod MAX2871 se zabudovaným obvodem VCO.

Prvotní myšlenka odzkoušet navrženou desku plošného spoje s ověřeným řídicím programem pro mikrokontroler [10] selhala díky uzavřenému konceptu tohoto firmwaru. Pouze s menšími obtížemi, které byly způsobeny zejména mými velmi krátkými zkušenostmi s mikroprocesory STM32, byl nakonec napsán rovnou vlastní firmware. Ten byl postupně rozšířen o všechny zamýšlené funkce a modul je tak v plném rozsahu funkční.

Navržený modul syntezátoru komunikuje s uživatelským rozhraním v PC přes rozhraní USB. Ovládací povely představují krátké textové příkazy. Modul lze díky tomu jednoduše řídit i bez specializovaného řídicího programu, tedy například přes nějaký textový terminál pro komunikaci přes sériové rozhraní. Modul si i po odpojení napájení pamatuje 4 kompletní nastavení registrů, mezi kterými uživatel vybírá pomocí zkratovací propojky na okraji desky plošného spoje. Zdroj referenčního signálu je možné přepínat mezi interním TCXO a externím, přivedeném na konektor SMA. Návrh plošného spoje zároveň počítá s možnou úpravou smyčky fázového závěsu pro urychlení zavěšení syntezátoru. Tato funkce je pouhým možným rozšířením a prozatím není zamýšleno její využití. Výstupy modulu syntezátoru jsou dva. Jeden pro základní rozsah použitého obvodu syntezátoru (23,5 MHz – 6 GHz) a druhý rozšiřuje základní rozsah až do 12 GHz za pomoci obvodu frekvenční násobičky. Zařízení je zamýšleno používat pouze s jedním aktivním výstupem, nicméně ovládat oba výstupy lze nezávisle na sobě.

Pro pohodlné řízení modulu bylo taktéž navrženo grafické uživatelské rozhraní (GUI) pro osobní počítač. To umožňuje jak přímou kontrolu jednotlivých registrů syntezátoru, tak výpočet registrů ze zadané frekvence. Samozřejmostí je možnost zápisu registrů pro jednotlivé paměti modulu případně jejich vyčtení z modulu do grafického rozhraní.

V závěru práce bylo provedeno měření důležitých parametrů. Změřená závislost výstupního výkonu na frekvenci vykazuje významný útlum na vyšších frekvencích. Ten může být způsoben použitým materiálem dielektrika plošného spoje nebo také rozvržením součástek. Umístění součástek limituje možnost optimálně navrhnout kompletně celou trasu jako vysokofrekvenční mikropáskové vedení. Výkon u prvního výstupu by měl být nastavován s ohledem na bod jednodécibellové komprese použitého zesilovače, aby byl minimalizován vznik nežádoucích signálů. Změřený fázový šum na

prvním výstupu byl při vhodném nastavení proudu nábojové pumpy ve vzdálenosti 10 kHz od nosné lepší než - 85 dBc/Hz, což hodnotím jako dobré. Frekvenční syntezátor vlivem nelinearit na svém výstupu produkuje větší spektrum harmonických složek. Nejvýraznější byla třetí harmonická složka, která byla o úrovni 11,5 dBc (při nastavené úrovni výstupního výkonu obvodu syntezátoru – 4 dBm). Změřený příkon při aktivních obou výstupech by neměl přesáhnout 1,75 W (350 mA při 5 V).

LITERATURA

- [1] PROKEŠ, Aleš. *Rádiové přijímače a vysílače: přednášky*. Brno: Vysoké učení technické, 2002. ISBN 80-214-2263-7.
- [2] VÁGNER, Petr. *Vysokofrekvenční technika*. Brno: Vysoké učení technické, 2013. Skripta
- [3] KASAL, Miroslav. *Frekvenční syntéza v komunikačních systémech: experimentální družice = Frequency synthesis in communication systems: experimental satellites: teze přednášky k profesorskému jmenovacímu řízení v oboru Elektronika a sdělovací technika*. Brno: VUTIUM, 2005. ISBN 80-14-2982-8.
- [4] FOX, Adrian. *PLL Synthesizers* [online]. [cit. 2019-10-28]. Dostupné z: <https://www.analog.com/en/analog-dialogue/articles/pll-synthesizers.html>
- [5] FORBES, Peadar a Ian COLLINS. *AN-873 Lock Detect on the ADF4xxx Family of PLL Synthesizers Application Note (Rev. 0)* [online]. [cit. 2019-11-02]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/application-notes/AN-873.pdf>
- [6] *MAX2871 - 23.5MHz to 6000MHz Fractional/Integer-N Synthesizer/VCO: Data Sheet* [online]. [cit. 2019-11-02]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX2871.pdf>
- [7] VÁGNER, Petr. *Metody měření fázového šumu a stability zdrojů signálu* [online]. [cit. 2019-11-11]. Dostupné z: <http://www.elektrorevue.cz/clanky/06025/index.html#kap1>
- [8] GRYGÁREK, Michal. *Čítač s GPS normálem – 3. Měření, stabilita a další vývoj...* [online]. [cit. 2019-11-12]. Dostupné z: <https://ok2haz.ok2kld.cz/ok2haz/2018/12/citac-s-gps-normalem-3-stabilita/>
- [9] *MAX2870/MAX2871 Evaluation Kits* [online]. [cit. 2019-11-17]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX2870EVKIT.pdf>
- [10] *LO PLL USB MAX2871 ADF4350 ADF4351* [online]. [cit. 2019-11-17]. Dostupné z: <https://vhfdesign.com/pll-lo/lo-pll-usb.html>
- [11] KLAPIL, Filip. *Koncový stupeň vysílače pro radioamatérské pásmo 144 MHz (2 m)* [online]. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2017 [cit. 2019-12-04]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/110394>

- [12] *MURATA-NFM18PC: Data Sheet* [online]. [cit. 2019-12-04]. Dostupné z: <https://www.tme.eu/Document/4f9a615a69fa13b0f330c39103dd2831/MURATA-NFM18PC.pdf>
- [13] *MURATA - BLM18PG471SH1: Data Sheet* [online]. [cit. 2019-12-04]. Dostupné z: <https://www.murata.com/en-us/products/productdetail.aspx?cate=luNoiseSupprFilteChipFerriBead&partno=BLM18PG471SH1%23>
- [14] *LP5907 250-mA, Ultra-Low-Noise, Low-IQ LDO datasheet (Rev. N)* [cit. 2019-12-04]. Dostupné z: <https://www.ti.com/lit/ds/symlink/lp5907.pdf>
- [15] *LT3042 - 20V, 200mA, Ultralow Noise, Ultrahigh PSRR RF Linear Regulator Datasheet* [cit. 2019-12-04]. Dostupné z <https://www.analog.com/media/en/technical-documentation/datasheets/3042fb.pdf>
- [16] *TXETALSANF-10.000000 TXCO Datasheet* [cit. 2019-12-05]. Dostupné z https://www.taitien.com/wp-content/uploads/2015/12/XO-0076_TX.pdf
- [17] *XX1002-QH Active Doubler Datasheet* [cit. 2019-12-05]. Dostupné z <https://cdn.macom.com/datasheets/XX1002-QH.pdf>
- [18] *GVA-63+ High Gain, High IP3 Monolithic Amplifier Datasheet* [cit. 2019-12-05]. Dostupné z https://www.minicircuits.com/pages/s-params/GVA-63+_VIEW.pdf
- [19] *ZX85-12G-S+ Bias-Tee 50Ω Wideband 0,2 to 12000 MHz Datasheet* [cit. 2019-12-05]. Dostupné z <https://www.minicircuits.com/pdfs/ZX85-12G-S+.pdf>
- [20] *STM32F042x4 STM32F042x6 ARM®-based 32-bit MCU, up to 32 KB Flash, crystal-less USB FS 2.0, CAN, 9 timers, ADC and comm. interfaces, 2.0 - 3.6 V Datasheet* [cit. 2019-12-05]. Dostupné z <https://www.st.com/resource/en/datasheet/stm32f042k6.pdf>
- [21] *KiCad EDA* Dostupné z: <https://kicad-pcb.org/>
- [22] *stm32f0 help with flash, to read and write + hal libraries. Community discussion* [online]. [cit. 2020-04-17]. Dostupné z: <https://community.st.com/s/question/0D50X00009XkfIO/stm32f0-help-with-flash-to-read-and-write-hal-libraries>
- [23] *STM32F0x1/STM32F0x2/STM32F0x8 advanced ARM®-based 32-bit MCUs. Reference manual RM0091* [online]. [cit. 2020-04-17]. Dostupné z: https://www.st.com/content/ccc/resource/technical/document/reference_manual/...

- [24] LUDIN, Roman. *STM32 & USB* [online]. [cit. 2020-04-17]. Dostupné z: <https://blog.brichacek.net/wp-content/uploads/2015/10/STM32F4-and-USB.pdf>
- [25] *Convert hex string (char []) to int?. Community discussion*. [online]. [cit. 2020-04-17]. Dostupné z: <https://stackoverflow.com/a/39052987>
- [26] *Reversing the bits in an integer x. Community discussion*. [online]. [cit. 2020-04-17]. Dostupné z: <https://stackoverflow.com/q/7467997>

SEZNAM OBRÁZKŮ

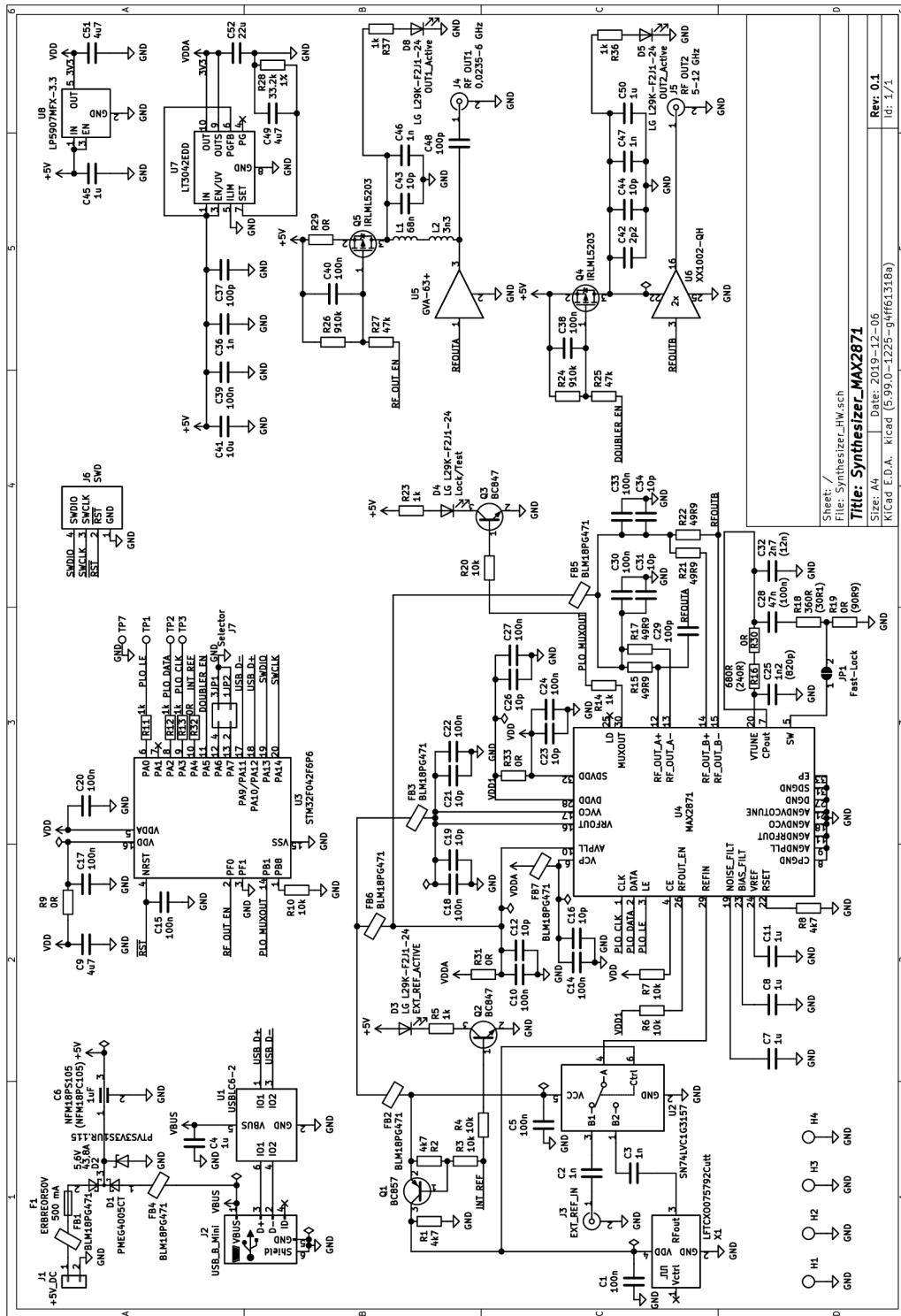
Obrázek 1	Blokové schéma smyčky fázového závěsu	2
Obrázek 2	Odezva výstupního kmitočtu na skokovou změnu frekvence [2]	3
Obrázek 3	PLL syntezátor s celočíselným dělicím poměrem a pevným předděličem	5
Obrázek 4	PLL syntezátor s celočíselným dělicím poměrem a řízeným předděličem	5
Obrázek 5	Blízké spektrum nosného kmitočtu výstupního signálu celočíselného syntezátoru [2]	8
Obrázek 6	Blokové schéma syntezátoru MAX2871 [6]	11
Obrázek 7	Blokový koncept řešení frekvenčního syntezátoru	19
Obrázek 8	Schéma zapojení napájecí části	20
Obrázek 9	Vložný útlum průchodkových kondenzátorů pro různé hodnoty jejich kapacity [12]	21
Obrázek 10	Závislost impedance feritové perličky na frekvenci [12]	21
Obrázek 11	Závislost potlačení zvlnění napájecího napětí na frekvenci zvlnění [15] ...	22
Obrázek 12	Schéma zapojení přepínání referenčního signálu	23
Obrázek 13	Schéma zapojení frekvenčního syntezátoru MAX2871	24
Obrázek 14	Schéma zapojení výstupních obvodů syntezátoru	25
Obrázek 15	Schéma zapojení části řídicího mikrokontroleru	27
Obrázek 16	3D vizualizace návrhu realizace frekvenčního syntezátoru	28
Obrázek 17	Výsledná realizace modulu frekvenčního syntezátoru s PLO MAX2871 ..	29
Obrázek 18	Okno ovládacího programu pro PC po úspěšném otevření portu – záložka s ovládaním registrů	38
Obrázek 19	Vývojový diagram výpočtu nastavení hodnot registrů	39
Obrázek 20	Okno ovládacího programu pro PC po úspěšném otevření portu – záložka s paměťmi modulu syntezátoru	43
Obrázek 21	Fázový šum signálu 3 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, interní reference	47
Obrázek 22	Fázový šum signálu 3 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, interní reference	47
Obrázek 23	Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, interní reference	48
Obrázek 24	Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, interní reference	48
Obrázek 25	Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, externí reference	49
Obrázek 26	Fázový šum signálu 6 GHz (ADIV = 1) při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, externí reference	49
Obrázek 27	Fázový šum signálu 12 GHz při proudu nábojové pumpy $I_{CP} = 0,347$ mA, low-noise mód, interní reference	50
Obrázek 28	Fázový šum signálu 12 GHz při proudu nábojové pumpy $I_{CP} = 5,549$ mA, low-noise mód, interní reference	50

SEZNAM TABULEK

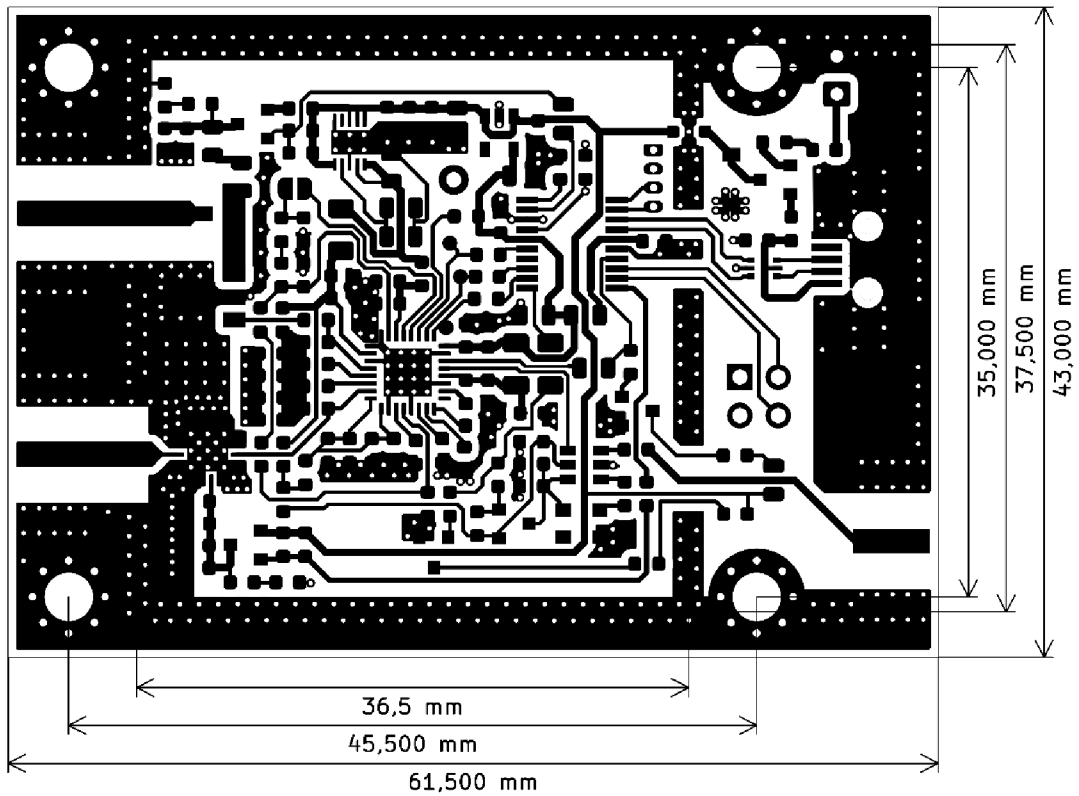
Tabulka 1 Teoretická stabilita jednotlivých kmitočtových standardů [8]	9
Tabulka 2 Klíčové vlastnosti syntezátoru MAX2871.....	18
Tabulka 3 Vybrané parametry zesilovače GVA-63+ [18]. Napájení zesilovače 4,5 V..	26
Tabulka 4 Seznam příkazů pro modul frekvenčního syntezátoru s PLO MAX2871	35
Tabulka 5 Závislost výstupního výkonu na frekvenci pro první výstup. [18] ($P_{OUT A} = -4 \text{ dBm}$, $U_{DQ} = 4,46 \text{ V}$ – napájeno z USB $U_{USB} = 4,79\text{V}$).....	45
Tabulka 6 Závislost výstupního výkonu na frekvenci pro druhý výstup. ($P_{OUT B} = +2 \text{ dBm}$, napájeno z USB $U_{USB} = 4,79\text{V}$).....	46
Tabulka 7 Úrovně výkonu harmonických kmitočtů na prvním výstupu modulu syntezátoru pro kmitočet výstupního signálu 1 GHz ($P_{OUT A} = -4 \text{ dBm}$)	51
Tabulka 8 Úrovně výkonu harmonických kmitočtů na prvním výstupu modulu syntezátoru pro kmitočet výstupního signálu 1 GHz ($P_{OUT A} = +5 \text{ dBm}$) ...	51

A NÁVRH ZAŘÍZENÍ

A.1 Obvodové zapojení frekvenčního syntezátoru

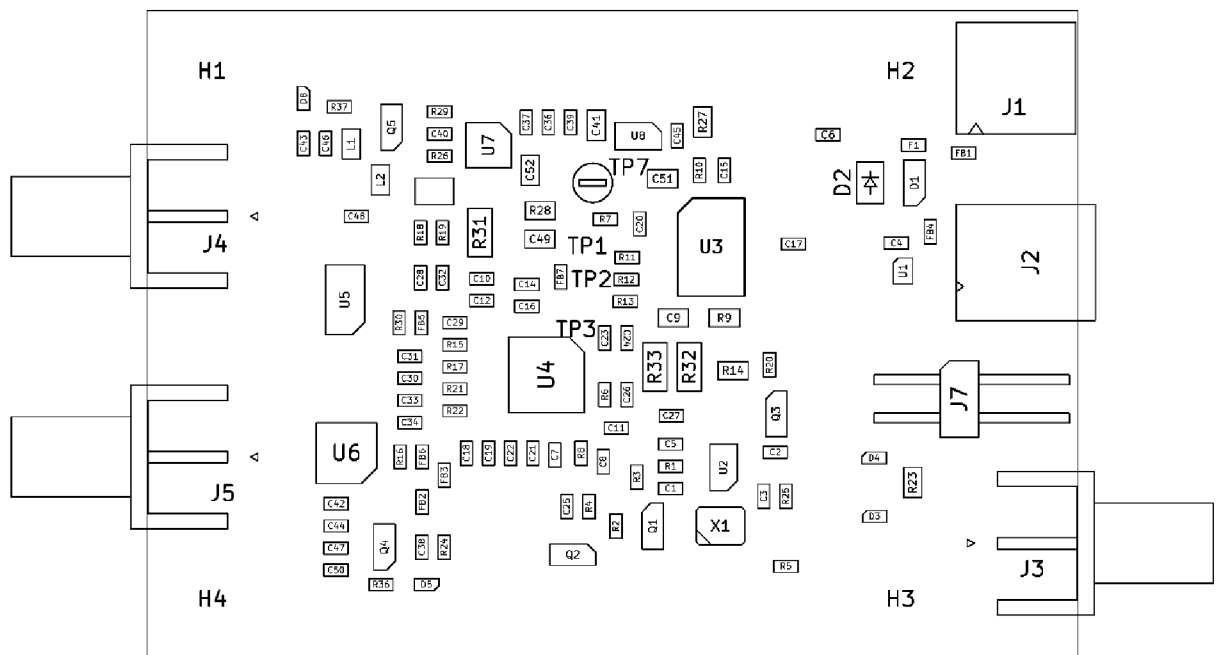


A.2 DPS frekvenčního syntezátoru – top (strana součástek)

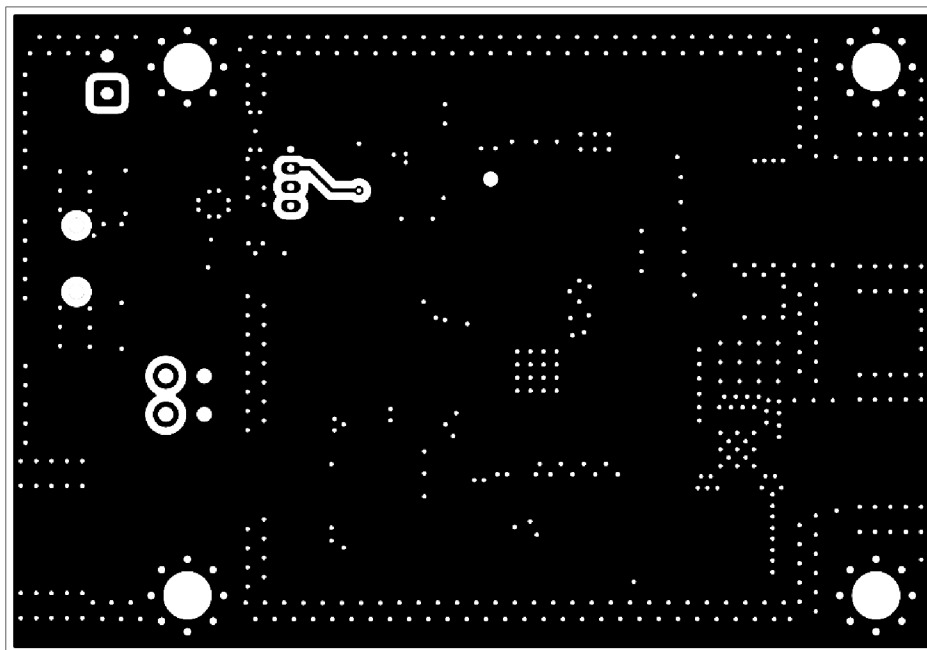


Rozměr desky 61,5 x 43 [mm], M2:1

A.3 Frekvenční syntezátor – osazovací předpis – top

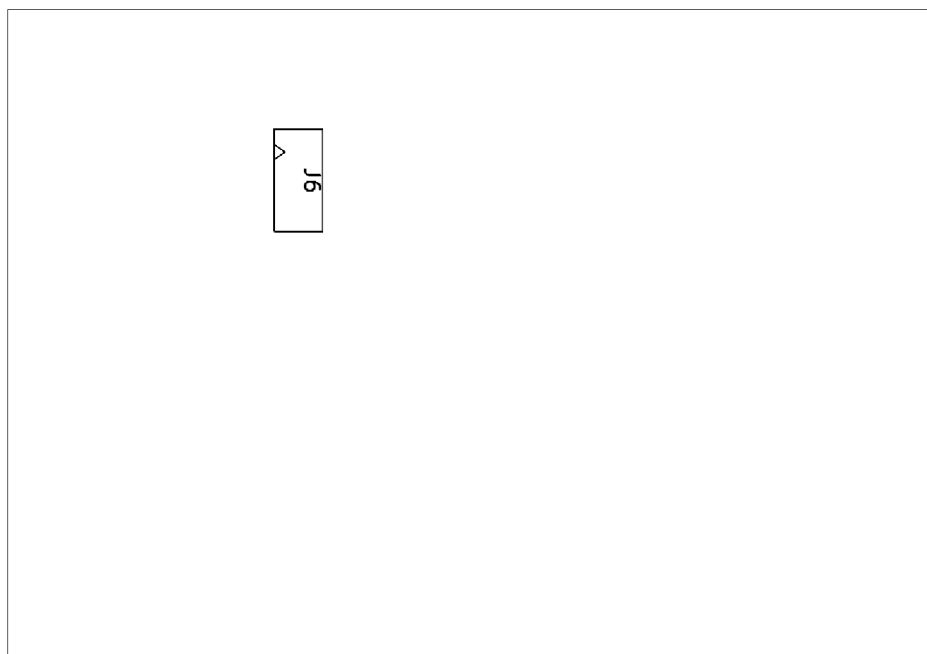


A.4 DPS frekvenčního syntezátoru – bottom (strana spojů)



Rozměr desky 61,5 x 43 [mm], M2:1

A.5 Frekvenční syntezátor – osazovací předpis – bottom



B SEZNAM SOUČÁSTEK

Označení	Hodnota	Množství	Pouzdro
C16, C34, C31, C26, C23, C21, C19, C12, C44, C43	10p COG	10	C_0603_1608Metric
C17, C40, C39, C38, C33, C30, C27, C24, C22, C20, C18, C15, C14, C10, C5, C1	100n	16	C_0603_1608Metric
C25	1n2 COG	1	C_0603_1608Metric
C28	47n	1	C_0603_1608Metric
C29, C37, C48	100p COG	3	C_0603_1608Metric
C32	2n7	1	C_0603_1608Metric
C42	2p2 COG	1	C_0603_1608Metric
C47, C46, C36, C3, C2	1n COG	5	C_0603_1608Metric
C49	470n	1	C_0805_2012Metric
C50, C45, C11, C8, C7, C4	1u	6	C_0603_1608Metric
C51, C9	4u7	2	C_0805_2012Metric
C52, C41	10u	2	C_0805_2012Metric
C6	NFM18PC105	1	NFM18PC_Series
D1	BAT54C	1	SOT-23
D2	PTVS3V3S1UR.115	1	D_SOD-123
D5,D4,D3,D8	LG L29K-F2J1-24	4	LED_0603_1608Metric
F1	ERBREOR50V	1	Fuse_0603_1608Metric
FB4, FB7, FB6, FB5, FB3, FB2, FB1	BLM18PG471	7	L_0603_1608Metric
H4, H3, H2, H1	MountingHole_Pad	4	MountingHole_3.2mm_M3_Pad_Via
J1	+5V_DC	1	Molex_SPOX_5268-02A_1x02_P2.50mm_Horizontal
J2	USB_B_Mini	1	USB_Mini-B_Lumberg_2486_01_Horizontal
J3	EXT_REF_IN	1	SMA_Molex_73251-1153_EdgeMount_Horizontal
J4	RF OUT1	1	SMA_Molex_73251-1153_EdgeMount_Horizontal
J5	RF OUT2	1	SMA_Molex_73251-1153_EdgeMount_Horizontal
J6	SWD	1	Molex_PicoBlade_53047-0410_1x04_P1.25mm_Vertical

J6 kontakty		1	MOLEX 50079-8000
J6 kontakty			MX-5263-PBTL
J6 protikus-kabel		1	MOLEX 51021-0400
J6 protikus-kabel		1	MOLEX 50-37-5023
J7	Selector	1	PinHeader_2x02_P2.54mm_Horizontal
JP1	Fast-Lock	1	SolderJumper- 2_P1.3mm_Open_RoundedPad1.0x1.5 mm
L1	68n	1	L_0805_2012Metric
L2	3n3	1	L_0805_2012Metric
Q1	BC857	1	SOT-23
Q2, Q3	BC847	2	SOT-23
Q5, Q4	IRLML5203	2	SOT-23
R14, R23	1k	2	R_0805_2012Metric
R16	680R	1	R_0603_1608Metric
R18	360R	1	R_0603_1608Metric
R20, R10, R7, R6, R4, R3	10k	6	R_0603_1608Metric
R22, R21, R17, R15	49R9	4	R_0603_1608Metric
R25	47k	1	R_0603_1608Metric
R26, R24	910k	2	R_0603_1608Metric
R27	47k	1	R_0805_2012Metric
R28	33.2k	1	R_0805_2012Metric
R29	0R	1	R_0603_1608Metric
R30, R19	0R	2	R_0603_1608Metric
R33, R32, R31	0R	3	R_1206_3216Metric
R37, R36, R13, R12, R11, R5	1k	6	R_0603_1608Metric
R8, R2, R1	4k7	3	R_0603_1608Metric
R9	0R	1	R_0805_2012Metric
TP1	PLO_LE	1	TestPoint_Pad_D1.0mm
TP2	PLO_DATA	1	TestPoint_Pad_D1.0mm
TP3	PLO_CLK	1	TestPoint_Pad_D1.0mm
TP7	GND	1	TestPoint_Loop_D1.80mm_Drill1.0mm _Beaded
U1	USBLC6-2	1	SOT-666
U2	SN74LVC1G3157	1	SOT-23-6
U3	STM32F042F6Px	1	TSSOP-20_4.4x6.5mm_P0.65mm
U4	MAX2871	1	TQFN-32- 1EP_5x5mm_P0.5mm_EP3.15x3.15mm _ThermalVias
U5	GVA-63+	1	SOT-89-3

U6	XX1002-QH	1	QFN-24- 1EP_4x4mm_PO.5mm_EP2.7x2.7mm_ThermalVias
U7	LT3042xMSE	1	DFN-10- 1EP_3x3mm_PO.5mm_EP1.65x2.38mm_ThermalVias
U8	LP5907MFX-3.3	1	SOT-23-5
X1	TXETALSANF- 10MHz	1	Crystal_SMD_4Pin_3.2x2.5mm

C NAMĚŘENÉ PRŮBĚHY

Vzhledem k většímu množství měřených průběhů se nacházejí v digitální podobě jako příloha na CD.

D ZDROJOVÝ KÓD

Vzhledem k obsáhlosti firmwaru a řídicího programu jsou zdrojové kódy umístěné jako příloha na CD.