



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

UNIVERZÁLNÍ MONITOROVACÍ A DIAGNOSTICKÁ SONDA PRO SÉRIOVOU KOMUNIKACI

UNIVERSAL MONITORING AND DIAGNOSTIC PROBE FOR SERIAL COMMUNICATION

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Ondřej Dvořák

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Filip Záplata, Ph.D.

BRNO 2017

Bakalářská práce

bakalářský studijní obor **Elektronika a sdělovací technika**

Ústav radioelektroniky

Student: Ondřej Dvořák

ID: 154700

Ročník: 3

Akademický rok: 2016/17

NÁZEV TÉMATU:

Univerzální monitorovací a diagnostická sonda pro sériovou komunikaci

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s jednoduchými komunikačními rozhraními používanými v elektrotechnice (UART, RS232, RS485, SPI, I2C, CAN, ...). Zhodnoťte možnosti nerušeného sledování komunikace a navrhnete koncept monitorovacího zařízení pro všechna vybraná rozhraní. Navrhnete konkrétní zapojení přístroje umožňující analýzu monitorovaných dat a podporující komunikaci s PC. Oživte a naprogramujte zařízení pro podporu vybraných komunikačních rozhraní. V zařízení vytvořte rozhraní pro komunikaci s PC pomocí příkazů, jež podrobně zdokumentujete. Firmware vytvořte s ohledem na možnost budoucí uživatelské rekonfigurace pro rozšíření podporovaných rozhraní. Ověřte správnou funkci zařízení na vybraných rozhraních.

DOPORUČENÁ LITERATURA:

[1] KOPECKÝ, M. Univerzální převodník komunikačních protokolů. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav automatizace, 2009. Diplomová práce.

[2] CATSOULIS, J. Designing embedded hardware. 2nd ed. Sebastopol: O'Reilly, 2005, xvi, 377 s. ISBN 05-960-0755-8.

Termín zadání: 6. 2. 2017

Termín odevzdání: 30.5.2017

Vedoucí práce: Ing. Filip Záplata, Ph.D.

Konzultant:

prof. Ing. Tomáš Kratochvíl, Ph.D.

předseda oborové rady



UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

ABSTRAKT

Práce se zabývá návrhem zařízení pro analýzu komunikace na standardizovaných sériových rozhraních, která mají rozdílné parametry. Výstupem práce je kompletní návrh zařízení včetně schémata zapojení, desky plošného spoje jeho oživení a návrh programového vybavení. Zařízení bude schopno zpracovávat a analyzovat data na konkrétních rozhraních. Uživatel řídí zařízení pomocí rozhraní USB, které jej propojuje s PC nebo např. tabletem. Komunikace probíhá pomocí jednoduchého protokolu v ASCII, jehož návrh je také součástí práce. Zařízení je schopno analyzovat chyby na rozhraní a informovat o nich uživatele. Programové vybavení by mělo být flexibilní tak, aby bylo možné přidat podporu dalších rozhraní a protokolů.

KLÍČOVÁ SLOVA

Sériové rozhraní, analýza dat, operační zesilovač, mikrokontrolér, komparátor,

ABSTRACT

The thesis deals with design of a device for communication analysis in standardized serial interfaces, with differing parameters. The goal of the thesis is a complete design of a device including wiring diagrams, PCB, get PCB alive and design complete device firmware. The device will be able to process and analyze data on selected interfaces. The user controls the device with the use of USB interface, connecting the device with a PC or other computing devices. Communication is done by a simple protocol in ASCII, its design is included in this thesis. The device can analyze errors in the interface and inform the user about them. Firmware should be flexible, to allow the addition of more interfaces and protocols.

KEYWORDS

Serial interface, data analyzing, operational amplifier, microcontroller, comparator

ONDŘEJ, D. *Univerzální monitorovací a diagnostická sonda pro sériovou komunikaci*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2017. 61 s., 17 s. příloh. Bakalářská práce. Vedoucí práce: Ing. Záplata, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svoji bakalářskou práci na téma Univerzální monitorovací a diagnostická sonda pro sériovou komunikaci jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

OBSAH

Seznam obrázků	viii
Seznam tabulek	x
Úvod	11
1 Koncept zařízení a teorie	12
1.1 Obdélníkový signál	12
1.2 Přehled parametrů některých rozhraní	14
1.3 Koncept zařízení	14
1.3.1 Napájecí část	15
1.3.2 Analogová část.....	15
1.3.3 Řídící část	15
1.4 Popis jednotlivých rozhraní	16
1.4.1 I2C	16
1.4.2 SPI.....	18
1.4.3 RS-232, UART	20
1.4.4 RS422/485	22
2 Návrh analogové části	23
2.1 Jeden vstup RS485/422.....	24
2.2 Dva vstupy RS232	25
2.3 Čtyři vstupy ± 15 V max. proti zemi	25
2.3.1 Výběr operačních zesilovačů a komparátorů.....	25
2.3.2 Návrh vstupního děliče napětí, napěťového sledovače a jeho simulace	27
2.3.3 Návrh komparátoru	30
2.3.4 Konečné zapojení jednoho ± 15 V vstupu a pravdivostní tabulka výstupu	33
2.4 Dva přímé vstupy UART +5 V.....	34
3 Návrh řídicí části	35
3.1 Blok realizující zpracování analýzy dat, nastavení periférií a komunikační rozhraní.....	36

3.2	5x UART rozhraní + 2x GPIO pro detekci chyby na RS232	37
3.3	8x GPIO vstupy z čtyř rozhraní ± 15 V podle 2.3	38
3.3.1	Periferie časovačů/čítačů MCU STM32F765	38
3.3.2	Periferie DA MCU STM32F765	40
3.4	USB Full Speed device	42
3.5	SWD rozhraní	42
3.6	Watchdog časovač	42
4	Návrh napájecí části	43
4.1	Snižující měnič z 12 V na 5,3 V	43
4.2	Snižující měnič z 5,3 V na 3,3 V – 3V3	45
4.3	LDO z 5,3 V na 5 V	45
4.4	Nábojová pumpa z +5,3 V na -5,3 V a LDO na -5 V	46
5	Kompletní návrh zapojení a Desky plošného Spoje	48
6	Návrh programového vybavení	49
6.1	Návrh aplikace	50
6.1.1	Řídící funkce a obsluha analyzátoru využívající rozhraní USART....	55
6.1.2	Řídící funkce a obsluha analyzátoru využívající rozhraní popsané v 3.3.....	56
6.2	Návrh komunikačního protokolu	57
6.2.1	Příkaz pro zahájení analýzy	58
7	Závěr	60
	Literatura	61
A	Schéma zapojení	63
B	Deska plošného spoje	75
B.1	Motiv vrstvy top – vrchní vrstva.....	75
B.2	Motiv vrstvy route2 – pod vrchní vrstvou, zem.....	76
B.3	Motiv vrstvy route15 – pod route2, napájení.....	76
B.4	Motiv vrstvy bottom – spodní vrstva.....	77
B.5	Motiv vrstvy tPlace – potisk vrchní vrstvy	77
B.6	Motiv vrstvy tStop – stop nepájivé masky vrchní vrstvy	78
B.7	Motiv vrstvy drills a holes – vrtání	78
C	Seznam součástek	79

SEZNAM OBRÁZKŮ

Obrázek 1.1	Obdélníkový signál složený z 21 harmonických.....	13
Obrázek 1.2	Obdélníkový signál z různého počtu harmonických	13
Obrázek 1.3	Blokové schéma zařízení	15
Obrázek 1.4	Architektura sběrnice I2C	17
Obrázek 1.5	Přenos dat po sběrnici I2C	17
Obrázek 1.6	Realizace plně duplexní komunikace mezi dvěma zařízeními.....	19
Obrázek 1.7	Komunikace po sběrnici SPI při validních datech na první hranu SCK	19
Obrázek 1.8	Komunikace po sběrnici SPI při validních datech na druhou hranu SCK .	20
Obrázek 1.9	Rámec RS232 o 8 datových bitech, jednom paritním bitu a stop bitu	21
Obrázek 1.10	Logické úrovně rozhraní RS232	21
Obrázek 1.11	Zapojení více zařízení na sběrnici tvořenou jedním diferenciálním párem RS422/485	23
Obrázek 2.1	Blokové schéma přijímačů analogové části	24
Obrázek 2.2	Zapojení 1xRS485/422 přijímače.....	24
Obrázek 2.3	Zapojení 1x RS232 přijímače.....	25
Obrázek 2.4	Zapojení pro simulaci vstupního děliče napětí a sledovače	28
Obrázek 2.5	Simulovaná převodní charakteristika vstupního děliče napětí a sledovače.	29
Obrázek 2.6	Konečné zapojení vstupního děliče a sledovače	29
Obrázek 2.7	Simulace průchodu signálu odpovídající RS232 standardu děličem a sledovačem.....	30
Obrázek 2.8	Zapojení v OrCad Capture pro simulaci komparátoru	31
Obrázek 2.9	Výsledek simulace odezvy komparátoru.....	31
Obrázek 2.10	Jednoduché zapojení invertujícího komparátoru s hysterezí.....	32
Obrázek 2.11	Zapojení jednoho +-15 V vstupu.....	33
Obrázek 2.12	Zapojení sledovače a multiplexoru pro nastavení úrovní referenčních napětí.....	34
Obrázek 2.13	Zapojení přímých UART vstupů.....	34
Obrázek 3.1	Blokové schéma řídicí části.....	36
Obrázek 3.2	Přehled funkcí adaptéru USART procesoru STM32F765	37
Obrázek 3.3	TIM2 jako standardní časovač/čítač.....	39
Obrázek 3.4	Parametry DA převodníku STM32F7655	40

Obrázek 3.5 Parametry DA převodníku STM32F765 pokračování	41
Obrázek 4.1 Blokové schéma napájení	43
Obrázek 4.2 Účinnost měniče MCP16311	44
Obrázek 4.3 Zapojení měniče z 12 V na 5.3 V	44
Obrázek 4.4 Zapojení LDO TC2055-5.0	45
Obrázek 4.5 Blokové schéma obvodu LM27761	46
Obrázek 4.6 Konečné zapojení LM27761	47
Obrázek 6.1 Možnosti aplikace STM32CubeMX	50
Obrázek 6.2 Základní struktura aplikace	51
Obrázek 6.3 Obsluha Watchdog periférie a chyb	52
Obrázek 6.4 Funkce main	53
Obrázek 6.5 Hlavní řídicí smyčka aplikace	54
Obrázek 6.6 Řídící funkce a obsluha analyzátoru USART rozhraní	55
Obrázek 6.7 Řídící funkce a obsluha rozhraní analyzátoru podle 3.3 v asynchronním módu	56
Obrázek 6.8 Řídící funkce a obsluha rozhraní analyzátoru podle 3.3 v synchronním módu	57

SEZNAM TABULEK

Tabulka 1.1 Přehled některých parametrů rozhraní	14
Tabulka 1.2 Přesná definice logických úrovní rozhraní RS232	22
Tabulka 2.1 Přehled parametrů OZ vstupního napěťového sledovače	26
Tabulka 2.2 Výběr OZ a komparátorů	27
Tabulka 2.3 Pravdivostní tabulka výstupů komparátorů	33
Tabulka 6.1 Volba analyzátoru dle hodnoty prvního parametru	58
Tabulka 6.2 Možné parametry pro analyzátor USART	58
Tabulka 6.3 Možné parametry pro analyzátor podle 3.3	58
Tabulka 6.4 Možné parametry pro rozhraní podle 3.3 pokračování	59

ÚVOD

Tato bakalářská práce se zabývá kompletním návrhem zařízení pro nerušené sledování standardních sériových rozhraní RS232, RS485/422, I2C, SPI, jejich modifikacemi, případně sběrnice CAN nebo rozhraní podobných. Součástí návrhu je teoretický rozbor a možnosti realizace zařízení, dále pak návrh samotného schématu zapojení a desky plošného spoje včetně jejího oživení a naprogramování potřebným programovým vybavením pro realizaci správné funkčnosti.

Zařízení využívá pro realizaci obvodového zapojení s drobnými úpravami schéma, které bylo již dříve navrženo v semestrální práci. V rámci práce bude nutné navrhnout desku plošného spoje a oživit ji. Dále bude nutné navrhnout koncept a samotné řešení programového vybavení tak, aby bylo možné změřená data kompletně analyzovat, včetně rozpoznání chyb. Všechna analyzovaná data musí být možné odeslat skrze komunikační rozhraní jinému zařízení, např. PC, kde uživatel pomocí terminálu může data zobrazit a uložit. Součástí práce bude tedy i návrh jednoduchého komunikačního protokolu v ASCII, který bude sloužit pro nastavování zařízení z např. PC. Výsledné zařízení by mělo sloužit např. k rychlé analýze komunikace dvou obvodů mezi sebou. Cílem práce je tedy oživená deska plošného spoje s kompletním programovým vybavením, které umožňuje provádět nerušenou analýzu na zmíněných sériových rozhraních.

Práce je členěna do sedmi částí. V první části je uvedena teorie a přehled parametrů jednotlivých rozhraní. Také je navrhnut obecný koncept zařízení, který se skládá ze tří samostatných částí. Následujících pět částí popisuje detailně jednotlivé části zařízení a jejich návrh. Sedmá část je závěr, v němž jsou shrnuty výsledky práce. V přílohách práce je pak uvedeno schéma zapojení zařízení, deska plošného spoje a další podklady k návrhu.

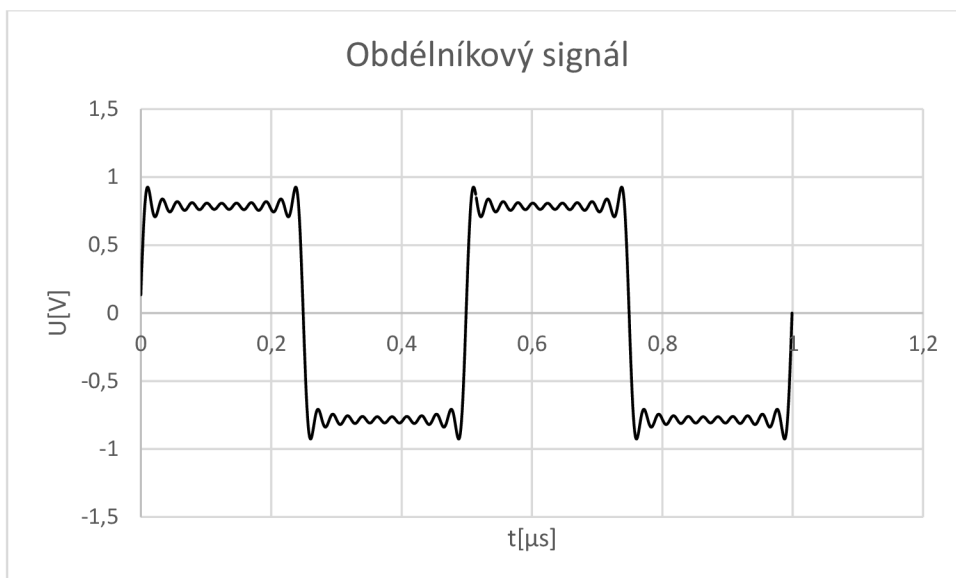
1 KONCEPT ZAŘÍZENÍ A TEORIE

Jak bylo uvedeno v úvodu, zařízení je schopné nerušeně analyzovat uvedené komunikační rozhraní. Všechna uvedená rozhraní mají jednu společnou vlastnost. Informace přes rozhraní je přenášena pomocí obdélníkového signálu, kde napěťová úroveň určuje logickou jedničku nebo nulu, neohledně na všechny již v úvodu uvedené odlišnosti rozhraní (od rozdílných napěťových úrovní až po jiný komunikační protokol). Proto je nutné znát parametry a vlastnosti obdélníkového signálu, aby mohlo být dosaženo správného návrhu analogové části, ten musí být kompatibilní také se všemi rozdílnými parametry jednotlivých rozhraní.

Zařízení také musí disponovat periferiemi, které umožní rychlé a správné zpracování získaných dat. Data se pomocí dalších periférií přenáší do jiného zařízení, kde je uživatel může uložit a zobrazit. Mezi tyto periferie patří například časovače, čítače, USB, SPI, UART/USART, DMA, DA, přerušeni, Ethernet 10Base-T/100Base-TX. Samozřejmě musí zařízení disponovat dostatečným výpočetním výkonem pro zpracování získaných dat.

1.1 Obdélníkový signál

Ideální obdélníkový signál je nespojitý a nabývá pouze dvou napěťových úrovní. V praxi tohoto nelze dosáhnout díky existenci kapacity a indukčnosti. Doba trvání přechodu mezi těmito dvěma úrovněmi se nazývá hrana (sestupná a náběžná). Doba trvání hrany je definován důležitý parametr signálu, a to doba přeběhu, anglicky – slew rate, dále jen SR. Ten se vypočítá jako podíl rozdílu napěťových úrovní logické jedničky, nuly a dobou trvání hrany. Nejčastěji je parametr SR uváděn v $V/\mu s$. Tento parametr pak definuje nároky na použité prvky, které se účastní zpracování signálu (spínače, zesilovače, prepínače apod.). Pokud nemá použitý prvek dostatečný SR (větší nebo stejný jako zpracovávaný signál) dochází k chybnému zpracování signálu již při průchodu signálu tímto prvkem [1].



Obrázek 1.1 Obdélníkový signál složený z 21 harmonických

Obrázek 1.1 ukazuje reálný průběh obdélníkového signálu složeného z jedenadvaceti harmonických frekvencí základní frekvence. Spektrum ideálního obdélníkového signálu se skládá z nekonečně mnoha harmonických frekvencí, jenže součástka schopná pracovat s neomezeným frekvenčním pásmem neexistuje, a proto není možné nikdy ideálního signálu dosáhnout. Ideální obdélníkový signál má pouze liché harmonické frekvence, sudé jsou rovny nule.



Obrázek 1.2 Obdélníkový signál z různého počtu harmonických

Obrázek 1.2 ukazuje, jak se signál mění, pokud je složený z méně harmonických frekvencí. Je zřejmé, že při nižším počtu harmonických frekvencí není možné dosáhnout vysokých SR, protože signál nemá tak „ostré“ hrany. Pokud má prvek být schopen přenést správně hrany signálu, je nutné, aby frekvenční pásmo prvku bylo větší, nebo stejné, než

jedenáctá harmonická základní frekvence obdélníkového signálu. Výše zmíněná skutečnost je často uváděna v nejrůznějších aplikačních dokumentech výrobců obvodů, vysokoškolských skriptech a učebnicích. Vychází ze složení frekvenčního spektra obdélníkového signálu.

1.2 Přehled parametrů některých rozhraní

Následující tabulka uvádí přehled důležitých parametrů rozhraní jako maximální napěťové úrovně na rozhraní, rychlost přenosu dat, způsob přenosu informace a typ výstupu případně další nutnou specifikaci.

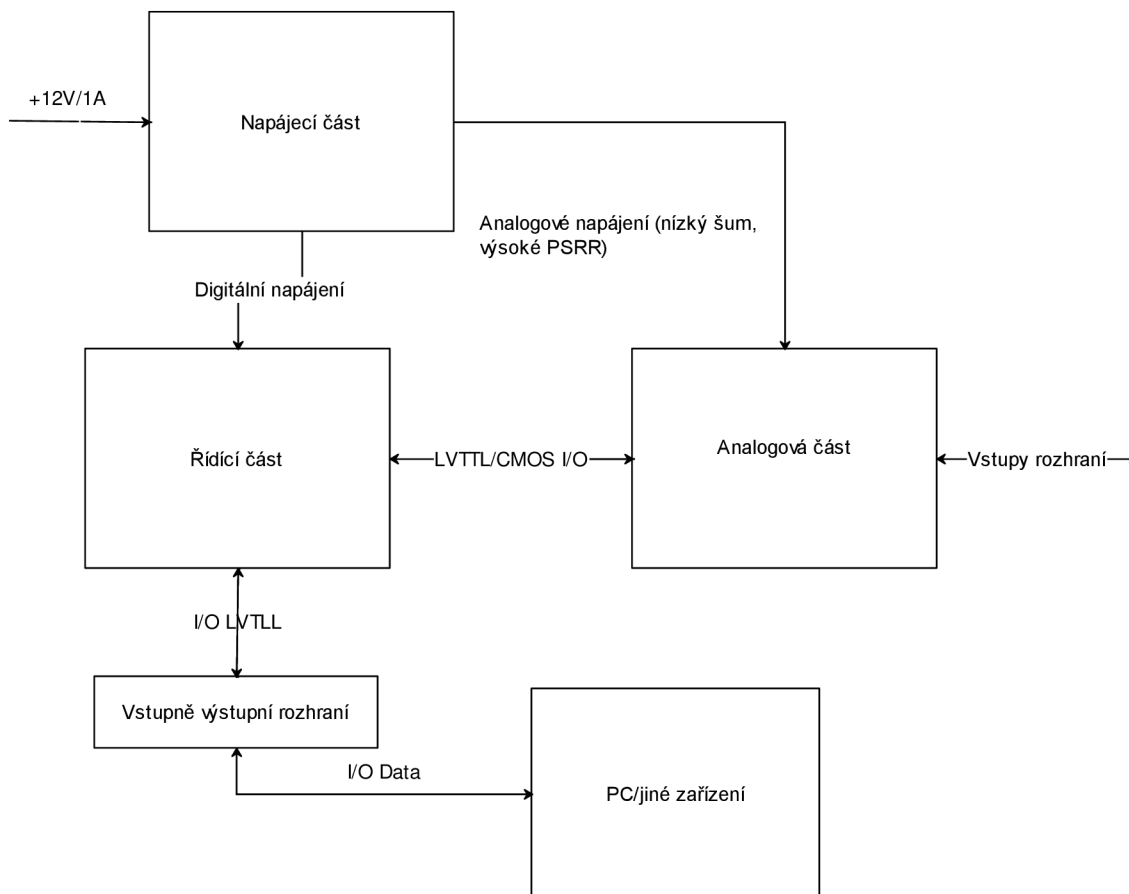
Tabulka 1.1 Přehled některých parametrů rozhraní

Rozhraní	Přenos informace	Výstup	Min. délka hrany	Rozsah vstupního napětí proti zemi	Max. souhlasné napětí mezi vstupy	Datová rychlost
I2C	Proti zemi	Otevřený kolektor	10ns	-0,5 V až VCC+0,5V	-	400kbit/s
SPI STM32F405	Proti zemi	Push-pull	4ns	-0,3 V až 4 V	-	25Mbit
RS232	Proti zemi	Push-pull	SR 30V/ μ s	-25 V až 25 V	-	Dle použitého hardware
RS422	Diferenciální pár	Komplementární	-	-10 V až +10 V	± 7 V	10 Mbit/s do 12 m
RS485	Diferenciální pár	Komplementární	-	-12 V až +12 V	-7 V a +12 V	10 Mbit/s do 12 m
CAN PHY	ISO11898	CAN		-0,3V až +5 V		1 Mbit/s

Tabulka 1.1 ukazuje nejdůležitější parametry, které je nutné brát do úvahy při návrhu analogové části zařízení, zdrojem pro data v tabulce jsou [2],[3],[4] a [5].

1.3 Koncept zařízení

Zařízení bude schopné analyzovat data do rychlosti 10 Mbit/s. Podle Tabulka 1.1 je nutné, aby analogová část byla schopná přenést signály o frekvenci 110 MHz a samozřejmě i vstupní bloky řídicí části byly schopny obdélníkový signál o frekvenci 10 MHz zpracovávat.



Obrázek 1.3 Blokové schéma zařízení

Obrázek 1.3 ukazuje blokové schéma zařízení.

1.3.1 Napájecí část

Zajišťuje napájení všech obvodů v zařízení, celé zařízení je napájeno z +12 V / 1 A adaptéru.

1.3.2 Analogová část

Tento blok zajišťuje možnost připojení k všem zmíněným rozhraním a zároveň je propojuje s řídicí částí. To znamená, že převádí napěťové úrovně na rozhraní vždy na LVTTTL, převádí diferenciální vstupy na vstupy proti zemi, je schopna detekovat chybné úrovně na rozhraní. Řídící část může některé parametry analogového rozhraní nastavovat pomocí LVTTTL I/O a analogových výstupů (např. výstup z DA převodníku pro nastavení různých překlápěcích úrovní).

1.3.3 Řídící část

V této části probíhá analýza veškerých získaných dat a komunikace s PC. Tato část se skládá z tří bloků. Jsou to periferie, výpočetní jádro nebo vlastní sekvenční automat a programové vybavení (software), které dávají dvěma předcházejícím blokům funkčnost.

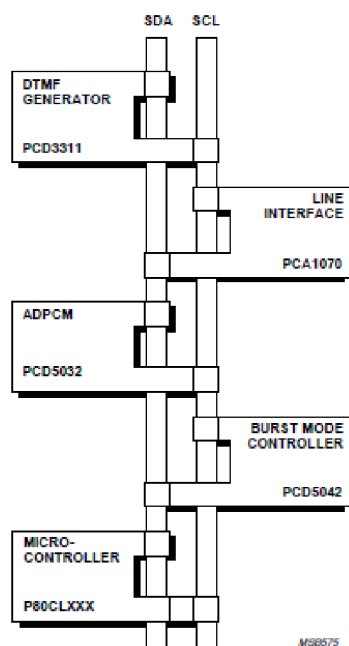
Dost často jsou také periferie a jádro integrovány do jednoho obvodu.

1.4 Popis jednotlivých rozhraní

Pro realizaci programového vybavení je nutné znát základní komunikační protokoly a detailnější popis jednotlivých rozhraní, než ten, který uvádí **Chyba! Nenalezen zdroj odkazů.**

1.4.1 I2C

Celým názvem Inter Integrated Circuit je adresní dvou vodičová synchronní sběrnice specifikovaná firmou Philips v roce 1992. Původně firma Philips tuto sběrnici specifikovala a používala ji ve svých elektrospotřebičích, později nabídla licenci třetím stranám. Základní koncept spočívá v tom, že jedno zařízení (Master) může nastavovat/komunikovat pomocí sedmibitové adresy až s 127 dalšími zařízeními (Slave) připojených na sběrnici, do specifikace byla později doplněna i možnost desetibitové adresace zařízení Slave, tzn. možnost připojení až 1024 zařízení. Každé zařízení připojené k sběrnici má svoji unikátní adresu a ta musí být pro správnou funkci jedinečná. Sběrnice je dvou vodičová. Jeden vodič je SCL (Serial clock), ten plní funkci hodinového signálu pro synchronizaci přenosu. Synchronizační signál generuje vždy Master. Druhý vodič je SDA (Serial Data) pro samotný přenos dat. Vysílač vysílá proti zemi a je zapojen s otevřeným kolektorem. Díky tomuto zapojení je možné pro logickou jedničku na sběrnici dle specifikace definovat libovolnou kladnou úroveň větší než 2,5V pomocí pull up rezistoru, samozřejmě všechna zařízení na sběrnici musí být s touto úrovní kompatibilní. Původně byla I2C specifikována pro logiku TTL, v pozdějších revizích specifikace byla logická úroveň překlopení do jedničky stanovena na 2,5V. V klidovém stavu je na obou vodičích úroveň logické jedničky [2].



Obrázek 1.4 Architektura sběrnice I2C

Obrázek 1.4 je převzat z [2] a ukazuje výše popsanou architekturu sběrnice I2C, zařízení master je v tomto případě MCU P80CLXXX, všechna ostatní zařízení jsou slave.

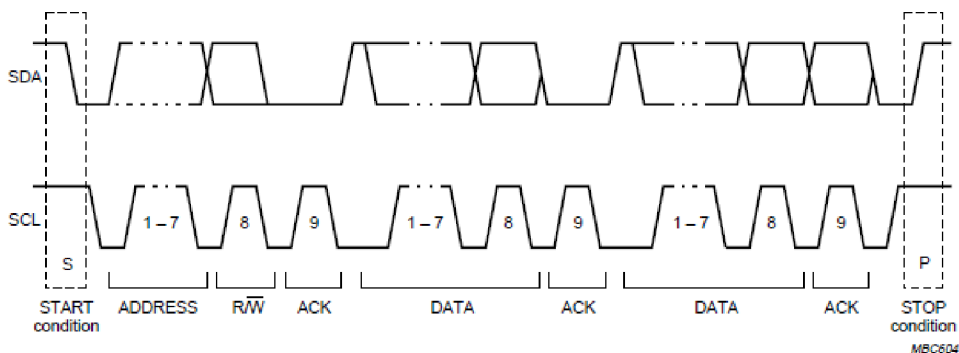


Fig.10 A complete data transfer.

Obrázek 1.5 Přenos dat po sběrnici I2C

Obrázek 1.5 je převzat z [2] a ukazuje průběh komunikace na sběrnici I2C. Komunikaci na sběrnici zahájí vždy master zařízení a to tak, že pošle start bit, který je specifikován jako stáhnutí vodiče SDA z logické jedničky do nuly při vodiči SCL v jedničce, následuje sedmi nebo desetibitová adresa zařízení a jeden bit, který určuje, zda chceme ze zařízení číst, či do něj zapisovat. Pak master čeká na potvrzovací bit tzv. ACK od zařízení slave. Poté již komunikace probíhá dle manuálu obvodu, který chceme řídit. Většinou následuje opakovaný start bit a adresa registru v zařízení a pak následuje případné čtení nebo zápis do registru. Na konci komunikace vždy master zařízení pošle stop bit, ten je definován jako změna SDA z logické nuly na jedničku při SCL v jedničce

[2].

Podle poslední verze specifikace je maximální přenosová rychlost na sběrnici 3,4 Mbit/s. Z popsaného principu komunikace plyne, že komunikace na sběrnici probíhá poloduplexně, tzn., v jednom okamžiku je možné komunikovat mezi dvěma zařízeními pouze jedním směrem. Při návrhu hardwaru pro analýzu sběrnice I2C je nutné myslet na to, že na různých zařízeních využívajících tuto sběrnici je velikost pull-up rezistorů různá (pull-up rezistorem se kromě úrovně logické jedničky nastavuje i proud tekoucí mezi jednotlivými vysílači sběrnice, když je sběrnice stažena na jednu vysílači k zemi) [2].

1.4.2 SPI

Celým názvem Serial Peripheral interface. Jak již název napovídá, opět jde o sběrnici, která je určena pro řízení periférií (Slave zařízení) připojených k jednomu řídicímu zařízení (Master). Firma Motorola, která toto rozhraní specifikovala, zvolila řešení pomocí tří vodičů plus dalších několik vodičů (dle počtu Slave zařízení) pro zvolení konkrétního zařízení Slave. Pokud zařízení Slave není zvoleno, má všechny tři vysílače ve stavu vysoké impedance – tedy odpojené od sběrnice a nezatěžují ji. Specifikace přesně nedefinuje napětíovou úroveň jedničky. Záleží na konkrétní implementaci, platí ale, že všechna zařízení na sběrnici musí mít definovanou úroveň jedničky stejně, logická nula je realizována připojením vysílače k zemi. Sběrnice SPI je realizována vodiči označenými jako MOSI, MISO a SCK, plus každé Slave zařízení je vybaveno pinem pro připojení vysílačů MOSI, MISO a SCK na sběrnici, zařízení vždy vybírá master. Pokud komunikují mezi sebou pouze dvě zařízení, je možné „vybírací“ pin vynechat. „Vybírací pin“ neboli dle specifikace Slave select je aktivní v logické nule, tzn., pokud je přizemněn Slave, musí připojit vysílače tři vodičů, jinak je musí odpojit. Vodič SCK přenáší hodinový signál, který generuje Master, pro synchronizaci přenosu. Vodič MOSI neboli Master output, Slave input, přenáší data směrem od zařízení Master k zařízení Slave, naopak vodič MISO neboli Master input, Slave output přenáší data ze zařízení Slave do zařízení Master, je tedy možné realizovat plně duplexní komunikaci, tzn., v jeden okamžik se přenáší data oběma směry. Specifikace dále implementuje také realizace, kdy je pro přenos dat použit jen jeden vodič a dle definovaného protokolu je komunikace pouze poloduplexní [3].

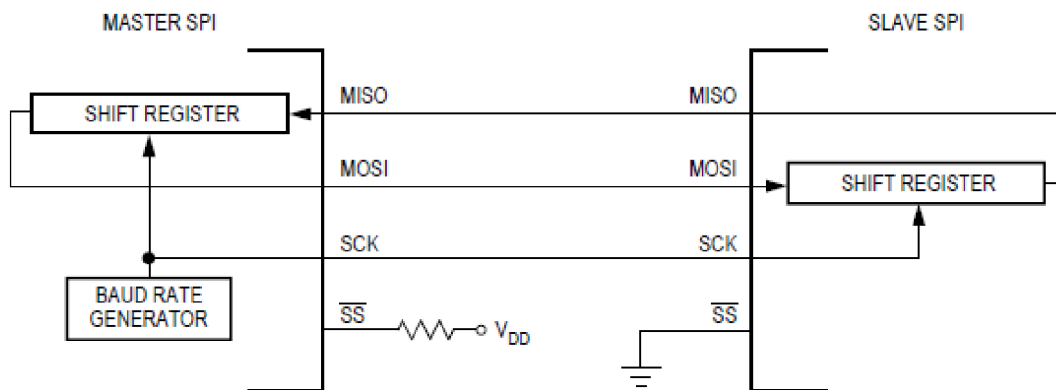


Figure 4-1 Master/Slave Transfer Block Diagram

Obrázek 1.6 Realizace plně duplexní komunikace mezi dvěma zařízeními

Obrázek 1.6 je převzat z [3] a ukazuje, jak vypadá zapojení sběrnice pro plně duplexní komunikace, když si Master vybere zařízení Slave.

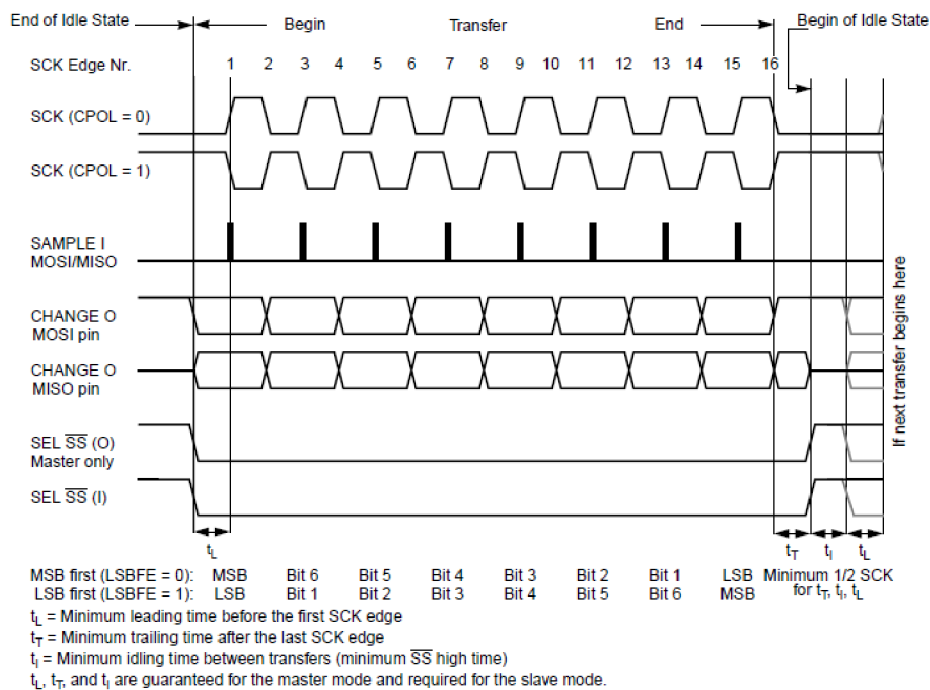


Figure 4-2 SPI Clock Format 0 (CPHA = 0)

Obrázek 1.7 Komunikace po sběrnici SPI při validních datech na první hranu SCK

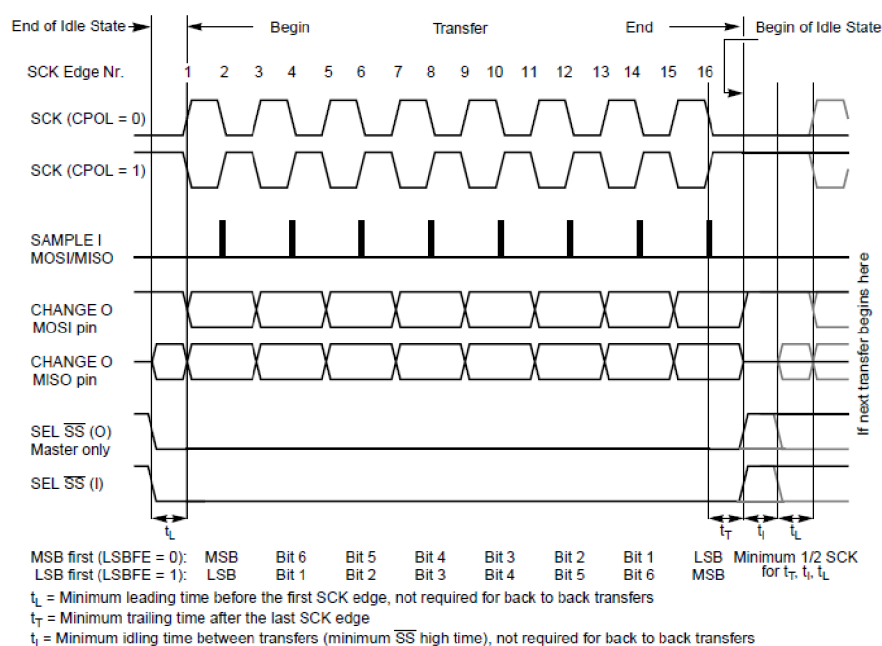


Figure 4-3 SPI Clock Format 1 (CPHA = 1)

Obrázek 1.8 Komunikace po sběrnici SPI při validních datech na druhou hranu SCK

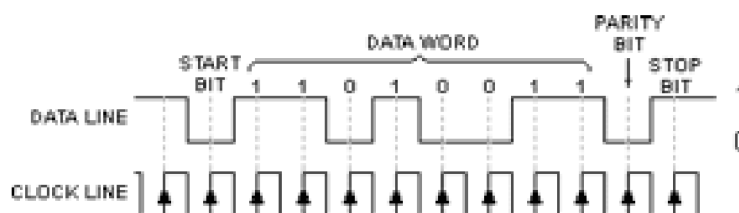
Obrázek 1.7 a Obrázek 1.8 jsou převzaty z [3] a ukazují, jak probíhá plně duplexní komunikace po sběrnici SPI, je zřejmé, že komunikace započne tak, že Master vybere pomocí „výběrového“ pinu slave select zařízení Slave a poté začne generovat hodinový signál. Specifikace definuje dva formáty – konkrétní formát se vybírá bitem CPHA v řídicích registrech rozhraní, které specifikace jasně definuje, také je možné definovat polaritu hodinového signálu, specifikace dále jasně definuje časy a délky hran, které je nutné dodržet, aby data byla považována za validní. Přenášená data jsou v obou zařízeních před započtením přenosu nahrána z paměti do posuvného registru (shift register). Poté jsou synchronně s hodinovým signálem vysouvána ze zařízení a vsouvána na konec posuvného registru druhého zařízení a naopak. Specifikace SPI dále jasně definuje všechny řídicí registry rozhraní a vnitřní blokové schéma rozhraní, které musí být vždy dodrženo, aby byla zařízení využívající SPI mezi sebou kompatibilní [3].

Některá zařízení vyžadují speciální sekvence, aby byla zahájena komunikace, tyto sekvence jsou tvořeny např. určitým počtem hodinových hran a podobně. Na základě této skutečnosti a skutečnosti, že je specifikováno více formátů hodinového signálu, je nutné, aby při analýze dat SPI rozhraní tímto zařízením byl formát komunikace vždy znám

1.4.3 RS-232, UART

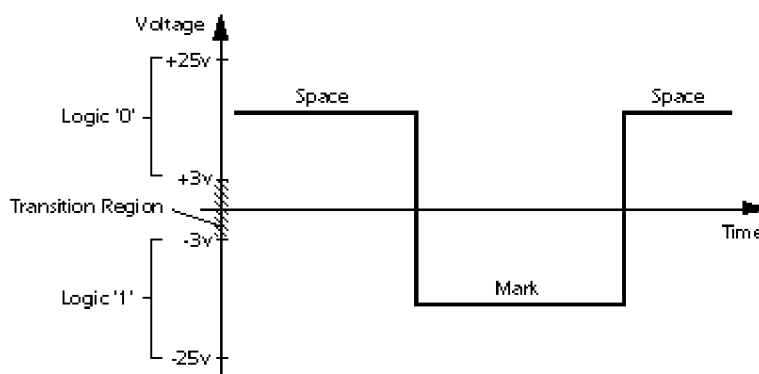
Rozhraní RS232 je poměrně starý standard asynchronní sériové komunikace mezi dvěma zařízeními. V nejjednodušším případě je ke komunikaci třeba pouze jeden vodič (pouze jedno zařízení posílá data do druhého), komunikace pak probíhá pouze jedním směrem. Napěťové úrovně jsou měřeny proti zemi, původně byl standard definován pro přenos mezi dvěma zařízeními do dvaceti metrů. Data jsou přenášena pomocí vodičů RXD a TXD, kde vodič RXD slouží pro přenos dat do zařízení a vodič TXD pro vysílání dat ze

zařízení. Funkce vodičů není zaměnitelná, z toho plyne, že musí být mezi dvěma zařízeními vodiče „překřížené“ (TXD-RXD, RXD-TXD), aby bylo možné komunikovat. Tyto dva vodiče mohou být doplněny o signály RTS a CTS, ty slouží pro řízení komunikace, kdy si zařízení oznamují, že jsou připravena komunikovat tzv. handshaking. Specifikace také definuje signály DTR, DCD, DSR a RI pro komunikaci s modemem. Ve specifikaci jsou také jasně definovány zapojení některých standardních konektorů a přiřazení signálů k pinům. Jelikož se jedná o asynchronní rozhraní, jsou data přenášena v přesně definovaných rámcích s jedním start bitem a definovaným počtem stop bitů, případně bitů paritních pro kontrolu přenášených dat. Data se synchronizují vždy na hranu start bitu. Proto rozhraní RS232 musí být na obou zařízeních nastaveno naprosto identicky a interní hodinový signál rozhraní musí splňovat parametry dané specifikací – stabilita a přesnost kmitočtu. Aby se předešlo chybám, je frekvence interního signálu vždy několikrát větší, než bitová rychlost přenášených dat. Každý bit je tak přečten několikrát a rozhodovací metodou lze určit, zda-li jde o logickou jedničku nebo logickou nulu. Dříve bylo definováno pouze 7 nebo 8 datových bitů, dnes je možné používat i devět datových bitů [5].



Obrázek 1.9 Rámec RS232 o 8 datových bitech, jednom paritním bitu a stop bitu

Obrázek 1.9 je převzat z [5] a zobrazuje přenos jednoho datového rámce po rozhraní RS232. Rozhraní RS232 bylo navrženo tak, aby bylo odolné proti šumu, v době návrhu se používal běžně standard logická jednička 5 V a logická nula připojení na zem. U rozhraní RS232 byly definovány logické úrovně takto:



Obrázek 1.10 Logické úrovně rozhraní RS232

Dle Obrázek 1.10 převzatého z [5] je zřejmé, že je definovaná zakázaná oblast od -3 V do +3 V, kompatibilní rozhraní tak musí tuto napěťovou úroveň vyhodnotit jako chybu.

Tabulka 1.2 Přesná definice logických úrovní rozhraní RS232

Logická úroveň	Vysílací strana	Přijímací strana
Logická jednička	od -15 V do -5 V	od -25 V do -3 V
Logická nula	od +5 V do +15 V	od +3 V do +25 V

Tabulka 1.2 přesněji definuje logické úrovně pro obě komunikace zúčastněných zařízení, za zmínku stojí to, proč je vždy na přijímací straně definovaná jako krajní mez úroveň +25 V nebo -25 V, je to proto, že mezi propojenými zařízeními vzniká zemní smyčka a v té se indukuje napětí, dimenzováním přijímačů na +25 V a -25 V se do jisté míry předchází nechtěnému zničení rozhraní [5].

Adaptér UART – Universal Asynchronous receiver/transmitter. Jde o rozhraní implementované v mikrokontrolerech a realizovatelné v FPGA. Rozhraní implementuje minimálně možnost asynchronního přenosu případně další signály, které používá rozhraní RS232 na logických úrovních, které jsou vlastní MCU nebo FPGA. Formát datových rámců a veškeré ostatní principy přenosu jsou stejné jako u rozhraní RS232. Pro převod na napěťové úrovně rozhraní RS232 lze použít specializované obvody s nábojovými pumpami například MAX232 .

1.4.4 RS422/485

Jedná se o asynchronní rozhraní využívající k přenosu, určování napěťových úrovní a z nich příslušných logických úrovní ne vodič proti zemi, ale diferenciální pár. Parametry a napěťové úrovně jsou uvedeny v Tabulka 1.1. Formát datových rámců a způsob synchronizace je stejný jako u rozhraní RS232, viz 1.4.3. Rozhraní umožňuje dle specifikace přenos až na 1200 metrů při použití kabelu s vhodnou kapacitou a datový tok 10MBit/s. Dle specifikace je možné na jeden diferenciální pár připojit až 10 zařízení v případě rozhraní RS422 nebo 32 zařízení v případě RS485 [4]. Dnes výrobci nabízejí vysílače/přijímače, které umožňují připojení až 128 zařízení i vyšší datové toky. Komunikace na rozhraní probíhá mezi zařízeními v poloduplexním režimu, metody přístupu na vytvořenou sběrnici nejsou specifikovány a je tedy nutné je realizovat softwarově dle vlastního uvážení.

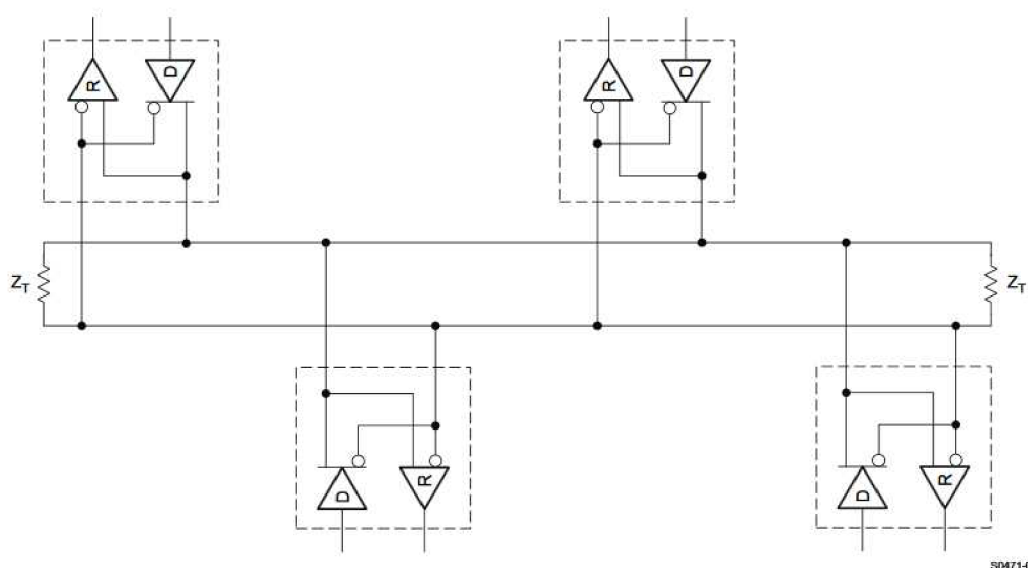


Figure 30. Stub Cables Connected to the Main Backbone

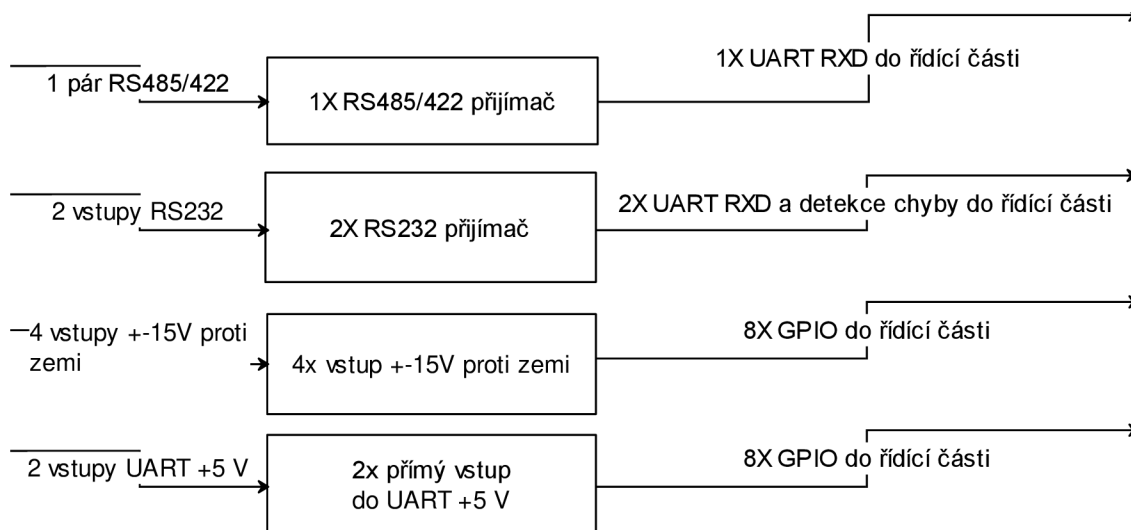
Obrázek 1.11 Zapojení více zařízení na sběrnici tvořené jedním diferenciálním párem RS422/485

Obrázek 1.11 je převzat z [4] a ukazuje realizaci sběrnice pomocí jednoho diferenciálního páru. Velikost zakončovacích impedancí Z_T je dána specifikací RS422/488. Pro připojení rozhraní k MCU nebo FPGA je opět možné využít rozhraní UART a příslušný přijímač/vysílač pro rozhraní.

2 NÁVRH ANALOGOVÉ ČÁSTI

Zapojení musí být schopné převádět napěťové úrovně na úrovně, které využívá řídicí část bez zkreslení vstupního signálu, tak aby bylo možné řídicí část analyzovat průběh komunikace na rozhraní.

Z kapitoly 1 je patrné, že zařízení musí umět zpracovat jak rozhraní, kde se logická úroveň určuje proti zemi, tak rozhraní, kde se logická úroveň určuje napětím mezi vodiči tvořícími diferenciální páry. Možností, jak realizovat takové zapojení, je více. Nejjednodušší možnost, jak analyzovat rozhraní RS232 či RS422/485, je použít hotové rozhraní od některého z výrobců obvodů a připojit jej na UART, který samozřejmě musí podporovat řídicí část a logické úrovně mezi obvodem přijímače a řídicí částí musí být kompatibilní. Výhodou takového zapojení je jeho jednoduchost – stačí jeden obvod a pár pasivních prvků, ale hlavně nesporná výhoda tkví v tom, že některé obvody už samy umí detekovat chyby a zakázané stavy na rozhraní. Další možností je realizovat vlastní zapojení pomocí komparátoru s nastavitelnou úrovní překlápění a přizpůsobením k napěťové úrovni řídicí části. Zapojení analogové části poskytuje obě tyto možnosti.

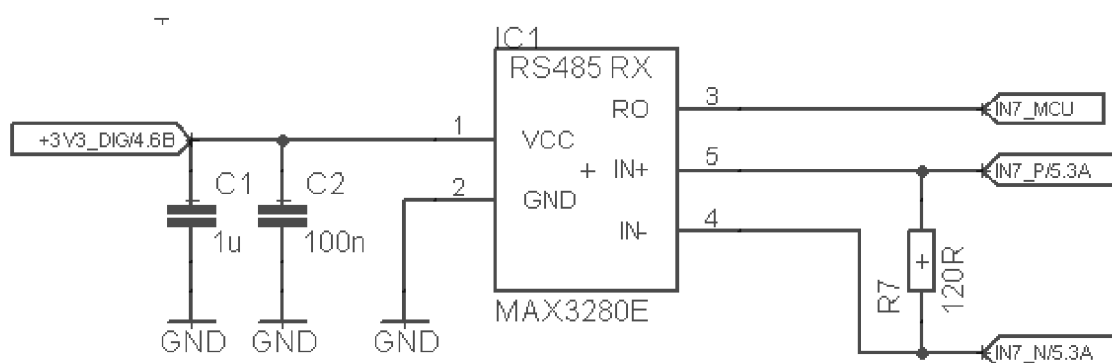


Obrázek 2.1 Blokové schéma přijímačů analogové části

Obrázek 2.1 ukazuje blokové schéma zapojení celé analogové části.

2.1 Jeden vstup RS485/422

Pro realizaci jednoho vstupu RS485/422 byl zvolen obvod MAXIM MAX3280E. Je to jednokanálový diferenciální přijímač napájený z +3 V nebo až +5 V, respektuje všechny standardy RS485/422 a je možné přenášet datové toky až 52 Mbit/s. Obvod je vybaven ESD ochranou splňující IEC61000-4-2 pro +8 kV kontaktem a +15 kV vzduchem [12].

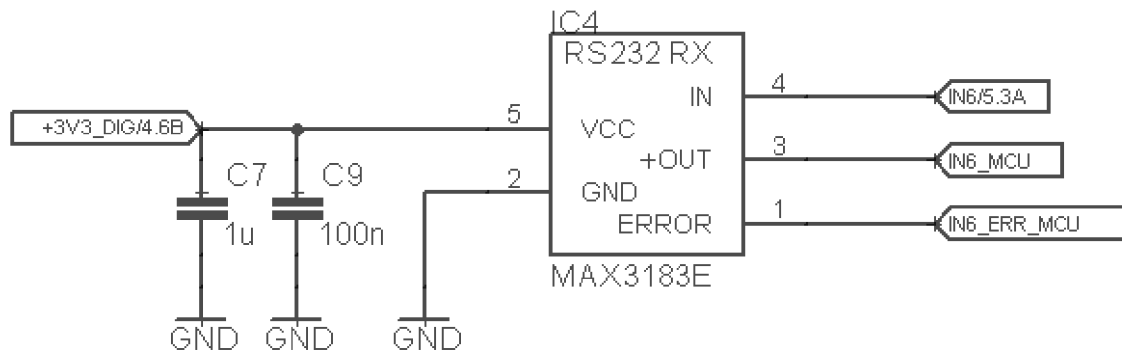


Obrázek 2.2 Zapojení 1xRS485/422 přijímače

Obrázek 2.2 ukazuje zapojení přijímače MAX3280, kondenzátory C1 a C2 slouží jako blokování napájení, obvod je napájen z +3V3 napájecí větve, rezistor R7 připojený mezi vodiče diferenciálního páru se osazuje volitelně dle místa na sběrnici, kde má být analyzátor připojen. Zapojení odpovídá všem náležitostem uvedeným v [12]. Pin RO(3), je výstup připojen na UART rozhraní v řídicí části.

2.2 Dva vstupy RS232

Pro realizaci dvou RS232 vstupů byly zvoleny dva obvody MAXIM MAX3183E. MAX3183E je jednobanýový přijímač převádějící úroveň RS232 do napěťových úrovní, které podporuje řídicí část. Obvod je plně kompatibilní se specifikací RS232 a poskytuje i výstup signalizující chybu na rozhraní (napětí na rozhraní v zakázaném pásmu). Zároveň je obvod vybaven ESD ochranou splňující IEC61000-4-2 pro ± 8 kV kontaktem a ± 15 kV vzduchem [11]. Maximální datový tok je 1,2 Mbit/s, obvod se napájí z +3 až +5 voltů.



Obrázek 2.3 Zapojení 1x RS232 přijímače

Obrázek 2.3 ukazuje zapojení přijímače MAX3183E, kondenzátory C7 a C9 slouží jako blokování napájení, obvod je napájen z +3V3 napájecí větve. Pin OUT(4) je výstup připojen na UART rozhraní v řídicí části. Zapojení odpovídá všem náležitostem uvedeným v [11]. Stejně je zapojen i druhý obvod MAX3183E.

2.3 Čtyři vstupy ± 15 V max. proti zemi

Zapojení se skládá ze vstupního napěťového sledovače, na který je přiváděno napětí z přizpůsobeného napěťového děliče s dělicím poměrem 1 ku $5,99 \approx 6$. Za děličem následují dva komparátory s hysterezí a nastavitelnou úrovní překlápění tak, aby bylo možno detekovat úroveň logické jedničky i logické nuly a zároveň detekovat chybu (zakázaný stav). Výstup z komparátoru má již kompatibilní napěťové úrovně s řídicí částí. Úroveň překlápění je možno nastavovat pomocí DA převodníku. Ten není v zapojení obsažen a je nutné ho integrovat v řídicí části. Pro záporné úrovně napětí je k dispozici zesilovač se zesílením -1 . K možnosti výběru záporné nebo kladné úrovně překlápění je k dispozici analogový multiplexor 2:1.

2.3.1 Výběr operačních zesilovačů a komparátorů

Aby zapojení nezatěžovalo vstupní dělič, je nutné vybrat operační zesilovač s co největším vstupním odporem, ideálně několikrát větší než $1 \text{ M}\Omega$. Vstupní kapacita by měla být $\leq 3 \text{ pf}$. Je nutné, aby měl OZ co nejnižší klidový proud, protože jinak by vytvářel na vstupním děličí velký úbytek napětí.

Operační zesilovač realizující vstupní sledovač musí mít podle Tabulka 1.1 šířku pásma aspoň 110 MHz, aby byl schopen přenést 10MHz obdélníkový signál.

Požadavky na SR operačního zesilovače realizující vstupní sledovač vyplývají z Tabulka 1.1, nejmenší známa délka hrany signálu je 4ns (rozhraní SPI). Potřebný SR pro každé rozhraní se vypočte jako rozdíl maximální a minimální napěťové úrovně na výstupu OZ, vydělený nejkratší známou délkou hrany pro rozhraní. Podle tabulky je největší SR na výstupu OZ pro rozhraní SPI, předpokládejme výstupní úroveň napětí 0 až 550 mV (3,3V/5,99 – vstupní dělič) pak při délce hrany 4ns bude SR:

$$SR = \frac{\Delta U}{\Delta t} = \frac{550mV}{4 \cdot 10^{-9}s} = 137,5 \text{ V}/\mu s . \quad (\text{rovnice 2.1})$$

Kde SR je doba přeběhu, ΔU rozdíl napětí mezi úrovní logické jedničky a nuly a Δt nejkratší doba trvání hrany signálu [1].

Požadavky na parametry vstupního napětí, vstupního souhlasného napětí a rozsahu výstupního napětí operačního zesilovače vyplývají z dělicího poměru napěťového děliče, jelikož je dělicí poměr zvolen 5,99 tak při 15 V na vstupu bude na výstupu děliče napětí o něco málo větší než 2,5 V.

Tabulka 2.1 Přehled parametrů OZ vstupního napěťového sledovače

GBP[MHz]	SR[V/ μ s]	Vicm[V]	Voutswing[V]
≥ 110	$\geq 137,5$	$> \pm 2,5$	$> \pm 2,5$

V Tabulka 2.1 jsou shrnuty všechny nejdůležitější parametry při výběru OZ pro vstupní napěťový sledovač.

Pro parametry OZ sloužících jako napěťové sledovače DA převodníku a pro invertující zesilovač je nejdůležitější, aby měly co nejmenší napěťový offset, co největší vstupní odpor a nejmenší vstupní kapacitu [1]. SR ani šířka pásma v této aplikaci nehraje roli, protože výstupní slovo DA převodníku zůstává stejné po celou dobu analýzy.

Nejdůležitějším parametrem při výběru komparátoru je parametr propagation delay nebo response time, označení parametrů se liší dle výrobce. Parametr definuje, jak rychle dokáže komparátor překlopit svůj výstup v reakci na dosažení nastavené úrovně překlopení na jeho vstupu. Typicky výrobce udává tento parametr v rozsahu 5 mV až 20mV overdrive. To znamená, že vstupní napětí je o 5 mV/20 mV větší než nastavená úroveň překlopení. Při zvětšování parametru overdrive se doba propagation delay/response time. snižuje. Dále je pak nutné vybrat komparátor, který odpovídá požadavkům na input common mode range, tedy souhlasné napětí na vstupu [21]. Pro frekvence menší než 1 MHz je dostačující, aby parametr propagation delay byl menší než 80ns. Pro frekvence do 10 MHz je vhodné, aby hodnota propagation delay parametru nebyla vyšší než 10 ns, ovšem použitelné jsou i komparátory s parametrem propagation delay do 40 ns. Vzniká pak, ale větší riziko špatného analyzování dat v řídicí části, respektive je nutné ošetřit tuto možnost v řídicí části. Vhodným nastavením úrovně pro překlopení lze udržovat parametr overdrive dostatečně velký a zkracovat dobu odezvy.

Tabulka 2.2 Výběr OZ a komparátorů

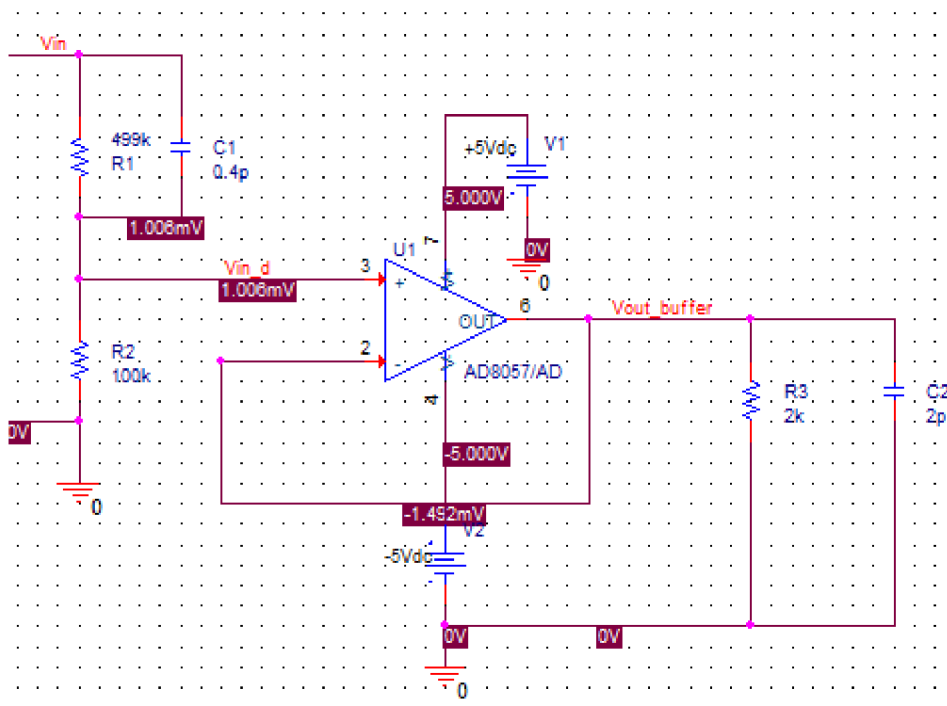
Vstupní napěťový sledovač OZ	AD8057/58 SR=1000 V/ μ s; GBP=175 MHz; při Vdd= \pm 5 V
OZ pro napěťový sledovač DA	MCP6H01/2
Komparátor	MAX 9201/2/3 HS 7ns komparátor Vdd= \pm 5 V, Výstup 5 V TTL

Tabulka 2.2 shrnuje výběr operačních zesilovačů a komparátorů.

Jako multiplexor 2:1 pro přepínání referenčních úrovní je použit obvod ADG1419 firmy Analog devices. Multiplexor se napájí symetricky \pm 5 V. Ovládání multiplexoru je kompatibilní s LVTTTL logikou, může být tedy ovládán přímo řídicí částí.

2.3.2 Návrh vstupního děliče napětí, napěťového sledovače a jeho simulace

Vstupní dělič je nutné navrhnout tak, aby byl frekvenčně kompenzován. To znamená dělicí poměr odporového děliče a kapacitního děliče, tvořeného kapacitou vstupu operačního zesilovače a parazitní kapacitou odporů bude stejný [22]. Pro kompenzaci je nutné zapojit paralelně kapacitu k hornímu odporu děliče a případně přidat i paralelní kapacitu ke spodnímu odporu děliče, která se nemusí nutně osazovat, ale může vhodně posloužit pro případné doladění kompenzace. V následující simulaci se počítá s ideálními podmínkami a parazitní kapacita vstupu OZ je konstantně dána PS Spice modelem pro simulaci, tudíž pro kompenzaci je dostačující zapojit paralelní kapacitu k vrchnímu odporu.



Obrázek 2.4 Zapojení pro simulaci vstupního děliče napětí a sledovače

Na Obrázek 2.4 je zapojení vstupního děliče napětí a napětového sledovače s operačním zesilovačem AD8057(8058 je dvoukanálová verze tohoto OZ) pro simulaci v aplikaci OrCad Capture a PS Spice. Napětový vstup je označen V_{in} , výstup sledovače V_{out_buffer} pracuje do zátěže $2k\Omega/2pF$.

Výběr a výpočet hodnot pasivních součástek:

$$R1 = 499k\Omega$$

$$R2 = 100k\Omega$$

$$\text{dělicí poměr} = \frac{R2}{R1+R2} = \frac{100k\Omega}{100k\Omega+390k\Omega} = \frac{100}{599} \quad (\text{rovnice 2.2})$$

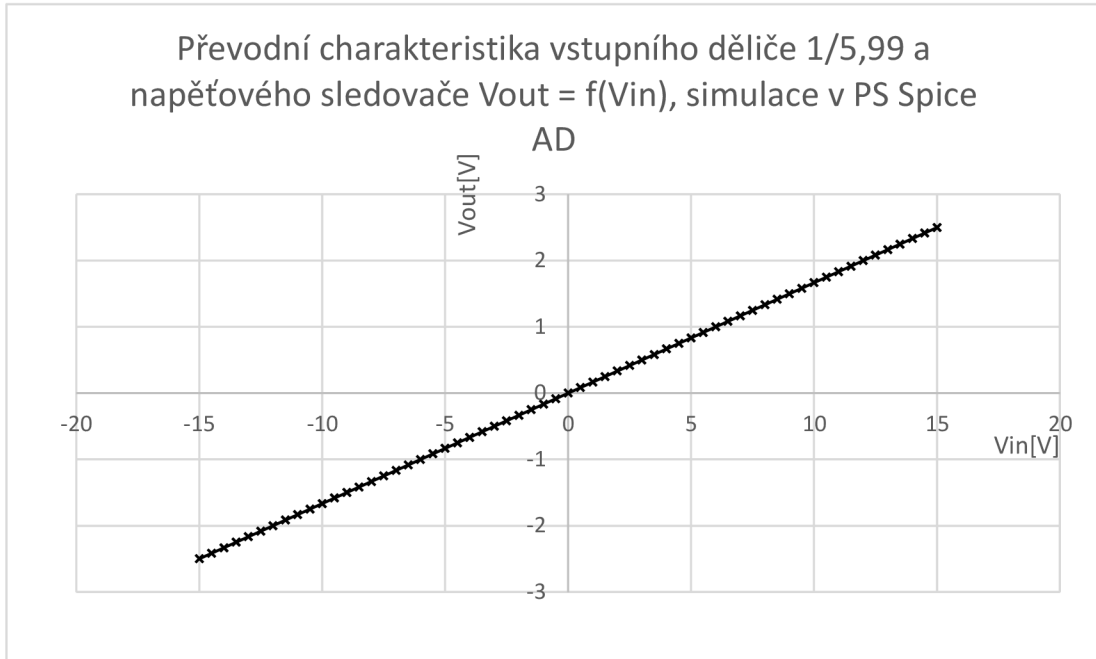
$$\text{vstupní kapacita OZ} - C_{OZ} = 2pF$$

$$\text{kmitočtová kompenzace } R1 * C1 = R2 * C_{OZ} \quad (\text{rovnice 2.3})$$

$$C1 = \frac{R2 * C_{OZ}}{R1} = \frac{100k\Omega * 2pF}{499k\Omega} = 0,4008pF \quad (\text{rovnice 2.4})$$

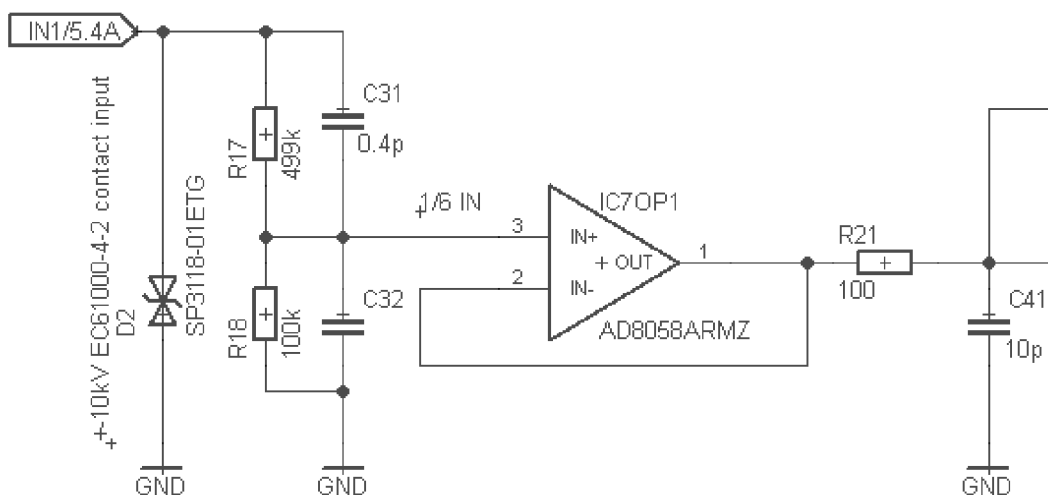
Velikost odporu $R1$ a $R2$ určuje dělicí poměr děliče, kapacita $C1$ slouží pro kompenzaci děliče. Vztah pro kompenzaci je odvozen v [22].

Při simulaci převodní charakteristiky zapojení v programu PS Spice byl na vstup zapojení připojen zdroj stejnosměrného napětí a pro simulaci byla zvolena DC-sweep analýza, která spočívá v tom, že v každém kroku simulace se mění napětí zvoleného stejnosměrného zdroje.



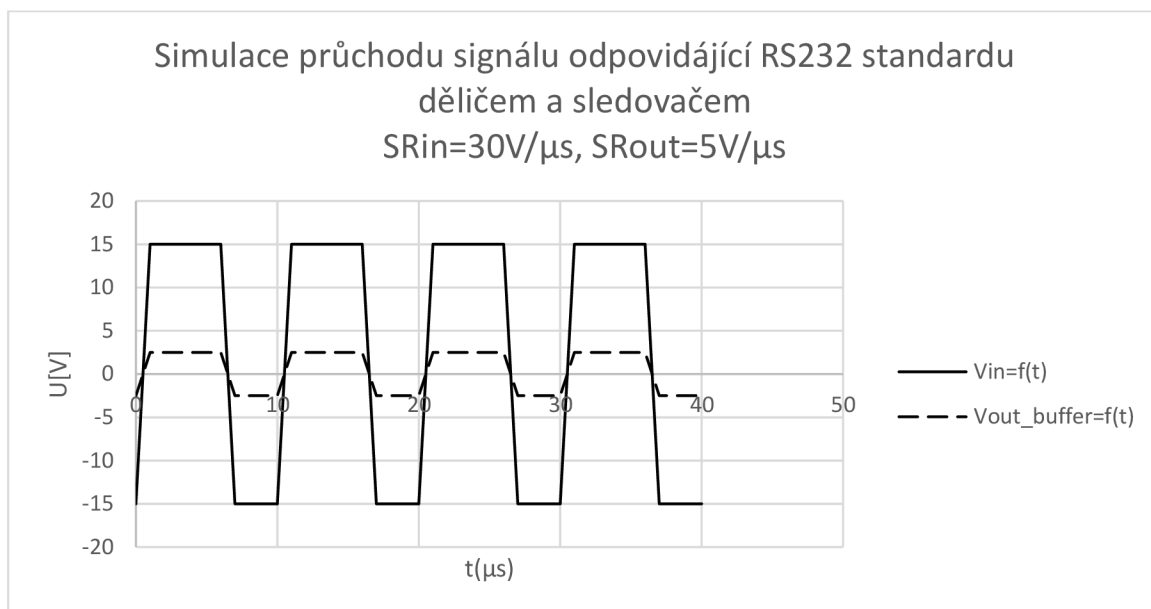
Obrázek 2.5 Simulovaná převodní charakteristika vstupního děliče napětí a sledovače

Obrázek 2.5 ukazuje výsledek simulace převodní charakteristiky vstupního děliče a sledovače. Z výsledku je patrné, že zapojení je vyhovující.



Obrázek 2.6 Konečné zapojení vstupního děliče a sledovače

Obrázek 2.6 ukazuje konečné zapojení použité v zařízení. Dělič je tvořen odpory R17 a R18, kondenzátory C31 a C32 slouží pro kompenzaci děliče. Vstup je chráněn unipolární diodou D2. Na výstup je připojena dolní propust, ta může být nahrazena nulovým odporem a neosazením kondenzátoru. Výstup dolní propusti je připojen na komparátory. Na obrázku chybí zobrazení připojení napájení. AD8058 je napájen z ± 5 V, velikost blokovacích kondenzátorů a zapojení odpovídá všem náležitostem v [9].

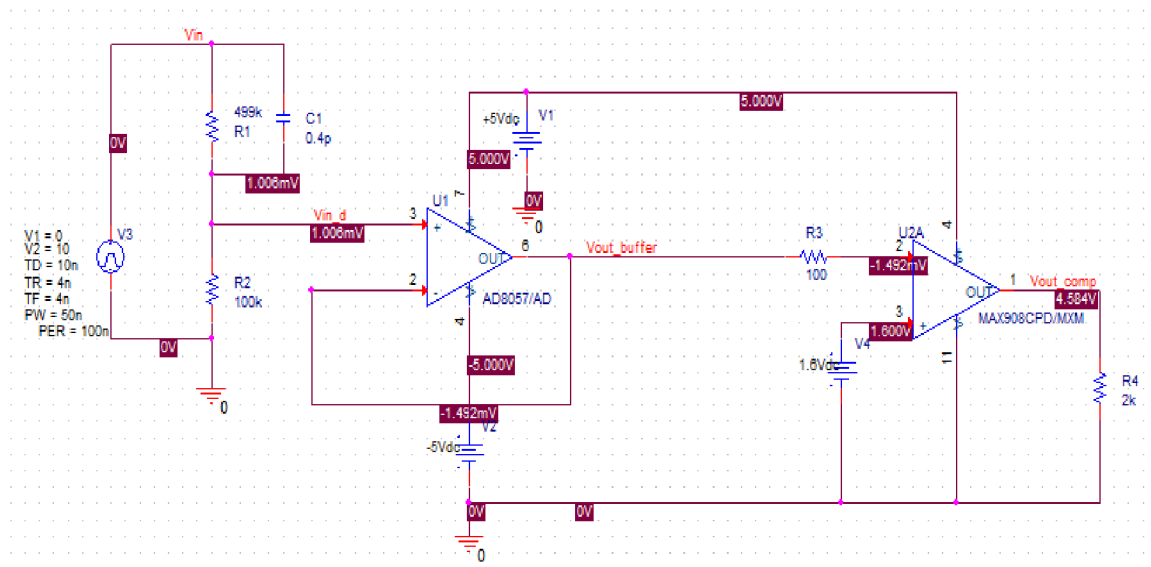


Obrázek 2.7 Simulace průchodu signálu odpovídající RS232 standardu děličem a sledovačem

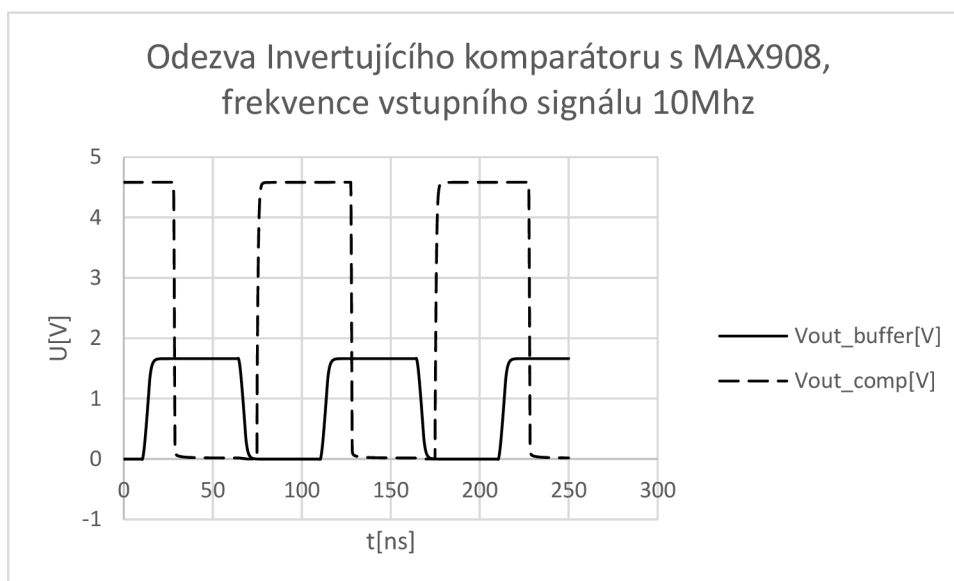
Obrázek 2.7 ukazuje výsledek simulace průchodu signálu zapojením děliče a sledovače, který odpovídá RS232 standardu. Výstupní signál z napětového sledovače je vyhovující a věrně kopíruje vstupní signál. Zapojení pro simulaci bylo stejné jako při simulaci převodní charakteristiky, s tím rozdílem, že jako zdroj stejnosměrného napětí byl použit zdroj V_{pulse} pro vytvoření vstupního průběhu a místo DC-Sweep analýzy byla použita analýza Time domain, která umožňuje simulaci chování zapojení v závislosti na čase.

2.3.3 Návrh komparátoru

Zapojení se skládá ze dvou komparátorů MAX9201 s nastavitelnými úrovněmi překlopení a pevně danou hysterezi $\pm 24,8$ mV. Toto zapojení umožňuje detekovat na rozhraní zakázaný stav. Nastavení úrovně zajišťuje DA převodník, který je integrován v řídicí části. Nastavení záporných úrovní umožňuje invertující zesilovač se zesílením mínus jedna, pro přepínání mezi kladnou a zápornou úrovní je k dispozici multiplexor 2:1.



Obrázek 2.8 Zapojení v OrCad Capture pro simulaci komparátoru

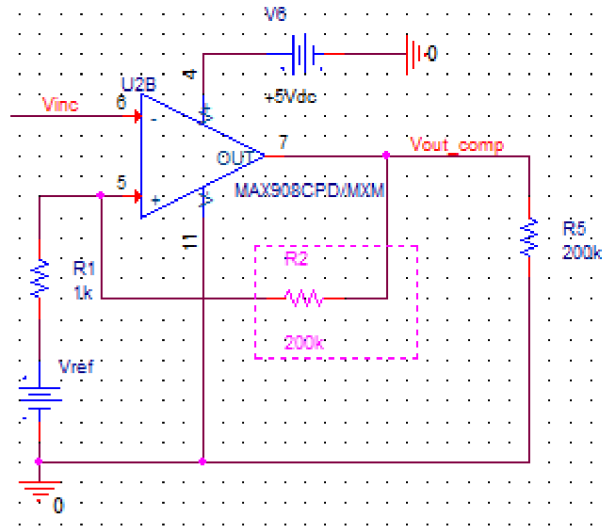


Obrázek 2.9 Výsledek simulace odezvy komparátoru

Pro ověření správnosti volby komparátoru byla v programu OrCad PSSpice provedena simulace komparátoru MAX908 také od firmy Maxim, ten má větší propagation delay (45 ns) než zvolený komparátor MAX9201 (propagation delay 7 ns). Zapojení pro simulaci ukazuje Obrázek 2.8, opět je zvolena simulace Time domain a jako zdroj signálu je zvolen Vpulse. Parametry vstupního signálu jsou nastaveny tak, aby za sledovačem byla úroveň napětí 0 V až 1,7 V, frekvence signálu 10 Mhz a délka hrany 4 ns, jako referenční napětí komparátoru je na pevně nastaveno 1,5 V, overdrive je tedy 20 mV. Z výsledku simulace na Obrázek 2.9 je vidět, že i tento komparátor by byl použitelný. Také lze pozorovat rozdílnou dobu propagation delay při náběžné a sestupné

hraně vstupního signálu, to je dáno vnitřním zapojením obvodu.

Hystereze slouží k tomu, aby komparátor, pokud je v signálu přítomen šum, nepřeklápěl náhodně výstup a nedošlo ke špatnému zpracování informace, v nejhorším případě nedošlo k oscilacím zapojení. Hystereze nastaví komparátoru dvě různé překlápěcí úrovně napětí pro překlopení do V+ a V-, které jsou blízké referenčnímu napětí pro překlopení, velikost hystereze se volí dle aplikace [20][21].



Obrázek 2.10 Jednoduché zapojení invertujícího komparátoru s hysterezí

Ze zapojení na Obrázek 2.10 je patrné, že komparátor překlápí svůj výstup do V+ (v tomto případě +5 V) pokud na invertujícím vstupu bude nižší napětí než na vstupu neinvertujícím. Naopak výstup se překlápí do V- (v tomto případě zem) pokud na invertujícím vstupu bude nižší napětí než napětí na vstupu neinvertujícím. Odporů R1 a R2 je nastavena hystereze. Odvození výsledných úrovní pro překlopení je provedeno metodou superpozice [20].

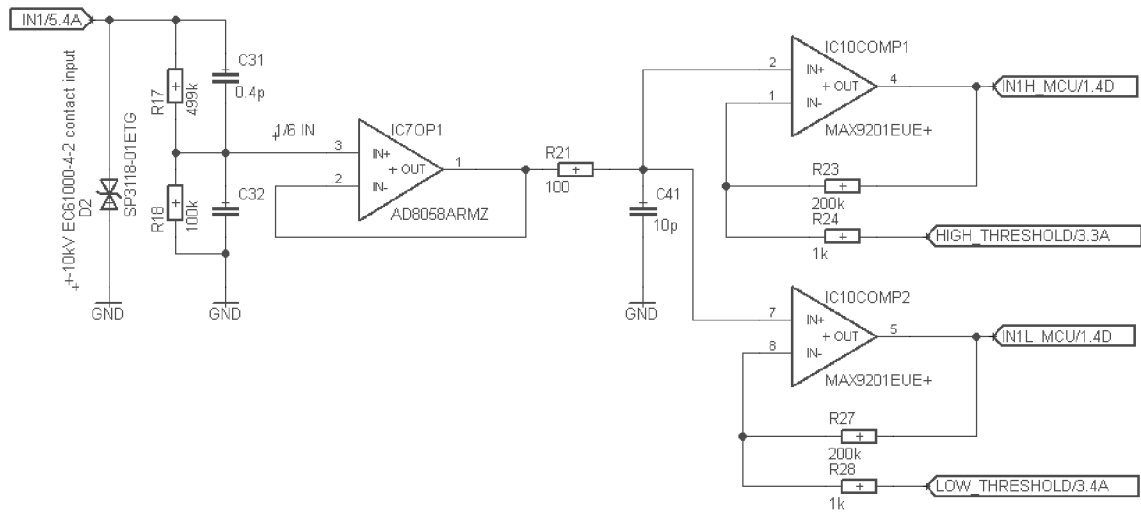
$$V_{inc_{V+ \rightarrow V-}} = V_{ref} * \frac{R2}{R1+R2} + V_+ * \frac{R1}{R2+R1} \quad [V] \quad (\text{rovnice 2.5})$$

$$V_{inc_{V- \rightarrow V+}} = V_{ref} * \frac{R2}{R1+R2} \quad [V] \quad (\text{rovnice 2.6})$$

$$Hystereze = V_+ * \frac{R1}{R2+R1} \quad [V] = 5 * \frac{1k\Omega}{1k\Omega+200k\Omega} = 24,8mV \quad (\text{rovnice 2.7})$$

$V_{inc_{V+ \rightarrow V-}}$ je úroveň na invertujícím vstupu, při které výstup překlápí do V-.
 $V_{inc_{V- \rightarrow V+}}$ je úroveň na invertujícím vstupu, při které výstup překlápí do V+.

2.3.4 Konečné zapojení jednoho ± 15 V vstupu a pravdivostní tabulka výstupu



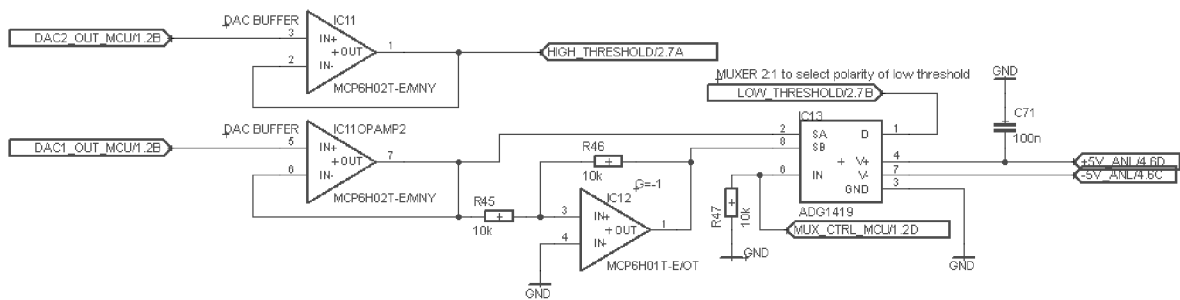
Obrázek 2.11 Zapojení jednoho ± 15 V vstupu

Obrázek 2.11 ukazuje konečné zapojení jednoho ± 15 V vstupu. Vstupní dělič a napěťový sledovač je popsán na Obrázek 2.6. Zapojení komparátoru je realizováno obvodem IC10, což je MAX9201 – celkem čtyři komparátory v jednom pouzdře. Hystereze je nastavena odpory R23(27) a R24(28). Referenční napětí je přiváděno signály HIGH_THRESHOLD a LOW_THRESHOLD. MAX9201 i AD8058 jsou napájeny z ± 5 V. Blokování napájení kondenzátory je zapojeno podle [13] a [9], „Digitální“ výstup komparátoru má vlastní napájení a je napájen z $+5$ V, na výstupu se tedy objeví pouze úroveň $+5$ V a 0 V – zem, proto je možné tyto výstupy připojit přímo na řídicí část – pokud je tedy kompatibilní z $+5$ V logikou.

Tabulka 2.3 Pravdivostní tabulka výstupů komparátorů

Vstupní napětí komparátoru	IN1H_MCU	IN1L_MCU
$V_{in} < V_{refH}$ & $V_{in} < V_{refL}$	$+5$ V	$+5$ V
$V_{in} > V_{refH}$ & $V_{in} > V_{refL}$	Zem 0 V	Zem 0 V
$V_{in} < V_{refH}$ & $V_{in} > V_{refL}$	$+5$ V	Zem 0 V

Z Tabulka 2.3, která zobrazuje logickou funkci realizovanou v zapojení, je zřejmé, že je možné bezpečně identifikovat zakázaný stav. Ten definuje poslední řádek tabulky. Znamená to, že úroveň napětí na analyzovaném rozhraní není definována ani jako logická jednička ani jako nula.



Obrázek 2.12 Zapojení sledovače a multiplexoru pro nastavení úrovní referenčních napětí

Obrázek 2.12 ukazuje zapojení, které poskytuje komparátorům referenční napětí. Zapojení poskytující referenční napětí pro úroveň překlopení do logické jedničky – signál HIGH_THRESHOLD je tvořeno obvodem IC11 – nízkošumový operační zesilovač MCP6H02 firmy Microchip, v jednom pouzdře jsou tyto zesilovače dva. IC11 je zapojen jako napěťový sledovač přímo na výstup DA převodníku, protože není na vstupu IC11 přítomen RC článek, je vhodné, aby byl IC11 umístěn na DPS co nejbližší výstupu DA převodníku.

Zapojení poskytující referenční napětí pro úroveň překlopení do logické nuly – signál LOW_THRESHOLD je tvořeno stejně, jako zapojení pro úroveň překlopení do logické jedničky napěťovým sledovačem, ten tvoří druhý operační zesilovač v IC11. Navíc je ale přítomno zapojení invertujícího operačního zesilovače realizované odpory R45, R46 a IC12, což je operační zesilovač MCP6H01 – jednoboká varianta MCP6H02, výsledné zesílení zapojení je -1. Pro výběr polarity signálu LOW_THRESHOLD je k dispozici IC13 – multiplexor 2:1 ADG1419 ovládaný z řídicí části. Obvody IC11, IC12, IC13 jsou napájeny z ± 5 V, blokování napájení a další náležitosti jsou zapojeny podle [14] a [10]. Invertující zesilovač a napěťové sledovače jsou zapojeny podle [19].

2.4 Dva přímé vstupy UART +5 V

Zařízení má k dispozici také dva vstupy UART +5 V kompatibilní. Jsou realizovány dvěma napěťovými sledovači s operačním zesilovačem AD8058. Oba vstupy jsou připojeny na UART adaptér v řídicí části. Jsou napájeny z +5 V zdroje nesymetricky proti zemi.



Obrázek 2.13 Zapojení přímých UART vstupů

Obrázek 2.13 ukazuje zapojení dvou přímých UART vstupů realizovaných operačním zesilovačem AD8058. Blokování napájení je zapojeno podle [9]

3 NÁVRH ŘÍDÍCÍ ČÁSTI

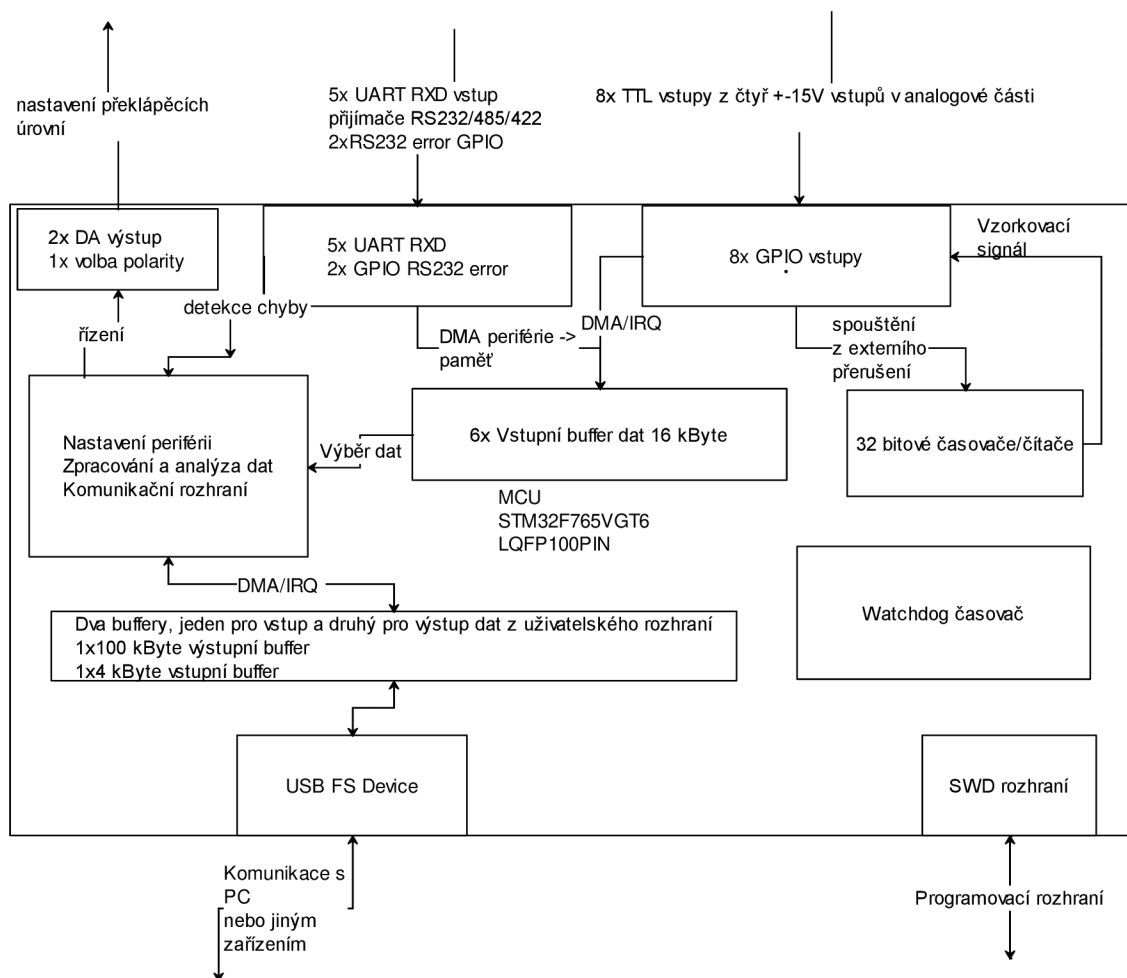
Při realizaci řídicí části je možné využít dvě základní koncepce – řešení s obvodem mikrokontroléru (dále jen MCU) nebo hradlového pole.

Oba zmíněné obvody integrují potřebné periférie a výpočetní výkon. Rozdíl je ovšem ve způsobu, jakým je integrují. MCU integruje hotové zapojení periférií, ke kterým má uživatel přístup a ovládá je pomocí předem daných registrů, výpočetní výkon zajišťuje aritmetická výpočetní jednotka (ALU) případně koprocessor pro práci s plovoucí čárkou (FPU). Hradlové pole je soustavou mnoha funkčních bloků, které lze libovolně programovat a propojovat a potřebné periférie si syntetizovat. Samotný výpočetní výkon a aplikaci lze pak realizovat syntézou ALU nebo složitěho sekvenčního automatu.

Z výše zmíněného plyne i základní rozdíl ve vytváření programového vybavení. Funkčnost MCU je uživatelem programována nejčastěji v jazyce C(C++) nebo jazyce symbolických adres, či kombinací obojího. Výsledná funkčnost je zaručena překladem do strojového kódu, který říká ALU v každé části programu, co má dělat. To znamená, jakým registrům má přistupovat, jak nastavit integrované periférie, jak nakládat s pamětí, jaké s ní provádět operace atd. Naproti tomu hradlové pole je nutné programovat v jazyce, který je schopen detailně popsat všechny funkční bloky a vzájemně je propojovat a tím výslednou požadovanou funkčnost syntetizovat, pro syntézu je možno použít např. jazyk VHDL nebo Verilog. V zařízení je použito řešení s mikrokontrolérem.

Konkrétně je použit MCU STM32F765VGT6 v pouzdře LQFP100. Jedná se o MCU firmy STMicroelectronics s 32 bitovým jádrem ARM Cortex M-7. ALU může pracovat až na frekvenci 216MHz. Je k dispozici 1 Mbyte paměti flash pro program a 512 Kbyte paměti SRAM pro data. V jádře je také integrována paměť L1 cache, která umožňuje vykonávání řídicí aplikace bez prázdných cyklů, kdy je instrukce pouze připravována pro zpracování, případně jsou po sběrnici načítána data a MCU nevykonává žádnou výpočetní operaci. MCU je také vybaven koprocessorem FPU pro počítání s řadovou čárkou. K dispozici jsou dva 32bitové čítače/časovače a několik 16bitových čítačů. Periférie I2C, SPI a jejich modifikace. Univerzální asynchronní/synchronní adaptér UART s možností autodetekce baud rate. Periférie USB i s integrovanou fyzickou vrstvou pro mód Full speed (12 Mbit/s). MII rozhraní a MAC vrstva IEEE 802.3 ethernet pro komunikaci s fyzickou vrstvou, dva DA převodníky, tři AD převodníky, standardní vstup/výstup a spousta dalších periférií [17]. Základní zapojení MCU vychází z [8] a [7].

V zařízení budou využívány periférie časovačů/čítačů, DA převodníky, adaptéry UART, USB v režimu Full speed, standardní vstup a výstup GPIO, periférie Watchdog časovače pro kontrolu „zamrznutí“ řídicí aplikace. Bude využíván také řadič přerušení a možnost operací s pamětí bez asistence ALU – DMA. Pro programování zařízení je k dispozici rozhraní SWD. Původně mělo zařízení podporovat i rozhraní Ethernet, proto bylo vybráno pouzdro LQFP100 se sto piny. Řídicí část je napájena z +3V3 voltů. Vstupní piny MCU jsou ovšem kompatibilní i s úrovní +5 V.



Obrázek 3.1 Blokové schéma řídicí části

Obrázek 3.1 zobrazuje blokové schéma celé řídicí části, včetně všech využívaných periférií MCU, naznačení jejich vzájemných propojení a bufferů pro zpracovávání dat.

3.1 Blok realizující zpracování analýzy dat, nastavení periférií a komunikační rozhraní

Tento blok má v podstatě na starost správnou funkčnost celého zařízení. Po resetu nastaví všechny užívané periférie do definovaného stavu a zkontroluje, zda je vše v pořádku. Poté čeká na to, až uživatel skrze USB rozhraní nastaveného tak, aby se chovalo v externím zařízení jako sériový port, zahájí komunikaci a nastaví jedno z šesti dostupných rozhraní pro analýzu a spustí sběr dat, případně tento sběr dat jiným příkazem ukončí. Dalším úkolem je všechna analyzovaná data zaslat do externího obslužného zařízení, a to včetně informací o chybách. Jak je naznačeno v blokovém schématu na Obrázek 3.1, každé analyzační rozhraní disponuje vlastním bufferem o velikosti 16 kByte pro analyzovaná data. Ke každému bufferu se přistupuje jako ke „kruhovému“ bufferu, což umožňuje jednak to, aby analyzační rozhraní mohlo vkládat do bufferu data a tento blok mohl data

z bufferu vybírat a pracovat s nimi bez nutnosti použití složitějších synchronizačních prvků. Po zpracování jsou data vložena do výstupního bufferu a odeslána do externího zařízení.

3.2 5x UART rozhraní + 2x GPIO pro detekci chyby na RS232

Tento blok slouží pro čtení dat z RS232/RS485/RS422 a UART přijímačů. Jeden tento blok je tvořen adaptérem USART rozhraní, což je adaptér plně kompatibilní s rozhraním UART popsaném v 1.4.3, adaptér USART je rozšířen i o další funkce včetně podpory synchronního přenosu, to je pro tuto aplikaci ale nedůležité.

Table 197. STM32F76xxx and STM32F77xxx USART features

USART modes/features ⁽¹⁾	USART1/USART2/ USART3/USART6	UART4/UART5/ UART7/UART8
Hardware flow control for modem	X	X
Continuous communication using DMA	X	X
Multiprocessor communication	X	X
Synchronous mode	X	-
Smartcard mode	X	-
Single-wire Half-duplex communication	X	X
IrDA SIR ENDEC block	X	X
LIN mode	X	X
Dual clock domain	X	X
Receiver timeout interrupt	X	X
Modbus communication	X	X
Auto baud rate detection	X	X
Driver Enable	X	X
USART data length	7, 8 and 9 bits	

1. X = supported.

Obrázek 3.2 Přehled funkcí adaptéru USART procesoru STM32F765

Obrázek 3.2 je převzat z [6] a poskytuje přehled funkcí, které podporuje adaptér USART v STM32F765. Pro tuto aplikaci jsou nezbytná podpora DMA (přenos dat z periferie do paměti a opačně bez zatížení ALU), podpora autodetekce baud rate, možnost nastavit rozhraní jako jednovodičové trvale jako přijímač. Dále je nutné, aby bylo možné nastavit délku dat v jednom asynchronním rámci na 7,8 a 9 bitů, což adaptér USART podporuje. Maximální podporovaná přenosová rychlost je dle [6] 27 Mbit/s. Zařízení využívá adaptéry USART 1,2,3,5,8.

3.3 8x GPIO vstupy z čtyř rozhraní ±15 V podle 2.3

Tento blok měří data na čtyřech ±15 V uživatelských vstupech. Všechny vstupy jsou připojeny na jeden GPIO port, konkrétně PORT D, to dovoluje načítání všech vstupů jedinou instrukcí. Všechny vstupní piny portu D jsou kompatibilní s úrovní +5 V, která reprezentuje logickou jedničku na výstupu zapojení, podle 2.3, nula je reprezentována připojením na zem.

Data mohou být z portu čteny frekvencí až 108 MHz, teoreticky tedy 108 Mbit/s na jednom pinu. Stejně tak každý pin portu může generovat externí přerušování, a to jak na náběžnou, tak sestupnou hranu vstupního signálu.

Pokud je připojené analyzované rozhraní synchronní, je tedy vzorkování dat z rozhraní spouštěno na příslušnou hranu hodinového signálu analyzovaného rozhraní.

Pokud je připojené rozhraní asynchronní, je nutné využít periferie časovače pro správné vzorkování dat. Časovač je spouštěn vždy, když je detekován start bit – tedy přerušování na náběžnou nebo sestupnou hranu, dle konkrétního rozhraní.

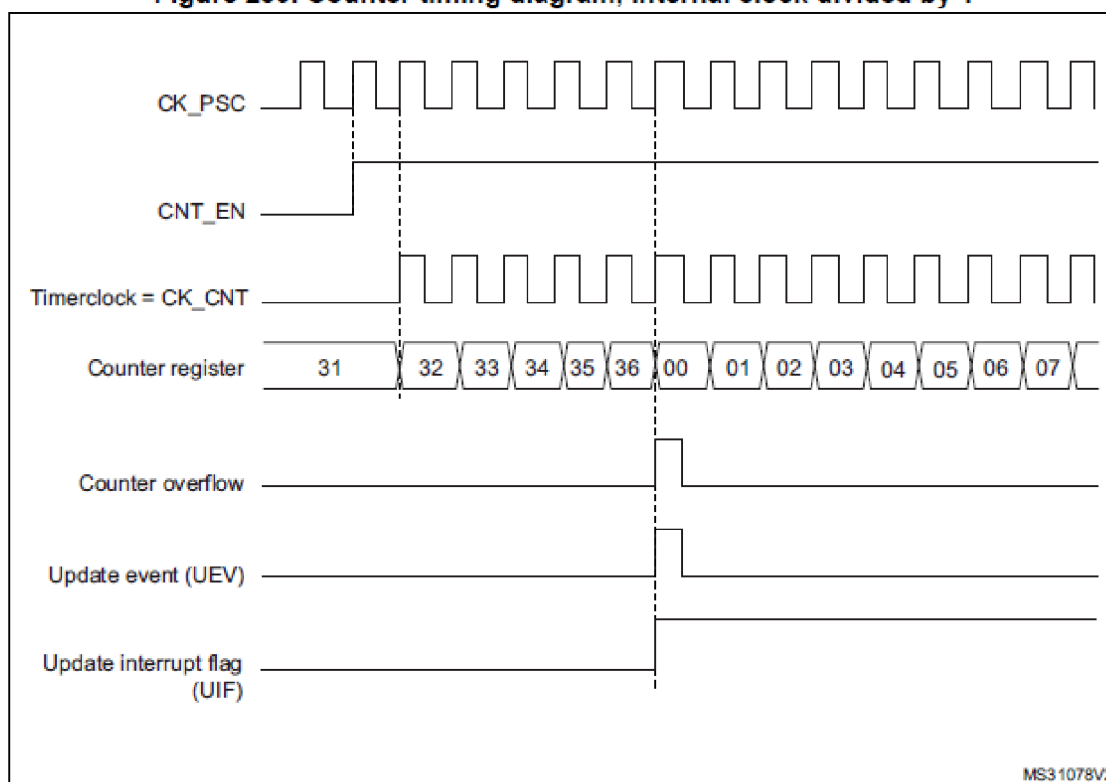
3.3.1 Periferie časovačů/čítačů MCU STM32F765

MCU STM32F765 disponuje až čtrnácti časovači, z nichž některé jsou určeny vyloženě pro speciální účely, jako řízení třífázových měničů, motorů a podobně [6]. Tato aplikace využívá časovač TIM2, což je standardní 32bitový časovač/čítač s frekvencí hodin až 216 MHz [6].

$$\Delta t = \frac{1}{f} = \frac{1}{216 \text{ MHz}} = 4,629 \text{ ns} \quad (\text{rovnice 3.1})$$

Rovnice 3.1 ukazuje nejmenší možný čas, který je možno rozlišit. Δt představuje hledaný čas a f frekvenci hodin časovače. Výpočet je orientační, na výslednou přesnost rozlišení má vliv také stabilita a přesnost použitého krystalu.

Figure 239. Counter timing diagram, internal clock divided by 1



Obrázek 3.3 TIM2 jako standardní časovač/čítač

Obrázek 3.3 je převzat z [6] a ukazuje, jak bude v aplikaci využit TIM2 pro nastavení vzorkovací frekvence. TIM2 bude použit jako standardní inkrementální čítač generující při určité hodnotě událost, čítání bude spouštěno vždy při detekci start bitu a čítat se budou interní hodiny čítače. V registru bude nastavená správná hodnota čítače, při které bude vygenerován update event (UEV), který zároveň generuje přerušení, v kterém bude načten celý obsah portu D do bufferu. Čítání pak začíná znovu od 0. V aplikaci je nutno respektovat maximální hodnotu frekvence čtení dat z portu a to je 108 MHz, podle rovnice 3.1 je tedy maximální rozlišení 9,259 ns [6].

$$n = \frac{f_c}{f_{vz}} [-] \quad (\text{rovnice 3.2})$$

Rovnice 3.2 ukazuje, jak se pro hledanou vzorkovací frekvenci spočítá hodnota čítače, při které bude vygenerován UEV a začne se čítat znovu do nuly, f_c představuje frekvenci čítání, f_{vz} představuje žádanou vzorkovací frekvenci dat, n je hledaná hodnota čítače, při které bude generován UEV. Protože n musí být vždy celé číslo, dochází v situaci, kdy není frekvence čítání celočíselným násobkem vzorkovací, k chybě, protože výsledek rovnice 3.2 se musí zaokrouhlit.

$$\Delta f_{vz} = \pm \left| \frac{f_c}{n_{skut}} - \frac{f_c}{n} \right| [Hz] \quad (\text{rovnice 3.3})$$

Rovnice 3.3 ukazuje, jak se vypočte vzniklá chyba nastavené vzorkovací frekvence,

Δf_{vz} je hledaná chyba, n_{skut} je skutečná hodnota n po zaokrouhlení na celé číslo a n je vypočtené n dle rovnice 3.2, f_c je frekvence čítání.

3.3.2 Periférie DA MCU STMF765

Poslední periférii nutnou pro správnou funkčnost rozhraní definovaného v kapitole 3.3 je číslicově analogový převodník (DA) pro generaci referenčního napětí k určení překlápěcí úrovně komparátorů. MCU disponuje dvěma 12bitovými převodníky [6].

Table 82. DAC characteristics

Symbol	Parameter	Min	Typ	Max	Unit	Comments
V_{DDA}	Analog supply voltage	1.7 ⁽¹⁾	-	3.6	V	-
V_{REF+}	Reference supply voltage	1.7 ⁽¹⁾	-	3.6	V	$V_{REF+} \leq V_{DDA}$
V_{SSA}	Ground	0	-	0	V	-
$R_{LOAD}^{(2)}$	Resistive load with buffer ON	5	-	-	k Ω	-
$R_O^{(2)}$	Impedance output with buffer OFF	-	-	15	k Ω	When the buffer is OFF, the Minimum resistive load between DAC_OUT and V_{SS} to have a 1% accuracy is 1.5 M Ω
$C_{LOAD}^{(2)}$	Capacitive load	-	-	50	pF	Maximum capacitive load at DAC_OUT pin (when the buffer is ON).
DAC_OUT min ⁽²⁾	Lower DAC_OUT voltage with buffer ON	0.2	-	-	V	It gives the maximum output excursion of the DAC. It corresponds to 12-bit input code (0x0E0) to (0xF1C) at $V_{REF+} = 3.6$ V and (0x1C7) to (0xE38) at $V_{REF+} = 1.7$ V
DAC_OUT max ⁽²⁾	Higher DAC_OUT voltage with buffer ON	-	-	$V_{DDA} - 0.2$	V	
DAC_OUT min ⁽²⁾	Lower DAC_OUT voltage with buffer OFF	-	0.5	-	mV	It gives the maximum output excursion of the DAC.
DAC_OUT max ⁽²⁾	Higher DAC_OUT voltage with buffer OFF	-	-	$V_{REF+} - 1LSB$	V	
$I_{VREF+}^{(4)}$	DAC DC V_{REF} current consumption in quiescent mode (Standby mode)	-	170	240	μ A	With no load, worst code (0x800) at $V_{REF+} = 3.6$ V in terms of DC consumption on the inputs
		-	50	75		With no load, worst code (0xF1C) at $V_{REF+} = 3.6$ V in terms of DC consumption on the inputs

Obrázek 3.4 Parametry DA převodníku STM32F7655

Table 82. DAC characteristics (continued)

Symbol	Parameter	Min	Typ	Max	Unit	Comments
$I_{DDA}^{(4)}$	DAC DC V_{DDA} current consumption in quiescent mode ⁽³⁾	-	280	380	μA	With no load, middle code (0x800) on the inputs
		-	475	625	μA	With no load, worst code (0xF1C) at $V_{REF+} = 3.6\text{ V}$ in terms of DC consumption on the inputs
DNL ⁽⁴⁾	Differential non linearity Difference between two consecutive code-1LSB)	-	-	± 0.5	LSB	Given for the DAC in 10-bit configuration.
		-	-	± 2	LSB	Given for the DAC in 12-bit configuration.
INL ⁽⁴⁾	Integral non linearity (difference between measured value at Code i and the value at Code i on a line drawn between Code 0 and last Code 1023)	-	-	± 1	LSB	Given for the DAC in 10-bit configuration.
		-	-	± 4	LSB	Given for the DAC in 12-bit configuration.
Offset ⁽⁴⁾	Offset error (difference between measured value at Code (0x800) and the ideal value = $V_{REF+}/2$)	-	-	± 10	mV	Given for the DAC in 12-bit configuration
		-	-	± 3	LSB	Given for the DAC in 10-bit at $V_{REF+} = 3.6\text{ V}$
		-	-	± 12	LSB	Given for the DAC in 12-bit at $V_{REF+} = 3.6\text{ V}$
Gain error ⁽⁴⁾	Gain error	-	-	± 0.5	%	Given for the DAC in 12-bit configuration
$t_{SETTLING}^{(4)}$	Settling time (full scale: for a 10-bit input code transition between the lowest and the highest input codes when DAC_OUT reaches final value $\pm 4\text{LSB}$)	-	3	6	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
THD ⁽⁴⁾	Total Harmonic Distortion Buffer ON	-	-	-	dB	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
Update rate ⁽²⁾	Max frequency for a correct DAC_OUT change when small variation in the input code (from code i to $i+1\text{LSB}$)	-	-	1	MS/s	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
$t_{WAKEUP}^{(4)}$	Wakeup time from off state (Setting the ENx bit in the DAC Control register)	-	6.5	10	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$ input code between lowest and highest possible ones.
PSRR+ ⁽²⁾	Power supply rejection ratio (to V_{DDA}) (static DC measurement)	-	-67	-40	dB	No R_{LOAD} , $C_{LOAD} = 50\text{ pF}$

Obrázek 3.5 Parametry DA převodníku STM32F765 pokračování

Obrázek 3.4 a Obrázek 3.5 jsou převzaty z [6] a zobrazují důležité parametry DA převodníku. V aplikaci bude interní napěťový sledovač vypnut, na výstup je připojeno zapojení podle Obrázek 2.12. Teoreticky nejmenší možné napětí na výstupu DA převodníku je tedy dle dat udávaných výrobcem 0,5 mV. V zařízení je DA převodník napájen z 3V3 voltů.

$$LSB = \pm \left| \frac{V_{DDA}}{2^n} \right| = \pm \left| \frac{3,3\text{ V}}{2^{12}} \right| = \pm |805,664\ \mu\text{V}| \quad (\text{rovnice 3.4})$$

Rovnice 3.4 ukazuje, jak se vypočte změna napětí na výstupu DA převodníku, když se změní vstupní slovo o jeden bit. V_{DDA} je napájecí napětí DA převodníku, které je zároveň referenční napětí DA převodníků, n je počet bitů vstupního slova DA převodníku [22]. Jelikož je výstup převodníku a převodní charakteristika DA převodníku zatížena chybou, je LSB, což je hledaná změna napětí, podle rovnice 3.4 pouze teoretická hodnota.

$$\Delta LSB = \pm |V_{off} + LSB * (DNL + ANL)| = \pm |10 \text{ mV} + 805,664 \mu\text{V} * (4 + 2)| = \pm |14,834 \text{ mV}| \quad (\text{rovnice 3.5})$$

Rovnice 3.5 ukazuje, jak se vypočte skutečná změna napětí na výstupu DA převodníku pro nejhorší možný případ dle dat, které udává výrobce. V_{off} je napěťový offset na výstupu DA převodníku, DNL a ANL jsou chyby převodní charakteristiky. ΔLSB je tedy skutečné nejmenší možné rozlišení změny napětí při změně vstupního slova o jeden bit za největší možné chybě převodu [22]. Z výše uvedených skutečností je patrné, že převodník je vyhovující pro generaci referenčního napětí, neboť pokud bude na vstupním děliči rozhraní napětí 1,8 V, bude na vstupu komparátoru napětí 300 mV, což je hodnota bez problému dosažitelná tímto převodníkem – samozřejmě nastavené referenční napětí musí být nižší, aby odpovídalo specifikaci dané logiky.

3.4 USB Full Speed device

Tato periferie slouží pro komunikaci s počítačem nebo jiným externím zařízením. V aplikaci je nastavena tak, aby se chovala jako sériový port. Příchozí data jsou ukládána do vstupního bufferu, odkud je zpracovává 3.1 a naopak odchozí data jsou ukládána do výstupního bufferu. Stejně jako buffery pro analyzovaná data z rozhraní se i k vstupnímu bufferu rozhraní přistupuje jako ke kruhovému bufferu. Výstupní buffer je lineární. Teoreticky maximální možná přenosová rychlost v módu Full Speed je 12 Mbit/s [6].

3.5 SWD rozhraní

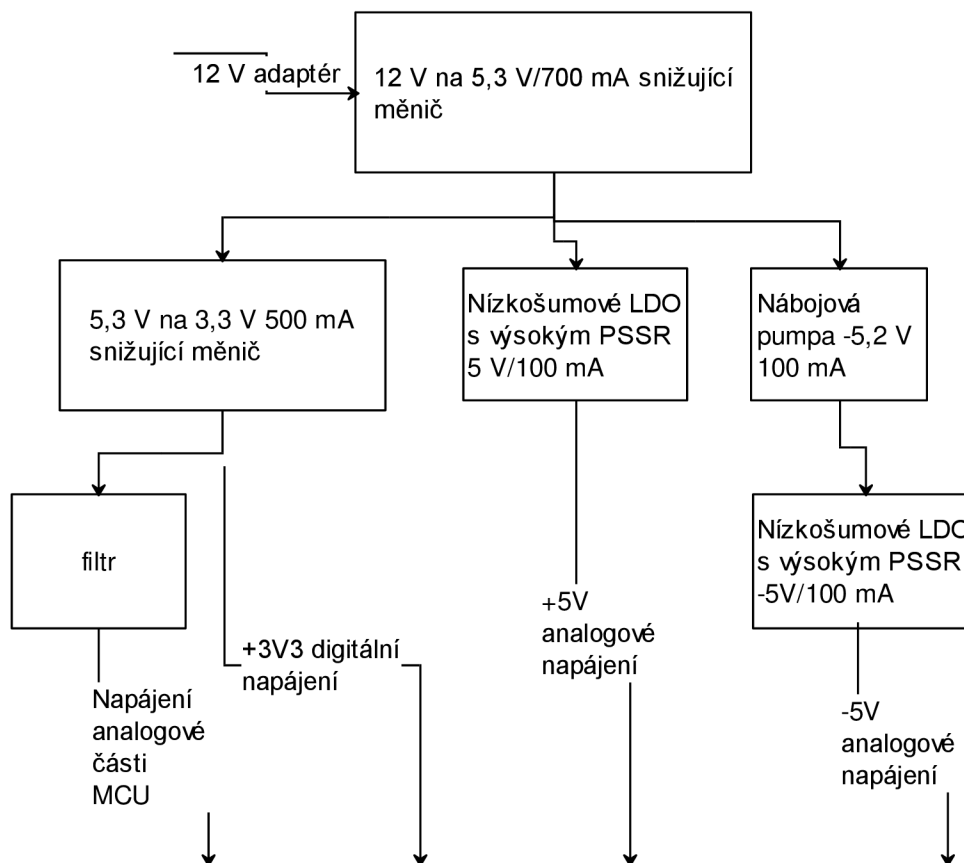
Slouží pro propojení zařízení s programátorem.

3.6 Watchdog časovač

Kontroluje, zda obsluhovaná aplikace při vykonávání „nezamrzla“. Případně MCU resetuje a do paměti uloží příznakový bit o chybě a nezbytná uživatelská data. Po opětovném spuštění aplikace bude tato skutečnost oznámena uživateli .

4 NÁVRH NAPÁJECÍ ČÁSTI

Celé zařízení se napájí z 12 V/1 A adaptéru.

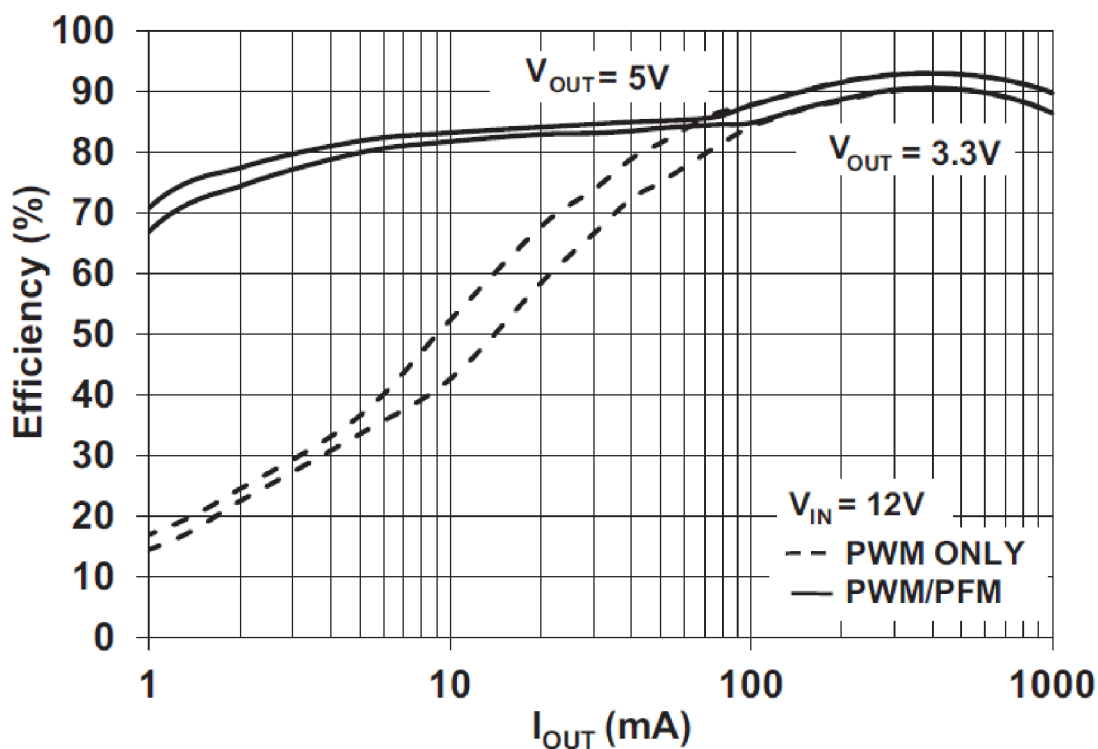


Obrázek 4.1 Blokové schéma napájení

Obrázek 4.1 ukazuje blokové schéma napájení zařízení.

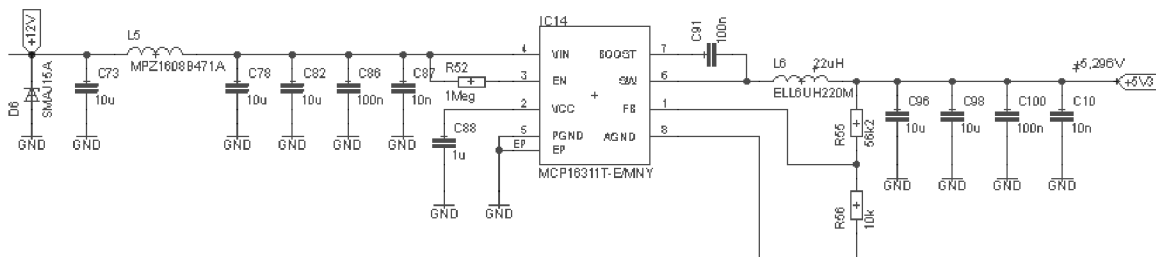
4.1 Snižující měnič z 12 V na 5,3 V

Pro realizaci byl zvolen obvod MCP16311 firmy Microchip. Jde o synchronní snižující měnič s integrovanými výkonovými tranzistory. Součástí měniče je i kompenzace smyčky zpětné vazby, což výrazně usnadňuje návrh. Obvod je nutné doplnit pouze o výstupní cívku, kapacitu a zpětnou vazbu pro nastavení výstupního napětí. Princip funkce snižujícího měniče je objasněn v [18].



Obrázek 4.2 Účinnost měniče MCP16311

Obrázek 4.2 zobrazuje graf teoreticky dosažitelné účinnosti měniče MCP16311. Z grafu je patrné, že měnič podporuje více metod pro regulaci výstupu, detailně jsou tyto metody popsány v [15]. V této aplikaci je předpokládán odběr z 5,3 V větve přibližně 250 mA, stanoveno podle odběru všech použitých obvodů. Předpokládá se, že 3,3 V větev bude mít odběr okolo 150 mA a účinnost měniče na 3,3 V bude 80%, odběr z +5 V větve a -5 V bude přibližně 50 mA na jednu větev. Účinnost měniče by tedy dle Obrázek 4.2 měla být o něco větší než 90 %.



Obrázek 4.3 Zapojení měniče z 12 V na 5.3 V

Obrázek 4.3 zobrazuje kompletní zapojení měniče. Cívka L6 je zvolena dle doporučení v datasheetu obvodu, stejně tak je zvoleno blokování vstupního napájení a velikost výstupní kapacity dle datasheetu obvodu [15]. Diody D2 slouží jako ochrana proti přepětí, cívka L5 je feritová perla a slouží pro potlačení symetrické složky rušení.

$$R_{55} = R_{56} * \left(\frac{V_{out}}{V_{fb}} - 1 \right) = 10 \text{ k}\Omega * \left(\frac{5,3 \text{ V}}{0,8 \text{ V}} - 1 \right) = 56,25 \text{ k}\Omega \quad (\text{rovnice 4.1})$$

Rovnice 4.1 je převzata z [15] a představuje vztah pro výpočet odporů napěťové zpětné vazby tvořené děličem napětí. R_{55} je velikost vrchního odporu děliče, R_{56} velikost spodního odporu děliče, V_{out} výstupní napětí, V_{fb} napětí na spodním odporu děliče stanoveno výrobcem na 0,8 V. Velikost spodního odporu R_{56} byla zvolena na 10 k Ω , žádané výstupní napětí je 5,3 V, je tedy možné dopočítat velikost horního odporu děliče. Na základě výsledku byl zvolen odpor z řady a to 56,2 k Ω . Návrh měniče je proveden dle [15].

4.2 Snižující měnič z 5,3 V na 3,3 V – 3V3

Tento měnič je opět realizován obvodem MCP16311. Kromě ochranné diody D2 a toho, že kondenzátory musí být dimenzovány na jiná napětí, je zapojení stejné jako v případě měniče popsáno v 4.2. Podle rovnice 4.1 je nutné přepočítat velikost horního odporu zpětné vazby pro výstupní napětí 3,3 V, v textu je zmiňováno jako +3V3, velikost spodního odporu byla opět zvolena na 10 k Ω . Velikost horního odporu vychází dle rovnice 4.1 a následném výběru z řady na 31,2 k Ω .

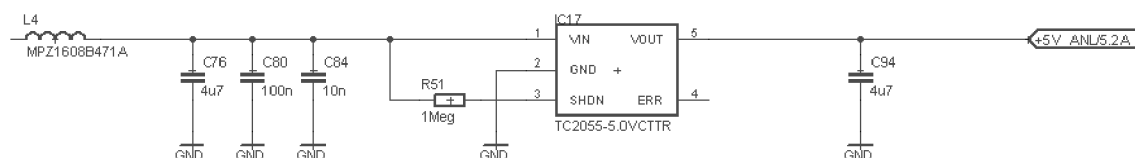
4.3 LDO z 5,3 V na 5 V

Tento napájecí obvod je tvořen lineárním regulátorem s nízkým minimálním úbytkem napětí na regulátoru – LDO. Obvod by měl být PSSR – Power supply rejection ratio aspoň 50dB, tento parametr vyjadřuje, jak moc se změní výstupní obvod, když se změní vstupní napětí o jeden volt.

$$\text{PSSR} = 20 * \log \left(\frac{\Delta U_{in}}{\Delta U_{out}} \right) [\text{dB}] \quad (\text{rovnice 4.2})$$

Rovnice 4.2 ukazuje, jak se vypočte PSSR. ΔU_{in} představuje změnu vstupního napětí a ΔU_{out} představuje změnu výstupního napětí. Pro PSSR 50dB vychází při změně vstupního napětí o 1 V změna výstupního napětí přibližně o 3 mV. Vztah je uveden v [1].

Pro aplikaci bylo vybráno LDO TC2055-5.0V firmy Microchip s pevným výstupem +5 V, dle charakteristik výrobce je při odběru 150 mA přibližně 140 mV, což je vyhovující. Předpokládaný odběr z této větve je 50 mA. PSSR je dle výrobce 50 dB.

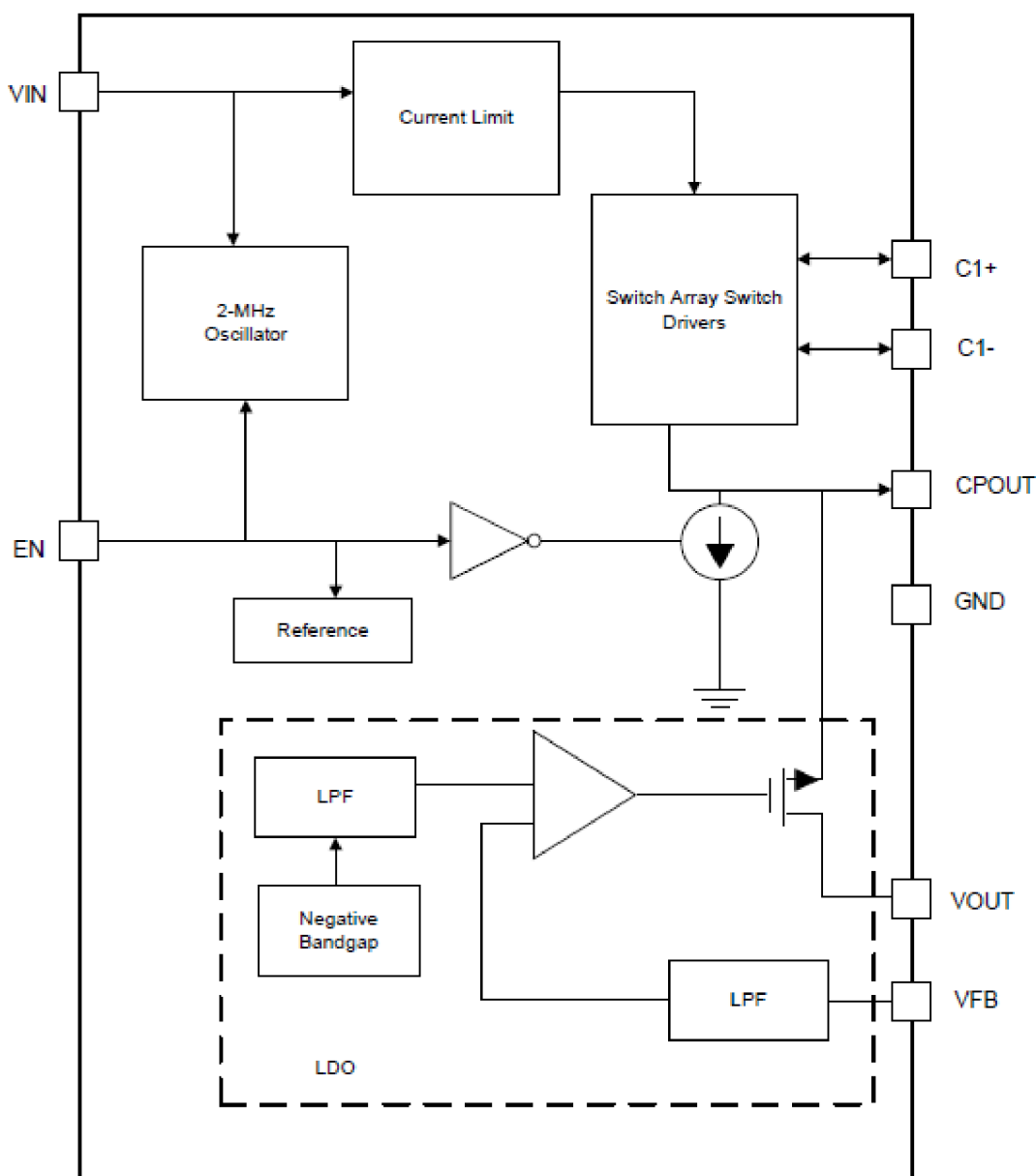


Obrázek 4.4 Zapojení LDO TC2055-5.0

Obrázek 4.4 zobrazuje zapojení LDO na +5 V, LDO je napájeno z +5,3 V větve, cívka L4 je feritová perla sloužící pro filtrování symetrického rušení. Blokování vstupního napájení a výstupní kapacita jsou zapojeny dle [16].

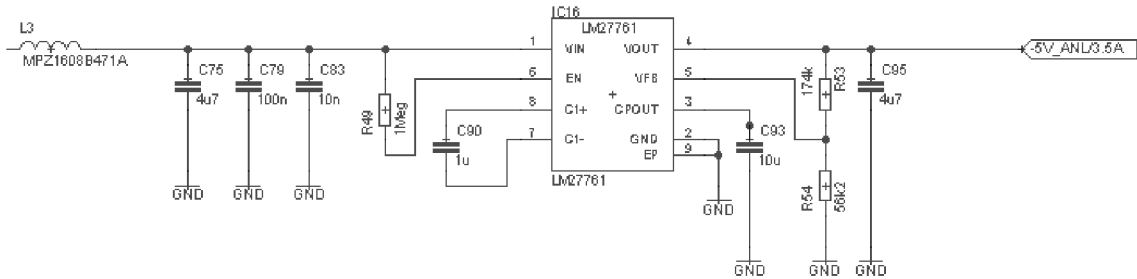
4.4 Nábojová pumpa z +5,3 V na -5,3 V a LDO na -5 V

Tento blok napájení je tvořen jedním obvodem, a to LM27761 firmy Texas Instruments. Tento obvod integruje jak nábojovou pumpu, která pomocí přepínání kapacit vytváří z +5,3 V napětí opačné polarity tedy -5,3 V, tak LDO, které vytváří požadovaných -5 V. Princip fungování nábojové pumpy je popsán v [23].



Obrázek 4.5 Blokové schéma obvodu LM27761

Obrázek 4.5 ukazuje blokové schéma zapojení obvodu LM27761 výstupní LDO má při odběru 80 mA stanoven minimální úbytek na lineárním prvku na 30 mV dle [23]. PSSR je 35 dB, podle rovnice 4.2 tedy bude změna výstupního napětí při změně vstupního napětí o 1 V přibližně 5mV. Výstupní napětí LDO se nastavuje podobně jako u měničů v kapitolách 4.1 a 4.2 odporovým děličem, pro návrh platí rovnice 4.1 s tím rozdílem, že V_{fb} je stanoveno výrobcem na -1,22V. Pro tuto aplikaci jsou vyhovující hodnoty 174 k Ω pro vrchní odpor děliče a 56,2 k Ω pro dolní odpor.



Obrázek 4.6 Konečné zapojení LM27761

Obrázek 4.6 ukazuje konečné zapojení nábojové pumpy a regulátoru pro vytvoření napětí -5 V, předpokládaný odběr této větve je 50 mA. Zapojení je navrženo podle [23].

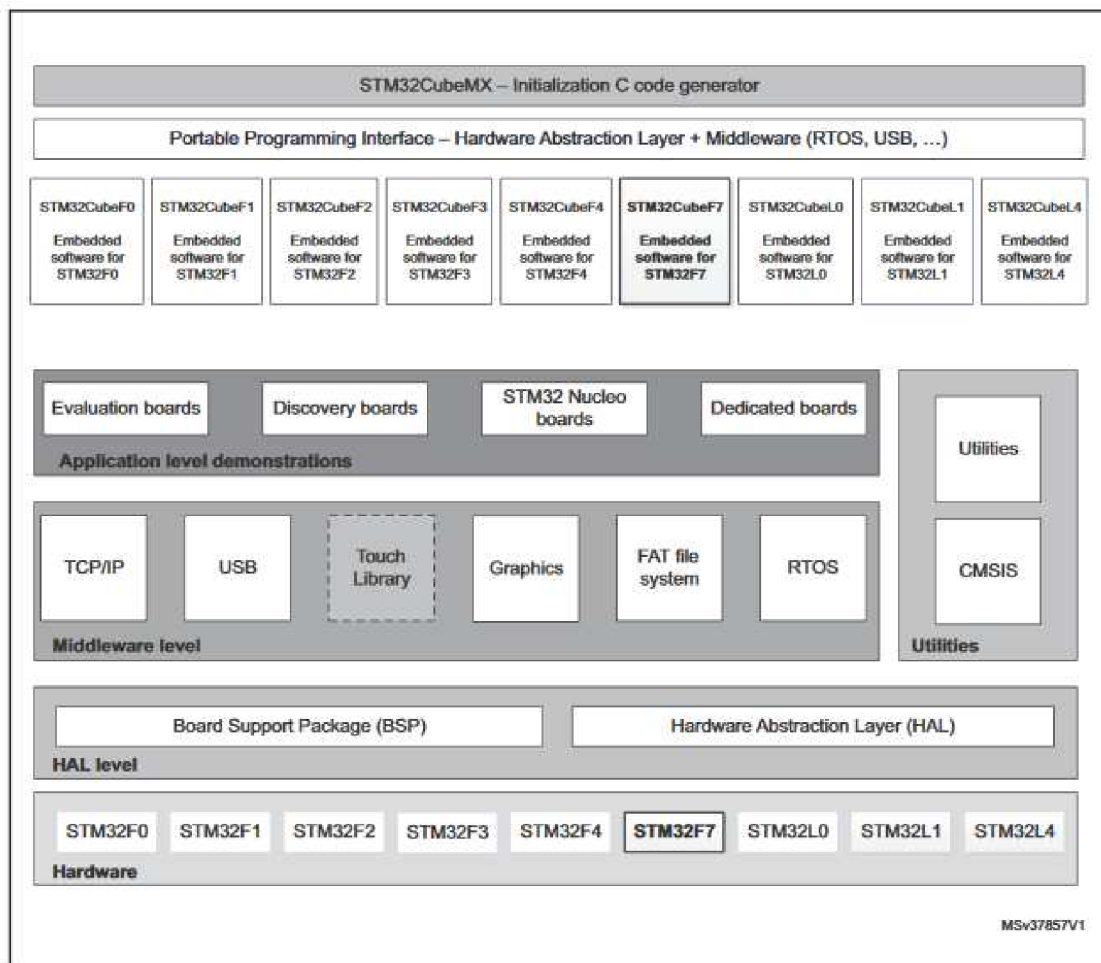
5 KOMPLETNÍ NÁVRH ZAPOJENÍ A DESKY PLOŠNÉHO SPOJE

Celý návrh zapojení je uveden v příloze A. Pro připojení USB kabelu byl zvolen konektor Mini USB typu B „samice“. Pro připojení měřících kabelů a měřených rozhraní byly zvoleny standardní „pin headers“ s roztečí 2,54 mm. Stejně tak programovací konektor je tvořen „pin headerem“ s roztečí 2,54 mm. Pro připojení 12 V pro napájení jsou k dispozici dva pady. Všechny vstupy a výstupy jsou opatřeny ochrannými diodami. V zapojení jsou přítomny také tři LED diody, jedna signalizuje připojení 12 V, druhá 3,3 V a třetí diodu ovládá MCU.

Deska spoje je navržena čtyřvrstvá. Signály jsou taženy ve vrchní a spodní vrstvě. Napájení je v třetí vrstvě. Zem je rozlita v druhé vrstvě. Vrchní vrstva je opatřena potiskem, popsané jsou všechny prvky, ke kterým uživatel něco připojuje. Výsledná velikost desky je 86 mm x 53,5 mm. Kompletní výrobní dokumentace je v příloze B. Seznam součástek je v příloze C.

6 NÁVRH PROGRAMOVÉHO VYBAVENÍ

Programové vybavení zařízení je tvořeno řídicí aplikací, dále jen FWH, nejnižší vrstvu pro přístup k perifériím MCU tvoří volně dostupná vrstva STM32F7HAL – hardware abstraction layer, tedy abstrakce umožňující přístup ke všem perifériím MCU. Vrstva HAL výrazně zjednodušuje přístup k perifériím, neboť jsou definovány funkce pro nastavování periferních registrů, funkce pro práci s periférií např. čtení, zápis, obsluha přerušení, využití DMA, spouštění (AD převodník), detekce události (např. integrovaný komparátor u některých typu MCU) a jiné. HAL je koncipován tak, aby uživatel musel dopisovat co nejméně funkcí pro obsluhu periférií. Přesto některé funkce si musí uživatel již z principu dopsat sám, jedná se zejména o callback funkce (jsou volány, když se něco stane, např. přerušení, chyba atd..) a funkce pro nastavení fyzického umístění periférií, tedy na které piny budou namapovány. Práci ještě zjednodušuje aplikace STM32CubeMX, skrze kterou lze vygenerovat projekt, který již obsahuje inicializaci MCU po resetu včetně nakopírování vektorů přerušení na potřebná místa v paměti, nastavení zásobníku, nastavení všech interních hodin MCU a dokonce si uživatel může nadefinovat defaultní nastavení periférií, včetně DMA, IRQ atd.



Obrázek 6.1 Možnosti aplikace STM32CubeMX

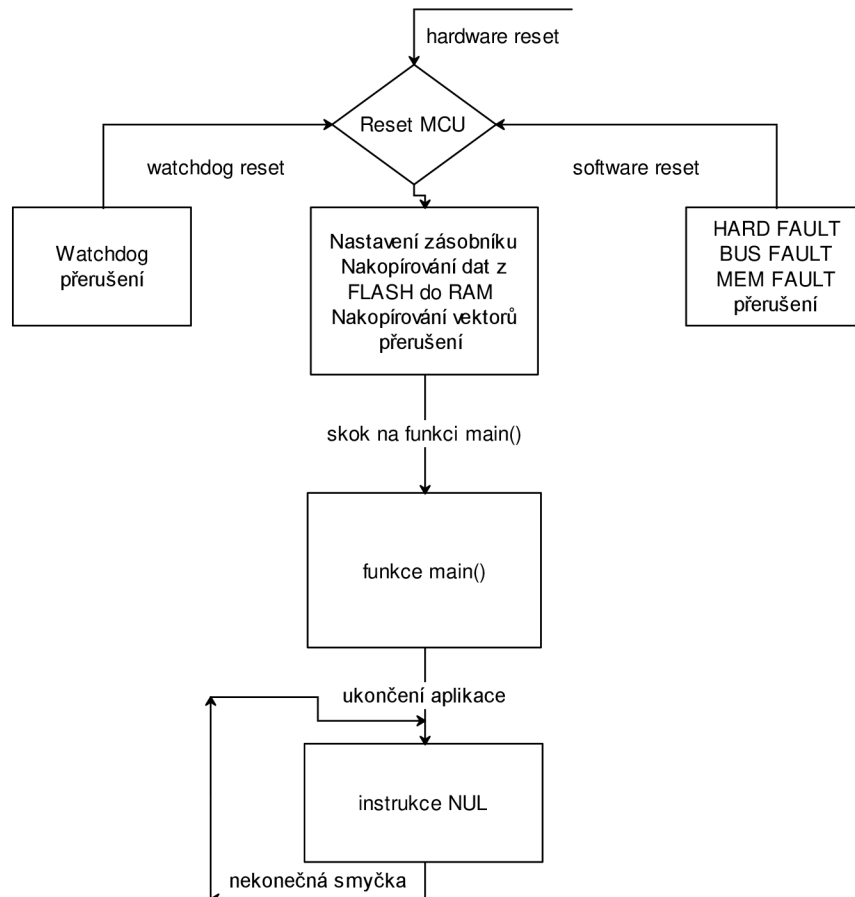
Obrázek 6.1 je převzat z [24] a shrnuje všechny možnosti, které aplikace STM32CubeMX umožňuje. Kromě generování HAL, je možné do generované aplikace přidat i Middleware vrstvu, která umožňuje jednoduché využívání a implementaci např. reálného operačního systému, popisuje, některé třídy USB zařízení (audio, komunikační zařízení apod.) a např. implementuje TCP/IP protokol. Na nejvyšší úrovni – aplikační vrstva poskytuje program hotové příklady pro některé vývojové desky firmy STmicroelectronics.

Tato aplikace využívá vrstvy HAL a vrstvy Middleware. Z vrstvy Middleware je využito USB a to konkrétně abstrakce popisující USB jako virtuální sériový port. Všechny zmíněné hotové vrstvy a aplikace STM32CubeMX poskytuje zdarma firma STmicroelectronics.

6.1 Návrh aplikace

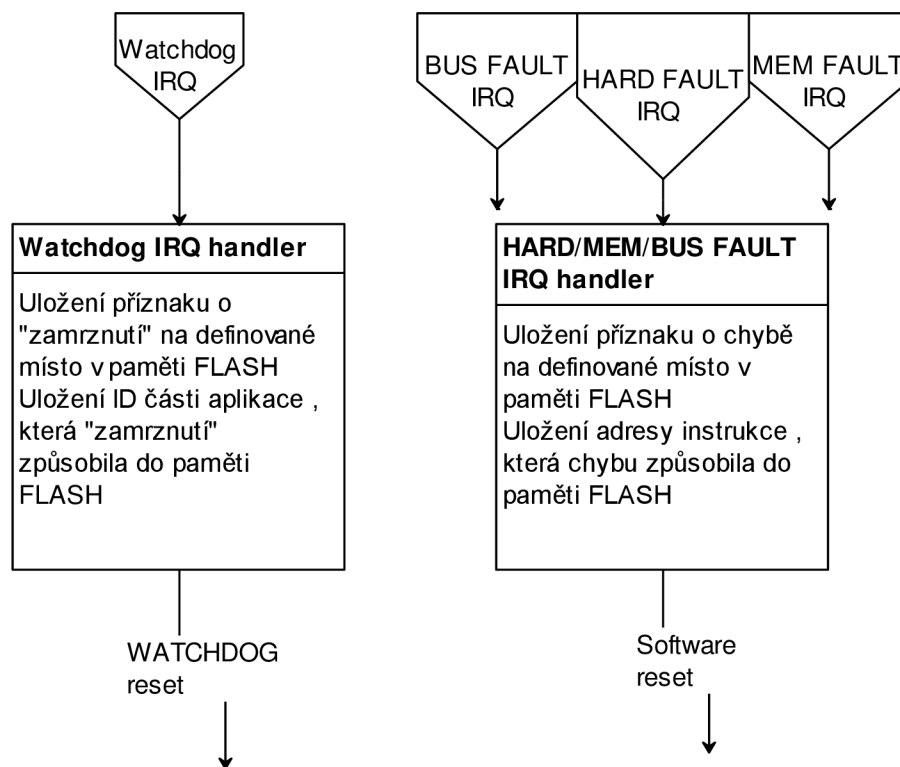
Jak je uvedeno výše, pro realizaci aplikace je využita vrstva STM32F7 HAL, vrstva Middleware pro realizaci USB v režimu virtuálního sériového portu a vlastní aplikační vrstva využívající obě zmíněné vrstvy včetně vlastního kódu programu v jazyce C.

Aplikace je vyvíjena v prostředí KEIL μ Vision5 firmy ARM, tato aplikace umožňuje vývoj aplikace včetně ladění za běhu (pokud to samozřejmě podporuje připojený programátor) a samozřejmě finální optimalizaci aplikace. Prostředí disponuje vlastním překladačem přímo od firmy ARM. Aplikace je spouštěna pouze z paměti FLASH, v paměti RAM jsou uloženy jen proměnné, pole a struktury, také je využívána paměť L1 cache pro dosažení nepřetržitého vykonávání instrukcí.



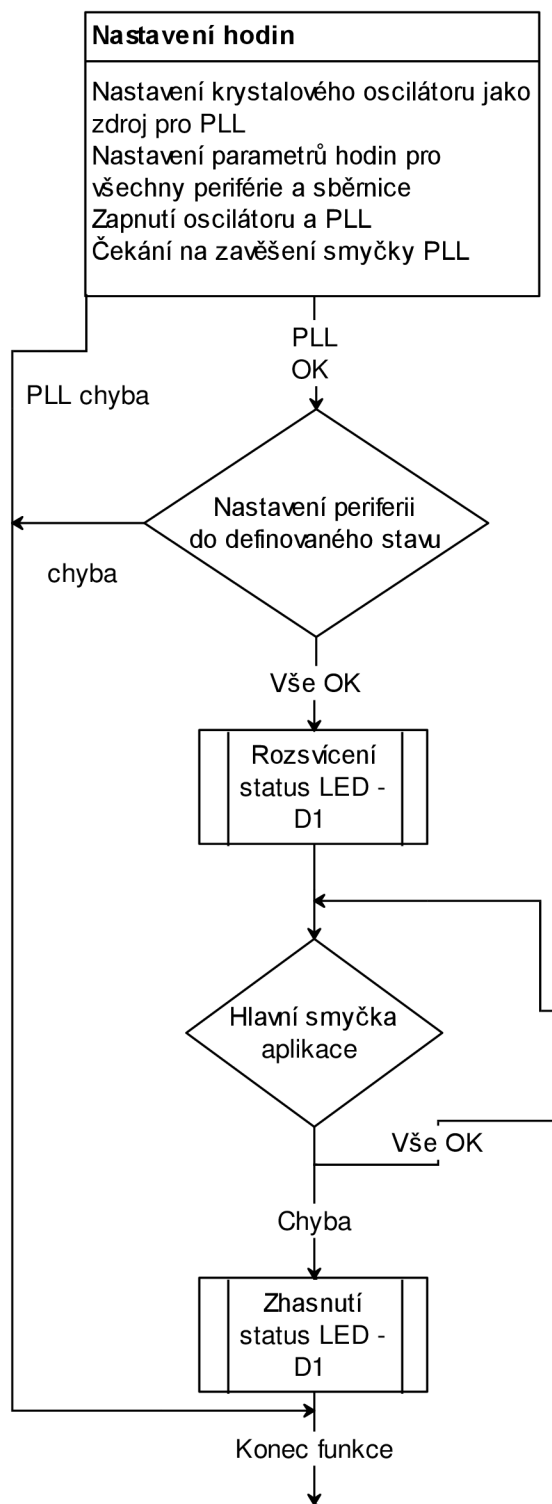
Obrázek 6.2 Základní struktura aplikace

Obrázek 6.2 ukazuje základní strukturu aplikace a její vykonávání, po resetu se vždy nejdříve nastaví zásobník, nakopírují potřebná data s paměti FLASH do paměti RAM (proměnné, pole, struktury, nulová data) a nastaví se vektory přerušení. Poté aplikace provede skok do funkce main, po ukončení aplikace se provádí nekonečná smyčka instrukce NUL. Reset MCU může být proveden buď hardwarově, nebo může reset vyvolat Watchdog periferie, která hlídá zda-li vykonávání určité části aplikace nevede k nekonečnému cyklu a tedy k „zamrznutí aplikace“. Zjednodušeně Watchdog funguje tak, že při započetí vykonávání určité části aplikace se spustí časovač s nastaveným časem a pokud se do nastaveného času neposune vykonávání aplikace do další části, je vyvoláno přerušení. Dále reset může vyvolat chyba hard fault, bus fault nebo memory fault.



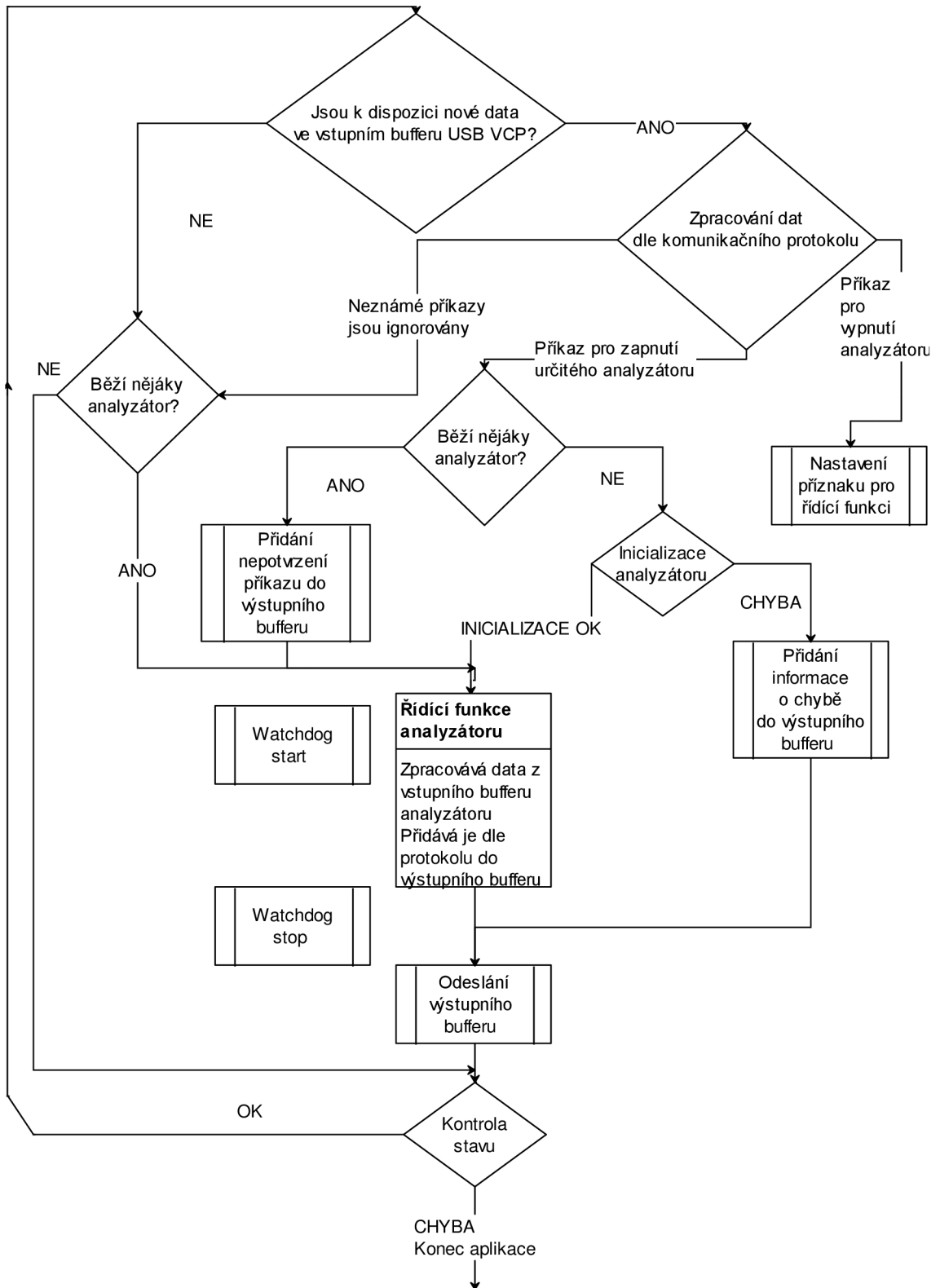
Obrázek 6.3 Obsluha Watchdog periférie a chyb

Obrázek 6.3 ukazuje operace, ke kterým dojde před vyvoláním resetu, pokud dojde k „zamrznutí“ aplikace nebo jedné ze tří zmíněných chyb.



Obrázek 6.4 Funkce main

Obrázek 6.4 ukazuje průběh funkce main, nejdříve jsou nastaveny všechny hodiny a při úspěchu se rozsvítí LED dioda – D1 a spustí se hlavní smyčka aplikace, jinak se aplikace ukončí a LED dioda zůstane zhaslá, podobně při chybě, která nelze vyřešit se aplikace ukončí a dioda zhasne, jinak aplikace běží donekonečna.



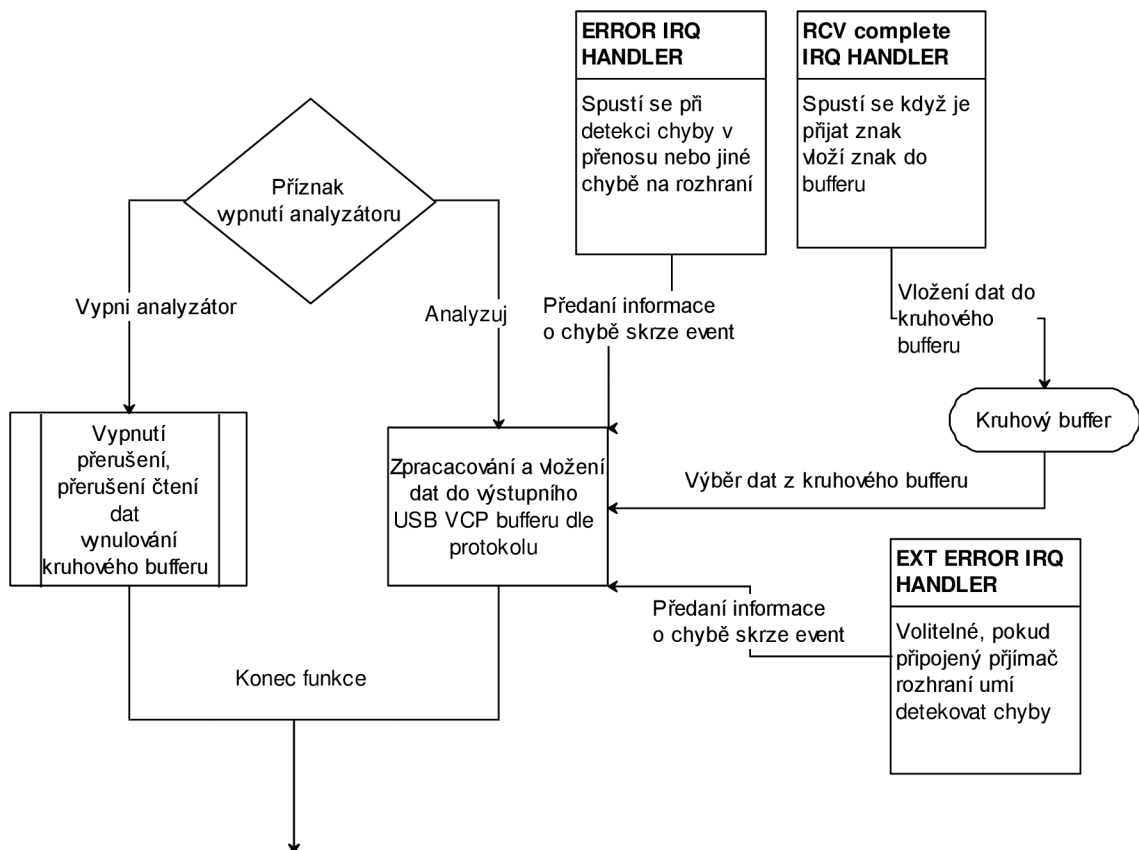
Obrázek 6.5 Hlavní řídicí smyčka aplikace

Obrázek 6.5 ukazuje, jak funguje řídicí smyčka programu. Jednotlivé řídicí funkce se pro určité analyzační rozhraní liší. V řídicí funkci jsou získaná data vždy analyzována a poté vložena do výstupního bufferu, který je lineární a odesílá se vždy na konci smyčky jednorázově, obsahuje veškerá analyzovaná data, případné hlášení o chybách. Řídicí funkce se spouští s příznakem, který nastavuje příkaz pro zastavení analýzy, jedině tak je zaručeno, že se analyzační rozhraní v pořádku vypne. Řídicí smyčka realizuje blok pro zpracování analýzu dat, viz. 3.1

6.1.1 Řídicí funkce a obsluha analyzátoru využívající rozhraní USART

Tento analyzátor využívá integrované rozhraní USART v režimu přijímače, vysílač zůstává vypnutý. Rozhraní je připojeno na přijímač rozhraní RS232, RS485, RS422 nebo UART.

Při inicializaci se nastaví kontrolní registry rozhraní podle vstupního nastavení uživatele získaného, tzn. nastavení baudrate nebo jeho autodetekce, formát dat, resetuje se vstupní kruhový buffer, zapnou se příslušná přerušení a začnou se kontinuálně přijímat data do kruhového bufferu. Při vypínání analyzátoru se vynuluje buffer a vypnou se příslušná přerušení.



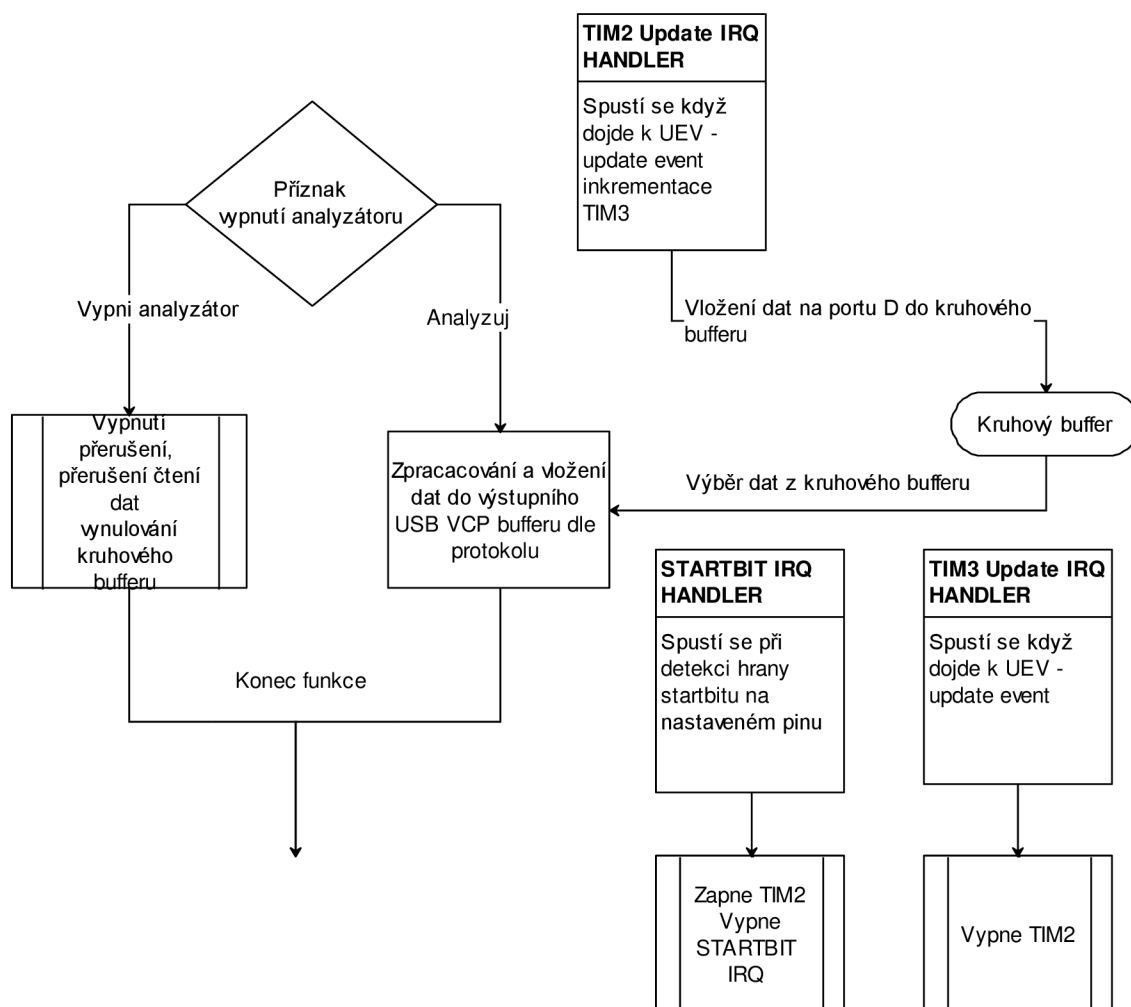
Obrázek 6.6 Řídicí funkce a obsluha analyzátoru USART rozhraní

Obrázek 6.6 ukazuje obsluhu a řízení analyzátoru využívajícího USART rozhraní.

6.1.2 Řídící funkce a obsluha analyzátoru využívající rozhraní popsané v 3.3

Tento analyzátor využívá pro analýzu zapojení připojené k portu D. Je možnost nastavit si napěťové úrovně logické jedničky a nuly skrze DA převodník. Měření na rozhraní probíhá buď asynchronně, kdy je detekován start bit a poté je měření spouštěno z časovače TIM2 nebo synchronně, kdy je možné nastavit spouštění, měření synchronizovat na jednu z hran hodinového signálu na vstupním pinu, dále toto rozhraní umožňuje detekovat zakázaný stav.

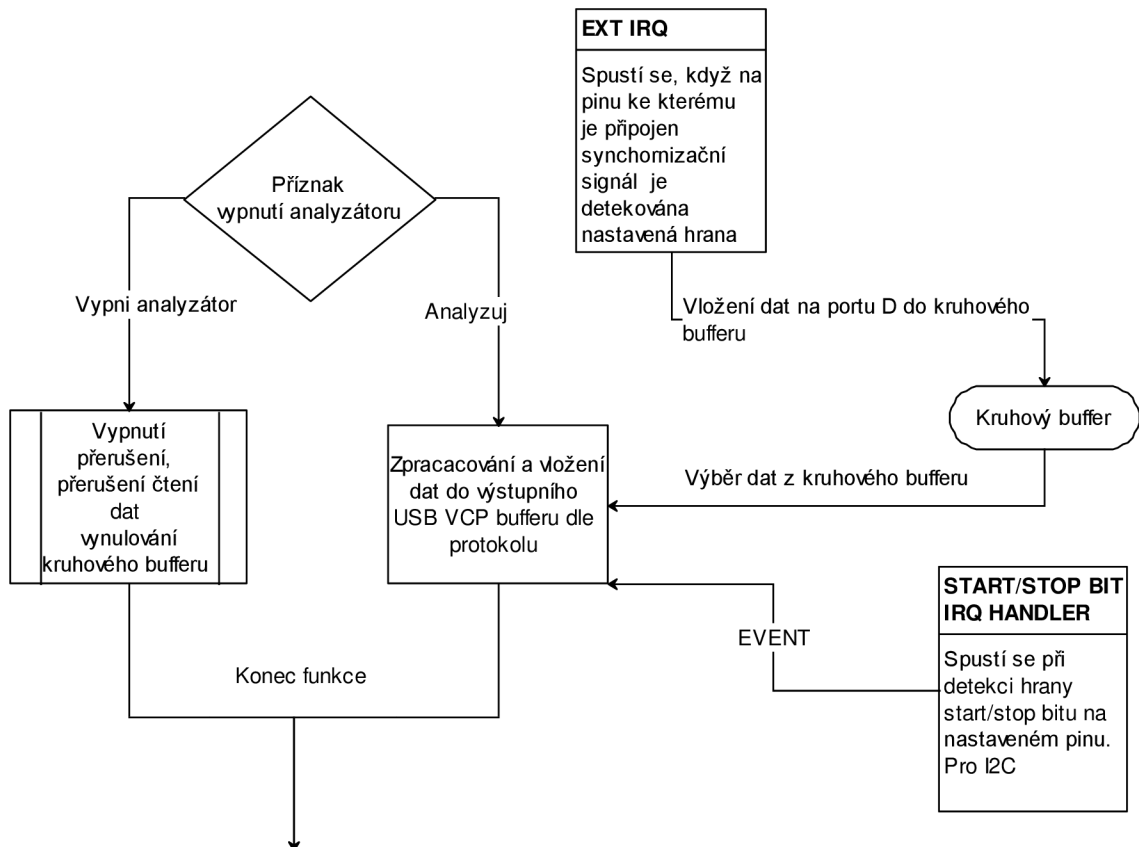
Při inicializaci jsou nastaveny podle vstupních dat překlápěcí úrovně, vynulován je vstupní kruhový buffer. V případě asynchronního rozhraní je přednastaven čítač TIM2, TIM3 a externí přerušení na vstupním pinu pro detekci start bitu. V případě synchronního rozhraní je nastaveno externí přerušení na pin, ke kterému je připojen hodinový signál, případně další externí přerušení pro detekci startbitu (I2C) na příslušný pin. Při vypnutí analyzátoru se vypnou příslušná přerušení a vynuluje se kruhový buffer.



Obrázek 6.7 Řídící funkce a obsluha rozhraní analyzátoru podle 3.3 v asynchronním módu

Obrázek 6.7 ukazuje, jak funguje analyzátor podle 3.3 v asynchronním módu. Po

detekci start bitu je zapnut přednastavený čítač TIM2, který generuje update event s frekvencí, která je třikrát vyšší než baud rate, při UEV jsou data z portu D vložena do kruhového bufferu, TIM3 počítá, kolikrát se data přečetla a dle nastaveného formátu rámce pak TIM2 při svém update eventu vypne. Veškerá analýza dat včetně kontroly zakázaného stavu a správnosti dat rámce pak probíhá softwarově po výběru dat z kruhového bufferu. Nakonec jsou data vložena do výstupního USB VCP bufferu.



Obrázek 6.8 Řídící funkce a obsluha rozhraní analyzátoru podle 3.3 v synchronním módu

Obrázek 6.8 ukazuje, jak funguje analyzátor podle 3.3 v synchronním módu. Data jsou načtena s portu D do kruhového bufferu pokaždé, když dojde k externímu přerušení na pinu, ke kterému je připojen synchronizační signál. Dále je zde možnost nastavení přerušení pro detekci start a stop bit, pro sběrnici I2C a její varianty. Veškerá analýza dat včetně kontroly zakázaného stavu a správnosti dat pak probíhá softwarově po výběru dat z kruhového bufferu. Nakonec jsou data vložena do výstupního USB VCP bufferu.

6.2 Návrh komunikačního protokolu

Pro komunikaci je navrhnout jednoduchý protokol v ASCII. Komunikaci vždy zahajuje externě připojené zařízení, a to příkazem pro zahájení sběru dat určitým analyzátořem. Při úspěšném zahájení sběru dat dostane externí zařízení odpověď OK, při chybě dostane odpověď ERROR, a pokud již analýza běží, dostane odpověď BUSY. Nedefinované

příkazy jsou ignorovány. Pro ukončení analýzy pošle externí zařízení do analyzátoru znak E. Data jsou z analyzátoru odesílána po analýze a vyhodnocení ve stejném stavu bez dalšího formátování do rámců apod. Pokud je při analýze detekována chyba vkládá řídicí funkce podle typu chyby do odesílaných dat ASCII řetězec `\n\rDATAERROR\n\r` nebo `\n\rHWERROR\n\r`. DATAERROR indikuje chybu v protokolu např. špatná parita, HWERROR indikuje zakázaný stav na rozhraní. V případě rozhraní I2C jsou ještě vkládány informace o detekci start a stop bitu - `\n\rSTART(STOP)\n\r`, potvrzení nebo nepotvrzení komunikace - `\n\r(N)ACK\n\r`, adresy slave zařízení - `\n\rADDR:0xXX\n\r` a směru komunikace - `\n\rREAD(WRITE)\n\r` také v ASCII podobě. V případě rozhraní SPI je ASCII řetězcem `\n\rMISO(MOSI)\n\r` uvozen blok příslušných dat.

6.2.1 Příkaz pro zahájení analýzy

Příkaz má následující syntaxi `S_%d_%d_%d_%d_%d_%d_%d_%d_%d_%d`

Kde %d představuje parametr zadaný v ASCII dekódovaný v analyzátoru jako celé 32bitové číslo. První parametr představuje číslo rozhraní, další parametry jsou různá pro jednotlivá rozhraní.

Tabulka 6.1 Volba analyzátoru dle hodnoty prvního parametru

Volba rozhraní	
Hodnota prvního parametru	
1 až 5	USART analyzátor
6	Analyzátor využívající rozhraní popsané podle 3.3

Tabulka 6.1 ukazuje, jak se dle hodnoty prvního parametru vybere konkrétní analyzátor.

Tabulka 6.2 Možné parametry pro analyzátor USART

Parametry pro USART analyzátor		
Parametr číslo	Význam	Možné hodnoty
2	Baudrate v baud/s	0<921600
3	Formát rámce	1 – 7bit 2 - 8bit 3 - 9bit
4	Počet stop bitů	1 – 1 stop bit 2 – 1,5 stop bit 3 – 2 stop bity

Tabulka 6.2 ukazuje, co představují jednotlivé parametry pro nastavení USART rozhraní.

Tabulka 6.3 Možné parametry pro analyzátor podle 3.3

Parametry pro analyzátor podle 3.3		
Parametr číslo	Význam	Možné hodnoty
2	Kladná překlápěcí úroveň	0<236
3	Záporná překlápěcí úroveň	0<236
4	Polarita záporné překlápěcí úrovně	0<2 ³²
5	Připojené rozhraní	1 – I2C 2 – SPI 3 - UART

Tabulka 6.3 ukazuje možné parametry pro rozhraní podle 3.3. Parametry číslo 6, 7, 8 a 9 jsou pro jednotlivá rozhraní rozdílná. Nastavená překlápěcí úroveň se vypočte tak, že se celočíselná hodnota druhého nebo třetího parametru vynásobí 14 mV, což je dle 3.3.2 nejmenší rozlišení DA převodníku. Pokud je hodnota čtvrtého parametru různá od nuly, je nastavená polarita záporné úrovně na kladnou.

Tabulka 6.4 Možné parametry pro rozhraní podle 3.3 pokračování

Parametry pro analyzátor podle 3.3 I2C		
Parametr číslo	Význam	Možné hodnoty
6	Pin SDA	1 až 4
7	Pin SCL	1 až 4
Parametry pro analyzátor podle 3.3 SPI		
Parametr číslo	Význam	Možné hodnoty
6	Pin MISO	1 až 4
7	Pin MOSI	1 až 4
8	Pin SCK	1 až 4
9	Polarita hodin	1 – CPHA=0, CPOL=1 2 – CPHA=0, CPOL=0 3 – CPHA=1, CPOL=1 4 – CPHA=1, CPOL=0
Parametry pro analyzátor podle 3.3 UART		
Parametr číslo	Význam	Možné hodnoty
6	Baudrate v baud/s	0<921600
7	Formát rámce	1 – 7bit 2 - 8bit 3 - 9bit
8	Počet stop bitů	1 – 1 stop bit 2 – 1,5 stop bit 3 – 2 stop bity

Tabulka 6.4 ukazuje, jak se nastaví parametry analyzovaných rozhraní pomocí analyzátoru dle 3.3.

7 ZÁVĚR

V práci byl proveden celkový návrh zařízení, včetně schémata zapojení, návrhu desky plošného spoje a konceptu programového vybavení. Návrh a schéma zapojení je podrobně rozebrán, včetně nutných návrhových vztahů. Navrhnutá deska plošného spoje je čtyřvrstvá. Koncept programového vybavení počítá s využitím hotové abstrakce STM32F7 HAL a Middleware USB od firmy STmicroelectronics. Bohužel se zadání nepodařilo splnit, protože deska plošného spoje nebyla nikdy oživena, a to z časových důvodů.

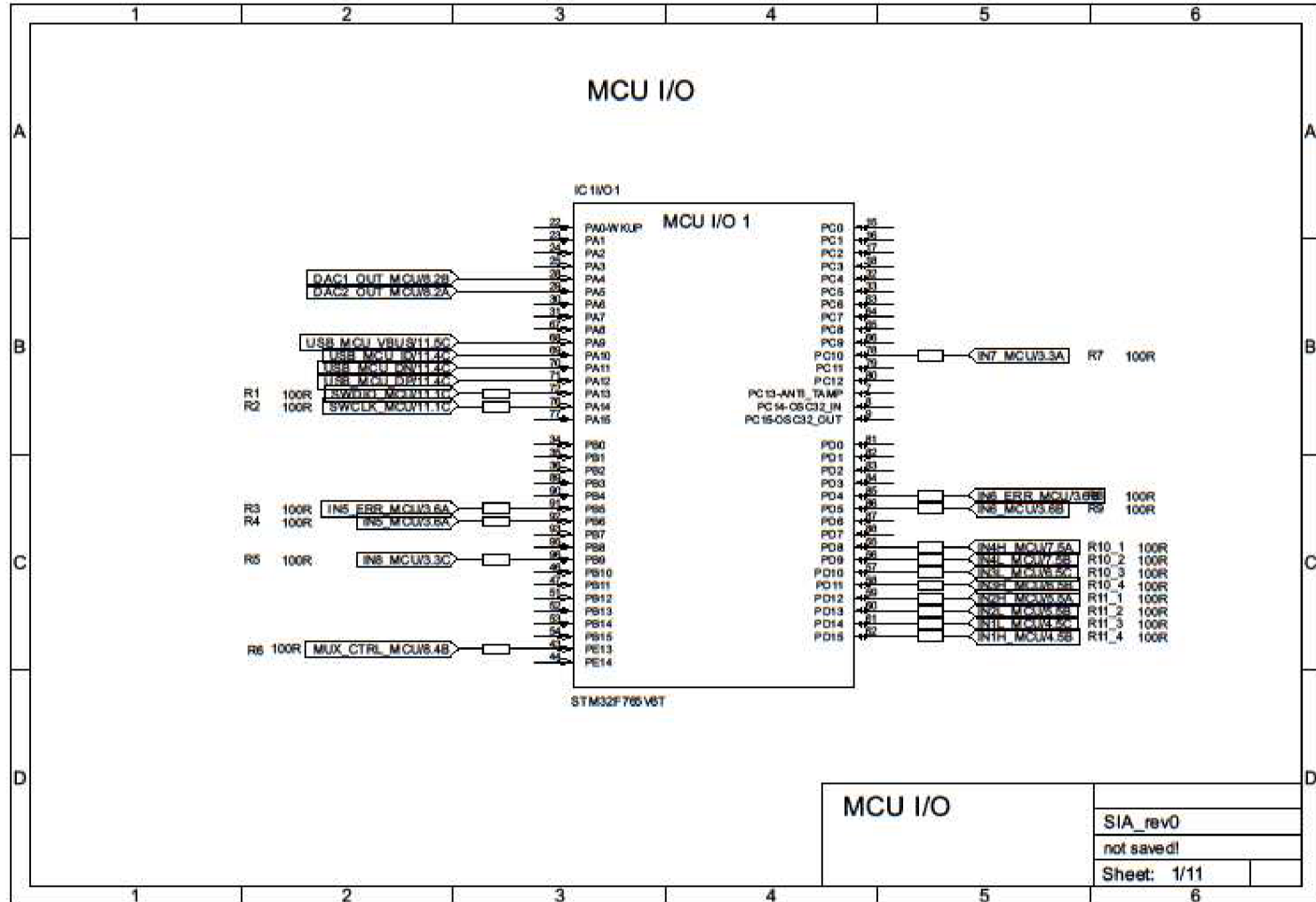
LITERATURA

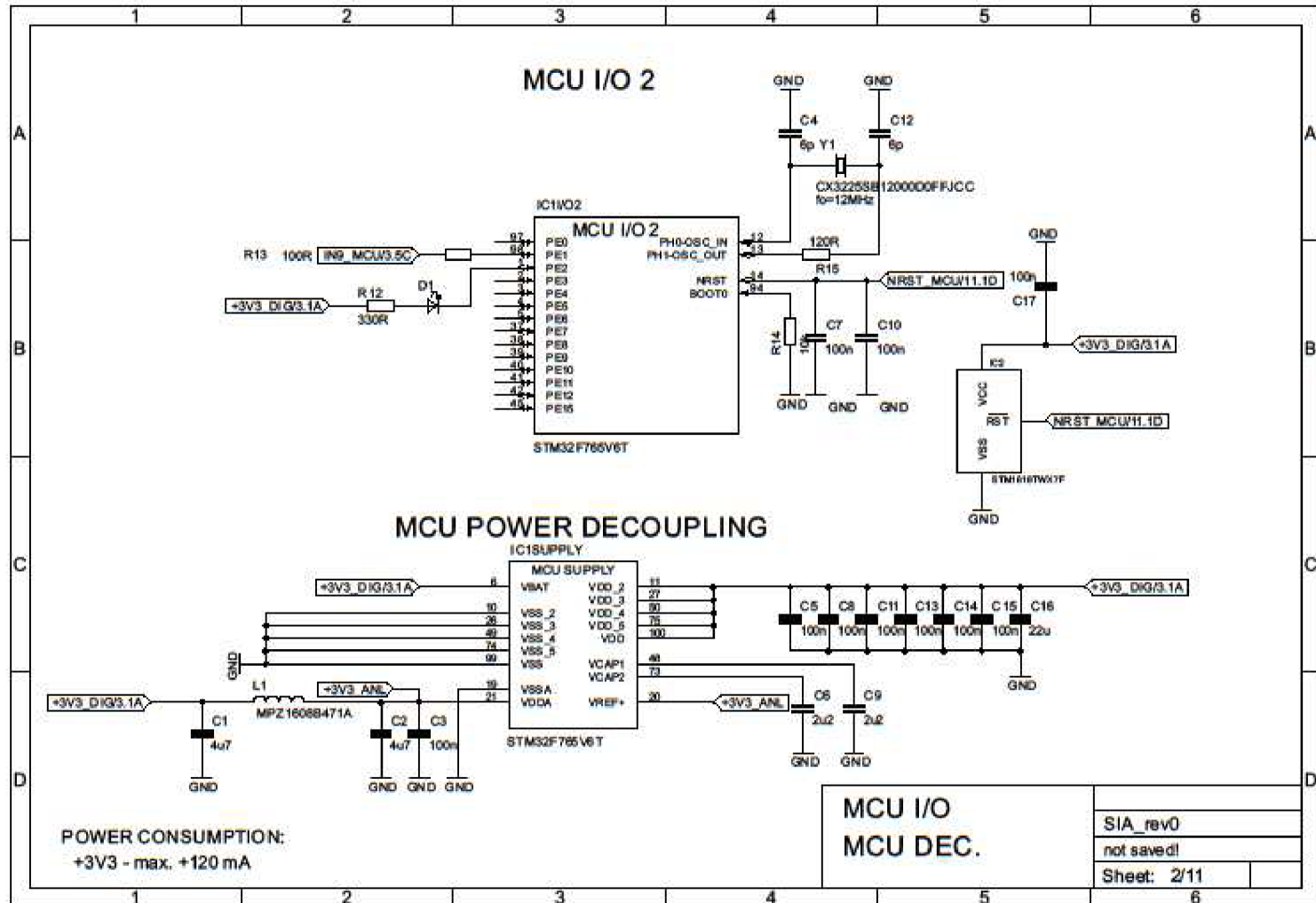
- [1] CARTER, Bruce, Patrick ROWLAND, Jim KARKI a Perry MILLER. Amplifier and Bits: An Introduction to Selecting Amplifiers for Data Converters. 2. Dallas, Texas, USA, 2015, 23 s.
- [2] PHILIPS. THE I2C-BUS SPECIFICATION. 2. Amsterdam, Nizozemsko, 2000, 46 s.
- [3] MOTOROLA INC. SPI: Block Guide. 3. Chicago, Illinois, USA, 2003, 38 s.
- [4] BECKE, Georg et al. TEXAS INSTRUMENTS. Comparing Bus Solutions, 2. Dallas, Texas, USA, 2004, 79 s.
- [5] *HW server představuje - Sériová linka RS-232* [online]. Praha: HW server s.r.o, 2005 [cit. 2017-05-30]. Dostupné z: <http://vyvoj.hw.cz/rozhrani/hw-server-predstavuje-seriova-linka-rs-232.html>
- [6] STMICROELECTRONICS. Reference manual: STM32F76xxx and STM32F77xxx advanced ARM®-based 32-bit MCUs. 2. Ženeva, Švýcarsko, 2016, 1896 s.
- [7] STMICROELECTRONICS. Application note: Oscillator design guide for STM8S, STM8A and STM32 microcontrollers. 10. Ženeva, Švýcarsko, 2015, 42 s.
- [8] STMICROELECTRONICS. Application note: Getting started with STM32F7 Series MCU hardware development. 4. Ženeva, Švýcarsko, 2016, 50 s.
- [9] ANALOG DEVICES. Datasheet: AD8057/8058. E. Norwood, USA, 2014, 16 s.
- [10] ANALOG DEVICES. Datasheet: ADG1419. A. Norwood, USA, 2016, 17 s.
- [11] MAXIM INTEGRATED. MAX3180E–MAX3183E. 1. San José, Kalifornie, USA, 1999, 8 s.
- [12] MAXIM INTEGRATED. MAX3280E/MAX3281E/ MAX3283E/MAX3284E. 2. San José, Kalifornie, USA, 2012, 10 s.
- [13] MAXIM INTEGRATED. MAX9201/MAX9202/MAX9203. 1. San José, Kalifornie, USA, 2005, 8 s.
- [14] MICROCHIP. MCP6H01/2/4: 1.2 MHz, 16V Op Amps. 1. Chandler, Arizona, USA, 2011, 46 s.
- [15] MICROCHIP. MCP16311/2: 30V Input, 1A Output, High-Efficiency, Integrated Synchronous Switch Step-Down Regulator. 1. Chandler, Arizona, USA, 2014, 41 s.
- [16] MICROCHIP. TC2054/2055/2186: 50 mA, 100 mA, and 150 mA CMOS LDOs with Shutdown and Error Output. 1. Chandler, Arizona, USA, 2009, 23 s.
- [17] STMICROELECTRONICS. STM32F765xx STM32F767xx STM32F768Ax STM32F769xx: Datasheet - production data. 3. Ženeva, Švýcarsko, 2016, 253 s.
- [18] NOVOTNÝ, CSC, Doc. Ing. Vlastislav, Dr. Ing. Pavel VOREL a Doc. Dr. Ing. Miroslav PATOČKA. VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ. *NAPÁJENÍ ELEKTRONICKÝCH ZAŘÍZENÍ: Přednášky*. Brno, 139 s.
- [19] BRANČÍK CSC., Doc. Ing. Lubomír a Prof. Ing. Tomáš DOSTÁL DRSC. VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ. *Analogové elektronické obvody*. 1. Brno, 2007, 194 s.

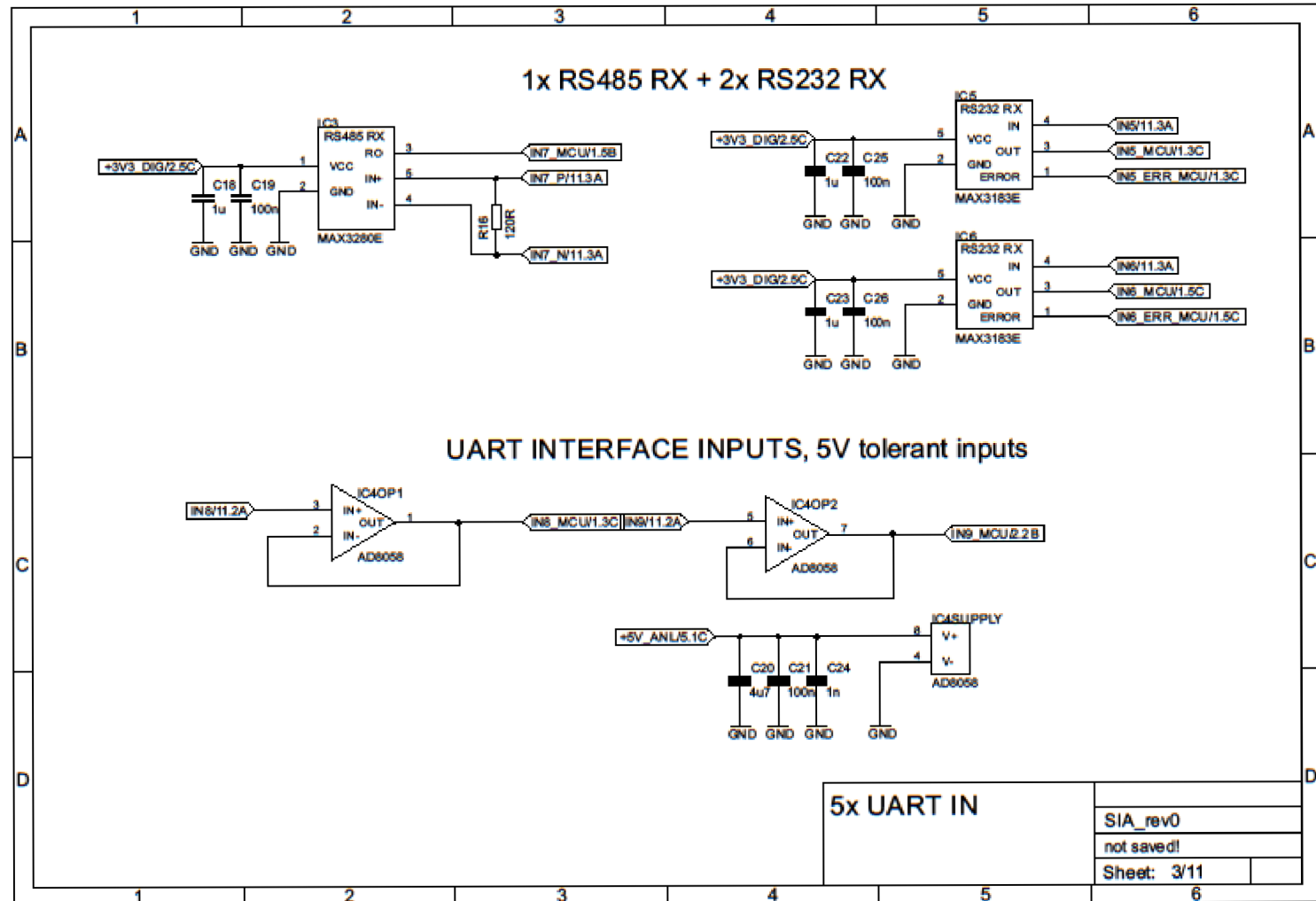
- [20] KAY, Art a Timothy CLAYCOMB. TEXAS INSTRUMENTS. Comparator with Hysteresis Reference Design. 2. Dallas, Texas, USA, 2014, 23 s.
- [21] SMAT, Radim. STMICROELECTRONICS. Application note: Introduction to comparators, their parameters and basic applications. 1. Ženeva, Švýcarsko, 2012, 27 s.
- [22] BARTUŠEK, Karel, Eva GESCHEIDTOVÁ, Jan MIKULKA, Jiří REZ a Miloslav STEINBAUER. *Měření v elektrotechnice*. 2. Brno: VUTIUM, 2010, 212 s. ISBN 978-80-214-4160-6.
- [23] TEXAS INSTRUMENTS. LM27761 Low-Noise, Regulated, Switched-Capacitor Voltage Inverter. 2. Dallas, Texas, USA, 2017, 27 s.
- [24] STMICROELECTRONICS. STM32CubeF7: Datasheet. 1. Ženeva, Švýcarsko, 2015, 3 s.

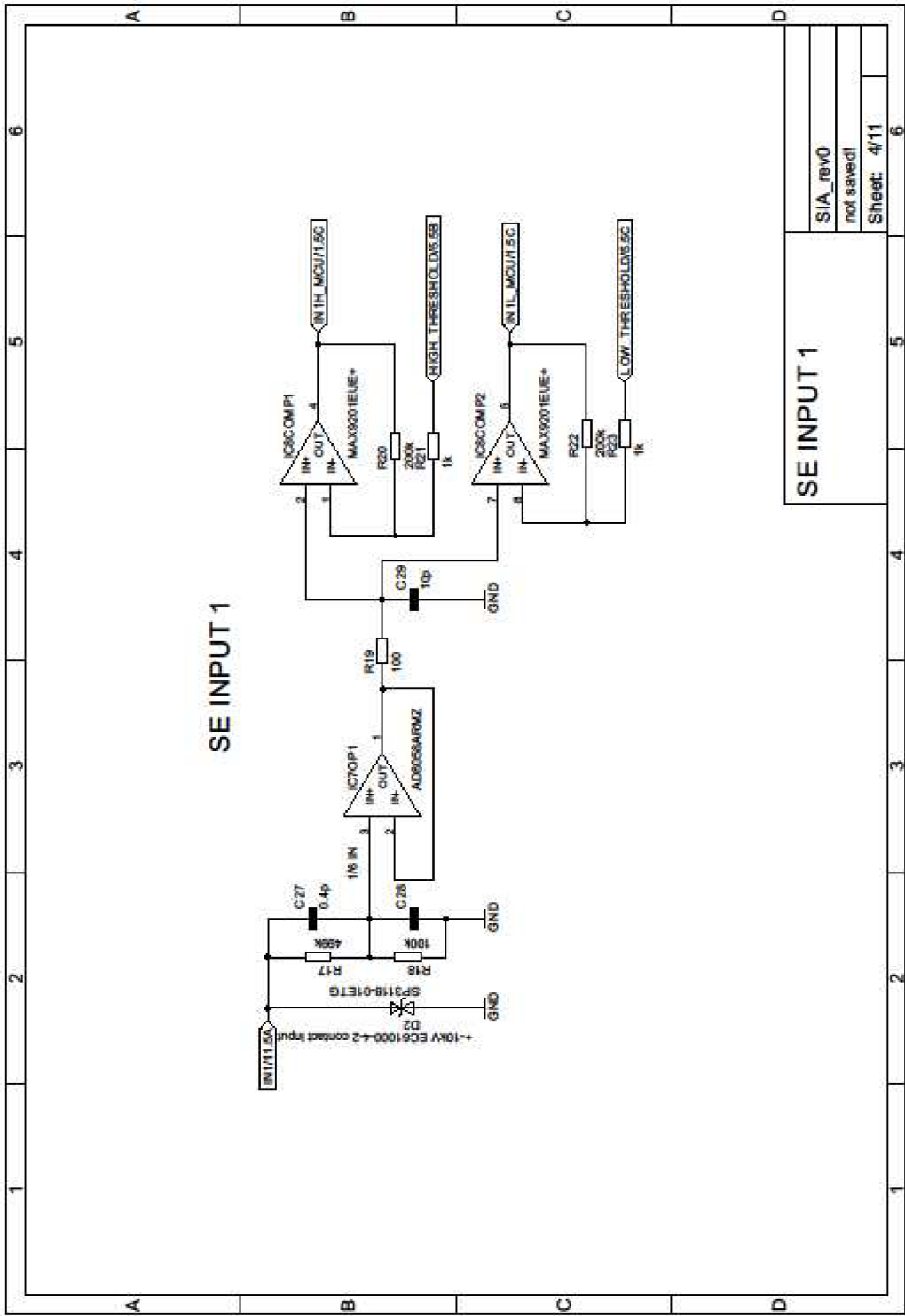
A SCHÉMA ZAPOJENÍ

Všetchna následující schémata jsou také přiložena elektronicky jako schéma v aplikaci Eagle verze 7.2.0, plus jsou také k dispozici jako samostatný PDF soubor.

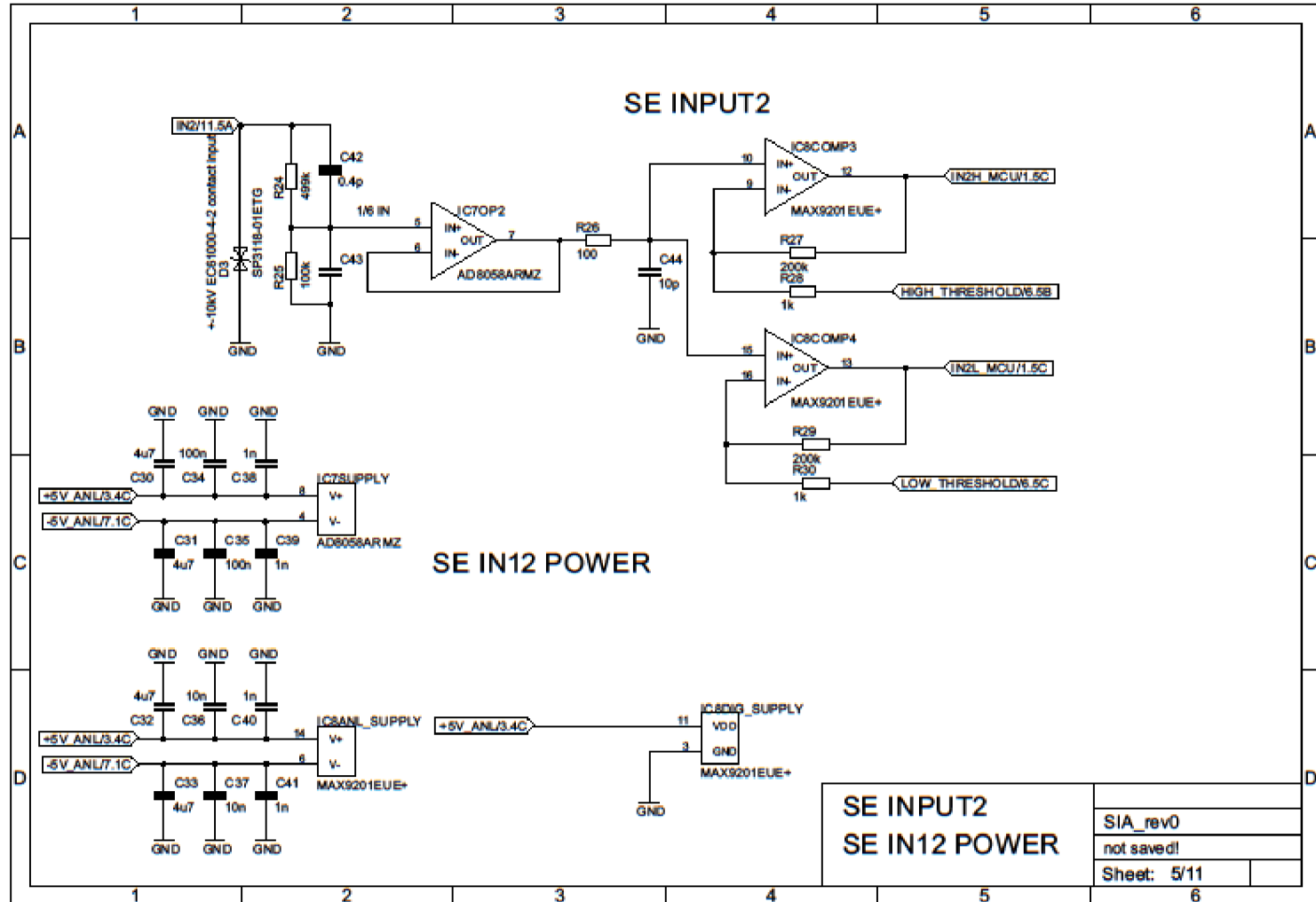


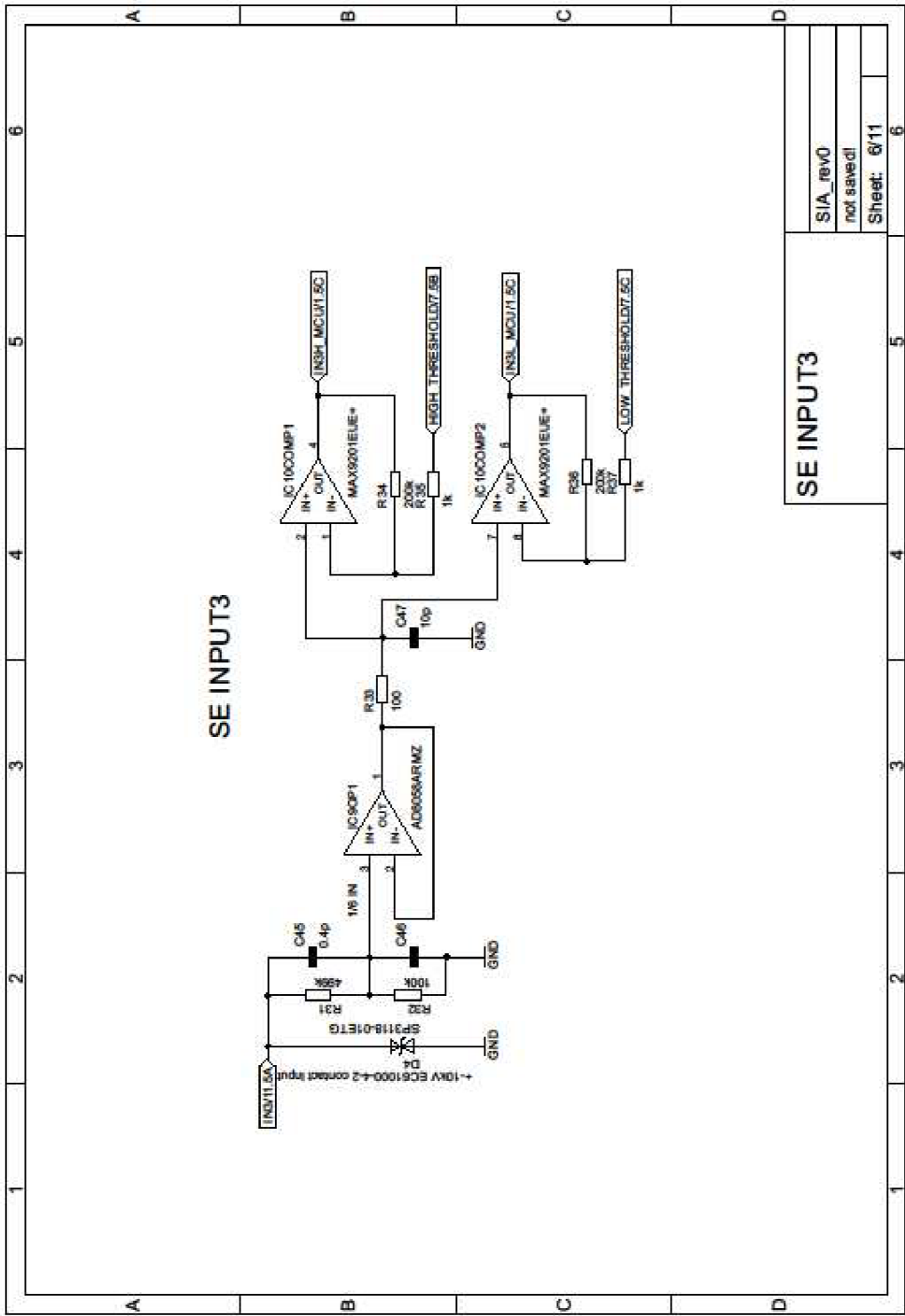




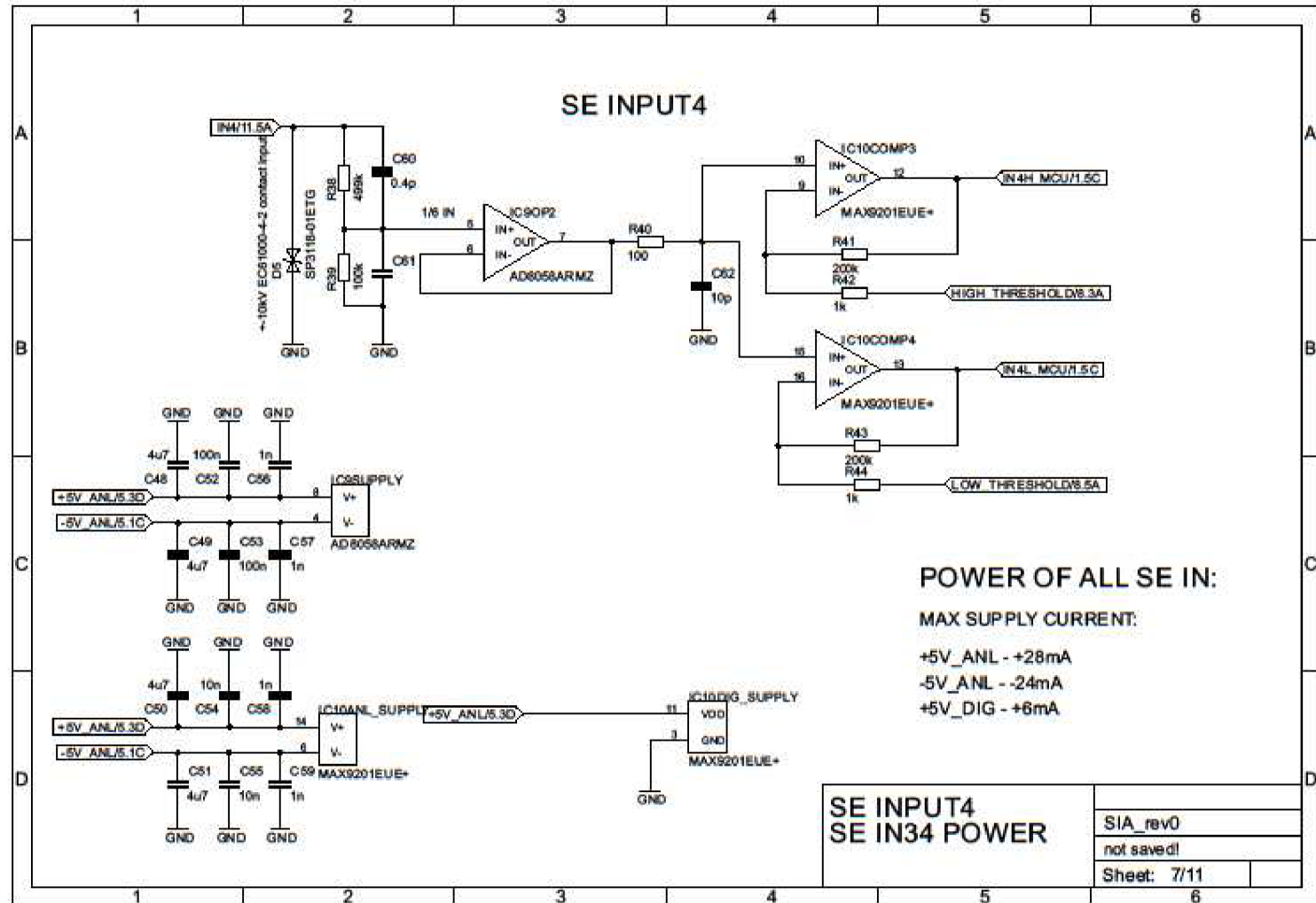


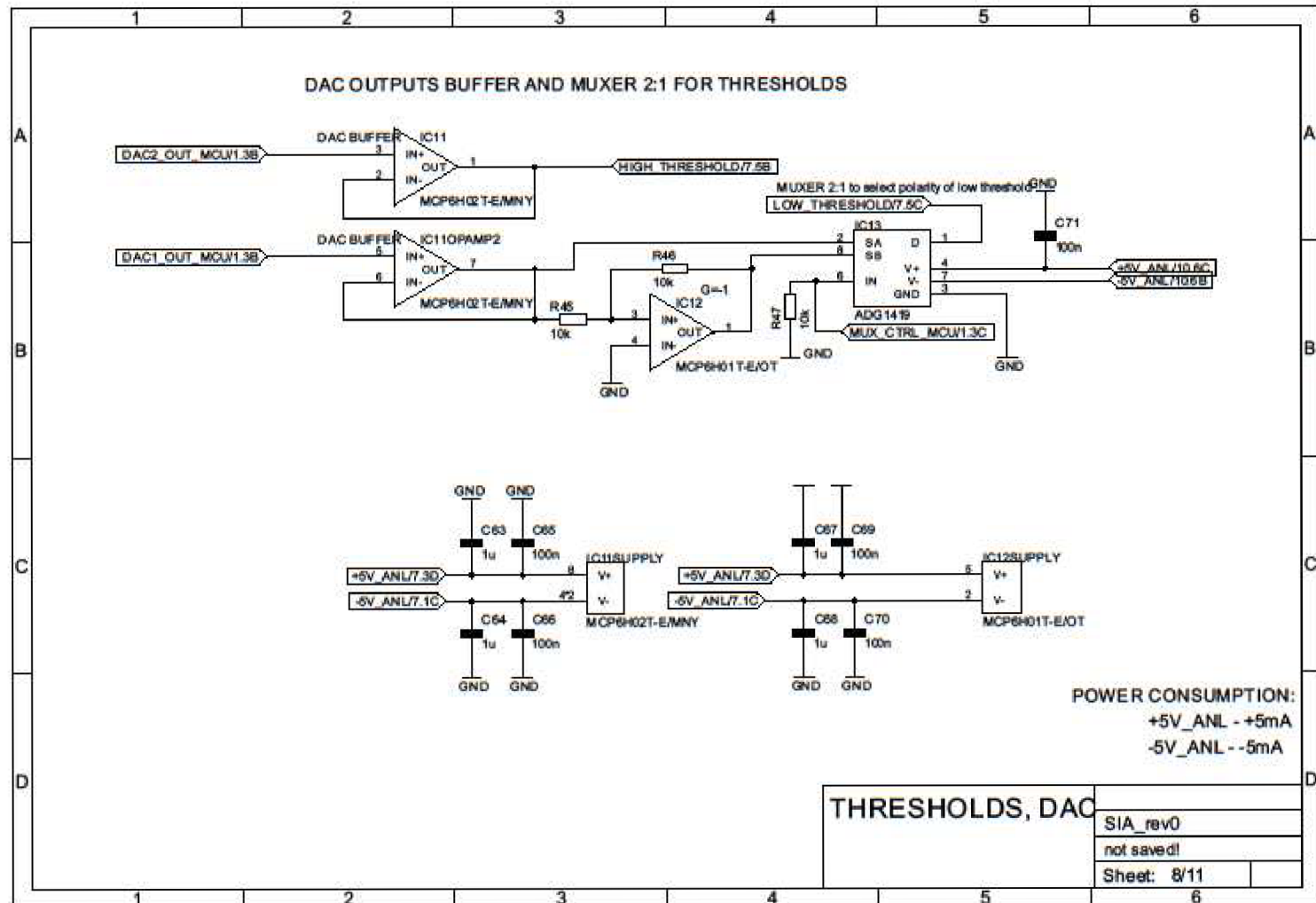
SE INPUT 1		SIA_rbv0	6
		not saved!	
		Sheet: 4/11	

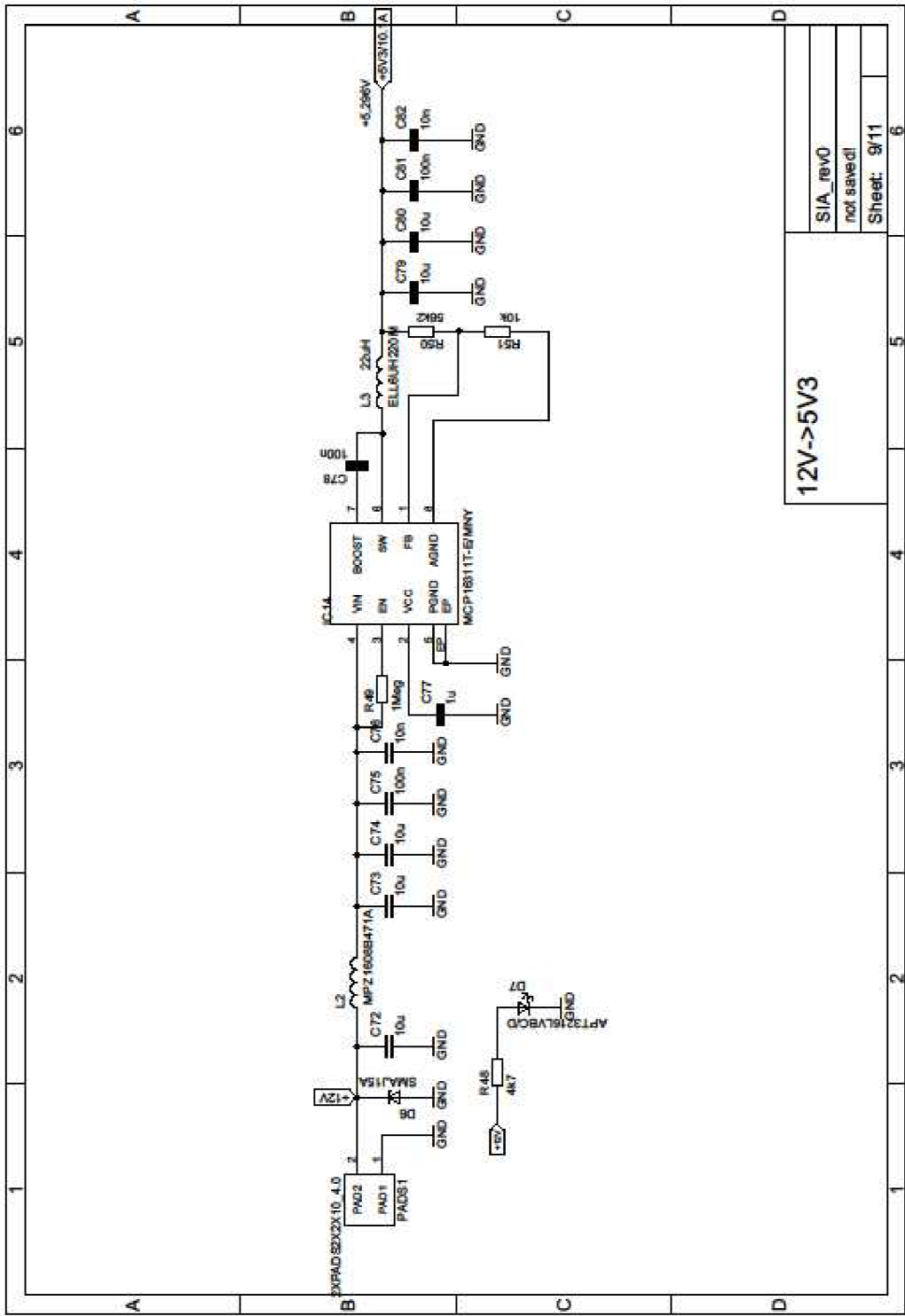




SE INPUT3		SIA_rev0	6
		not saved!	6
		Sheet: 6/11	6

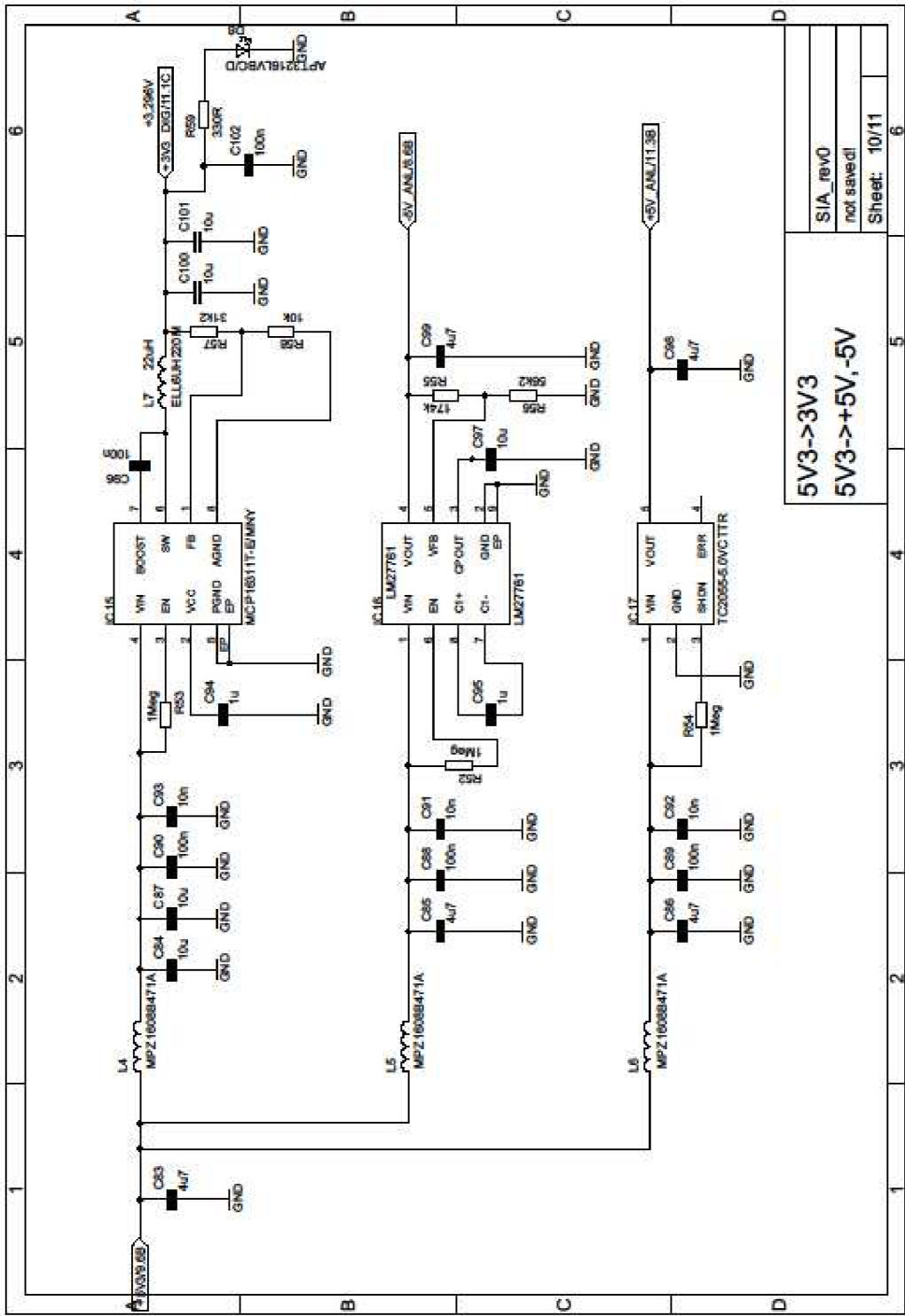




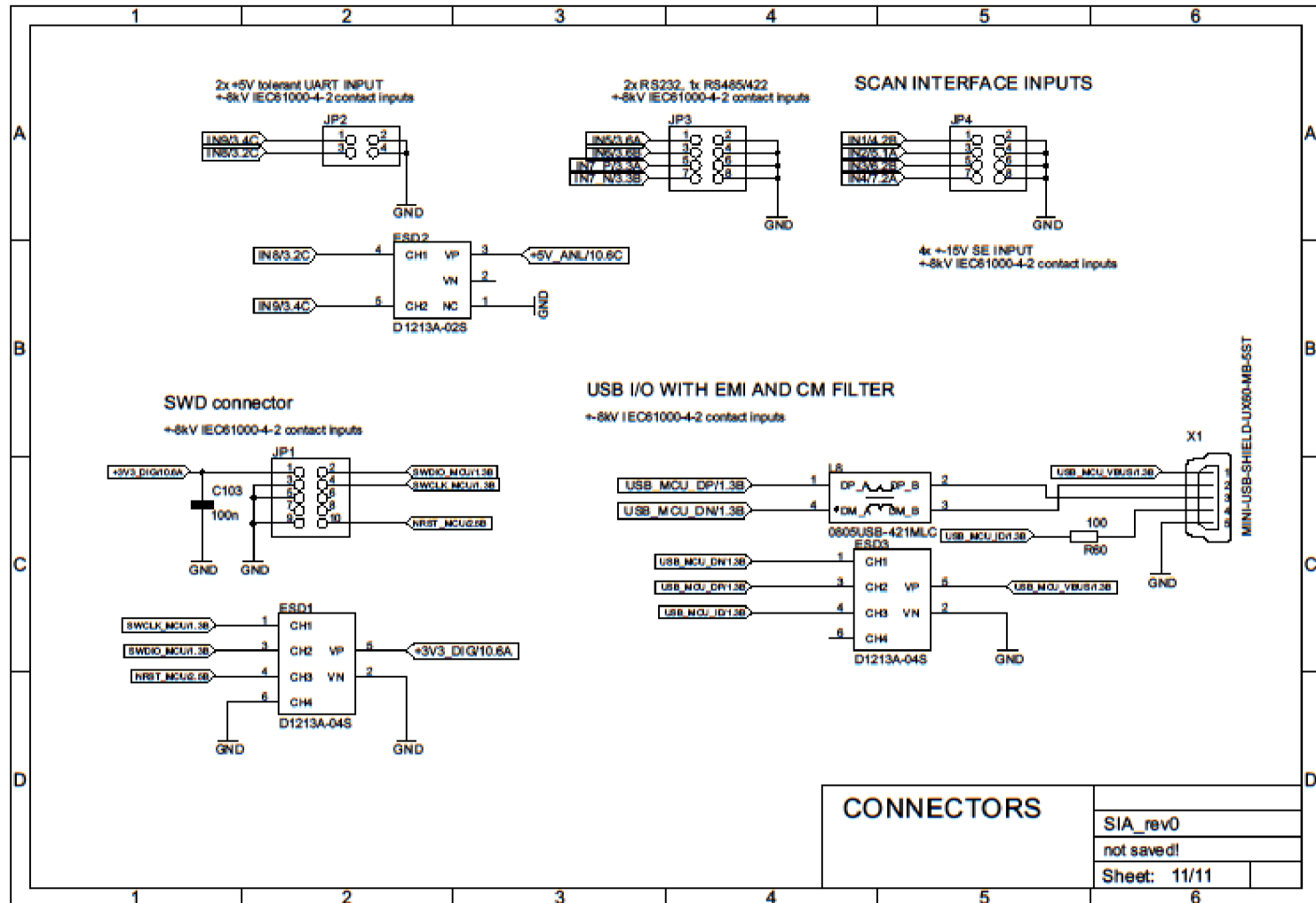


12V->5V3

SIA_rev0
not saved!
Sheet: 9/11



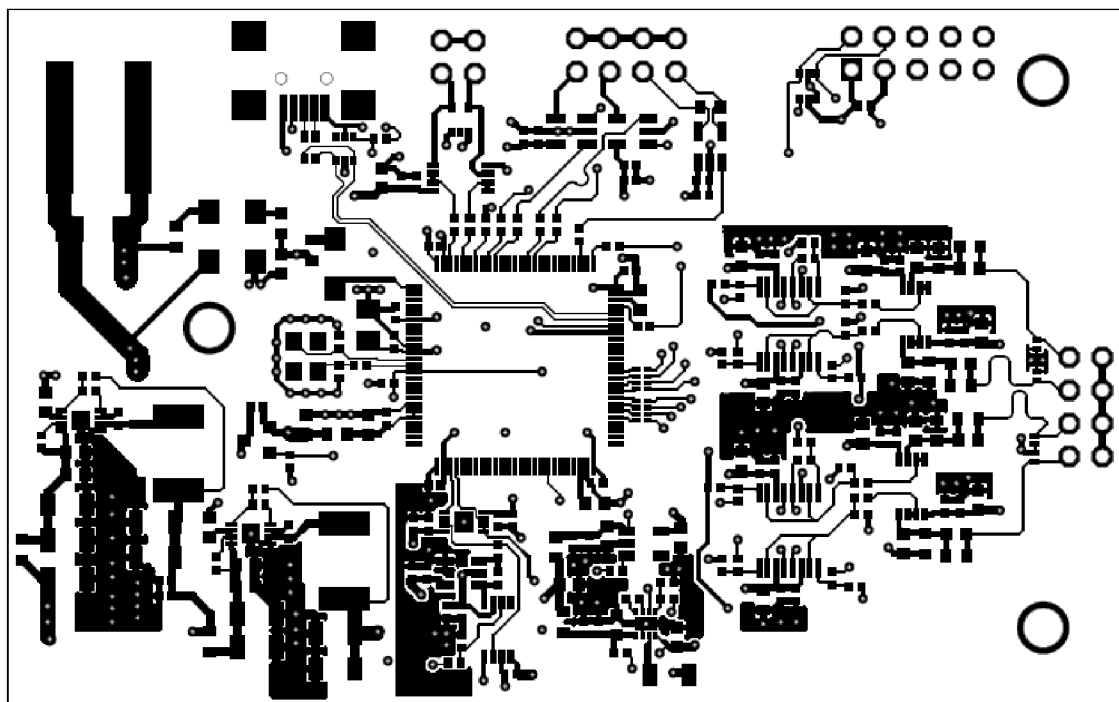
5V3->3V3	
5V3->+5V,-5V	
SIA_RV0	
not saved!	
Sheet: 10/11	6



B DESKA PLOŠNÉHO SPOJE

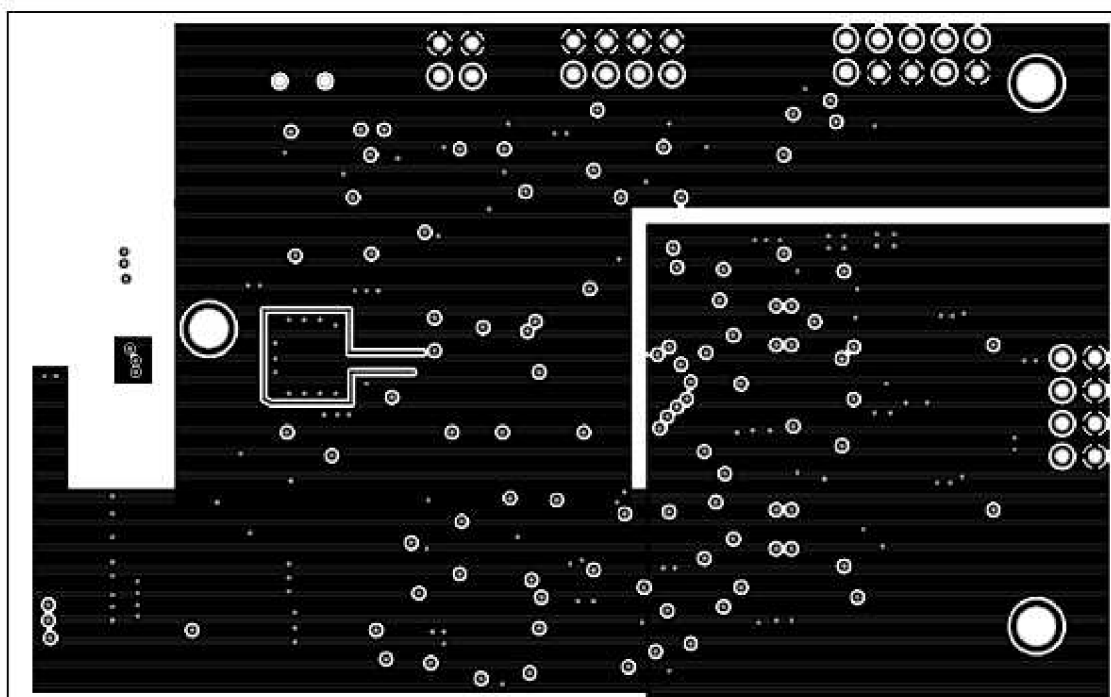
Všechny následující motivy jsou přiloženy elektronicky jako gerber data pro výrobu, plus je přiložen návrh DPS v programu Eagle 7.2.0.

B.1 Motiv vrstvy top – vrchní vrstva



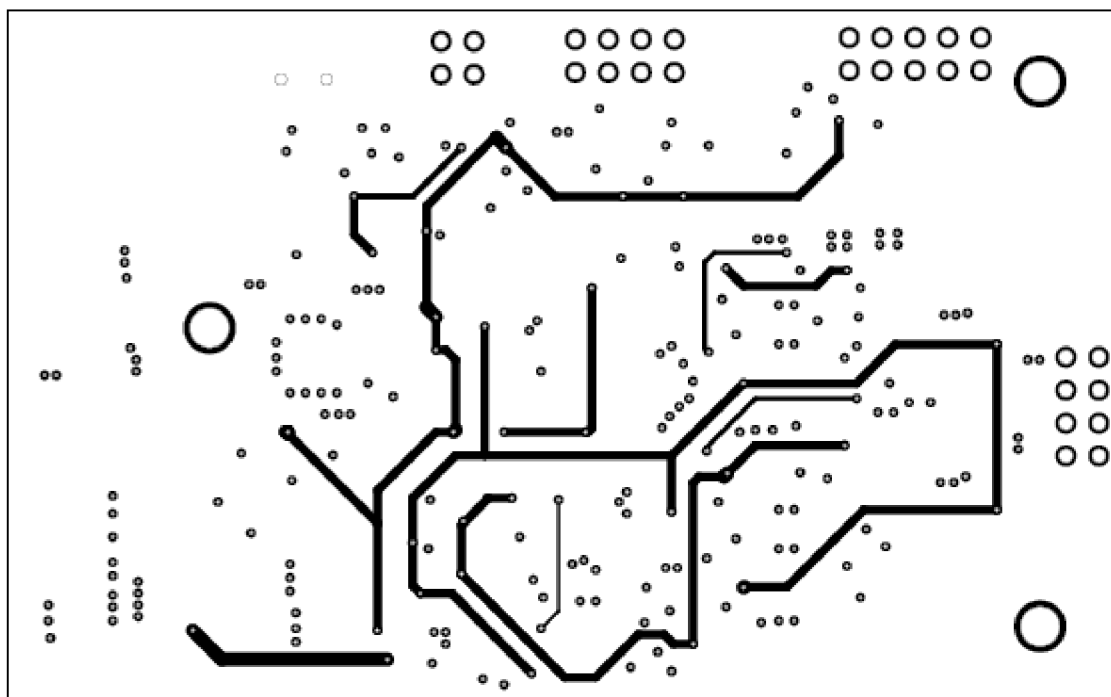
Rozměry 86 mm x 53,5 mm měřítko 1:1

B.2 Motiv vrstvy route2 – pod vrchní vrstvou, zem



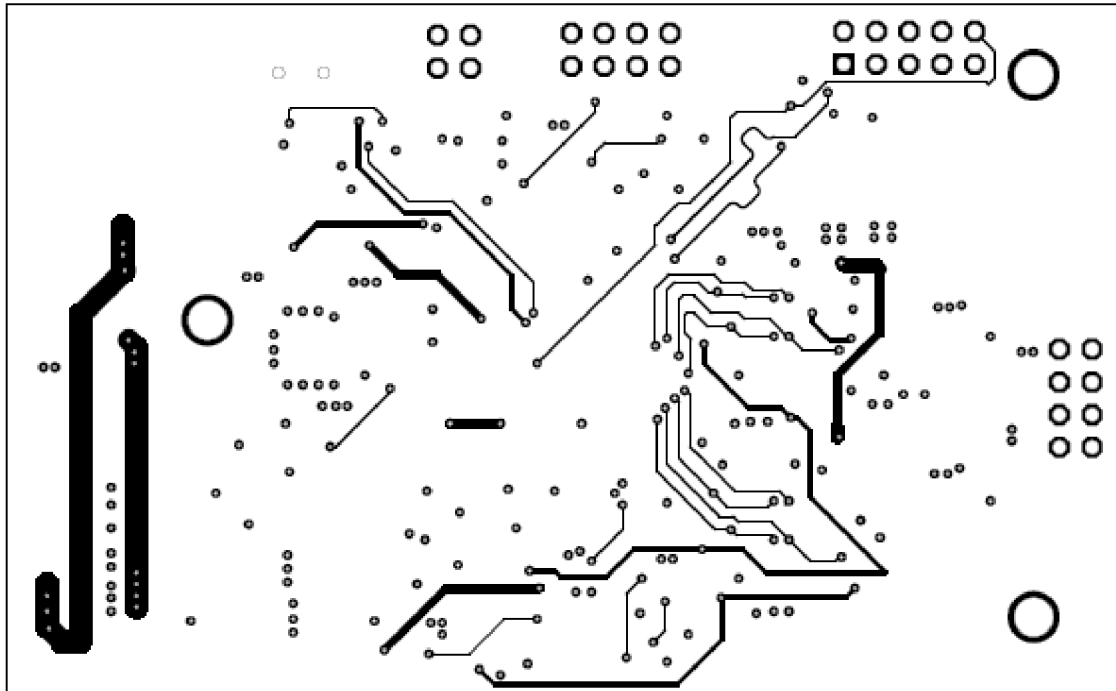
Rozměry 86 mm x 53,5 mm měřítko 1:1

B.3 Motiv vrstvy route15 – pod route2, napájení



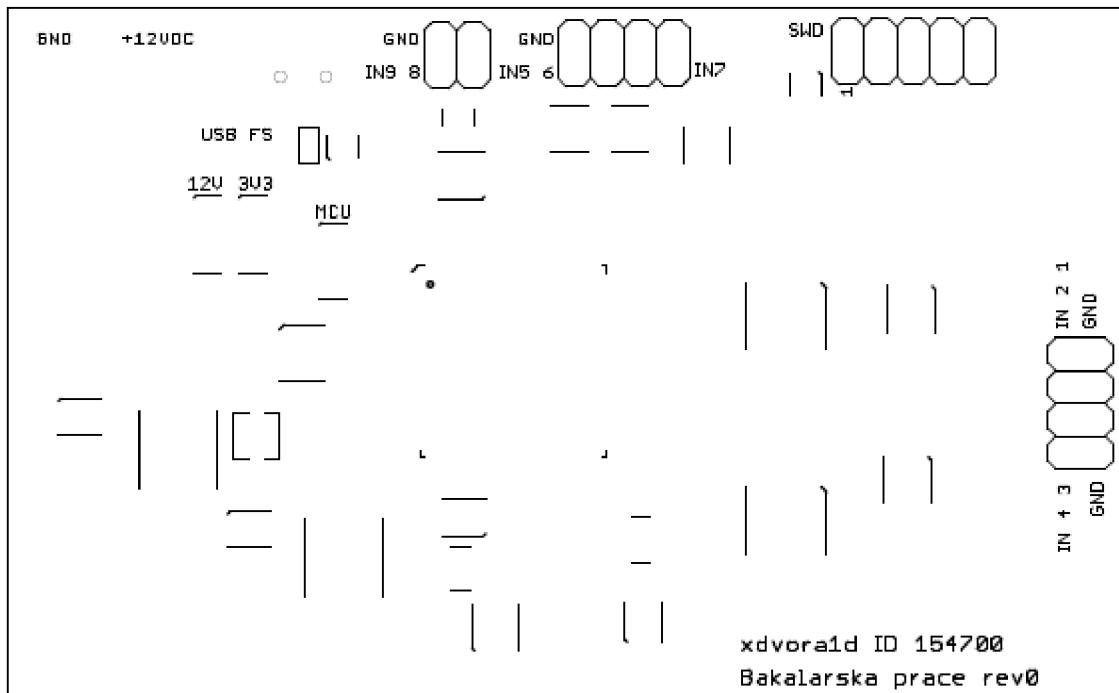
Rozměry 86 mm x 53,5 mm měřítko 1:1

B.4 Motiv vrstvy bottom – spodní vrstva



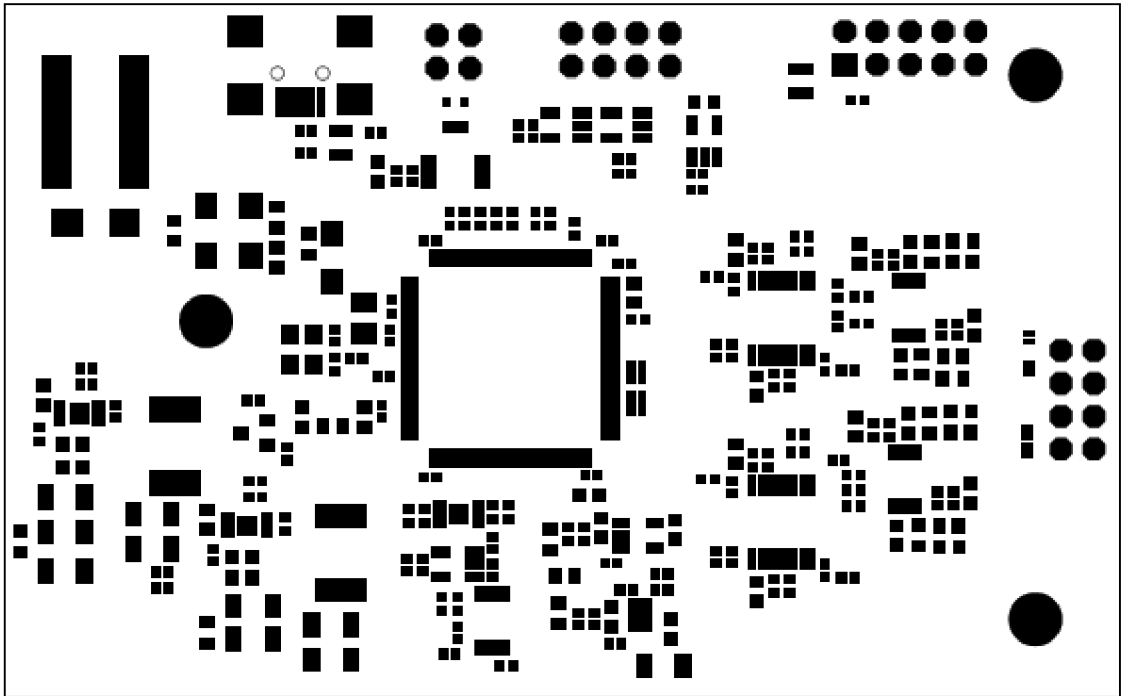
Rozměry 86 mm x 53,5 mm měřítko 1:1

B.5 Motiv vrstvy tPlace – potisk vrchní vrstvy



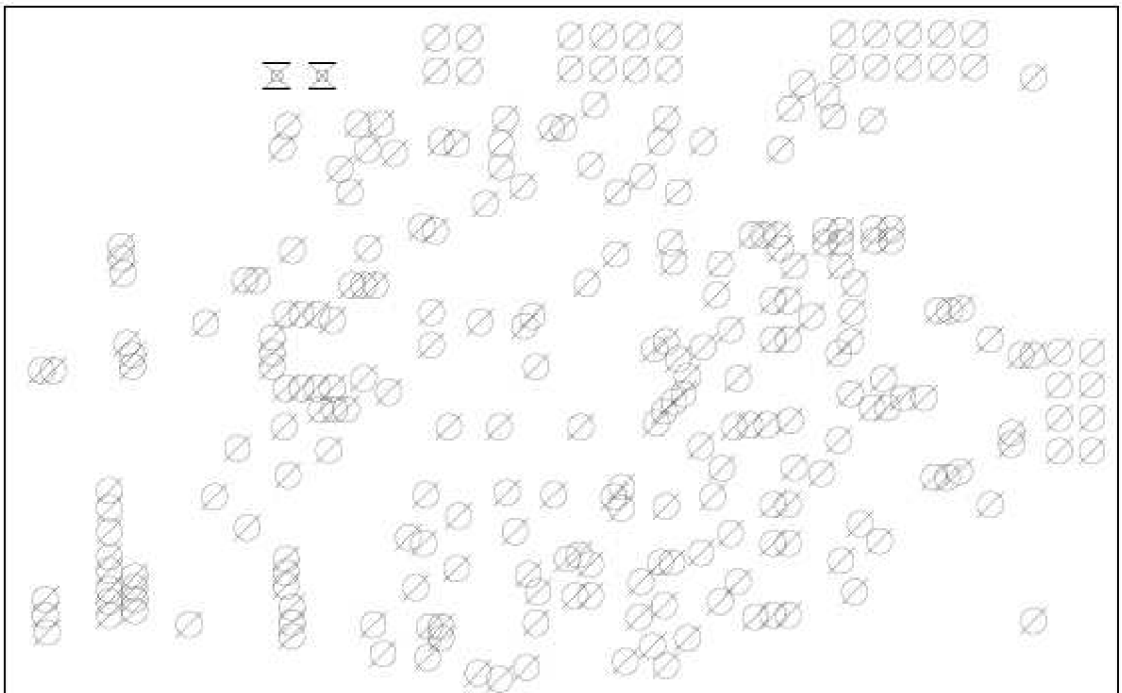
Rozměry 86 mm x 53,5 mm měřítko 1:1

B.6 Motiv vrstvy tStop – stop nepájivé masky vrchní vrstvy



Rozměry 86 mm x 53,5 mm měřítko 1:1

B.7 Motiv vrstvy drills a holes – vrtání



Rozměry 86 mm x 53,5 mm měřítko 1:1

C SEZNAM SOUČÁSTEK

Množství	Označení	Hodnota	Pouzdro	Výrobní číslo	Mouser číslo
1	IC1		LQFP100	STM32F765VGT6	511-STM32F765VGT6
1	IC2		SOT23-3	STM1818TWX7F	511-STM1818TWX7F
1	IC3		SOT23-5	MAX3280EAUUK+T	700-MAX3280EAUUK+T
3	IC4 IC7 IC9		MSOP-8	AD8058ARMZ	584-AD8058ARMZ
2	IC5 IC6		SOT23-5	MAX3183EEUK+T	700-MAX3183EEUK+T
2	IC8 IC10		TSSOP-16	MAX9201EUE+	700-MAX9201EUE+
1	IC11		TDFB-8	MCP6H02T-E/MNY	579-MCP6H02T-E/MNY
1	IC12		SOT23-5	MCP6H01T-E/OT	579-MCP6H01T-E/OT
1	IC13		MSOP-8	ADG1419BRMZ	584-ADG1419BRMZ
2	IC14 IC15		TDFB-8	MCP16311T-E/MNY	579-MCP16311T-E/MNY
1	IC16		WSOP-8	LM27761DSGR	595-LM27761DSGR
1	IC17		SOT23-5	TC2055-5.0VCTTR	579-TC2055-5.0VCTTR
1	Y1		3,2x2,5mm SMD	CX3225SB12000DOFFJCC	581-CX3225SB12DOFFJCC
3	D1 D7 D8		1206	APT3216LVBCD	604-APT3216LVBCD
4	D2 D3 D4 D5		SOD882	SP3118-01ETG	576-SP3118-01ETG
1	D6		DO-214AC	SMAJ15A	576-SMAJ15A
2	ESD1 ESD3		SOT-363-6	D1213A-04S-7	621-D1213A-04S-7
1	ESD2		SOT-353-5	D1213A-02S-7	621-D1213A-02S-7
15	R1 R2 R3 R4 R5 R6 R7 R8 R9 R13 R19 R26 R33 R40 R60	100R	0402 inch	ERJ-2GEJ101X	667-ERJ-2GEJ101X
2	R10 R11	4x100R	0402 inch	EXB-28V101JX	667-EXB-28V101JX
2	R12 R59	330R	0603 inch	ERJ-3GEYJ331V	667-ERJ-3GEYJ331V
6	R14 R45 R46 R47 R51 R58	10k	0402 inch	ERJ-2RKF1002X	667-ERJ-2RKF1002X
1	R15	120R	0402 inch	ERJ-2RKF1200X	667-ERJ-2RKF1200X
1	R16	120R	0603 inch	ERJ-P03F1200V	667-ERJ-P03F1200V
4	R17 R24 R31 R38	499k	0603 inch	ERJ-PA3D4993V	667-ERJ-PA3D4993V
4	R18 R25 R32 R39	100k	0603 inch	ERJ-PB3B1003V	667-ERJ-PB3B1003V
8	R20 R22 R27 R29 R34 R36 R41 R43	200k	0402 inch	ERJ-2RKF2003X	667-2RKF2003X
8	R21 R23 R28 R30 R35 R37 R42 R44	1k	0402 inch	ERJ-2RKF1001X	667-ERJ-2RKF1001X
1	R48	4k7	0603 inch	ERJ-3GEYJ472V	667-ERJ-3GEYJ472V
4	R49 R52 R53 R54	1Meg	0402 inch	ERJ-2RKF1004X	667-ERJ-2RKF1004X
2	R50 R56	56k2	0402 inch	ERJ-2RKF5622X	667-ERJ-2RKF5622X
1	R55	174k	0402 inch	ERJ-2RKF1743X	667-ERJ-2RKF1743X
1	R57	31k6	0402 inch	ERJ-2RKF3162X	667-ERJ-2RKF3162X

Množství	Označení	Hodnota	Pouzdro	Výrobní číslo	Mouser číslo
16	C1 C2 C20 C30 C31 C32 C33 C48 C49 C50 C51 C83 C85 C86 C98 C99	4u7/10V X7R	0603 inch	GRM188Z71A475KE15D	81-GRM188Z71A475KE5D
29	C3 C5 C7 C8 C10 C11 C13 C14 C15 C17 C19 C21 C25 C26 C34 C35 C52 C53 C65 C66 C69 C70 C71 C78 C81 C88 C89 C96 C103	100n/10V X7R	0402 inch	GRM155R71A104KA01D	81-GRM155R71A104KA01D
2	C4 C12	6p/50V COG	0402 inch	GJM1555C1H6R0CB01D	81-GJM1555C1H6R0CB01D
2	C6 C9	2u2/10V X7R	0603 inch	GRM188R71A225KE15D	81-GRM188R71A225KE15D
1	C16	22u/6,3V tantal	1206 inch	T520A226M006ATE100	80-T520A226M006ATE100
8	C18 C22 C23 C63 C64 C67 C68 C95	1u/10V X7S	0402 inch	GCM155C71A105KE38D	81-GCM155C71A105KE38D
9	C24 C38 C39 C40 C41 C56 C57 C58 C59	1n/10V X7R	0402 inch	C0402C102K8RACTU	80-C0402C102K8RACTU
4	C27 C42 C45 C60	0,6p COG	0603 inch	GQM1875C2ER60BB12D	81-GQM1875C2ER60BB12D
4	C28 C43 C46 C61	volitelné neosazuje se 0603 inch			
4	C29 C44 C47 C62	10p/10V COG	0402 inch	VJ0402A100KXQCW1BC	77-VJ0402A100KXQCW1BC
7	C36 C37 C354 C55 C82 C91 C92	10n/10V X7R	0402 inch	C0402C103K8RACTU	80-C0402C103K8RACTU
10	C72 C73 C74 C79 C80 C84 C87 C97 C100 C101	10u/25V X7R	1206 inch	12063C106KAT2A	581-12063C106KAT2A
3	C75 C90 C102	100n/25V X7R	0603 inch	GRM188R71E104KA01D	81-GRM188R71E104KA01D
2	C76 C93	10n/25V X7R	0603 inch	GRM188R71E103JA01D	81-GRM188R71E103JA01D
2	C77 C94	1u/25V X7R	0603 inch	TMK107B7105KA-T	963-TMK107B7105KA-T
5	L1 L2 L4 L5 L6		0603 inch	MPZ1608B471ATD25	810-MPZ1608B471ATD25
2	L3 L7	22u/1,3A	ELL6 SMD	ELL-6UH220M	667-ELL-6UH220M
1	L8	2,02u CM	0805 inch	0805USB-421MLC	994-0805USB-421MLC
1	X1		USB Mini B SMD	UX60-MB-5ST	798-UX60-MB-5ST
1	JP1		2x5 2,54 mm header	961210-6404-AR	517-9612106404AR
1	JP2		2x2 2,54 mm header	10-89-7041	538-10-89-7041
2	JP3 JP4		2x4 2,54 mm header	961208-6404-AR	517-9612086404AR

