



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND
COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

ANALOGOVÝ SPÍNAČ PRO APLIKACE V TECHNICE SPÍNANÝCH PROUDŮ

ANALOG SWITCH FOR SWITCHED CURRENT CIRCUITS

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

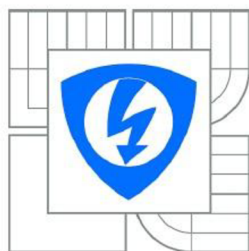
AUTOR PRÁCE
AUTHOR

Michal Jahn

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. Michal Pavlík Ph.D.

BRNO 2011



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Michal Jahn
Ročník: 3

ID: 119462
Akademický rok: 2011/2012

NÁZEV TÉMATU:

Analogový spínač pro aplikace v technice spínaných proudů

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte a v prostředí CADENCE simulujte chování analogového spínače optimalizovaného pro použití v obvodech využívajících techniku spínaných proudů. Zejména se jedná o potlačení přechodových dějů při nabíjení kapacit kanálu během spínání resp. rozepínání spínače.

DOPORUČENÁ LITERATURA:

Dle pokynů vedoucího práce

Termín zadání: 6.2.2012

Termín odevzdání: 31.5.2012

Vedoucí práce: Ing. Michal Pavlík, Ph.D.

doc. Ing. Jiří Háze, Ph.D.
Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato bakalářská práce se zabývá návrhem analogového spínače v technice spínaných proudů, který je realizován technologií CMOS. Návrh těchto spínačů byl realizován a následně simulován v prostředí CADENCE, kde byl kladen důraz na potlačení přechodových dějů. Jedná se o chybu injekce náboje a pronikání hodinového signálu při nabíjení kapacit kanálu během spínání resp. rozepínání.

Klíčová slova

Technika spínaných proudů (SI), spínač, proudová paměťová buňka, technologie CMOS, tranzistor PMOS a NMOS, injekce náboje, pronikání hodinového signálu.

Abstract

This bachelor's deals with a design of analog switches using switched current technique and CMOS technology. The design of these switches was implemented and subsequently simulated in the CADENCE environment where the emphasis was on suppression of transient processes. It is a charge injection error and a clock-feedthrough error when charging the capacities of channel during switching on or opening.

Keywords

Switched-current (SI) technique, switch, current memory cell, CMOS process, transistor PMOS and NMOS, charge injection, clock-feedthrough.

Prohlášení

Prohlašuji, že svou bakalářskou práci na téma „Analogový spínač pro aplikace v technice spínaných proudů“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedeného semestrálního projektu dále prohlašuji, že v souvislosti s vytvořením tohoto projektu jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 31.5.2012

.....

Michal Jahn

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Michalu Pavlíkovi Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování projektu.

V Brně dne 31.5.2012

.....
Michal Jahn

Bibliografická citace

JAHN, M. *Analogový spínač pro aplikace v technice spínaných proudů*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2012. 66 s. Vedoucí bakalářské práce Ing. Michal Pavlík Ph.D.

Obsah

Úvod	- 8 -
1. Základní obvody realizované v technice Spínaných proudů	- 9 -
1.1 Proudová paměťová buňka první generace	- 9 -
1.3 Proudová paměťová buňka třídy AB	- 10 -
1.4 Proudový komparátor se dvěma vstupy	- 11 -
1.5 Proudový Schmittův klopný obvod s hysterezí řízenou vstupním signálem	- 12 -
1.6 Integrátory realizované v technice spínaných proudů	- 13 -
2. Chyby spínačů realizované tranzistory MOS	- 14 -
2.1 Chyba injekce náboje	- 14 -
2.2 Chyba pronikání hodinového signálu	- 15 -
2.3 Šum	- 16 -
2.4 Chyba ustálení	- 17 -
3. Korekční metody	- 18 -
3.1 Komplementární spínače	- 18 -
3.2 Dummy spínače	- 18 -
3.3 Bootstrapped spínače	- 19 -
3.4 N-stupňové proudové paměťové buňky	- 20 -
4. Testovací obvod	- 23 -
5. Navrhované spínače a kompenzační metody	- 25 -
5.1 Tranzistor NMOS jako spínač	- 25 -
5.2 Tranzistor PMOS jako spínač	- 30 -
5.3 Antiparalelní spojení NMOS a PMOS tranzistorů – Komplementární spínač	- 35 -
5.4 Tranzistor NMOS s tranzistorem Dummy	- 40 -
5.5 Antiparalelní spojení NMOS a PMOS tranzistorů spolu s NMOS a PMOS Dummy tranzistory	- 45 -
5.6 NMOS Bootstrapped spínač	- 50 -
6. Porovnání výsledků a kompenzačních metod	- 55 -
6.1 Tabulky pro porovnání navržených spínačů a kompenzačních metod	- 55 -
6.2 Časové průběhy navržených spínačů a kompenzačních metod	- 58 -
7. Shrnutí a závěr	- 62 -
8. Literatura	- 64 -
Seznam zkratk a symbolů	- 66 -

Úvod

Technika spínaných proudů (z anglického názvu Switched Current - SI) je založena zejména na využití proudu jako nosiče informace, který je uložen na parazitní kapacitě hradla paměťového tranzistoru MOS. Základním stavebním kamenem obvodů realizovaných technikou SI jsou paměťové buňky. Výhodou této techniky je kompatibilita s digitálním návrhem lineárních systémů a umožňuje integraci analogových a digitálních obvodů technologií CMOS. Možnost použití této techniky je limitována instrinsickými chybami techniky. Největšími chybami jsou pronikání hodinového signálu a chyba injekce náboje.

V této práci jsou představeny základní proudové paměťové buňky první a druhé generace a proudová paměťová buňka třídy AB. Jelikož proudová paměťová buňka nemůže pracovat samostatně, jsou zde představeny i základní obvody a modifikace této techniky, jako je například plně diferenciální proudová paměťová buňka třídy AB, A/D převodníky, které dělíme na dva druhy a to Nyquistovy nebo modelující šum. Nicméně obě skupiny pracují na principu převzorkování. Dalšími obvody jsou např. proudový komparátor se dvěma vstupy a další. V následující části jsou popsány základní chyby techniky SI - chyba pronikání hodinového signálu, chyba injekce náboje, chyby způsobené šumem, chyby ustálení signálu na analogovém spínači. V poslední teoretické části jsou popsány techniky, potlačující již zmíněné chyby.

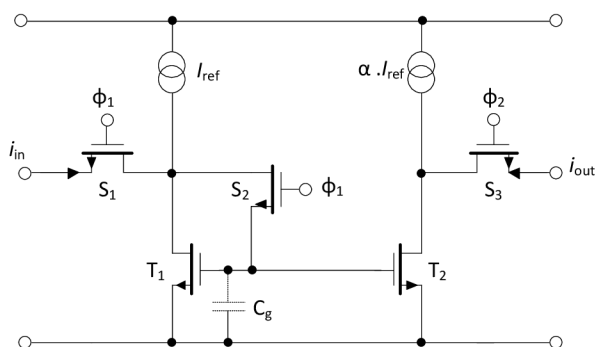
V praktické části je na základě teoretických informací v prostředí CADENCE technologií CMOS 0,35 μm navržen testovací obvod. Tento obvod měl za cíl testovat a optimalizovat analogový spínač pro použití v obvodech spínaných proudů s důrazem na potlačení přechodových dějů při nabíjení kapacit kanálu během spínání a rozepínání. V další části jsou uvedeny typy navržených spínačů, jejich modifikací a metod potlačující již zmíněné chyby při spínání resp. rozepínání. Spolu s navrženými spínači byly uvedeny výsledky simulací, jejich popis a popř. grafické znázornění a časové průběhy. Tyto výsledky jsou pro různé navržené spínače a metody porovnány a v závěru této práce zhodnoceny.

1. Základní obvody realizované v technice Spínaných proudů

Hlavní výhoda techniky spínaných proudů (SI) spočívá v tom, že umožňuje realizaci analogových obvodů v primárně digitálním návrhu. Nicméně není tato technika příliš používána, protože v počátcích nebyla technologie, ve které by bylo obvody využívající techniku SI vyrábět. Díky tomu byla pozornost zaměřena na techniku spínaných kapacitorů (SC).

1.1 Proudová paměťová buňka první generace

Proudová paměťová buňka první generace je tvořena dvojicí tranzistorů, zapojených jako proudové zrcadlo, jak je znázorněno na obrázku 1. Její činnost lze rozdělit do dvou fází. V první fázi Φ_1 je spínač S_1 sepnut a velikost výstupního proudu i_{out} je dána součtem velikosti výstupního proudu i_{in} a klidového proudu I_{ref} . Na hradle paměťového tranzistoru T_1 se ustálí napětí U_{gs} [7].



Obrázek 1: Proudová paměťová buňka první generace [7]

Po rozepnutí spínače S_1 ve fázi Φ_2 je výstupní proud určen „zapamatovaným“ napětím U_{gs} podle [7] vztahu:

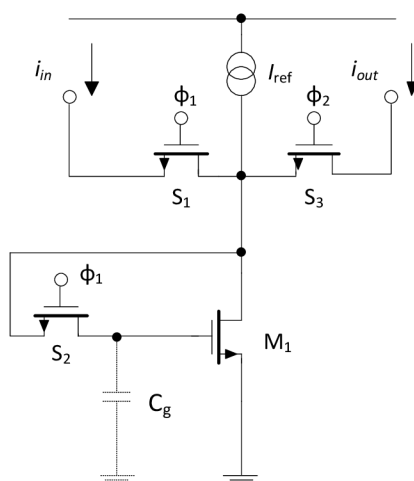
$$i_D = \frac{\mu C_{ox} W}{2 L} (u_{GS} - U_p)^2 (1 + \lambda u_{DS}), \quad (1)$$

kde i_D je proud kolektorem, μ je pohyblivost nábojů nosiče, C_{ox} je kapacita hradla na čtverec, W je šířka kanálu, L je délka kanálu, u_{GS} je napětí mezi hradlem a elektrodou S, U_p je prahové napětí, λ je modulační faktor délky kanálu a u_{DS} je napětí mezi elektrodami D a S [7].

Protože správná funkce proudové paměťové buňky závisí na použití dvou shodných tranzistorů, je možné výstupní proud odebírat po celou dobu fáze Φ_1 s tím, že jeho velikost může být libovolně multiplikována změnou geometrických rozměrů tranzistorů T_1 a T_2 . Musí být dodržena stejná velikost klidových proudů, aby nedocházelo k chybě posunutí (offset) [7].

1.2 Proudová paměťová buňka druhé generace

V nejjednodušší formě je proudová napěťová buňka realizována třemi spínači (S_1 až S_3), jedním zdrojem referenčního (příčného) proudu a jedním proudovým paměťovým tranzistorem M_1 . U paměťového tranzistoru se využívá kapacita hradla C_g jak je znázorněno na obrázku 2 [4], [5]. Díky tomu, že vstupní a výstupní tranzistor paměťové buňky je tentýž, je eliminována chyba posunutí (offset).

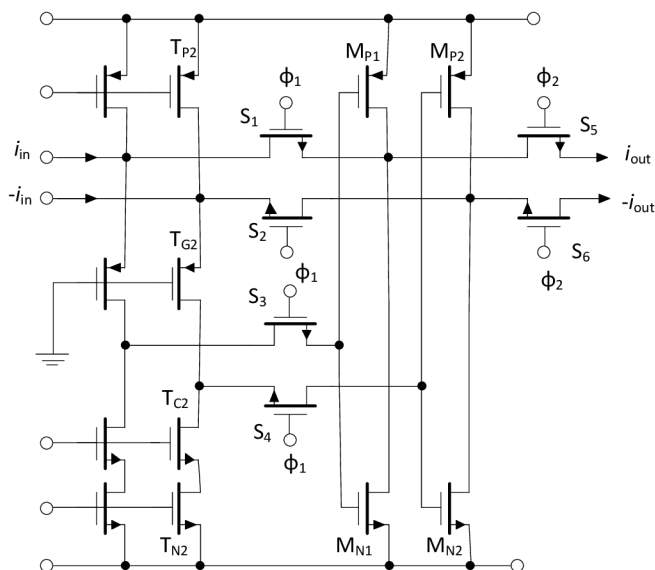


Obrázek 2: Proudová paměťová buňka druhé generace [4]

Princip funkce je následující: dojde-li v první fázi Φ_1 k sepnutí spínačů S_1 a S_2 , je vtékající proud i_{in} do obvodu vzorkován tranzistorem M_1 . Ve druhé fázi Φ_2 , po rozepnutí spínačů S_1 a S_2 a současném sepnutí spínače S_3 , teče vzorkovaný proud i_{in} na výstup i_{out} . Přesnost tohoto vzorkovače je omezena třemi faktory – vstupní odpor kanálu r_0 tranzistoru M_1 omezuje přesnost vzorkovače při vzorkování protékajícího proudu i_{in} , který je převáděn na i_{out} . Dalším faktorem je, že náboj nashromážděný v kanálu paměťového tranzistoru M_1 vede při jeho vypnutí ke vzniku chyby injekce náboje a vyskytuje se zde i chyba pronikání hodinového signálu u spínače S_1 , tato chyba ovlivňuje vzorkovaný proud paměťovým tranzistorem M_1 [4], [5].

1.3 Proudová paměťová buňka třídy AB

Proudová paměťová buňka třídy AB umožňuje realizovat energeticky efektivní filtry a A/D převodníky. Tato buňka vychází ze zapojení proudového konvejeoru typu AB. Modifikace spočívá v nahrazení výstupních proudových zrcadel proudovými paměťovými buňkami druhé generace a použitím zesilovačů s uzemněným hradlem, které zvyšují vstupní vodivost. V praxi jsou preferovány plně diferenční struktury proudové paměťové buňky třídy AB. Na obrázku 3 je zobrazena plně diferenční proudová paměťová buňka třídy AB, jak byla popsána v [6].



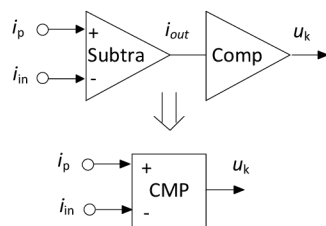
Obrázek 3: Plně diferenciální paměťová buňka třídy AB [6]

Tato proudová paměťová buňka obsahuje dva páry paměťových tranzistorů M_N a M_P . Dále zapojení obsahuje T_G tranzistory, které jsou zapojeny s uzemněným hradlem, proudově řízený tranzistor T_P a kaskádně zapojené tranzistory T_C a T_N . [6]

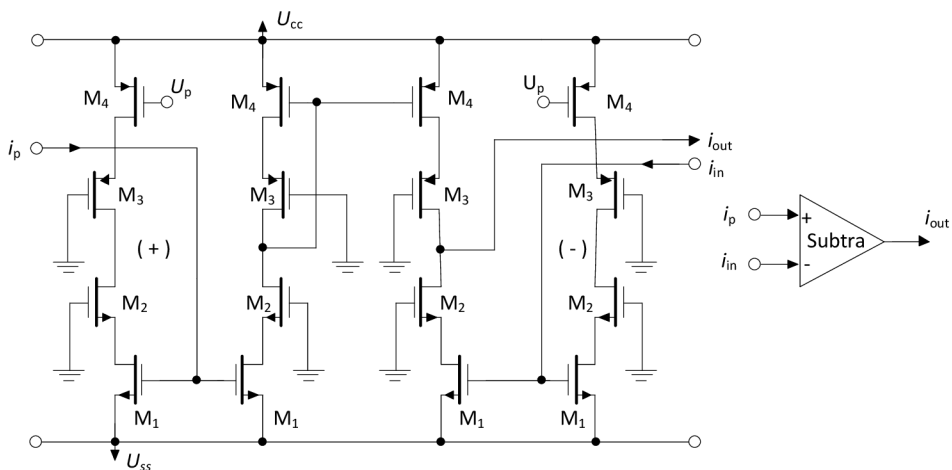
U proudových paměťových buněk třídy AB může být vstupní proud větší, než je klidový proud protékající paměťovým tranzistorem. Díky napětovému zisku tranzistoru T_G je vstupní vodivost proudové paměťové buňky výrazně vyšší v porovnání s proudovou paměťovou buňkou první a druhé generace. Chyba injekce náboje je také nižší použije-li se tranzistor typu N jako spínač pro paměťový tranzistor typu N a tranzistor typu P jako spínač pro paměťový tranzistor typu P. Plně diferenciální struktura, také redukuje chyby injekce náboje [6].

1.4 Proudový komparátor se dvěma vstupy

Dalším používaným stavebním blokem pro zpracování signálů v technice SI je proudový komparátor znázorněný na obrázku 4. Je realizován proudovým rozdílovým zesilovačem a transimpedančním proudovým komparátorem s jedním vstupem. Proudový rozdílový zesilovač vykonává funkci $i_{out} = i_{in} - i_p$ a je realizován proudovými zrcadly, jak je vidět na obrázku 5. Transimpedanční proudový komparátor s jedním vstupem umožňuje rozlišit velmi malé změny vstupního proudu ve velmi krátkém čase. Tak může dosáhnout rozlišení v jednotkách pA při rychlosti několika ns [12], [13].



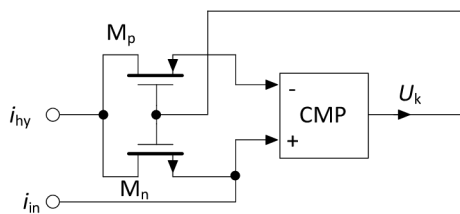
Obrázek 4: Proudový komparátor se dvěma vstupy [12]



Obrázek 5: Proudově rozdílový zesilovač se dvěma vstupy [12]

1.5 Proudový Schmittův klopný obvod s hysterezí řízenou vstupním signálem

Tento obvod je používán v oblasti zpracování nelineárních signálů. Velikost hystereze je řízena pevným referenčním proudem, ale také je možné velikost hystereze řídit měnícím se vstupním signálem [12], [13].

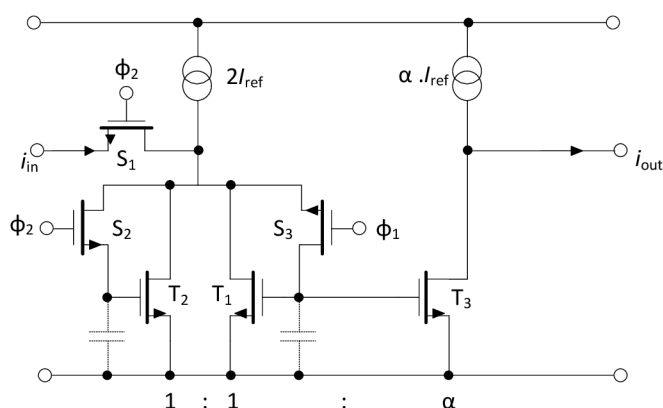


Obrázek 6: Proudový Schmittův klopný obvod s hysterezí řízenou vstupním signálem [12]

Na obrázku 6 je proudový Schmittův klopný obvod s hysterezí řízenou měnícím se vstupním signálem. Je to v podstatě proudový komparátor CMP se dvěma vstupy. Vstupní signál i_{in} je přiveden na neinvertující vstup CMP. Střídavým sepnutím dvou spínaných tranzistorů M_n a M_p , je přiveden na invertující nebo neinvertující vstup proud i_{hy} , který řídí velikost hystereze obvodu [12], [13].

1.6 Integrátory realizované v technice spínaných proudů

Jedna ze základních struktur integrátoru v technice SI je zobrazena na obrázku 7. Integrátor je složen z tranzistorů T_1 a T_2 , které představují proudovou paměťovou buňku první generace. Dále ze zdroje klidového proudu $2I_{ref}$, který je dvakrát větší než referenční zdroj proudu I_{ref} , spínačů S_1 , S_2 a S_3 , které jsou spínány hodinovým signálem a výstupní části zapojenou zrcadlově obráceně vůči tranzistoru T_1 , kterou představuje tranzistor T_3 . Tranzistor T_1 a T_3 jsou zapojeny jako proudové zrcadlo [3].



Obrázek 7: Neinvertující Integrátor v technice SI [3]

Tranzistor T_2 je zapojen v propustném směru a paměťový tranzistor T_1 ukládá velikost proudu I_1 , přičemž velikost vstupního proudu je dána $i_{in}(n-1)$. Velikost tekoucího proudu I_2 tranzistorem T_2 , během fáze Φ_2 periody $(n-1)$, kde jsou sepnuty spínače S_1 a S_2 je dána rovnicí [3]:

$$2I_{ref} = i_{in}(n-1) - I_1 = I_{ref} + i_{in}(n-1) + i_{out}(n-1)\alpha. \quad (2)$$

V další fázi Φ_1 periody n , kde je sepnutý spínač S_3 , velikost proudu I_1 v tranzistoru T_1 se rovná [3]:

$$2I_{ref} - I_2 = I_{ref} - i_{in}(n-1) - i_{out}(n-1). \quad (3)$$

Přenos integrátoru je dán [3] funkcí:

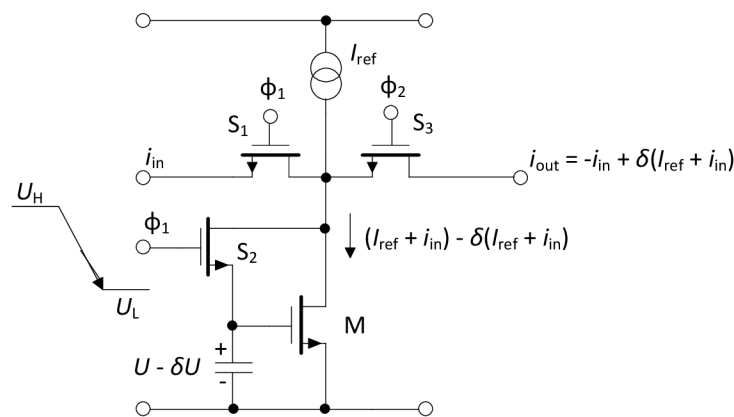
$$H(z) = \frac{i_{out}(z)}{i_{in}(z)} = \frac{\alpha z^{-1}}{1-z^{-1}}. \quad (4)$$

2. Chyby spínačů realizované tranzistory MOS

Přes veškeré výhody techniky spínaných proudů je tato technika limitována chybami, které v těchto obvodech vznikají. Hlavními zástupci chyb techniky SI jsou chyba injekce náboje, chyba pronikání hodinového signálu nebo chyba offsetu.

2.1 Chyba injekce náboje

Pro vysvětlení této chyby použijeme základní proudovou paměťovou buňku druhé generace, znázorněna na obrázku 8.



Obrázek 8: Chyba injekce náboje v proudové paměťové buňce druhé generace [11]

Chyba injekce náboje je způsobena nashromážděným nábojem v kanálu spínacího tranzistoru S_2 . Poklesem úrovně napětí hodinového signálu z $U_H = 5V$ na $U_L = 0V$ na hradle spínacího tranzistoru S_2 dojde k jeho rozepnutí a již zmíněný náboj je injektován na elektrody D a S, kde zapříčiní vznik parazitních kapacit. Tím vzniká parazitní kapacita mezi hradlem a elektrodou S a mezi hradlem a elektrodou D. Tento efekt může představovat chybu napětí $-\delta U$, která je superponována k napětí hradla paměťového tranzistoru M. Tak vzniká chyba uchování velikosti proudu $\delta(I_{ref} + i_{in})$ na výstupu paměťové buňky. Celkový injektovaný náboj v hradle paměťového tranzistoru M, který má kapacitu C_g je dán [11] vztahem:

$$Q = \alpha \left(U_H - U_{gs} - U_T - \frac{\gamma}{3} U_{gs} \right) C_{CH} + \frac{C_{OL}}{2} (U_H - U_L), \quad (5)$$

kde U_H a U_L jsou vysoké a nízké úrovně napětí hradla tranzistoru, C_{CH} je kapacita kanálu spínače, C_{OL} je kapacita mezi přesahem hradla a substrátem. U_T je prahové napětí, α je průměrný injektovaný náboj z celkového počtu sepnutí kanálu na hradle paměťového tranzistoru M, γ je parametr substrátového prahového napětí a U_{gs} je napětí hradla paměťového tranzistoru během vzorkování za předpokladu, že paměťový tranzistor M pracuje v oblasti saturace [11].

$$U_{gs} = U_T + \sqrt{2(I_{ref} + i_{in})/\beta}. \quad (6)$$

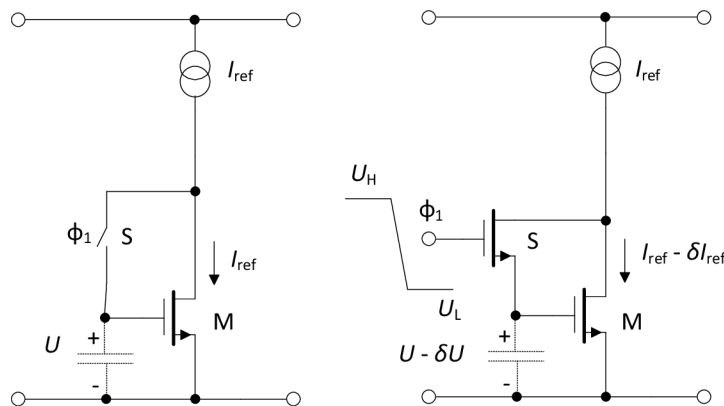
Chyba napětí δU je dána [11] vztahem:

$$\delta U = q/C_g. \quad (7)$$

Z rovnic (6) a (7) plyne, že chyba napětí není konstantní, ale je závislá na velikosti vstupního proudu. Celková chyba injekce náboje v druhé generaci proudových paměťových buněk je tvořena ze dvou částí. První část je dána posunutím stejnosměrné složky (DC), která není závislá na velikosti vstupního proudu, ale na různých parametrech včetně parametru β a klidovém proudu I_{ref} . Druhá část chyby injekce náboje je tvořena střídavou složkou (AC), která je závislá na změně vstupního proudu $\delta_{AC} = f(i)$ [9], [11].

2.2 Chyba pronikání hodinového signálu

Chyba pronikání hodinového signálu vzniká při změně úrovně hodinového signálu, kde dochází k nabíjení, resp. vybíjení kapacity mezi hradlem a kanálem spínacího tranzistoru MOS. Na obrázku 9 je zobrazeno jak dochází k pronikání hodinového signálu v proudových paměťových obvodech druhé generace [10].



Obrázek 9: Proudová paměťová buňka druhé generace: (a) s ideálním spínačem, (b) s MOS spínačem [10]

Pokud je vstupní proud nulový a spínač S je ideální (spínač S je rozeprt), je proud tekoucí elektrodou D paměťového tranzistoru stejný jako klidový proud I_{ref} během vzorkování. Když je spínač sepnut, je kapacita mezi hradlem a elektrodou S paměťového tranzistoru nabita na hodnotu napětí U_{gs} a tranzistorem teče přes elektrodu D proud I_{ref} . Když je spínač MOS rozeprt, přebytečný náboj Q je injektován mezi hradlo a elektrodu S, kde vytvoří kapacitu. Velikost kapacity je dána rozměry elektrod a materiálem dielektrika. Tato náboj způsobí změnu napětí U_{gs} o napětí δU . Proto výsledný proud tekoucí elektrodou D paměťového tranzistoru je $I_{ref} - \delta I_{ref}$, kde δI_{ref} je chyba proudu v důsledku injekce náboje [10].

Velikost změny napětí δU z napětí U_{gs} , je dána [10] vztahem:

$$\delta U = \frac{C_{OL}}{C} (U_H - U_L), \quad (8)$$

kde U_H je vysoká úroveň napětí hodinového signálu (5V) a U_L je nízká úroveň napětí hodinového signálu (0V), C_{OL} a C je kapacita mezi hradlem a elektrodou S paměťového tranzistoru. Výsledný proud I_D tekoucí elektrodou D paměťového tranzistoru je dán [10] vztahem:

$$I_D = \frac{K'W}{2L} (\delta U + U_{gs} - U_T)^2 = \frac{K'W}{2L} \left(\delta U + \sqrt{\frac{2(I+i)}{K'(K/L)}} \right)^2, \quad (9)$$

kde I_{ref} je klidový proud a i je vstupní proud do proudové paměti. Chyba proudu δI_{ref} je dána [10] vztahem:

$$\delta I_{ref} = I_D - (I_{ref} + i) = \frac{K'W}{2L} \left((\delta U)^2 + 2\delta U \sqrt{\frac{2(I+i)}{K'(K/L)}} \right). \quad (10)$$

2.3 Šum

Všechny elektronické součástky vytváří v obvodech šum, i tranzistor MOS je zdrojem šumu. U tranzistorů MOS, ve zjednodušeném případě, převažuje tepelný a nízkofrekvenční šum.

Nízkofrekvenční šum je zpravidla větší než tepelný, má funkci $1/f$. Díky tomu s ním lze počítat do 1kHz. Z toho vyplývá, že tepelný šum je menší než nízkofrekvenční, ale jeho pásmo se pohybuje od jednotek MHz až teoreticky do nekonečna. Jestliže obvod zpracovává signál v pásmu MHz, pak bude mít větší vliv tepelný šum než nízkofrekvenční [2].

Spektrální výkonová hustota nízkofrekvenčního šumu na hradle CMOS tranzistoru je dána [2] vztahem:

$$\frac{\overline{u_{fl}^2}}{\Delta f} = \frac{K_F}{C_{OX}WLf}, \quad (11)$$

kde K_F je koeficient nízkofrekvenčního šumu, I_D je stejnosměrný proud tekoucí tranzistorem, W je šířka kanálu tranzistoru, L je délka kanálu tranzistoru, C_{OX} je měrná kapacita hradla na čtverec a f je frekvence. Při práci v proudovém módu je vhodnější převést tento napěťový zdroj šumu z hradla na proudový zdroj zapojený paralelně k tranzistoru [2].

Spektrální hustota tepelného šumu je dána [2] vztahem:

$$\frac{\overline{u_{th}^2}}{\Delta f} = \frac{8kT}{3g_m}, \quad (12)$$

kde k je Boltzmannova konstanta, T je absolutní teplota, g_m je přenosová vodivost paměťového tranzistoru, u_{th} je prahové napětí a Δf je rozdíl frekvencí [2].

2.4 Chyba ustálení

Funkce obvodu je založena na pamatování napětí na hradle paměťového tranzistoru díky parazitní kapacitě C_{GS} . Při změně vstupního proudu se musí ve fázi Φ_1 změnit i napětí na hradle tranzistoru. Doba, po kterou se parazitní kapacita nabíjí nebo vybíjí, je dána dobou fáze Φ_1 . Jestliže však na konci této fáze není kondenzátor na hradle paměťového tranzistoru nabit nebo vybit na konečnou hodnotu napětí, dojde k chybě. Časová závislost výstupního proudu paměťové buňky [2] je:

$$i_{out}(t) = -(1 - i_{in}(t)e^{-\frac{t}{\tau}}), \quad (13)$$

kde τ je časová konstanta a i_{in} je vstupní proud buňky. Z rovnice (11) je vidět, že doba ustálení závisí na časové konstantě τ , která je dána [2] vztahem:

$$\tau = \frac{C_{GS}}{g_m}, \quad (14)$$

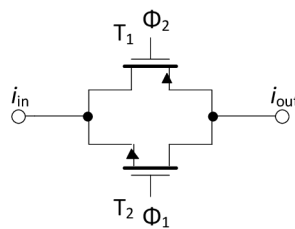
kde g_m je přenosová vodivost paměťového tranzistoru a C_{GS} je parazitní kapacita hradla.

3. Korekční metody

Pro potlačení chyb v technice spínaných proudů byly navrženy obvody, které částečně nebo úplně tyto chyby odstraňují.

3.1 Komplementární spínače

Jedná se o antiparalelní zapojení tranzistoru PMOS a tranzistoru NMOS. Toto zapojení snižuje odpor kanálu při sepnutí spínače tím, že se proud rozdělí mezi tyto antiparalelně zapojené tranzistory. Dále redukuje chybu způsobenou injekcí náboje a pronikání hodinového signálu.



Obrázek 10: komplementární spínač [8]

Na obrázku 10 je vidět komplementární spínač, tento spínač vzorkuje vstupní proud i_{in} , který teče na výstup a má velikost i_{out} . Antiparalelně zapojené tranzistory PMOS a NMOS, ze kterých se skládá tento spínač, jsou spínané v protifázi, tak aby se dosáhlo rozkmitu signálu omezeného pouze napájecím napětím. Vztah pro ekvivalentní odpor spínače při sepnutí je dán rovnicí [8]:

$$R_{on,eq} = \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_N (U_{DD} - U_{THN}) - [\mu_n C_{OX} \left(\frac{W}{L}\right)_N - \mu_p C_{OX} \left(\frac{W}{L}\right)_P] U_{in} - \mu_p C_{OX} \left(\frac{W}{L}\right)_P |U_{THP}|}. \quad (15)$$

Z rovnice 15 plyne, že odpor v sepnutém stavu R_{on} při zapnutí spínače je složen z odporu kanálu tranzistoru NMOS a odporu kanálu antiparalelně připojeného tranzistoru PMOS. Pokud je splněno

$$\mu_n C_{OX} \left(\frac{W}{L}\right)_N = \mu_p C_{OX} \left(\frac{W}{L}\right)_P, \quad (16)$$

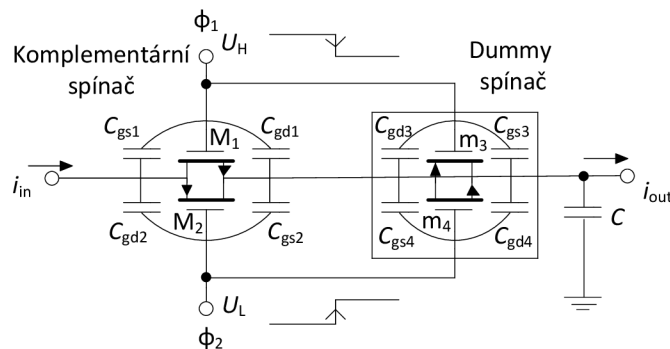
dojde k potlačení změny vstupního odporu spínače při změně vstupního. Nicméně tento případ je pouze teoretický, neboť není možné realizovat technologií CMOS tranzistory NMOS a PMOS se stejnou pohyblivostí nosičů náboje.

3.2 Dummy spínače

Ke zmírnění účinků chyby injekce náboje je možné použít MOS spínač s Dummy spínačem [14], který je znázorněn na obrázku 11. Jednoduchý komplementární spínač je tvořen antiparalelně zapojenými tranzistory M_1 NMOS a M_2 PMOS. Jak již

bylo popsáno v kapitole 3, chyba injekce náboje spočívá v uvolnění, resp. přitažení elektronů do oblasti kanálu tranzistoru MOS při jeho rozepnutí, resp. sepnutí. Teoreticky, pokud by se náboj kanálu po rozepnutí spínacího tranzistoru přemístil do kanálu jiného tranzistoru, který by byl v tuto chvíli naopak sepnut je možné úplně eliminovat chybu injekce náboje. V praxi se to řeší doplněním spínacího tranzistoru běžného MOS spínače dvojicí tranzistorů poloviční velikosti, které jsou spínané v protifázi. Protože přidané spínače slouží pouze k pohlcení náboje jsou jejich elektrody D a S propojeny. Tyto tranzistory jsou pak v literatuře označovány jako Dummy spínače [14].

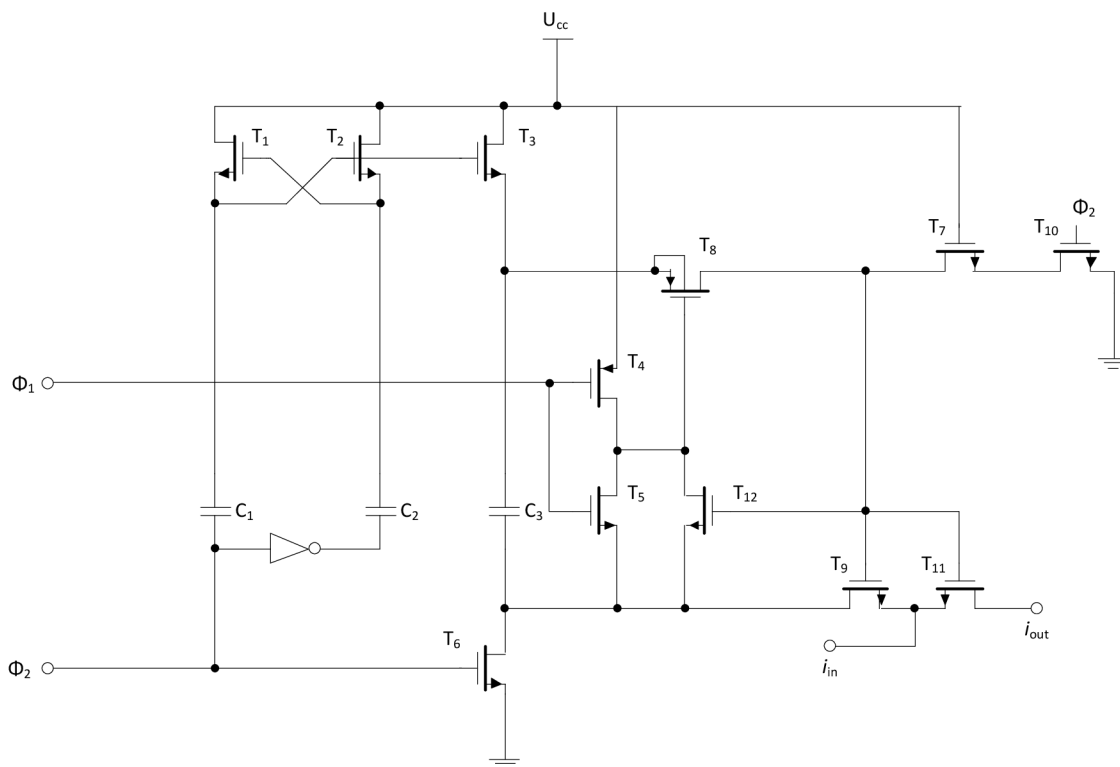
Dummy spínač má poloviční kapacitu hradla než tranzistory MOS tvořící spínač. Z toho plyne, že $C_{gs1} = C_{gs4} + C_{gd4}$ a $C_{gd2} = C_{gs3} + C_{gd3}$, kde C_{gs1} je kapacita mezi hradlem a elektrodou S tranzistoru M_1 , C_{gs4} je kapacita mezi hradlem a elektrodou S tranzistoru m_4 , C_{gd4} je kapacita mezi hradlem a elektrodou D tranzistoru m_4 , C_{gd2} je kapacita mezi hradlem a elektrodou D tranzistoru M_2 , C_{gs3} je kapacita mezi hradlem a elektrodou S tranzistoru m_3 a C_{gd3} je kapacita mezi hradlem a elektrodou D tranzistoru m_3 . Rozepnutím spínače úroveň napětí hodinového signálu U_H klesne na logickou nulu a úroveň napětí hodinového signálu U_L stoupne na logickou jedničku. Náboj absorbovaný kapacitou C_{gs1} přejde do kapacity hradla tranzistoru m_4 , zatímco náboj tranzistoru M_2 bude absorbovaný kapacitou hradla tranzistoru m_3 . Náboj uložený v kondenzátoru C zůstane stejný, je-li spínač realizovaný s Dummy spínači rozepnutý [14].



Obrázek 11: CMOS spínač realizovaný s Dummy spínačem [14]

3.3 Bootstrapped spínače

Obvody typu Bootstrapped se převážně používají v systémech napájení pro analogově digitální převodníky. Díky vlastnostem těchto obvodů se dají realizovat spínače typu Bootstrapped, které potlačují chyby způsobené pronikáním hodinového signálu na tranzistorech MOS v technice spínaných proudů. Pro co největší potlačení chyby pronikání hodinového signálu se používají tranzistory co nejmenších rozměrů [1], [13].

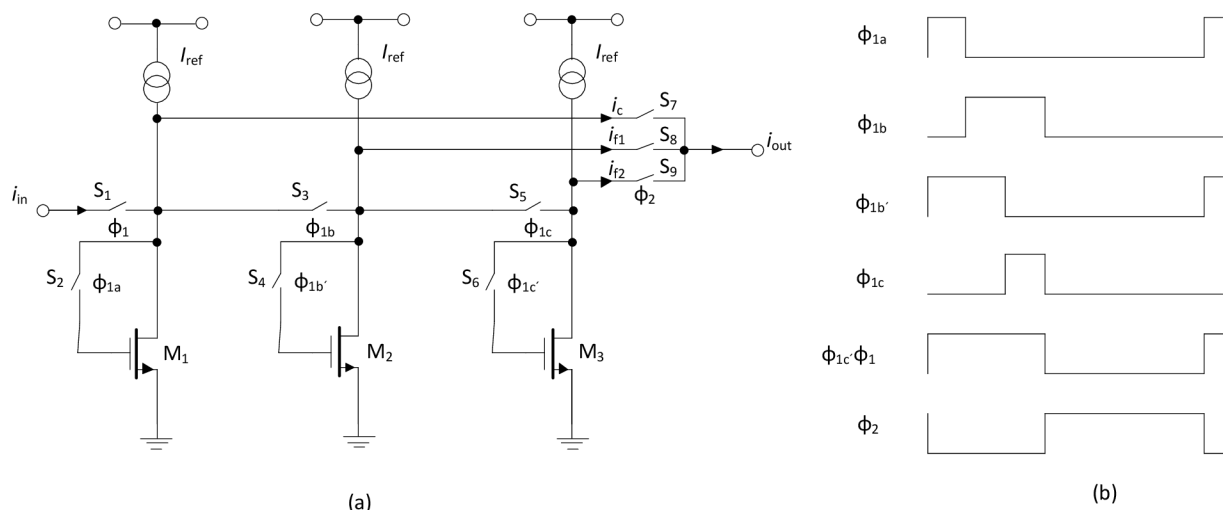


Obrázek 12: Bootstrapped spínač [1]

Na obrázku 12 je zobrazen nejrozšířenější a nejznámější používaný spínač typu Bootstrapped [1], pro aplikace v technice spínaných proudů. Tranzistor T_{11} slouží jako spínač a zbývající část tohoto obvodu generuje napětí respektive hodinový signál pro hradlo tohoto tranzistoru. Stejně napětí je také na tranzistoru T_9 , kondenzátoru C_3 a tranzistoru T_8 , který pracuje do maximální hodnoty rovné velikosti vstupního napětí. Výstupní signál i_{out} z tohoto spínače je vzorkovaný vstupní signál i_{in} . Velikost napětí hodinového signálu spínacího tranzistoru nesmí být větší než velikost napájecího napětí, aby na kondenzátoru C_3 nebylo příliš vysoko napětí, respektive větší napětí než napájecí napětí. Vstupní velikost proudu tohoto obvodu nesmí přesáhnout velikost napájecího proudu. Přes spínací tranzistor, který pracuje v diodovém režimu, nesmí téct přes elektrody S nebo D velký závěrný proud, jinak by došlo k trvalému poškození obvodu, tohoto je možné dosáhnout pouze volbou technologie výroby [1], [13].

3.4 N-stupňové proudové paměťové buňky

Princip potlačení chyby injekce náboje u n -stupňových buněk je založen na měření velikosti chybového proudu a jeho následného odečtení. Se zvyšujícím se počtem stupňů limitně roste také přesnost výstupní hodnoty proudu. Na obrázku 13 je znázorněno principiální schéma třífázové paměťové buňky [11].



Obrázek 13: tři fázová buňka (a) schéma zapojení, (b) hodinový průběh [11]

Během fáze Φ_{1a} je příslušný spínač S_2 hradla tranzistoru M_1 sepnut a zároveň je sepnut i spínač S_1 fáze Φ_1 , což má za následek, že do obvodu teče proud i_{in} a na témže tranzistoru M_1 je zaznamenán součet proudů $I_{ref} + i_{in} + \delta_1$ v první hrubé (nepřesné) paměti tranzistoru M_1 , kde δ_1 představuje první proudovou chybu. Během fáze Φ_{1b} je spínač S_2 na hradle tranzistoru M_1 rozepnut a vstupní proud protéká do tranzistoru M_2 , kde je zaznamenán v jemné (přesné) paměti součet proudů $I_{ref} + i_{in} + \delta_2 - \delta_1$, kde δ_2 představuje chybu proudu tranzistoru M_2 . Chyba proudu δ_1 je dána [11] vztahem:

$$\delta_1 = \delta_{DC} + f(i_{in}), f(i_{in}) = \delta_{AC}. \quad (17)$$

V průběhu fáze Φ_{1c} spínač S_4 na hradle tranzistoru M_2 je rozepnut, což způsobí, že tranzistorem M_3 teče proud. V tomto tranzistoru v druhé jemné (přesné) paměti je zaznamenán součet proudů $I_{ref} + i_{in} + \delta_3 - \delta_2$, kde δ_3 je hodnotou chyby proudu tranzistoru M_3 . Chyba proudu δ_2 obsahuje zkreslení druhého řádu střídavé složky a chybu posunutí stejnosměrné složky [11].

$$\delta_2 = \delta_{DC} + f(\delta_1) = \delta_{DC} + f(\delta_{DC} + f(i_{in})). \quad (18)$$

Během Φ_2 , při sepnutí spínačů S_7 , S_8 a S_9 jsou jednotlivé proudy dány [11] vztahem:

$$i_c = -i_{in} + \delta_1; i_{f1} = -\delta_1 + \delta_2; i_{f2} = -\delta_2 + \delta_3, \quad (19)$$

kde i_c , i_{f1} a i_{f2} jsou výstupní proudy z hrubé (přibližné) paměti tranzistoru M_1 a z první a druhé přesnější paměti tranzistorů M_2 a M_3 , δ_n představuje chybu n -tého stupně, chyba δ_3 je dána [11] rovnicí:

$$\delta_3 = \delta_{DC} + f(\delta_2) = \delta_{DC} + f(\delta_{DC} + f(\delta_{DC} + f(i_{in}))), \quad (20)$$

výstupní proud je dán součtem jednotlivých výstupních proudů v jednotlivých výstupech tří fázové buňky, který je dán [11] rovnicí:

$$i_{out} = i_c + i_{f1} + i_{f2} = -i_{in} + \left(\delta_{DC} + f \left(\delta_{DC} + f \left(\delta_{DC} + f(i_{in}) \right) \right) \right). \quad (21)$$

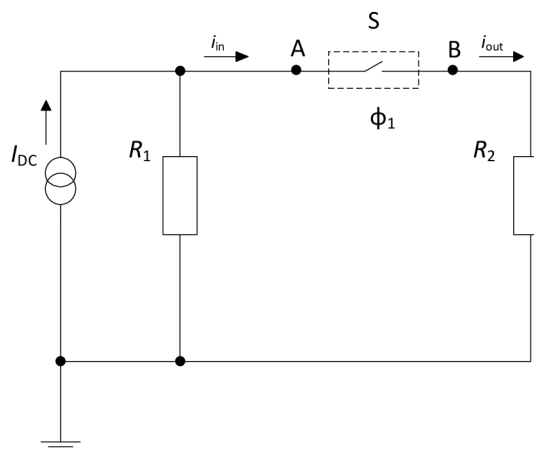
Funkce $f(i_{in})$ je rostoucí funkcí proměnné hodnoty vstupního proudu i_{in} a chyby stejnosměrné složky δ_{DC} , když je větší než 0, jak je zřejmé z rovnic (17), (18) a (20) [11].

$$\delta_3(AC) < \delta_2(AC) < \delta_1(AC); \quad \delta_3(DC) > \delta_2(DC) > \delta_1(DC), \quad (22)$$

kde $\delta_n(AC)$ a $\delta_n(DC)$ představují AC a DC složku hodnoty δ_n . Z toho vyplývá, že n-stupňová buňka potlačuje chybu injekce náboje. N-stupňové buňky potlačují chybu injekce náboje pro střídavý signál AC na úkor zvyšující se chyby proudu stejnosměrné složky DC. Čím přesnější (jemnější paměť) paměťové tranzistory se používají, tím je menší chyba střídavé složky AC, zatímco chyba stejnosměrné složky DC se zvětšuje [11].

4. Testovací obvod

Pro testování navržených analogových spínačů v prostředí CADENCE bylo nutné navrhnout obvod, v kterém by byly simulovány reálné podmínky a vlastnosti těchto spínačů. Tyto simulace byly převážně zaměřeny na chyby způsobené přechodovými ději při nabíjení kapacit kanálu během spínání, resp. rozepínání spínače. Jedná se převážně o chyby způsobené injekcí náboje a pronikáním hodinového signálu, což je v časové analýze zobrazeno jako překmity. Navrhovaný obvod je zobrazen na obrázku 14.



Obrázek 14: Testovací obvod pro navržené spínače

Tento obvod je složen z ideálního stejnosměrného zdroje proudu I_{DC} , z kterého teče do obvodu požadovaná hodnota proudu a spínače S, který představuje navrhovaný a testovaný spínač. Dvou rezistorů R_1 a R_2 , u kterých jsou jejich hodnoty navrženy v takovém poměru, aby v uzlu mezi rezistorem R_1 a navrženým spínačem S, pokud je spínač S sepnut, byla hodnota napětí 1 V. V sepnutém stavu spínače S tyto odpory R_1 a R_2 představují paralelní zapojení. Hodnota odporu R_1 je navržena tak, aby při rozepnutí spínače S byl úbytek napětí na tomto rezistoru 5 V. Hodinový signál pro spínání daného spínače S byl zvolen od 1 kHz do 50 MHz s náběžnou a sestupnou hranou 10 ns.

Pokud je spínač S sepnut, proud ze zdroje I_{DC} teče do obvodu, kde v uzlu mezi spínačem S a rezistorem R_1 je hodnota napětí 1 V a proud se v tomto uzlu větví podle poměrů velikostí odporů R_1 a R_2 . Jakmile dojde k rozepnutí spínače S, tak proud pouze teče ze zdroje proudu I_{DC} přes rezistor R_1 na zem, kde úbytek napětí na tomto rezistoru je 5 V. Velikost tekoucího proudu ze zdroje I_{DC} a poměr hodnot rezistorů R_1 , R_2 jsou zvoleny tak, aby bylo dosaženo požadované velikosti tekoucího proudu přes navrhovaný a testovaný spínač S. Všechny hodnoty jsou zaznamenány v tabulce č. 1.

Tabulka 1: Navržené hodnoty součástek testovacího obvodu

i_{in} [μA]	I_{DC} [μA]	R_1 [$\text{k}\Omega$]	R_2 [$\text{k}\Omega$]
10	12,5	400	100
20	25	200	50
40	50	100	25
60	75	66,667	16,675
80	100	50	12,5
100	125	40	10

Velikost chyby, způsobené přechodovými jevy, byla vyjádřena efektivní hodnotou rozdílů ideálního průběhu vzorkovaného signálu a výstupního signálu z navrhovaného spínače pro $T = 10(1/f)$ period, tato chyba je dána rovnicí:

$$\Delta I_{rms} = \sqrt{\frac{\int_0^T i_{out}^2(t) dt}{T}} - \sqrt{\frac{\int_0^T i_{ideal}^2(t) dt}{T}}, \quad (23)$$

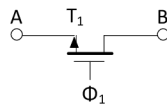
kde ΔI_{rms} je absolutní chyba v efektivní hodnotě, i_{out} je proud vzorkovaný navrženým spínačem, i_{ideal} je ideální vzorkovaný proud a f je frekvence hodinového signálu, kterým je spínač spínán.

5. Navrhované spínače a kompenzační metody

Tato kapitola se zabývá samotným návrhem spínače pro aplikace v technice spínaných proudů. Byly zde simulovány různé metody a topologie kompenzačních metod pro potlačení již zmíněných chyb při spínání a rozepínání spínače.

5.1 Tranzistor NMOS jako spínač

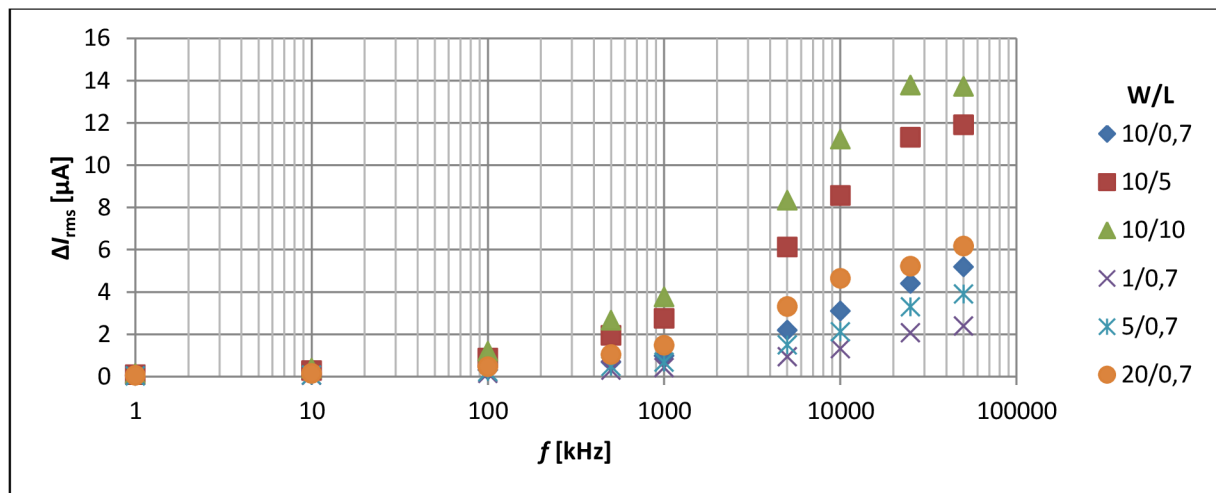
Tranzistor NMOS na obrázku 15 může být použit jako spínač. Na tomto spínači se projevují již zmíněné přechodové děje při spínání a rozepínání, které nelze u této metody odstranit, ale lze částečně kompenzovat vhodnou volbou rozměrů tranzistoru.



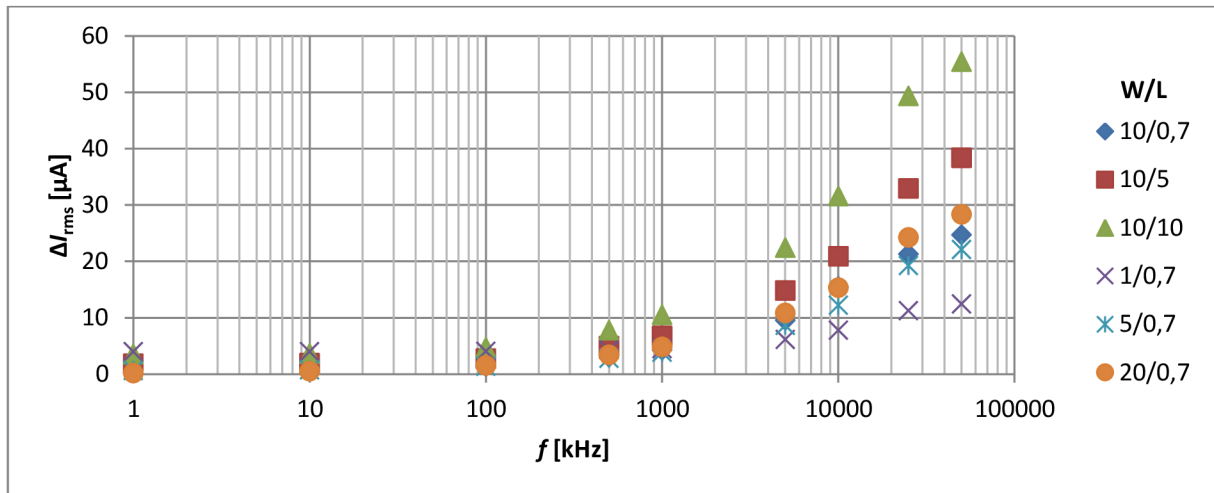
Obrázek 15: Jednoduchý NMOS spínač

Simulace byly provedeny pro předem dané rozměry tranzistoru NMOS W/L : 10/0,7; 10/5; 10/10; 1/0,7; 5/0,7; 20/0,7 μm pro různé úrovně vstupního proudu a pro různé frekvence.

Výsledky simulací:



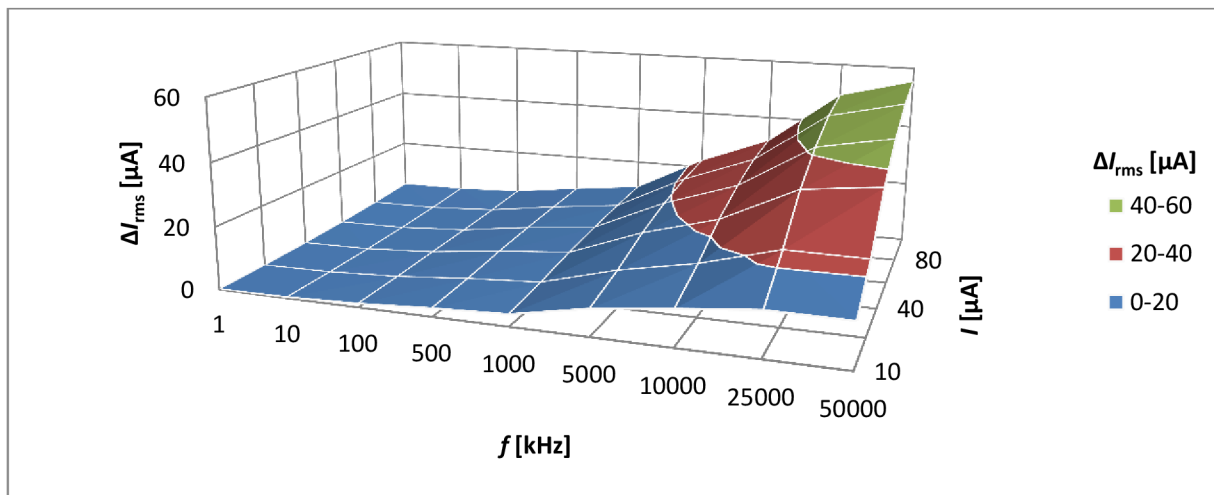
Obrázek 16: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech tranzistoru W/L pro vstupní proud $I = 10 \mu\text{A}$



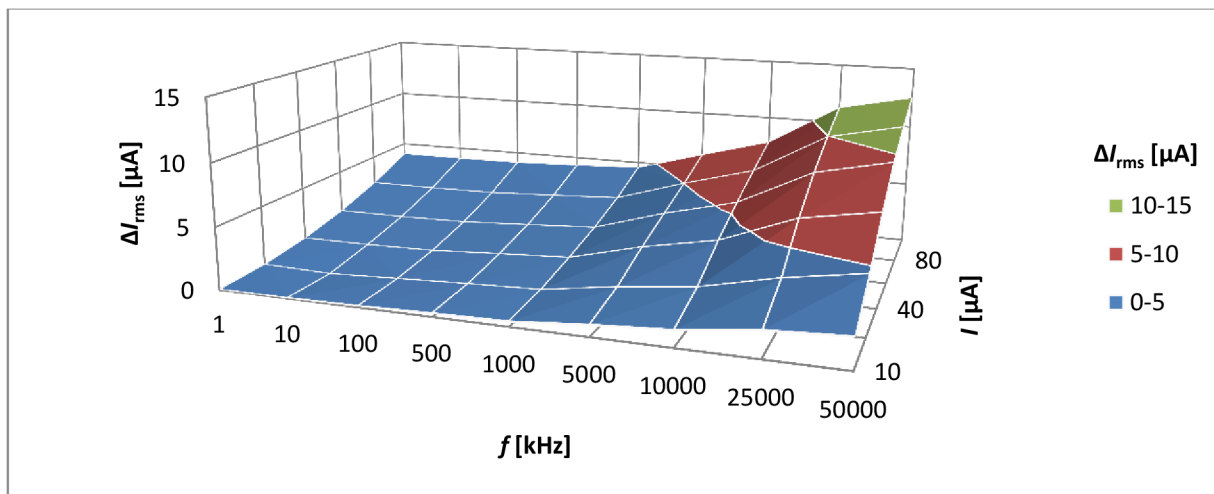
Obrázek 17: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech tranzistoru W/L pro vstupní proud $I = 100 \mu A$

Zhodnocení simulace:

Z výsledků simulace na obrázcích 16 a 17 je patrné, že velikost absolutní chyby ΔI_{rms} je závislá na rozměrech tranzistoru a frekvenci hodinového signálu, kterou je spínač spínán a rozpínán, ale i na velikosti vstupního proudu. Na obrázcích 16 a 17 jsou grafy, které znázorňují závislost absolutní chyby ΔI_{rms} na frekvenci a rozměrech tranzistoru pro velikost vstupního proudu $10 \mu A$ a $100 \mu A$. Z těchto grafů je patrné, že absolutní chyba ΔI_{rms} se exponenciálně zvětšuje s rostoucí frekvencí hodinového signálu a je závislá na velikosti zvolených tranzistorů. Pokud jsou zvoleny malé rozměry, je malá i absolutní chyba ΔI_{rms} . Ovšem s rostoucími rozměry tranzistorů se zvětšuje i absolutní chyba ΔI_{rms} . Velikost absolutní chyby ΔI_{rms} je rovněž závislá na velikosti vstupního proudu, jak je patrné na již zmíněných obrázcích. Z toho vyplývá, že pokud roste velikost vstupního proudu, roste i velikost absolutní chyby ΔI_{rms} . Při vysokých frekvencích zhruba od 25 MHz velikost absolutní chyby mírně klesá, jak je vidět v grafech. Na těchto frekvencích už spínač nepracuje správně a nemůže být použit. Další grafy pro jiné velikosti vstupního proudu jsou v příloze B, obrázky 1 - 4.



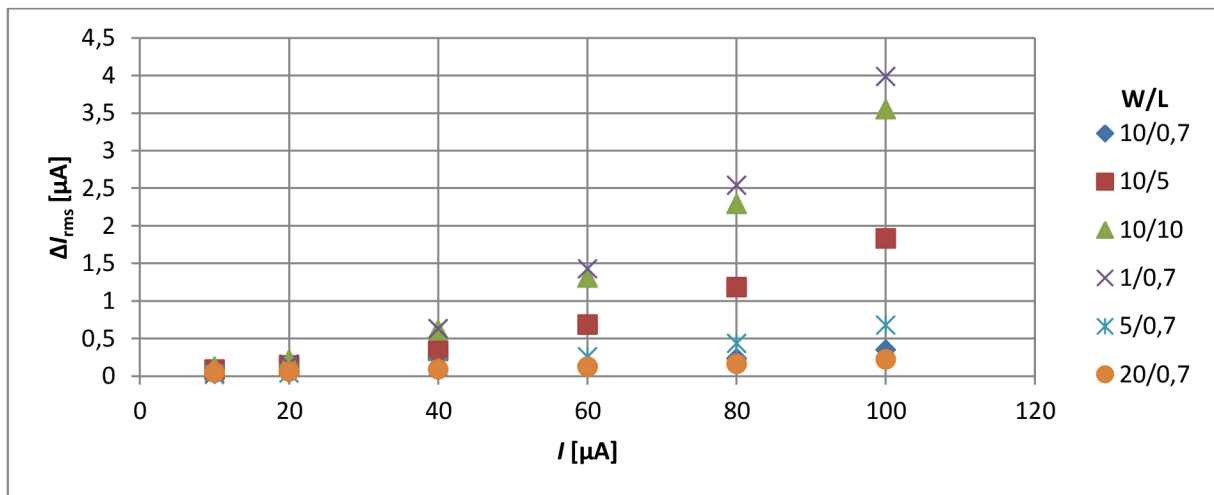
Obrázek 18: Závislost absolutní chyby ΔI_{rms} na frekvenci f a proudu I pro tranzistor $W/L = 10/10 \mu\text{m}$



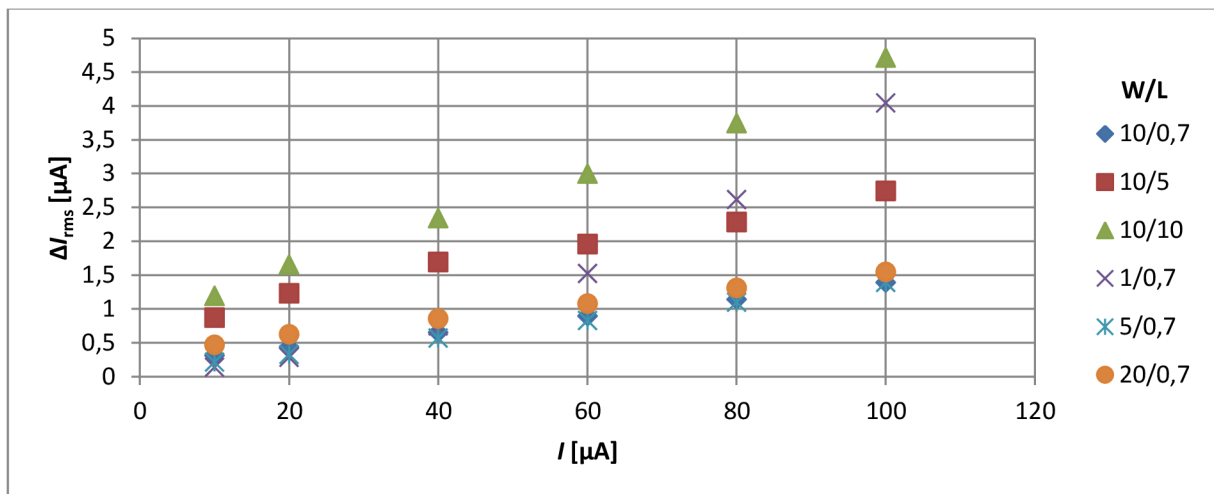
Obrázek 19: Závislost absolutní chyby ΔI_{rms} na frekvenci f a proudu I pro tranzistor $W/L = 1/0,7 \mu\text{m}$

Zhodnocení simulace:

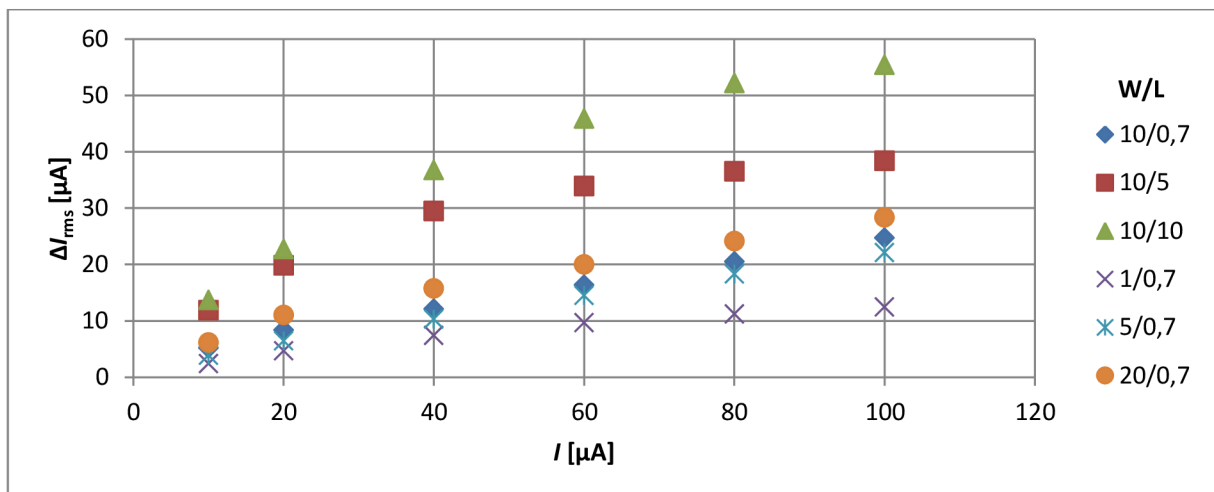
Na obrázcích 18 a 19 jsou zobrazeny závislosti absolutní chyby ΔI_{rms} na frekvenci a velikosti vstupního proudu. Aby bylo možné srovnání, je zobrazen průběh absolutní chyby ΔI_{rms} pro malý a velký rozměr tranzistoru. Z grafů je patrné, že se tvar průběhu závislostí nemění, mění se pouze velikost absolutní chyby ΔI_{rms} a všechny závislosti velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu jsou logaritmické naopak závislosti velikosti absolutní chyby ΔI_{rms} na frekvenci jsou exponenciální. Dále je zřejmé, že velikost absolutní chyby ΔI_{rms} je závislá jak na frekvenci, tak i na velikosti vstupního proudu. Pro ostatní zvolené rozměry jsou tvary průběhů závislostí stejné, pouze se mění velikost absolutní chyby ΔI_{rms} , viz příloha B, obrázky 6 - 8.



Obrázek 20: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistoru W/L pro frekvenci $f = 1$ kHz



Obrázek 21: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistoru W/L pro frekvenci $f = 100$ kHz



Obrázek 22: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistoru W/L pro frekvenci $f = 50$ MHz

Zhodnocení simulace:

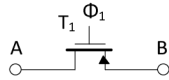
Na obrázcích 20 až 22 jsou závislosti velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu a daných velikostí tranzistorů pro frekvence 1 kHz, 100 kHz a 50 MHz. Z grafů je patrné, že pro nízké frekvence je závislost exponenciální. S rostoucí frekvencí se závislost mění. Při frekvenci 100 kHz je závislost téměř lineární a dále s rostoucí frekvencí se mění na závislost logaritmickou. Jak už bylo zmíněno v předchozí kapitole, z grafů vyplývá, že absolutní chyba ΔI_{rms} spínače roste s rostoucí hodnotou vstupního proudu, frekvencí hodinového signálu a velikostí tranzistoru. Výsledky simulací pro další frekvence hodinového signálu jsou v příloze B, obrázek 9 - 14.

Shrnutí simulací:

Velikost absolutní chyby ΔI_{rms} , bez použití kompenzačních metod pro potlačení přechodových jevů při spínání a rozepínání lze potlačit i vhodnou volbou velikostí spínacího tranzistoru s ohledem na danou aplikaci a obvod, kde má být spínač použit. Velikost absolutní chyby ΔI_{rms} byla ovlivněna i rozdílem strmostí náběžných a sestupných hran spínacího hodinového signálu.

5.2 Tranzistor PMOS jako spínač

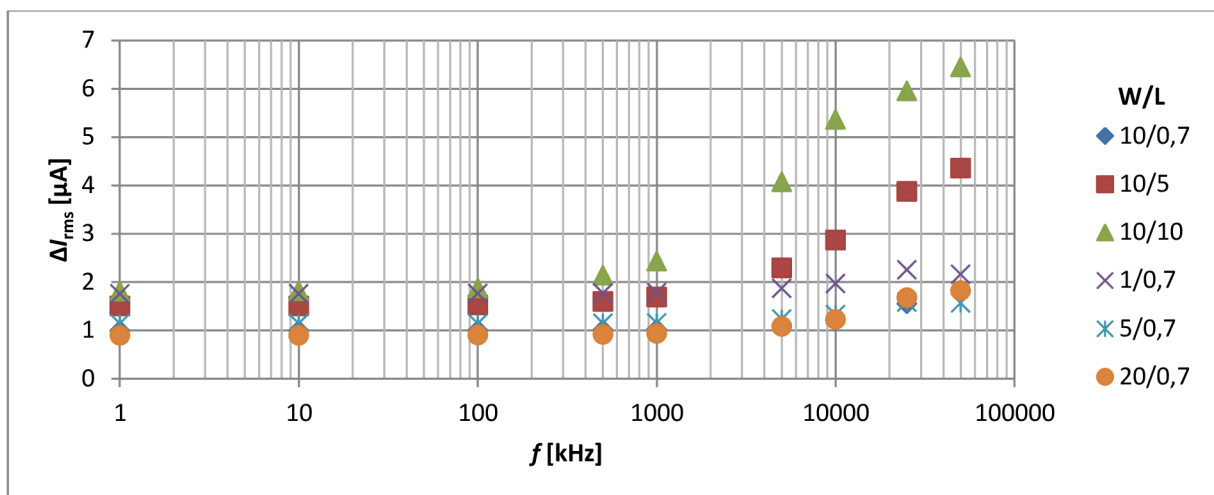
Obdobně jako spínač tvořený tranzistorem NMOS může být jako spínač použit i tranzistor PMOS (obrázek 23). Na tomto spínači se projevují již zmíněné přechodové děje při spínání a rozepínání, které nelze u této metody odstranit. Je možné je částečně kompenzovat stejně jako u tranzistoru NMOS vhodnou volbou rozměrů tranzistoru.



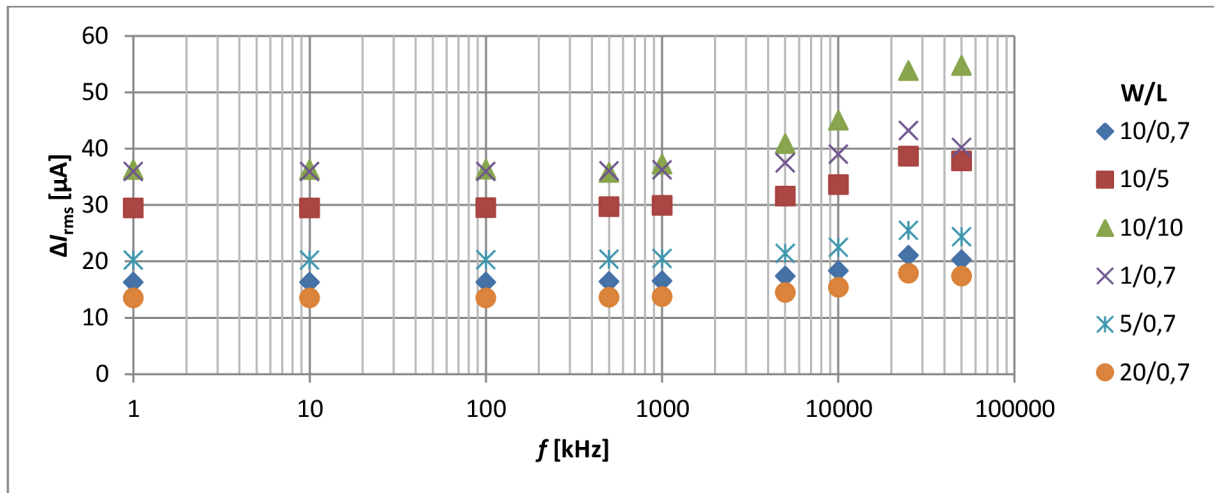
Obrázek 23: Jednoduchý PMOS spínač

Simulace byly provedeny pro předem dané rozměry tranzistorů NMOS W/L: 10/0,7; 10/5; 10/10; 1/0,7; 5/0,7; 20/0,7 μm pro různé úrovně vstupního proudu a pro různé frekvence.

Výsledky simulací:



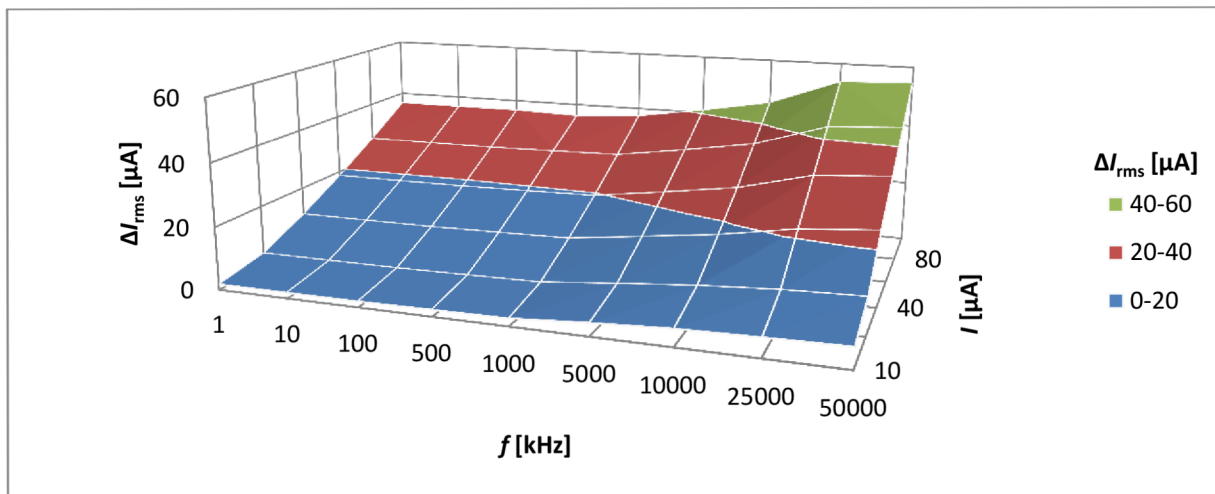
Obrázek 24: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech tranzistoru W/L pro vstupní proud $I = 10 \mu\text{A}$



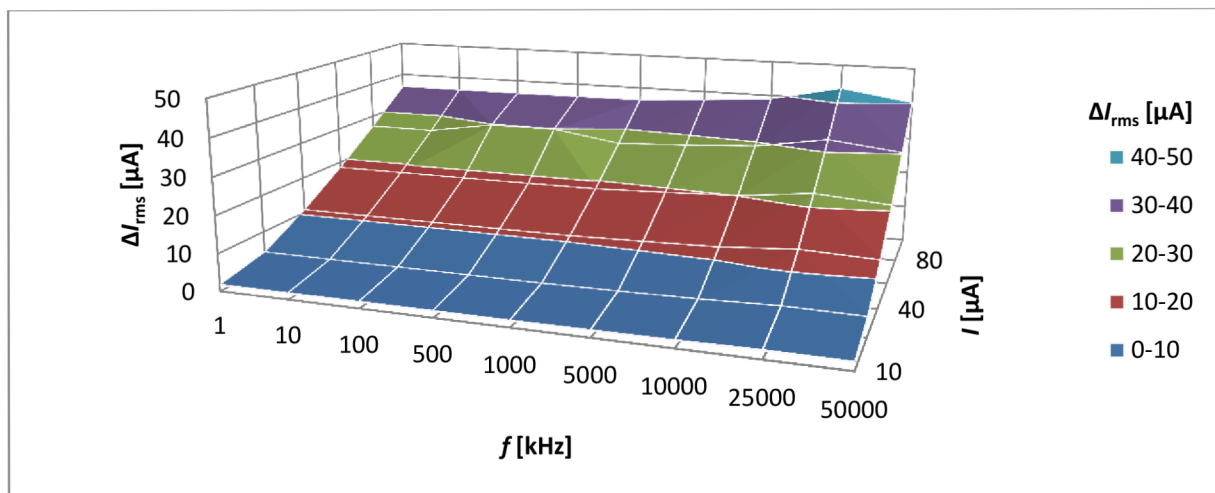
Obrázek 25: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech tranzistoru W/L pro vstupní proud $I = 100 \mu A$

Zhodnocení simulace:

Z této simulace je patrné, že velikost absolutní chyby ΔI_{rms} je závislá na poměru stran tranzistoru a frekvenci hodinového signálu, kterou je spínač spínán a rozpínán, ale i také na velikosti vstupního proudu. Na obrázcích 24 a 25 jsou grafy, znázorňující závislost absolutní chyby ΔI_{rms} na frekvenci a rozměrech tranzistoru pro velikost vstupního proudu $10 \mu A$ a $100 \mu A$. Z těchto grafů je patrné, že absolutní chyba ΔI_{rms} se zvětšuje s rostoucí frekvencí hodinového signálu a také je závislá na poměru délek stran zvoleného tranzistoru. U tohoto typu tranzistoru je chyba způsobená také offsetem neboli posunutím, kde výstupní vzorkovaný signál nedosáhne stejné úrovně jako vstupní signál. Tato chyba je způsobená velkým odporem kanálu tranzistoru při spínání, což je vidět ve zmíněných grafech, kde velikost absolutní chyby ΔI_{rms} je už při nízkých frekvencích značná. S narůstající frekvencí se chyba už výrazně nemění. Pokud je poměr stran tranzistoru zvolen s velkou šířkou a malou délkou, tak je absolutní chyba ΔI_{rms} malá a pokud je poměr stran tranzistoru přibližně 1:1, tak se zvětšuje i absolutní chyba ΔI_{rms} . Velikost absolutní chyby ΔI_{rms} je rovněž závislá na velikosti vstupního proudu, jak je patrné na již zmíněných obrázcích. Z toho vyplývá, že pokud roste velikost vstupního proudu, tak roste i velikost absolutní chyby ΔI_{rms} . Při vysokých frekvencích zhruba od 25 MHz velikost absolutní chyby mírně klesá, jak je rovněž vidět na obrázcích, což je způsobeno nesprávným spínáním tranzistoru. V těchto mezích už spínač nepracuje správně a nemůže být použit. Další grafy, pro jiné velikosti vstupního proudu, kde tvar průběhu závislosti je stejný, jsou v příloze C, obrázky 15 - 18.



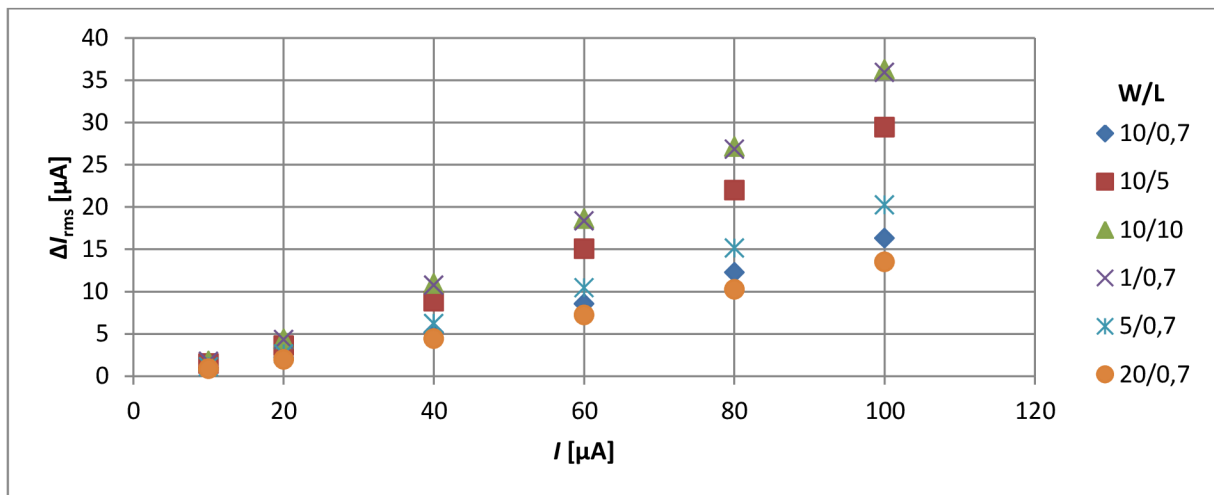
Obrázek 26: Závislost absolutní chyby ΔI_{rms} na frekvenci f a proudu I pro tranzistor $W/L = 10/10 \mu\text{m}$



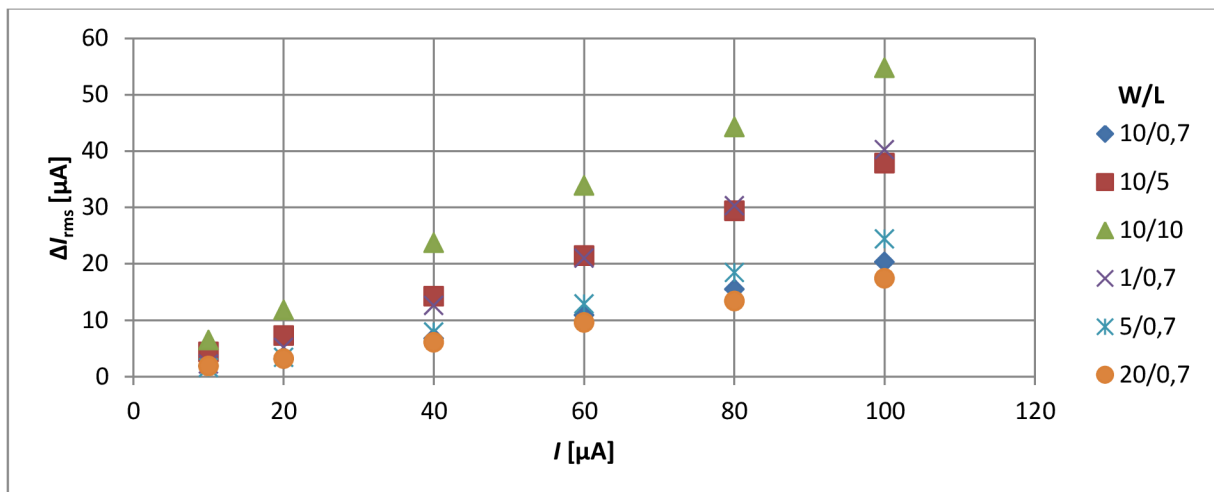
Obrázek 27: Závislost absolutní chyby ΔI_{rms} na frekvenci f a proudu I pro tranzistor $W/L = 1/0,7 \mu\text{m}$

Zhodnocení simulace:

Na obrázcích 26 a 27 jsou zobrazeny závislosti absolutní chyby ΔI_{rms} na frekvenci hodinového signálu a velikosti vstupního proudu. Aby bylo možné srovnání, je zobrazen průběh pro malý a velký rozměr tranzistoru. Poměr stran velkého tranzistoru je v prvním grafu 1:1 a stran malého tranzistoru je 1:0,7. Z grafů je patrné, že se tvar průběhu závislostí nemění, mění se pouze velikost absolutní chyby ΔI_{rms} . Pokud je poměr stran tranzistoru v poměru velká šířka a malá délka tranzistoru, tak velikost absolutní chyby ΔI_{rms} dosahuje nízkých hodnot, viz příloha C obrázky 19 - 22. Dále je zřejmé, že velikost absolutní chyby ΔI_{rms} je závislá jak na frekvenci hodinového signálu, tak i na velikosti vstupního proudu. Pro ostatní zvolené rozměry jsou tvary průběhů závislostí stejné, pouze se mění velikost absolutní chyby ΔI_{rms} , viz. rovněž příloha C, obrázky 19 - 22.



Obrázek 28: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistorů W/L pro frekvenci $f = 1$ kHz



Obrázek 29: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistorů W/L pro frekvenci $f = 50$ MHz

Zhodnocení simulace:

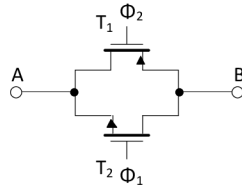
Na obrázcích 28 - 29 je zobrazena závislost velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu a rozměrech tranzistoru pro frekvence 1 kHz a 50 MHz. Z grafů je patrné, že pro nízké frekvence je závislost exponenciální a je možné ji aproximovat na závislost lineární rostoucí. S rostoucí frekvencí se závislost mírně mění na závislost logaritmickou, kterou je také možné aproximovat na závislost lineární rostoucí. Dále, jak už bylo zmíněno, z grafů vyplývá, že absolutní chyba ΔI_{rms} spínače roste s rostoucí hodnotou vstupního proudu, frekvencí hodinového signálu a zvoleným poměrem stran tranzistoru. Výsledky simulací pro další frekvence hodinového signálu, kde se nemění výrazně tvar průběhů grafů, ale pouze velikost absolutní chyby ΔI_{rms} , jsou v Příloze C, obrázky 23 - 29.

Shrnutí simulací:

Velikost absolutní chyby ΔI_{rms} , bez použití kompenzačních metod pro potlačení přechodových jevů při spínání a rozepínání, lze potlačit i vhodnou volbou velikosti nebo poměrem stran spínacího tranzistoru při ohledu na danou aplikaci a obvod, kde má být spínač použit. Velikost absolutní chyby ΔI_{rms} byla ovlivněna i rozdílem strmostí náběžných a sestupných hran spínacího hodinového ideálního signálu. Hlavním faktorem, který ovlivňoval velikost absolutní chyby ΔI_{rms} byl odpor kanálu tranzistoru PMOS, který se projevoval při spínání.

5.3 Antiparalelní spojení NMOS a PMOS tranzistorů – Komplementární spínač

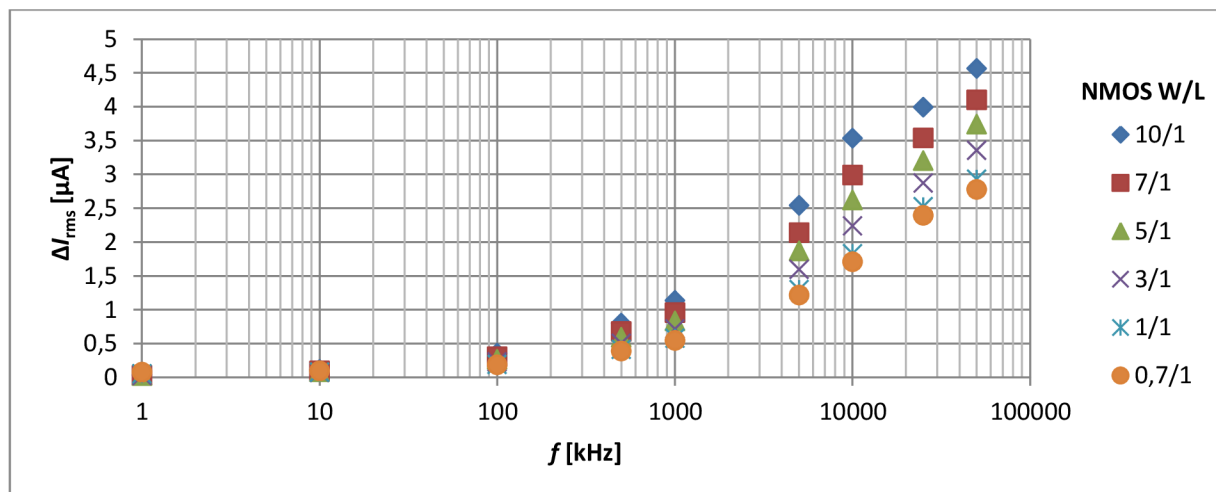
Antiparalelní spojení tranzistorů PMOS a NMOS na obrázku 30, tato topologie představuje spínač v technice SI. Tranzistory jsou spojeny antiparalelně a jsou spínané v protifázi. Tato metoda má částečně odstranit nebo kompenzovat zmíněné přechodové jevy.



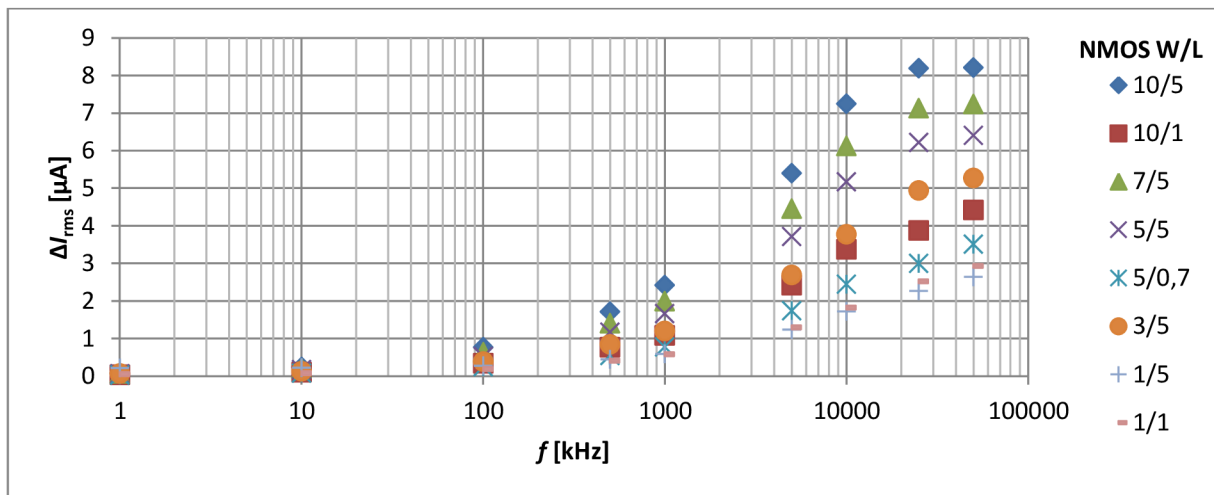
Obrázek 30: Komplementární spínač

Tranzistor PMOS je volen konstantně a u antiparalelně zapojeného tranzistoru NMOS jsou měněny rozměry. Simulace byly provedeny pro předem dané rozměry tranzistoru PMOS W/L: 10/1; 10/5; 10/10 [μm], u kterých se měnily rozměry antiparalelně zapojeného tranzistoru NMOS. Všechny simulace byly provedeny pro různé úrovně vstupního proudu a pro různé frekvence.

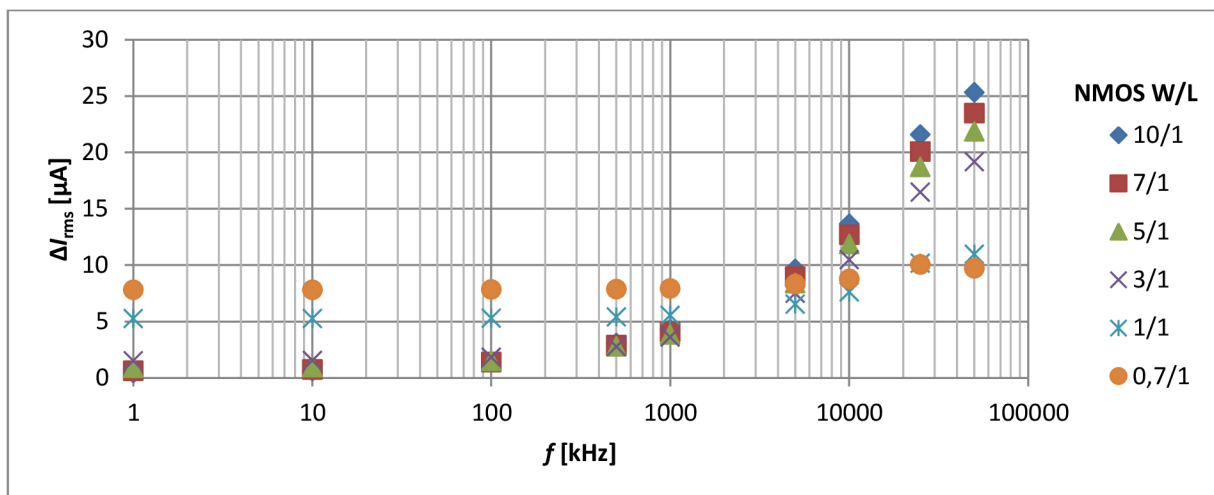
Výsledky simulací:



Obrázek 31: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru W/L = 10/1 μm pro vstupní proud $I = 10 \mu\text{A}$



Obrázek 32: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/5 \mu\text{m}$ pro vstupní proud $I = 10 \mu\text{A}$

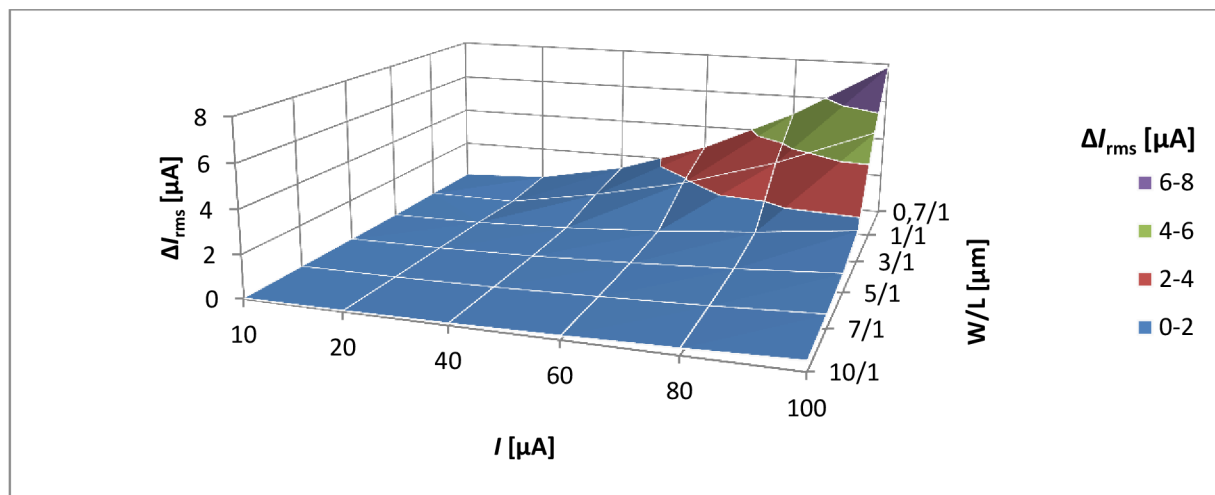


Obrázek 33: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/1 \mu\text{m}$ pro vstupní proud $I = 100 \mu\text{A}$

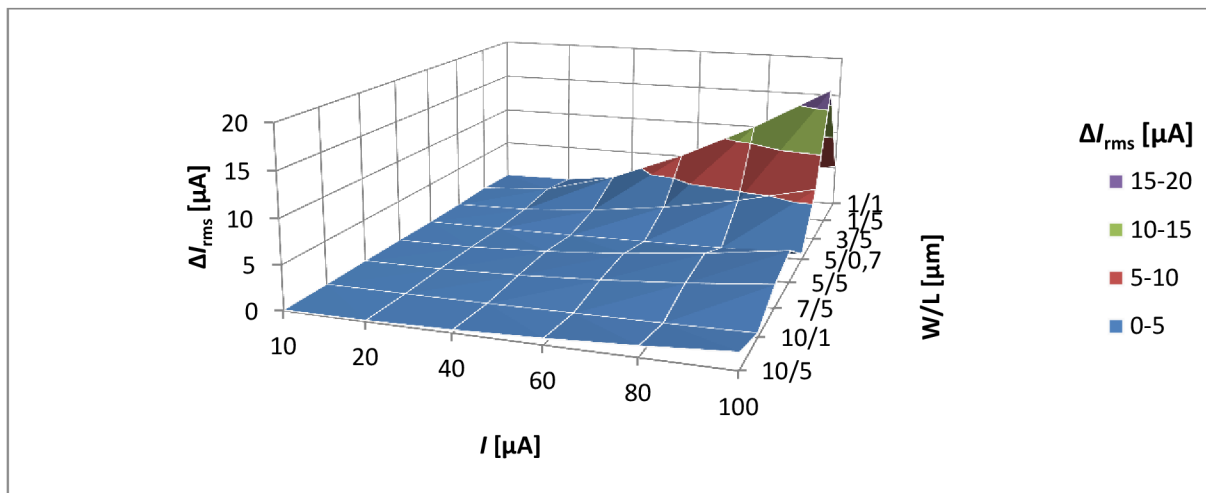
Zhodnocení simulace:

Z této simulace je vypovídající, že velikost absolutní chyby ΔI_{rms} je závislá na rozměrech tranzistoru PMOS, antiparalelně připojeném tranzistoru NMOS, frekvenci hodinového signálu, kterou je spínač spínán a rozpínán, ale i také na velikosti vstupního proudu. Na obrázcích 31 - 33 jsou grafy, které znázorňují závislost absolutní chyby ΔI_{rms} na frekvenci a rozměrech NMOS tranzistoru pro zvolené velikosti antiparalelně připojeného tranzistoru PMOS a to pro velikosti vstupního proudu $10 \mu\text{A}$ a $100 \mu\text{A}$. Pokud jsou zvoleny malé rozměry PMOS tranzistoru, tak je absolutní chyba ΔI_{rms} malá a pokud velikost rozměrů tranzistoru PMOS roste, tak se zvětšuje i absolutní chyba ΔI_{rms} . Jak je vidět v grafech, tak velikost absolutní chyby ΔI_{rms} je také značně závislá na velikosti antiparalelně připojeného tranzistoru NMOS. Dále z grafů vyplývá, že pokud zvolíme co nejmenší tranzistor NMOS k antiparalelně

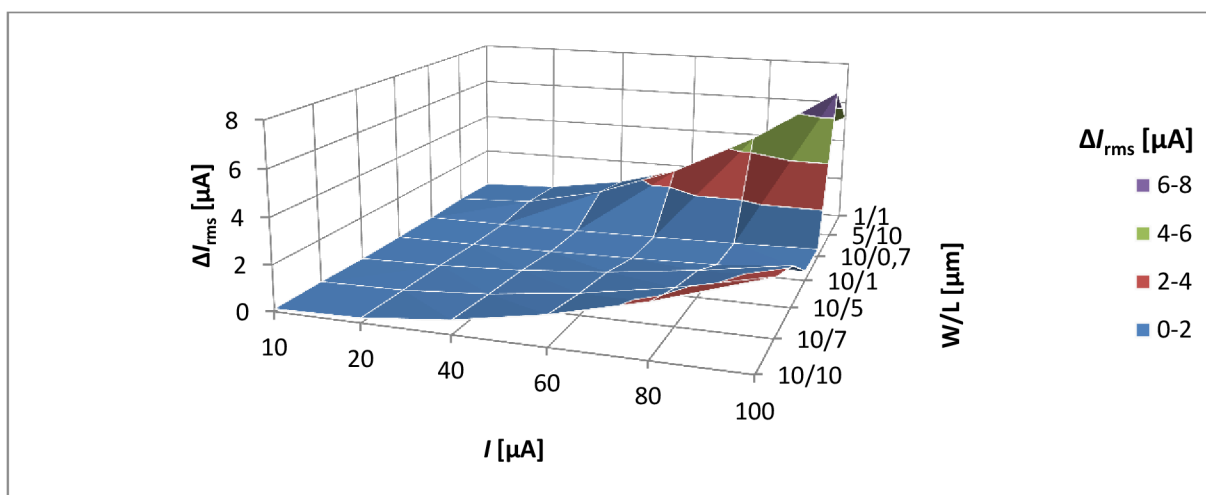
připojenému tranzistoru PMOS, tak čím je menší velikost tranzistoru NMOS, tak o to víc klesá velikost absolutní chyby ΔI_{rms} . Velikost absolutní chyby ΔI_{rms} je rovněž závislá na velikosti vstupního proudu, jak je také patrné na již zmíněných obrázcích. Z toho vyplývá, že pokud roste velikost vstupního proudu, tak narůstá i velikost absolutní chyby ΔI_{rms} . V oblasti malých vstupních proudů jsou si tvary průběhu závislosti pro různé velikosti tranzistorů PMOS podobné, viz obrázek 31 a 32 pro vybrané velikosti tranzistorů PMOS. Z těchto dvou grafů je patrné, že pokud je připojen antiparalelně k tranzistoru PMOS tranzistor NMOS malých rozměrů, tak je chyba malá. Naopak v oblasti vysokého vstupního proudu se projevuje chyba offsetu neboli posunutí u malých velikostí NMOS tranzistorů antiparalelně připojených k tranzistoru PMOS, jak je vidět na obrázku 33. Tvar průběhu pro různě zvolené velikosti tranzistorů v této simulaci se v oblasti vysokých vstupních proudů nemění a grafy jsou si téměř podobné. Tato chyba posunutí je způsobena odporem kanálu tranzistoru PMOS při spínání spínače. Grafické znázornění pro další velikosti vstupního proudu jsou v příloze D, obrázky 30 - 50.



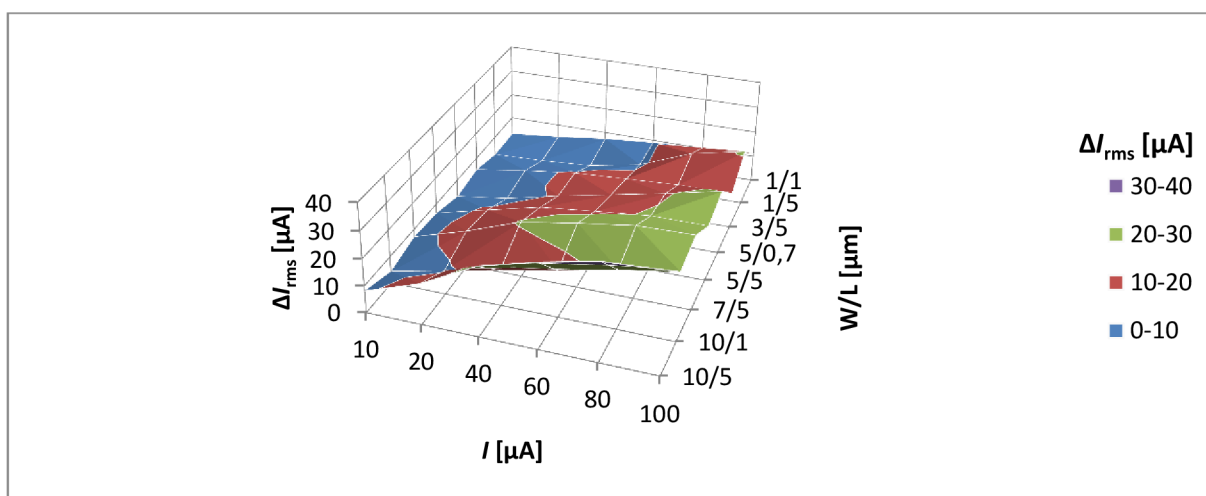
Obrázek 34: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/1 \mu\text{m}$ pro frekvenci $f = 1 \text{ kHz}$



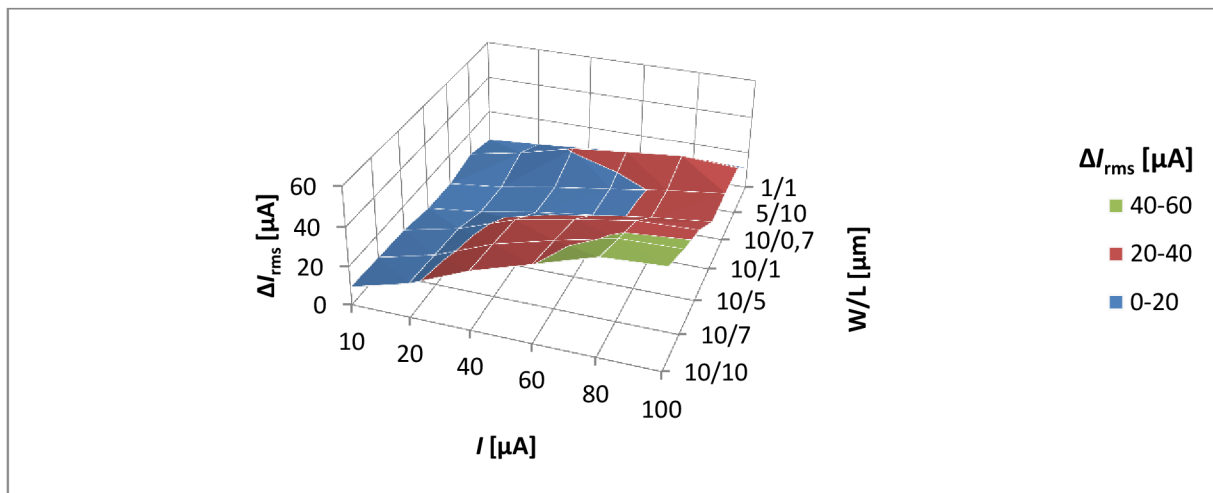
Obrázek 35: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/5 \mu\text{m}$ pro frekvenci $f = 1 \text{ kHz}$



Obrázek 36: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/10 \mu\text{m}$ pro frekvenci $f = 1 \text{ kHz}$



Obrázek 37: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/5 \mu\text{m}$ pro frekvenci $f = 50 \text{ MHz}$



Obrázek 38: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech NMOS tranzistoru W/L k antiparalelně připojenému PMOS tranzistoru $W/L = 10/10 \mu m$ pro frekvenci $f = 50 \text{ MHz}$

Zhodnocení simulace:

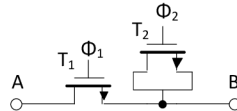
Na obrázcích 34 - 38 jsou závislosti velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu a velikosti antiparalelně připojeného NMOS tranzistoru pro frekvence 1 kHz a 50 MHz. Z grafů je patrné, že pro nízké frekvence je závislost exponenciální. S rostoucí frekvencí se závislost mění na logaritmickou. Dále, jak už bylo zmíněno, z grafů vyplývá, že absolutní chyba ΔI_{rms} spíše roste s rostoucí hodnotou vstupního proudu, frekvencí hodinového signálu a velikosti antiparalelně připojeného NMOS tranzistoru. Tvary průběhu závislostí pro další frekvence se nemění, ale pouze roste velikost absolutní chyby ΔI_{rms} . Tvary závislosti průběhů s rostoucí frekvencí pro rozměry PMOS tranzistorů $W/L = 5/0,7 \mu m$ a $10/1 \mu m$ jsou pouze variací tvaru průběhů závislosti tranzistoru PMOS o rozměrech $W/L = 10/10 \mu m$, viz. obrázek 39. Stejně tak tvar průběhů pro PMOS tranzistor o rozměrech $10/1 \mu m$, který je vidět na obrázku 35, je stejný pro tranzistor o rozměrech $5/0,7 \mu m$. Jak bylo zmíněno v předchozím odstavci, tak je chyba značně závislá na zvolené velikosti antiparalelně připojeného tranzistoru NMOS k tranzistoru PMOS. Na velikost absolutní chyby ΔI_{rms} má větší vliv zmenšení délky tranzistoru NMOS než zmenšení šířky tranzistoru NMOS. Další grafy viz. příloha D, obrázky 51 - 81.

Shrnutí simulací:

Pro dosažení menší velikosti absolutní chyby ΔI_{rms} je vhodné volit NMOS tranzistor menších rozměrů než antiparalelně připojeného PMOS tranzistoru, kde největší vliv na chybu má délka NMOS tranzistoru než jeho šířka. Velikost absolutní chyby ΔI_{rms} byla ovlivněna i rozdílem strmostí náběžných a sestupných hran spínacího hodinového signálu.

5.4 Tranzistor NMOS s tranzistorem Dummy

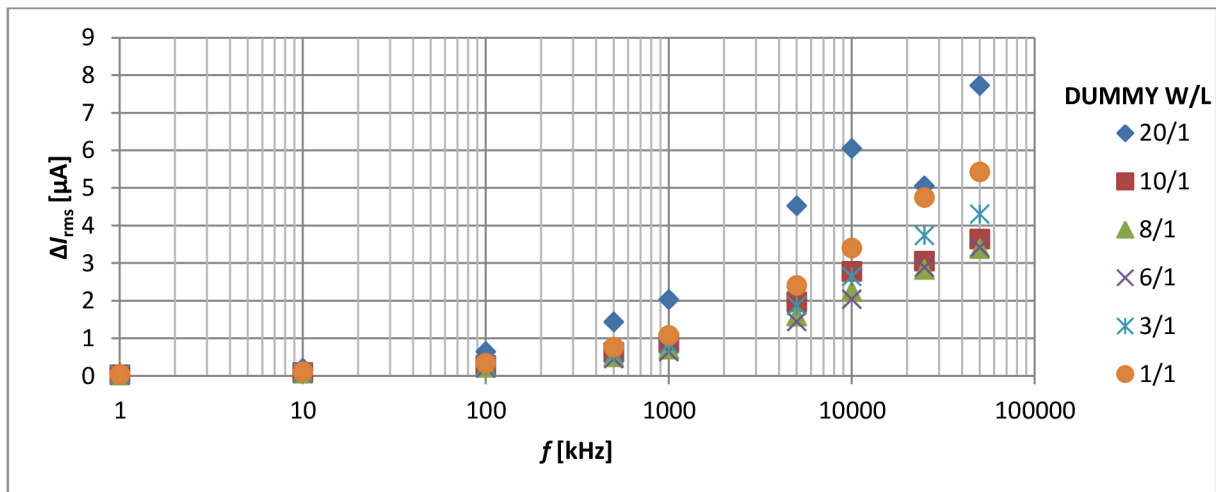
Jednoduchý NMOS tranzistor doplněný o Dummy NMOS tranzistor. Toto spojení, jak je vidět na obrázku 39, představuje spínač v technice SI. Dummy NMOS tranzistor na základě teoretický předpokladů by měl mít poloviční velikost než NMOS tranzistor. Elektrody S a D Dummy tranzistoru jsou vzájemně propojeny a připojeny na elektrodu S NMOS tranzistoru. Tranzistor NMOS a Dummy NMOS tranzistor jsou spínané v protifázy. Tato metoda by měla také kompenzovat zmíněné přechodové jevy.



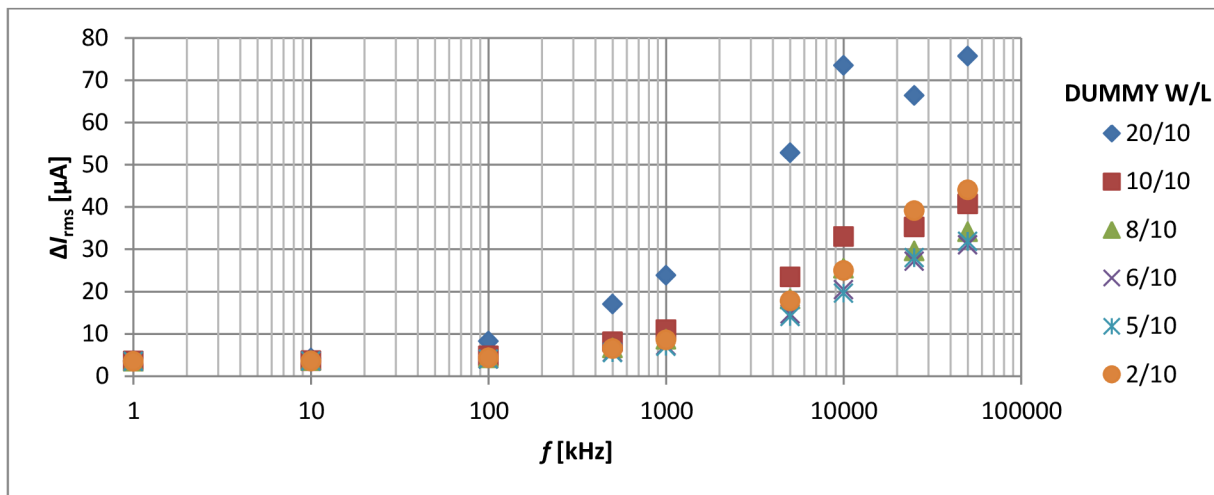
Obrázek 39: NMOS Dummy spínač

Simulace byly provedeny pro předem dané rozměry tranzistorů NMOS W/L: 10/10; 10/1; 1/1 [μm], u kterých se měnila velikost šířky připojeného Dummy NMOS tranzistoru a to v rozmezí 0,5 až 20. Všechny simulace byly provedeny pro různé úrovně vstupního proudu a pro různé frekvence.

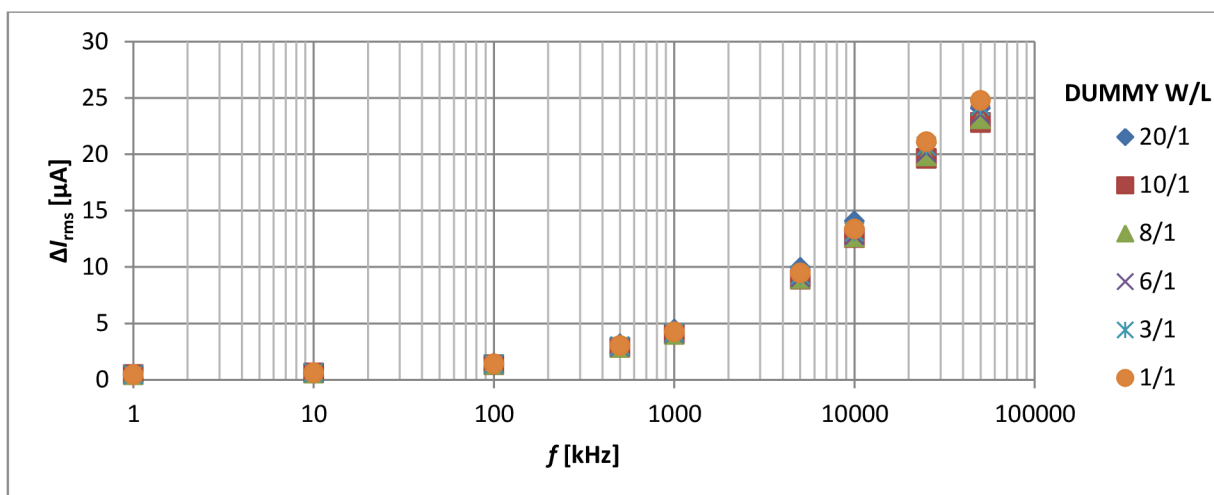
Výsledky simulací:



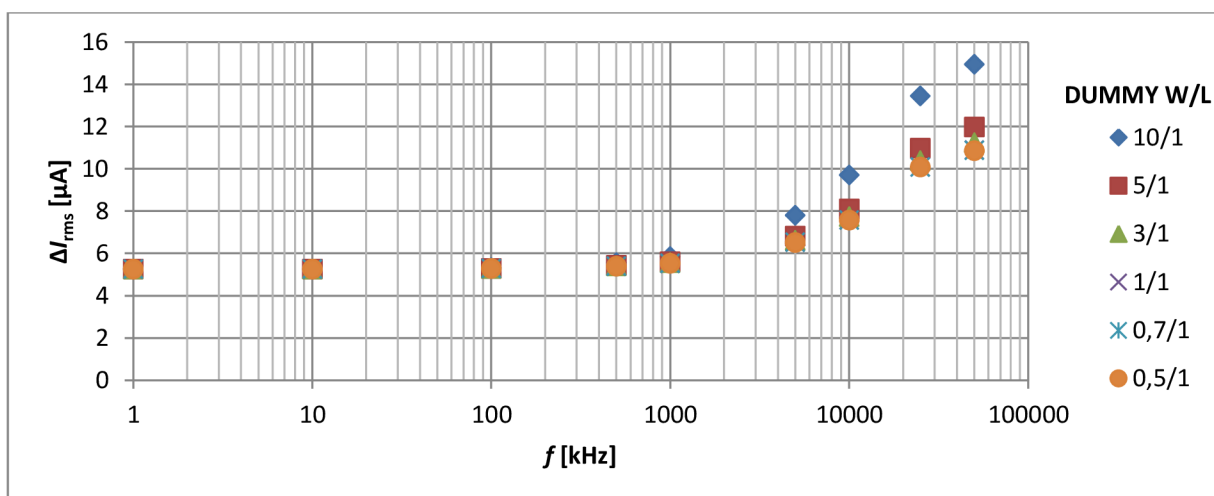
Obrázek 40: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS Dummy tranzistoru W/L k připojenému NMOS tranzistoru W/L = 10/1 μm pro vstupní proud $I = 10 \mu\text{A}$



Obrázek 41: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS Dummy tranzistoru W/L k připojenému NMOS tranzistoru W/L = 10/10 μm pro vstupní proud $I = 100 \mu\text{A}$



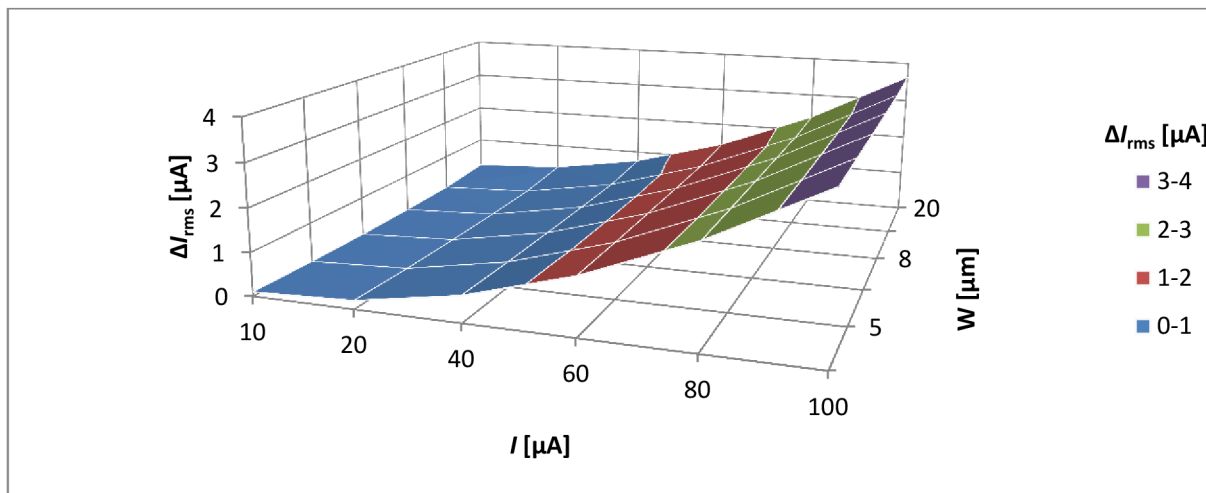
Obrázek 42: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS Dummy tranzistoru W/L k připojenému NMOS tranzistoru W/L = 10/1 μm pro vstupní proud $I = 100 \mu\text{A}$



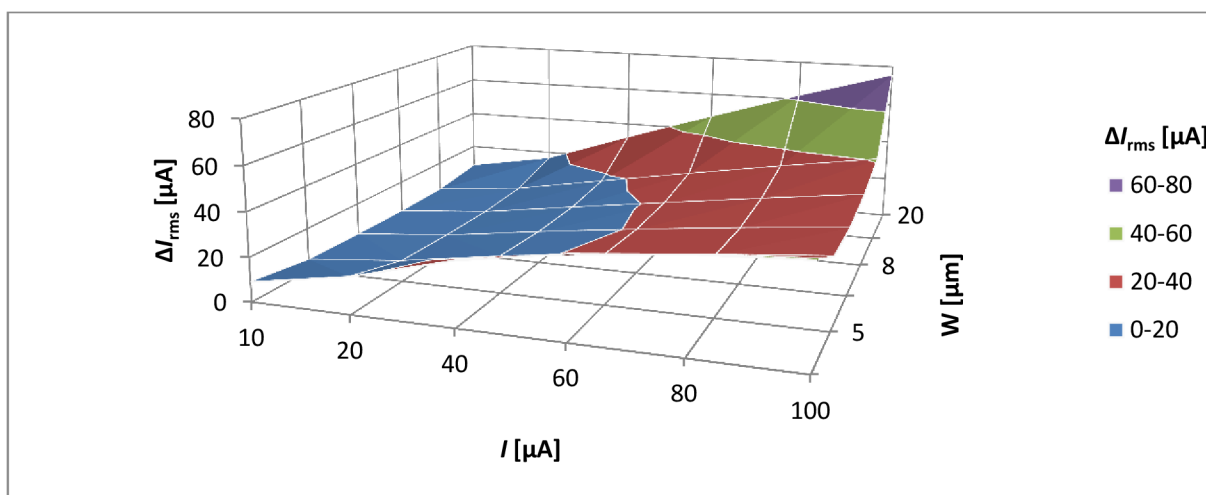
Obrázek 43: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS Dummy tranzistoru W/L k připojenému NMOS tranzistoru W/L = 1/1 μm pro vstupní proud $I = 100 \mu\text{A}$

Zhodnocení simulace:

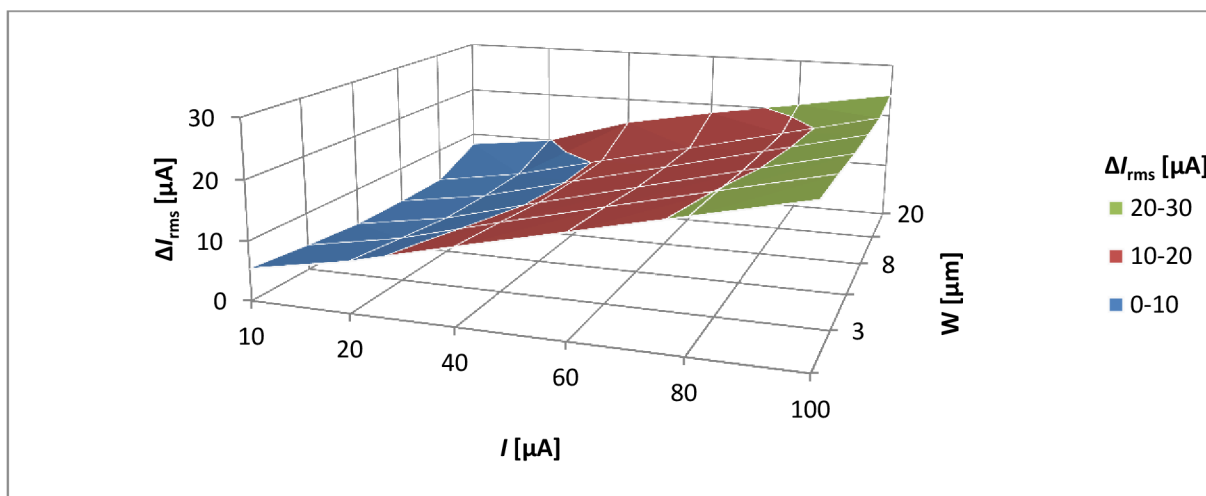
Z této simulace vyplývá, že velikost absolutní chyby ΔI_{rms} je závislá na rozměrech tranzistoru NMOS, šířky připojeného Dummy NMOS tranzistoru a frekvenci hodinového signálu, kterou je spínač spínán a rozpínán, ale i také na velikosti vstupního proudu. Na obrázcích 40 - 43 jsou grafy, které znázorňují závislost absolutní chyby ΔI_{rms} na frekvenci, rozměrech tranzistoru a k němu připojeného NMOS Dummy tranzistoru pro velikost vstupního proudu 10 μA a 100 μA . Z těchto grafů je patrné, že absolutní chyba ΔI_{rms} se zvětšuje s rostoucí frekvencí hodinového signálu a také je závislá na velikosti zvolených spínacích tranzistorů a šířce připojeného NMOS Dummy tranzistoru. Pokud jsou zvoleny malé rozměry spínacího tranzistoru, tak je absolutní chyba ΔI_{rms} malá a pokud velikost rozměrů tranzistoru roste, tak se zvětšuje i absolutní chyba ΔI_{rms} . Velikost absolutní chyby ΔI_{rms} je rovněž závislá na velikosti vstupního proudu a především na velikosti, respektive šířce připojeného NMOS Dummy tranzistoru, jak je vidět na již zmíněných obrázcích. Tvar průběhu závislosti má exponenciální charakter. Z toho vyplývá, že pokud roste velikost vstupního proudu, tak narůstá i velikost absolutní chyby ΔI_{rms} . Dále je vypovídající z této simulace, že Dummy tranzistory lépe kompenzují chybu způsobenou přechodovými ději pro malé vstupní proudy než pro velké. Na obrázku 40 je vidět tvar průběhu závislosti v oblasti malého vstupního proudu a to pro 10 μA , tento tvar je stejný i pro ostatní velikosti NMOS tranzistoru v této oblasti vstupního proudu, mění se pouze velikost absolutní chyby ΔI_{rms} , která je závislá na velikosti NMOS tranzistoru. V oblasti vysokého vstupního proudu se tvary průběhu závislosti mění a to na základě velikosti spínacího NMOS tranzistoru, jak je vidět na obrázcích 41 - 43. U velkého NMOS tranzistoru viz. obrázek 41. Dummy tranzistor ovlivňuje velikost absolutní chyby ΔI_{rms} stejně jak u malých vstupních proudů. Ale naopak u malého spínacího NMOS tranzistoru se projevuje chyba posunutí způsobená odporem kanálu při spínání a Dummy tranzistor nemá značný vliv na velikost absolutní chyby ΔI_{rms} stejně jak pro NMOS tranzistor o velikosti 10/1 μm na obrázku 42. Dalším faktorem je fakt, že na rozdíl od teoretických předpokladů, kde je udáváno že Dummy spínač by měl mít poloviční velikost pro potlačení chyb způsobených přechodovými ději, tomu tak není. Nejnižší absolutní chyby ΔI_{rms} bylo dosaženo, pokud velikost NMOS Dummy tranzistoru byla zhruba $\frac{3}{4}$ velikostní NMOS tranzistoru. Pokud byl volen NMOS Dummy tranzistor větší než NMOS tranzistor, tak od řádu MHz spínač nepracoval správně a chyba byla velmi vysoká. Z této simulace vyplývá, že pro vysoké vstupní proudy, kde byl použit malý NMOS tranzistor už Dummy tranzistor nedokázal příliš potlačit chyby způsobené přechodovými jevy, jak je vidět na obrázcích 41 a 43. Další grafy pro jiné velikosti vstupních proudů, které mají podobný tvar průběhu závislosti, jak zobrazené grafy jsou v příloze E, obrázky 82 - 95.



Obrázek 44: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a šířce NMOS Dummy tranzistoru W k připojenému NMOS tranzistoru $W/L = 10/10 \mu m$ pro frekvenci $f = 1 \text{ kHz}$



Obrázek 45: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a šířce NMOS Dummy tranzistoru W k připojenému NMOS tranzistoru $W/L = 10/10 \mu m$ pro frekvenci $f = 50 \text{ MHz}$



Obrázek 46: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a šířce NMOS Dummy tranzistoru W k připojenému NMOS tranzistoru $W/L = 10/1 \mu m$ pro frekvenci $f = 50 \text{ MHz}$

Zhodnocení simulace:

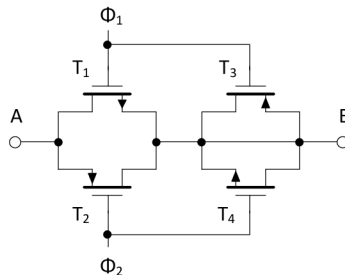
Na obrázcích 44 - 46 jsou závislosti velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu a šířce NMOS Dummy tranzistoru pro frekvence 1 kHz, 50 MHz a také pro předem zvolené rozměry NMOS spínacího tranzistoru. Z grafů je patrné, že pro nízké frekvence je závislost exponenciální a šířka NMOS Dummy tranzistoru nemá vliv na velikost absolutní chyby ΔI_{rms} . Stejně tak se nemění ani tvar průběhu závislosti pro různé velikosti NMOS tranzistoru v oblasti nízkých frekvencí jak je vidět na obrázku 44 pro tranzistor velikosti 10/10 μm . Pouze se mění velikost absolutní chyby, kde její velikost je závislá na velikosti NMOS tranzistoru, nikoli na velikosti Dummy tranzistoru. S rostoucí frekvencí se závislost mění. Při frekvenci okolo 1 MHz se tvar průběhu závislosti mění a připojený NMOS Dummy tranzistor ovlivňuje svou šířkou velikost absolutní chyby ΔI_{rms} , jak je vidět na obrázku 45 a 46. Na obrázcích je také vidět, že velikost a tvar průběhu absolutní chyby ΔI_{rms} se mění s velikostí použitého NMOS spínacího tranzistoru. Nejnižší absolutní chyby ΔI_{rms} je dosaženo, jak už bylo zmíněno v předchozím odstavci, pokud zvolená šířka NMOS Dummy tranzistoru je $\frac{3}{4}$ velikosti šířky NMOS spínacího tranzistoru. Všechny tyto faktory mají velký podíl na velikost absolutní chyby ΔI_{rms} . Z této simulace vyplývá, že s rostoucí frekvencí se účinek Dummy tranzistorů zvětšuje. Grafy pro další frekvence jsou v příloze E, obrázky 96 - 119.

Shrnutí simulací:

Pro dosažení menší velikosti absolutní chyby ΔI_{rms} je vhodné volit NMOS tranzistory větších rozměrů, které slouží jako samotný spínač, aby nedošlo k chybě způsobenou offsetem, respektive k velkému rozdílu velikosti úrovní vstupního a vzorkovaného signálu. A především vhodnou volbou velikostí, respektive šířkou Dummy NMOS tranzistoru. Nejnižší dosažená absolutní chyba ΔI_{rms} , která byla závislá jen na šířce Dummy tranzistoru byla tehdy, pokud šířka odpovídala $\frac{3}{4}$ šířce spínacího NMOS tranzistoru. Velikost absolutní chyby ΔI_{rms} byla ovlivněna i rozdílem strmostí náběžných a sestupných hran spínacího hodinového signálu.

5.5 Antiparalelní spojení NMOS a PMOS tranzistorů spolu s NMOS a PMOS Dummy tranzistory

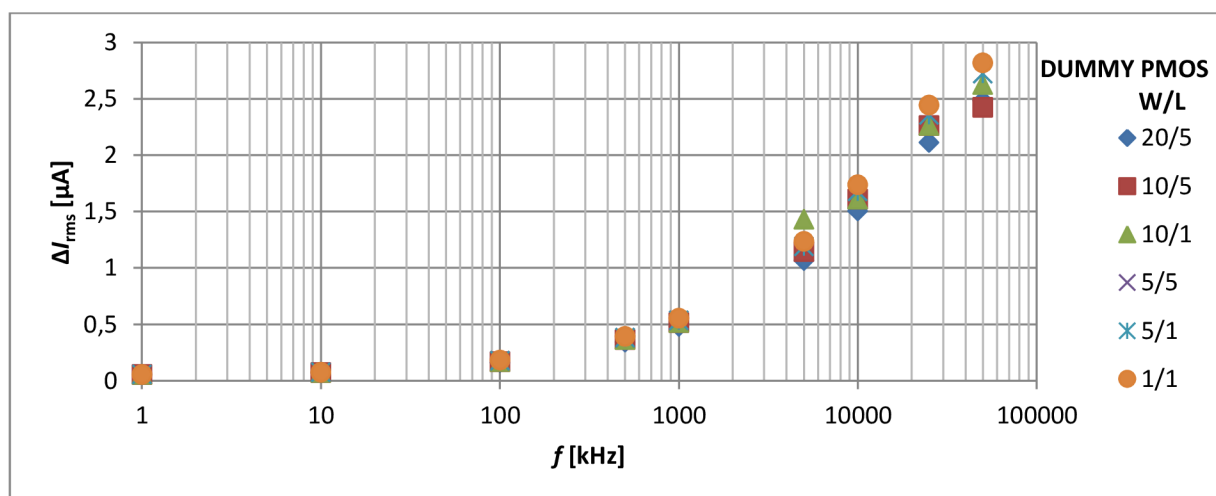
Kombinace dvou předchozích metod, kde k antiparalelnímu zapojení tranzistoru PMOS s tranzistorem NMOS jsou přidány dva Dummy tranzistory realizované PMOS a NMOS tranzistorem. Celá tato navržená topologie představuje navržený spínač, který by měl také potlačovat a kompenzovat zmíněné přechodové jevy. Tranzistor NMOS s Dummy PMOS tranzistorem jsou spínané v protifázi k PMOS tranzistoru s Dummy NMOS tranzistorem.



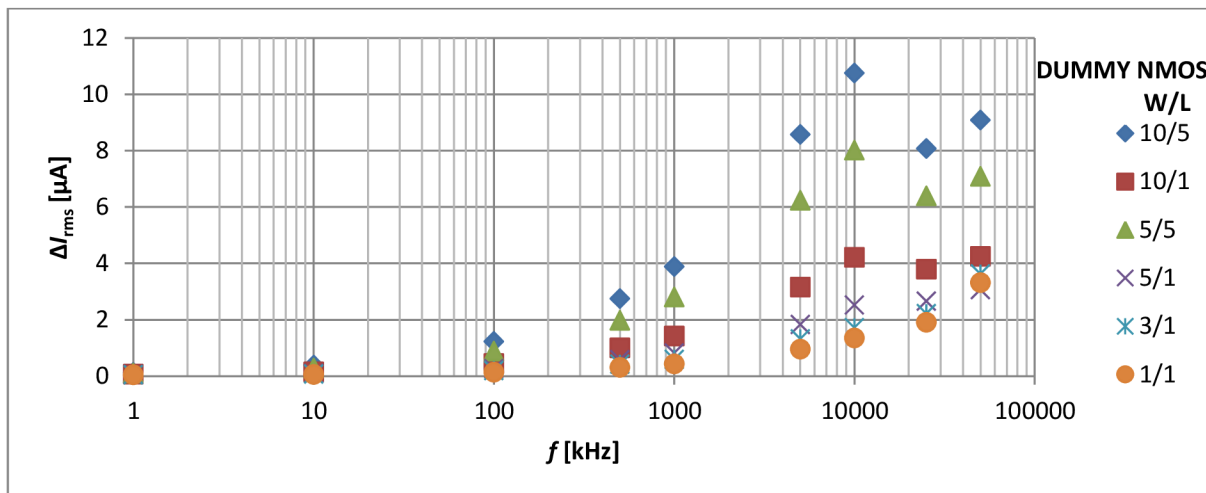
Obrázek 47: Antiparalelní spojení PMOS a NMOS tranzistorů doplněné o NMOS a PMOS Dummy tranzistory

Simulace byly provedeny pro předem dané rozměry tranzistorů NMOS W/L: 1/1; 3/1 μm a rozměry tranzistorů PMOS: 10/5; 10/1 μm . Velikost antiparalelně zapojeného NMOS tranzistoru k PMOS tranzistoru byla zvolena menší než PMOS tranzistor. Velikosti PMOS a NMOS Dummy tranzistorů připojených k antiparalelnímu zapojení tranzistorů NMOS a PMOS byly měněny náhodně a to jak šířky, tak i délky tranzistoru. Všechny simulace byly provedeny pro různé úrovně vstupního proudu a pro různé frekvence.

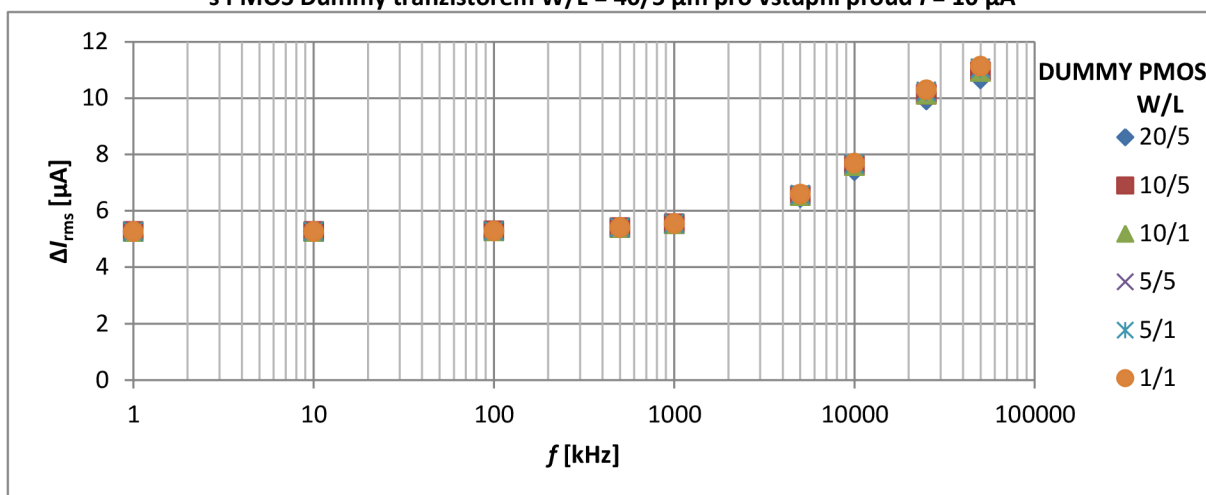
Výsledky simulací:



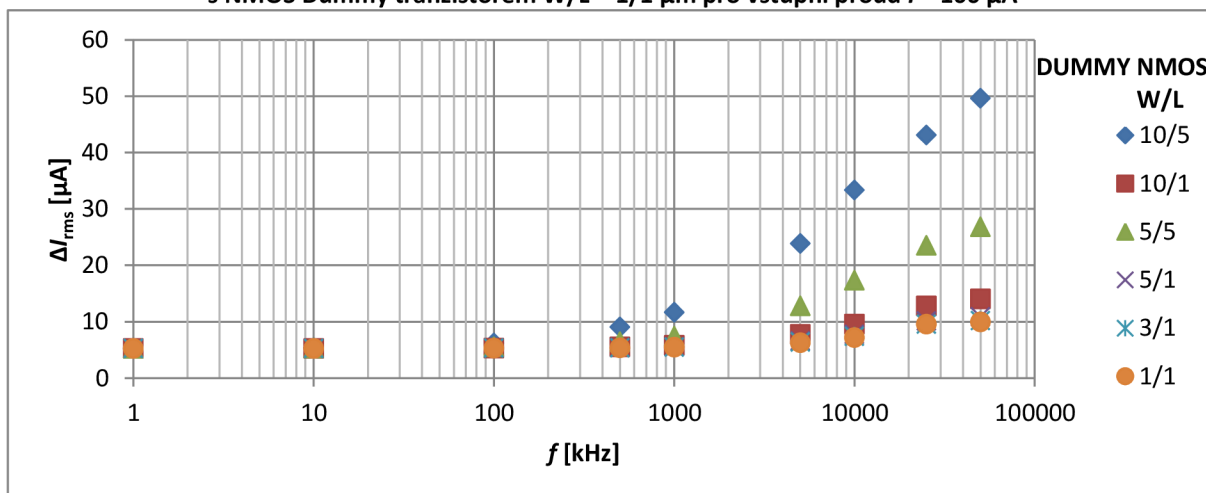
Obrázek 48: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech PMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS W/L = 10/5 μm a NMOS W/L = 1/1 μm spolu s NMOS Dummy tranzistorem W/L = 1/1 μm pro vstupní proud $I = 10 \mu\text{A}$



Obrázek 49: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS W/L = 10/5 μm a NMOS W/L = 1/1 μm spolu s PMOS Dummy tranzistorem W/L = 40/5 μm pro vstupní proud $I = 10 \mu\text{A}$



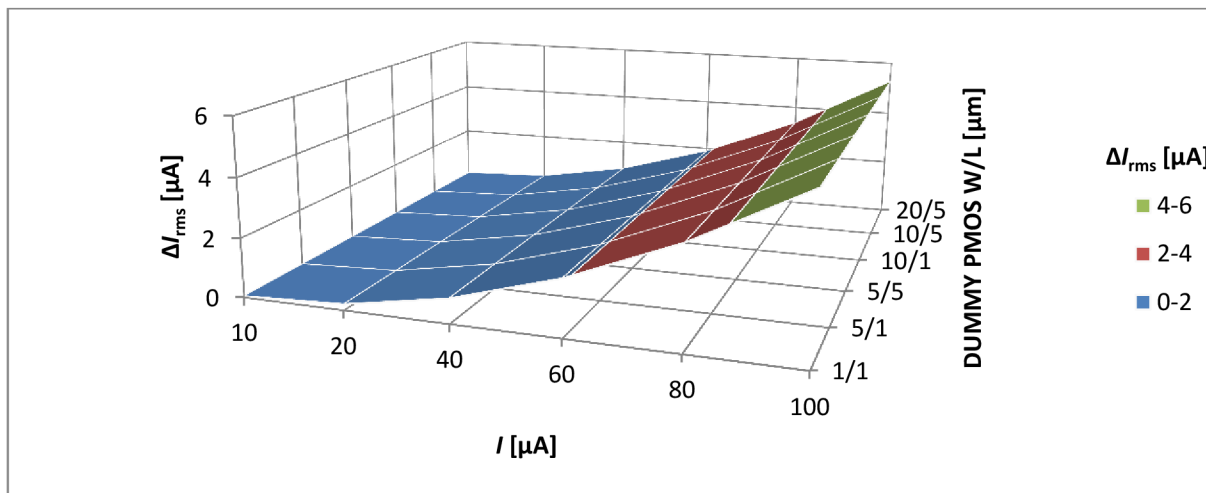
Obrázek 50: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech PMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS W/L = 10/5 μm a NMOS W/L = 1/1 μm spolu s NMOS Dummy tranzistorem W/L = 1/1 μm pro vstupní proud $I = 100 \mu\text{A}$



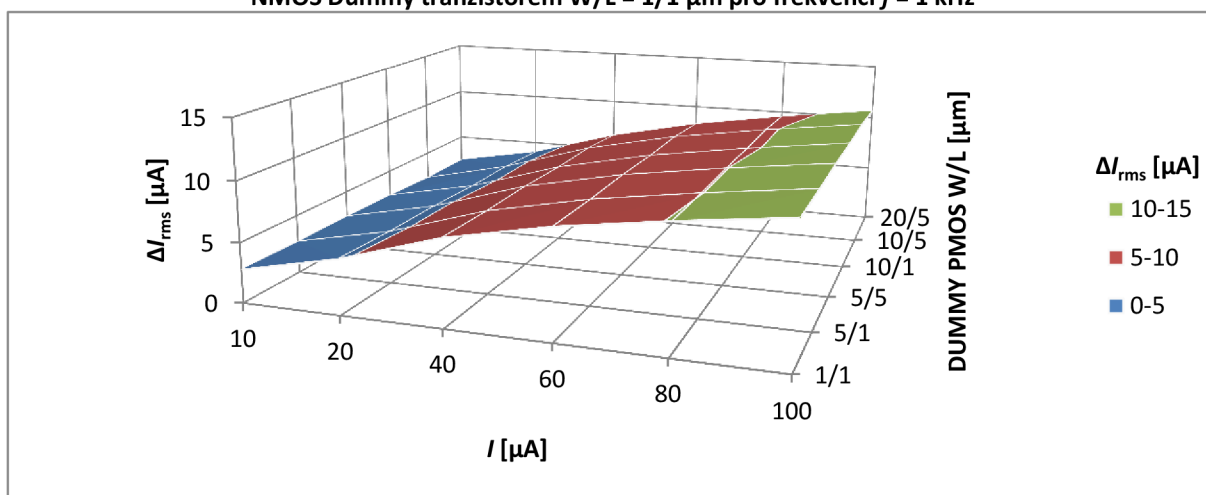
Obrázek 51: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech NMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS W/L = 10/5 μm a NMOS W/L = 1/1 μm spolu s PMOS Dummy tranzistorem W/L = 40/5 μm pro vstupní proud $I = 100 \mu\text{A}$

Zhodnocení simulace:

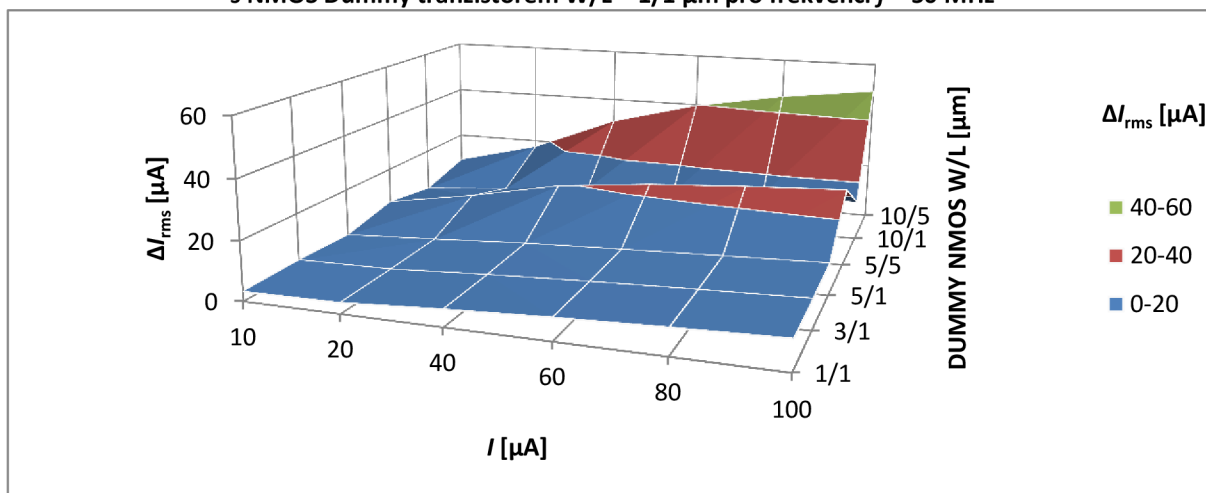
Z této simulace je patrné, že velikost absolutní chyby ΔI_{rms} je závislá na rozměrech tranzistoru PMOS, antiparalelně připojeném tranzistoru NMOS, Dummy NMOS, Dummy PMOS a frekvenci hodinového signálu, kterou je spínač spínán a rozpínán, ale i také na velikosti vstupního proudu. Na obrázcích 48 - 51 jsou grafy, které znázorňují závislost absolutní chyby ΔI_{rms} na frekvenci, rozměrech PMOS tranzistoru, antiparalelně připojeného tranzistoru NMOS, ale i také na velikosti PMOS a NMOS Dummy tranzistorů a to pro velikosti vstupního proudu 10 μA a 100 μA . Tvary průběhů všech grafů pro různé velikosti vstupního proudu se nemění a jsou exponenciální rostoucí, pro další velikosti vstupního proudu jsou v příloze F obrázky 120 - 145. V oblasti malého vstupního proudu, jak je vidět na obrázcích 48 a 49, absolutní chybu ΔI_{rms} nejvíce ovlivňuje velikost NMOS Dummy tranzistoru. Z toho vyplývá, že velikost absolutní chyby ΔI_{rms} je značně závislá na velikosti NMOS Dummy tranzistoru, aby bylo dosaženo co nejmenší chyby, tak se volí malé rozměry tohoto tranzistoru. Nepatrný vliv na velikost absolutní chyby ΔI_{rms} má také PMOS Dummy tranzistor, u kterého jsou voleny rozměry také co nejmenší, aby se zmenšila velikost chyby, jak je vidět na již zmíněných grafech. Pro další kombinace velikosti rozměrů tranzistorů mají tvary průběhu závislosti podobné průběhy, pouze se mění velikost absolutní chyby ΔI_{rms} . V oblasti vyšších vstupních proudů se projevuje i chyba posunutí, která je způsobená odporem kanálu tranzistoru PMOS při spínání. Tuto chybu je možné odstranit, pokud u tranzistoru NMOS volíme větší rozměry, tak klesá i chyba posunutí, ale naopak se zvětšuje velikost absolutní chyby ΔI_{rms} . Z toho vyplývá, že velikost absolutní chyby ΔI_{rms} pro vysoké frekvence je nižší pokud není redukována chyba způsobená posunutím (offsetem), než pokud je velikostí tranzistoru NMOS redukována chyba způsobená posunutím (offsetem). Stejně jak v oblasti malých vstupních proudů má velký vliv na velikost absolutní chyby ΔI_{rms} , velikost NMOS Dummy tranzistoru a nepatrný vliv má i PMOS Dummy tranzistor. S klesající velikostí rozměrů těchto Dummy tranzistorů klesá i velikost absolutní chyby ΔI_{rms} . Všechny zbývající grafy pro další velikosti vstupního proudu jsou, jak již bylo zmíněno v příloze F, obrázky 120 - 145.



Obrázek 52: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech PMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS $W/L = 10/5 \mu\text{m}$ a NMOS $W/L = 1/1 \mu\text{m}$ spolu s NMOS Dummy tranzistorem $W/L = 1/1 \mu\text{m}$ pro frekvenci $f = 1 \text{ kHz}$



Obrázek 53: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech PMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS $W/L = 10/5 \mu\text{m}$ a NMOS $W/L = 1/1 \mu\text{m}$ spolu s NMOS Dummy tranzistorem $W/L = 1/1 \mu\text{m}$ pro frekvenci $f = 50 \text{ MHz}$



Obrázek 54: Závislost absolutní chyby ΔI_{rms} na vstupním proudu I a rozměrech NMOS Dummy tranzistoru W/L připojeného k antiparalelnímu zapojení tranzistorů PMOS $W/L = 10/5 \mu\text{m}$ a NMOS $W/L = 1/1 \mu\text{m}$ spolu s PMOS Dummy tranzistorem $W/L = 40/5 \mu\text{m}$ pro frekvenci $f = 50 \text{ MHz}$

Zhodnocení simulace:

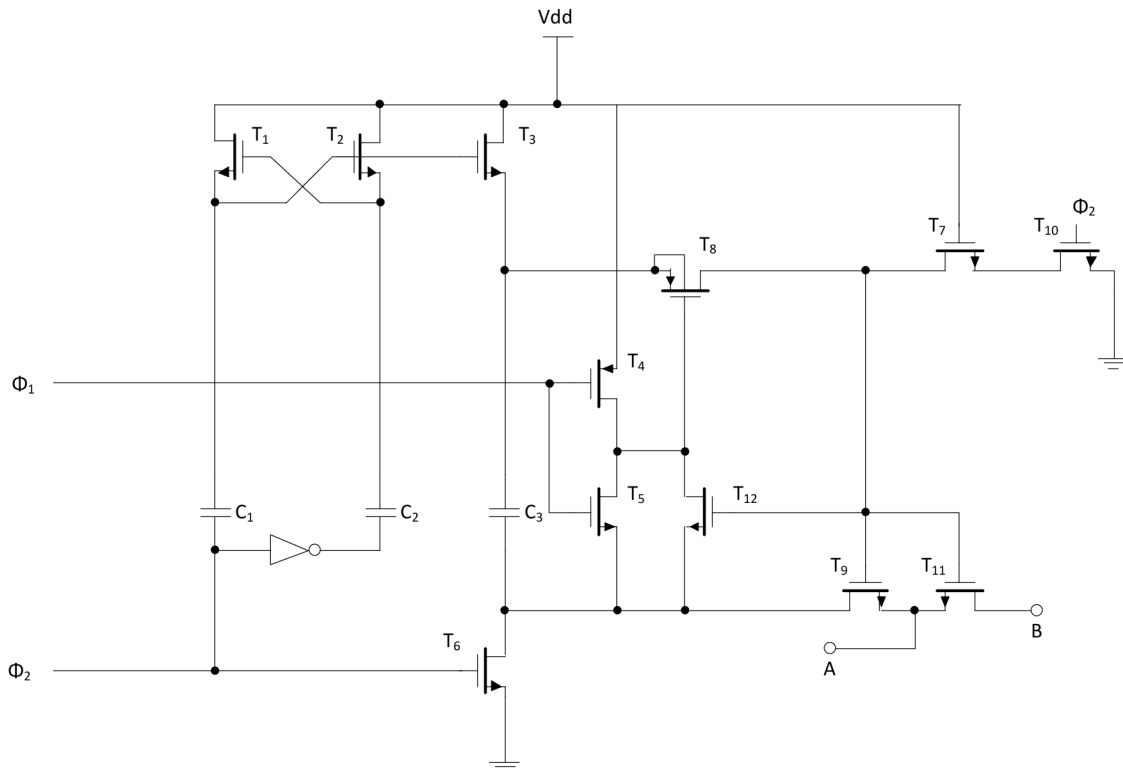
Na obrázcích 52 - 54 jsou závislosti velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu a velikosti Dummy NMOS nebo Dummy PMOS tranzistoru pro frekvence 1 kHz a 50 MHz. Z grafů je patrné, že pro nízké frekvence je závislost exponenciální. Pro všechny ostatní kombinace rozměrů zvolených tranzistorů je tvar průběhu závislosti stejný jak na obrázku 52, pouze se mění velikost absolutní chyby ΔI_{rms} . S rostoucí frekvencí se závislost mění na logaritmickou. Dále, jak už bylo zmíněno, z grafů vyplývá, že absolutní chyba ΔI_{rms} spínače roste s rostoucí hodnotou vstupního proudu, frekvencí hodinového signálu a velikosti připojeného NMOS Dummy tranzistoru. Tranzistor PMOS Dummy velikost absolutní chyby ΔI_{rms} v závislosti na velikosti vstupního proudu téměř neovlivňuje. Tvar průběhu závislosti je plocha, kde se pouze s rostoucí frekvencí mění závislost z exponenciálního průběhu na logaritmický průběh. Pro nízké frekvence neovlivňuje velikost absolutní chyby ΔI_{rms} v závislosti na velikosti vstupního proudu ani připojený NMOS Dummy tranzistor. NMOS Dummy tranzistor začíná ovlivňovat velikost absolutní chyby přibližně kolem frekvence 100kHz jak je vidět na obrázcích 53 a 54 pro frekvenci 50 MHz. Tvary průběhu závislostí pro další frekvence se nemění, ale pouze roste velikost absolutní chyby ΔI_{rms} . Z těchto grafů vyplývá, že velikost absolutní chyby ΔI_{rms} , v závislosti na velikosti vstupního proudu, je závislá převážně na velikosti NMOS Dummy tranzistoru, viz. obrázek 54, nikoli na velikosti PMOS Dummy tranzistoru, jak je vidět na obrázku 53. Pro snížení velikosti této chyby je vhodné volit NMOS Dummy tranzistory menších rozměrů. Grafy pro další frekvence jsou v příloze F na obrázcích 146 - 187.

Shrnutí simulací:

Pro dosažení co nejmenší velikosti absolutní chyby ΔI_{rms} je potřeba volit všechny tranzistory dle aplikace a použití spínače, při ohledu na velikost vstupního proudu. Tato topologie dokáže výrazně potlačit již zmíněné přechodové děje. Z těchto simulací vyplývá, že je vhodné volit Dummy tranzistory malých rozměrů, aby byl účinek efektivní. Velikost antiparalelně spojených PMOS a NMOS tranzistorů je vhodné volit podle aplikace použití. V oblasti malých proudů je vhodné volit NMOS malých rozměrů. Velikost absolutní chyby ΔI_{rms} byla ovlivněna i rozdílem strmostí náběžných a sestupných hran spínacího hodinového signálu.

5.6 NMOS Bootstrapped spínač

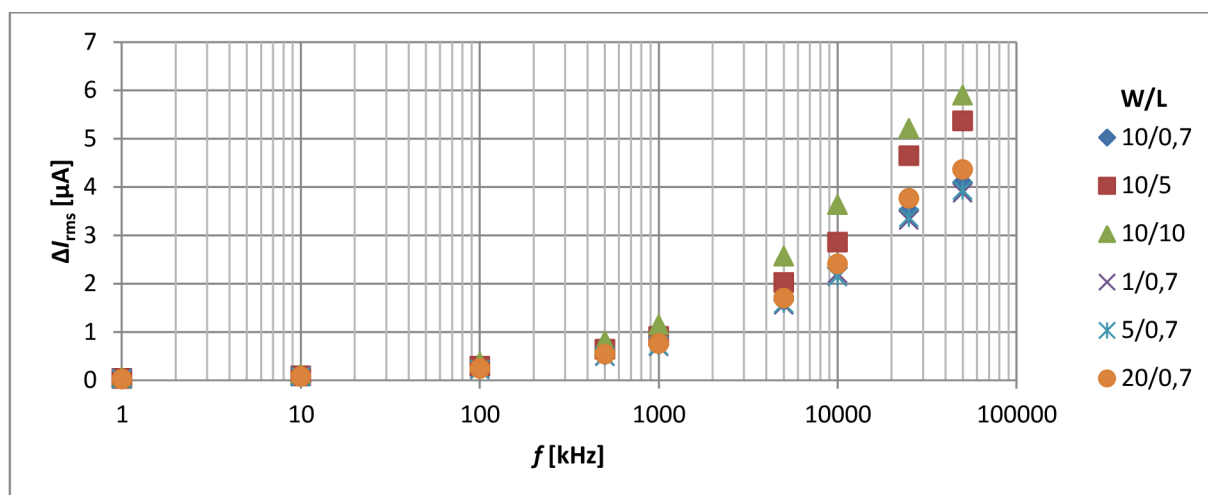
Bootstrapped spínač na obrázku 55, slouží jako spínač v technice SI. Tento spínač by měl potlačit a částečně kompenzovat zmíněné přechodové děje při spínání a rozepínání, jak udává teoretický rozbor pro tuto metodu. Jako samotný spínač je v tomto obvodu tranzistor T_{11} , je to tranzistor typu NMOS, který vzorkuje požadovaný vstupní signál. Zbytek obvodu slouží k potlačení chyby způsobené pronikáním hodinového signálu a chybou injekce náboje.



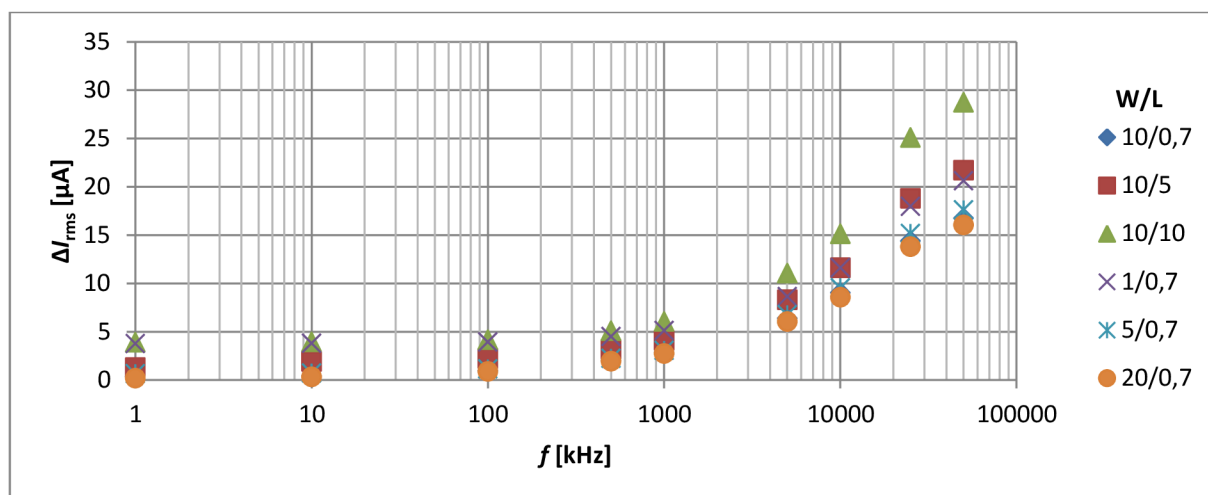
Obrázek 55: NMOS Bootstrapped spínač

Simulace byly provedeny pro předem dané rozměry tranzistoru T_{11} typu NMOS W/L : 10/0,7; 10/5; 10/10; 1/0,7; 5/0,7; 20/0,7 μm pro různé úrovně vstupního proudu a pro různé frekvence. Na základě teoretických předpokladů zbylé obvodové součástky byly zvoleny co nejmenší. Velikost všech kondenzátorů byla zvolena 1 pF a velikost všech ostatních tranzistorů v obvodu byla zvolena $W/L = 1/0,7 \mu\text{m}$.

Výsledky simulací:



Obrázek 56: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech tranzistoru T_{11} W/L pro vstupní proud $I = 10 \mu A$

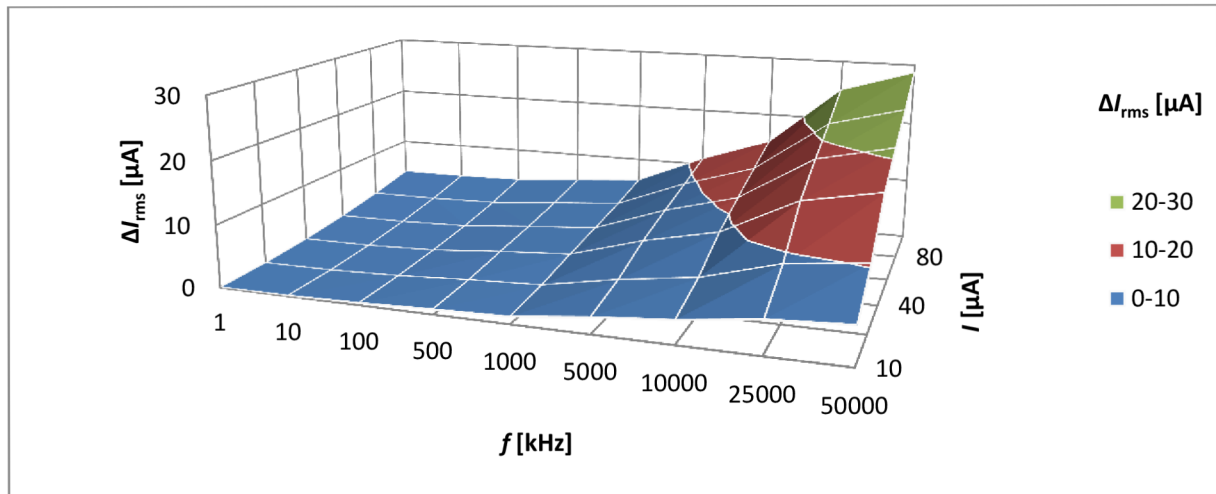


Obrázek 57: Závislost absolutní chyby ΔI_{rms} na frekvenci f a rozměrech tranzistoru T_{11} W/L pro vstupní proud $I = 100 \mu A$

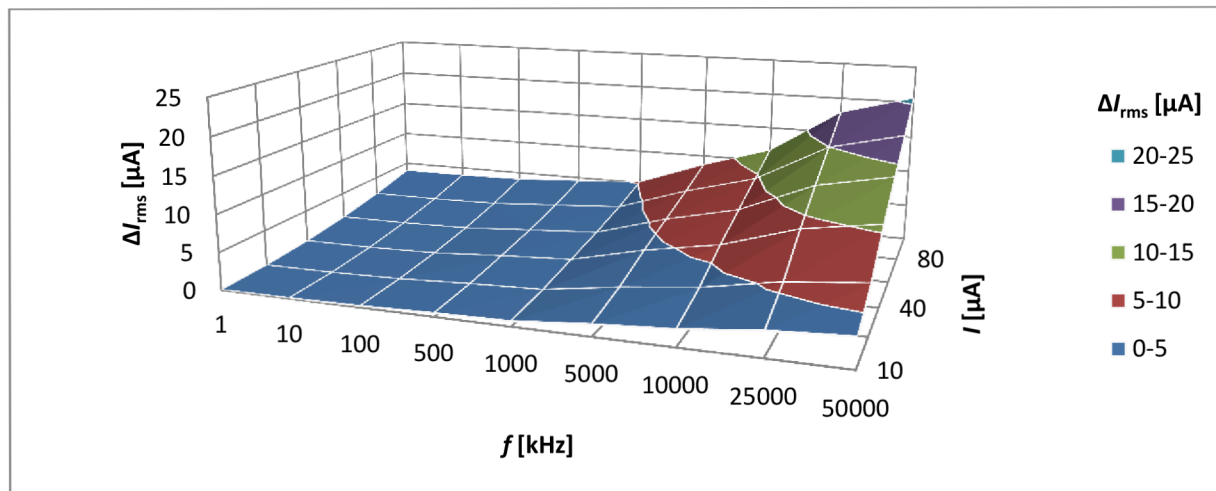
Zhodnocení simulace:

Z této simulace je patrné, že velikost absolutní chyby ΔI_{rms} je závislá na rozměrech tranzistoru T_{11} typu NMOS a frekvenci hodinového signálu, kterou je spínač spínán a rozpínán, ale i také na velikosti vstupního proudu. Na obrázcích 56 a 58 jsou grafy, které znázorňují závislost absolutní chyby ΔI_{rms} na frekvenci a rozměrech tranzistoru T_{11} typu NMOS pro velikost vstupního proudu $10 \mu A$ a $100 \mu A$. Z těchto grafů je patrné, že absolutní chyba ΔI_{rms} se zvětšuje s rostoucí frekvencí hodinového signálu a také je závislá na poměru stran zvoleného tranzistoru T_{11} . Pokud je zvolena velká šířka a malá délka tranzistoru T_{11} , tak je absolutní chyba ΔI_{rms} malá a pokud zmenšujeme šířku při konstantní délce nebo volíme tranzistor T_{11} větších rozměrů, tak se zvětšuje i velikost absolutní chyby ΔI_{rms} . Velikost absolutní

chyby ΔI_{rms} je rovněž závislá na velikosti vstupního proudu, jak je patrné na již zmíněných obrázcích. Z toho vyplývá, že pokud roste velikost vstupního proudu, tak narůstá i velikost absolutní chyby ΔI_{rms} . Spínač je schopný pracovat i ve vysokých frekvencích až 50MHz, kde sice velikost absolutní chyby ΔI_{rms} je značná, ale spínač spíná správně. Pro ostatní velikosti vstupního proudu se tvar průběhu závislosti grafu nemění, ale mění se pouze velikost absolutní chyby ΔI_{rms} , což můžeme vidět v příloze G na obrázcích 188 - 191.



Obrázek 58: Závislost absolutní chyby ΔI_{rms} na frekvenci f a proudu I pro tranzistor T_{11} $W/L = 10/10 \mu m$

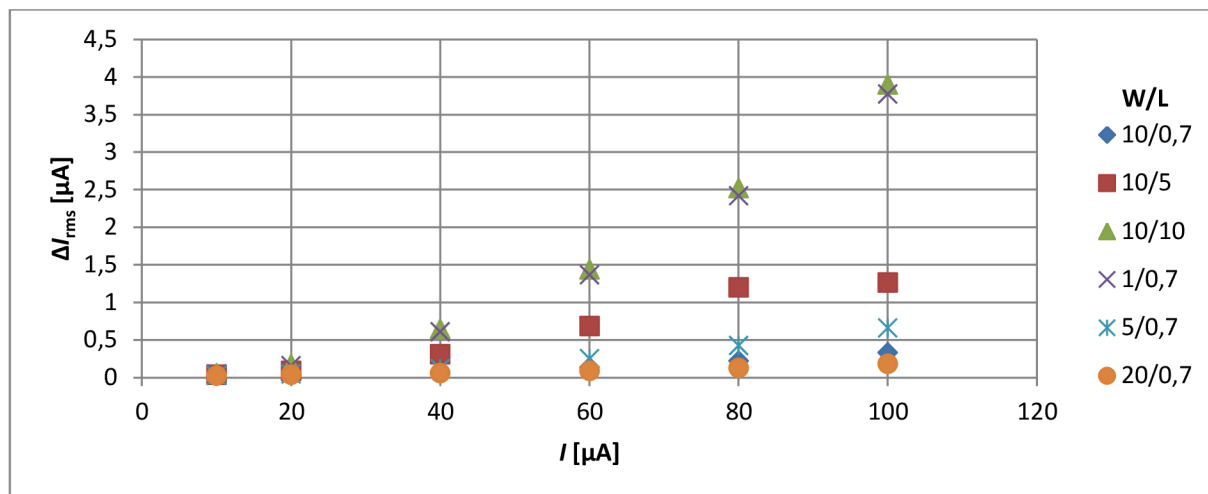


Obrázek 59: Závislost absolutní chyby ΔI_{rms} na frekvenci f a proudu I pro tranzistor T_{11} $W/L = 1/0,7 \mu m$

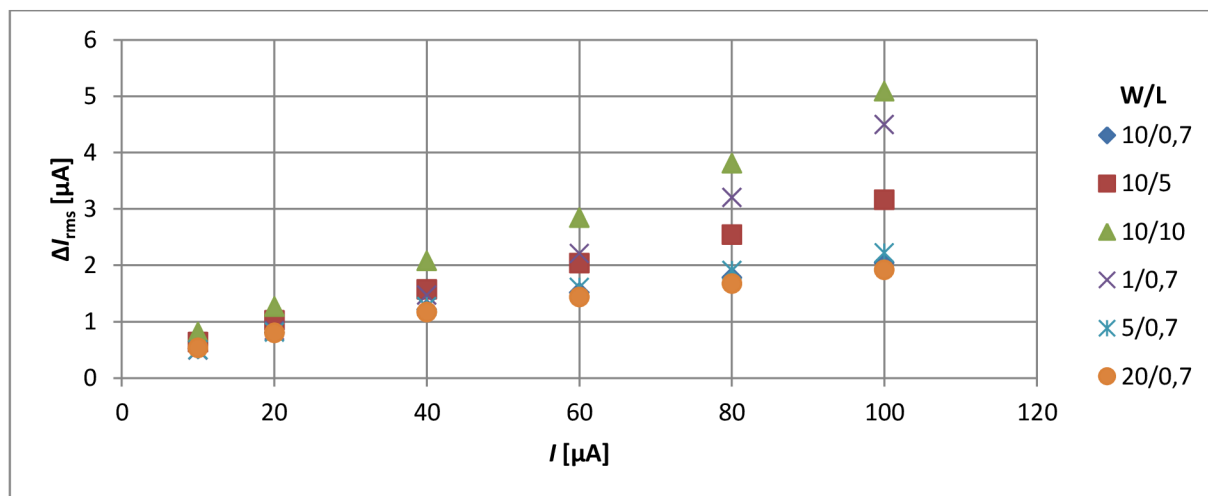
Zhodnocení simulace:

Na obrázcích 58 a 59 jsou zobrazeny závislosti absolutní chyby ΔI_{rms} na frekvenci a velikosti vstupního proudu. Velikost této chyby u této metody je dána, jak rozměrem tranzistoru, tak hlavně poměrem stran spínacího tranzistoru T_{11} . Aby bylo možné srovnání, je zobrazen průběh pro malý a velký rozměr tranzistoru. Z grafů je patrné,

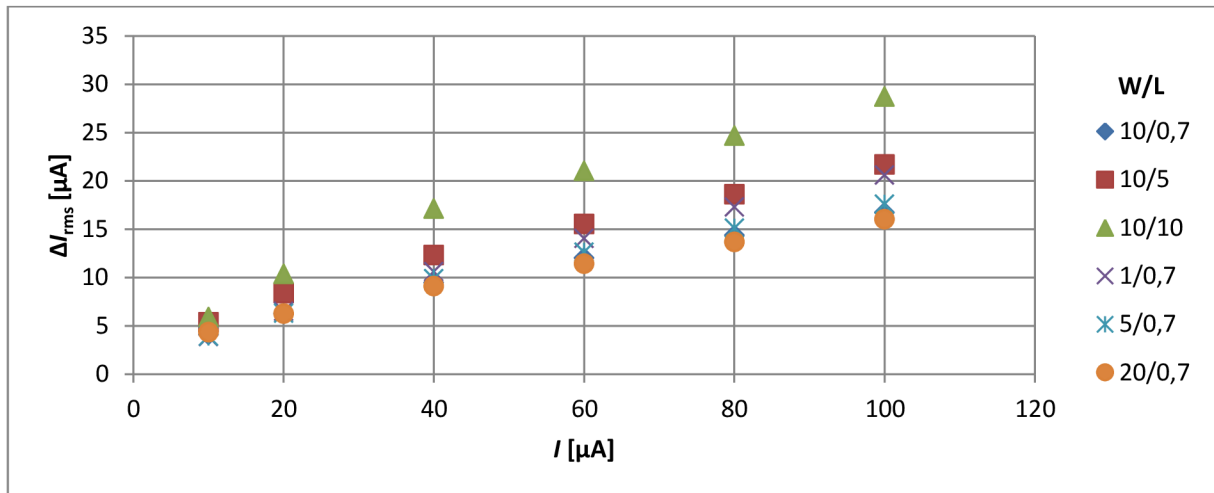
že se tvar průběhu závislostí nemění, mění se pouze nevýrazně velikost absolutní chyby ΔI_{rms} , jelikož poměr stran obou tranzistorů je téměř 1:1. Dále je zřejmé, že velikost absolutní chyby ΔI_{rms} je závislá jak na frekvenci, tak i na velikosti vstupního proudu. Pro ostatní zvolené rozměry jsou tvary průběhů závislostí stejné, pouze se mění velikost absolutní chyby ΔI_{rms} , viz. příloha G, obrázky 192 - 195.



Obrázek 60: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistoru T_{11} W/L pro frekvenci $f = 1$ kHz



Obrázek 61: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistoru T_{11} W/L pro frekvenci $f = 500$ kHz



Obrázek 62: Závislost absolutní chyby ΔI_{rms} na proudu I a rozměrech tranzistoru T_{11} W/L pro frekvenci $f = 50$ MHz

Zhodnocení simulace:

Na obrázcích 60 - 62 jsou závislosti velikosti absolutní chyby ΔI_{rms} na velikosti vstupního proudu a dané velikosti spínacího tranzistoru T_{11} pro frekvence 1 kHz, 500 kHz a 50 MHz. Z těchto grafů je také patrné, že velikost absolutní chyby ΔI_{rms} není závislá jen na velikosti spínacího tranzistoru, ale i na poměru stran spínacího tranzistoru T_{11} . Z grafů je patrné, že pro nízké frekvence je závislost exponenciální. S rostoucí frekvencí se závislost mění. Při frekvenci 500 kHz je závislost téměř lineární a dále s rostoucí frekvencí se mění na závislost logaritmickou. Dále, jak už bylo zmíněno, z grafů vyplývá, že absolutní chyba ΔI_{rms} spínače roste s rostoucí hodnotou vstupního proudu, frekvencí hodinového signálu a velikostí spínacího tranzistoru T_{11} . Výsledky simulací pro další frekvence hodinového signálu mají podobný tvar průběhu závislostí a jsou v příloze G, obrázky 196 - 201.

Shrnutí simulace:

Menší velikosti absolutní chyby ΔI_{rms} bylo možné dosáhnout také volbou menších rozměrů zbylých tranzistorů v obvodu a volbou menších kapacit kondenzátorů až do daných mezí zvolenou technologií. Velikost absolutní chyby ΔI_{rms} byla ovlivněna i rozdílem strmostí náběžných a sestupných hran spínacího hodinového signálu.

6. Porovnání výsledků a kompenzačních metod

V této kapitole jsou porovnány výsledky všech navržených spínačů z předchozí kapitoly. Porovnání je provedeno na základě velikosti absolutní chyby ΔI_{rms} v následujících tabulkách a na základě časových průběhů vybraných spínačů.

6.1 Tabulky pro porovnání navržených spínačů a kompenzačních metod

V tabulkách 2 a 3 je provedeno porovnání metod pro různé frekvence hodinového signálu, kterým je spínač řízen. Vybrány jsou takové rozměry spínače, které nejlépe potlačují přechodové děje při změně vstupního proudu v rozsahu od 10 μA do 100 μA pro dané metody. V tabulce 2 je zaznamenána maximální velikost absolutní chyby ΔI_{rms} pro takový rozměr spínače, který nejlépe potlačuje zmíněné chyby, bez ohledu na velikost vstupního proudu. Velikost rozměrů použitých tranzistorů, představující spínač, je v tabulce 3. Změna velikosti spínače je značena změnou barvy v daném sloupečku pro každou metodu, barevné značení tabulky 2 odpovídá tabulce 3. Nejmenší velikost absolutní chyby ΔI_{rms} je pro dané frekvence hodinového signálu značena tučně, aby bylo patrné, která metoda potlačuje nejlépe přechodové děje při spínání a rozpínání. Další tabulky naměřených a vypočtených hodnot velikosti absolutní chyby ΔI_{rms} pro navrhované spínače a kompenzační metody jsou v příloze A.

Tabulka 2: Porovnání metod na základě velikosti absolutní chyby ΔI_{rms} při změně frekvence hodinového signálu

$\Delta I_{rms} [\mu\text{A}]$						
Metoda	NMOS	PMOS	Antiparal. PMOS + NMOS	NMOS + Dummy NMOS	Antiparal. PMOS + NMOS s Dummy	Bootstrap NMOS T ₁₁
f [Hz]						
1 k	0,221	13,540	0,352	0,446	1,522	0,180
10 k	0,536	13,540	0,544	0,589	1,552	0,313
100 k	1,389	13,550	1,398	1,336	1,821	0,871
500 k	2,806	13,640	2,733	2,856	2,712	1,922
1 M	4,512	13,740	3,688	4,017	3,522	2,713
5 M	6,180	14,510	6,194	6,519	6,286	6,051
10 M	7,780	15,430	7,641	7,574	7,168	8,552
25 M	11,260	17,900	10,17	10,08	9,356	13,77
50 M	12,480	14,510	9,667	10,86	9,951	16,04

Tabulka 3: Porovnání metod na základě rozměrů použitých tranzistorů W/L při změně frekvence hodinového signálu.

W/L [μm]						
Metoda	NMOS	PMOS	Antiparal. PMOS + NMOS	NMOS + Dummy NMOS	Antiparal. PMOS + NMOS s Dummy	Bootstrap NMOS T_{11}
f [Hz]						
1 k	20/0,7	20/0,7	10/10 + 10/0,7	10/1 + 6/1	10/5 + 3/1 s 20/5 + 1/1	20/0,7
10 k	10/0,7	20/0,7	10/10 + 10/0,7	10/1 + 6/1	10/5 + 3/1 s 20/5 + 1/1	20/0,7
100 k	5/0,7	20/0,7	5/0,7 + 5/0,7	10/1 + 8/1	10/5 + 3/1 s 20/5 + 1/1	20/0,7
500 k	5/0,7	20/0,7	5/0,7 + 3/0,7	10/1 + 8/1	10/5 + 3/1 s 20/5 + 1/1	20/0,7
1 M	1/0,7	20/0,7	5/0,7 + 3/0,7	10/1 + 8/1	10/5 + 3/1 s 20/5 + 1/1	20/0,7
5 M	1/0,7	20/0,7	5/0,7 + 3/0,7	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7
10 M	1/0,7	20/0,7	5/0,7 + 0,7/0,7	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7
25 M	1/0,7	20/0,7	5/0,7 + 0,5/0,7	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7
50 M	1/0,7	20/0,7	5/0,7 + 0,5/0,7	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7

V tabulkách 4 a 5 je provedeno porovnání metod pro různé velikosti vstupního proudu, který spínač vzorkuje. Vybrány jsou takové rozměry spínače, které nejlépe potlačují přechodové děje při změně frekvence hodinového signálu, kterým je spínač spínán nebo rozpínán v rozsahu od 1 kHz do 50 MHz pro dané metody. V tabulce 4 je zaznamenána maximální velikost absolutní chyby ΔI_{rms} pro takový rozměr spínače, který nejlépe potlačuje zmíněné, bez ohledu na velikost frekvence hodinového signálu. Velikost rozměrů použitých tranzistorů, představující spínač je v tabulce 5. Změna velikosti spínače je značena změnou barvy v daném sloupečku pro každou metodu, barevné značení tabulky 4 odpovídá tabulce 5. Nejmenší velikost absolutní

chyby ΔI_{rms} je pro dané velikosti vstupního proudu značena tučně, aby bylo patrné, která metoda potlačuje nejlépe přechodové děje při spínání a rozpínání. Další tabulky naměřených a vypočtených hodnot velikostí absolutní chyby ΔI_{rms} pro navrhované spínače a kompenzační metody jsou v příloze A.

Tabulka 4: Porovnání metod na základě velikosti absolutní chyby ΔI_{rms} při změně velikosti vstupního proudu

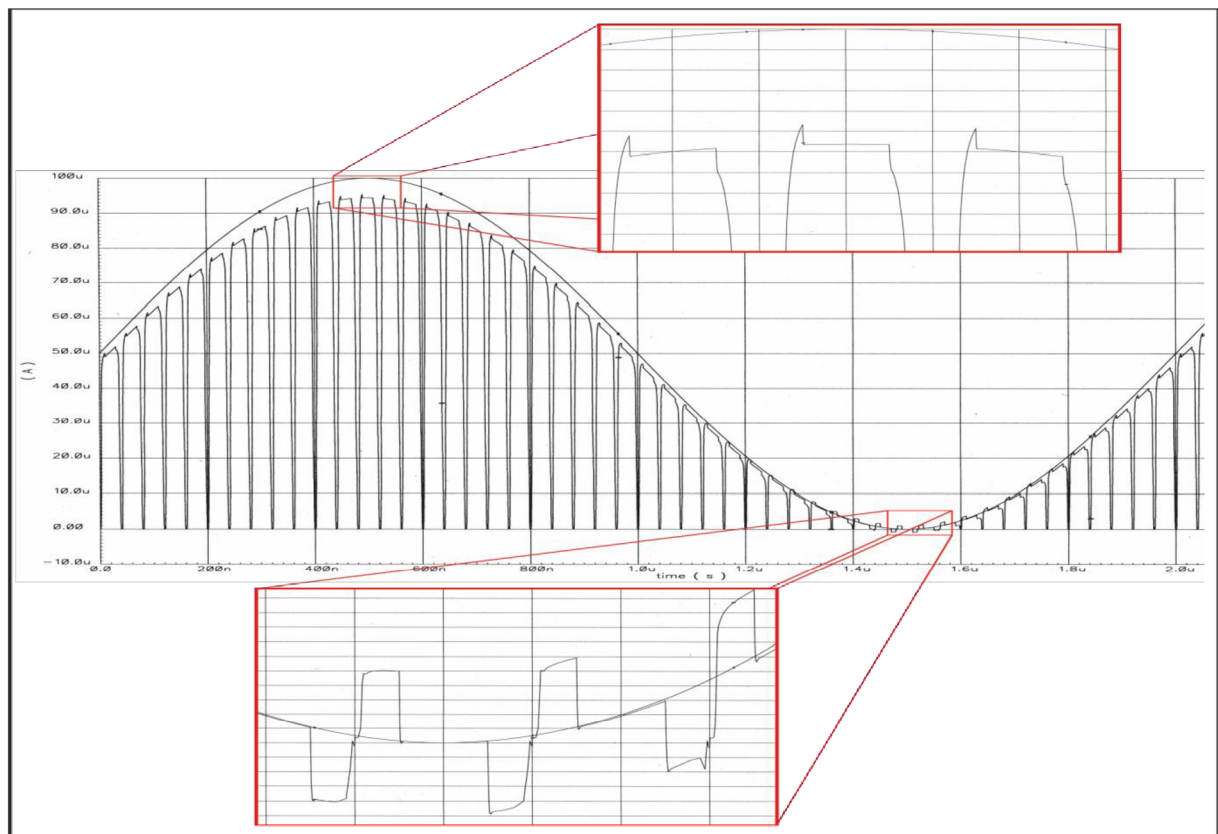
$\Delta I_{rms} [\mu A]$						
Metody	NMOS	PMOS	Antiparal. PMOS + NMOS	NMOS + Dummy NMOS	Antiparal. PMOS + NMOS s Dummy	Bootstrap NMOS T ₁₁
I [μA]						
10	2,388	1,814	2,556	2,193	2,319	3,877
20	4,674	3,138	3,386	4,005	3,686	6,262
40	7,385	6,043	4,762	6,694	5,773	9,105
60	9,676	9,562	6,596	8,508	7,466	11,450
80	11,200	13,360	8,195	9,789	8,799	13,690
100	12,480	17,410	11,130	10,860	9,951	16,400

Tabulka 5: Porovnání metod na základě rozměrů použitých tranzistorů W/L při změně velikosti vstupního proudu

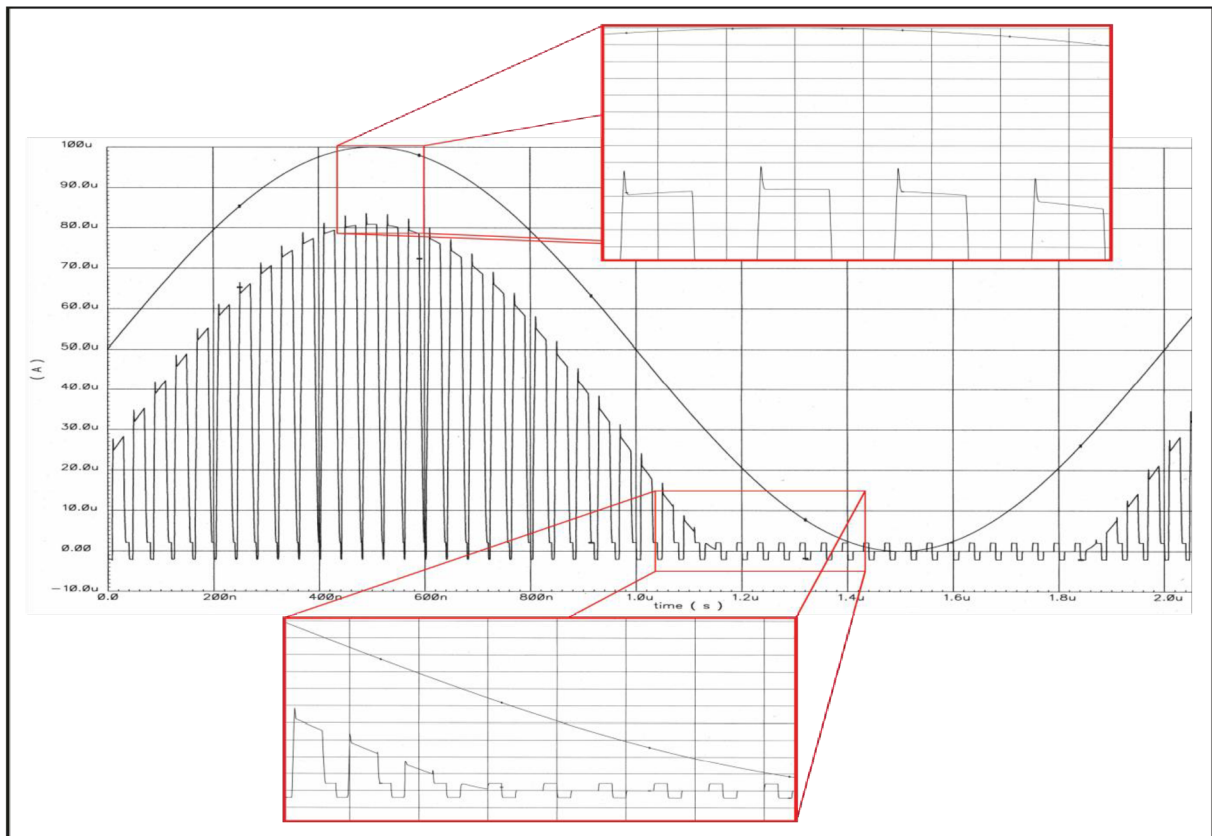
W/L [μm]						
Metody	NMOS	PMOS	Antiparal. PMOS + NMOS	NMOS + Dummy NMOS	Antiparal. PMOS + NMOS s Dummy	Bootstrap NMOS T ₁₁
I [μA]						
10	1/0,7	20/0,7	5/0,7 + 0,5/0,7	1/1 + 1/1	10/1 + 1/1 s 40/5 + 1/1	1/0,7
20	1/0,7	20/0,7	10/5 + 1/5	1/1 + 1/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7
40	1/0,7	20/0,7	10/5 + 1/5	1,7	10/1 + 1/1 s 40/5 + 1/1	20/0,7
60	1/0,7	20/0,7	5/0,7 + 0,5/0,7	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7
80	1/0,7	20/0,7	10/1 + 0,7/1	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7
100	1/0,7	20/0,7	10/5 + 1/1	1/1 + 0,5/1	10/1 + 1/1 s 40/5 + 1/1	20/0,7

6.2 Časové průběhy navržených spínačů a kompenzačních metod

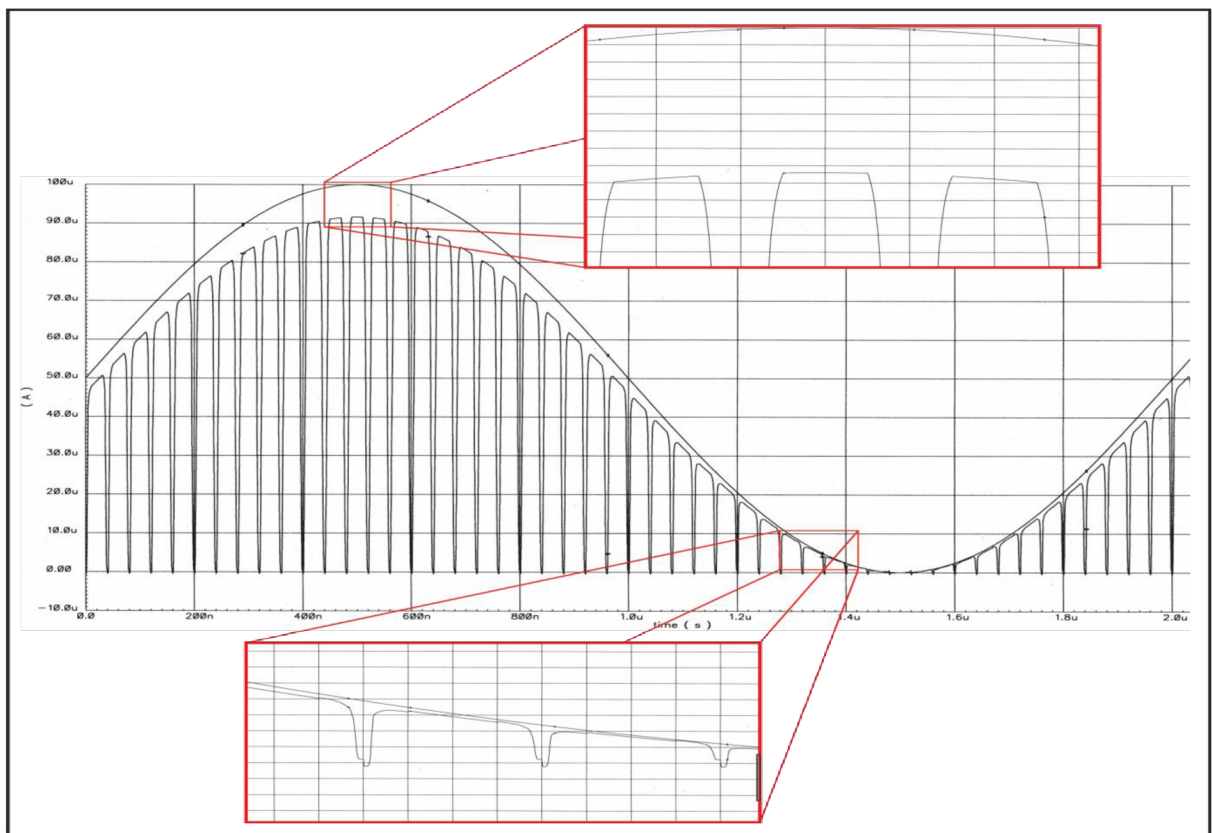
Aby bylo možné i vizuální porovnání navrhovaných spínačů a metod, tak jsou na obrázcích 63 - 68 zobrazeny časové průběhy. Simulace časových průběhů byly provedeny pro frekvenci spínače 25 MHz, který vzorkoval vstupní sinusový signál. Amplituda vstupního signálu byla nastavena 50 μA a frekvence 500 kHz. Bylo nutné nastavit offset vstupního signálu na 50 μA , aby se předešlo záporným hodnotám, pro které by spínač nebyl schopný vzorkovat vstupní signál. Rozměry tranzistorů pro každou metodu byly vybrány na základě nejmenší velikosti absolutní chyby ΔI_{rms} z tabulky 2 příslušného řádku frekvence hodinového signálu 25 MHz. Časové průběhy jsou znázorněny pro jednu periodu vstupního signálu a to pro 500 kHz. Na obrázcích je pro porovnání vidět výstupní vzorkovaný signál, ale i vstupní sinusový signál.



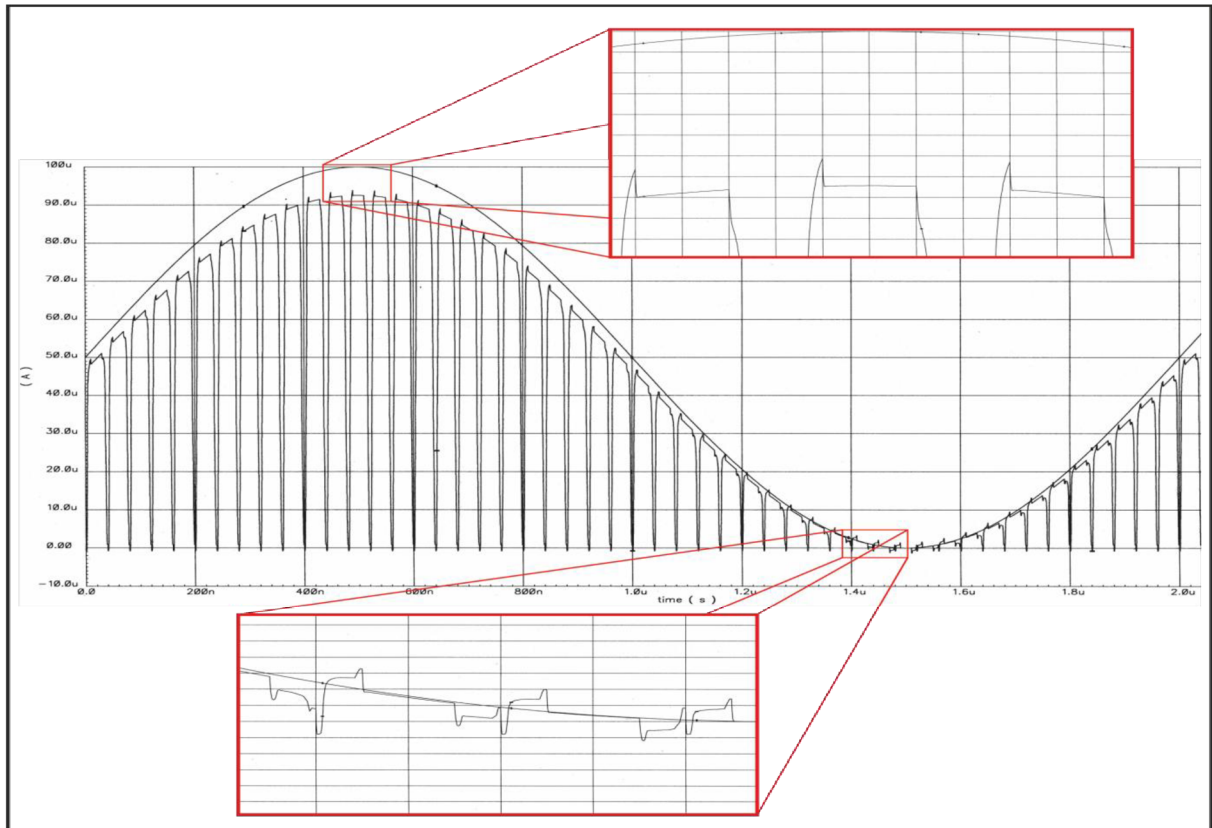
Obrázek 63: Časový průběh pro jednoduchý NMOS spínač o rozměrech $W/L = 1/0,7 \mu\text{m}$



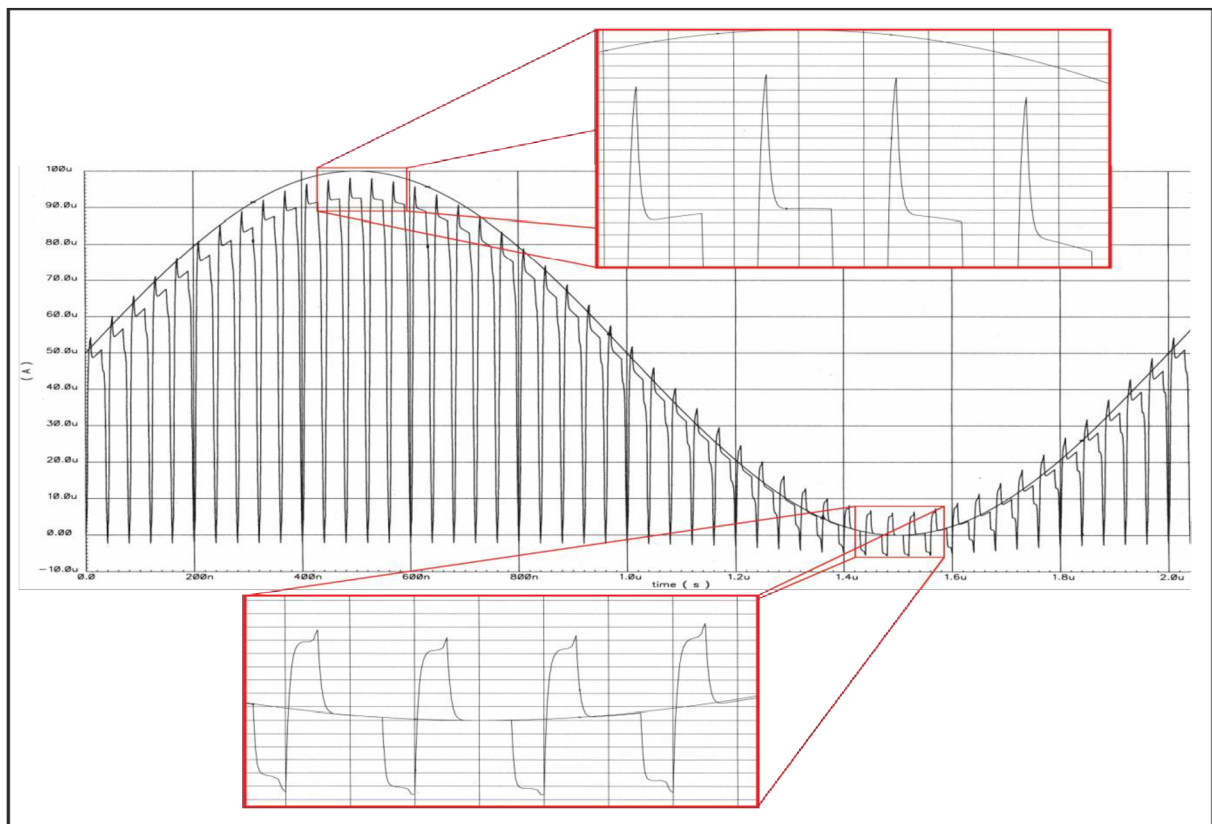
Obrázek 64: Časový průběh pro jednoduchý PMOS spínač o rozměrech $W/L = 20/0,7 \mu\text{m}$



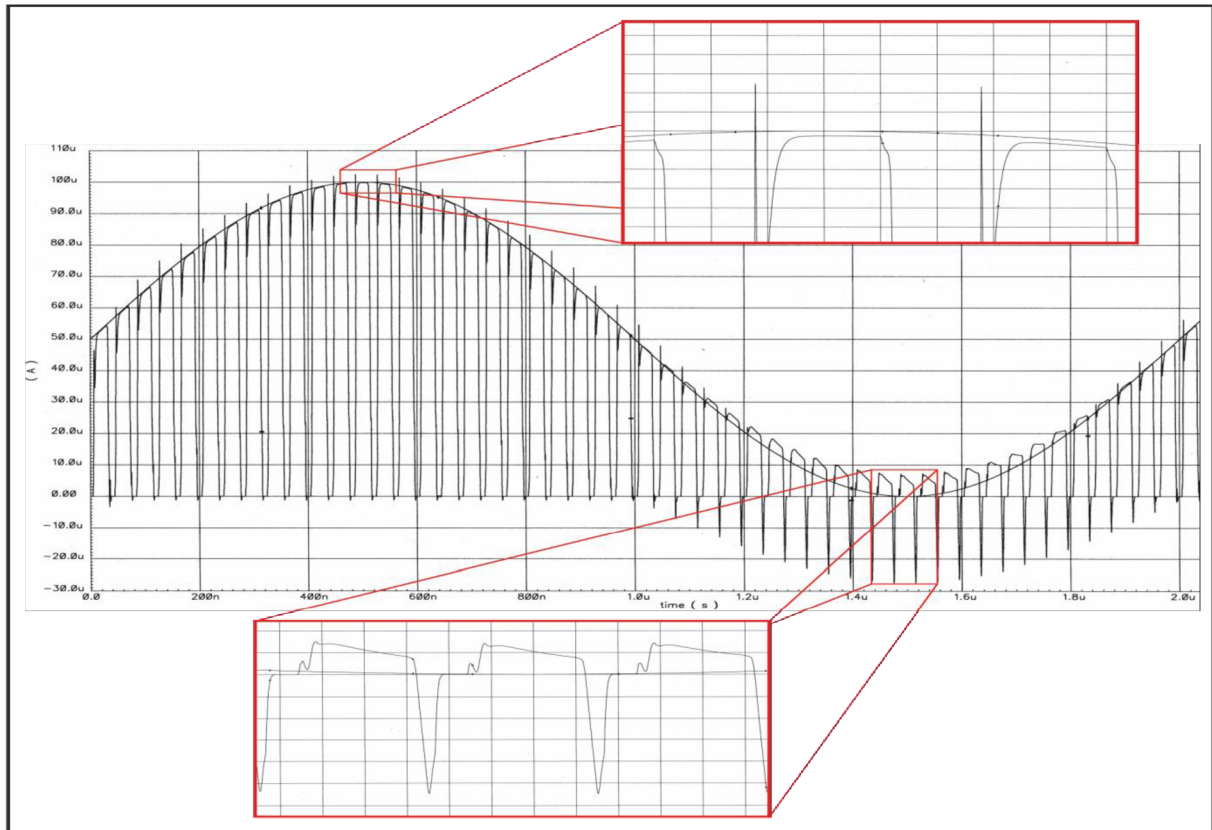
Obrázek 65: Časový průběh pro komplementární spínač – antiparalelní spojení tranzistoru NMOS a PMOS o rozměrech PMOS $W/L = 5/0,7 \mu\text{m}$ a NMOS $W/L = 0,7/0,7 \mu\text{m}$



Obrázek 66: Časový průběh pro NMOS Dummy spínač o rozměrech $W/L = 1/1 \mu\text{m}$ a Dummy $W/L = 0,5/1 \mu\text{m}$



Obrázek 67: Časový průběh pro komplementární spínač doplněný o Dummy tranzistory o rozměrech NMOS $W/L = 1/1 \mu\text{m}$, PMOS $W/L = 10/1 \mu\text{m}$, Dummy PMOS $W/L = 40/5 \mu\text{m}$ a Dummy NMOS $W/L = 1/1 \mu\text{m}$



Obrázek 68: Časový průběh pro Bootstrapped spínač o rozměrech spínacího tranzistoru NMOS T_{11} $W/L = 20/0,7 \mu\text{m}$, ostatních tranzistorů $W/L = 1/0,7 \mu\text{m}$ a velikosti kondenzátorů C_1 až $C_3 = 1 \text{ pF}$

7. Shrnutí a závěr

Tato práce popisuje v teoretické části základní obvody techniky spínaných proudů, jejímž základem jsou proudové paměťové buňky. Jsou zde vysvětleny chyby, které se v této technice vyskytují a metody pro potlačení přechodových jevů nebo jejich částečná kompenzace.

Další kapitoly se zabývají hlavním cílem této práce, a to návrhem spínače či metody, která by potlačovala nebo odstranila přechodové jevy způsobené nabíjením kapacit kanálu, během spínání resp. rozepínání. Prvním krokem bylo navrhnout jednoduchý obvod pro testování navržených spínačů a metod pro simulování reálných podmínek. Tento obvod je v kapitole 4, kde je detailně popsán a je vysvětlena funkce obvodu. Následující kapitoly se zabývají hlavním cílem a to samotným návrhem spínače a poté jsou metody porovnány. Z provedených simulací pro navržené spínače nebo metody vyplývají následující výsledky.

U tranzistoru NMOS jako spínač, je možné zmenšit velikost chyby pronikání hodinového signálu a chybu injekce náboje, pokud jsou zvoleny malé rozměry tranzistoru, čímž se zmenší parazitní kapacita mezi hradlem a elektrodami tranzistoru, ale s klesajícími rozměry tranzistoru se zvětšuje odpor kanálu tranzistoru při spínání, což je vidět v časové analýze na obrázku 63 jako rozdíl úrovně vstupního a vzorkovaného signálu. Tento rozdíl vstupního a vzorkovaného proudu narůstá s rostoucí velikostí vstupního signálu. Samotný tranzistor PMOS jako spínač nelze použít pro jeho velký odpor kanálu při spínání. V časové analýze na obrázku 64 je vidět jak u tohoto spínače je velký rozdíl úrovně velikosti proudu mezi vstupním a vzorkovaným signálem. Z časového průběhu pro komplementární spínač (antiparalelní zapojení tranzistoru PMOS a NMOS), jak je vidět na obrázku 65, je na první pohled patrné, že tato metoda potlačila již zmíněné chyby. Překmit při sepnutí a rozepnutí spínače se podařilo úplně odstranit, ale projevuje se zde chyba způsobená kanálem PMOS tranzistoru, což je vidět jako rozdíl úrovně velikosti proudu mezi vstupním a vzorkovaným signálem. U této metody je také důležitá kombinace rozměrů antiparalelně zapojených PMOS a NMOS tranzistorů. Dummy spínače realizované tranzistory NMOS jsou také efektivní pro potlačení zmíněných chyb. U větších rozměrů tranzistorů jsou tyto spínače schopny potlačit jak velikost překmitu, tak i jeho šířku, která se s rostoucí frekvencí zvětšuje. Pokud jsou použity malé tranzistory, tak velikost a šířku překmitu je možné odstranit téměř úplně, ale na úkor vstupního odporu kanálu tranzistoru, který se projevuje u malých tranzistorů. Časový průběh pro malé rozměry je na obrázku 66, kde je vidět rozdíl úrovně velikosti proudu mezi vstupním a vzorkovaným signálem, který je způsobený odporem kanálu spínacího tranzistoru. Další metodou byla kombinace dvou předchozích metod, tzv. komplementární spínač s Dummy PMOS a NMOS tranzistorem. I tato metoda potlačovala již zmíněné chyby způsobené přechodovými jevy, jak je vidět na obrázku 67. Důležitá u této metody je volba rozměrů všech tranzistorů, hlavně tranzistorů představující komplementární spínač. Pokud jsou

zvoleny malé rozměry, tak se projevuje opět již zmíněný odpor kanálu tranzistoru při spínání. Na obrázku 68 je časový průběh pro Bootstrapped spínač, tento spínač je taky velice efektivní co se týče potlačení zmíněných chyb. Hlavním úkolem tohoto obvodu je potlačení pronikání hodinového signálu na spínací tranzistor. Vyplývá z toho, že dokáže potlačit jak šířku, tak i velikost překmitů při spínání nebo rozepínání. U tohoto spínače je vhodná volba malých tranzistorů a kapacit, aby se neprojevovaly přechodové jevy i v obvodu, který řídí hodinový signál pro spínací tranzistor. Ovšem nevýhoda je použití v oblasti vysokých frekvencí, kde se projevuje zpoždění díky velkému počtu obvodových prvků resp. tranzistorů.

Z této práce vyplývá, že hlavním faktorem, který ovlivňuje všechny již zmíněné chyby, je důležitá volba velikosti spínacího, resp. vzorkovacího tranzistoru, ale i také velikosti všech dalších obvodových součástí navrhovaných spínačů nebo kompenzačních metod. Tato volba také záleží na aplikaci, pro které má být spínač použit, tzv. na frekvenci vzorkování, na oblasti vstupních proudů, jestli bude pracovat v oblasti malých vstupních proudů nebo naopak velkých vstupních proudů. U již navrhovaných spínačů se nepodařilo úplně odstranit chyby způsobené přechodovými ději, ale podařilo se je částečně potlačit, což je patrné z předchozích dvou kapitol. Kladen důraz byl na potlačení chyby způsobené pronikáním hodinové signálu a chyby injekce náboje, tyto chyby se v časové analýze projevovaly jako překmity při sepnutí nebo rozepnutí. U překmitů se s narůstající frekvencí rozšiřovala jejich plocha, což mělo za následek velký nárůst velikosti absolutní chyby ΔI_{rms} . Každá navrhovaná metoda měla jiný efekt na tyto chyby. Velký vliv na velikost absolutní chyby měl rozdíl náběžní a sestupné hrany ideálního vzorkovaného signálu a vzorkovaného signálu navrženým spínačem. Nejefektivnější metodou byl komplementární spínač (antiparalelní zapojení tranzistoru PMOS a NMOS) a v oblasti nízkých frekvencí Bootstrapped spínač.

Na závěr této práce je důležité zdůraznit, že přechodové děje při spínání a rozepínání spínače způsobené parazitní kapacitou kanálu jsou ovlivňovány mnoho faktory. Proto je důležitá volba velikosti tranzistoru a volba vhodné kompenzační metody, která by měla být vybrána na základě, pro které aplikace má být spínač použit.

8. Literatura

- [1] AKSIN, D.; M.A. AL-SHYOUKH a F. MALOBERTI. A bootstrapped switch for precise sampling of inputs with signal range beyond supply voltage. 2005, 743 - 746. ISSN 0-7803-9023-7. DOI: 10.1109/CICC.2005.1568775.
- [2] HÁZE, Jiří. *Ústav mikroelektroniky* [online]. 2010 [cit. 2011-12-14]. Obvody se spínanými proudy. Dostupné z WWW: http://www.umel.feec.vutbr.cz/VIT/images/pdf/aktuality/spinane_proudy-Haze.pdf.
- [3] HUGHES, J.B.; MACBETH, I.C.; REDHILL, D.M. New switched-current integrator. *Electronics Letters*. 24 May 1990, 26, s. 694 - 696. ISSN 0013-5194.
- [4] NAIRN, D.G. A High-Linearity Sampling Technique for switched-Current Circuits. *Circuits and Systems II: Analog and Digital Signal Processing*. 1996, č. 43, s. 49 - 52. ISSN 1057-7130.
- [5] NAIRN, D.G. Zero-Voltage Switching In Switched Current Circuits. *Circuits and Systems*. 1994, č. 5, s. 289 - 292.
- [6] NIANXIONG, Tan; ERIKSSON, S. Low-voltage low-power switched-current circuits and systems. *European Design and Test Conference*. 1995, s. 100 - 104 . ISSN 1066-1409.
- [7] PAVLÍK, Michal. *Modelování perspektivních struktur modulátorů delta-sigma s využitím techniky spínaných proudů*. Brno, 2009. 131 s. Dizertační práce. Vysoké učení technické v Brně.
- [8] QIAN, Libo; YANG Yintang a ZHU Zhangming. A Low Distortion CMOS Bootstrapped Switch. 2009, 261 - 264 [cit. 2012-05-14]. ISBN 978-0-7695-3614-9. DOI: 10.1109/PACCS.2009.97.
- [9] RIFFAUD, P., et al. Charge injection error reduction circuit for switched-current systems. *Electronics Letters*. 1997, 33, s. 1689 - 1691. ISSN 0013-5194.
- [10] TSE, C.K.; CHOW, M.H.L. A new clock-feedthrough cancellation method for second-generation switched-current circuits . *Circuits and Systems*. 1995,3, s. 2104-2107. ISBN 0-7803-2570-2.
- [11] TSE, C.K.; TANG, P.S.; ZENG, X. A New Scheme for Complete Cancellation of Charge Injection Distortion in Second Generation Switched-Current Circuits. *Microelectronics and VLSI*. 1995, s. 127 - 130 . ISBN 0-7803-2624-5.
- [12] TSE, C.K.; TANG, P.S.; ZENG, X. Design of nonlinear switched-current circuits using building block approach. *Design Automation Conference 1998*. 1998, s. 409 - 414 . ISBN 0-7803-4425-1.

- [13] TSE, C.K.; TANG, P.S.; ZENG, X. New switched-current circuits for nonlinear signal processing . *Circuits and Systems*. 1998, 2, s. 359 - 362. ISBN 0-7803-4455-3.
- [14] WANG, Cheng-Ping; WEY, Chin-Long. Test generation of analog switched-current circuits . *Test Symposium*. 1996, 2, s. 276 - 281 . ISBN 0-8186-7478-4.
- [15] WANG, L; YIN, W.J.; XU, J. a J.Y., REN. Dual-channel bootstrapped switch for high-speed high-resolution sampling. 2006, č. 42, 1275 - 1276 [cit. 2012-05-14]. ISSN 0013-5194. DOI: 10.1109/PACCS.2009.97.

Seznam zkratek a symbolů

AC	střídavá složka
A/D	analogově – digitální
CMOS	Complementary Metal Oxide Semiconductor - doplňující se kov-oxid-polovodič
CMP	proudový komparátor se dvěma vstupy
Comp	transimpedanční proudový komparátor
D	Drain – elektroda tranzistoru MOS
DC	stejnoseměrná složka
MOS	Metal Oxide Semiconductor – tranzistor řízený elektrickým polem
S	Source – elektroda tranzistoru MOS
SC	spínané kapacitory
SI	spínané proudy
Subtra	proudový rozdílový zesilovač
VLSI	Very Large Scale Integration – integrace polovodičových prvků na jednom čipu