



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

## NÁVRH DIFERENCIÁLNÍ ROZDÍLOVÉHO ZESILOVAČE V TECHNOLOGII CMOS

DESIGN OF DIFFERENTIAL DIFFERENCE AMPLIFIER IN CMOS TECHNOLOGY

### BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

### AUTOR PRÁCE

AUTHOR

Vladimír Trojan

### VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Vilém Kledrowetz, Ph.D.

BRNO 2021



# Bakalářská práce

bakalářský studijní program **Mikroelektronika a technologie**

Ústav mikroelektroniky

**Student:** Vladimír Trojan

**ID:** 211245

**Ročník:** 3

**Akademický rok:** 2020/21

## NÁZEV TÉMATU:

### Návrh diferenciální rozdílového zesilovače v technologii CMOS

#### POKYNY PRO VYPRACOVÁNÍ:

Cílem práce je navrhnout na tranzistorové úrovni diferenciální rozdílový zesilovač (DDA) v technologii TSMC 0,18. Požadované parametry jsou maximální vstupní a výstupní napěťový rozsah, malá plocha a nízká spotřeba. Dosažené parametry a funkčnost obvodu ověřte pokročilými simulacemi Monte Carlo a Corner v komerčním teplotním rozsahu. Použijte software Cadence Virtuoso a simulátor Spectre.

#### DOPORUČENÁ LITERATURA:

ALLEN, P. E. a Douglas R. HOLBERG. CMOS analog circuit design. International third edition. New York: Oxford University Press, [2012]. ISBN 9780199937424.

**Termín zadání:** 8.2.2020

**Termín odevzdání:** 3.6.2021

**Vedoucí práce:** Ing. Vilém Kledrowetz, Ph.D.

**doc. Ing. Jiří Háze, Ph.D.**  
předseda rady studijního programu

#### UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **Abstrakt**

Bakalářská práce se zabývá návrhem diferenciálního rozdílového zesilovače (DDA) v technologii TSMC 0,18 s maximálním vstupním a výstupním rozsahem, minimální spotřebou a plochou na čipu. V práci jsou rozebrány základy CMOS technologie, používané struktury analogových integrovaných obvodů a operačních zesilovačů. Hlavní zaměření práce je samotný návrh obvodu DDA. Návrh a simulace parametrů DDA byla provedena v programu Cadence Virtuoso a simulačním prostředí ADE Assembler. Layout DDA byl navržen v prostředí Layout XL.

## **Klíčová slova**

Diferenciální rozdílový zesilovač, DDA, CMOS technologie, MOS tranzistory, TSMC 0,18, operační zesilovače, Rail-to-Rail vstup, třída AB, složená kaskoda, layout.

## **Abstract**

The bachelor's thesis deals with the design of differential difference amplifier (DDA) in technology TSMC 0,18 with maximum input and output common mode range, minimum power dissipation and area on chip. The thesis describes the basics of CMOS technology, commonly used structures of analog integrated circuits and operational amplifiers. Main focus of the thesis is design of circuit of DDA. Designing and simulations of DDA parameters were made in program Cadence Virtuoso and ADE Assembler simulation environment. Layout of DDA was designed in Layout XL environment.

## **Keywords**

Differential difference amplifier, DDA, CMOS technology, MOS transistors, TSMC 0,18, operational amplifiers, Rail-to-Rail input, class AB, folded cascode, layout.

## **Bibliografická citace**

TROJAN, Vladimír. *Návrh diferenciální rozdílového zesilovače v technologii CMOS* [online]. Brno, 2021 [cit. 2021-06-03]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/134684>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Vilém Kledrowetz.

# Prohlášení autora o původnosti díla

**Jméno a příjmení studenta:** *Vladimír Trojan*

**VUT ID studenta:** *211245*

**Typ práce:** *Bakalářská práce*

**Akademický rok:** *2020/21*

**Téma závěrečné práce:** *Návrh diferenciálního rozdílového zesilovače v technologii CMOS*

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucího závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 3. 6. 2021

-----  
podpis autora

## **Poděkování**

Děkuji vedoucímu bakalářské práce Ing. Vítězslavu Kledrowetzovi, Ph.D za trpělivost, účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při návrhu diferenciálního rozdílového zesilovače a rovněž za seznámení s návrhovým softwarem Cadence Virtuoso.

V Brně dne: 3. 6. 2021

-----  
podpis autora

# Obsah

<b>SEZNAM OBRÁZKŮ</b> .....	<b>9</b>
<b>SEZNAM TABULEK</b> .....	<b>10</b>
<b>ÚVOD</b> .....	<b>11</b>
<b>1. TECHNOLOGIE CMOS</b> .....	<b>12</b>
1.1 STRUKTURA MOS .....	12
1.1.1 Základní parametry MOS.....	15
1.1.2 Pracovní oblasti MOS.....	16
<b>2. OPERAČNÍ ZESILOVAČE</b> .....	<b>17</b>
2.1 PARAMETRY OPERAČNÍCH ZESILOVAČŮ .....	17
2.2 DIFERENCIÁLNÍ ROZDÍLOVÝ ZESILOVAČ (DDA) .....	19
<b>3. ZÁKLADNÍ STAVEBNÍ BLOKY V INTEGROVANÝCH OBVODECH (IO)</b> .....	<b>20</b>
3.1 PROUDOVÁ ZRCADLA .....	20
3.1.1 Jednoduché proudové zrcadlo.....	20
3.1.2 Kaskodové proudové zrcadlo .....	21
3.2 DIFERENČNÍ PÁR .....	22
<b>4. VSTUP RAIL-TO-RAIL A JEHO KOMPENZACE</b> .....	<b>24</b>
<b>5. STRUKTURA OZ</b> .....	<b>28</b>
5.1 DVOJSTUPŇOVÉ OPERAČNÍ ZESILOVAČE.....	28
5.2 SLOŽENÁ KASKODA.....	28
<b>6. VÝSTUPNÍ TŘÍDY OPERAČNÍCH ZESILOVAČŮ</b> .....	<b>30</b>
6.1 VÝSTUP VE TŘÍDĚ A .....	30
6.2 VÝSTUP VE TŘÍDĚ B .....	30
6.3 VÝSTUP VE TŘÍDĚ AB .....	31
<b>7. PRAKTICKÝ NÁVRH DDA</b> .....	<b>33</b>
7.1 VÝPOČET TRANZISTORŮ RTR VSTUPU S KOMPENZACÍ GM .....	33
7.2 NÁVRH TRANZISTORŮ KASKODY .....	36
7.3 NÁVRH VÝSTUPNÍHO STUPŇĚ AB.....	38
7.4 REFERENČNÍ OBVOD.....	40
<b>8. SIMULACE NAVRŽENÉHO DDA</b> .....	<b>42</b>
8.1 AC ANALÝZA .....	42
8.2 DC ANALÝZA .....	43
8.2.1 Vstupní napěťový rozsah (ICMR).....	44
8.2.2 Výstupní napěťový rozsah (OCMR) .....	45
8.3 ČASOVÁ ANALÝZA .....	46
8.4 SIMULACE CMRR.....	47
8.5 SIMULACE PSRR .....	47
8.6 OVĚŘENÍ FUNKČNOSTI DDA .....	49

<b>9. LAYOUT</b> .....	<b>52</b>
9.1 ZÁKLADNÍ PRAVIDLA NÁVRHU.....	52
9.2 TECHNIKY NÁVRHU LAYOUTU.....	52
<b>10. ZÁVĚR</b> .....	<b>54</b>
<b>SEZNAM POUŽITÉ LITERATURY</b> .....	<b>55</b>
<b>SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>57</b>
<b>SEZNAM PŘÍLOH</b> .....	<b>58</b>



# Seznam obrázků

1.1:	Schematická značka NMOS a PMOS .....	12
1.2:	Struktura NMOS .....	13
1.3:	Výstupní charakteristika NMOS [5].....	14
1.4:	Zaškrcení kanálu NMOS .....	14
2.1:	Schématická značka DDA.....	19
2.2:	Blokové schéma DDA [7] .....	19
3.1:	Jednoduché proudové zrcadlo .....	20
3.2:	Kaskodové proudové zrcadlo .....	22
3.3:	Diferenční zesilovač NMOS s aktivní zátěží.....	23
4.1:	Pracovní napětí NMOS a PMOS diferenčního páru.....	24
4.2:	Zapojení Rail-to-Rail vstupu DDA .....	25
4.3:	Zapojení s obvodem kompenzace $g_m$ .....	26
4.4:	Zapojení sledovače napětí s DDA .....	27
5.1:	Blokové schéma dvoustupňového zesilovače.....	28
5.2:	Obvod složené kaskody.....	29
6.1:	a) schéma zapojení NMOS a PMOS výstupu ve třídě A, b) převodní charakteristika třídy A [1] ....	30
6.2:	a) schéma zapojení výstupu ve třídě B, b) převodní charakteristika třídy B [1].....	31
6.3:	a) schéma zapojení výstupu ve třídě AB, b) převodní charakteristika třídy AB [1].....	32
7.1:	Navržený obvod RtR vstupu s kompenzací $g_m$ .....	34
7.2:	Navržený obvod kaskody .....	38
7.3:	Navržený výstupní stupeň AB.....	39
7.4:	Navržený referenční obvod .....	41
8.1:	Zapojení pro AC analýzu .....	42
8.2:	Kmitočtová charakteristika DDA .....	43
8.3:	Zapojení pro napět'ového sledovače.....	44
8.4:	Průběh proudu $I_1$ a $I_3$ v závislosti na vstupním napětí .....	45
8.5:	Výstupní napětí zesilovače při rozmítání vstupního signálu .....	45
8.6:	Průběh vstupního a výstupního obdélníkového signálu DDA.....	46
8.7:	Zapojení sledovače pro simulaci CMRR.....	47
8.8:	Kmitočtová charakteristika CMRR zesilovače.....	47
8.9:	Zapojení sledovače pro simulaci PSRR .....	48
8.10:	Frekvenční charakteristika PSRR zesilovače .....	48
8.11:	Sumační zapojení DDA bez vnějších součástek.....	49
8.12:	Průběh vstupního a výstupního signálu sumačního zapojení .....	49
8.13:	Zapojení zdroje proudu řízeného napětím (VCCS).....	50
8.14:	Napětí na vstupu a výstupu DDA a výstupní proud VCCS.....	50
9.1:	a) Multifinger (víceprstý) tranzistor, b) dif. pár se zarovnanými gate hradly c) dif. pár s paralelními gate hradly .....	53
9.2:	a) Cross-quad, b) Interdigization, c) Common centroid layout .....	53

# Seznam tabulek

2.1: Vlastnosti ideálního a reálného zesilovače [8], [9], [10], [11] .....	17
7.1: Požadované parametry DDA.....	33
7.2: Parametry technologie TSMC 0,18 .....	33
7.3: Parametry NMOS tranzistorů RtR vstupu .....	36
7.4: Parametry PMOS tranzistorů RtR vstupu.....	36
7.5: Parametry NMOS a PMOS tranzistorů kaskody .....	37
7.6: Parametry tranzistorů NMOS a PMOS výstupního stupně .....	39
7.7: Parametry tranzistorů NMOS a PMOS referenčního obvodu .....	40
8.1: Parametry zjištěné z kmitočtové charakteristiky .....	43
8.2: Zjištěné hodnoty mezní rychlosti přeběhu <i>SR</i> .....	46
8.3: Zjištěné parametry CMRR a PSRR.....	48
8.4: Přehled parametrů navrženého DDA.....	51

# Úvod

Operační zesilovače (OZ) jsou stejnosměrné zesilovací analogové elektronické obvody, které jsou hlavním prvkem analogových elektronických systémů. Prvními byly zesilovače konstruované z elektronek ve 40. letech minulého století. Až později s rozvojem polovodičové techniky se přešlo na diskrétní polovodičové součástky. Současné OZ se vyrábějí téměř výhradně jako integrované obvody, jež často sdružují několik operačních zesilovačů.

Původní využití OZ spočívalo v realizaci matematických funkcí v analogových počítačích. V dnešní době mají široké spektrum využití dané hlavně možnostmi zapojení do obvodu s externími součástkami, které upravují parametry obvodu. Zesilovač je tedy velmi variabilní součástka. Pro některé komplexnější zapojení se koncept diferenčního OZ rozšiřuje na diferenciální rozdílový zesilovač (DDA – differential difference amplifier), který má na rozdíl od běžného diferenčního zesilovače čtyři vstupy a porovnává dva diferenční signály z těchto vstupů. To umožňuje vytváření složitějších integrovaných obvodů za použití jediného operačního zesilovače.

První kapitola této práce se zabývá tranzistory MOS. Je zde rozebrána technologie CMOS, využívaná pro návrh analogových integrovaných obvodů.

Druhá kapitola uvádí OZ, rozdíl mezi ideálním a reálným zesilovačem a popisuje jejich základní parametry. Dále je uveden DDA a jeho bloková struktura spolu s využitím.

V kapitolách tři až šest jsou popsány základní funkční struktury analogových integrovaných obvodů a vnitřní struktury operačních zesilovačů.

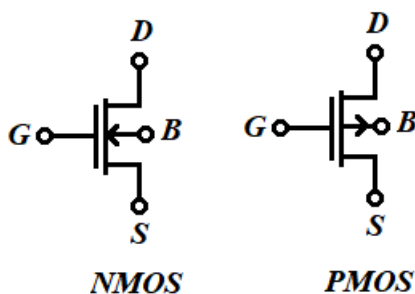
Kapitoly sedm a osm popisují praktickou část, kde je popsán návrh jednotlivých částí diferenciálního rozdílového zesilovače. K návrhu je využíváno prostředí Cadence Virtuoso a vlastnosti zesilovače jsou ověřovány v simulačním prostředí ADE Assembler.

Poslední kapitola uvádí základní pravidla a techniky návrhu topologie na čipu.

# 1. Technologie CMOS

Tranzistor je základním stavebním prvkem veškeré analogové a digitální techniky. Je to aktivní polovodičová součástka. Tranzistory můžeme rozdělit do dvou skupin (bipolární, unipolární) podle způsobu přenosu elektrického náboje. Bipolární tranzistory využívají k přenosu náboje oba typy nosičů, zatímco unipolární tranzistory vždy využívají jen jeden typ. Unipolární tranzistory dosahují nízké spotřeby kvůli vysokému vstupnímu odporu. Další výhodou téměř nulová produkce šumu díky lineární VA charakteristice v prvním kvadrantu. Velkou výhodou je i vyšší potenciál miniaturizace unipolárních tranzistorů oproti jejich bipolárním protějškům. Z těchto důvodů se unipolární tranzistory vyskytují u čistě digitálních integrovaných obvodů (IO) a kombinovaných IO s analogovou a digitální částí. V této práci se nadále budou řešit jen unipolární tranzistory [1].

Technologie CMOS (complementary-metal-oxid-semiconductor) se používá pouze v integrovaných obvodech. Jejím základem je dvojice komplementárních tranzistorů NMOS a PMOS s indukovaným kanálem. Jednotlivý MOS tranzistor je čtyř vývodová součástka s vývody drain (D), source (S), gate (G, hradlo, řídicí elektroda) a bulk (B, substrát). Schematická značka je na obr. 1.1 [2], [3].



Obr. 1.1: Schematická značka NMOS a PMOS

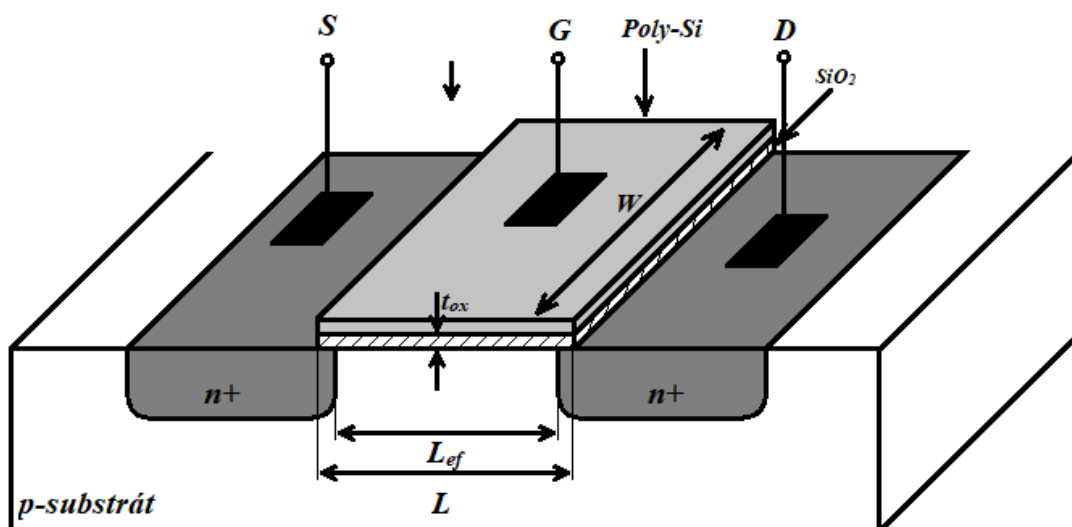
Rozdíl mezi těmito MOSFET (MOS) tranzistory je v typu nosičů elektrického náboje, které zprostředkovávají vodivý kanál. U NMOS tranzistoru je vodivý kanál tvořen inverzní vrstvou elektronů, zatímco u PMOS ho umožňuje inverzní vrstva děr [4].

## 1.1 Struktura MOS

Pro zjednodušení bude k analýze sloužit pouze NMOS tranzistor. U PMOS tranzistoru se aplikují stejné principy, avšak s opačným druhem vodivosti.

Struktura NMOS se vytváří na polovodičovém substrátu typu P s dvěma silně dopovanými oblastmi typu N, které tvoří kontakty source a drain. Na substrátu mezi source a drain je tenká izolační vrstva a nad ní vodivá elektroda, sloužící jako řídicí elektroda – gate. Názvy elektrod source a drain jsou dány jejich funkcí. Source je elektroda, která slouží jako zdroj nosičů náboje pro indukovaný kanál, zatímco elektroda drain je místem kam nosiče náboje odtékají. Jako substrát se používá většinou křemík.

Pro izolační vrstvu se používá jako velmi dobrý izolant oxid křemičitý ( $\text{SiO}_2$ ). Řídící elektroda je v současnosti vyráběna z velmi dobře vodivého, silně dopovaného polykrystalického křemíku (poly-Si). Tato struktura je zobrazena na obr. 1.2.



Obr. 1.2: Struktura NMOS

$L$  – zamýšlená vzdálenost oblastí drain a source

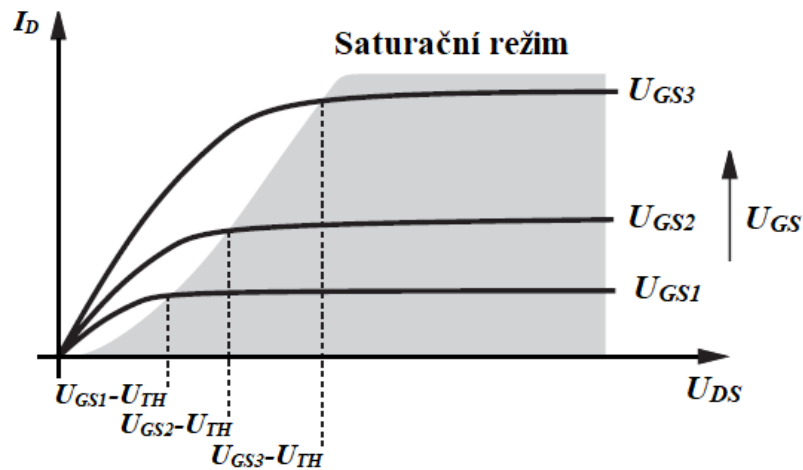
$L_{ef}$  – skutečná vzdálenost oblastí drain a source

$W$  – šířka kanálu

$t_{ox}$  – tlouška izolační vrstvy

Vzdálenost mezi drainem a sourcem je ve skutečnosti o něco menší, než je zamýšlená vzdálenost, jak je možné vidět na obr. 1.2. Ke zkrácení délky dochází kvůli překryvu oblastí drain/source s hradlem. Tento překryv je důležitý pro zabezpečení vzniku vodivého kanálu, avšak je snaha, aby byl co nejkratší kvůli parazitní kapacitě.

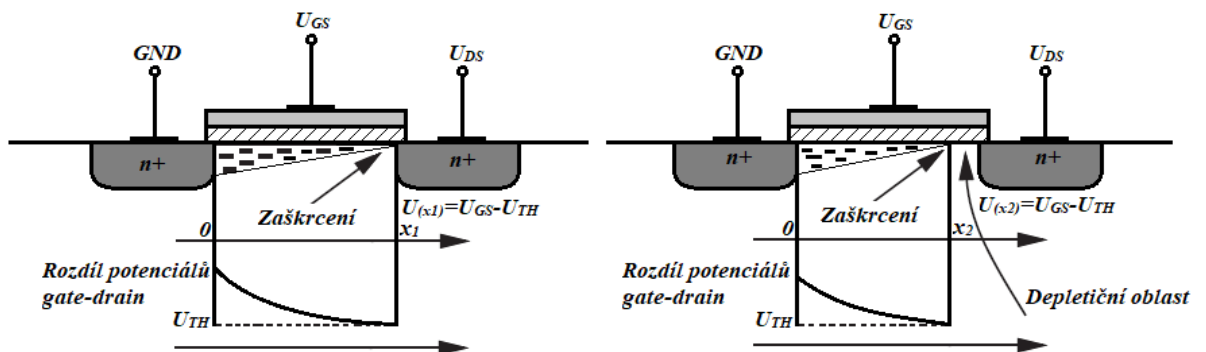
Přivedeme-li na řídicí elektrodu dostatečné napětí  $U_{GS}$  správné polaroty, dojde pod vrstvou izolantu k přitažení minoritních nosičů a odpuzení majoritních nosičů p - substrátu. Tím se pod izolační vrstvou  $\text{SiO}_2$  vytvoří inverzní vrstva elektronů, která vodivě spojí drain a source. Protože jde o rozhraní dielektrikum – polovodič, dojde pod hradlem k vytvoření depleční oblasti. Přiložením napětí  $U_{GS}$  se vytvoří vodivý kanál, avšak proud  $I_D$  začne protékat až po přiložení napětí  $U_{DS}$  mezi drain a source. Protékající proud  $I_D$  tedy závisí na velikosti  $U_{GS}$  a  $U_{DS}$ . Tuto závislost lze vidět na výstupní charakteristice NMOS tranzistoru na obr. 1.3.



Obr. 1.3: Výstupní charakteristika NMOS [5]

Jak je možné vidět na obr. 1.3, tranzistor se do určitého bodu chová jako odpor řízený napětím. Tento stav tranzistoru se nazývá **lineární režim** (nebo také ohmický, popř. triodový). Proud  $I_D$  však nesleduje neustálý nárůst napětí  $U_{DS}$ , ale v určitém bodě se stává téměř konstantním. Zvyšováním napětí  $U_{DS}$  dochází ke snižování rozdílu potenciálu mezi hradlem (gate) a oblastí drain. Tím se snižuje potenciál přitahující inverzní vrstvu elektronů. Kanál se tak zužuje a depletiční vrstva kolem oblasti drain se rozšiřuje. Když dosáhne rozdíl potenciálů minimální hodnoty prahového napětí  $U_{TH}$  pro vytvoření inverzní vrstvy, dojde k zaškrvení kanálu u oblasti drain, jak je možné vidět na obr. 1.4. K zaškrvení dochází, když  $U_{DS} \geq U_{GS} - U_{TH}$ .

Navzdory zaškrvení kanálu však nepřestává procházet proud  $I_D$ . To je způsobeno tím, že elektrony při přibližování k bodu zaškrvení kanálu velmi zrychlují a při průchodu bodem zaškrvení kanálu jsou vystřeleny přes depletiční oblast až do oblasti drain. Proud  $I_D$  se však již se zvyšujícím napětím  $U_{DS}$  nemění. V této stavu je tranzistor v **saturačním režimu** a využívá se jej k zesilování signálu [1], [5], [6].



Obr. 1.4: Zaškrvení kanálu NMOS

### 1.1.1 Základní parametry MOS

Pro určení parametrů MOS tranzistoru slouží jeho analogové modely. V základním modelu, který se využívá i pro ruční výpočty, jsou využívány parametry saturačního proudu  $I_D$ , transkonduktanční parametr  $KP$ , transkonduktance  $g_m$  a výstupní odpor  $r_{DS}$ . Návrhář si některé tyto parametry volí a na základě nich počítá rozměry tranzistoru [1], [5].

**Saturační proud  $I_D$**  – proud procházející tranzistorem v režimu saturace. Proud  $I_D$  je dán vztahem (1.1).

$$I_D = \frac{1}{2} KP \frac{W}{L} (U_{GS} - U_{TH})^2, \quad (1.1)$$

kde je:

- $KP$  – transkonduktanční parametr,
- $W/L$  – poměr šířky a délky kanálu tranzistoru,
- $U_{GS}$  – napětí mezi gate a source,
- $U_{DS}$  – napětí mezi source a drain,
- $U_{TH}$  – prahové napětí.

**Transkonduktanční parametr  $KP$**  - je konstanta určená použitou technologií. Závisí na pohyblivosti nosičů v kanálu a kapacitě izolační vrstvy hradla.

**Prahové napětí  $U_{TH}$**  – minimální napětí, které je nutné přivést na hradlo tranzistoru, aby se pod ním vytvořila inverzní vrstva. Velikost napětí  $U_{TH}$  je ovlivnitelná potenciálem substrátu.

Nastavení hodnoty  $U_{TH}$ , spolu s hodnotou  $U_{GS}$ , určuje pracovní oblast tranzistoru MOS. Rozdíl napětí  $U_{GS} - U_{TH}$  rozhoduje, zda se pracovní bod tranzistoru nachází v oblasti slabé inverze, silné inverze, či saturace [1].

**Transkonduktance  $g_m$**  – veličina popisující změnu výstupního saturačního proudu  $I_D$  v závislosti na napětí hradla  $U_{GS}$  při konstantním napětí  $U_{DS}$ .

$$g_m = KP \frac{W}{L} (U_{GS} - U_{TH}) . \quad (1.2)$$

Úpravami lze získat i další tvary pro transkonduktanci  $g_m$ :

$$g_m = \sqrt{2KP \frac{W}{L} I_D} = \frac{2I_D}{U_{GS} - U_{TH}} . \quad (1.3)$$

**Výstupní odpor  $r_{ds}$**  – výstupní odpor mezi oblastí source a drain [1].

$$r_{DS} = \frac{1}{\lambda I_D} = r_{out} , \quad (1.4)$$

kde je:

- $\lambda$  – modulace délky kanálu,
- $I_D$  – saturační proud

### 1.1.2 Pracovní oblasti MOS

Pracovní oblast tranzistoru určuje rozdíl napětí  $U_{GS} - U_{TH}$ .

- **Oblast slabé inverze** – v této oblasti je standardně uváděn rozdíl  $U_{GS} - U_{TH} < 0,2$  V. Oblasti se využívá u nízkovýkonových aplikací. Při slabé inverzi se objevují problémy se šumem a tranzistor je velice pomalý. Výhodou je nízká spotřeba.
- **Oblast silné inverze** – je nejčastěji využívanou pracovní oblastí, díky dobrému kompromisu mezi efektivitou a rychlostí. Tranzistor se nachází v této oblasti, když je standardně uváděný rozdíl napětí  $0,2 \text{ V} < U_{GS} - U_{TH} < 0,5 \text{ V}$ .
- **Oblast saturace rychlosti nosičů** – zvyšováním rozdílu napětí nad hodnotu  $U_{GS} - U_{TH} > 0,5 \text{ V}$  se dostává tranzistor do oblasti saturace rychlosti nosičů. V této oblasti prochází nosiče el. náboje kanálem maximální rychlostí. Z toho důvodu roste proud lineárně v závislosti na napětí  $U_{GS}$ . Kvůli stálé transkonduktanci a zvyšující se proudové spotřebě se oblast nevyužívá [1], [6].

Hodnoty rozdílů napětí pro jednotlivé pracovní oblasti se mohou lišit v závislosti na technologii. V modernějších technologiích může být minimální, resp. maximální napětí nutné pro silnou inverzi nižší, resp. vyšší.



## 2. Operační zesilovače

Operační zesilovače jsou polovodičové integrované obvody. Původní využití operačních zesilovačů bylo v analogových počítačích pro realizaci matematických funkcí, odtud název operační. V současnosti mají široké spektrum využití a najdeme je např. v analogově-digitálních (A/D) převodnících, měřicí systémech atd. [7].

### 2.1 Parametry operačních zesilovačů

Je nutno uvažovat dva modely zesilovače. Ideální model zesilovače se používá především pro usnadnění výpočtů. Ideální model však ve skutečnosti neexistuje, protože má nedosažitelné parametry. Jeho reálný model, s již nedokonalými vlastnostmi, se mu snaží co nejvíce přiblížit. Vlastnosti ideálního a dosažitelné vlastnosti reálného zesilovače jsou v tab. 2.1 [5].

Tab. 2.1: Vlastnosti ideálního a reálného zesilovače [8], [9], [10], [11]

Ideální zesilovač		Reálný zesilovač	
Zesílení v otevřené smyčce $A_U$ [dB]	$\infty$	Zesílení v otevřené smyčce $A_U$ [dB]	0-120 dB
Vstupní odpor $R_{IN}$ [ $\Omega$ ]	$\infty$	Vstupní odpor $R_{IN}$ [ $\Omega$ ]	1-100 M $\Omega$
Výstupní odpor $R_{OUT}$ [ $\Omega$ ]	0	Výstupní odpor $R_{OUT}$ [ $\Omega$ ]	10-100 $\Omega$
Tranzitní kmitočet $GBW$ [Hz]	$\infty$	Tranzitní kmitočet $GBW$ [Hz]	Až jednotky GHz
Vstupní napěťová nesymetrie [V]	0	Vstupní napěťová nesymetrie [V]	100 $\mu$ V-10 mV
Potlačení změn napájecího napětí ( $PSRR$ ) [dB]	$\infty$	Potlačení vlivu změn napájecího napětí ( $PSRR$ ) [dB]	Až 130 dB
Potlačení souhlasného signálu ( $CMRR$ ) [dB]	$\infty$	Potlačení souhlasného signálu ( $CMRR$ ) [dB]	Až 130 dB

#### Zesílení v otevřené smyčce $A_U$

Je to zesílení OZ bez kladné nebo záporné zpětné vazby. Udává poměr výstupního napětí k vstupnímu. Může být vyjádřeno číslem vyjadřující poměr (2.1), častěji se však uvádí v jednotkách dB (2.2) [8], [10].

$$A_U = \frac{U_{OUT}}{U_{IN}}, \quad (2.1)$$

$$A_U = 20 \cdot \log_{10} \left( \frac{U_{OUT}}{U_{IN}} \right), \quad (2.2)$$

kde je:

- $U_{OUT}$  – výstupní napětí zesilovače,
- $U_{IN}$  – vstupní napětí zesilovače.

### **Tranzitní kmitočet, *GBW* (gain-bandwidth)**

Parametr *GBW* udává frekvenci, při které zesilovač dodává jednotkové zesílení, tedy  $A_U = 0$  dB. Při vyšších frekvencích zesilovač vstupní signál již zeslabuje [11].

### **Vstupní napěťová nesymetrie (offset)**

Udává napětí, které je nutné přivést na vstupy, aby bylo výstupní napětí rovno napětí analogové země.

### **Potlačení souhlasného signálu, *CMRR* (common - mode rejection ratio)**

Definuje schopnost zesilovače potlačovat stejnosměrnou složku vstupního signálu. Je dáno vztahem (2.3) [1], [6].

$$CMRR = 20 \cdot \log_{10} \left( \frac{A_U}{A_{CM}} \right), \quad (2.3)$$

kde je:

- $A_U$  – Zesílení OZ v otevřené smyčce pro nízké kmitočty,
- $A_{CM}$  – Zesílení souhlasného napětí

### **Potlačení změn napájecího napětí, *PSRR* (power supply rejection ratio)**

Vyjadřuje schopnost zesilovače potlačovat změnu napětí (šum) napájecího zdroje vůči výstupnímu napětí. Jeho hodnota je vyjádřena obdobně jako *CMRR* ve vztahu (2.3).

### **Mezní rychlost přeběhu, *SR* (slew-rate)**

Udává maximální změnu napětí na výstupu za jednotku času. Rychlost přeběhu je ovlivňována parazitními kapacitami tranzistorů, nebo kompenzační kapacitou zesilovače  $C_C$ . Při návrhu parametru *SR* se vyvažuje mezi spotřebou a rychlostí.

### **Fázová bezpečnost, *PM* (phase margin)**

Fázová bezpečnost *PM* charakterizuje absolutní hodnotu fázového posunu zpětné vazby na tranzitním kmitočtu. Je dána vztahem (2.4).

$$PM = 180^\circ - \phi, \quad (2.4)$$

kde  $\phi$  je fázový posun signálu při jednotkovém zesílení.

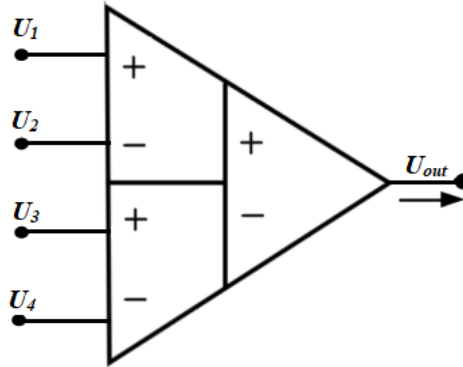
Operační zesilovače se obvykle navrhují na hodnotu  $PM = 60^\circ$  pro zajištění stability. Toho se dosahuje přidáním kompenzační kapacity do zpětné vazby [10].

### **Amplitudová bezpečnost, *GM* (gain margin)**

Amplitudová bezpečnost *GM* je rozdíl mezi zesílením v dB na mezním kmitočtu a zesílením na kmitočtu, kdy fázový posun zpětné vazby dosáhne  $180^\circ$ .

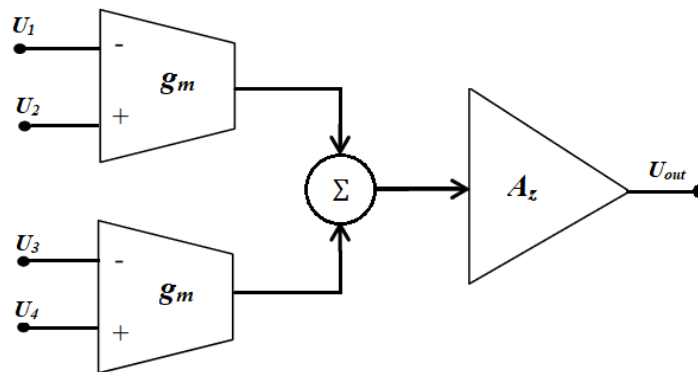
## 2.2 Diferenciální rozdílový zesilovač (DDA)

Koncept diferenciálního zesilovače je nyní rozšířen na DDA se čtyřmi vstupy (dva invertující, dva neinvertující), jedním společným výstupem a dvěma napájecími vstupy. Na rozdíl od běžného operačního zesilovače, DDA porovnává dva diferenciální signály. Symbol DDA je na obr. 2.1.



Obr. 2.1: Schématická značka DDA

Podle obr. 2.1 by se dalo předpokládat, že DDA lze realizovat pomocí tří diferenciálních zesilovačů. To však ve skutečnosti je jen obtížně realizovatelné, protože zisk z prvních dvou OZ by musel být naprosto stejný [7]. Obvod DDA je však možné realizovat blokovou strukturou na obr. 2.2.



Obr. 2.2: Blokové schéma DDA [7]

Výstupní napětí takového zesilovače je:

$$U_{OUT} = g_m A_z [(U_1 - U_2) - (U_3 - U_4)]. \quad (2.5)$$

Výhodou použití DDA je možnost realizace komplexních obvodů za použití jediného zesilovače, například obvody s dvojnásobným zesílením bez potřeby externích součástek, sumační a diferenciální obvody nebo plně diferenciální aktivní filtry [7].

## 3. Základní stavební bloky v integrovaných obvodech (IO)

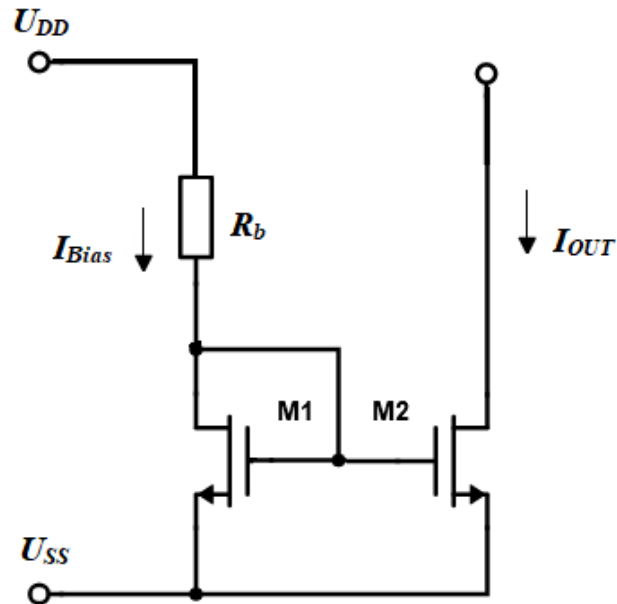
Pro návrh analogových integrovaných obvodů se využívají různá obvodová řešení s využitím tranzistorů MOS. V této kapitole bude popsána funkce a zapojení základních stavebních bloků analogových IO.

### 3.1 Proudová zrcadla

Proudová zrcadla jsou v analogových obvodech základním stavebním prvkem. Velmi často se používají jako zdroje konstantního proudu, ale také jako náhrada za rezistory s vysokým odporem, které zabírají velké množství místa. Obvykle tak proudová zrcadla ve funkci aktivní zátěže nahrazují zatěžovací rezistory zesilovače.

#### 3.1.1 Jednoduché proudové zrcadlo

Jednoduché proudové zrcadlo je obvod se dvěma tranzistory stejného typu. Předpokladem je, že oba tranzistory jsou v saturačním režimu. Tranzistorem M1, zapojeném v diodovém zapojení, prochází referenční proud  $I_{Bias}$ , který nastavuje řídicí napětí  $U_{GS1}$ , a to je přiváděno na hradlo tranzistoru M2.



Obr. 3.1: Jednoduché proudové zrcadlo

Tranzistory M1 a M2 tak mají nastavené stejné pracovní body a liší se jen v rozměrech. Pro procházející proud platí rovnice (3.1).

$$\frac{I_{OUT}}{I_{Bias}} = \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{M1}} \quad (3.1)$$

Hlavní výhodou tohoto zapojení je zrcadlení řídicího proudu do výstupní větve ve zvoleném poměru s přesností až 1%. To umožňuje z jednoho vstupního proudu vytvářet v obvodu další proudy v poměru zvoleném návrhářem podle vztahu (3.1). Přesnost zrcadlení má rovněž za následek potlačení vlivu rozptylu parametrů způsobených výrobním procesem, protože chyba vzniklá ve vstupní větvi bude v přesném poměru přenesena do výstupní větve a všechny výstupní proudy budou stále v přesném poměru k vstupnímu proudu. Další výhodou je rozsah výstupního napětí, pro který se proudové zrcadlo chová jako zdroj proudu s danými parametry. Výstupní napěťový rozsah je omezen pouze saturačním napětím tranzistoru M2. Nevýhodou je nízký výstupní odpor, daný rovnicí (3.2).

$$r_{out} = \frac{1}{\lambda I_{OUT}} \quad (3.2)$$

Výstupní odpor se dá zvýšit použitím pokročilejších obvodových řešení, např. kaskodového zapojení.

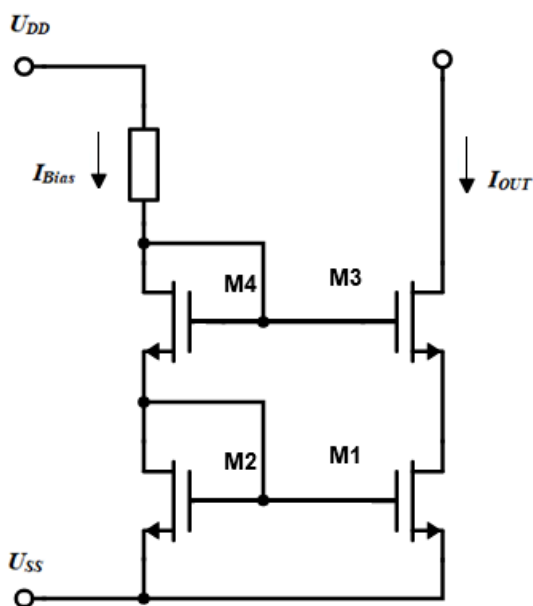
### 3.1.2 Kaskodové proudové zrcadlo

Kaskodu tvoří dva páry tranzistorů (M1, M2 a M3, M4) zapojených v diodovém uspořádání. Proud procházející tranzistory M2 a M4 vytváří úbytek napětí, který nastavuje pracovní body tranzistorů M1 a M3. Výstupní odpor je oproti jednoduchému proudovému zrcadlu zvýšen přidáním tranzistorů M3 a M4, kde M3 udržuje stálé napětí  $U_{DS1}$  mezi drainem a sourcem tranzistoru M1. V případě zvýšení napětí  $U_{DS1}$  dojde k poklesu napětí  $U_{GS3}$  na hradle M3 a tranzistor se tak přivře, čímž dojde ke snížení proudu ve výstupní větvi. Proud na tranzistoru M1 tak bude menší a dojde ke snížení napětí  $U_{DS1}$ . Za předpokladu, že jsou tranzistory M1 a M3 stejné, je odpor dán vztahem (3.3).

$$r_{OUT} = r_{ds1,3}^2 \cdot g_{m4} + 2r_{ds1,3} \quad (3.3)$$

Nevýhodou kaskodového zapojení je vyšší minimální výstupní napětí  $U_{OUTmin}$ , kdy jsou všechny tranzistory v saturaci [1], [6].

$$U_{OUTmin} = U_{GS2} + U_{GS4} - U_{GS3} + U_{DSM3} \quad (3.4)$$



Obr. 3.2: Kaskodové proudové zrcadlo

### 3.2 Diferenční pár

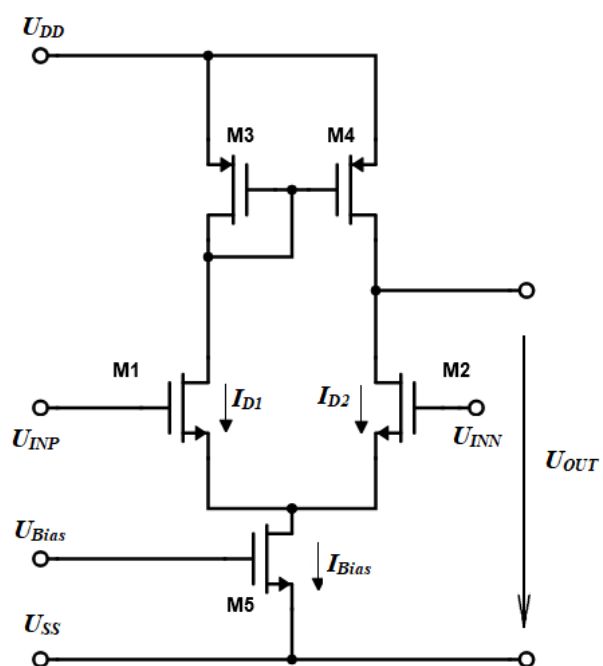
Jedná se o obvodové řešení schopné zesilovat rozdíl dvou signálů na vstupech a zároveň potlačovat souhlasnou složku. Zapojení sestává z diferenčního páru tvořeného tranzistory M1 a M2, které mají spojeny elektrody source a připojeny k drain elektrodě tranzistoru M5, jež slouží jako zdroj konstantního proudu  $I_{Bias}$ . Drain vývody tranzistorů M1 a M2 jsou připojeny k aktivní zátěži tvořené jednoduchým proudovým zrcadlem (M3, M4). Tím je dosaženo velkého výstupního odporu v řádech jednotek  $M\Omega$  a úspory plochy, kterou by rezistor těchto parametrů zabíral. Za předpokladu, že vstupní napětí na tranzistorech M1 a M2 je stejné, protéká jimi i stejný proud  $I_D$ . Pro proudy v obvodu podle Kirchhoffova zákona platí:

$$I_{Bias} = I_{D1} + I_{D2}. \quad (3.5)$$

Změní-li se velikost jednoho ze vstupních napětí, např.  $U_{INP}$ , zvýší se i proud  $I_{D1}$  protékající tranzistorem M1. Protože  $I_{Bias}$  je stále konstantní, musí podle rovnice (3.6) dojít ke snížení proudu  $I_{D2}$  a přivření tranzistoru M2. Proud  $I_{D1}$  a  $I_{D2}$  rovněž protékají přes aktivní zátěž tranzistorů M3 a M4. Zvýšením proudu  $I_{D1}$  se zvýší napětí  $U_{GS3,4}$  na hradlech tranzistorů M3, M4. V důsledku toho se tranzistor M4 více otevře a proud  $I_{D2}$  se opět zvýší [1], [6].

Pro výstupní zesílení diferenčního páru platí:

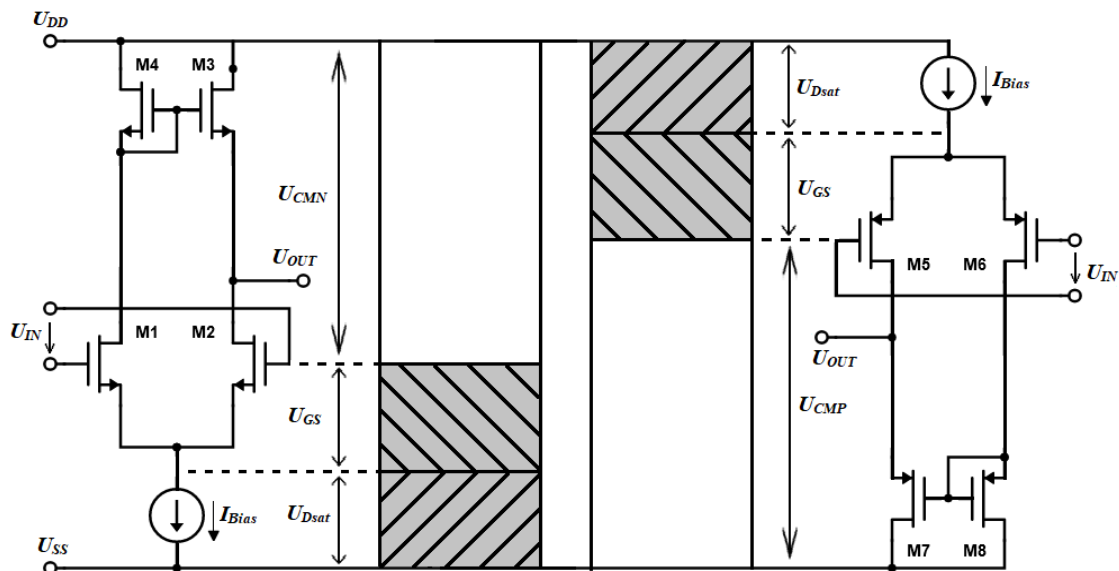
$$A_U = g_m(r_{DS2} \parallel r_{DS4}). \quad (3.6)$$



Obr. 3.3: Diferenční zesilovač NMOS s aktivní zátěží

## 4. Vstup rail-to-rail a jeho kompenzace

Zapojení Rail-to-Rail (RtR) vstupu se využívá k dosažení maximálního vstupního rozsahu, který je ve stejném rozsahu jako napájecí napětí. S výhodou je toto zapojení využíváno především v obvodech s malým napájecím napětím, kde snižování rozsahu vstupními tranzistory značně omezuje pracovní oblast zesilovače. Na obr. 4.1 je znázorněno pracovní napětí  $U_{CM}$  pro jednotlivé diferenzní páry.



Obr. 4.1: Pracovní napětí NMOS a PMOS diferenzního páru

Z obrázku je možné vidět, že pracovní napětí pro NMOS je dán vztahem (4.1) a pro PMOS (4.2):

$$U_{CMN} \geq U_{SS} + U_{GS1,2} + U_{Dsat}, \quad (4.1)$$

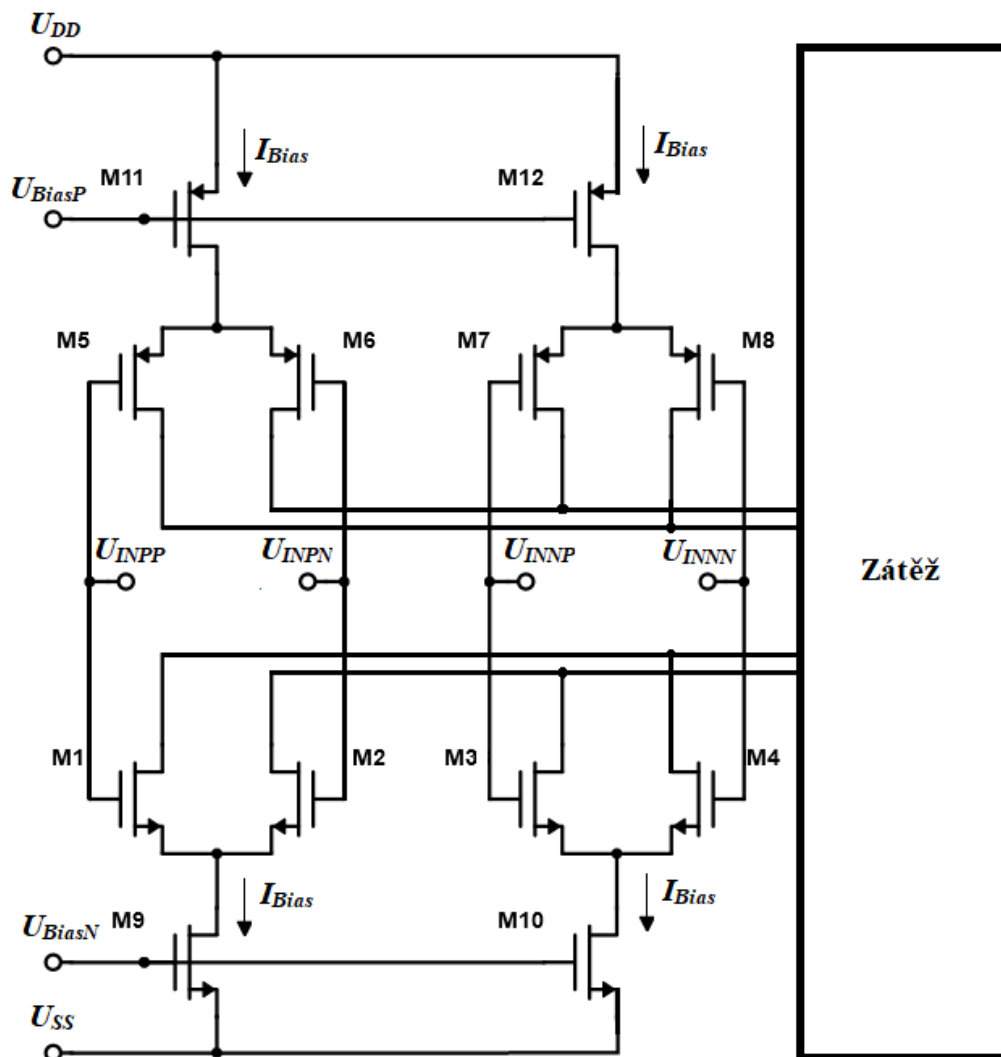
$$U_{CMP} \leq U_{DD} - U_{GS3,4} - U_{Dsat}, \quad (4.2)$$

kde  $U_{Dsat}$  je saturační napětí zdroje proudu pro daný diferenzní pár. Ze vztahů (4.1) a (4.2) vyplývá, že oba diferenzní páry budou aktivní současně, pokud platí:

$$U_{SS} + U_{GS1,2} + U_{Dsat} \leq U_{CM} \leq U_{DD} - U_{GS3,4} - U_{Dsat}. \quad (4.3)$$

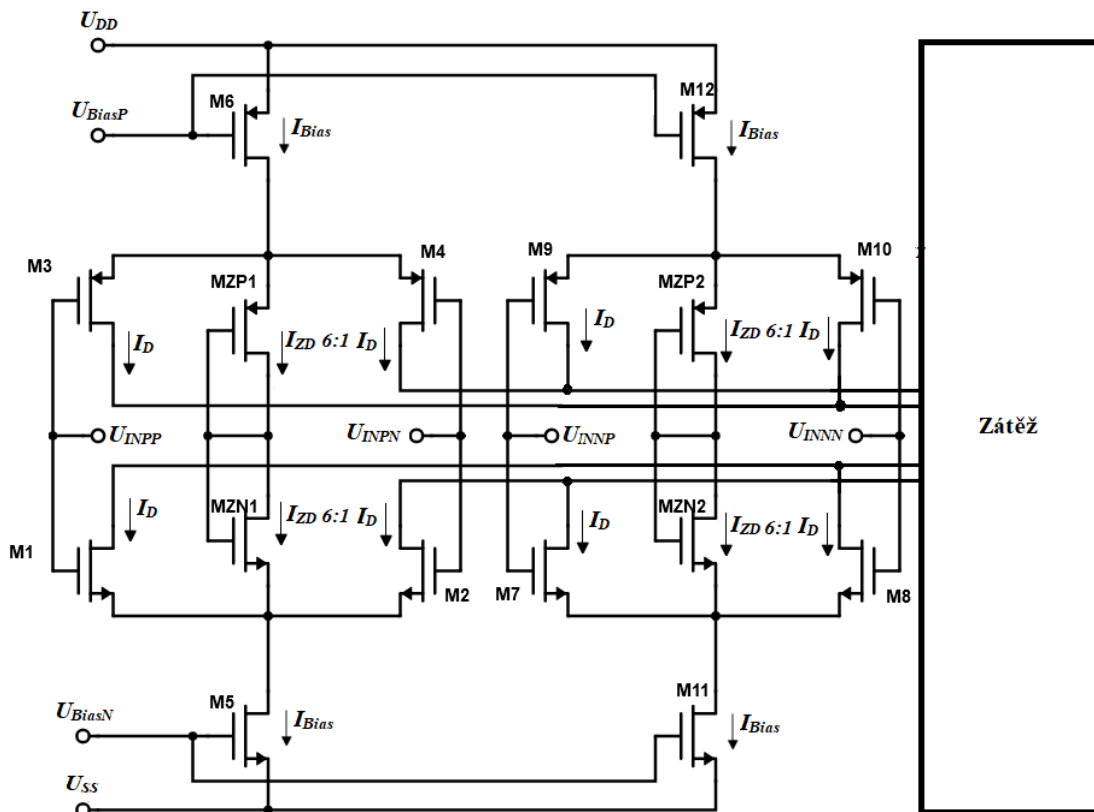
Zapojení na obr. 4.2 zobrazuje RtR vstup DDA, který zajistí, že při přivedení napětí na vstup v rozsahu  $U_{DD} - U_{SS}$  bude zesilováno diferenzní napětí signálu. Aby zapojení fungovalo jak má, je nutné, aby všechny vstupní páry poskytovaly stejné zesílení, tzn. měly stejnou transkonduktanci  $g_m$ .





Obr. 4.2: Zapojení Rail-to-Rail vstupu DDA

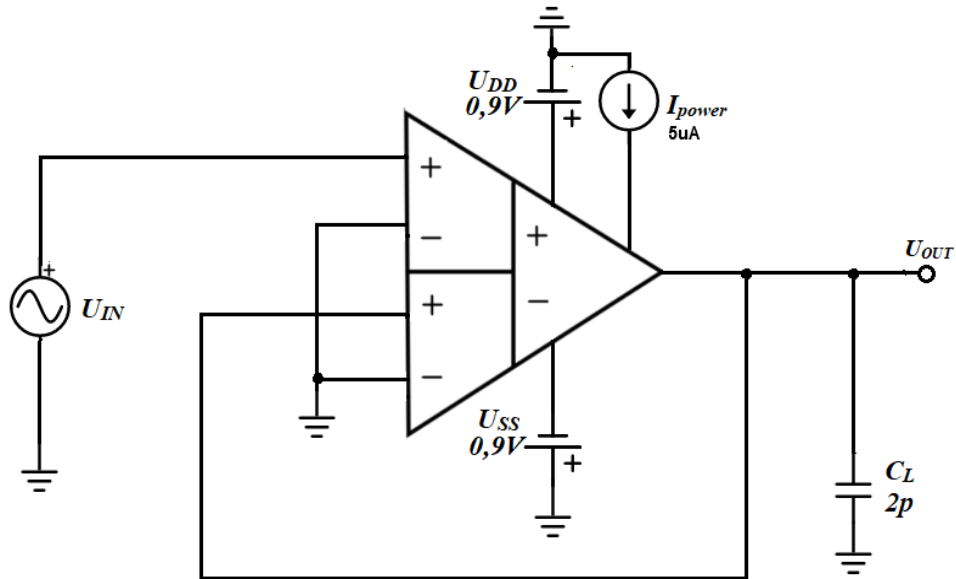
Protože tranzistory NMOS a PMOS mají každý jinou pracovní oblast napětí, při aplikaci RtR zapojení dochází často k situaci, kdy je aktivní pouze jeden diferenční pár z komplementární dvojice. Když jsou aktivní zároveň oba páry, tak celková transkonduktance  $g_{tot}$  je součtem transkonduktancí obou párů. Při situaci, kdy je aktivní pouze jeden diferenční pár, se tak celková transkonduktance sníží o polovinu. Aby bylo zajištěno konstantní zesílení v celém vstupním rozsahu napětí, je nutné zakomponovat do obvodů vstupních komplementárních diferenčních párů kompenzační obvod, který v případě neaktivity jednoho z diferenčních párů zvýší  $g_m$  druhého komplementárního páru na hodnotu součtu transkonduktancí obou párů  $g_{tot}$ . Za tímto účelem je použita kompenzace pomocí Zenerovi diody realizované tranzistorem MOS, která je zobrazena na obr. 4.3 [12], [13].



Obr. 4.3: Zapojení s obvodem kompenzace  $g_m$

Zenerova dioda je tvořena tranzistory  $M_{ZN1,2}$  a  $M_{ZP1,2}$  v diodovém zapojení. Pokud jsou oba páry aktivní, přes tranzistory M7 a M8 protéká proud  $I_{ZD}$ , který je šestinásobkem proudu  $I_D$  protékající přes tranzistory diferenčního páru, tedy  $6/8$  proudu  $I_{Bias}$ . Přes tranzistory diferenčních párů pak teče  $1/8 I_{Bias}$ . Pokud dojde k uzavření jednoho z diferenčních párů, uzavře se i zenerova dioda a proud  $I_{ZD}$ , který jí protékal, se rozdělí mezi tranzistory druhého diferenčního páru. Přes aktivní diferenční pár pak protéká  $4/8 I_{Bias}$ , což je čtyřnásobek původního proudu. Z rovnice (1.3) lze pak odvodit, že jeho  $g_m$  tak bude dvojnásobná [13]. Kompenzace Zenerovou diodou byla zvolena kvůli její vhodnosti pro zapojení DDA. Narozdíl od vstupního diferenčního páru u běžných dvouústupových zesilovačů, u DDA přes tranzistory vstupního páru teče stejný proud  $I_D$  jen v pracovním bodě. Při zvyšování rozdílu napětí přiváděného na vstup oproti analogové zemi, dochází ke zvyšování proudu  $I_{1,2}$  jedním z tranzistorů vstupního páru, zatímco proud druhým tranzistorem o stejné množství klesá, až do bodu, kdy všechny proud  $I_{Bias}$  teče přes jeden tranzistor diferenčního páru. To je způsobeno typem zapojení v jakých je DDA používáno, protože vstupní signál a zpětná vazba je přiváděna vždy jen na jeden tranzistor ze vstupního diferenčního páru, zatímco druhý je připojen na analogovou zem, viz. zapojení sledovače napětí na obr. 4.4. Vlivem toho je na obou tranzistorech diferenčního páru napevno nastaveno rozdílné napětí  $U_{GS}$ . Tranzistor diferenčního páru, na který je přiváděn vstupní signál, pak v podstatě vytvoří diferenci

pár s tranzistorem, na který je ve druhé větvi přivedena zpětná vazba a přes oba teče stejný proud. Vlivem změny proudů na jednotlivých vstupních tranzistorech v závislosti na vstupním napětí, tak nebylo možné použít běžnější kompenzaci v podobě proudových zrcadel, které fungují na zrcadlení proudu  $I_D$  v poměru 1:3, protože proud  $I_D$  na tranzistorech není stejný, ale mění se. Kompenzace by tak dodávala různý proud v závislosti na této změně proudu a nefungovala správně. Kompenzace Zenerovou diodou však otevírá vodivou cestu mezi komplementárními diferenčními páry a reguluje proud vždy v poměru popsaném na obr. 4.3.



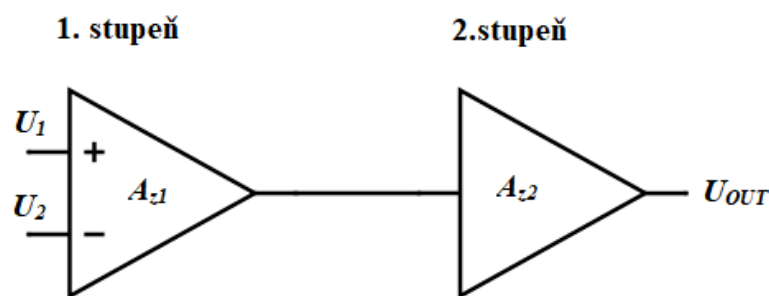
Obr. 4.4: Zapojení sledovače napětí s DDA

## 5. Struktura OZ

Tato kapitola se zabývá vnitřní stavbou OZ. Současné zesilovače se navrhují specializovaně, a proto je třeba volit vnitřní strukturu podle požadovaných vlastností.

### 5.1 Dvojstupňové operační zesilovače

Většina operačních zesilovačů se skládá z více funkčních struktur – stupňů, které jsou zapojeny za sebou do kaskády. První stupeň má většinou za úkol zesílení diferenčního signálu a zajištění velkého vstupního rozsahu. Druhý stupeň slouží k dodatečnému zesílení a úpravě výstupního rozsahu [5].



Obr. 5.1: Blokové schéma dvoustupňového zesilovače

### 5.2 Složená kaskoda

V zapojení na obr. 5.2 je vyobrazeno zapojení složené kaskody s dvěma RtR vstupy DDA. Složená kaskoda byla použita především kvůli aplikaci RtR vstupu. Samotné zapojení se dá považovat za čtyři složené kaskody, kde samostatnou složenou kaskodu tvoří každý diferenční pár spolu s kaskodovým proudovým zrcadlem.

Zesílení je pak dáno součtem zesílení jednotlivých paralelních systémů:

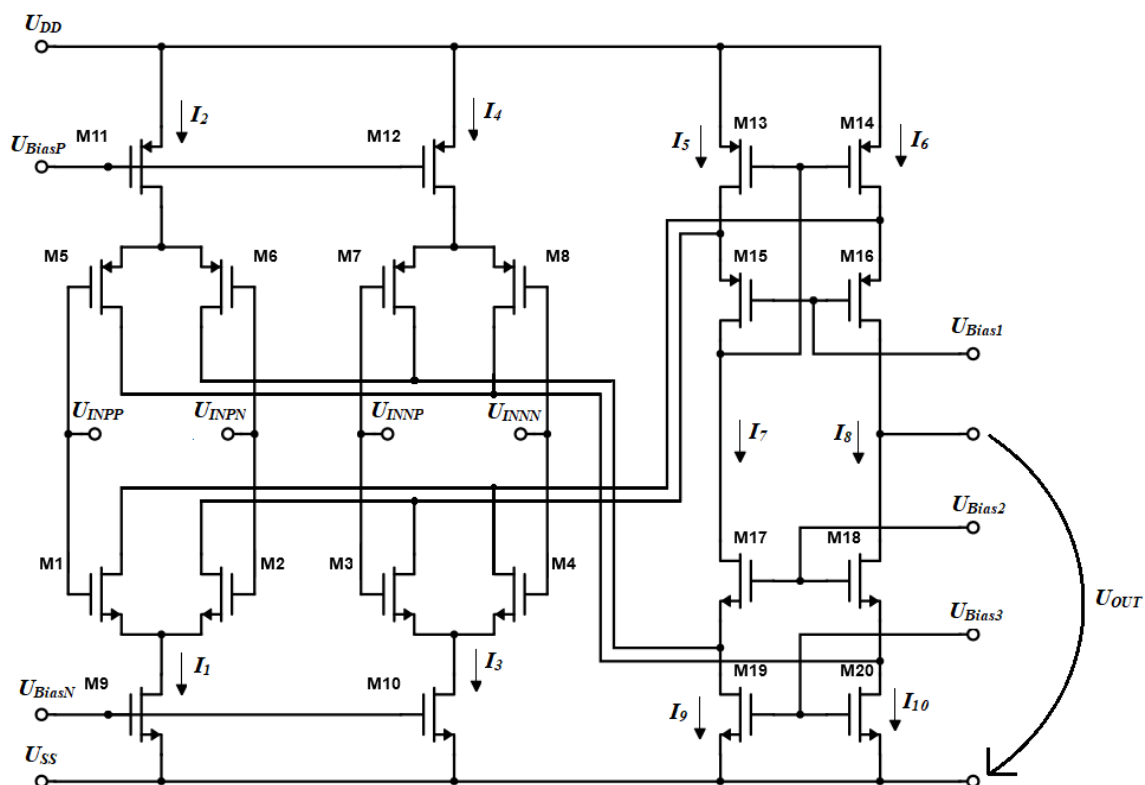
$$A_u = A_{M1,2} + A_{M3,4} + A_{M5,6} + A_{M7,8}. \quad (5.1)$$

Zesílení všech diferenčních vstupů DDA musí být stejné, tudíž tranzistory všech diferenčních párů stejného typu (NMOS/PMOS) jsou také stejné. K výpočtu zesílení tak je potřeba znát zesílení pouze jednoho paralelního systému. Zesílení první složené kaskody s diferenčním párem M1, M2 lze zjistit ze vzorce (5.2):

$$A_{M1,2} = g_{m1,2} [(g_{m18} r_{DS18} r_{DS20}) \parallel ((g_{m16} r_{DS16}) \parallel (r_{DS2} \parallel r_{DS14}))], \quad (5.2)$$

$$A_{M1,2} = A_{M3,4} = A_{M5,6} = A_{M7,8}. \quad (5.3)$$

Výhodou zapojení složené kaskody je vysoké zesílení a v porovnání s jinými strukturami velký vstupní a výstupní rozsah. Nevýhodou zapojení je vyšší spotřeba a zanašování šumu do obvodu [5], [12].



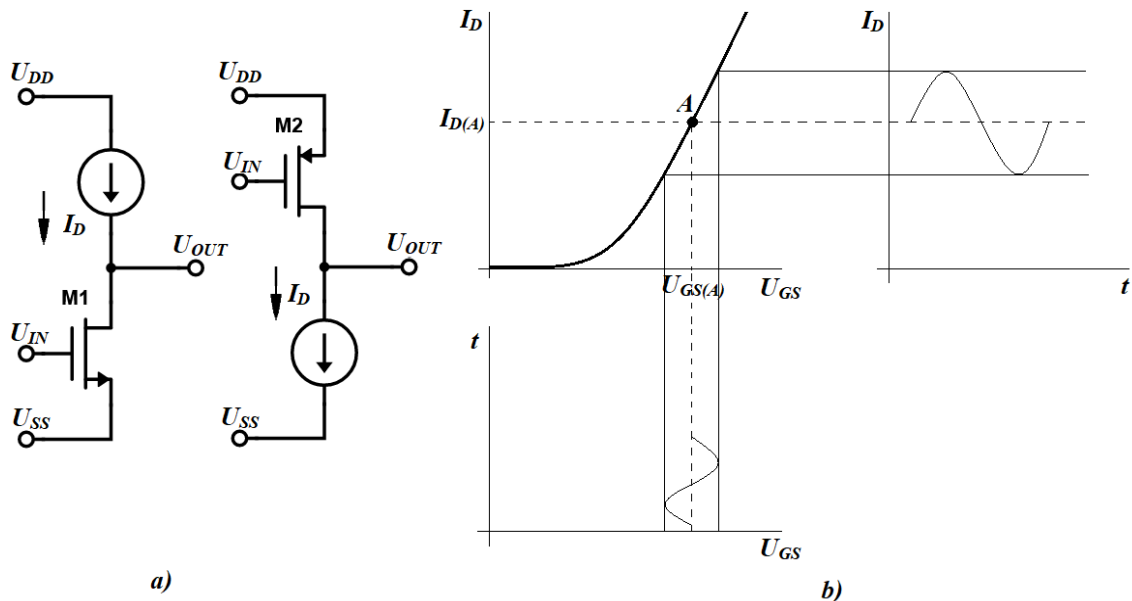
Obr. 5.2: Obvod složené kaskody

## 6. Výstupní třídy operačních zesilovačů

Výstupní stupně OZ mají za úkol distribuci zesilovaného signálu do zátěže s co možná nejnižším zkreslením. Podle požadavků na použití zesilovače se používají různé třídy výstupního stupně OZ, které se liší polohou pracovního bodu a účinností.

### 6.1 Výstup ve třídě A

Výstupní tranzistory stupně A jsou aktivní i v klidovém režimu, kdy na vstup není přiváděn žádný signál. To má za následek neustálý průtok proudu obvodem a tím zvýšenou proudovou spotřebu. Pracovní bod A se nachází ve středu lineární části převodní charakteristiky. Její předností je jednoduchost, nízké zkreslení, malá plocha a vysoká rychlost. Vlivem vysokého klidového proudu však dochází ke ztrátám a účinnost zapojení se pohybuje okolo 25 % [1].



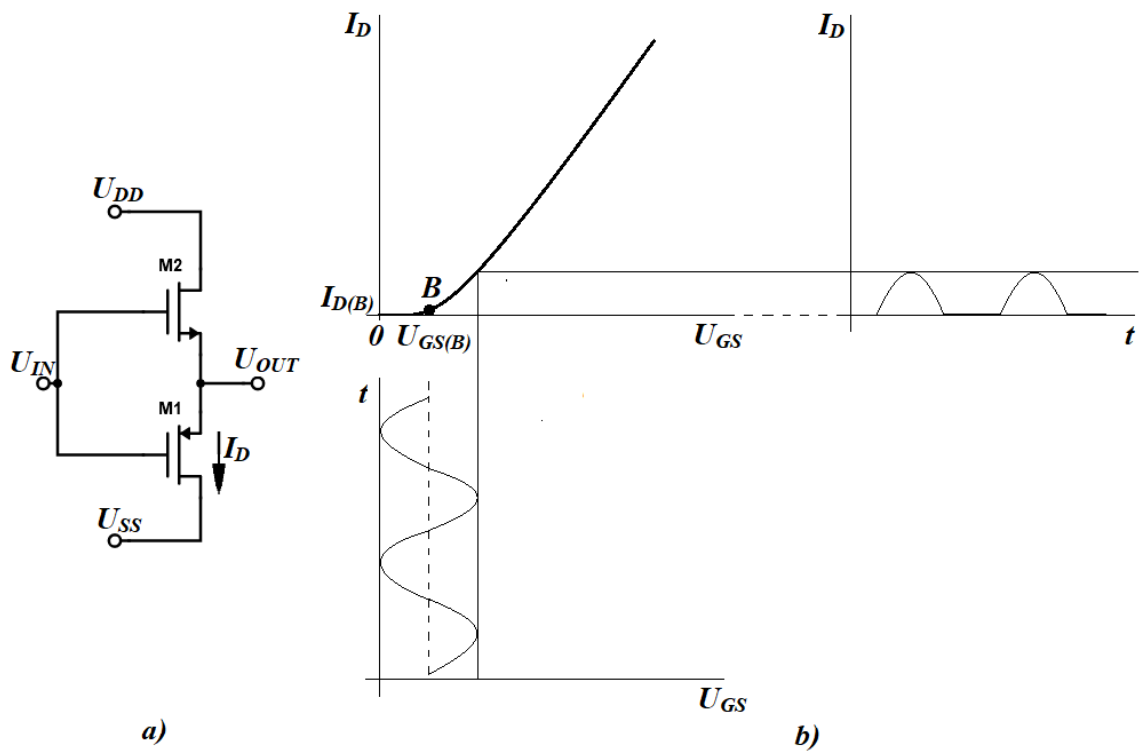
Obr. 6.1: a) schéma zapojení NMOS a PMOS výstupu ve třídě A, b) převodní charakteristika třídy A [1]

### 6.2 Výstup ve třídě B

Pracovní bod výstupního stupně ve třídě B je umístěn na okraji převodní charakteristiky. Díky tomu v klidovém režimu tranzistory neprochází žádný proud a spotřeba je nulová. Na rozdíl od třídy A dosahuje výstup ve třídě B až 75% účinnosti.

Třída B se skládá ze dvou komplementárních tranzistorů (NMOS, PMOS), z nichž každý zpracovává jednu část signálu (NMOS kladnou, PMOS zápornou). Převodní charakteristika je tak symetrická kolem nuly. Nevýhodou tohoto zapojení je zkreslení

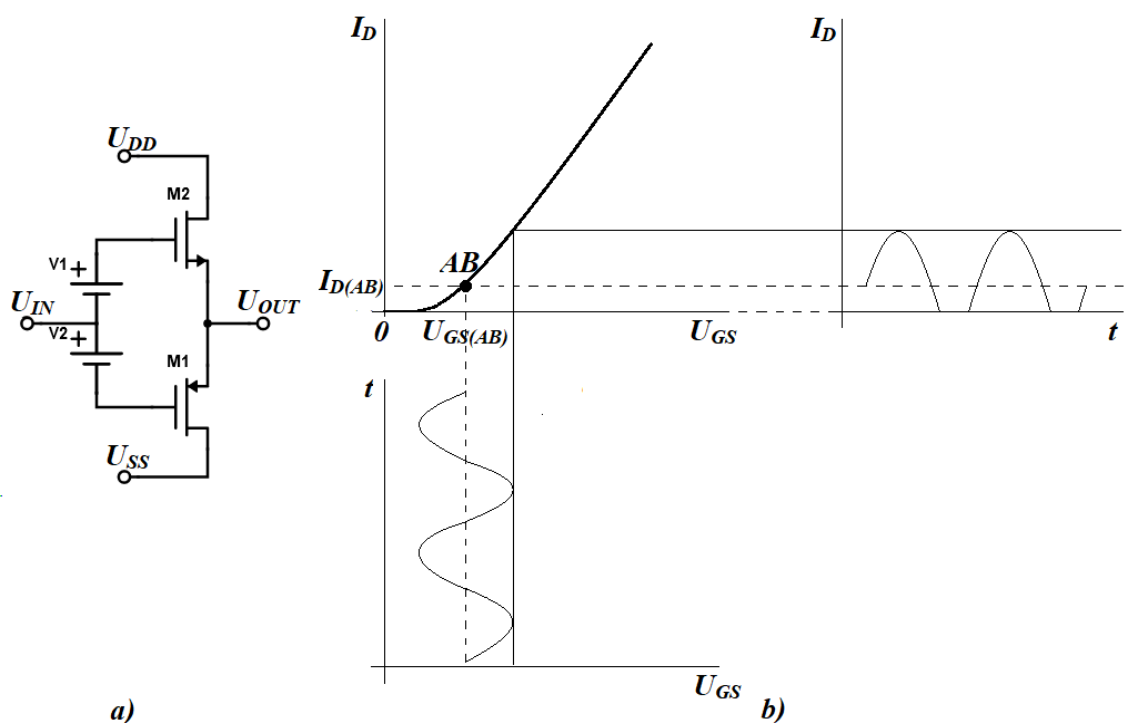
výstupního signálu v oblasti, kdy není ani jeden tranzistor aktivní. Výhodou je však malá spotřeba [1].



Obr. 6.2: a) schéma zapojení výstupu ve třídě B, b) převodní charakteristika třídy B [1]

### 6.3 Výstup ve třídě AB

Třída AB kombinuje třídy A a B. V porovnání s třídou A dosahuje mnohem vyšší účinnosti a oproti třídě B eliminuje oblast zkreslení. Pracovní body výstupních tranzistorů jsou posunuty tak, aby tranzistory vedly proud i při velmi nízké amplitudě vstupního signálu. Díky tomu je neustále jeden tranzistor sepnutý a nedochází k přechodovému zkreslení. To zároveň způsobuje, že klidový proud není nulový, avšak je mnohem menší než u třídy A a účinnost výstupu AB se blíží účinnosti výstupní třídy B [1].



Obr. 6.3: a) schéma zapojení výstupu ve třídě AB, b) převodní charakteristika třídy AB [1]



## 7. Praktický návrh DDA

V této kapitole bude popsán ruční návrh jednotlivých funkčních částí zesilovače.

Tab. 7.1: Požadované parametry DDA

$A_U$ [dB]	> 60
$GBW$ [MHz]	> 1
$SR$ [V/ $\mu$ s]	> 1

Dalšími požadovanými parametry DDA byl maximální vstupní a výstupní rozsah, malá plocha i spotřeba. Při návrhu bylo počítáno se zatěžovací kapacitou  $C_L = 2$  pF.

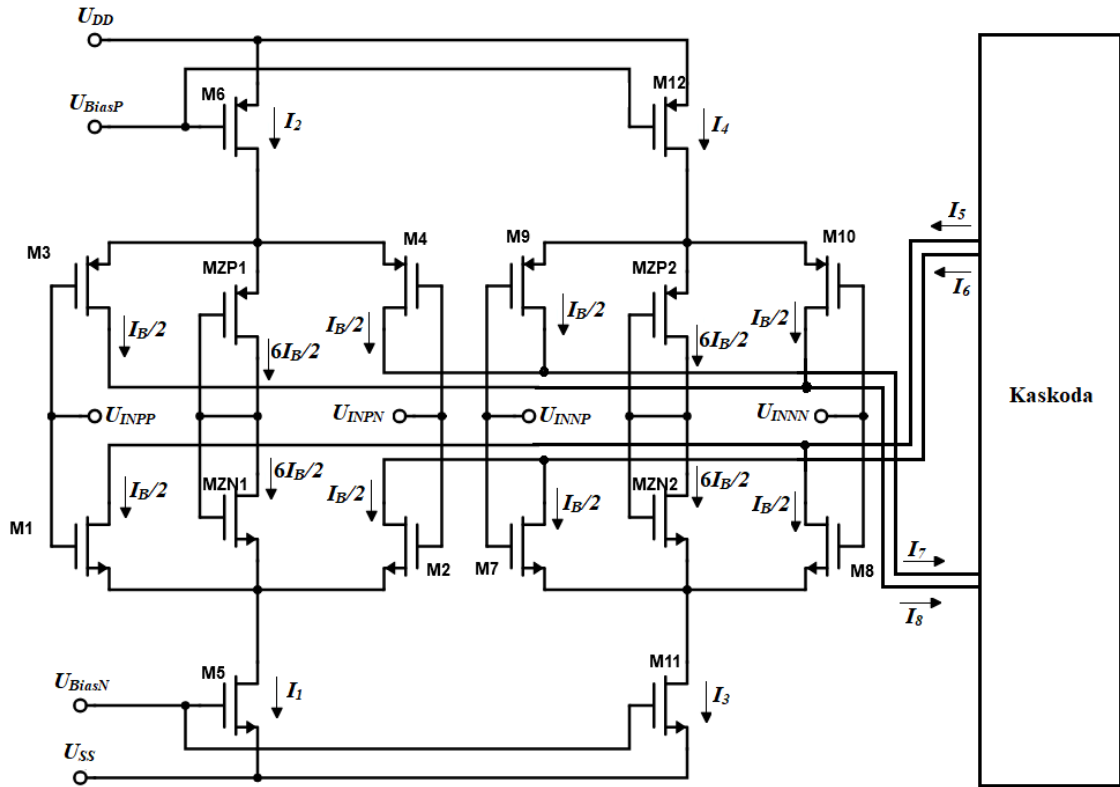
Pro návrh byla použita technologie TSMC 0,18. Použité napájecí napětí je  $\pm 0,9$  V. Parametry pro TSMC 0,18 jsou uvedeny v tab. 7.2.

Tab. 7.2: Parametry technologie TSMC 0,18

	NMOS	PMOS	mVT NMOS	mVT PMOS
$U_{TH}$ [V]	0,47	0,48	0,29	0,2
$KP$ [ $\mu$ A/V <sup>2</sup> ]	148,7	38,75	180	53
$\lambda$ [mV <sup>-1</sup> ]	33,21	28,54	-	-

### 7.1 Výpočet tranzistorů RtR vstupu s kompenzací gm

Pro určení rozměrů vstupních tranzistorů je nutné nejdříve určit velikost kompenzační kapacity  $C_C$ . Z důvodu zajištění dostatečné fázové bezpečnosti musí být kompenzační kapacita  $C_C \geq 0,22 C_L$ . [1] Proto byla zvolena hodnota kompenzační kapacity  $C_C = 0,5$  pF. Dále byly rozměry určeny na základě požadovaných parametrů  $GBW$  a  $SR$ . Aby byly splněny požadavky na parametry DDA i při výrobních a pracovních odchylkách, jsou hodnoty  $GBW$  a  $SR$  nadhodnoceny na  $GBW = 2$  MHz a  $SR = 2$  V/ $\mu$ s.



Obr. 7.1: Navržený obvod RtR vstupu s kompenzací  $g_m$

Protože rozměry obou RtR vstupů DDA jsou stejné, bude popsán návrh jen jednoho RtR vstupu. Diferenční páry NMOS a PMOS musí poskytovat stejné zesílení, proto budou stejné i jejich transkonduktanční poměry. Transkonduktance vstupních tranzistorů je pak určena vztahem (7.1):

$$g_m \geq 2\pi \cdot GBW \cdot C_C = 2\pi \cdot 2 \cdot 10^6 \cdot 0,5 \cdot 10^{-12} = 6,28 \mu S. \quad (7.1)$$

Dále byl určen minimální proud  $I_B$ , který je součtem proudů na tranzistorech diferenčního páru tak, aby byla zajištěna mezní rychlost přeběhu  $SR = 2 \text{ V}/\mu\text{s}$ .

$$I_{Bmin} \geq SR \cdot C_C = 2 \cdot 10^6 \cdot 0,5 \cdot 10^{-12} = 1 \mu A. \quad (7.2)$$

Aby  $U_{DSsat}$  vstupních tranzistorů nebylo nižší než 0,2 V, byl uvažován proud  $I_B = 1,4 \mu A$ . Přes tranzistory diferenčního páru tak poteče  $0,7 \mu A$ . Výsledné napětí  $U_{DSsat}$  pak bude:

$$U_{DSsat} = \frac{2I_D}{g_m} = \frac{2 \cdot 0,7 \cdot 10^{-6}}{6,28 \cdot 10^{-6}} = 0,22 \text{ V}. \quad (7.3)$$

Aby byla zajištěna největší možná transkonduktance  $g_m$  za stejné spotřeby bylo pro návrh zvoleno napětí  $U_{DSsat} = 0,2 \text{ V}$ . Transkonduktance  $g_m$  pak bude:

$$g_m = \frac{2I_D}{U_{DSsat}} = \frac{2 \cdot 0,7 \cdot 10^{-6}}{0,2} = 7 \mu S. \quad (7.4)$$

Pro návrh tranzistorů M1,2,7,8 a M3,4,9,10 byly použity tranzistory s poloviční velikostí prahového napětí - mVT NMOS a mVT PMOS. Rozměry vstupních NMOS tranzistorů pak byly dopočteny úpravou rovnice (1.3):

$$\left(\frac{W}{L}\right)_{M1,2} = \frac{g_m^2}{2KP_N \cdot \frac{I_B}{2}} = \frac{(7 \cdot 10^{-6})^2}{180 \cdot 10^{-6} \cdot 1,4 \cdot 10^{-6}} = 0,19. \quad (7.5)$$

Tranzistory mVT PMOS se pak dopočítají obdobně:

$$\left(\frac{W}{L}\right)_{M3,4} = \frac{g_m^2}{2KP_P \cdot \frac{I_B}{2}} = \frac{(7 \cdot 10^{-6})^2}{53 \cdot 10^{-6} \cdot 1,4 \cdot 10^{-6}} = 0,66. \quad (7.6)$$

Tranzistory M5 a M6 slouží jako zdroje proudu pro diferenční pár a kompenzační Zenerovu diodu, přes kterou teče šestinásobek proudu na tranzistorech M1 a M2. Pro proud  $I_1$  pak platí:

$$I_1 = \frac{I_B}{2} + \frac{I_B}{2} + \frac{6I_B}{2} = \frac{(1,4 + 1,4 + 6 \cdot 1,4) \cdot 10^{-6}}{2} = 5,6 \mu A. \quad (7.7)$$

Z proudu  $I_1$  pak byly úpravou vztahu (1.1) vypočteny rozměry tranzistorů M5 a M6. Zde již byly použity standartní tranzistory NMOS a PMOS technologie TSMC 0,18. Saturační napětí  $U_{DSsat}$  bylo zvoleno 0,2 V.

$$\left(\frac{W}{L}\right)_{M5} = \frac{2I_1}{KP_N \cdot U_{DSsat}^2} = \frac{2 \cdot 5,6 \cdot 10^{-6}}{148,7 \cdot 10^{-6} \cdot 0,2^2} = 1,88, \quad (7.8)$$

$$\left(\frac{W}{L}\right)_{M6} = \frac{2I_1}{KP_P \cdot U_{DSsat}^2} = \frac{2 \cdot 5,6 \cdot 10^{-6}}{38,75 \cdot 10^{-6} \cdot 0,2^2} = 7,23. \quad (7.9)$$

Rozměry byly následně zaokrouhleny na jedno desetinné místo a upraveny na základě simulace, aby dodávaly proud co nejpřesněji, viz tab. 7.3 a tab. 7.4. Protože přes tranzistory Zenerovy diody teče proud  $6I_B/2$ , rozměry  $M_{ZN1}$  a  $M_{ZP1}$  jsou, podle rovnice (3.1), šestinásobkem rozměrů tranzistorů diferenčního páru a je pro ně rovněž použit typ mVT tranzistoru. Pro mVT NMOS diferenční páry byla zvolena délka kanálu  $L = 5 \mu m$ , aby šířka  $W$  byla aspoň dvojnásobkem minimální realizovatelné hodnoty u tohoto typu tranzistorů a byla tak zajištěna vyšší přesnost. Ze stejného důvodu byla zvolena délka kanálu  $L = 2 \mu m$  u mVT PMOS diferenčního páru. U NMOS zdrojů proudu M5 a M11 byla zvolena délka kanálu  $L = 2 \mu m$  kvůli přesnosti zrcadlení proudu z referenční větve, kde jsou rovněž použity NMOS tranzistory s  $L = 2 \mu m$ , kvůli malé velikosti šířky  $W$ .

Tab. 7.3: Parametry NMOS tranzistorů RtR vstupu

mVT NMOS	W/L [-]	W [μm]	L [μm]	$I_D$ [μA]	$g_m$ [μS]	$U_{DSsat}$ [V]
M1	0,19	1	5	0,7	7	0,2
M2	0,19	1	5	0,7	7	0,2
M <sub>ZN1</sub>	1,14	6	5	4,2	-	0,2
M7	0,19	1	5	0,7	7	0,2
M8	0,19	1	5	0,7	7	0,2
M <sub>ZN2</sub>	1,14	6	5	4,2	-	0,2
<b>NMOS</b>						
M5	1,88	3,9	2	5,6	-	0,2
M11	1,88	3,9	2	5,6	-	0,2

Tab. 7.4: Parametry PMOS tranzistorů RtR vstupu

mVT PMOS	W/L [-]	W [μm]	L [μm]	$I_D$ [μA]	$g_m$ [μS]	$U_{DSsat}$ [V]
M3	0,66	1,3	2	0,7	7	0,2
M4	0,66	1,3	2	0,7	7	0,2
M <sub>ZP1</sub>	3,96	7,9	2	4,2	-	0,2
M9	0,66	1,3	2	0,7	7	0,2
M10	0,66	1,3	2	0,7	7	0,2
M <sub>ZP2</sub>	3,96	7,9	2	4,2	-	0,2
<b>PMOS</b>						
M6	7,7	7,7	1	5,6	-	0,2
M12	7,7	7,7	1	5,6	-	0,2

## 7.2 Návrh tranzistorů kaskody

Pro správné fungování kaskody jí stále musí protékat proud. Z toho důvodu byl proud  $I_{9,10}$  volen 1,25 x větší než proud  $I_{5,6}$ . Proud  $I_{5,6}$  je součtem proudů protékajících přes vstupní tranzistory M1 a M8, resp. M2 a M7. Maximální hodnoty proud  $I_{5,6}$  nabývá při situaci, kdy jsou oba PMOS nebo NMOS diferenční páry neaktivní a přes tranzistory komplementárních diferenčního páru teče proud  $4I_B/2$ , tedy 2,8 μA. Výsledný proud  $I_{5,6}$  je 5,6 μA a proud  $I_{9,10}$  pak 7 μA.

Proud  $I_{12}$ , resp. součet proudů  $I_{11}$  je pak dán vztahem:

$$I_{12} = I_{9,10} - I_{5,6} \quad (7.10)$$

Maxima dosahuje proud za situace, kdy budou aktivní NMOS a PMOS diferenční páry jedné větve RtR vstupu, zatímco druhá bude uzavřená. Proud  $I_{5,6}$  pak bude jen

1,4  $\mu\text{A}$ . Proud  $I_{12}$  pak bude 5,6  $\mu\text{A}$ . Stejné proudové poměry platí i pro tranzistory NMOS v kaskodě. Ze získaných proudů byly pak obdobně jako v návrhu RtR vstupu dopočteny tranzistory kaskody M13 - M20.

V situacích, kdy byly aktivní pouze NMOS nebo PMOS diferenční páry, procházel přes tranzistory NMOS a PMOS v kaskodě na obr. 7.2 rozdílný proud. Příčinou bylo pevně nastavené napětí  $U_{GS}$  tranzistorů M19 a M20, a tím i jimi procházející proud 7  $\mu\text{A}$ , zatímco  $U_{GS}$  tranzistorů M13 a M14 se měnilo v závislosti na současném stavu obvodu. Proto byl do obvodu kaskody přidán zdroj proudu v podobě tranzistorů M21 a M22, který umožňuje tranzistorům M19 a M20 rovněž reagovat na změny v obvodu a stabilizuje tak proud kaskodou.

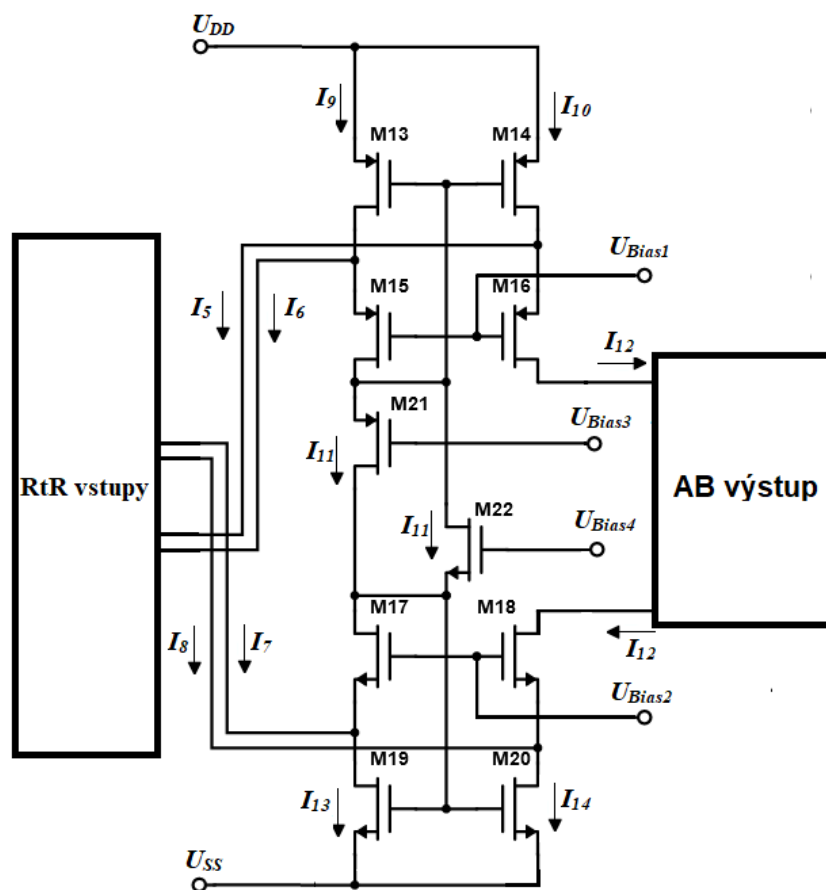
Pro návrh tranzistorů M21 a M22 byl použit proud  $I_{11}$  pro, který platí:

$$I_{11} = \frac{I_{12}}{2} = \frac{5,6 \mu\text{A}}{2} = 2,8 \mu\text{A} . \quad (7.11)$$

Pro všechny tranzistory kaskody bylo souhrnně voleno napětí  $U_{DSsat} = 0,2 \text{ V}$ .

Tab. 7.5: Parametry NMOS a PMOS tranzistorů kaskody

PMOS	$W/L$ [-]	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	$I_D$ [ $\mu\text{A}$ ]	$U_{DSsat}$ [V]
M13	9,03	9	1	7	0,2
M14	9,03	9	1	7	0,2
M15	7,23	7,2	1	5,6	0,2
M16	7,23	7,2	1	5,6	0,2
M21	3,61	3,6	1	2,8	0,2
<b>NMOS</b>					
M17	2,35	2,4	1	7	0,2
M18	2,35	2,4	1	7	0,2
M19	1,88	1,9	1	5,6	0,2
M20	1,88	1,9	1	5,6	0,2
M22	0,94	1,9	2	2,8	0,2



Obr. 7.2: Navržený obvod kaskody

### 7.3 Návrh výstupního stupně AB

Aby nedocházelo ke zkreslení výstupního signálu v okolí analogové nuly, musí být pracovní body výstupních tranzistorů  $M_{Pout}$  a  $M_{Nout}$  posunuty tak, aby byl vždy alespoň jeden aktivní. Za tímto účelem byl vytvořen mezi jejich hradly zdroj napětí, který nastaví jejich pracovní body. Tuto funkci zastávají tranzistory  $M_{BPout}$  a  $M_{BNout}$ , které jsou ve stejném zapojení jako tranzistory M21 a M22 ve složené kaskodě. Pro proudy těmito tranzistory platí:

$$I_{13} = I_{14} = \frac{I_{12}}{2} = \frac{5,6\mu}{2} = 2,8\mu A. \quad (7.12)$$

Dále byly navrženy rozměry výstupních tranzistorů  $M_{Pout}$  a  $M_{Nout}$ . Jimi procházející proud byl zvolen  $7\mu A$ . Napětí  $U_{DSsat}$  všech tranzistorů bylo opět zvoleno  $0,2\text{ V}$ . Rozměry tranzistorů byly pak dopočteny z rovnice (1.1).

Referenční napětí  $U_{Bias1}$  nutné k nastavení pracovního bodu  $M_{BPout}$  je dáno napětími  $U_{GS}$  výstupního tranzistoru  $M_{Pout}$  a řídicího tranzistoru  $M_{BPout}$ . Protože saturační napětí bylo voleno pro všechny tranzistory stejné, lze vtať zapsat rovnicí (7.13).

$$U_{Bias1} \leq U_{DD} - U_{GS_{BPout}} - U_{GS_{Pout}} = U_{DD} - 2U_{THP} - 2U_{DSSat}. \quad (7.13)$$

Obdobně je vyjádřeno referenční napětí  $U_{Bias2}$ :

$$U_{Bias2} \geq U_{SS} + U_{GS_{BNout}} + U_{GS_{Nout}} = U_{SS} + 2U_{THN} + 2U_{DSSat}. \quad (7.14)$$

Po dosazení je pak napětí  $U_{Bias1}$  a  $U_{Bias2}$ :

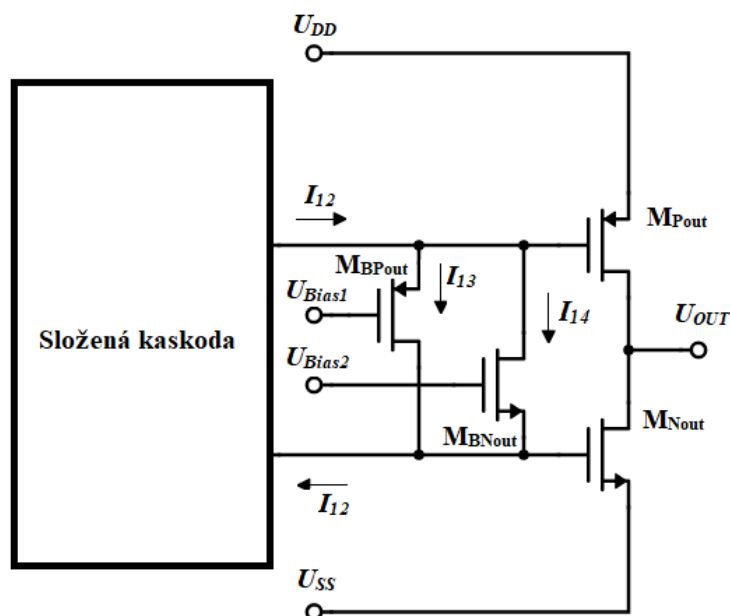
$$U_{Bias1} \leq 0,9 - 2 \cdot 0,48 - 2 \cdot 0,2 = -0,46 \text{ V}, \quad (7.15)$$

$$U_{Bias2} \geq -0,9 + 2 \cdot 0,47 + 2 \cdot 0,2 = 0,44 \text{ V}. \quad (7.16)$$

Protože tranzistory M21 a M22 ve složené kaskodě reprezentují stejné zapojení, se stejnými proudovými poměry, jako tranzistory  $M_{BPout}$  a  $M_{BNout}$ , bylo možné referenční napětí  $U_{Bias1}$   $U_{Bias2}$  použít i pro ně.

Tab. 7.6: Parametry tranzistorů NMOS a PMOS výstupního stupně

PMOS	W/L [-]	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	$I_D$ [ $\mu\text{A}$ ]	$U_{DSSat}$ [V]
$M_{BPout}$	3,61	3,6	1	2,8	0,2
$M_{Pout}$	9,04	9	1	7	0,2
<b>NMOS</b>					
$M_{BNout}$	0,94	1,9	2	2,8	0,2
$M_{Nout}$	2,35	4,7	2	7	0,2



Obr. 7.3: Navržený výstupní stupeň AB

## 7.4 Referenční obvod

Obvod na obr. 7.4 slouží k tomu, aby všechny tranzistory byly nastaveny do správného pracovního bodu. Při návrhu bylo počítáno s vnějším zdrojem proudu dodávající 5  $\mu\text{A}$ . Pro všechny tranzistory referenčního obvodu bylo zvoleno saturační napětí  $U_{DSsat} = 0,2 \text{ V}$ .

K nastavení řídicího napětí  $U_{BiasN}$  a  $U_{BiasP}$ , které řídí zdroje proudu M5, M6 a M11, M12 v RtR vstupech, byla použita jednoduchá proudová zrcadla  $M_{BN1}$  a  $M_{BP1}$ . Ta díky poměru velikostí zrcadlí do výstupních tranzistorů 5,6  $\mu\text{A}$ .

K nastavení napětí  $U_{Bias1}$  a  $U_{Bias2}$  jsou využity tranzistory  $M_{BUN1,2}$  a  $M_{BUP1,2}$  zapojené do diodového zapojení. Referenční napětí pak jsou:

$$U_{Bias1} = U_{DD} - 2U_{THP} - 2U_{DSsat} = 0,9 - 2 \cdot 0,48 - 2 \cdot 0,22 = -0,46 \text{ V}, \quad (7.17)$$

$$U_{Bias2} = U_{SS} + 2U_{THN} + 2U_{DSsat} = -0,9 + 2 \cdot 0,47 + 2 \cdot 0,2 = 0,44 \text{ V}. \quad (7.18)$$

Pro tranzistory složené kaskody M15 a M16, resp. M17 a M18, z obr. 7.2, jsou referenční napětí dána vztahy (7.19) a (7.20).

$$U_{Bias3} \leq U_{DD} - U_{THP15,16} - 2U_{DSsat} = 0,9 - 0,48 - 2 \cdot 0,2 = 0,02 \text{ V}, \quad (7.19)$$

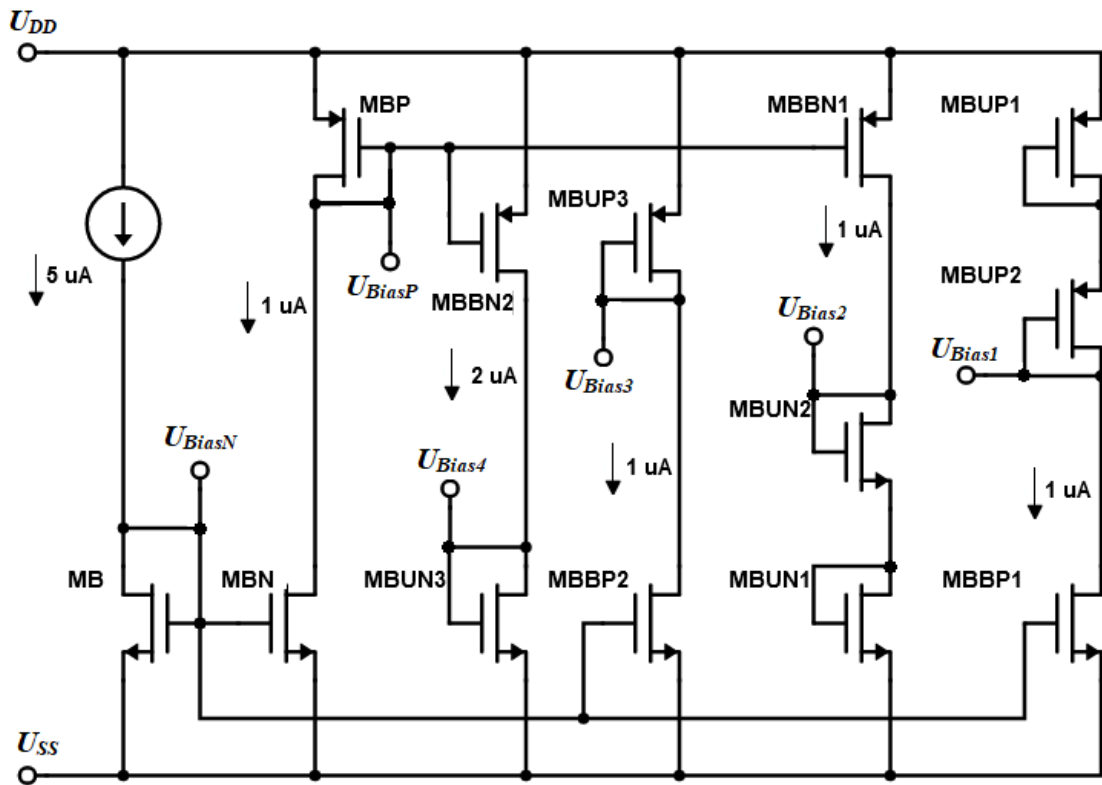
$$U_{Bias4} \geq U_{SS} + U_{THN17,18} + 2U_{DSsat} = -0,9 + 0,47 + 2 \cdot 0,2 = -0,03 \text{ V}. \quad (7.20)$$

Pro nastavení napětí  $U_{Bias3}$  a  $U_{Bias4}$  slouží tranzistory  $M_{BUN3}$  a  $M_{BUP3}$  zapojené do diodového zapojení a jejich rozměry byly podle simulace upraveny tak, aby dodávaly co nejbližší hodnotu požadované napětí  $U_{Bias3} = 0,02 \text{ V}$  a  $U_{Bias4} = -0,03 \text{ V}$ .

Tab. 7.7: Parametry tranzistorů NMOS a PMOS referenčního obvodu

PMOS	$W/L$ [-]	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	$I_D$ [ $\mu\text{A}$ ]	$U_{DSsat}$ [V]
$M_{BP}$	1,3	1,3	1	1	0,2
$M_{BBN1}$	1,3	1,3	1	1	0,2
$M_{BBN2}$	2,6	2,6	1	2	0,2
$M_{BUP1,2}$	1,3	1,3	1	1	0,2
$M_{BUP3}$	0,2	0,4	2	1	0,7
NMOS					
$M_B$	1,75	3,5	2	5	0,2
$M_{BN}$	0,34	0,7	2	1	0,2
$M_{BUN1,2}$	0,34	0,7	2	1	0,2
$M_{BUN3}$	0,07	0,4	6	2	0,7
$M_{BBP1,2}$	0,34	0,7	2	1	0,2





Obr. 7.4: Navržený referenční obvod

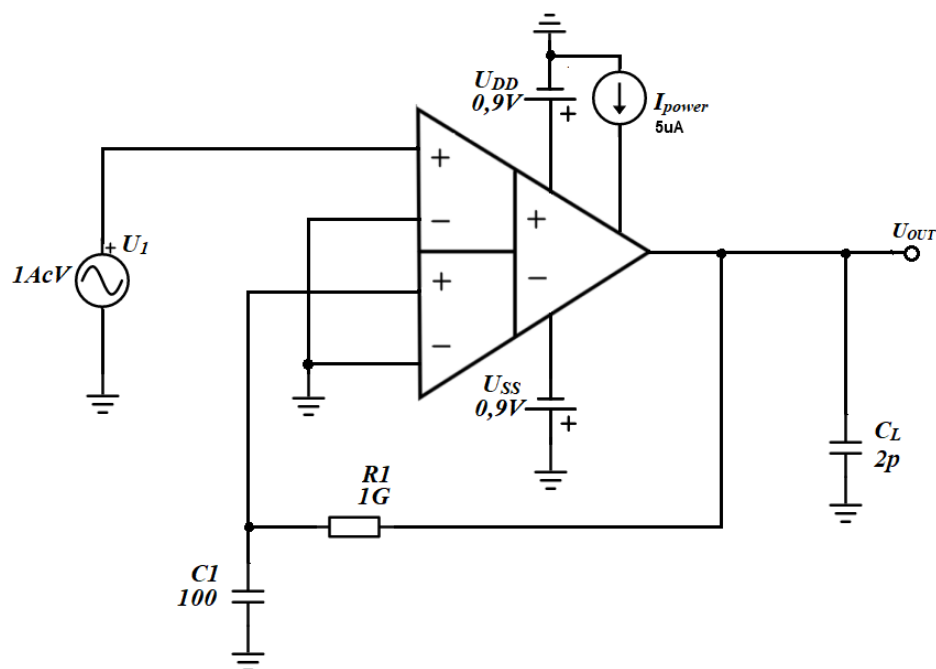
## 8. Simulace navrženého DDA

Vlastnosti navrženého DDA jsou ověřovány v prostředí ADE Assembler. Výsledné schéma, které bylo testováno, je vyobrazeno v příloze A.2. Podle těchto simulací byly upraveny některé navržené parametry z předešlé kapitoly pro vylepšení vlastností zesilovače.

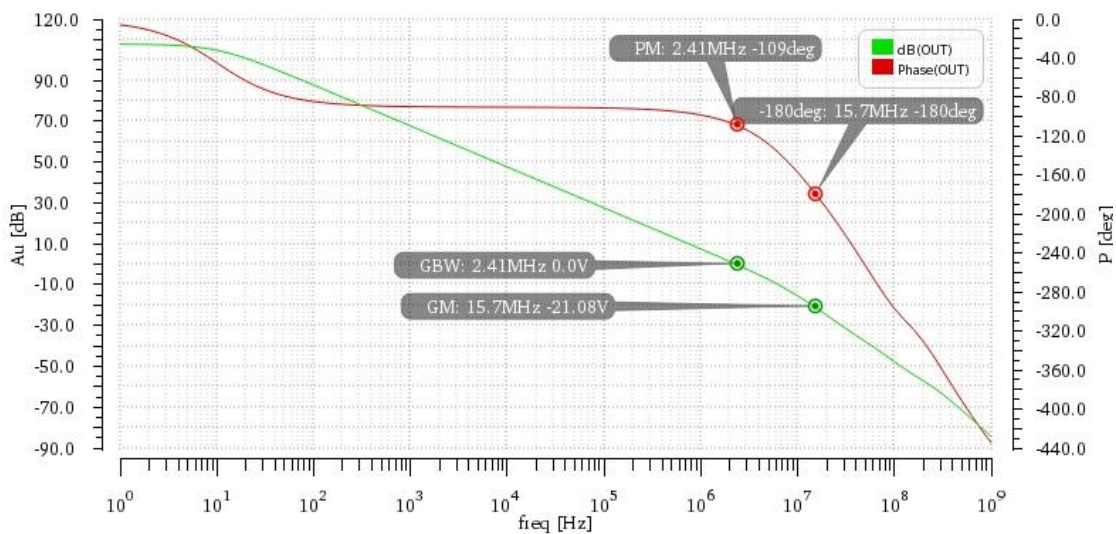
### 8.1 AC analýza

K simulaci kmitočtové závislosti obvodu bylo použito zapojení na obr. 8.1. Na neinvertující vstup prvního zesilovače byl přiveden AC signál o amplitudě 1V. Výstup byl pak přiveden na neinvertující vstup druhého zesilovače přes dolní propust a vytváří tak zápornou zpětnou vazbu. Invertující vstupy byly uzemněny (nastaveny na hodnotu analogové země 0 V).

Z AC analýzy bylo určeno zesílení zesilovače  $A_U$ , fázová a amplitudová bezpečnost ( $PM$  a  $GM$ ) a tranzitní kmitočet  $GBW$ . Výsledek AC analýzy je zobrazen na obr. 8.2. Minimální a maximální hodnoty zjišťovaných parametrů zohledňující rozptyl pracovních teplot v komerčním rozsahu  $0\text{ }^{\circ}\text{C} - 70\text{ }^{\circ}\text{C}$  a výrobní odchylky, byly zjištěny z corner analýzy v příloze B.1 a B.2.



Obr. 8.1: Zapojení pro AC analýzu



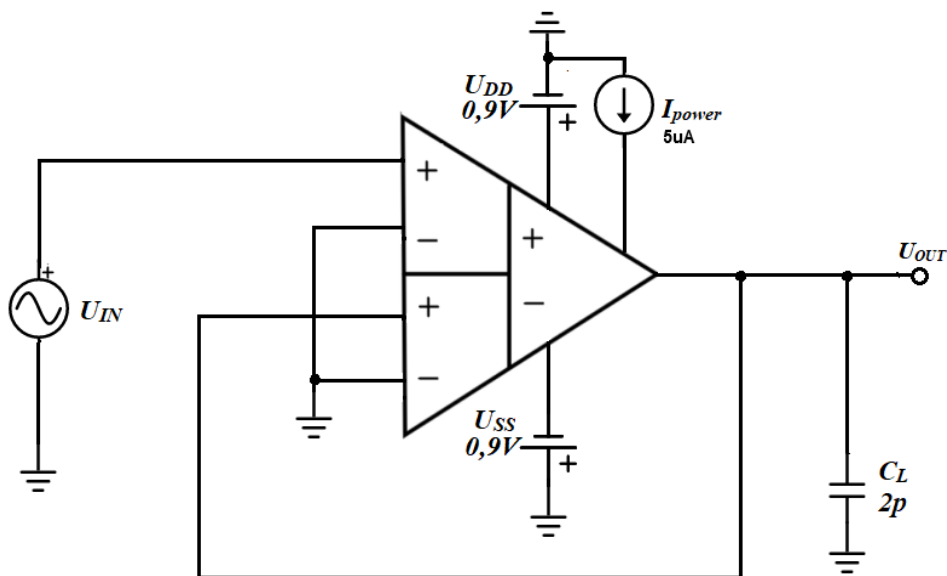
Obr. 8.2: Kmitočtová charakteristika DDA

Tab. 8.1: Parametry zjištěné z kmitočtové charakteristiky

	Typická hodnota	Minimální hodnota	Maximální hodnota
<b>Au [dB]</b>	107,7	102,2	111,2
<b>PM [°]</b>	71,2	66,2	74,9
<b>GM [dB]</b>	21,07	19,2	22,8
<b>GBW [MHz]</b>	2,41	1,83	3,4

## 8.2 DC analýza

Analýza DC provádí jednorázový výpočet stejnosměrných pracovních bodů. Z této analýzy je možné získat průběhy napětí a proudů v obvodu v závislosti na vstupním napětí. K stejnosměrné analýze bylo použito zapojení na obr. 8.3. Zesilovač je zde zapojen jako sledovač napětí. Pomocí DC analýzy byl určen vstupní a výstupní napěťový rozsah.

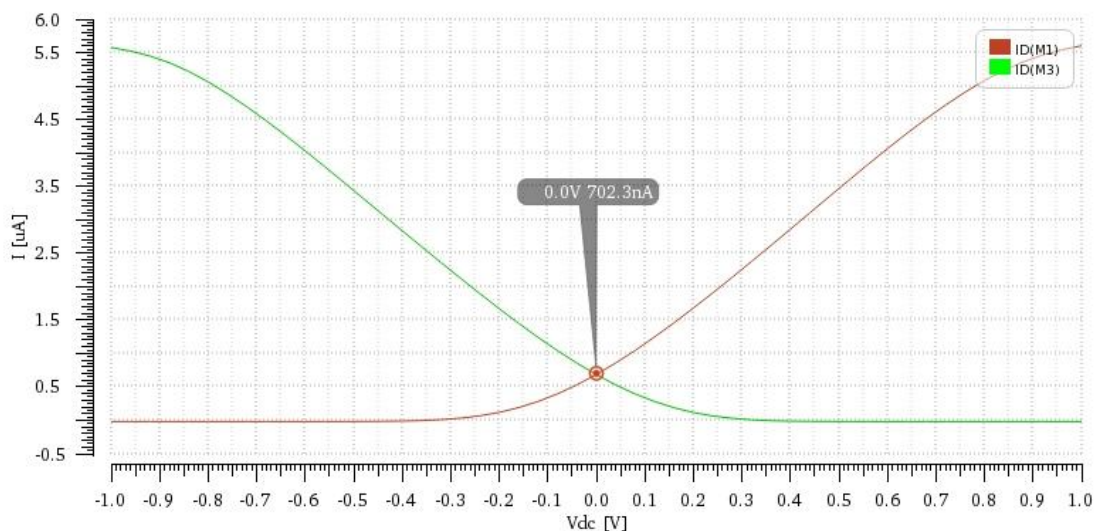


Obr. 8.3: Zapojení pro napěťového sledovače

### 8.2.1 Vstupní napěťový rozsah (ICMR)

Vstupní napěťový rozsah OZ určuje rozsah napětí, při němž jsou tranzistory vstupních diferenčních párů v saturaci a teče přes ně minimální proud  $I_D$  nutný k zajištění požadavků na parametry  $GBW$  a  $SR$ . Zesilovač je navržený s Rail-to-Rail vstupem a jeho  $ICMR$  by mělo být v celém rozmezí napájecího napětí (-0,9 V až 0,9 V). Proto byl na vstup DDA přiveden zdroj stejnosměrného napětí  $U_I$ , který je rozmítán v rozmezí -1 V až 1 V.

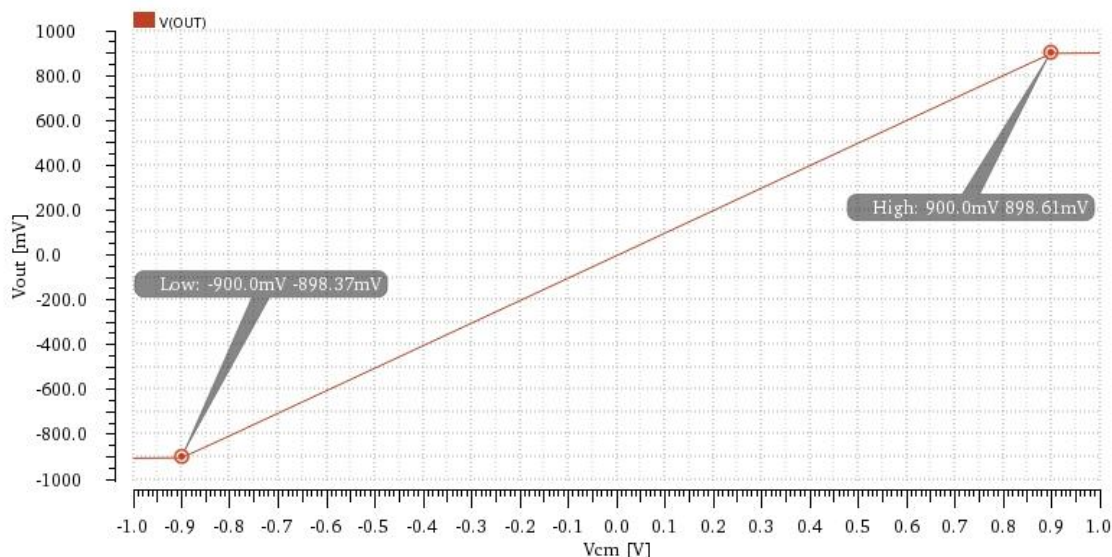
Na obr. 8.4 je možné vidět průběhy proudů  $I_1$  a  $I_3$ , což jsou proudy na tranzistorech M1 a M3 diferenčních párů prvního RtR vstupu, viz obr. 7.1. K dosažení požadovaných parametrů DDA byly tranzistory vstupních párů nastaveny na saturační proud v pracovním bodě  $I_{1,3} = 0,7 \mu\text{A}$ . Jak bylo vysvětleno v kapitole 4, proud na tranzistorech vstupního páru se mění v závislosti na vstupním napětí až do bodu, kdy celý proud  $I_{Bias}$  teče přes jeden z tranzistorů vstupního páru. K nezkraslenému přenosu signálu a zachování parametrů DDA dochází, když je alespoň jeden z tranzistorů M1 a M3, na který je přiváděn signál, aktivní a teče přes něj minimální proud  $I_D = 0,7 \mu\text{A}$ . Ze závislosti na obr. 8.4 je možné vidět, že v celém rozmítaném rozsahu napětí je vždy jeden z tranzistorů aktivní a teče přes něj minimální proud  $I_{1,3} = 0,702 \mu\text{A}$  právě v pracovním bodě DDA, kdy jsou aktivní oba vstupní diferenční páry. Podle tohoto výsledku lze prohlásit, že  $ICMR$  navrženého DDA je v celém rozsahu napájecího napětí. Výsledky corner analýzy proudů na tranzistorech M1 a M3 jsou uvedeny v příloze B.3.



Obr. 8.4: Průběh proudu  $I_1$  a  $I_3$  v závislosti na vstupním napětí

### 8.2.2 Výstupní napěťový rozsah (OCMR)

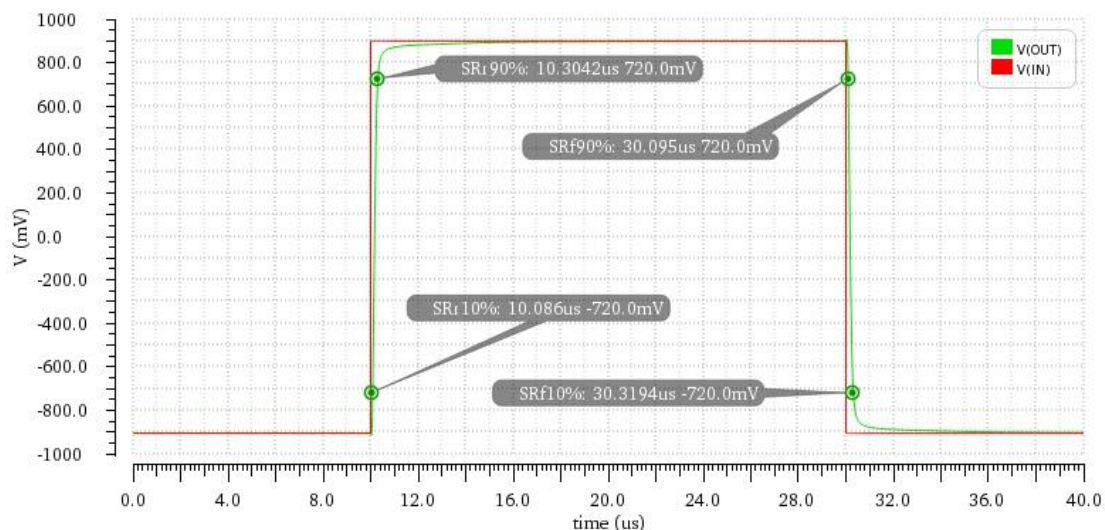
Protože *ICMR* zesilovače je v celém rozsahu napájecího napětí, bylo k simulaci výstupního napěťového rozsahu použito stejného zapojení jako při simulaci vstupního napěťového rozsahu. Na obr. 8.5 je vyobrazena závislost výstupního napětí na vstupním rozmítaném napětí. Ze závislosti výstupního napětí vyplývá, že *OCMR* zesilovače je v rozsahu -898,4 mV až 898,6 mV. Corner analýza *OCMR* je uvedena v příloze B.4.



Obr. 8.5: Výstupní napětí zesilovače při rozmítání vstupního signálu

### 8.3 Časová analýza

Časová analýza slouží k simulaci veličin v závislosti na čase. Pro zjištění mezní rychlosti přeběhu DDA byl v zapojení na obr. 8.3 přiveden na vstup zesilovače, místo stejnosměrného zdroje napětí  $U_{IN}$ , generátor pulzů. Výsledné  $SR$  bylo určeno za pomoci vnitřní funkce programu. Tato funkce určuje  $SR$  z rozdílu napětí mezi 10 % a 90 % náběžné / sestupné hrany výstupního signálu zesilovače.



Obr. 8.6: Průběh vstupního a výstupního obdélníkového signálu DDA

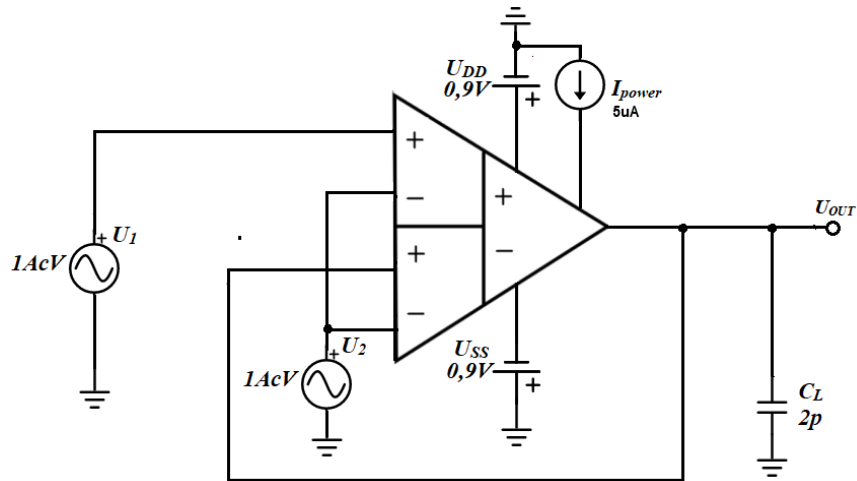
Tab. 8.2: Zjištěné hodnoty mezní rychlosti přeběhu  $SR$

	Typická hodnota	Minimální hodnota	Maximální hodnota
$SR_{rise}$ [V/ $\mu$ s]	6,62	4,56	9,21
$SR_{fall}$ [V/ $\mu$ s]	6,42	4,88	8

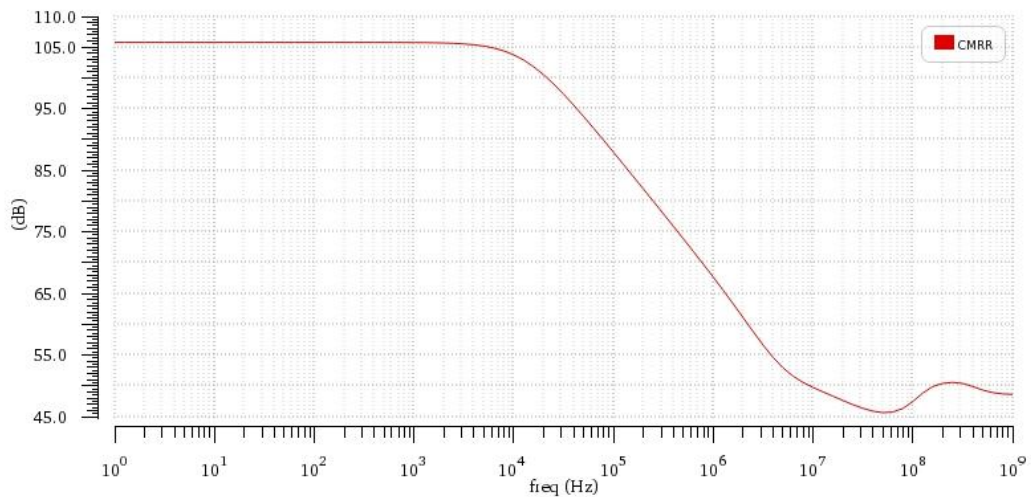
Z výsledku simulace na obr. 8.6 vyplývá, že  $SR$  je mnohem vyšší, než zamýšlené 2 V/ $\mu$ s. Příčinu lze odvodit z výsledku DC analýzy pro vstupní napěťový rozsah na obr. 8.4. Při napětí -0,9 V je otevřen PMOS tranzistor M3 a teče přes něj proud cca 5,6  $\mu$ A. Signál tak zpracovává PMOS diferenční pár. Se zvyšujícím napětím postupně proud tranzistorem M3 klesá a přibližně na napětí -0,3 V se začne otevírat NMOS tranzistor M1 až na napětí pracovního bodu 0 V teče přes oba tranzistory navržený proud 0,7  $\mu$ A. Zvyšováním vstupního napětí se pak uzavírá tranzistor M3 a proud tranzistorem M1 roste až na hodnotu cca 5,6  $\mu$ A. Výsledná hodnota  $SR$  je tak mnohem vyšší než spočtená, v důsledku vyššího proudu na vstupních tranzistorech. Corner analýza  $SR$  je uvedena v příloze B.5.

## 8.4 Simulace *CMRR*

Jak bylo popsáno v kapitole 2.1, *CMRR* určuje schopnost zesilovače potlačovat souhlasný signál na vstupu a je vyjádřen rovnicí (2.3). K simulaci *CMRR* bylo použito zapojení sledovače napětí na obr. 8.7, kdy jsou na vstupy DDA přivedeny stejné AC signály s amplitudou 1V. Typická hodnota *CMRR* zesilovače byla 105,8 dB. Minimální a maximální hodnoty *CMRR* byly zjištěny z corner analýzy v příloze B.6.



Obr. 8.7: Zapojení sledovače pro simulaci *CMRR*

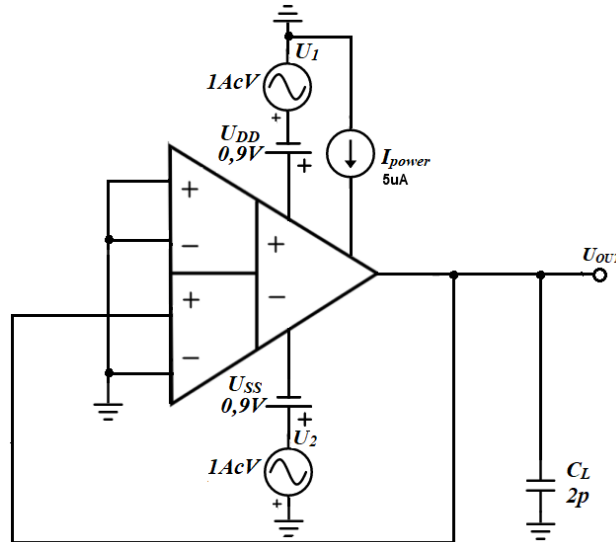


Obr. 8.8: Kmitočtová charakteristika *CMRR* zesilovače

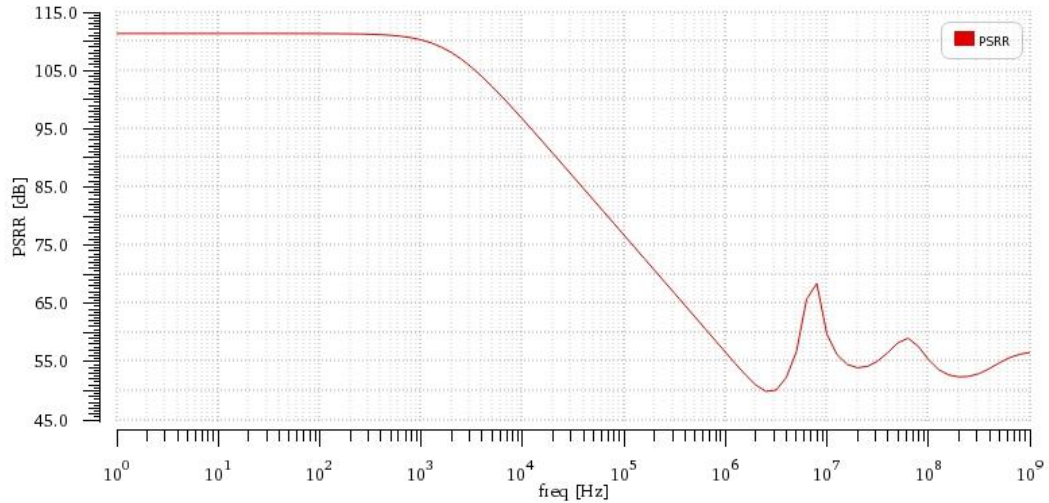
## 8.5 Simulace *PSRR*

Jak bylo uvedeno v kapitole 2.1, parametr *PSRR* udává schopnost zesilovače potlačovat šum od napájecího zdroje a je vyjádřen stejně jako parametr *CMRR* podle rovnice (2.3).

K simulaci byl použit sledovač napětí na obr. 8.9. Ke zdroji napájecího napětí byl zde připojen zdroj rušení (AC signál s amplitudou 1V). Typická hodnota *PSRR* zesilovače byla 111,5 dB. Minimální a maximální hodnoty *PSRR* byly zjištěny z corner analýzy v příloze B.7.



Obr. 8.9: Zapojení sledovače pro simulaci PSRR



Obr. 8.10: Frekvenční charakteristika PSRR zesilovače

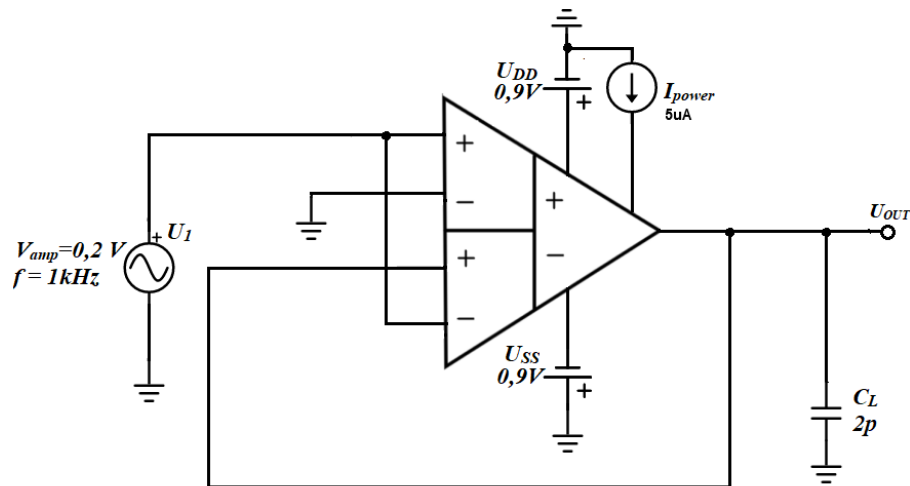
Tab. 8.3: Zjištěné parametry CMRR a PSRR

	Typická hodnota	Minimální hodnota	Maximální hodnota
<b>CMRR [dB]</b>	105,8	99,7	109
<b>PSRR [dB]</b>	111,5	107,4	112,6

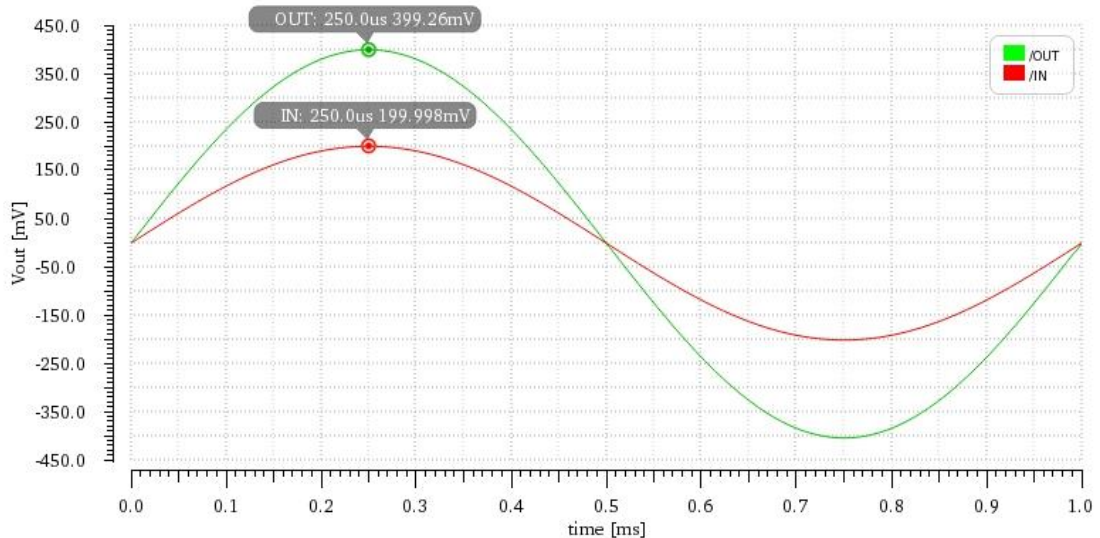


## 8.6 Ověření funkčnosti DDA

Diferenční rozdílový zesilovač se často využívá v aplikacích sumačního zapojení nebo invertoru bez nutnosti vnějších součástek. Lze ho použít rovněž jako zdroj proudu řízený napětím. Testovací zapojení pro sumaci je na obr. 8.11. Na vstupy zesilovače je přiváděn sinusový signál o amplitudě 0,2 V a kmitočtu 1 kHz. Jak je možné vidět na obr. 8.12, vstupní signál (červená) se z obou vstupů sečetl a výstupní signál je dvojnásobný (zelená).

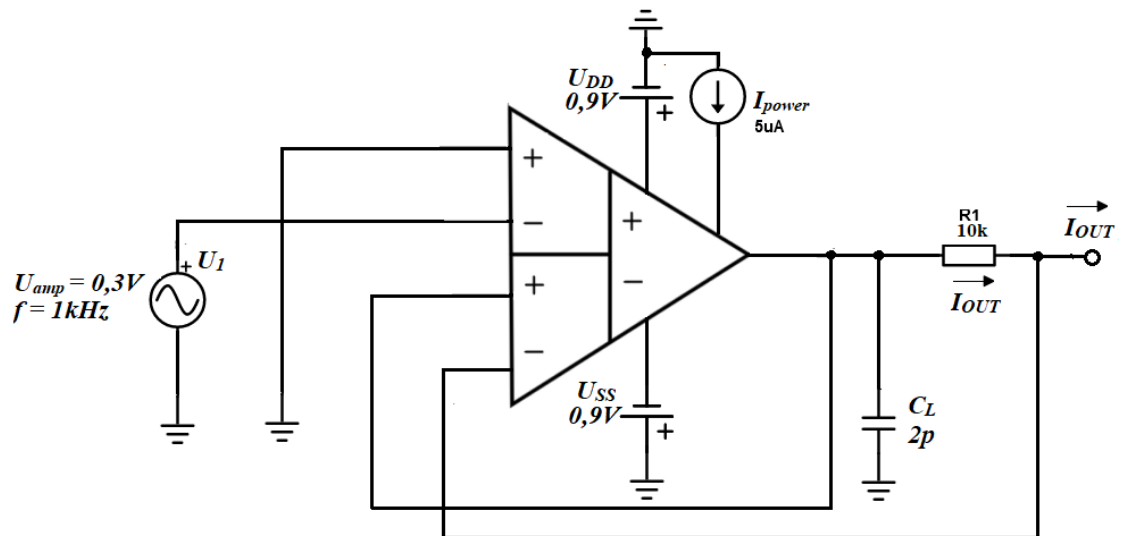


Obr. 8.11: Sumační zapojení DDA bez vnějších součástek

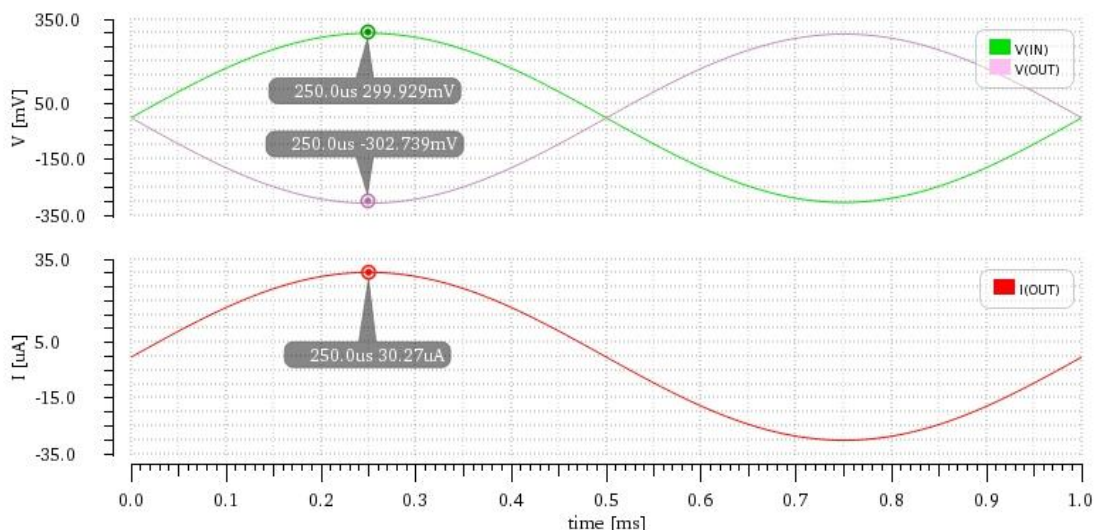


Obr. 8.12: Průběh vstupního a výstupního signálu sumačního zapojení

Druhým testovacím zapojením je zdroj proudu řízený napětím (VCCS) na obr. 8.13. Na tomto zapojení je možné ověřit jak funkčnost invertoru DDA bez vnějších rezistorů, tak možnost aplikace VCCS. Vstupní signál je zde přiváděn na invertující vstup prvního páru vstupů. Záporná zpětná vazba je pak přivedena na neinvertující vstup druhého vstupního páru. Na výstupu tak vstupní signál bude invertovaný. Výstupní napěťový signál následně prochází přes odpor  $R_1$ , na kterém dochází k úbytku napětí a generaci proudu s opačnou fází. Výstupní proud (červená) na obr. 8.14 má tak stejný průběh jako vstupní signál (zelená). Výsledky corner analýz testovacích obvodů jsou uvedeny v přílohách B.8 a B.9.



Obr. 8.13: Zapojení zdroje proudu řízeného napětím (VCCS)



Obr. 8.14: Napětí na vstupu a výstupu DDA a výstupní proud VCCS

Tab. 8.4: Přehled parametrů navrženého DDA

	Typ. hodnota	Min. hodnota	Max. hodnota
Zesílení $A_u$ [dB]	107,7	102,2	111,2
Tranzitní kmitočet $GBW$ [MHz]	2,41	1,83	3,4
Fázová bezpečnost $PM$ [°]	71	66,2	74,9
Amplitudová bezpečnost $GM$ [dB]	21,1	19,2	22,8
Mezní rychlost přeběhu náběžné hrany $SR_{rise}$ [V/μs]	6,62	4,56	9,21
Mezní rychlost přeběhu sestupné hrany $SR_{fall}$ [V/μs]	6,42	4,88	8
$ICMR$ [V]	±0,9		
$OCMR$ [V]	±0,898	±0,897	±0,899
Spotřeba $P_d$ [μW]	78,4	74,7	83,3
$CMRR$ [dB]	105,8	99,7	109
$PSRR$ [dB]	111,5	107,4	112,6
Systematický offset $U_{soff}$ [μV]	-6,45	-2,1	-15,2
Náhodný offset $U_{roff}$ [mV] pro $3\sigma$	12,92		

## 9. Layout

Layout, nebo také topologie čipu, reprezentuje převedení navrženého elektrického obvodu na fyzický obvod, tedy na jednotlivé vrstvy kovů, oxidů, polovodičových P a N struktur. Vlivem výrobních chyb a neideálními vlastnostmi součástek se fyzický obvod vyznačuje parazitními kapacitami, odpory a neshodnostmi tranzistorů, které je možné minimalizovat jejich vhodným rozložením. Layout také určuje plochu obvodu na čipu, a proto je nutné uvažovat i plošnou náročnost rozložení a pospojování součástek.

### 9.1 Základní pravidla návrhu

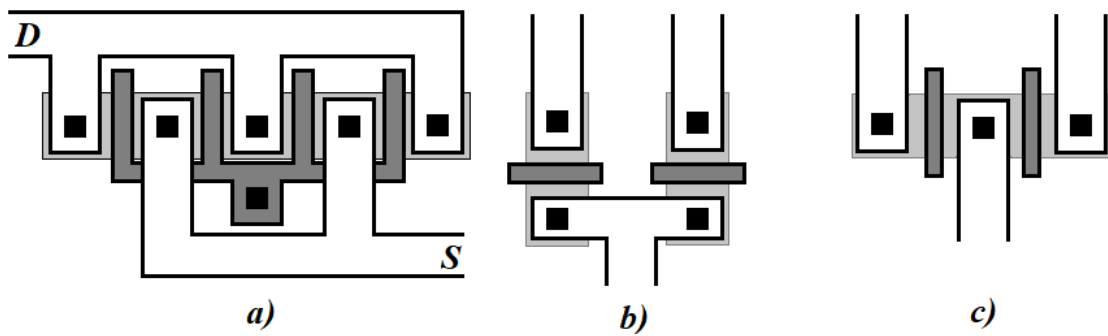
K zajištění co nejlepších vlastností a proveditelnosti obvodu se dodržuje několik základních pravidel návrhu:

- **Minimální šířka a délka** – navržené struktury a propojení součástek musí dodržovat minimální rozlišení výroby použité technologie.
- **Minimální rozestupy** – struktury navržené na stejné, nebo různé vrstvě musí být od sebe odděleny minimálním rozestupem, daný technologií, aby nedošlo ke zkratu přilehlých součástek.
- **Minimální ohraničení** – n-well a  $p^+$  implantát musí dostatečně obklopovat tranzistor v rámci tolerance, aby nedošlo při výrobě k nežádoucímu kontaktu s jinou polovodičovou strukturou.
- **Minimální nadstavení** – oxid hradla tranzistorů musí být nadstaven o minimální délku mimo aktivní zónu, pro optimální tvorbu indukovaného kanálu na okrajích aktivní zóny
- **Antenna effect** – během výroby se na velkých vodičích propojující menší hradla tranzistorů může objevit dostatečně velký náboj k jeho proražení a zničení hradla tranzistoru. Z toho důvodu je vhodné používat, pokud možno, menší rozměry vodičů. Pokud je široký vodič nevyhnutelný, je doporučeno připojit před hradlo diodu, přes kterou se přebytečný náboj vybije [1], [5].

### 9.2 Techniky návrhu layoutu

K potlačení parazitních vlivů a dosažení co možná nejmenších rozměrů se používají různé metody návrhu. Ke snížení parazitních vlastností velkých tranzistorů se používá metoda rozložení tranzistorů na *fingery* (prsty), viz. obr. 9.1 a).

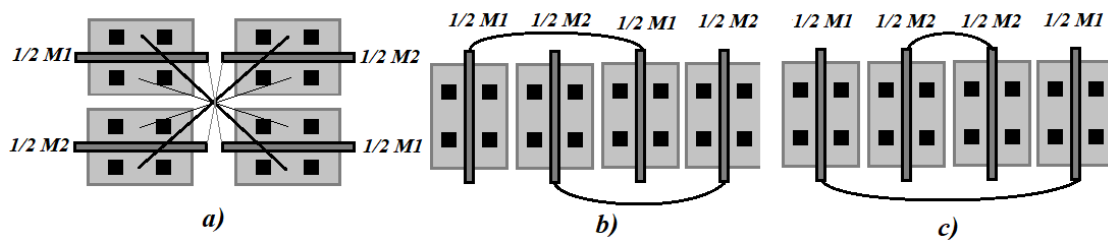
Další negativní vlastností obvodů je neshodnost součástek především pak u vstupních diferenčních párů zesilovače, které mohou zapříčinit vstupní napěťový offset. Vliv na shodnost součástek má pak především jejich symetrie. Z toho důvodu je doporučena jedna ze struktur na obr. 9.1 b),c).



Obr. 9.1: a) Multifinger (víceprstý) tranzistor, b) dif. pár se zarovnanými gate hradly c) dif. pár s paralelními gate hradly

Vhodnější strukturou pro návrh diferenčního páru je struktura b) na obr. 9.1, kvůli efektu „gate shadowing“, kdy při drain/source implantaci izolační oxid gate hradla stíní část implantované oblasti. Vlivem toho může jedna z oblastí drain/source obdržet nižší implantaci.

Další metodou snížení nesymetrie, především u širokých tranzistorů, je jejich rozdělení na menší části a uspořádání do struktury na obr. 9.2.



Obr. 9.2: a) Cross-quad, b) Interdigitation, c) Common centroid layout

## 10. Závěr

Cílem bakalářské práce bylo navržení CMOS diferenciálního rozdílového zesilovače v technologii TSMC 0,18 s maximálním vstupním a výstupním rozsahem, malou spotřebou a plochou. V teoretickém úvodu byly rozebrány vlastnosti tranzistorů MOS, struktury používané pro realizaci operačních zesilovačů, jejich základní parametry a problematika vstupu DDA.

Požadovanými parametry byly  $A_u > 60$  dB,  $GBW > 1$  MHz a  $SR > 1$  V/ $\mu$ s. Pro realizaci požadovaného DDA byla zvolena struktura s Rail-to-Rail vstupy a složenou kaskodou. Výstup byl navržen ve třídě AB pro dosažení maximálního výstupního rozsahu a nízké spotřeby. Pro zajištění konstantního zesílení v celém rozsahu vstupního napětí, byla přidána transkonduktanční kompenzace v podobě Zenerovy diody. Obvod byl navržen pro napájecí napětí  $\pm 0,9$  V.

Dosažené parametry navrženého obvodu byly ověřeny v prostředí Cadence Virtuoso. Z výsledků provedených simulací v tab. 8.4 plyne, že bylo s rezervou dosaženo požadovaných parametrů i při zahrnutí výrobních odchylek v komerčním teplotním rozsahu (0°C až 70°C). Zesilovač je schopen pracovat v téměř celém rozsahu napájecího napětí. Je limitován pouze výstupním rozsahem, který v nejhorším případě dosáhl  $\pm 0,897$  V

Při návrhu byl rovněž kladen důraz na nízkou spotřebu, což se projevilo na volbě kompenzační kapacity  $C_C = 0,5$  pF, pro snížení minimálních proudů na vstupních tranzistorech. Nominální hodnota spotřeby DDA je  $P_d = 78,4$   $\mu$ W.

Navržený layout dosáhl rozměrů 72,02  $\mu$ m x 64,53  $\mu$ m. Tyto rozměry odpovídají ploše 0,0046 mm<sup>2</sup> na čipu. Pomocí nástroje Calibre byl proveden antenna check a ověření dodržení návrhových pravidel pro technologii TSMC 0,18. Procedurou LVS pak byla ověřena shodnost navrženého layoutu se schématem.

## Seznam použité literatury

- [1] KLEDROWETZ, Vilém a Jiří HÁZE. *Návrh analogových integrovaných obvodů*. Brno, 2015. Skriptum. Vysoké učení technické v Brně.
- [2] BOUŠEK, Jaroslav, Petr KOSINA a Barbora MOJROVÁ. *Elektronické součástky*. Brno, 2015. Skriptum. Vysoké učení technické v Brně.
- [3] SZE, S.M. a K.Ng. KWOK. *Physics of Semiconductor Devices*. Third edition. San Jose, California: A JOHN WILEY & SONS, INC., PUBLICATION, 2006. ISBN 978-0-47 1-1 4323-9.
- [4] COLINGE, J. P. a C. A. COLINGE. *PHYSICS OF SEMICONDUCTOR DEVICES*. XIII. USA: Kluwer Academic Publishers, 2002. ISBN 1-4020-7018-7.
- [5] *Behzad Razavi*. 2. vydání. Los Angeles, California, USA: byMcGraw-Hill Education, 2017. ISBN 978-0-07-252493-2.
- [6] CARUSONE, Tony C., David A. JOHNS a Kenneth W. MARTIN. *Analog integrated circuit design*. Second edition. USA: John Wiley & Sons, Inc., 2012. ISBN 978-0-470-77010-8.
- [7] SACKINGER, E. a W. GUGGENBUHL. A versatile building block: the CMOS differential difference amplifier. *IEEE Journal of Solid-State Circuits* [online]. 1987, **22**(2), 287-294 [cit. 2020-11-01]. ISSN 0018-9200. Dostupné z: doi:10.1109/JSSC.1987.1052715
- [8] PUNČOCHÁŘ, Josef. *Operační zesilovače v elektrotechnice*. 5. vydání. Rožnov pod Radhoštěm: Technická Literatura BEN, 2002. ISBN 80-7300-059-8.
- [9] *Op amp applications handbook*. 2nd ed. Editor Walt JUNG. Amsterdam: Elsevier, 2005. ISBN 0-7506-7844-5.
- [10] MANCINI, Ron. *Op amps for everyone*. 2nd ed. Amsterdam: Elsevier/Newnes, 2003. ISBN 978-008-0513-072.
- [11] BIOLEK, Dalibor, Karel HÁJEK a Antonín KRTIČKA. *Analogové elektronické obvody*. Brno, 2007. Skriptum. Vysoké učení technické v Brně.
- [12] HUIJSING, Johan. *Operational Amplifiers: Theory and Design*. 2nd edition. Delft University of Technolog, Netherlands: Springer, 2011. ISBN 978-94-007-0595-1. Dostupné z: doi:10.1007/978-94-007-0596-8

- [13] SANSEN, Willy. *Rail-to-rail input and output amplifiers* [online]. Belgium: KULeuven, ESAT-MICAS, 2015 [cit. 2020-12-02]. Dostupné z: <https://fdocuments.in/document/rail-to-rail-op-amps>



## Seznam symbolů a zkratek

Symbol/zkratka	Popis	Jednotka
$A/D$	Analog/digital	-
$A_U$	Zesílení v otevřené smyčce	[dB]
$BW$	Bandwidth (šířka pásma)	[Hz]
$C_c$	Kompenzační kapacita	[F]
$C_L$	Zatěžovací kapacita	[F]
$CMRR$	Common-Mode-Rejection-Ratio	[dB]
$D/A$	Digital/analog	-
$DDA$	Differential difference amplifier	-
$GBW$	Gain-bandwidth (tranzitní frekvence)	[Hz]
$g_m$	Transkonduktance	[S]
$GM$	Gain margin (amplitudová rezerva)	[dB]
$ICMR$	Input-Common-Mode-Ratio (vstupní rozsah)	[V]
$I_D$	Saturační proud	[A]
$IO$	Integrované obvody	-
$I_{OUT}$	Výstupní proud	[A]
$KP$	Transkonduktanční parametr	[A/V <sup>2</sup> ]
$L$	Délka vodivého kanálu	[m]
$OCMR$	Output-Common-Mode-Ratio (výstupní rozsah)	[V]
$OZ$	Operační zesilovač	-
$PM$	Phase margin (fázová rezerva)	[°]
$PSRR$	Power-Supply-Rejection-Ratio	[dB]
$r_{DS}$	Výstupní odpor mezi drain-source	[Ω]
$R_{IN}$	Vstupní odpor	[Ω]
$P_d$	Spotřeba	[Ω]
$R_{out}, r_{out}$	Výstupní odpor	[Ω]
$RtR$	Rail to Rail	-
$SR$	Slew-rate (mezí rychlost přeběhu)	[V/us]
$U_{amp}$	Amplituda napětí	[V]
$U_{DD}$	Kladné napájecí napětí	[V]
$U_{DS}$	Napětí mezi drain-source	[V]
$U_{DSsat}$	Saturační napětí $U_{DS}$	[V]
$U_{GS}$	Napětí mezi gate-source	[V]
$U_{Roff}$	Náhodný offset	[mV]
$U_{Soff}$	Systematický offset	[μV]
$U_{SS}$	Záporné napájecí napětí	[V]
$U_{TH}$	Prahové napětí	[V]
$VCCS$	Voltage-controlled-current-source	-
$W$	Šířka vodivého kanálu	[m]
$\lambda$	Parametr délky modulace kanálu	[V <sup>-1</sup> ]

# Seznam příloh

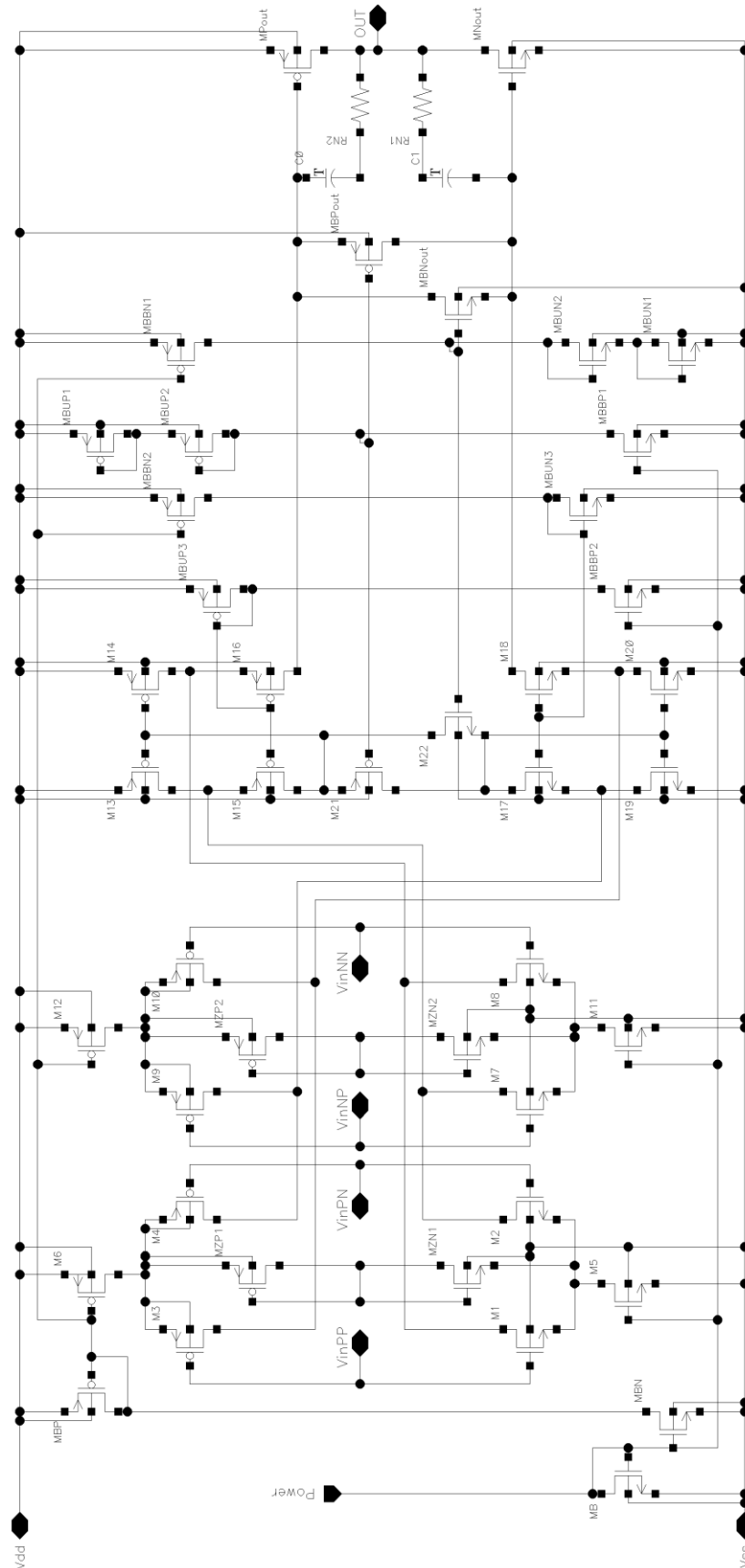
<b>PŘÍLOHA A - NAVRŽENÝ OBVOD DDA</b> .....	<b>59</b>
A.1    PARAMETRY SOUČÁSTEK NAVRŽENÉHO OBVODU.....	59
A.2    KOMPLETNÍ SCHÉMA NAVRŽENÉHO OBVODU .....	60
<b>PŘÍLOHA B - VÝSLEDKY SIMULACÍ CORNER ANALÝZ</b> .....	<b>61</b>
B.1    CORNER ANALÝZA FÁZOVÉ CHARAKTERISTIKY.....	61
B.2    CORNER ANALÝZA MODULOVÉ CHARAKTERISTIKY .....	61
B.3    CORNER ANALÝZA VSTUPNÍHO ROZSAHU ( <i>ICMR</i> ).....	62
B.4    CORNER ANALÝZA VÝSTUPNÍHO ROZSAHU ( <i>OCMR</i> ).....	62
B.5    CORNER ANALÝZA <b>SR</b> .....	63
B.6    CORNER ANALÝZA <b>CMRR</b> .....	63
B.7    CORNER ANALÝZA <b>PSRR</b> .....	64
B.8    CORNER ANALÝZA VÝSTUPU SUMAČNÍHO ZAPOJENÍ.....	64
B.9    CORNER ANALÝZA VÝSTUPU ZAPOJENÍ <b>VCCS</b> .....	65
<b>PŘÍLOHA C - LAYOUT</b> .....	<b>66</b>

# Příloha A - Navržený obvod DDA

## A.1 Parametry součástek navrženého obvodu

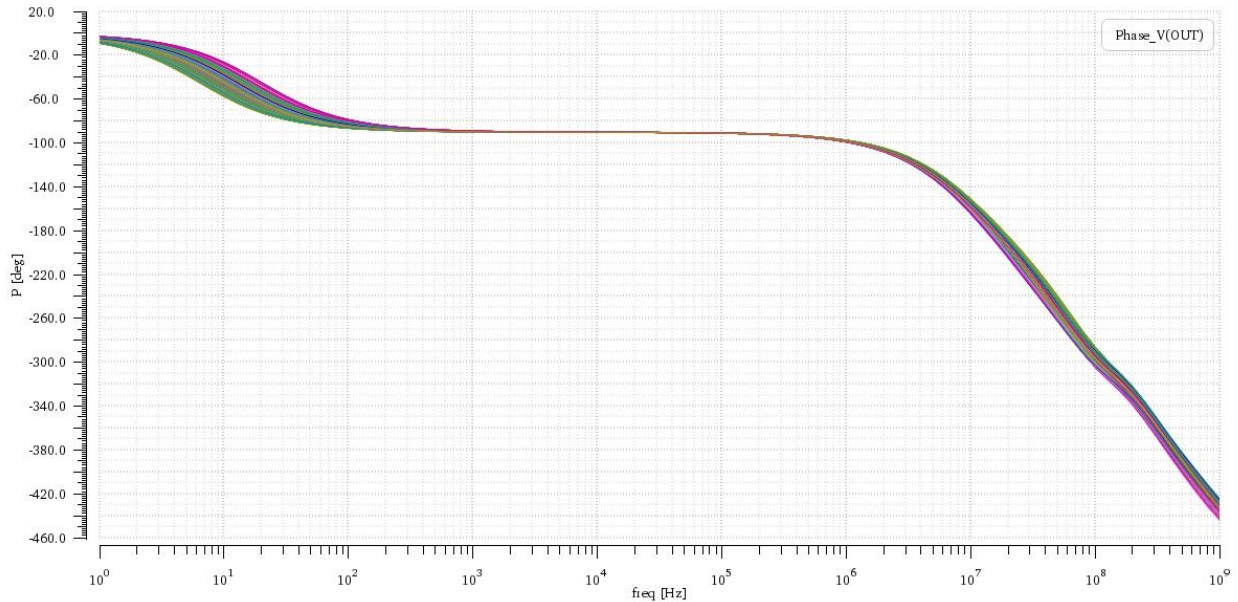
Tranzistory Rail-to-Rail vstupu				Tranzistory výstupního stupně			
<b>mVT NMOS</b>	<b>W/L [-]</b>	<b>W [<math>\mu\text{m}</math>]</b>	<b>L [<math>\mu\text{m}</math>]</b>	<b>PMOS</b>	<b>W/L [-]</b>	<b>W [<math>\mu\text{m}</math>]</b>	<b>L [<math>\mu\text{m}</math>]</b>
M1	0,19	1	5	M <sub>BPout</sub>	3,61	3,6	1
M2	0,19	1	5	M <sub>Pout</sub>	9,04	9	1
M <sub>ZN1</sub>	1,14	6	5	<b>NMOS</b>			
M7	0,19	1	5	M <sub>BNout</sub>	0,94	1,9	2
M8	0,19	1	5	M <sub>Nout</sub>	2,35	4,7	2
M <sub>ZN2</sub>	1,14	6	5	<b>Pasivní součástky výstupního stupně</b>			
<b>NMOS</b>				<b>Kapacity</b>	<b>C [pF]</b>	<b>W [<math>\mu\text{m}</math>]</b>	<b>L [<math>\mu\text{m}</math>]</b>
M5	1,88	3,9	2	C1	0,5	15,7	15,7
M11	1,88	3,9	2	C2	0,5	15,7	15,7
<b>mVT PMOS</b>				<b>Rezistory</b>	<b>R [k<math>\Omega</math>]</b>	<b>W [<math>\mu\text{m}</math>]</b>	<b>L [<math>\mu\text{m}</math>]</b>
M3	0,66	1,3	2	R1	5,3	2	9,9
M4	0,66	1,3	2	R2	5,3	2	9,9
M <sub>ZP1</sub>	3,96	7,9	2	<b>Tranzistory referenčního obvodu</b>			
M9	0,66	1,3	2	<b>PMOS</b>	<b>W/L [-]</b>	<b>W [<math>\mu\text{m}</math>]</b>	<b>L [<math>\mu\text{m}</math>]</b>
M10	0,66	1,3	2	M <sub>BP</sub>	1,3	1,3	1
M <sub>ZP2</sub>	3,96	7,9	2	M <sub>BBN1</sub>	1,3	1,3	1
<b>PMOS</b>				M <sub>BBN2</sub>	2,6	2,6	1
M6	7,7	7,7	1	M <sub>BBUP1,2</sub>	1,3	1,3	1
M12	7,7	7,7	1	M <sub>BBUP3</sub>	0,2	0,8	4
<b>Tranzistory kaskody</b>				<b>NMOS</b>			
<b>PMOS</b>	<b>W/L [-]</b>	<b>W [<math>\mu\text{m}</math>]</b>	<b>L [<math>\mu\text{m}</math>]</b>	M <sub>B</sub>	1,75	3,5	2
M13	9,03	9	1	M <sub>BN</sub>	0,34	0,7	2
M14	9,03	9	1	M <sub>BBUN1,2</sub>	0,34	0,7	2
M15	7,23	7,2	1	M <sub>BBUN3</sub>	0,07	0,4	6
M16	7,23	7,2	1	M <sub>BBP1,2</sub>	0,34	0,7	2
M21	3,61	3,6	1				
<b>NMOS</b>							
M17	2,35	2,4	1				
M18	2,35	2,4	1				
M19	1,88	1,9	1				
M20	1,88	1,9	1				
M22	0,94	1,9	2				

## A.2 Kompletní schéma navrženého obvodu

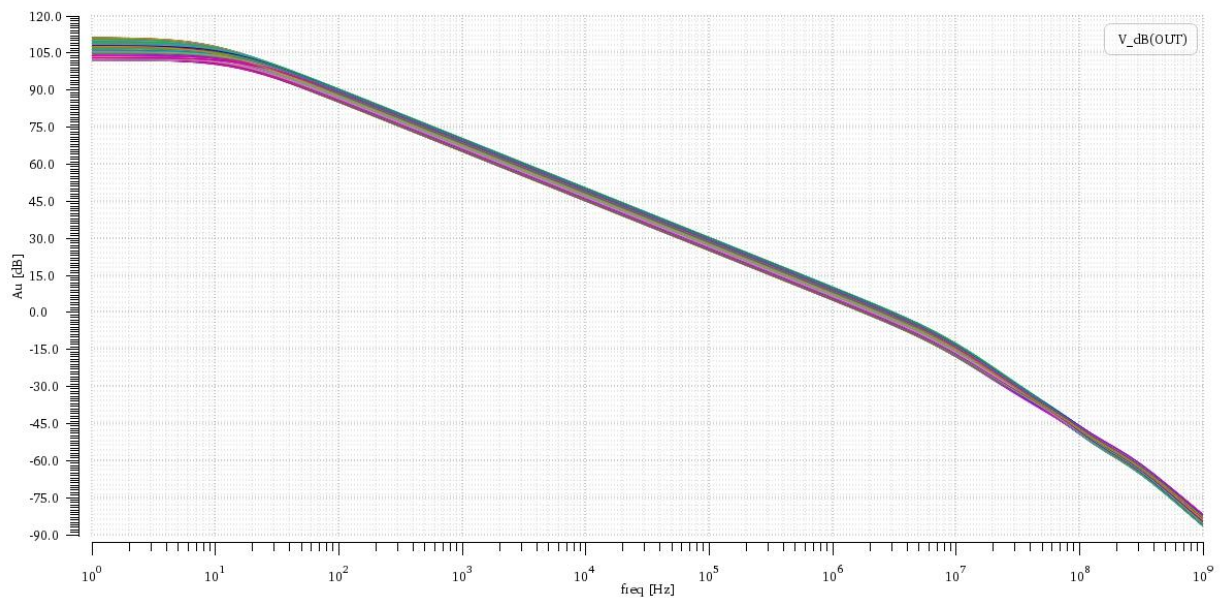


## Příloha B - Výsledky simulací corner analýz

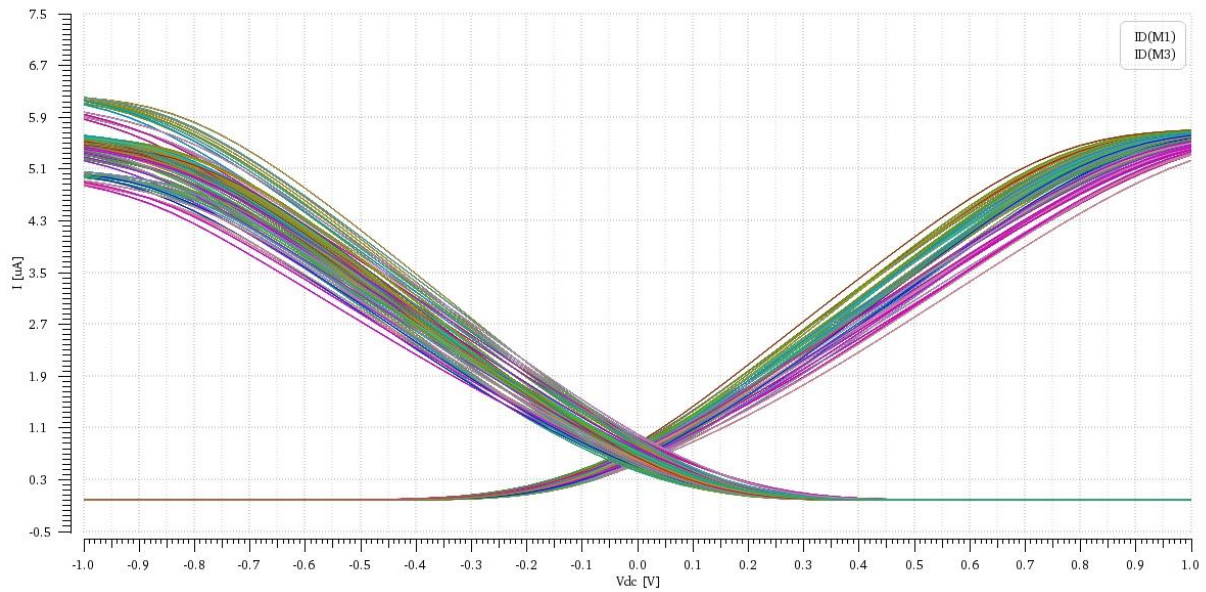
### B.1 Corner analýza fázové charakteristiky



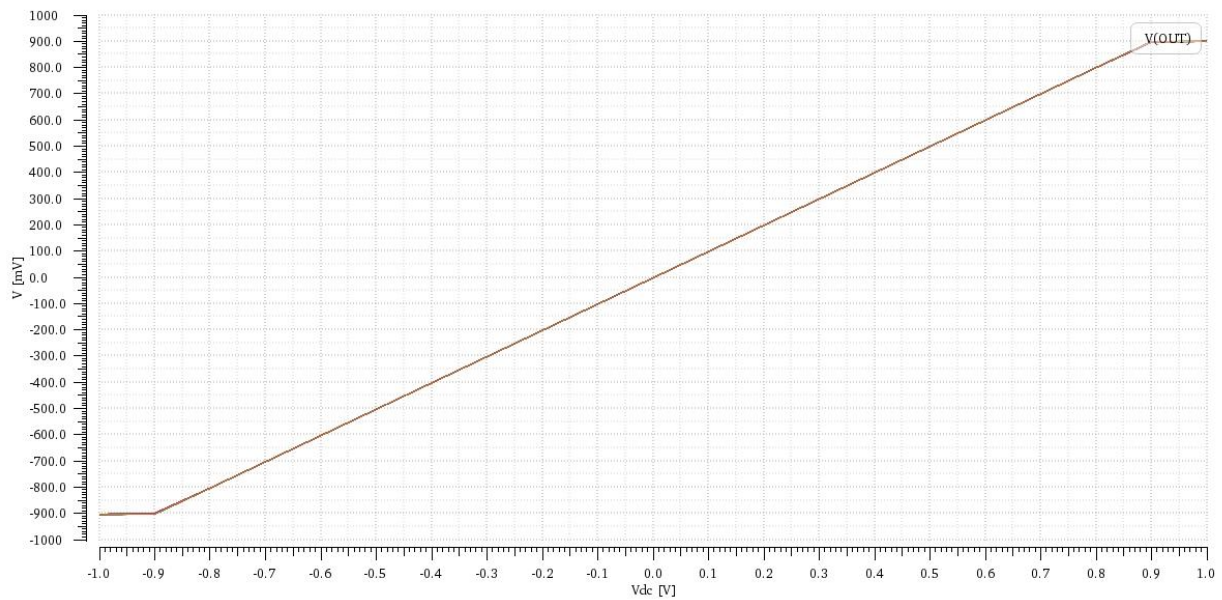
### B.2 Corner analýza modulové charakteristiky



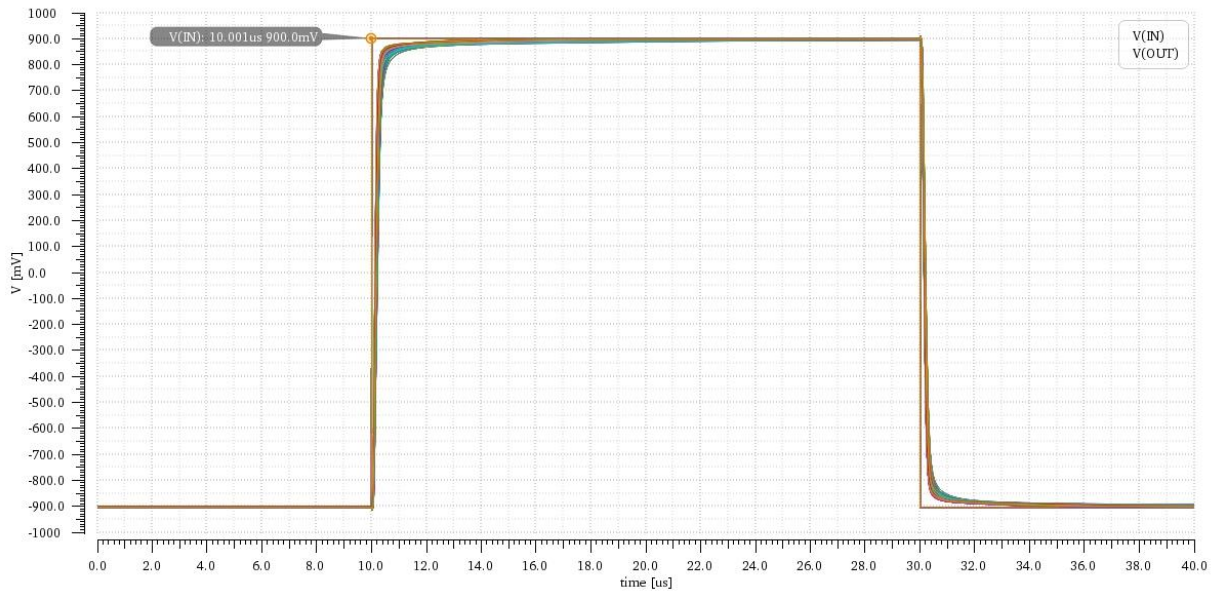
### B.3 Corner analýza vstupního rozsahu (ICMR)



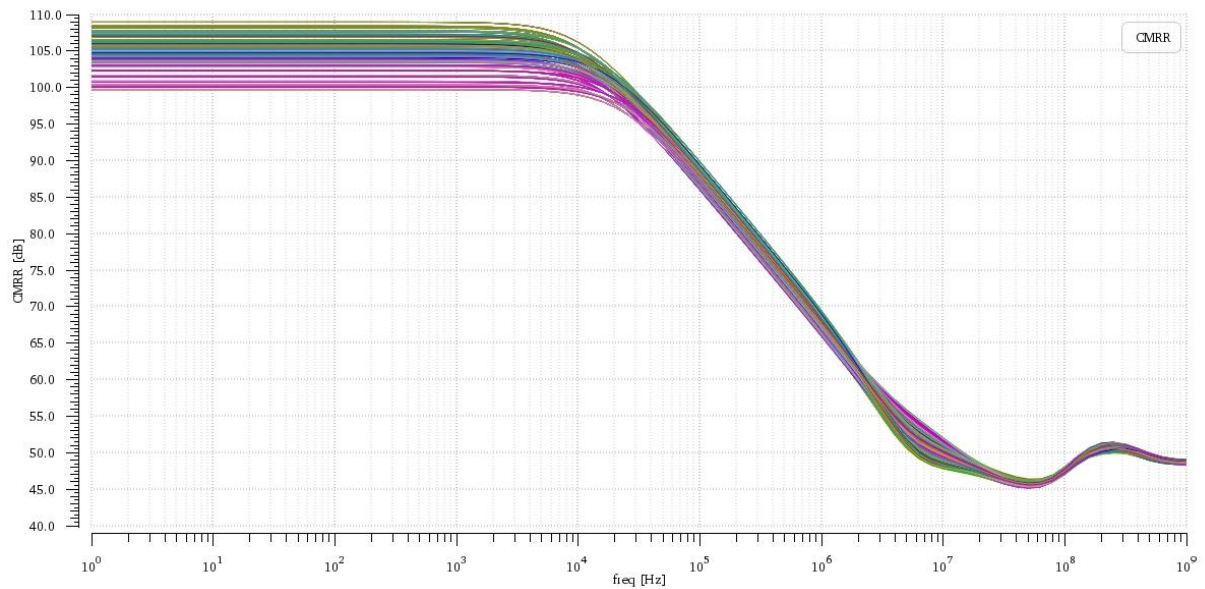
### B.4 Corner analýza výstupního rozsahu (OCMR)



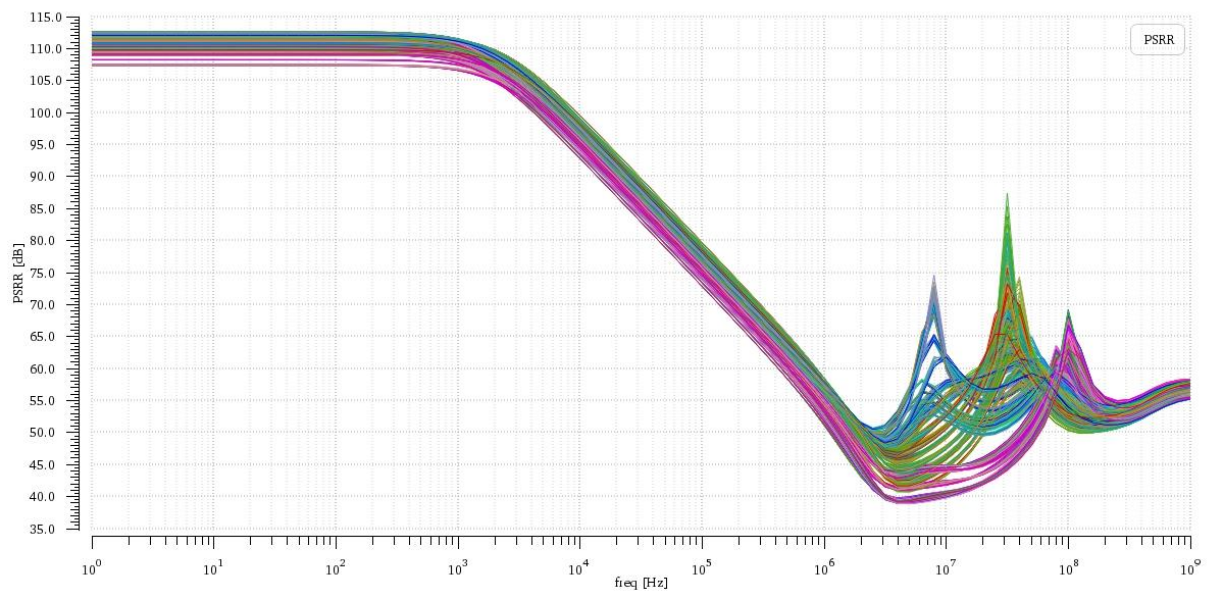
## B.5 Corner analýza SR



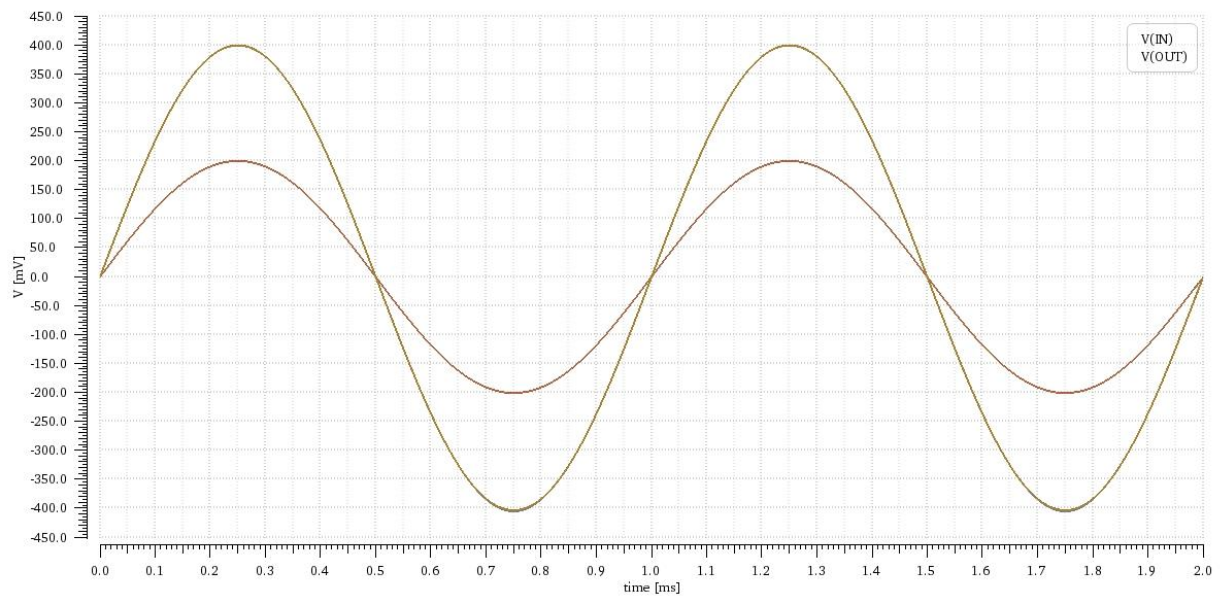
## B.6 Corner analýza CMRR



## B.7 Corner analýza PSRR

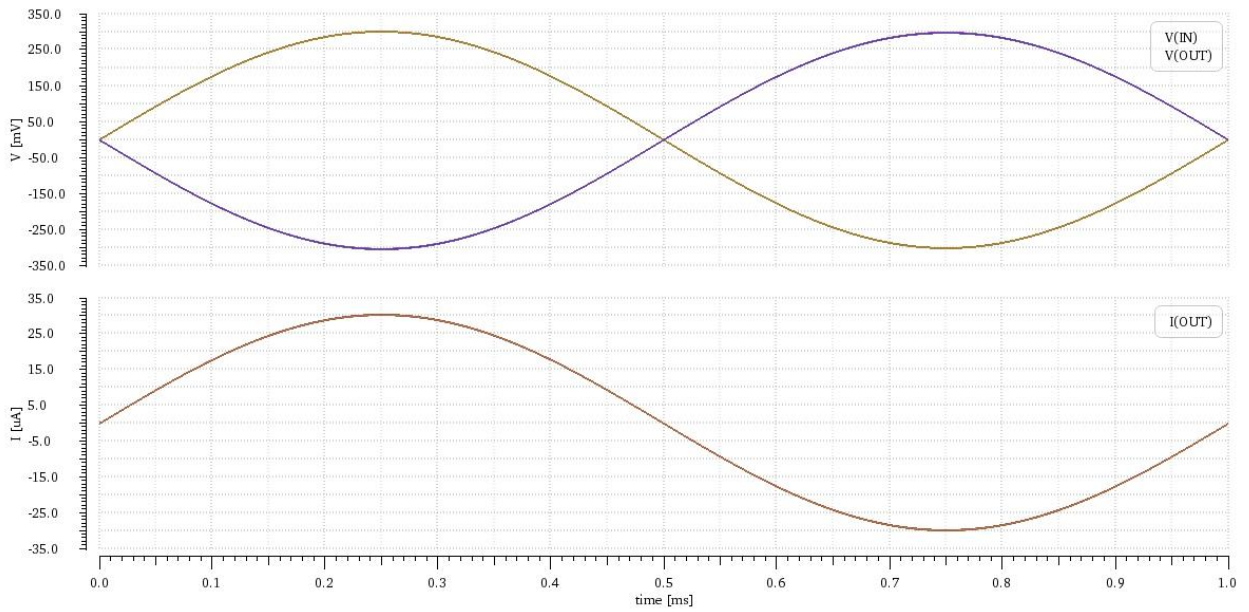


## B.8 Corner analýza výstupu sumačního zapojení





## B.9 Corner analýza výstupu zapojení VCCS



## Příloha C - Layout

