

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH SMYČKY FÁZOVÉHO ZÁVĚSU

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. PAVEL HEJLEK

BRNO 2013



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH SMYČKY FÁZOVÉHO ZÁVĚSU

DESIGN OF THE PLL

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. PAVEL HEJLEK

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. ROMAN PROKOP, Ph.D.

BRNO 2013



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Diplomová práce

magisterský navazující studijní obor
Mikroelektronika

Student: Bc. Pavel Hejlek

ID: 106458

Ročník: 2

Akademický rok: 2012/2013

NÁZEV TÉMATU:

Návrh smyčky fázového závěsu

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte smyčku fázového závěsu pro generování 4-násobného kmitočtu vůči referenčnímu signálu v technologii CMOS. Rozbor, výpočet, simulace, příp. layout. Software Cadence, PSpice.

DOPORUČENÁ LITERATURA:

[1] Shu, K.; Sanchez-Sinencio, E.: CMOS PLL Synthesizers: Analysis and Design, Springer Science 2005, ISBN 0-387-23668-6

[2] Razavi, B.: Design of Analog CMOS Integrated Circuits, McGraw-Hill Higher Education 2001, ISBN 0-07-238032-2

Termín zadání: 11.2.2013

Termín odevzdání: 30.5.2013

Vedoucí práce: Ing. Roman Prokop, Ph.D.

Konzultanti diplomové práce:

prof. Ing. Vladislav Musil, CSc.

Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato práce se zabývá návrhem smyčky fázového závěsu. V teoretické části je popsán její princip. V praktické části je podrobný matematický popis, volba různých bloků, výpočet návrhu a optimalizace výsledného řešení. Navržené řešení je simulováno a výsledky jsou komentovány.

KLÍČOVÁ SLOVA

CMOS, fázový detektor, oscilátor, smyčka fázového závěsu, VCO

ABSTRACT

This work is dealing with phase lock loop design. In the theoretical part is principal description. In the practical part is detailed mathematical description, choice of various blocks, design calculation and optimalization of final solution. Designed solution is simulated and final result are commented.

KEYWORDS

CMOS, phase detector, oscillator, phase lock loop, VCO

HEJLEK, Pavel *Návrh smyčky fázového závěsu*: diplomová práce. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky, 2013. 61 s. Vedoucí práce byl Ing. Roman Prokop, PhD.

PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma „Návrh smyčky fázového závěsu“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Brno

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce Ing. Romanu Prokopovi, PhD. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce. Předkládaná diplomová práce byla realizována v laboratořích podpořených z projektu SIX; registrační číslo CZ.1.05/2.1.00/03.0072, operační program Výzkum a vývoj pro inovace.

V Brně dne

.....

(podpis autora)

OBSAH

Seznam symbolů, veličin a zkratek	11
Úvod	13
1 Teorie smyčky fázového závěsu	14
1.1 Celočíslná PLL	14
1.2 Zlomková PLL	15
1.3 Základní digitální stavební bloky	15
1.3.1 Fázový detektor	15
1.3.2 Třístavový výstup	19
1.3.3 Nábojová pumpa	20
1.3.4 Porovnání fázových detektorů	22
1.3.5 Napětím řízený oscilátor	24
1.3.6 Dělič kmitočtu	26
1.4 Základní analogové stavební bloky	27
1.4.1 Fázový detektor	27
1.4.2 Filtr smyčky	28
1.4.3 Napětím řízený oscilátor	29
1.4.4 Dělič kmitočtu	29
1.5 Srovnání analogového a číslicového řešení	30
1.6 Stabilita PLL	30
2 Optimalizace návrhu	32
2.1 Popis signálů	33
2.2 Návrh nábojové pumpy s kondenzátorem	33
2.3 Návrh nábojové pumpy s filtrem	34
2.4 Návrh rampového oscilátoru	34
2.5 Přenos zpětnovazební smyčky a stabilita	35
2.6 Návrh proudového zdroje	38
2.7 Návrh zdroje referenčního napětí	39
2.8 Návrh tvarovače signálu	39
2.9 Návrh přesného invertoru	39
3 Simulace v PSpice	41
3.1 Porovnání filtru smyčky	41
3.2 Vliv proudu nábojovou pumpou	42
3.3 Pronikání hodinového (řídícího) signálu	43

4 Simulace v Cadence Virtuoso	45
5 Závěr	50
Literatura	51
Seznam příloh	53
A Navržené schéma simulované v Cadence Virtuoso	54
B Doplnující simulace v Cadence Virtuoso	55
C Simulace filtru smyčky	60

SEZNAM OBRÁZKŮ

1	Blokové schéma smyčky fázového závěsu	13
1.1	Blokové schéma Integer-N PLL	14
1.2	Blokové schéma Fractional-N PLL	15
1.3	Schéma třístavového fázového detektoru	16
1.4	Stavový diagram třístavového fázového detektoru	17
1.5	Část klopného obvodu D v CMOS	17
1.6	Simulace fázového detektoru	18
1.7	Schéma třístavového výstupu	19
1.8	Schéma filtru třístavového výstupu	20
1.9	Schéma nábojové pumpy	21
1.10	Schéma filtru nábojové pumpy	21
1.11	Schéma zamezení zpoždění při inverzi	22
1.12	Kruhový oscilátor	25
1.13	Rampový oscilátor	26
1.14	Schéma symetrického fázového detektoru	27
1.15	Schéma aktivního filtru druhého řádu	29
1.16	Náhradní model PLL	30
2.1	Blokové schéma navrhované PLL	32
2.2	Řídící obvod rampového oscilátoru	35
2.3	Linearizace zesílení VCO	36
2.4	Proudový zdroj	38
2.5	Zdroj referenčního napětí	39
2.6	Tvarovač signálu	39
2.7	Simulace přesného MOS invertoru	40
3.1	Simulace filtru nábojové pumpy	41
3.2	Simulace ustálení napětí ve filtru NP	42
3.3	Náhradní model nábojové pumpy	43
3.4	Náhradní model nábojové pumpy s omezeným proudem	43
4.1	Simulace zachycení navrženého zapojení	47
4.2	Simulace ustálení napětí ve filtru nábojové pumpy pro teplotu 80 °C	48
4.3	Simulace ustálení napětí ve filtru nábojové pumpy pro teplotu -20 °C	49
A.1	Blokové schéma navrženého zapojení	54
B.1	Simulace zdroje proudu nábojovou pumpou	55
B.2	Simulace zdroje referenčního napětí 3,75 V	56
B.3	Simulace vlivu odchylky rezistorů na klidový proud oscilátorem	57
B.4	Simulace převodníku V->I	58

B.5	Simulace vlivu odchylky rezistorů na zdroj proudu pro operační zesilovače	59
C.1	Simulace filtru nábojové pumpy	61

SEZNAM TABULEK

4.1	Výstupní kmitočet v závislosti na výrobním rozptylu pro teplotu 80 °C	45
4.2	Výstupní kmitočet v závislosti na výrobním rozptylu pro teplotu –20 °C	45

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

C'_{OX} kapacita oxidové vrstvy

CMOS komplementární MOS (Complementary Metal–Oxide–Semiconductor)

f_{VCO} kmitočet napětím řízeného oscilátoru

f_{vyst} výstupní kmitočet

f_{vst} vstupní kmitočet

IO integrovaný obvod (integrated circuit)

k Boltzmannova konstanta, $k \doteq 1,38 \cdot 10^{-23} \text{ J.K}^{-1}$

k_p/k_n poměr fyzických rozměrů MOS tranzistoru $\frac{W}{L}$ [-]

K_p technologický činitel MOS tranzistoru [$\mu\text{A}/\text{V}^2$]

L délka (length) hradla tranzistoru

N dělicí poměr děliče ve zpětné vazbě smyčky fázového závěsu

P operátor Laplaceovy transformace

PLL smyčka fázového závěsu (phase lock loop)

PTAT (veličina) úměrná absolutní teplotě (proportional to absolute temperature)

q elementární náboj $q \doteq 1,602 \cdot 10^{-19} \text{ C}$

T teplota [K]

TCXO teplotně kompenzovaný krystalový oscilátor (temperature compensated crystal oscillator)

T_{CVBE} teplotní koeficient změny napětí mezi bází a emitorem [mV/K]

U_{BIAS} napětí nastavující pracovní bod

VCO napětím řízený oscilátor (voltage controlled oscillator)

W šířka (width) hradla tranzistoru

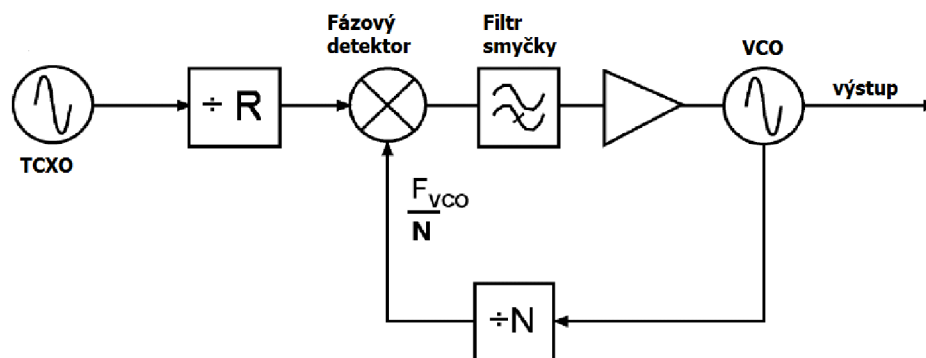
XOR exkluzivní logický součet

β činitel zpětné vazby ($\frac{1}{N}$)

σ	směrodatná odchylka
τ	časová konstanta ($\tau = R.C$) [s]
θ_{ch}	chyba fáze vstupních signálů
θ_{vst1}	fáze externího vstupního signálu
θ_{vst2}	fáze signálu zpětné vazby
ω	úhlový kmitočet [$s^{-1}; rad.s^{-1}$]
ξ	činitel tlumení [-]

ÚVOD

Smyčka fázového závěsu (PLL) je regulační smyčka s automatickým řízením. Tento obvod se používá ve velké části elektrických zařízení. Jedná se například o rádio, televizor, bezdrátové vysílače a přijímače a další. Typické blokové schéma PLL převzaté z [1] je na obrázku 1.



Obr. 1: Blokové schéma smyčky fázového závěsu

TCXO zde představuje teplotně kompenzovaný krystalový oscilátor, v některých zapojeních (i v této diplomové práci) je nahrazen vnějším zdrojem, od jehož kmitočtu se bude odvozovat kmitočet výstupního signálu. Kmitočet tohoto signálu je dělen členem „ $\div R$ “ a posléze je tento signál přiveden do fázového detektoru. Fázový detektor porovnává fázi mezi tímto signálem a signálem přicházejícím z výstupu pomocí záporné zpětné vazby, jehož kmitočet je vydělen pomocí členu „ $\div N$ “ n -krát. Fázový detektor pracuje jako analogová násobička a vytváří tedy součtový a rozdílový signál vstupního a výstupního kmitočtu (podělený členy „ $\div R$ “ a „ $\div N$ “). Filtr smyčky představuje dolní propust, která potlačí součtovou složku a propustí jen rozdílovou, z čehož plyne vzorec pro výstupní kmitočet 1:

$$\frac{f_{vst}}{R} = \frac{f_{výst}}{N}, \quad (1)$$

kde f_{vst} je vstupní kmitočet a $f_{výst}$ výstupní kmitočet. Pokud na vstup není připojen žádný signál, na VCO (napětím řízený oscilátor) nepřichází žádné napětí, bude tedy pracovat na svém klidovém kmitočtu a na výstupu bude signál o kmitočtu f_{VCO} . Když se na vstup připojí vstupní signál, tak rozdíl mezi oběma kmitočty přicházejícími na fázový detektor vyvolá chybové napětí, které řídí změnu pracovního kmitočtu VCO.

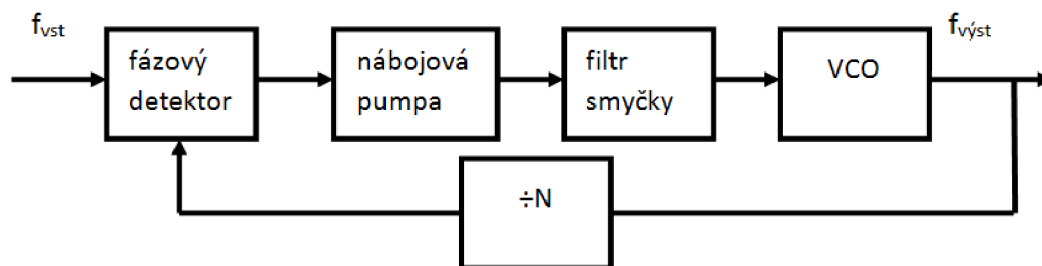
Tato práce se bude zabývat návrhem smyčky fázového závěsu poskytující na výstupu čtyřnásobný kmitočet oproti vstupnímu kmitočtu $f_{vst} = 16 \text{ kHz}$ při použití výrobního procesu s minimální šířkou hradla $0,7 \mu\text{m}$.

1 TEORIE SMYČKY FÁZOVÉHO ZÁVĚSU

Při návrhu smyčky fázového závěsu tvořícího vnitřní část integrovaného obvodu (IO) je nutné vzít v úvahu omezenou součástkovou základnu. Většina běžných výrobních procesů dává návrháři k dispozici jen tranzistory NMOS a PMOS, rezistor, kondenzátor (velmi nízkých hodnot kapacity) a někdy i bipolární tranzistory. Například pro napětím řízený oscilátor tedy nelze použít varikap, který se používá při stavbě z diskretních součástek. Každá součástka, která není k dispozici, se musí nahradit obvodem s její rovnocennou funkcí v rámci dané aplikace. Smyčky fázového závěsu se kromě dělení na celočíselné a zlomkové dají dělit podle vstupů a výstupů na symetrické a nesymetrické, přičemž jednotlivé stavební bloky mohou být analogové nebo digitální. Některé zapojení mohou dokonce kombinovat analogové i digitální části, podmínkou je jen logická návaznost řídicích signálů mezi jednotlivými bloky.

1.1 Celočíselná PLL

První typ smyčky fázového závěsu používaného v IO je tzv. celočíselná PLL (Integer-N PLL). Typické blokové schéma PLL převzaté z [2] je na obrázku 1.1.



Obr. 1.1: Blokové schéma Integer-N PLL

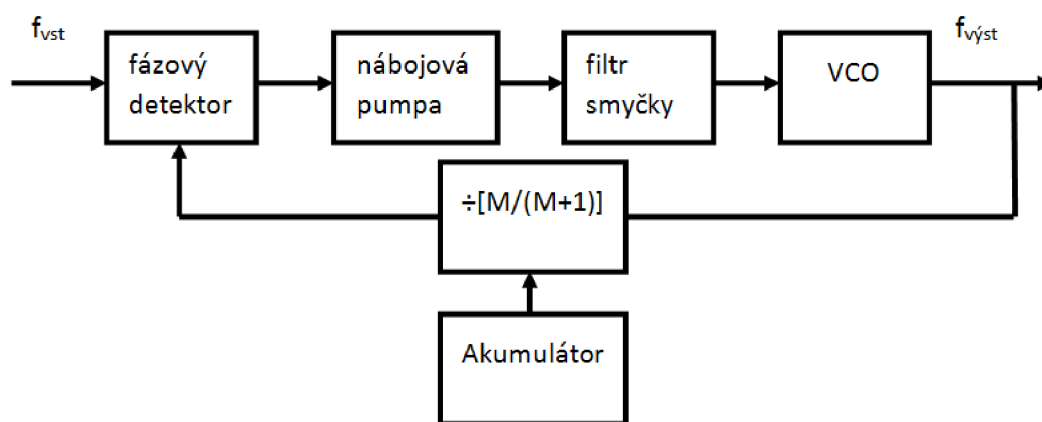
Zapojení obsahuje fázový detektor, nábojovou pumpu, filtr smyčky, VCO a (programovatelný) dělič kmitočtu. Pro výstupní kmitočet pak platí rovnice 1.1 převzatá z [2]:

$$f_{výst} = N \cdot f_{vst}, \quad (1.1)$$

kde $f_{výst}$ je výstupní kmitočet, f_{vst} je vstupní kmitočet a N je celočíselný dělicí poměr. Integer-N PLL má několik nevýhod: „zavěšení“ smyčky trvá relativně dlouhou dobu, harmonické složky vstupního kmitočtu jsou v pásmu nízkých kmitočtů, velká hodnota dělicího poměru N zvětšuje fázový šum a při nízkých kmitočtech má VCO velký fázový šum [2]. Podle typu provedení se používá buď nábojová pumpa nebo filtr smyčky.

1.2 Zlomková PLL

Dalším typem je zlomková PLL (Fractional-N PLL), jehož hlavní odlišností je, že dělicí poměr je ve formě zlomku a může tedy být použit i velký vstupní kmitočet. Nevýhodou jsou harmonické složky na nízkých kmitočtech. Zapojení vychází z Integer-N PLL, ale je vždy doplněno o další členy, aby se omezily některé nevýhody (například použitím digitálně analogového převodníku atd.). Každý takovýto člen, upravující původní zapojení, ovšem způsobuje další problémy a tedy volba vhodného zapojení záleží na konkrétní aplikaci [2]. Mezi další výhody patří zejména větší šířka pásma smyčky a rychlejší zavěšení [3]. Typické schéma zapojení je na obrázku 1.2 [2], [3]. Podle typu provedení se používá buď nábojová pumpa nebo filtr smyčky.



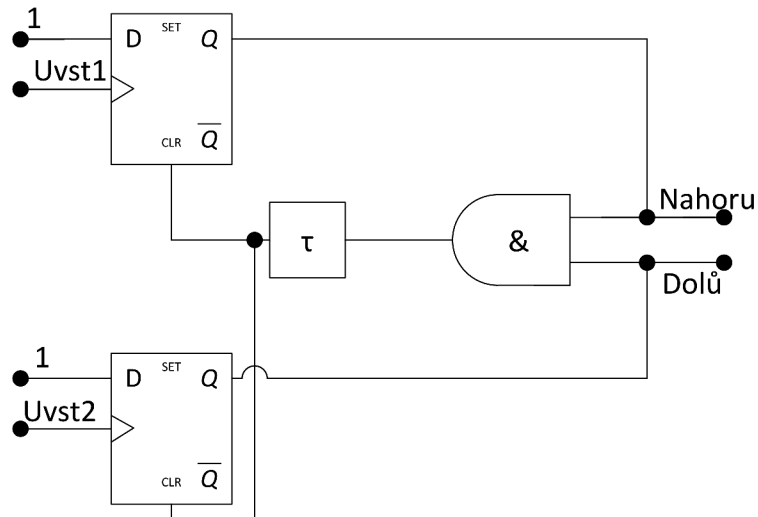
Obr. 1.2: Blokové schéma Fractional-N PLL

1.3 Základní digitální stavební bloky

1.3.1 Fázový detektor

Nejjednodušší realizací fázového detektoru je použití hradla XOR. Na jeden vstup se přivede vstupní referenční signál a na druhý se přivádí signál ze zpětné vazby. Pokaždé, když se liší logická úroveň obou signálů, tak se na výstupu objeví $\log. 1$. Tento výstupní signál se dále přivádí na dolní propust, která průměruje hodnotu napětí těchto pulzů. Toto zapojení má tyto základní vlastnosti [4]:

- příchozí signál musí mít malý počet přechodů mezi logickými úrovněmi,
- bez připojeného vstupního signálu bude na výstupu dolní propusti napětí rovno polovině napájecího napětí,
- XOR fázový detektor má dobré potlačení šumu,



Obr. 1.3: Schéma třístavového fázového detektoru

- kmitočet VCO musí být omezen na maximálně téměř dvojnásobek a minimálně na téměř polovinu vstupního signálu (kvůli harmonickým kmitočtům) a
- střída VCO musí být 50 %.

Z funkce tohoto zapojení je také zřejmé, že při připojení vstupního signálu bude napětí na výstupu vždy menší, jak polovina napájecího napětí. Pro rozdíl fází obou vstupních signálů podle rovnice 1.2 platí pro napětí na výstupu dolní propusti rovnice 1.3 [4].

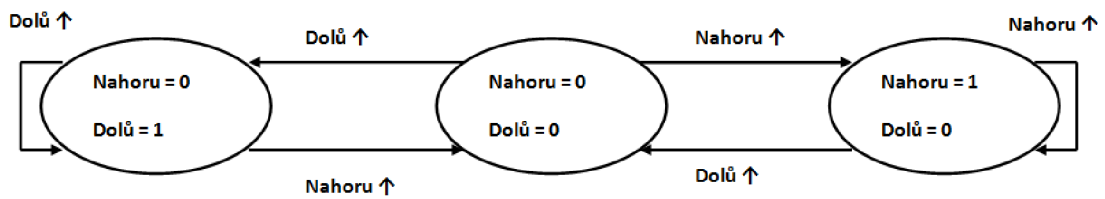
$$\theta_{ch} = \theta_{vst1} - \theta_{vst2}. \quad (1.2)$$

$$U_{DP} = VDD \cdot \frac{\theta_{ch}}{\pi} = K_p \cdot \theta_{ch}, \quad (1.3)$$

kde VDD je napájecí napětí a K_p je zesílení fázového detektoru. Pro zvětšení rozsahu regulačního napětí lze použít aktivní filtr připojený na hradla XOR.

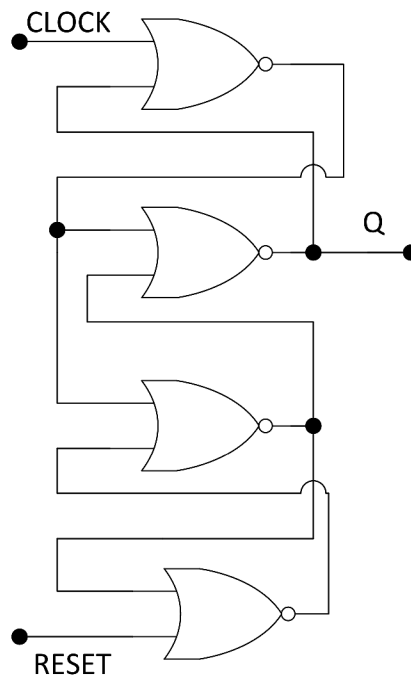
Další možností pro použití s nesymetrickým signálem je jedním z možných způsobů realizace fázového detektoru použití třístavového fázového detektoru, jehož schéma je na obrázku 1.3 převzatého z [2] a [5]. Fázový detektor je složen ze dvou klopných obvodů typu D s resetovacími vstupy, hradla AND a zpožďovacího členu (τ). Vstupy D jsou připojeny do logické úrovně 1. Pro správnou funkci je nutné na vstup přivádět obdélníkový signál. Z harmonického signálu se může vytvořit obdélníkový signál například pomocí operačního zesilovače, nesmí se ovšem zapomenout vykompenzovat vzniklé zpoždění signálu i na druhém vstupu. Tento detektor může nabývat tří stavů, jak je naznačeno na stavovém diagramu na obrázku 1.4 převzatého z [2] a [6]. Výchozí stav je U_{vst1} , U_{vst2} , $NAHORU$ a $DOLU$ nabývají logické úrovně 0. Pokud přejde U_{vst1} do logické hodnoty 1, pak $NAHORU$ přejde také do logické úrovně 1 a další impuls na stejném vstupu již dále nic nemění. Po té přejde i U_{vst2} do logické úrovně 1, na výstupu $DOLU$ se objeví logická úroveň 1 a hradlo

AND způsobí reset celého obvodu. Podobně to platí, pokud se nejprve objeví logická úroveň 1 na U_{vst2} . Při realizaci na čipu lze v CMOS technologii použít jen část



Obr. 1.4: Stavový diagram třístavového fázového detektoru

klopného obvodu D, jak je naznačeno na obrázku 1.5, převzatého z [6]. Nutnou část klopného obvodu D tvoří čtyři hradla NOR.

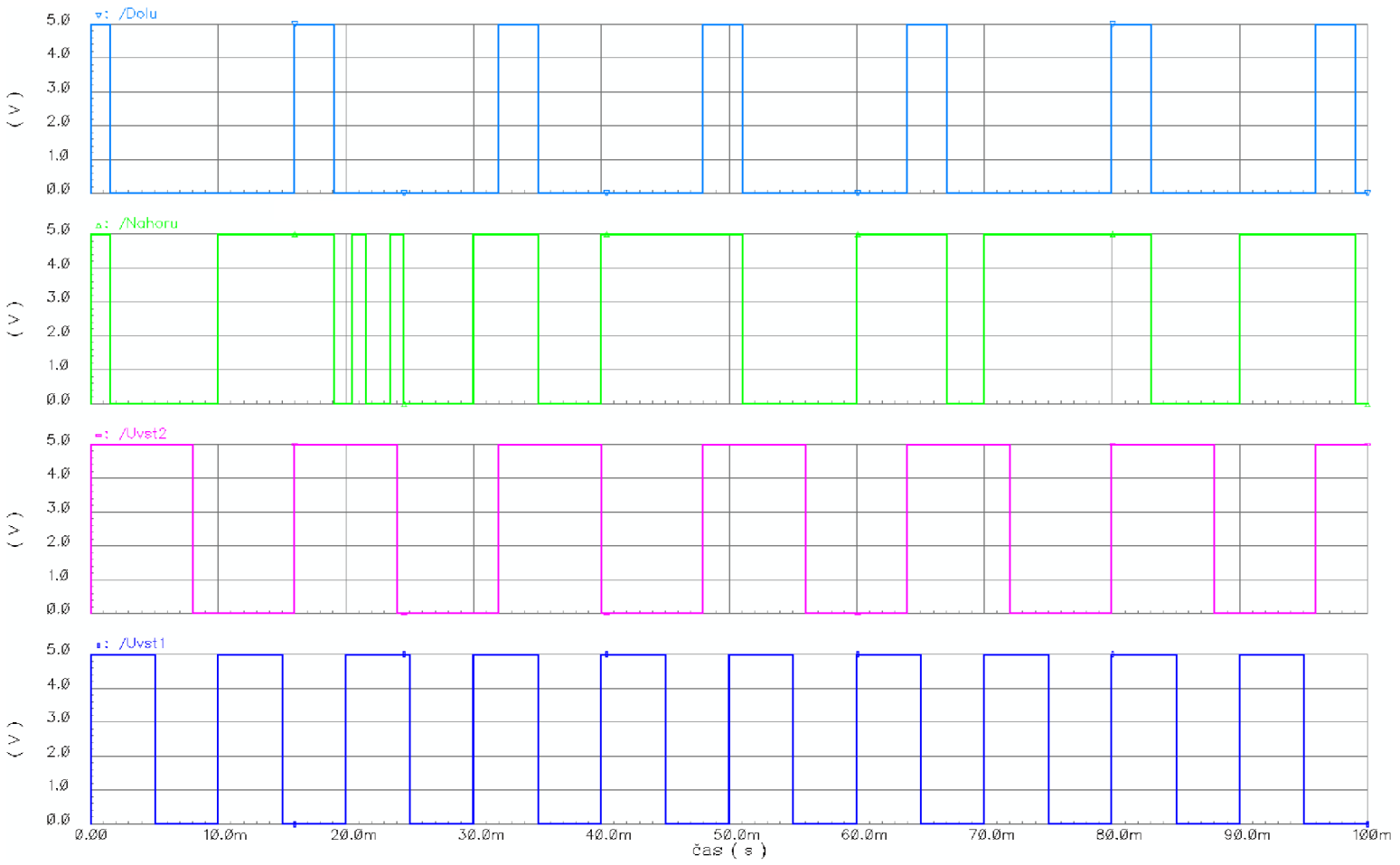


Obr. 1.5: Část klopného obvodu D v CMOS

Průběhy simulace takto sestaveného fázového detektoru v programu Cadence Virtuoso jsou na obrázku 1.6. Ze simulace vyplývá, že pokud signál U_{vst1} bude předcházet signálu U_{vst2} , tak výstup *NAHORU* bude v log. 1 a naopak. Na výstup tohoto zapojení fázového detektoru může být připojen tzv. třístavový výstup a nebo nábojová pumpa.

Toto zapojení má tyto základní vlastnosti [4]:

- na správnou funkci nemá vliv šířka impulzů vstupních signálů,

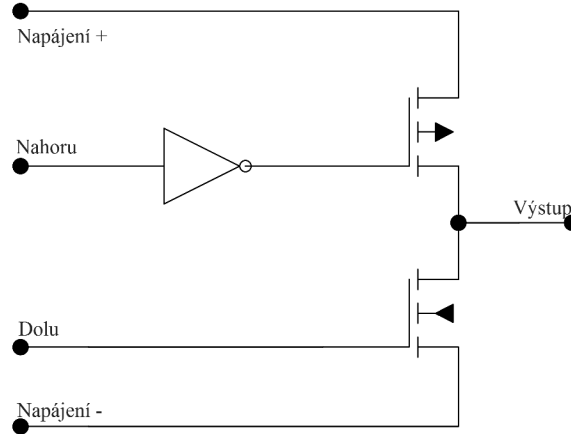


Obr. 1.6: Simulace fázového detektoru

- tento fázový detektor se nezamkne na harmonických kmitočtech,
- při uzamčení smyčky mají oba výstupní signály hodnotu $\log. 0$,
- toto zapojení má malou schopnost potlačení šumu a
- pro zavěšení nemusí platit pro $f_{vst1} = f_{vst2}$.

1.3.2 Třístavový výstup

Schéma třístavového výstupu převzatého z [4] je na obrázku 1.7.



Obr. 1.7: Schéma třístavového výstupu

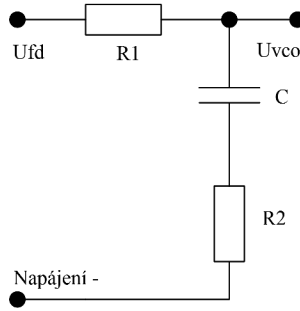
V případě, že jsou oba vstupní signály ($NAHORU$ a $DOLU$) v $\log. 0$, tak jsou oba tranzistory rozepnuty a výstup je ve stavu vysoké impedance. Pokud je signál $DOLU$ v $\log. 1$, tak z výstupu teče proud do země a regulační napětí klesá. Pokud je signál $NAHORU$ v $\log. 1$, tak z napájení teče proud do výstupu. Nevýhodou tohoto zapojení je velká citlivost na změnu napájecího napětí při sepnutém tranzistoru PMOS. Změna fáze se dá obecně vyjádřit pomocí rovnice 1.4 (pro $f_{vst1} = f_{vst2}$), ze které lze určit napětí na výstupu pomocí rovnice 1.5 [4].

$$\Delta\theta = 2\pi \cdot \frac{\Delta t}{T}, \quad (1.4)$$

$$U_{Výstup} = \frac{V_{DD} - 0}{4\pi} \cdot \Delta\theta = K_{FD} \cdot \Delta\theta, \quad (1.5)$$

kde V_{DD} je velikost napájecího napětí a K_{FD} je zesílení tohoto zapojení fázového detektoru s třístavovým výstupem. Na výstupu se používá zapojení na obrázku 1.8 převzatého z [4].

Pro malou změnu rozdílů fází se celý tento filtr chová jako integrátor průměrující napětí na výstupu. A pro velkou změnu jako odporový dělič bez průměrování, což umožňuje sledovat i rychlé změny. Napětí na tomto filtru je podle [4] dáno rovnicí 1.6.



Obr. 1.8: Schéma filtru třístavového výstupu

$$U_{VCO} = \frac{1 + j.\omega.R_2.C}{1 + j.\omega.(R_1 + R_2).C} \cdot U_{V\acute{y}stup} = K_F \cdot U_{V\acute{y}stup}, \quad (1.6)$$

kde U_{VCO} je napětí na vstupu VCO a K_F je zesílení tohoto filtru.

1.3.3 Nábojová pumpa

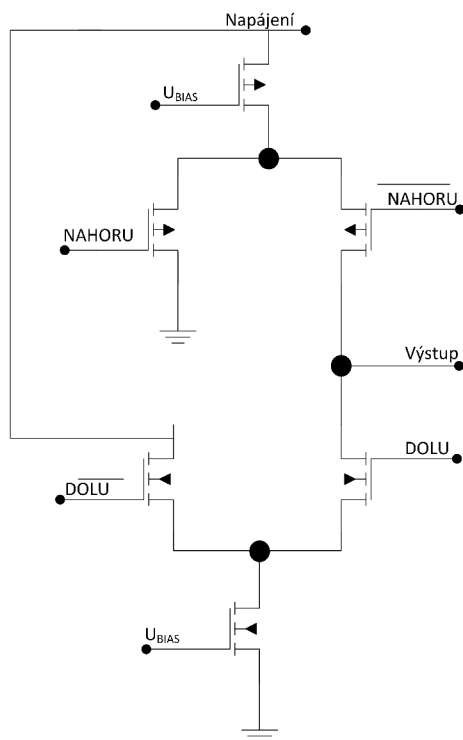
Z fázového detektoru vychází signál, který bude řídit nábojovou pumpu. V principu se jedná o sériově zařazené dva proudové zdroje, které se připojují a odpojují ke kondenzátoru ve filtru smyčky. Pro signál $NAHORU = 1$ se kondenzátor nabíjí a pro signál $DOLU = 1$ se vybíjí. V praxi tedy mohou nastat 4 případy. V prvním případě jsou oba proudové zdroje odpojeny, neboť mezi vstupním a výstupním signálem není žádná fázová chyba $\theta_{ch} = 0$. Ve druhém a třetím případě je mezi vstupním a výstupním signálem fázová chyba $\theta_{ch} \neq 0$ a tedy buď je kondenzátor ve filtru smyčky nabíjen proudovým zdrojem nebo vybíjen. V posledním případě jsou oba proudové zdroje ke kondenzátoru připojeny současně, což znamená, že se kondenzátor ani nenabíjí ani nevybíjí (pouze za ideálního předpokladu, že jsou oba proudy proudových zdrojů stejné). Jedno z možných zapojení nábojové pumpy je na obrázku 1.9 převzatého z [2]. Pro proud tekoucí do výstupu a pro přenos platí rovnice 1.7 a 1.8 [4].

$$I_{FD} = \frac{I_P - (-I_P)}{4.\pi} \cdot \Delta\theta, \quad (1.7)$$

$$K_{FD} = \frac{I_P}{2.\pi}, \quad (1.8)$$

kde I_P je proud tekoucí zrcadly řídicí proud nábojovou pumpou a pro $\Delta\theta$ platí stejně jako pro třístavový výstup rovnice 1.4.

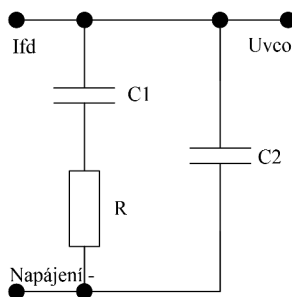
Na výstupu nábojové pumpy může být připojen samostatný kondenzátor, pak by platila rovnice 1.9 nebo filtr podle obrázku 1.10 převzatého z [4].



Obr. 1.9: Schéma nábojové pumpy

$$Q = C.U = I.t. \quad (1.9)$$

Pro filtr na výstupu platí pro přenos rovnice 1.10 [4]. Pro pomalé změny $\Delta\theta$ se nabíjí oba kondenzátory a filtr průměruje napětí. Pro rychlé změny $\Delta\theta$ na vstupu nábojové pumpy řídí za předpokladu malé hodnoty C_2 jen R , tzn. protékající proud vyvolá napěťový úbytek na rezistoru a kondenzátor C_1 se nenabíjí. Nabíjí se jen kondenzátor C_2 , kde rychle roste napětí a po skončení impulzu z nábojové pumpy se začne nabíjet kondenzátor C_1 , čímž napětí na vstupu VCO nejprve rychle vzroste a poté pomalu klesá. Filtr přestává průměrovat a umožňuje tak reagovat na rychlé změny vstupních signálů. Funkcí C_2 je zabránit vzniku napěťových skoků na vstupu



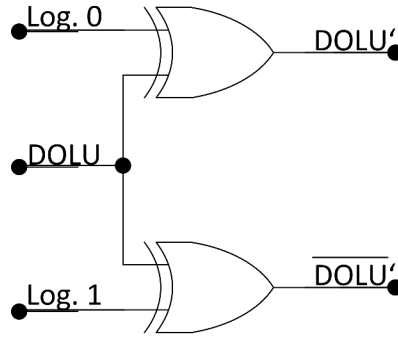
Obr. 1.10: Schéma filtru nábojové pumpy

napětím řízeného oscilátoru a tím skokům v kmitočtu na výstupu. Běžně se hodnota kondenzátoru C_2 volí přibližně desetkrát menší, jak u kondenzátoru C_1 [4].

$$U_{VCO} = I_{FD} \cdot \frac{1 + j\omega \cdot R \cdot C_1}{j\omega \cdot (C_1 + C_2) \cdot (1 + j\omega \cdot R \cdot \frac{C_1 \cdot C_2}{C_1 + C_2})}. \quad (1.10)$$

Špatně zvolený filtr smyčky způsobí, že bude dlouho trvat, než se smyčka fázového závěsu zavěsí nebo v případě zavěšení může malá změna signálů na vstupu přerušit zavěšení.

Dva invertované signály (\overline{DOLU} , \overline{NAHORU}) by při použití pouze invertorů měly zpoždění oproti neinvertovaným signálům. Jedním ze způsobů zabránění tomuto zpoždění je použití dvou hradel CMOS XOR, jak je naznačeno na obrázku 1.11. Pro signál $NAHORU$ se použije podobné zapojení. Při řízení nábojové pumpy se použijí až signály ($DOLU'$, \overline{DOLU}' , $NAHORU'$ a \overline{NAHORU}').



Obr. 1.11: Schéma zamezení zpoždění při inverzi

1.3.4 Porovnání fázových detektorů

Mezi další důležité parametry smyčky fázového závěsu patří rozsah zavěšení (pull-in range) označovaný $\pm\omega_P$ a rozsah zavěšení v rámci jedné odchylky fází (lock range) označovaný $\pm\omega_L$. Pro smyčku fázového závěsu s XOR fázovým detektorem platí pro fázovou přenosovou funkci $H(p)$ rovnice 1.11 a pro přenos k němu připojenému filtru 1.12 [4].

$$H(p) = \frac{\Theta_2}{\Theta_1} = \frac{K_{FD} \cdot K_F \cdot K_{VCO}}{p + \beta \cdot K_{FD} \cdot K_F \cdot K_{VCO}}, \quad (1.11)$$

$$K_F = \frac{1}{1 + p \cdot R \cdot C}, \quad (1.12)$$

kde $\beta = \frac{1}{N}$ je činitel zpětné vazby a N dělicí poměr děliče kmitočtu ve zpětné vazbě. Sloučením obou rovnic vznikne rovnice 1.13.

$$H(p) = \frac{\frac{K_{FD} \cdot K_{VCO}}{R \cdot C}}{p^2 + \frac{p}{R \cdot C} + \frac{K_{FD} \cdot K_{VCO}}{N \cdot R \cdot C}} = \frac{f_2}{f_1} = \frac{K_{VCO} \cdot U_{Výstup} + f_0}{f_1}, \quad (1.13)$$

kde $U_{Výstup}$ je napětí na výstupu filtru připojeného k fázovému detektoru a f_2 je kmitočet napětím řízeného oscilátoru.

Pro smyčku fázového závěsu s třístavovým výstupem platí pro fázovou přenosovou funkci $H(p)$ rovnice 1.14 až 1.16, kde $K_F(p)$ je přenos k němu připojeného filtru. Přičemž pro tranzistory ve stavu vysoké impedance (ideální integrátor) lze přenos filtru zjednodušit na $K_F'(p)$ [4].

$$K_F(p) = \frac{1 + p \cdot R_2 \cdot C}{1 + p \cdot (R_1 + R_2) \cdot C}, \quad (1.14)$$

$$K_F'(p) = \frac{1 + p \cdot R_2 \cdot C}{p \cdot (R_1 + R_2) \cdot C}, \quad (1.15)$$

$$H(p) = \frac{\Theta_2}{\Theta_1} = \frac{f_2}{f_1} = \frac{K_{FD} \cdot K_{VCO} \cdot \frac{1 + p \cdot R_2 \cdot C}{(R_1 + R_2) \cdot C}}{p^2 + p \cdot \frac{K_{FD} \cdot K_{VCO} \cdot R_2 \cdot C}{N \cdot (R_1 + R_2) \cdot C} + \frac{K_{FD} \cdot K_{VCO}}{N \cdot (R_1 + R_2) \cdot C}}. \quad (1.16)$$

Pro přirozený úhlový kmitočet ω_N , činitel tlumení ζ , čas zachycení T_P , rozsah zavěšení v rámci jedné odchylky fází a jemu odpovídající čas T_L platí rovnice 1.17 až 1.21 [4].

$$\omega_N = \sqrt{\frac{K_{FD} \cdot K_{VCO}}{N \cdot (R_1 + R_2) \cdot C}}, \quad (1.17)$$

$$\zeta = \frac{\omega_N}{2} \cdot R_2 \cdot C, \quad (1.18)$$

$$\Delta\omega_L = 4 \cdot \pi \cdot \zeta \cdot \omega_N, \quad (1.19)$$

$$T_L = \frac{2 \cdot \pi}{\omega_N}, \quad (1.20)$$

$$T_P = 2 \cdot R_1 \cdot C \cdot \ln \left(\frac{\frac{K_{VCO} \cdot U_{DD}}{2 \cdot N}}{\frac{K_{VCO} \cdot U_{DD}}{2 \cdot N} - \Delta\omega} \right), \quad (1.21)$$

kde $\Delta\omega$ je velikost vstupního kmitočtového kroku.

Pro smyčku fázového závěsu s nábojovou pumpou s filtrem na výstupu platí pro fázovou přenosovou funkci $H(p)$ při zanedbání kondenzátoru C_2 a pro přenos filtru na jeho výstupu rovnice 1.22 a 1.23 [4].

$$K_F(p) = \frac{1 + p.R.C_1}{p.C_1}, \quad (1.22)$$

$$H(p) = \frac{\Theta_2}{\Theta_1} = \frac{K_{FD} \cdot K_{VCO} \cdot (1 + p.R.C_1)}{p^2 + p \cdot \frac{K_{FD} \cdot K_{VCO} \cdot R}{N} + \frac{K_{FD} \cdot K_{VCO}}{N.C_1}}. \quad (1.23)$$

Pro přirozený úhlový kmitočet, činitel tlumení, čas zachycení, rozsah zavěšení v rámci jedné odchylky fází a jemu odpovídající čas platí rovnice 1.24 až 1.28 [4].

$$\omega_N = \sqrt{\frac{K_{FD} \cdot K_{VCO}}{N.C_1}}, \quad (1.24)$$

$$\zeta = \frac{\omega_N}{2} \cdot R.C_1, \quad (1.25)$$

$$\Delta\omega_L = 4 \cdot \pi \cdot \zeta \cdot \omega_N, \quad (1.26)$$

$$T_L = \frac{2 \cdot \pi}{\omega_N}, \quad (1.27)$$

$$T_P = 2 \cdot R.C_1 \cdot \ln \left(\frac{\frac{K_{VCO} \cdot I_P}{N}}{\frac{K_{VCO} \cdot I_P}{N} - \Delta\omega} \right), \quad (1.28)$$

ze kterých je patrné, že pro rozsah zavěšení v rámci jedné odchylky fází a jemu odpovídající čas není rozdíl mezi třístavovým výstupem a nábojovou pumpou s filtrem.

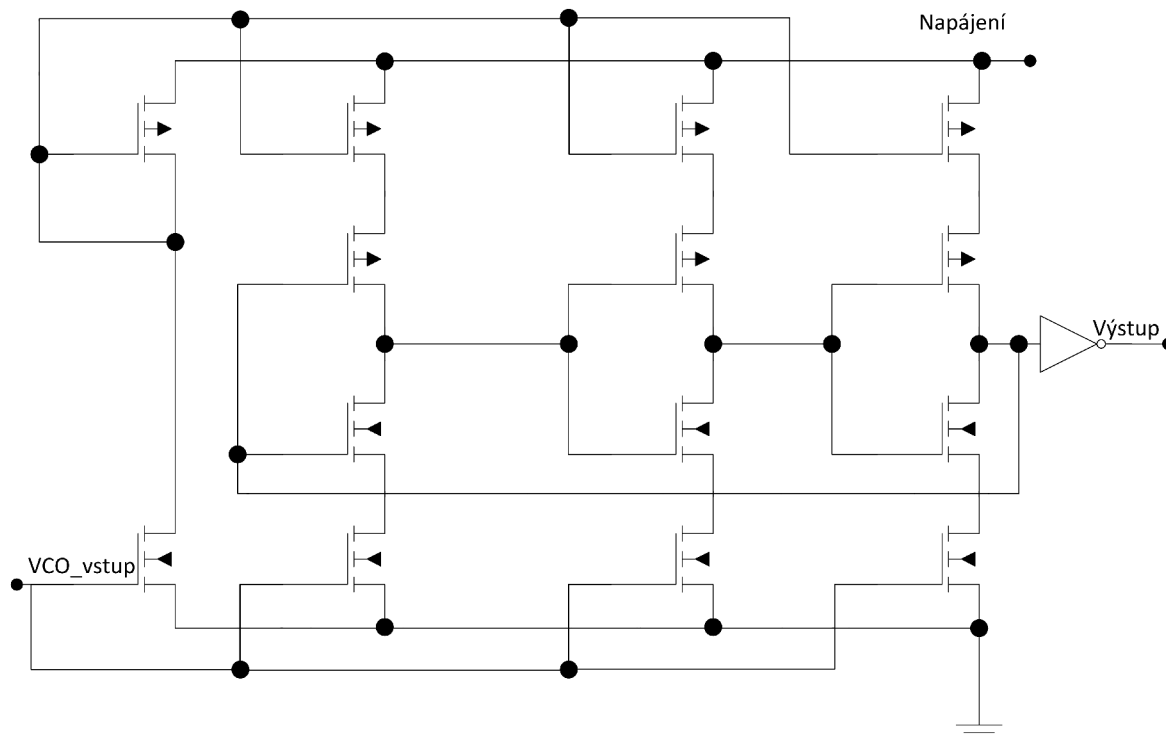
1.3.5 Napětím řízený oscilátor

Při návrhu pomocí digitálních bloků se používají oscilátory pracující na principu vzniku zpoždění při nabíjení kondenzátoru. Jednou z možností je kruhový oscilátor, jehož nespornou výhodou je možnost použití parazitních kapacit MOS tranzistorů. Na výstupu vytváří přibližně obdélníkový signál. Zapojení vychází z několika invertorů zapojených v sérii za sebou. Nezbytnou podmínkou pro správnou funkci je, aby počet invertorů byl lichý [7]. Výstupní kmitočet se dá určit podle rovnice 1.29 převzaté z [8]:

$$f = \frac{1}{N \cdot \tau_D}, \quad (1.29)$$

kde N je počet stupňů a τ_D je zpoždění každého stupně. Zpoždění každého stupně τ_D ovlivňuje výrobní proces a poměr W/L tranzistoru. Pracovní kmitočet lze také ovlivnit pomocí změny napájecího napětí.

Jednou z možností sestavení kruhového oscilátoru je použití proudem řízeného VCO (current-starved VCO). Oproti běžnému kruhovému oscilátoru se liší přidáním tranzistorů mezi napájení a zem, jak je naznačeno na příkladu třístupňového oscilátoru



Obr. 1.12: Kruhový oscilátor

na obrázku 1.12, [4]. Tyto tranzistory, zapojené jako proudová zrcadla, umožňují řídit změnou proudu výsledný kmitočet vlivem změny rychlosti nabíjení a vybíjení parazitních kapacit MOS tranzistorů v MOS invertorech. Pro takové zapojení přejde rovnice 1.29 na rovnici 1.30 převzatou z [4]:

$$f = \frac{I_z}{N \cdot U_n \cdot C_{tot}}, \quad (1.30)$$

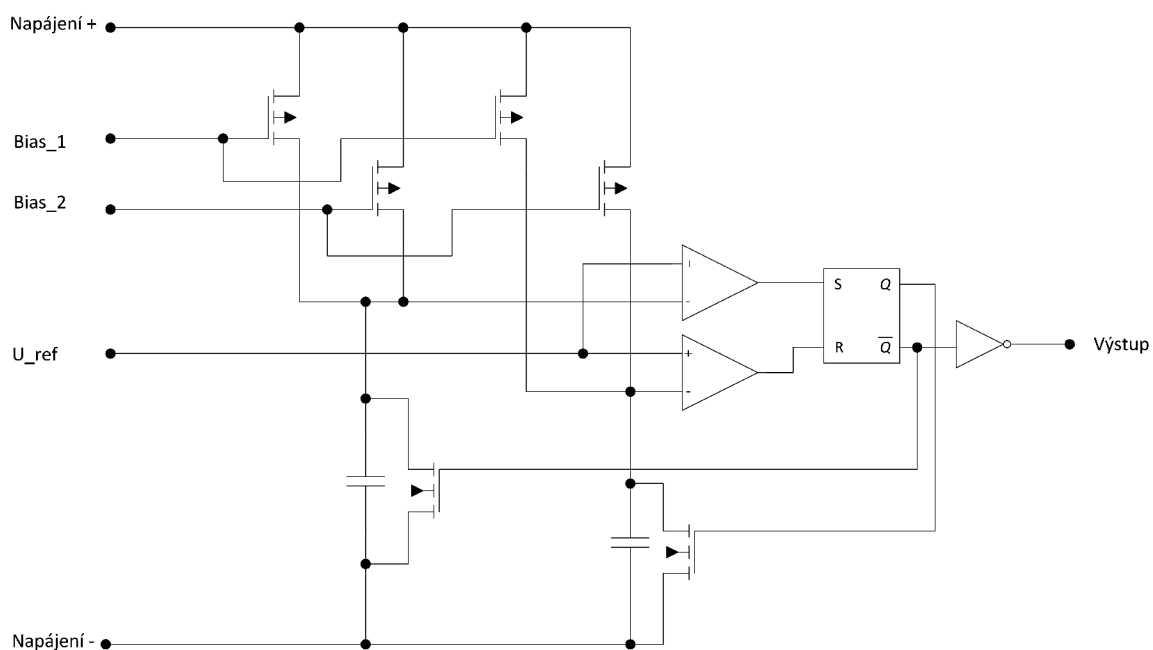
kde I_z je proud tekoucí proudovým zrcadlem, N je počet stupňů, U_n je napájecí napětí a C_{tot} je součet vstupní a výstupní kapacity podle rovnice 1.31 převzaté z [4]:

$$C_{tot} = C_{vst} + C_{vyst} = C'_{OX} \left(1 + \frac{2}{3}\right) \cdot (W_P \cdot L_P + W_N \cdot L_N), \quad (1.31)$$

kde C'_{OX} je kapacita oxidové vrstvy, W_P (W_N) je šířka hradla P(N) tranzistoru v MOS invertoru.

MOS invertor přidaný na schématu 1.12 mezi vlastní oscilátor a výstup slouží ke zvýšení strmosti náběžné a sestupné hrany u výstupního signálu, neboť pro nízké hodnoty proudů tekoucími proudovými zrcadly mohou být příliš nízké, což by mohlo v některých aplikacích vadit [9]. Nevýhodou kruhového oscilátoru je malá hodnota kapacity kondenzátorů (MOS tranzistorů) a z toho vyplývající určení pro vysoké pracovní kmitočty, neboť pro nízké by byl potřeba velmi nízký řídicí proud (řádově desítky nebo stovky nanoampér) a tím pádem i jeho citlivost na šum apod.

Druhou možností je rampový oscilátor zobrazený na obrázku 1.13. Horní MOS tranzistory tvoří proudová zrcadla určující velikost proudu (nastavená pomocí $Bias_1$), který nabíjí kondenzátory, na nichž se pomocí komparátorů porovnává dosažená velikost oproti referenční hodnotě U_{ref} . Po dosažení této hodnoty napětí se změní stav na výstupu oscilátoru a probíhá nabíjení kondenzátoru ve druhé větvi. Pro střihu výstupního signálu 50 % je nutné mít stejný čas nabíjení kondenzátorů v obou větvích, toho lze dosáhnout například použitím stejných nabíjecích proudů a současně s tím mít oba kondenzátory stejné kapacity. Aby tento oscilátor fungoval jako napětím řízený, tak je zde do každé větve dále přidáno ještě jedno proudové zrcadlo (řízené pomocí $Bias_2$), které umožňuje zvyšovat hodnotu nabíjecího proudu. Spodní MOS tranzistory slouží k vybíjení kondenzátorů v době, kdy je nabíjen kondenzátor ve druhé větvi.



Obr. 1.13: Rampový oscilátor

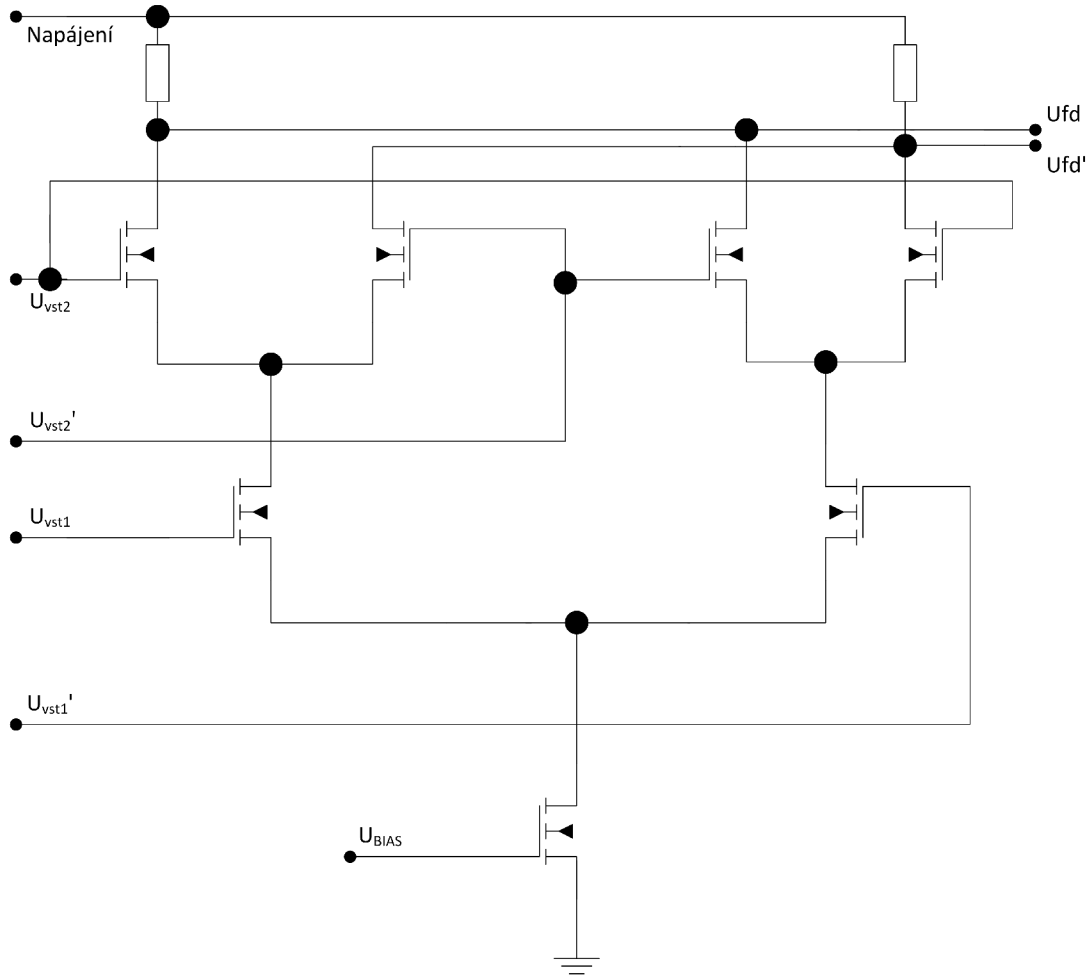
1.3.6 Dělič kmitočtu

Vzhledem k tomu, že na výstupu VCO je pravidelný obdélníkový signál, jako dělič kmitočtu může být použit klopný obvod typu D.

1.4 Základní analogové stavební bloky

1.4.1 Fázový detektor

Pro použití se symetrickým signálem je jedním z možných způsobů realizace fázového detektoru použití MOS Gilbertovy buňky, jejíž schéma je na obrázku 1.14. Podle [5] musí pro oba vstupní signály platit rovnice 1.32 a 1.33:



Obr. 1.14: Schéma symetrického fázového detektoru

$$U_{vst1} = A_{vst1} \cdot \sin(\omega_{vst1} + \Theta_{vst1}), \quad (1.32)$$

$$U_{vst2} = \frac{4 \cdot A_{vst2}}{\pi} \cdot [\cos(\omega_{vst2} + \Theta_{vst2}) + \frac{1}{3} \cdot \cos(3\omega_{vst2} + \Theta_{vst2}) + \dots], \quad (1.33)$$

kde U_{vst1} je napětí vstupního signálu z externího zdroje, U_{vst2} je napětí ze zpětné vazby obdélníkového průběhu popsaného Fourierovou řadou (po příslušném kmi-

točtovém dělení), A_{vst1} a A_{vst2} jsou amplitudy vstupních napětí. Vzájemným vynásobením obou rovnic a úpravou podle rovnic 1.34 a 1.35 vyjde za podmínky $f_{vst1} = f_{vst2}$ rovnice 1.36 (výpočet byl zjednodušen jen na první harmonickou obdélníkového signálu, neboť má největší vliv na výsledný signál).

$$U_{vst1} \cdot U_{vst2} = \frac{4 \cdot A_{vst1} \cdot A_{vst2}}{\pi} \cdot (\sin(\omega_{vst1}) + \Theta_{vst1}) \cdot [\cos(\omega_{vst2} + \Theta_{vst2})], \quad (1.34)$$

$$U_{vst1} \cdot U_{vst2} = \frac{4 \cdot A_{vst1} \cdot A_{vst2}}{\pi} \cdot \frac{1}{2} \cdot [\sin(\omega_{vst1} + \Theta_{vst1} + \omega_{vst2} + \Theta_{vst2}) + \sin(\Theta_{vst1} - \Theta_{vst2})], \quad (1.35)$$

$$U_{vst1} \cdot U_{vst2} = \frac{2 \cdot A_{vst1} \cdot A_{vst2}}{\pi} \cdot [\sin(2 \cdot \omega_{vst1} + \Theta_{vst1} + \Theta_{vst2}) + \sin(\Theta_{vst1} - \Theta_{vst2})]. \quad (1.36)$$

Po vyfiltrování dolní propustí se odstraní složka $\sin(2 \cdot \omega_{vst1} + \Theta_{vst1} + \Theta_{vst2})$ a vyjde rovnice 1.37:

$$U_{FD} = K_{FD} \cdot \sin(\theta_{ch}) = \frac{2 \cdot A_{vst1} \cdot A_{vst2}}{\pi} \cdot \sin(\theta_{ch}), \quad (1.37)$$

kde K_{FD} je zesílení fázového detektoru a θ_{ch} je chyba fáze podle rovnice 1.38:

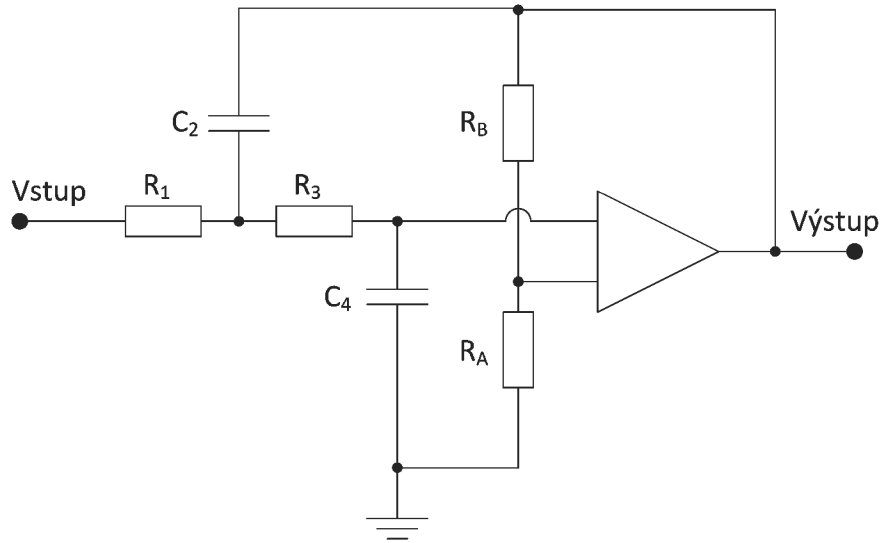
$$\theta_{ch} = \theta_{vst1} - \theta_{vst2}. \quad (1.38)$$

Takto sestavený fázový detektor má na výstupu pro $f_{vst} \neq f_{výst}$ nulové napětí ($U_{FD} = 0V$). Pro napětí větší, jak $k \cdot T/q$ se tento obvod chová jako hradlo XOR [6]. Kromě výše zmíněných způsobů se dá fázový detektor vytvořit pomocí libovolného multiplikativního směšovače.

1.4.2 Filtr smyčky

Při návrhu realizovaného pomocí analogového fázového detektoru se nepoužívá nábojová pumpa, ale jen filtr smyčky, neboť filtruje součtový člen z fázového detektoru a na výstupu operačního zesilovače se objeví potřebné řídicí napětí pro VCO. Filtr smyčky je obvykle tvořen pasivním RC článkem nebo aktivním filtrem druhého či třetího řádu [2]. Jeho návrh je ze všech částí nejdůležitější, neboť nejvíce ovlivní vlastnosti celé smyčky fázového závěsu [7]. Nejdůležitějšími vlastnostmi oscilátoru jsou pracovní kmitočet, fázový šum, přeladitelný rozsah, spotřeba a změna kmitočtu vzhledem ke změně napájecího napětí a připojené zátěži. Vzhledem k velké náročnosti kondenzátoru na plochu čipu se používají kondenzátory relativně malých hodnot kapacity spolu s kapacitními násobiči. Nejjednodušší je návrh filtru druhého řádu, který nikdy nemůže být nestabilní, protože má fázový posuv maximálně

180° pro jakýkoliv konečný kmitočet [7]. Filtr druhého řádu typu Sallen-Key je na obrázku 1.15 převzatém z [10].



Obr. 1.15: Schéma aktivního filtru druhého řádu

Přenosová funkce tohoto filtru odpovídá rovnici 1.39, převzaté z [10]:

$$K(p) = \frac{A}{p^2 \cdot R_1 \cdot R_3 \cdot C_2 \cdot C_4 + p \cdot [R_1 \cdot C_2 \cdot (1 - A) + C_4 \cdot (R_1 + R_3)] + 1}, \quad (1.39)$$

kde A je zesílení, určující typ charakteristiky filtru (Butterworth, Čebyšev atd.).

1.4.3 Napětím řízený oscilátor

Z analogových obvodů se při návrhu na čipu používá harmonický LC laděný oscilátor, který ale není příliš vhodný, neboť vyžaduje dvě indukčnosti přímo na čipu. Oproti číslicovým oscilátorům má větší náročnost na místo, menší přeladitelný rozsah, ale může pracovat na větších kmitočtech a má lepší šumové vlastnosti [2].

1.4.4 Dělič kmitočtu

V případě analogových děličů kmitočtu lze použít jak celočíselné, tak zlomkové děliče. Jedna z možností je použití Millerova frekvenčního děliče, který je založen na použití rezonančního obvodu. Přestože má oproti číslicovým systémům menší spotřebu (zvláště při použití na vysokých kmitočtech), tak není příliš vhodný pro návrh na čipu z důvodu potřebné indukčnosti.

1.5 Srovnání analogového a číslicového řešení

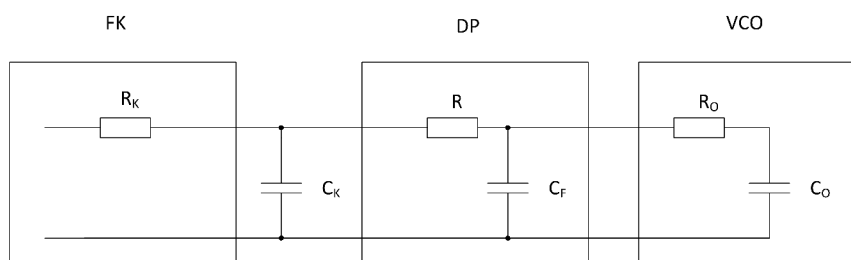
Z analogově číslicového pohledu se smyčky fázového závěsu dělí na [11]:

- Analogová (lineární)
- Digitální
- Kompletně digitální
- Softwarová

Analogová smyčka se vyznačuje analogovým fázovým detektorem s filtrem smyčky tvořeným aktivní nebo pasivní dolní propustí a napětím řízeným oscilátorem. Digitální smyčka se od analogové liší použitím digitálního fázového detektoru, případně i digitálním děličem kmitočtu ve zpětné vazbě. Kompletně digitální smyčka se skládá jen z číslicových bloků a je pro ni příznačné použití číslicově řízeného oscilátoru (numerically controlled oscillator). Softwarová smyčka je tvořena softwarem v mikrokontroléru. Při návrhu na čipu se lze použitím digitální smyčky fázového závěsu vyhnout použití cívek a vzhledem k použití různých hradel lze ve větší míře používat tranzistory minimálních fyzických rozměrů. Z těchto důvodů byla pro realizaci vybrána digitální smyčka fázového závěsu.

1.6 Stabilita PLL

Jeden ze způsobů řešení stability smyčky fázového závěsu je použití linearizovaného modelu přechodem z časové oblasti do oblasti Laplaceových obrazů časových změn. Náhradní model je na obrázku 1.16. Podle [12] lze určit rovnice 1.40 až 1.42 popisující dominantní parametry celé smyčky.



Obr. 1.16: Náhradní model PLL

$$K_k = \frac{\Delta U_{FD}}{\Delta(\varphi_1 - \varphi_2)}, \quad (1.40)$$

$$K_f(p) = \frac{U_{FS}}{U_{FD}}(p), \quad (1.41)$$

$$K_{os} = \frac{\Delta\omega_2}{\Delta U_{FS}}, \quad (1.42)$$

kde U_{FD} je napětí na výstupu fázového detektoru, U_{FS} je výstupní napětí z filtru smyčky, φ_1 je fázový posuv externího vstupního signálu a analogicky druhému signálu ze zpětné vazby přísluší index 2. Pro okamžitý kmitočet podle [12] platí rovnice 1.43.

$$\omega_{ok} = \omega_p + \frac{d\varphi_{ok}(t)}{dt}, \quad (1.43)$$

kde pro každý harmonický průběh je ω_p konstantní parametr argumentu a φ_{ok} je časově proměnná okamžitá fáze téhož argumentu. Z této rovnice lze odvodit rovnici 1.44 vyjadřující okamžité fázové posuvy k okamžitému kmitočtu, který fázi vyvolal.

$$\varphi_{ok}(t) = \varphi_0 + \int_0^t (\omega_{ok} - \omega_p) dt. \quad (1.44)$$

Z této rovnice vyplývá, že přechodné děje v regulační smyčce jsou vždy poznamenány integračním charakterem přenosu VCO bez ohledu na jeho princip a konstrukci. Dále lze vyjádřit charakter časové odezvy PLL na skok vstupní fáze pomocí rovnice 1.45 [12].

$$P_\varphi(p) = \frac{\varphi_2(p)}{\varphi_1(p)} = \frac{K_k \cdot K_f(p) \cdot K_{os}}{p + K_k \cdot K_f(p) \cdot K_{os}}, \quad (1.45)$$

při zařazení dolní propusti do zpětnovazební smyčky ve formě RC článku lze tuto rovnici dále upravit na tvar 1.46 [12].

$$P_\varphi(p) = \frac{\varphi_2(p)}{\varphi_1(p)} = \frac{K_k \cdot K_f(p) \cdot K_{os}}{p^2 \cdot \tau_f + p + K_k \cdot K_{os}}, \quad (1.46)$$

je patrné, že přenosová funkce má dva póly, které musí ležet v levé polorovině, aby byla celá smyčka stabilní. Aby při činnosti nevznikaly nežádoucí překmity, musí být navíc oba póly reálné. Při hledání pólů z rovnice 1.46 lze tedy stanovit konečnou podmínku pomocí rovnice 1.47.

$$\tau_f \cdot K_k \cdot K_{os} \geq \frac{1}{4}. \quad (1.47)$$

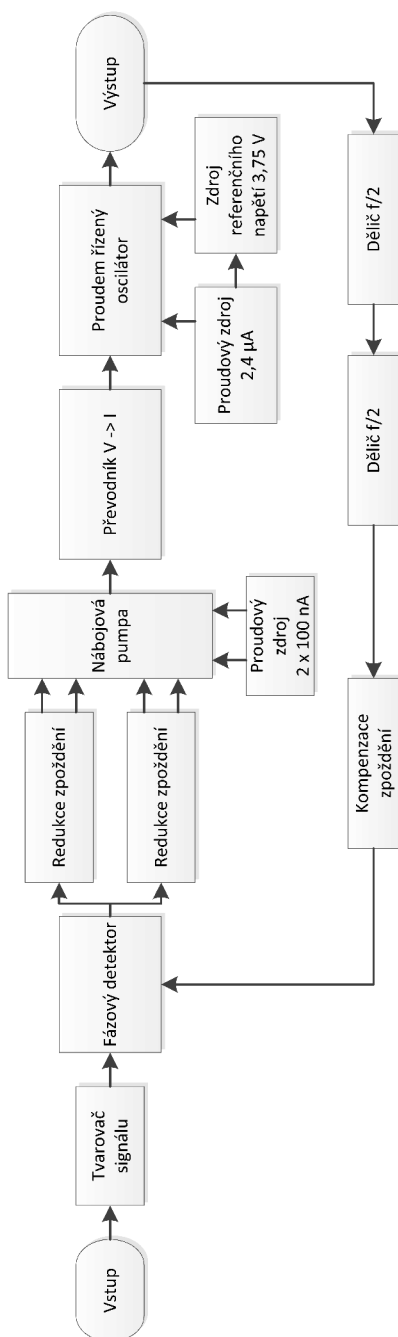
Z náhradního modelu dále plyne, že jednotlivé prvky dolní propusti (DP) se nedají volit zcela náhodně [12]. Pro časové konstanty τ musí platit rovnice 1.48 a 1.49.

$$\tau_{DP} \gg \tau_{FK}. \quad (1.48)$$

$$\tau_{DP} \gg \tau_{VCO}. \quad (1.49)$$

2 OPTIMALIZACE NÁVRHU

Pro dodržení předepsaných technických parametrů je nezbytné, pro klíčové části návrhu, zabezpečit stabilitu při změně napájecího napětí, změně teploty a proti výrobnímu rozptylu. Celý návrh probíhá ve výrobním procesu AMIS CMOS 007. Blokové schéma kompletního navrhovaného řešení je na obrázku 2.1.



Obr. 2.1: Blokové schéma navrhované PLL

2.1 Popis signálů

Tvarovač signálů převádí vstupní signál z harmonického průběhu na obdélníkový. Fázový detektor ze dvou vstupních signálů (16 [kHz] referenčí a ze zpětné vazby) vytváří dva logické řídicí signály (*NAHORU* a *DOLU*) závislé na rozdílu kmitočtu a fáze mezi vstupními signály, přičemž platí, že v době před uzamčením smyčky může být každá logická úroveň na jednom výstupu maximálně po dobu jedné periody (62,5 [μs]). Redukce zpoždění vytváří z logických signálů *NAHORU* a *DOLU* jejich invertované signály \overline{NAHORU} , \overline{DOLU} a je samotné jako *NAHORU'* a *DOLU'*. Tyto nově vytvořené signály pak vstupují do nábojové pumpy spolu s dalšími signály pro nastavení NMOS a PMOS zrcadla, aby poskytovaly proud 0,1 [μA]. Z výstupu nábojové pumpy se pak nabíjí (vybíjí) kondenzátor stejnou hodnotou proudu, tak aby se napětí na kondenzátoru pohybovalo od nuly do 3,125 V. Toto napětí převádí převodník $V \rightarrow I$ na regulační proud nula až 4,8 μA. Proudem řízený oscilátor v klidovém režimu produkuje obdélníkový signál s kmitočtem 32 kHz, který může být zvýšen pomocí regulačního proudu. Pro svou funkci dále potřebuje referenční napětí 3,75 V a napětí ze zdroje proudu pro PMOS zrcadlo poskytující proud 2,4 μA. Výstupní signál putuje do zpětné vazby, kde je dvakrát vydělen dvěma (na 32 kHz a 16 kHz). V následujících kapitolách bude popsán výpočet těchto signálů.

2.2 Návrh nábojové pumpy s kondenzátorem

Při návrhu nábojové pumpy bylo vycházeno z poznatku, že pro nejhorší možný případ $f_{vst1} = f_{vst2}$ s fázovým posunem $\Theta_{ch} = 180^\circ$ bude po celou dobu periody (62,5 μs) nabíjen kondenzátor na výstupu nábojové pumpy. Navrhované zapojení je na obrázku 1.9, přičemž při návrhu musí být zvolen rozumný kompromis mezi velikostí kondenzátoru a velikostí nabíjecího / vybíjecího proudu podle rovnice 2.1.

$$Q = C.U = I.t. \quad (2.1)$$

Tuto rovnici lze dále přepsat na tvar 2.2, ze kterého lze po dosazení počítat, o kolik se zvedne hodnota napětí na kondenzátoru (tato hodnota je shora omezena napájecím napětím).

$$\Delta U_{FS} = \frac{\Delta t.I}{C}. \quad (2.2)$$

Pro zvolený nabíjecí / vybíjecí proud 0,5 μA a kapacitu kondenzátoru 10 pF tato hodnota vychází na 3,125 V.

Výpočet rozměrů MOS tranzistorů byl proveden na základě poměru technologických činitelů K_p . Rozměry pro NMOS tranzistor byly určeny na $W_N = 2$, $L_N = 1$

a pro PMOS jako 2,48 násobek jejich poměru. Jejich rozměr je tedy $W_P = 5$, $L_P = 1$, přičemž s použitím simulátoru byla dále upravena šířka PMOS tranzistoru na $W_P = 6$.

2.3 Návrh nábojové pumpy s filtrem

Pro návrh nábojové pumpy s filtrem bylo pro výpočet použito rovnic 1.24 a 1.25 upravených do tvarů 2.3 až 2.6. Vzhledem k možnostem použité technologie byl zvolen $C_1 = 20 \text{ pF}$ a dále kvůli potlačení zvlnění na výstupu $\zeta = 1$. Pro prvotní výpočet bylo zvoleno $\Delta\omega_L = 32 \cdot 10^3 \text{ rad} \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, ale později bude změněno podle podmínek zachování stability.

$$\omega_N = \frac{\Delta\omega_L}{4 \cdot \pi \cdot \zeta} = \frac{32 \cdot 10^3}{4 \cdot \pi \cdot 1} = 2546 \text{ rad} \cdot \text{V}^{-1} \cdot \text{s}^{-1}, \quad (2.3)$$

$$R \cdot C_1 = \frac{2 \cdot \zeta}{\omega_N} = \frac{2 \cdot 1}{2546} = 785,5 \mu\text{s}, \quad (2.4)$$

$$R = \frac{785,5 \cdot 10^{-6}}{20 \cdot 10^{-12}} = 39,28 \text{ M}\Omega, \quad (2.5)$$

$$I_P = \frac{\omega_N^2 \cdot 2 \cdot \pi \cdot N \cdot C_1}{K_{VCO}} = \frac{2546^2 \cdot 2 \cdot \pi \cdot 4 \cdot 20 \cdot 10^{-12}}{2 \cdot \pi \cdot 20480} = 25 \text{ nA}. \quad (2.6)$$

Tyto vypočítané hodnoty budou použity pro řešení stability, kde dojde k jejich optimalizaci za účelem nalezení stabilního řešení.

2.4 Návrh rampového oscilátoru

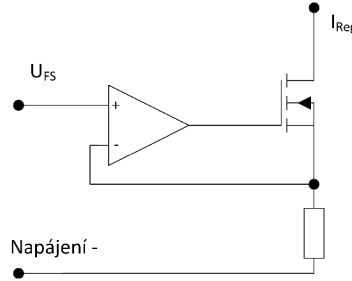
Návrh rampového oscilátoru zobrazeného na obrázku 1.13 byl prováděn pomocí rovnic 2.7 až 2.9. Při návrhu bylo uvažováno o rozptylu přesnosti výrobního procesu alespoň $\pm 30 \%$, z toho důvodu byla zvolena požadovaná přeladitelnost oscilátoru $\pm 50 \%$. Navržený oscilátor bude mít klidový pracovní kmitočet 32 kHz , který bude přeladitelný až na 96 kHz . Pro výpočet bylo dále stanoveno porovnávací napětí $U_{Ref} = 3,75 \text{ V}$, neboť se jedná o celočíselný násobek napětí bandgap reference a kapacita kondenzátorů 10 pF .

$$T_{Log.1} = T_{Log.0} = \frac{V_{Ref} \cdot C}{I_{Min}} = \frac{1}{2 \cdot f_{min}} = 15,625 \mu\text{s}, \quad (2.7)$$

$$I_{Min} = \frac{U_{Ref} \cdot C}{T_{Log.1max}} = \frac{3,75 \cdot 10 \cdot 10^{-12}}{15,625 \cdot 10^{-6}} = 2,4 \mu\text{A}, \quad (2.8)$$

$$I_{Reg} = \frac{U_{Ref} \cdot C}{T_{Log.1min}} - I_{Min} = \frac{3,75 \cdot 10 \cdot 10^{-12}}{5,2 \cdot 10^{-6}} - 2,4 \cdot 10^{-6} = 4,8 \mu\text{A}, \quad (2.9)$$

kde I_{Min} je klidový nabíjecí proud kondenzátorů a I_{Reg} je regulační přídavný nabíjecí proud nastavující maximální kmitočet. Klopný obvod RS byl realizován pomocí dvou hradel NAND. Obvod pro nastavení maximálního proudu I_{Reg} je na obrázku 2.2.



Obr. 2.2: Řídící obvod rampového oscilátoru

Vzhledem k vlastnosti operačního zesilovače nastavit napětí mezi vstupy na hodnotu 0 V , lze přidávaný proud spočítat pomocí rovnice 2.10.

$$I_{Reg} = \frac{U_{FS}}{R}. \quad (2.10)$$

Tento proud se dále zrcadlí do obou větví nabíjecí kondenzátory v oscilátoru. Pro dříve vypočtený nejhorší případ $\Delta U_{FS} = 3,125\text{ V}$ vychází hodnota rezistoru na $651,25\text{ k}\Omega$. Pro praktickou realizaci jsou dále kladeny nároky na použité zapojení operačního zesilovače. Aby se zabránilo chybě v převodu u maximálních odchylek, je nutné použít tzv. zapojení rail-to-rail, tedy zapojení umožňující výstup nastavit v celém nebo alespoň skoro celém rozsahu napájecího napětí. Drobná odchylka minimálního napětí na výstupu od 0 V nevádí, neboť je zde rezerva o 20 % větší v obou směrech, než je třeba.

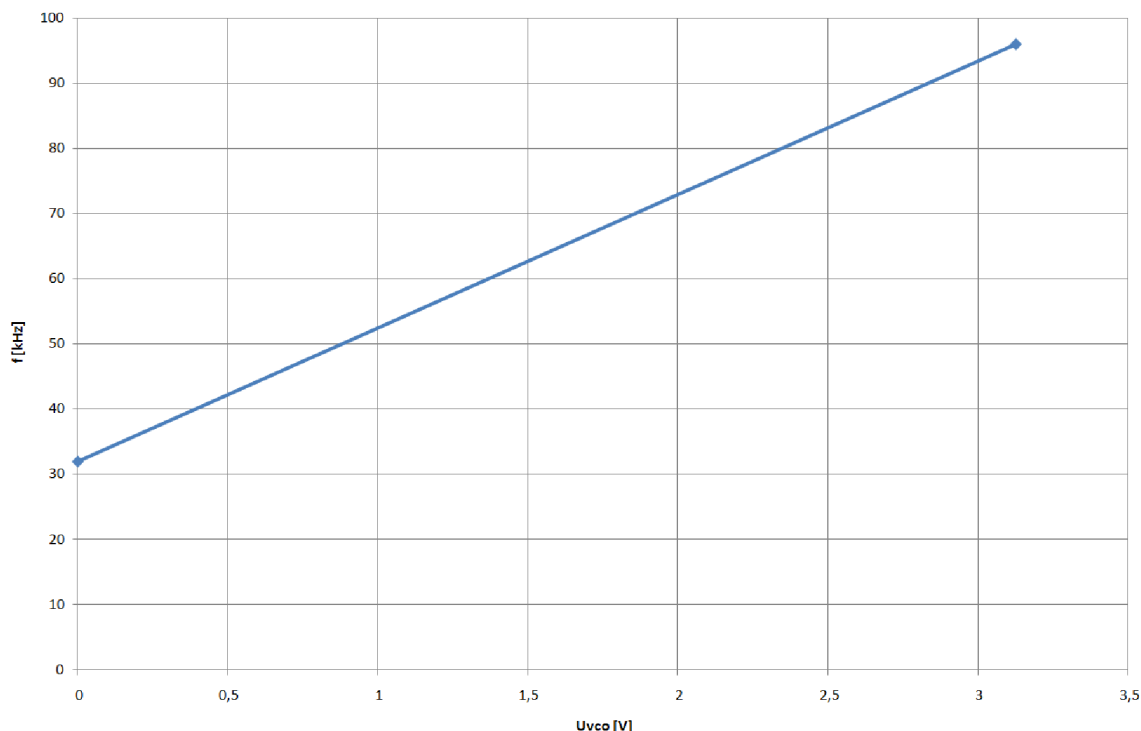
2.5 Přenos zpětnovazební smyčky a stabilita

Podle [4] platí pro přenos zpětnovazební smyčky rovnice 2.11, resp. 2.12.

$$H(p) = \frac{\theta_{vst2}}{\theta_{vst1}} = \frac{K_{FD} \cdot K_F \cdot K_{VCO}}{p + \beta \cdot K_{FD} \cdot K_F \cdot K_{VCO}}, \quad (2.11)$$

$$H(p) = \frac{K_{FD} \cdot K_{VCO} \cdot (1 + p \cdot R \cdot C_1)}{p^2 + p \cdot \frac{K_{FD} \cdot K_{VCO} \cdot R}{N} + \frac{K_{FD} \cdot K_{VCO}}{N \cdot C_1}}, \quad (2.12)$$

kde K_{VCO} je zesílení VCO určené z linearizovaného grafu závislosti napětí na kmitočtu VCO na obrázku 2.3 pomocí rovnice 2.13, K_{FD} je přenos fázového detektoru podle rovnice 2.14 a K_F je přenos zvoleného filtru smyčky podle rovnice 2.15.



Obr. 2.3: Linearizace zesílení VCO

$$K_{VCO} = 2\pi \cdot \frac{F_{max} - F_{min}}{U_{max} - U_{min}} = 2\pi \cdot \frac{96 \cdot 10^3 - 32 \cdot 10^3}{3,125 - 0} = 129 \cdot 10^3 \text{ rad} \cdot \text{V}^{-1} \cdot \text{s}^{-1}, \quad (2.13)$$

$$K_{FD} = \frac{I_P}{2\pi} = \frac{25 \cdot 10^{-9}}{2\pi} = 3,98 \cdot 10^{-9} \text{ A} \cdot \text{rad}^{-1}, \quad (2.14)$$

$$K_F(p) = \frac{1 + p \cdot R \cdot C_1}{p \cdot C_1} = \frac{1 + p \cdot 39,28 \cdot 10^6 \cdot 20 \cdot 10^{-12}}{p \cdot 20 \cdot 10^{-12}}. \quad (2.15)$$

Z rovnice přenosu je patrné, že přenosová funkce má dva póly. Jak bylo dříve ukázáno, tak ve stabilním systému budou oba ležet v levé polorovině, z čehož plyne rovnice 2.16, která je řešena pomocí substituce:

$$p^2 + p \cdot \frac{K_{FD} \cdot K_{VCO} \cdot R}{N} + \frac{K_{FD} \cdot K_{VCO}}{N \cdot C_1} = p^2 + p \cdot B + C = 0, \quad (2.16)$$

z čehož plyne rovnice 2.17:

$$p_{1,2} = \frac{-B \pm \sqrt{B^2 - 4 \cdot C}}{2}. \quad (2.17)$$

Pro stabilitu je tedy důležitý pouze čitatel, při porovnání B a C platí $R < \frac{1}{C_1}$ a tedy i $B < C$. Lze tedy přímo stanovit podmínky pro stabilní systém bez překmitů pomocí rovnic 2.18 a 2.19. Přičemž pro stabilitu stačí hledat jen jeden kořen, neboť

$-B$ mínus jákekoliv nezáporné číslo dá záporné číslo a nezápornost výrazu pod odmocninou je dána podmínkou pro systém bez překmitů.

$$B > \sqrt{B^2 - 4.C} \rightarrow \frac{K_{FD}.K_{VCO}.R}{N} > \sqrt{\left(\frac{K_{FD}.K_{VCO}.R}{N}\right)^2 - 4.\frac{K_{FD}.K_{VCO}}{N.C_1}}, \quad (2.18)$$

$$B^2 - 4.C \geq 0 \rightarrow 4 \leq \frac{B^2}{C} \rightarrow 4 \leq \frac{\left(\frac{K_{FD}.K_{VCO}.R}{N}\right)^2}{\frac{K_{FD}.K_{VCO}}{N.C_1}} = \frac{K_{FD}.K_{VCO}.R^2.C_1}{N}. \quad (2.19)$$

Ze druhé rovnice lze také stanovit podmínku pro určení proudu nábojovou pumpou I_P a hodnotu součástek ve filtru připojeném k nábojové pumpě R a C_1 (C_2 je pro svůj malý vliv zanedbána). Určení jejich vzájemného vztahu je v rovnicích 2.20 a 2.21. V rovnici 2.22 je numerický výpočet pro navrhované řešení.

$$\frac{4.N}{K_{VCO}} \leq \frac{I_P}{2.\pi}.R^2.C_1, \quad (2.20)$$

$$\frac{8.\pi.N}{K_{VCO}} \leq I_P.R^2.C_1, \quad (2.21)$$

$$\frac{8.\pi.N}{K_{VCO}} = \frac{8.\pi.4}{129.10^3} = 779,3.10^{-6}V.s^{-1}. \quad (2.22)$$

Porovnáním rovnice 2.22 a dříve vypočtené 2.24 lze zvolením jedné proměnné dopočítat zbylé dvě. V tomto návrhu byl zvolen dříve vypočítaný proud nábojovou pumpou $I_P = 25 \text{ nA}$ a tedy první rovnici lze přepsat do tvaru 2.23.

$$R^2.C_1 \geq \frac{779,3.10^{-6}}{25.10^{-9}} = 31172 \rightarrow C_1 \geq \frac{31172}{R^2}, \quad (2.23)$$

$$R.C_1 = 785,5\mu s, \quad (2.24)$$

po dosazení C_1 vyjádřeného z rovnice 2.23 a dosazení do 2.24 vyjde $R = 39,68 \text{ M}\Omega$ a $C_1 = 19,8 \text{ pF}$. Z rovnice 2.23 je také patrné, že čím větší tyto hodnoty budou, tím lépe pro tuto podmínku. Proto budou použity hodnoty $R = 40 \text{ M}\Omega$ a $C_1 = 25 \text{ pF}$. Pro navržené řešení je proveden numerický výpočet obecných rovnic 2.18 a 2.19 určujících stabilitu v rovnicích 2.25 a 2.26.

$$\frac{3,98.10^{-9}.129.10^3.40.10^6}{4} > \sqrt{\left(\frac{3,98.10^{-9}.129.10^3.40.10^6}{4}\right)^2 - 4.\frac{3,98.10^{-9}.129.10^3}{4.25.10^{-12}}}, \quad (2.25)$$

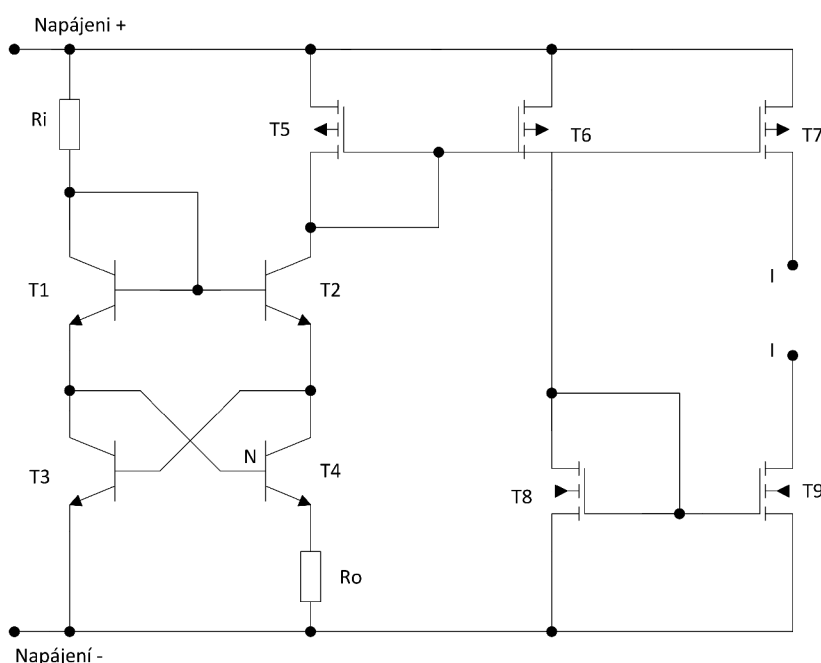
$$4 \leq \frac{3,98.10^{-9}.129.10^3.(40.10^6)^2.25.10^{-12}}{4}. \quad (2.26)$$

Z první rovnice vychází $5134,2 > 2413,1$, což dokazuje stabilitu navrženého systému za předpokladu správnosti i druhé rovnice. Ze druhé rovnice vyplývá tvrzení

$4 \leq 5,1342$, což je splněno jen velmi těsně a tedy v navrženém systému může v případě určitých odchylek vzniklých výrobním procesem docházet k překmitům a proto by se měla ověřit zápornost i druhého kořene výše uvedené kvadratické rovnice. Hledání obou kořenů vede na výraz $-5134,2 \pm 2413,1$, což dá vždy záporný výsledek a tedy systém bude stabilní.

2.6 Návrh proudového zdroje

V navrženém zapojení jsou potřebné zdroje proudu dodávající proud $2,4 \mu A$, dvakrát $0,1 \mu A$ a $5 \mu A$ pro operační zesilovač a komparátory. Použité zapojení je na obrázku 2.4.



Obr. 2.4: Proudový zdroj

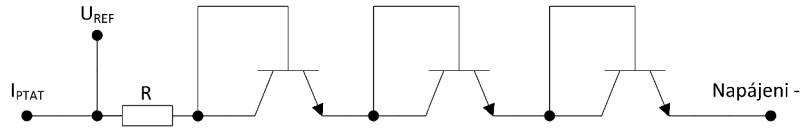
Volba hodnoty rezistoru R_I není příliš kritická, neboť pouze chrání tranzistory před zničením, a proto byla zvolena hodnota $100 k\Omega$. Hodnota počtu tranzistorů T_4 byla zvolena 4. Výpočet hodnoty rezistoru R_O byl proveden podle rovnice 2.27.

$$R_O = \frac{V_T \cdot \ln(N)}{I}, \quad (2.27)$$

ze které je vypočítaná hodnota pro zdroj $2,4 \mu A$ přibližně $15 K\Omega$, pro $0,1 \mu A$ přibližně $357,7 K\Omega$ a pro $5 \mu A$ přibližně $7,3 K\Omega$. Toto zapojení vyrábí oba proudy potřebné pro nábojovou pumpu, operační zesilovač, komparátory a dále proud pro klidový běh VCO.

2.7 Návrh zdroje referenčního napětí

Navržený zdroj referenčního napětí 3,75 V dále rozšiřuje zapojení proudového zdroje 2,4 μA . Použité zapojení je na obrázku 2.5.



Obr. 2.5: Zdroj referenčního napětí

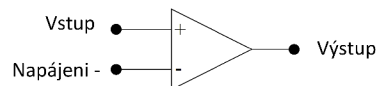
Rezistor R má za úkol nastavit přesné napětí U_{REF} , jeho výpočet byl proveden podle rovnice 2.28.

$$R = 3 \cdot \frac{-T_{CVBE} \cdot q}{K \cdot \ln(N)} \cdot R_O = 3 \cdot \frac{2 \cdot 10^{-3} \cdot 1,602 \cdot 10^{-19}}{1,38 \cdot 10^{-23} \cdot \ln(4)} \cdot 15000 = 754 k\Omega, \quad (2.28)$$

kde R_O je rezistor ve zdroji proudu. Tento zdroj vytváří pomocné napětí pro komparátory porovnávající hodnotu napětí na nabíjených kondenzátorech v oscilátoru.

2.8 Návrh tvarovače signálu

Pro převod vstupního sinusového signálu na obdélníkový je použito zapojení s operačním zesilovačem na obrázku 2.6. Nevýhodou tohoto řešení je vzniklé zpoždění, které je nutné kompenzovat ve zpětné vazbě regulační smyčky.



Obr. 2.6: Tvarovač signálu

2.9 Návrh přesného invertoru

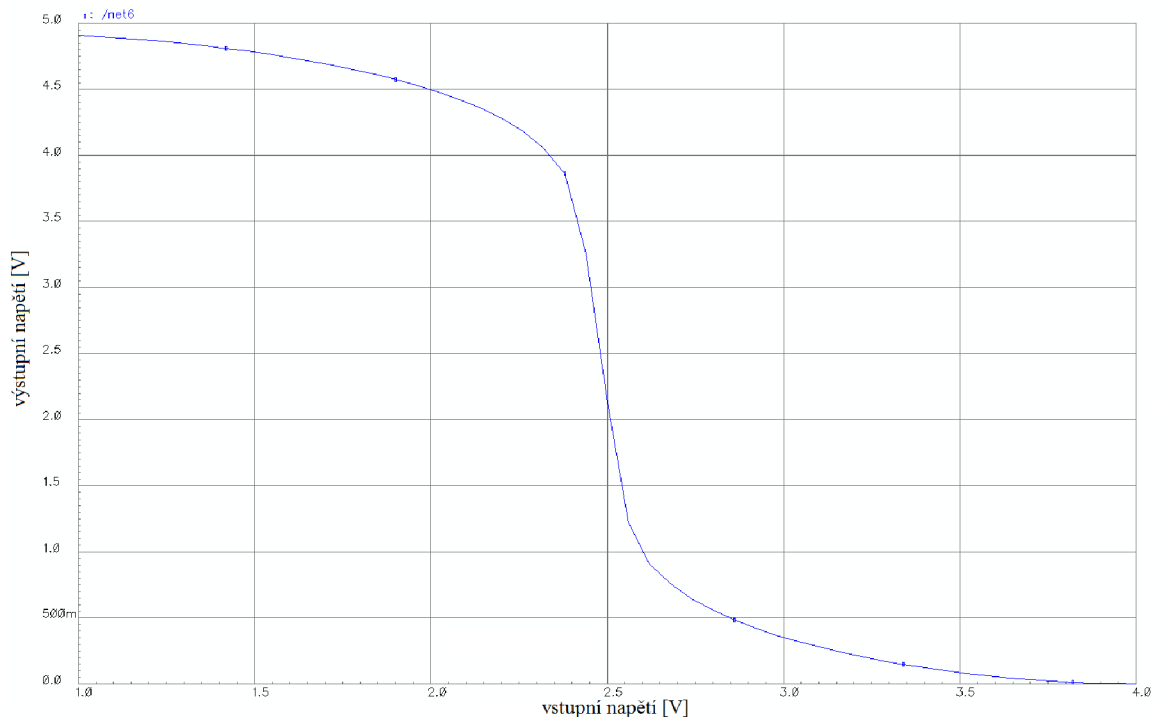
Pro kompenzaci zpoždění vzniklého převodem harmonického vstupního signálu na obdélníkový byl kvůli své jednoduchosti a malé prostorové náročnosti vybrán přesně navržený MOS invertor. Rovnice 2.29 převzaná z [13] popisuje výpočet napětí pro překlopení z jednoho logického stavu do druhého.

$$V_P = \frac{V_{TN} + \sqrt{\frac{k_p}{k_n}} \cdot (V_{NAP} + V_{TP})}{1 + \sqrt{\frac{k_p}{k_n}}}, \quad (2.29)$$

kde V_P je hodnota napětí pro překlopení, V_{NAP} je hodnota napájecího napětí, V_{TN} a V_{TP} jsou prahová napětí MOS tranzistorů, k_p a k_n jsou fyzické rozměry tranzistorů (W/L). Pro výpočet rozměrů tranzistorů lze celá rovnice přepsat na rovnici 2.30.

$$\frac{k_p}{k_n} = \left(\frac{V_P - V_{TN}}{V_{NAP} + V_{TP} - V_{TN}} \right)^2. \quad (2.30)$$

Řešením této rovnice byly rozměry tranzistorů $W_N = 2$, $L_N = 1$, $W_P = 20$, $L_P = 1$. Ze simulace bylo pro tyto fyzikální rozměry možné sledovat dominanci NMOS tranzistoru, neboť rozhodující napětí pro přechod z jednoho stavu do druhého bylo větší, než 3 V. Z toho důvody byly rozměry znovu přepočítány pomocí poměru technologických činitelů k_p , který je u NMOS tranzistoru přibližně 2,48 krát větší, než u tranzistoru PMOS. Z tohoto poměru byly určeny rozměry $W_N = 2$, $L_N = 1$, $W_P = 5$, $L_P = 1$, přičemž s použitím simulátoru byla dále upravena šířka PMOS tranzistoru na $W_P = 6$. Pro tyto hodnoty vyšla $V_P = 2,48$ V, jak je zobrazeno na obrázku 2.7.

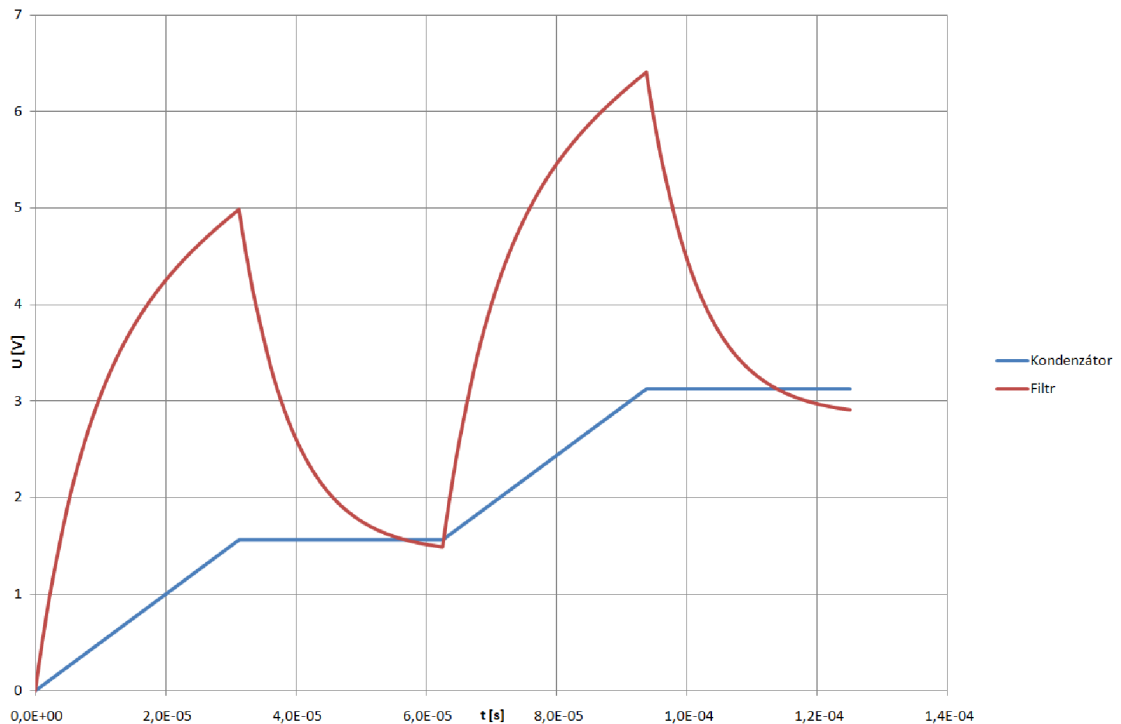


Obr. 2.7: Simulace přesného MOS invertoru

3 SIMULACE V PSPICE

3.1 Porovnání filtru smyčky

Při návrhu bylo pro nábojovou pumpu uvažováno mezi dvěma řešeními, a to připojení samostatného kondenzátoru nebo použitím jednoduchého filtru. Obě možnosti byly simulovány pomocí modelu v příloze. Jejich vzájemné porovnání je na obrázku 3.1, ze kterého je jasně vidět, že v obou případech se řídicí napětí na vstupu oscilátoru (převodníku V-I) po jedné periodě ustálí přibližně na stejné hodnotě.

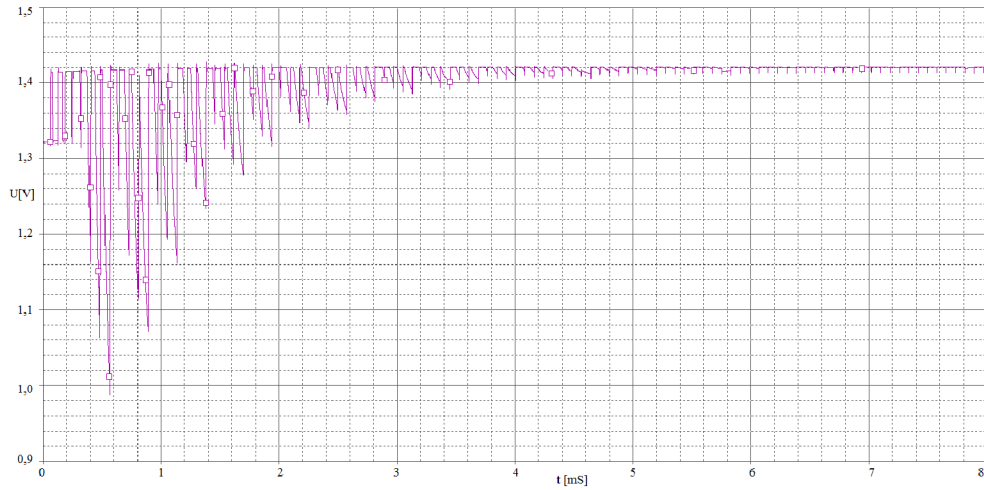


Obr. 3.1: Simulace filtru nábojové pumpy

Hlavním rozdílem byla rychlost reakce na regulační odchylku. Zatímco samostatný kondenzátor reagoval lineárním růstem napětí, což bylo dáno nabíjením zdrojem proudu, tak filtr reagoval exponenciálním růstem, neboť měnicí se napětí vyvolalo na rezistoru napěťový úbytek, který způsobil v první fázi hlavně nabíjení kondenzátoru 1 pF a v mnohem menší míře nabíjení většího kondenzátoru 10 pF , který se později nabíjel až po skončení nabíjení z nábojové pumpy. Z tohoto důvodu má druhá část průběhu tvar klesající exponenciály, což je dáno vybíjením kondenzátoru 1 pF . Část proudu protékající rezistorem způsobila ztráty, kvůli čemu se napětí ustálilo na o něco menší hodnotě napětí, jak v případě samotného kondenzátoru. Z tohoto důvodu byl pro návrh vybrán filtr.

3.2 Vliv proudu nábojovou pumpou

Navržený obvod byl simulovaný v programu PSpice za účelem ověření stability a funkčnosti použitého řešení. Simulací se ukázalo, že při proudu tekoucím nábojovou pumpou $I_P = 100 \text{ nA}$ by smyčka fázového závěsu nebyla stabilní. Vzhledem k technologickým možnostem a odolnosti proti rušení (pro malý proud drainem je na tranzistoru malý úbytek napětí U_{GS} , který je blízko prahovému napětí) byl zvolen proud 100 nA jako nejmenší možná hodnota pro realizaci proudového zdroje. Pouze zmenšením tohoto proudu podle výpočtu stability se ukázalo stabilní řešení při změně na $I_P = 25 \text{ nA}$. Simulace zobrazující ustálení řídicího napětí na kondenzátoru připojenému ke vstupu převodníku V-I, který přímo řídí proudem řízený oscilátor, je na obrázku 3.2, tato simulace odpovídá proudu 100 nA .



Obr. 3.2: Simulace ustálení napětí ve filtru NP

Z této simulace bylo zjištěno, že po ustálení se periodicky objevuje krátký proudový impulz o délce $t_1 = 70 \text{ nS}$, zajišťující udržení požadované hodnoty napětí na kondenzátoru. Z tohoto impulzu lze pomocí rovnic 3.1 až 3.4 stanovit náhradní model pro nábojovou pumpu.

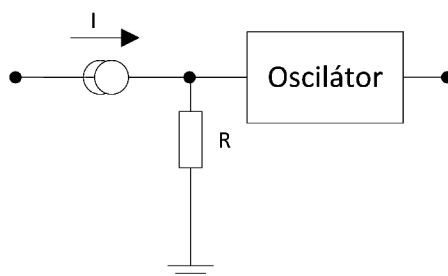
$$I_S = \frac{1}{T} \cdot \int_0^T i(t) dt = \frac{1}{T} \cdot \left[\int_0^{T_1} i_1(t) dt + \int_{T_1}^{T_0} i_0(t) dt \right], \quad (3.1)$$

$$I_S = \frac{1}{15,625 \cdot 10^{-6}} \cdot \left[\int_0^{70 \cdot 10^{-9}} 0,1 \cdot 10^{-6} dt + \int_{70 \cdot 10^{-9}}^{15,625 \cdot 10^{-6}} 0 dt \right] = 448 \text{ pA}, \quad (3.2)$$

$$\omega_{výst} = \omega_0 + U \cdot K_{VCO} \rightarrow U = \frac{\omega_{výst} - \omega_0}{K_{VCO}} = \frac{2 \cdot \pi \cdot (64 \cdot 10^3 - 32 \cdot 10^3)}{129 \cdot 10^3} = 1,56 \text{ V}, \quad (3.3)$$

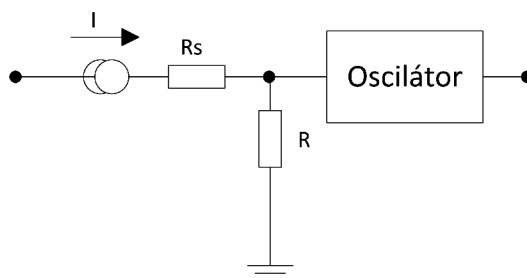
$$R_{model} = \frac{U}{I_S} = \frac{1,56}{448 \cdot 10^{-12}} = 3,48 \text{ G}\Omega, \quad (3.4)$$

z čehož lze sestavit model skládající se z proudového zdroje a rezistoru zobrazený na obrázku 3.3, kde blok oscilátor zahrnuje převodník napětí na proud a proudem řízený oscilátor.



Obr. 3.3: Náhradní model nábojové pumpy

Tento model lze použít i pro okamžitou hodnotu proudu. V tomto případě vyjde stejným způsobem pro proud nábojovou pumpou $I_P = 100 \text{ nA}$ odpor filtru $R_{model} = 15,6 \text{ M}\Omega$. Z Ohmova zákona tedy plyne, že chceme-li použít stejné řídicí napětí a nabíjecí proud zmenšit na čtvrtinu, musí se zvednout odpor nabíjeného filtru čtyřikrát. Toho lze dosáhnout zařazením sériového odporu $R_s = 46,8 \text{ M}\Omega$, jak je zobrazeno na obrázku 3.4.



Obr. 3.4: Náhradní model nábojové pumpy s omezeným proudem

3.3 Pronikání hodinového (řídícího) signálu

Při simulaci v PSpice byla zjištěna přítomnost parazitního jevu pronikání hodinového signálu (clock feedthrough) při spínání MOS tranzistorů v nábojové pumpě. Tento jev při změně logické úrovně na hradle gate MOS tranzistoru způsobuje, že buď do substrátu nebo do zátěže připojené k elektrodě source (nebo drain) teče

parazitní proud [15]. Při spínání proudu 100 nA se objevovaly proudové špičky až $200 \text{ }\mu\text{A}$, které způsobovaly relativně velké napěťové skoky ve filtru na vstupu oscilátoru. Tyto napěťové skoky způsobovaly nestabilitu. Při simulaci pomocí Cadence Virtuosu se tento jev neobjevil, a proto ve výsledném návrhu nebyl nijak kompenzován.

4 SIMULACE V CADENCE VIRTUOSO

Navržený zapojení bylo simulováno v Cadence Virtuoso, kde se ověřila jeho funkčnost (při teplotě $27\text{ }^{\circ}\text{C}$), jak je zobrazeno na obrázku 4.1. Po ověření funkčnosti byl simulovaný vliv teploty a vliv rozptylu kondenzátorů a rezistorů, neboť mají největší vliv na stabilitu zapojení. Při nejvyšší teplotě $80\text{ }^{\circ}\text{C}$ bylo zapojení stabilní za všech okolností, jak je ukázáno na obrázku 4.2. Při nejnižší teplotě $-20\text{ }^{\circ}\text{C}$ bylo zapojení stabilní ve dvou případech ze čtyř, jak je ukázáno na obrázku 4.3. Výsledný odsimulovaný kmitočet výstupního signálu pro teplotu $80\text{ }^{\circ}\text{C}$ je v tabulce 4.1, ze které je patrné, že za všech případů byla maximální odchylka kmitočtu menší, jak $\pm 0,5\%$.

Tab. 4.1: Výstupní kmitočet v závislosti na výrobním rozptylu pro teplotu $80\text{ }^{\circ}\text{C}$

Odchylka R	Odchylka C	Perioda [μS]	Kmitočet [kHz]	Odchylka kmitočtu [%]
Maximální	Maximální	15,6789	63,780	-0,34
Maximální	Minimální	15,6604	63,855	-0,23
Minimální	Maximální	15,5987	64,108	0,17
Minimální	Minimální	15,5947	64,124	0,19

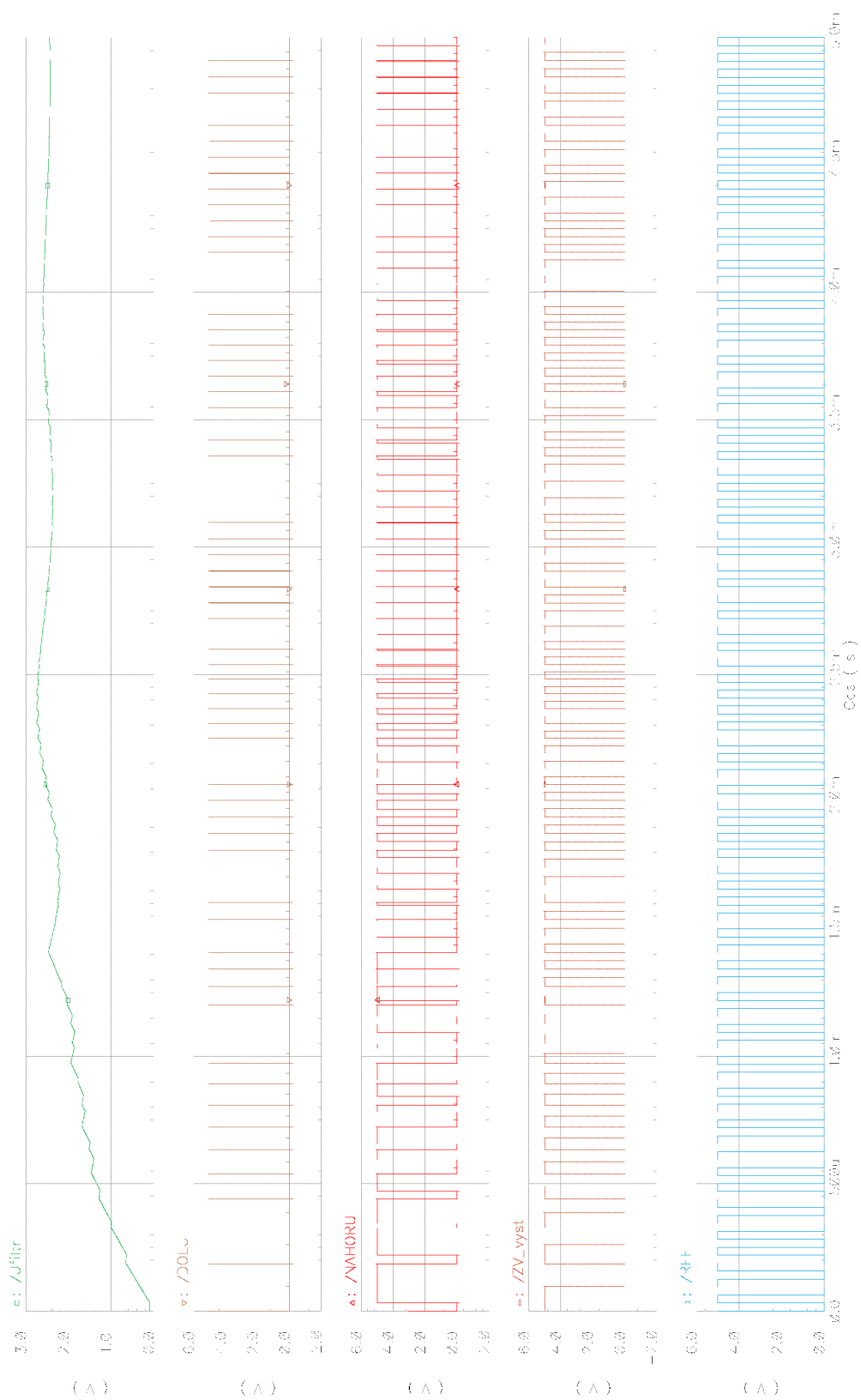
Výsledný odsimulovaný kmitočet výstupního signálu pro teplotu $-20\text{ }^{\circ}\text{C}$ je v tabulce 4.1. V případě rozptylu součástek, kdy bylo dané zapojení stabilní, byla maximální odchylka kmitočtu také menší jak $\pm 0,5\%$.

Tab. 4.2: Výstupní kmitočet v závislosti na výrobním rozptylu pro teplotu $-20\text{ }^{\circ}\text{C}$

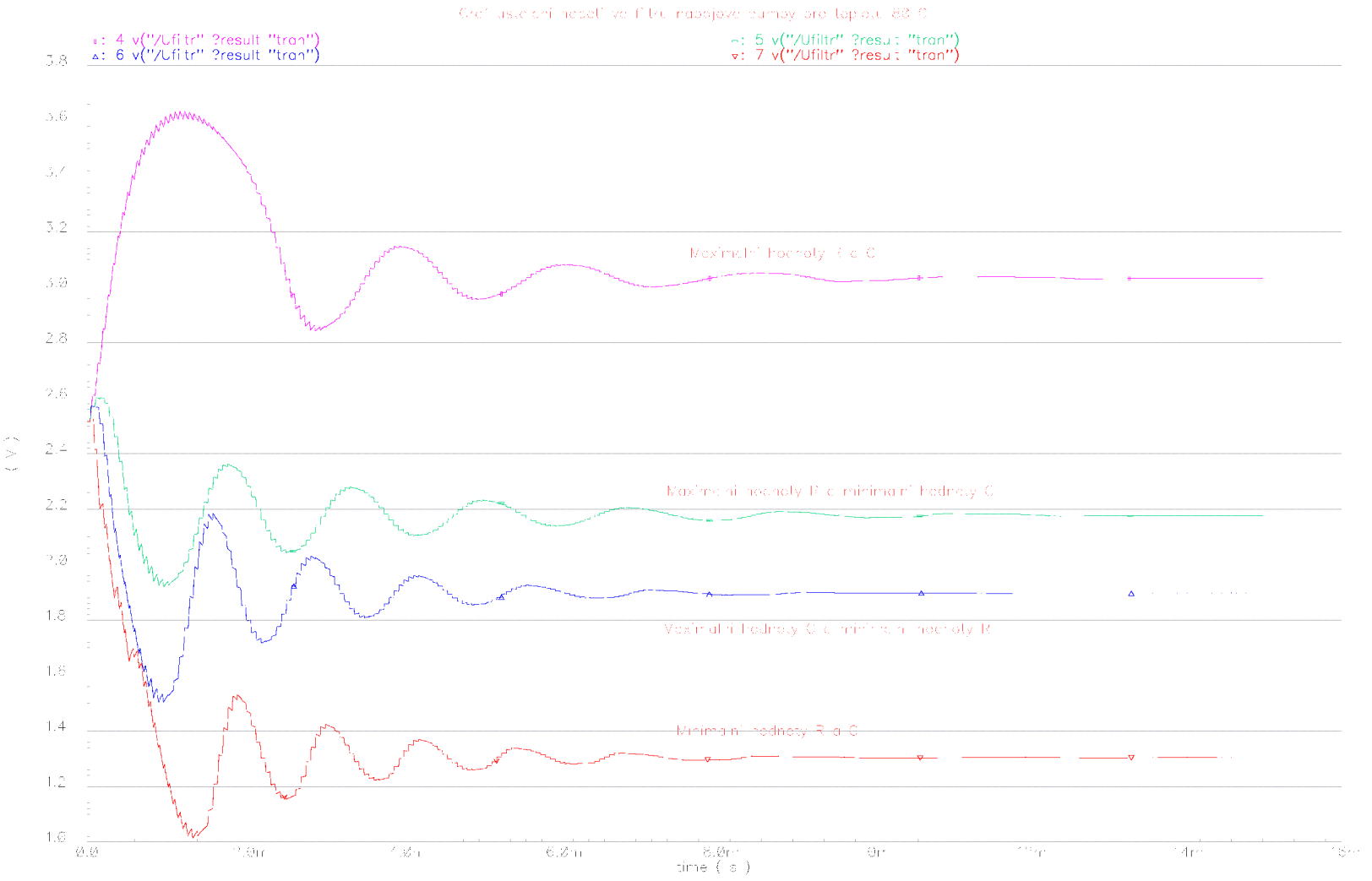
Odchylka R	Odchylka C	Perioda [μS]	Kmitočet [kHz]	Odchylka kmitočtu [%]
Maximální	Maximální	21,4159	46,694	-37,06
Maximální	Minimální	16,5471	60,434	-5,90
Minimální	Maximální	15,6969	63,707	-0,46
Minimální	Minimální	15,6241	64,004	0,01

Z obou tabulek je patrné, že největší vliv na stabilitu má odchylka u rezistorů v případě jejich zvětšování. Vliv změny rezistorů na proud nábojovou pumpou je v příloze na obrázku B.1, na kterém je vidět pokles proudu přibližně o třetinu při změně hodnot rezistorů z maximální na minimální. V nejhorším případě tak proud nábojovou pumpou poklesne až na 65 nA . Takové chování platí pro všechny použité proudové zdroje, neboť všechny pracují na stejném principu.

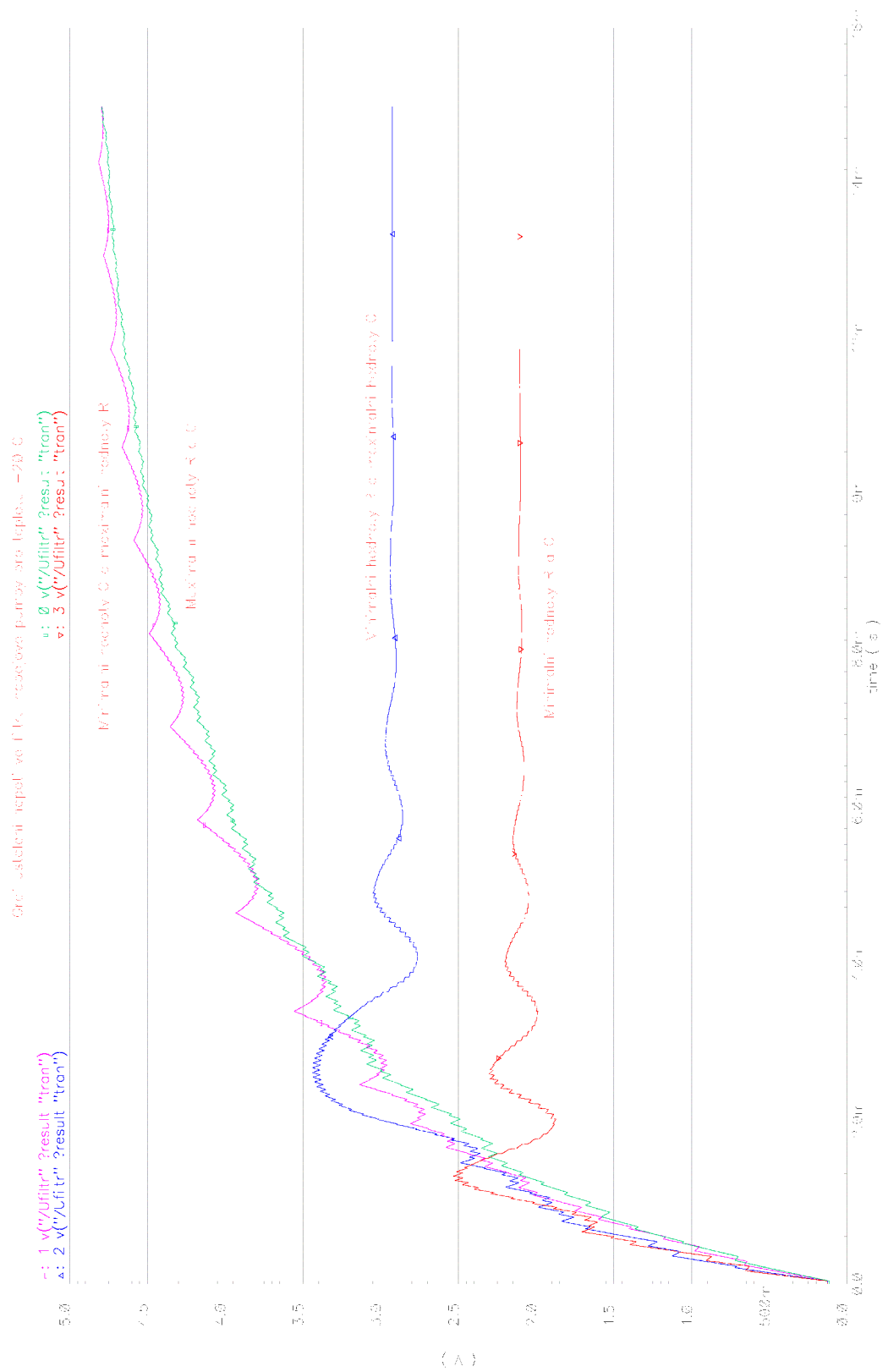
Ze simulací je vidět, že s rostoucí teplotou klesá hodnota napětí ve filtru smyčku nastavující výstupní kmitočet. Porovnáním grafů pro teplotu $80\text{ }^{\circ}\text{C}$ a $-20\text{ }^{\circ}\text{C}$ bylo zjištěno, že toto napětí se při poklesu teploty o $100\text{ }^{\circ}\text{C}$ musí přibližně zdvojnásobit. Dále bylo zjištěno, že v navrženém zapojení není potřeba kompenzovat zpoždění vzniklé dvojitým dělením výstupního signálu.



Obr. 4.1: Simulace zachycení navrženého zapojení



Obř. 4.2: Simulace ustálení napětí ve filtru nábojové pumpy pro teplotu 80 °C



Obr. 4.3: Simulace ustálení napětí ve filtru nábojové pumpy pro teplotu $-20\text{ }^{\circ}\text{C}$

5 ZÁVĚR

V této diplomové práci je v teoretické části popsán základní princip funkce smyčky fázového závěsu s detailním popisem vybraných částí, jejich vzájemným porovnáním a teoretický popis smyčky fázového závěsu z pohledu stability. V praktické části se nejprve řeší matematický popis jednoho zvoleného řešení digitální smyčky fázového závěsu tak, aby byl patrný vliv jednotlivých součástí v navrhovaném řešení. Z tohoto popisu byl proveden první návrh zohledňující omezení návrhu zapojení na čipu jako například malé hodnoty kapacit (maximální použitá kapacita kondenzátoru je 25 pF) a všechny provedené výpočty byly zaokrouhlovány podle možností použité technologie CMOS AMIS 007 (rezistory jako celočíselné násobky, případně zlomky 1825 Ω atd.). Největší pozornost byla věnována návrhu filtru připojeného mezi nábojovou pumpu a napětím řízený oscilátor (v tomto případě převodník napětí na proud a proudem řízený oscilátor). Pro porovnání zvoleného filtru a použití pouze samotného kondenzátoru byl vytvořen model pro PSpice popsáný v dodatcích. Vzhledem k rychlejší reakci byl vybrán jednoduchý filtr před použitím samostatného kondenzátoru. Celý návrh byl proveden numerickým řešením stability založeným na přenosové funkci celé smyčky. Navržené zapojení bylo nejdříve simulováno pomocí PSpice, aby se ověřila funkčnost topologie a později bylo celé zapojení simulováno v Cadence Virtuoso. Navržené zapojení bylo stabilní při simulovaném rozptylu kondenzátorů a rezistorů pro teploty od 27 °C do 80 °C. Bohužel, při simulaci nízkých teplot se ukázala nestabilita ve dvou případech při teplotě -20 °C. Nestabilní byly případy, kdy byla hodnota rezistorů maximální.

LITERATURA

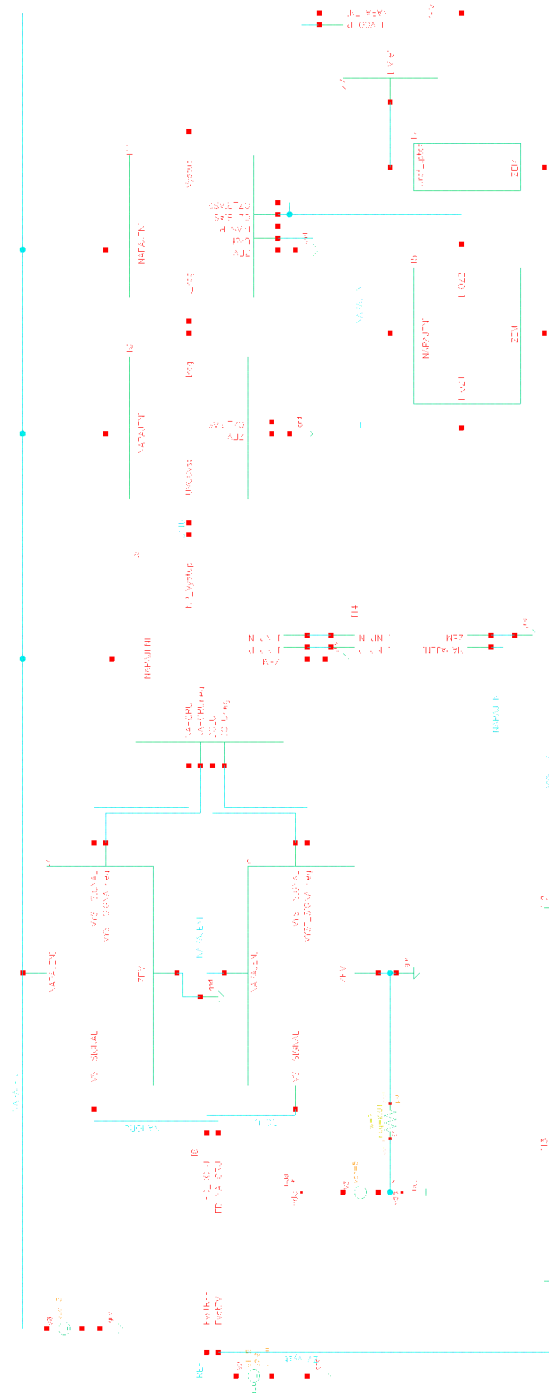
- [1] Texas Instruments. : *Fractional/Integer-N PLL Basics* [online]. [citace 15.11.2011]. Dostupný z WWW: <<http://www.ti.com/lit/an/swra029/swra029.pdf>>.
- [2] SÁNCHEZ-SINENCIO, E. ,SHU, K. : *CMOS PLL Synthesizers Analysis and Design*. Boston: Springer Science + Business Media, Inc., 2005. 215 s. ISBN 0-387-23669-4.
- [3] SINHA, S. : *Design of an integrated CMOS PLL frequency synthesizer* [online]. [citace 25.09.2011]. Dostupný z WWW: <<http://www.r8sac.org/files/SPC/sinha.pdf>>.
- [4] BAKER, J., R. : *CMOS Circuit Design, Layout, and Simulation (Third Edition)*. IEEE PRESS, 2010. 1173 s. ISBN 978-0-470-88132-3.
- [5] GILBERT, B. ,MOSCHYTZ, G. ,TOUMAZOU, Ch. : *Trade-Offs in Analog Circuit Design*. Great Britain: Kluwer Academic Publisher, 2002. 1048 s. ISBN 1-306-47673-8.
- [6] RAZAVI, B. : *Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits-A Tutorial* [online]. [citace 31.03.2012]. Dostupný z WWW: <http://itee.uq.edu.au/~coms3100/coms3100/Lecture%20Notes/Razavi1996_PLL_IEEEExplore.PDF>.
- [7] MUER, B. de, STEYAERT, M. : *CMOS FRACTIONAL-N SYNTHESIZERS*. New York: Kluwer Academic Publisher, 2003. 265 s. ISBN 0-306-48001-8.
- [8] DEKA, B. , KESHRI, P. : *CMOS Thyristor Based Low Frequency Ring Oscillator* [online]. [citace 22.11.2011]. Dostupný z WWW: <http://www.stanford.edu/~piyushk/EE610_report.pdf>.
- [9] RETDIAN, N., TAKAGI, S., FUJII, N. : *Voltage Controlled Ring Oscillator with Wide Tuning Range and Fast Voltage Swing* [online]. [citace 29.10.2012]. Dostupný z WWW: <<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.6.3727&rep=rep1&type=pdf>>.
- [10] DOSTÁL, T. : *Elektrické filtry*. BRNO: FEKT VUT, 2007. 135 s.
- [11] WANG, CH., H. : *A Top-Down Verilog-A Design on the Digital Phase-Locked Loop* [online]. [citace 29.10.2012]. Dostupný z WWW: <<http://www2.ece.ohio-state.edu/~bibykc/ece822/CHWangQualReport.pdf>>.

- [12] NEUMANN, P., UHLÍŘ, J. : *Elektronické obvody a funkční bloky 2*. Praha: Vydavatelství ČVUT, 2001. 269 s. ISBN 80-01-02394-X.
- [13] CALHOUN, B. : *Design Principles for Digital CMOS Integrated Circuits*. Virginia: NTS Press, 2012. 128 s. ISBN 978-1-934891-14-8.
- [14] HART, D., W. : *Introduction to Power Electronics*. New Jersey: PRENTICE HALL, 1997. 418 s. ISBN 0-02-351182-6.
- [15] XU, W., FRIEDMAN, E., G. : *Clock Feedthrough in CMOS Analog Transmission Gate Switches* [online]. [citace 27.4.2013]. Dostupný z WWW: <http://www.ece.rochester.edu/users/friedman/papers/AICSP_0_Clock.pdf>.

SEZNAM PŘÍLOH

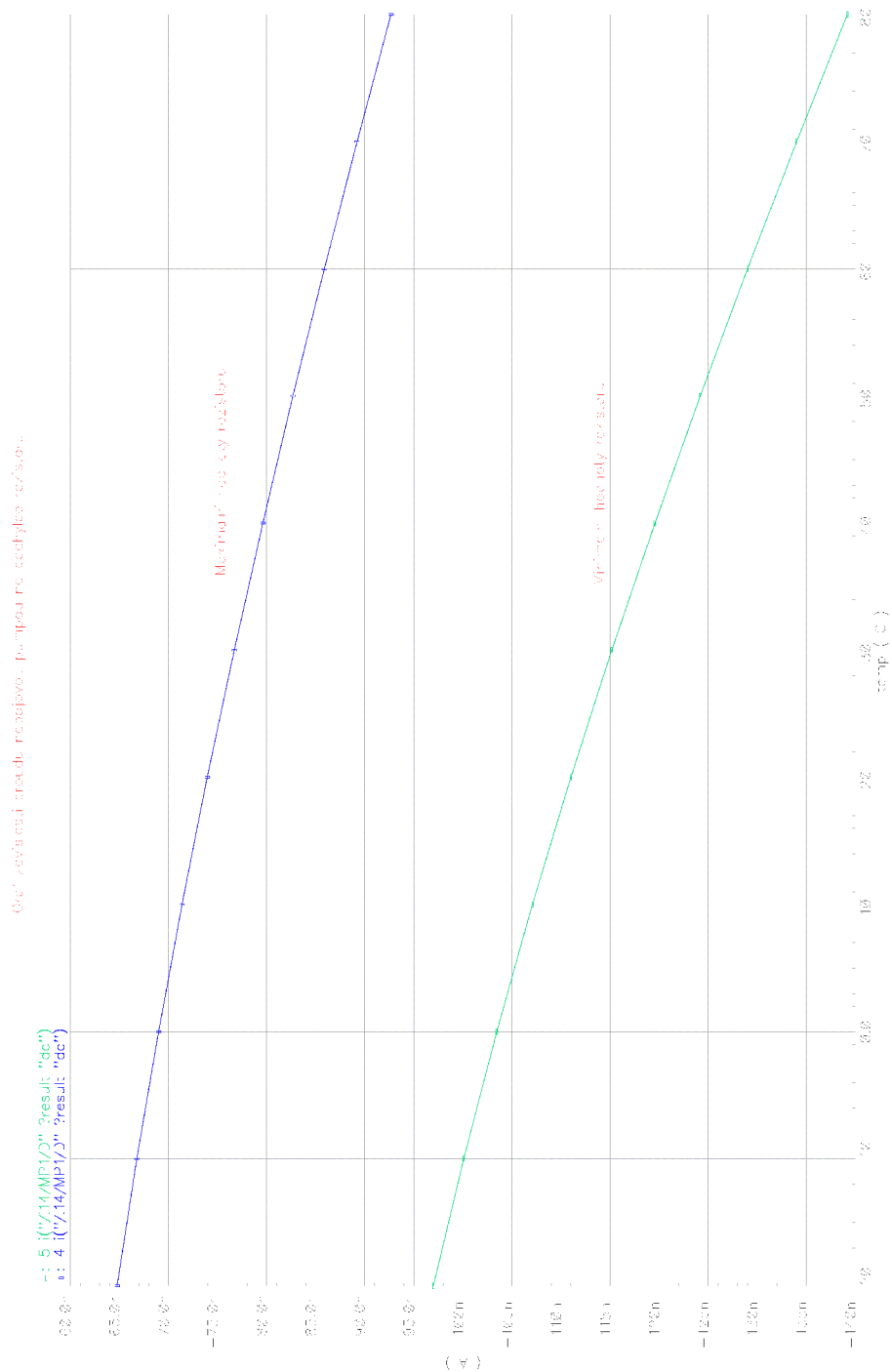
A Navržené schéma simulované v Cadence Virtuoso	54
B Doplnující simulace v Cadence Virtuoso	55
C Simulace filtru smyčky	60

A NAVRŽENÉ SCHÉMA SIMULOVANÉ V CADENCE VIRTUOSO

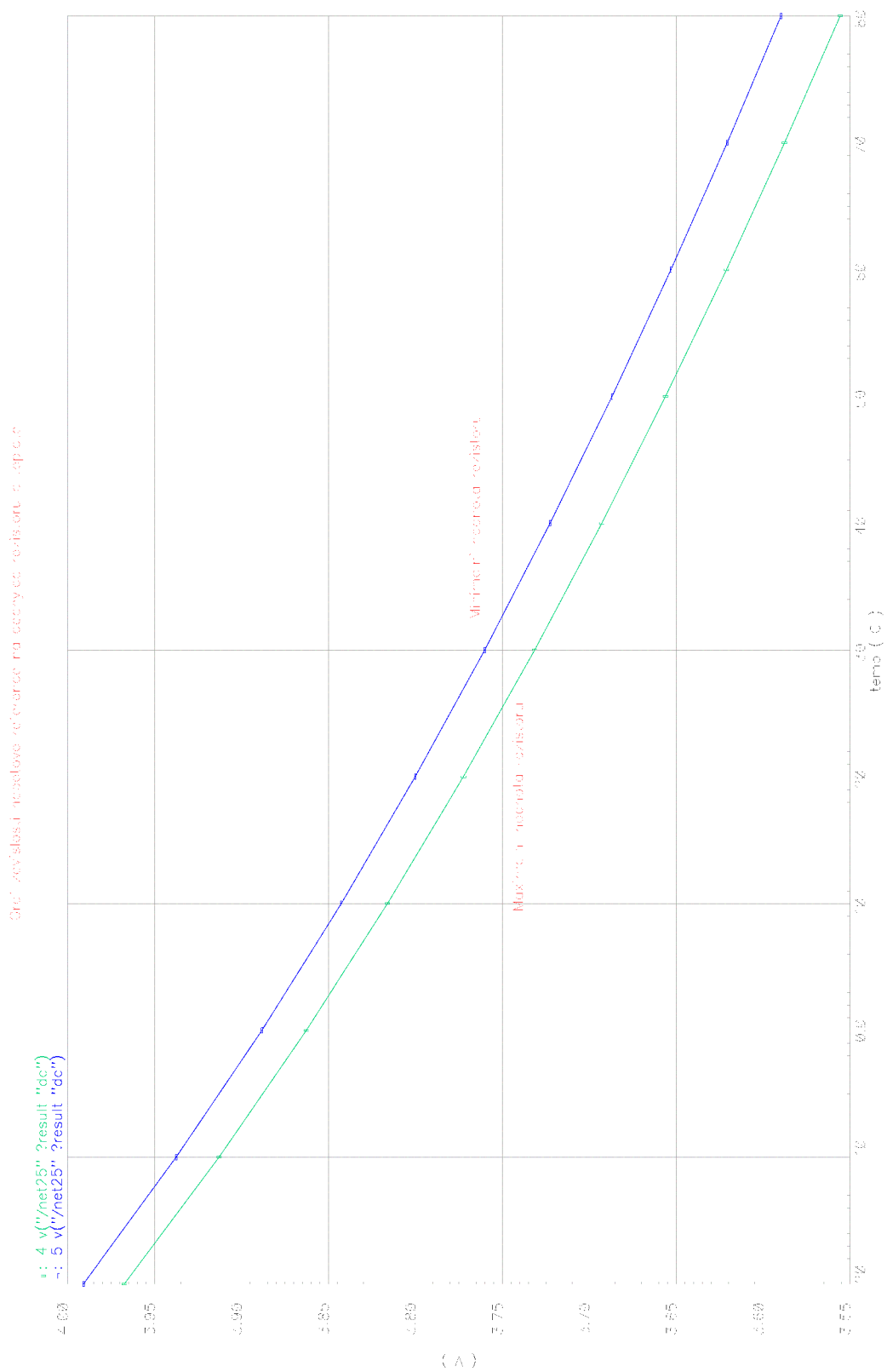


Obr. A.1: Blokové schéma navrženého zapojení

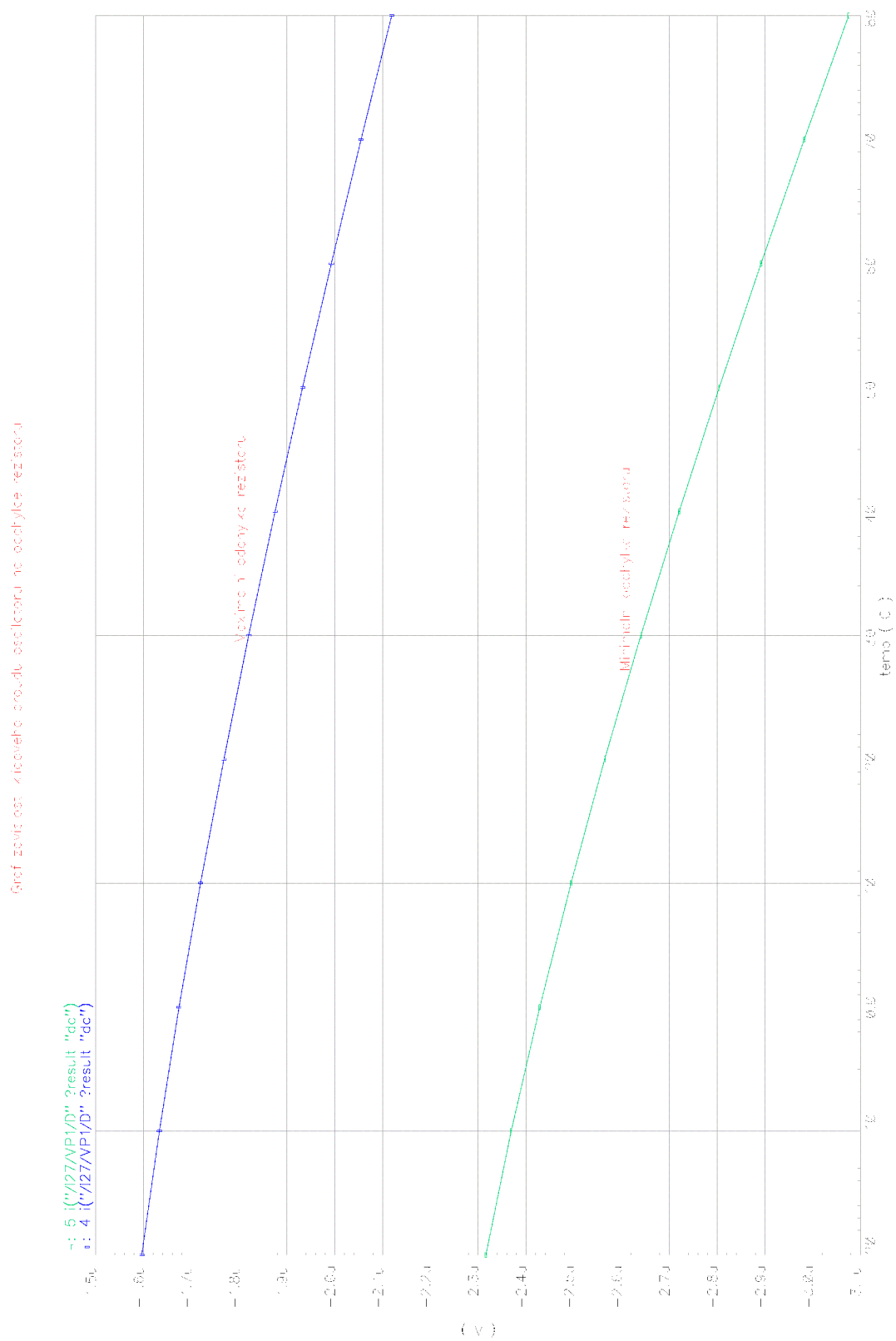
B DOPLŇUJÍCÍ SIMULACE V CADENCE VIR- TUOSO



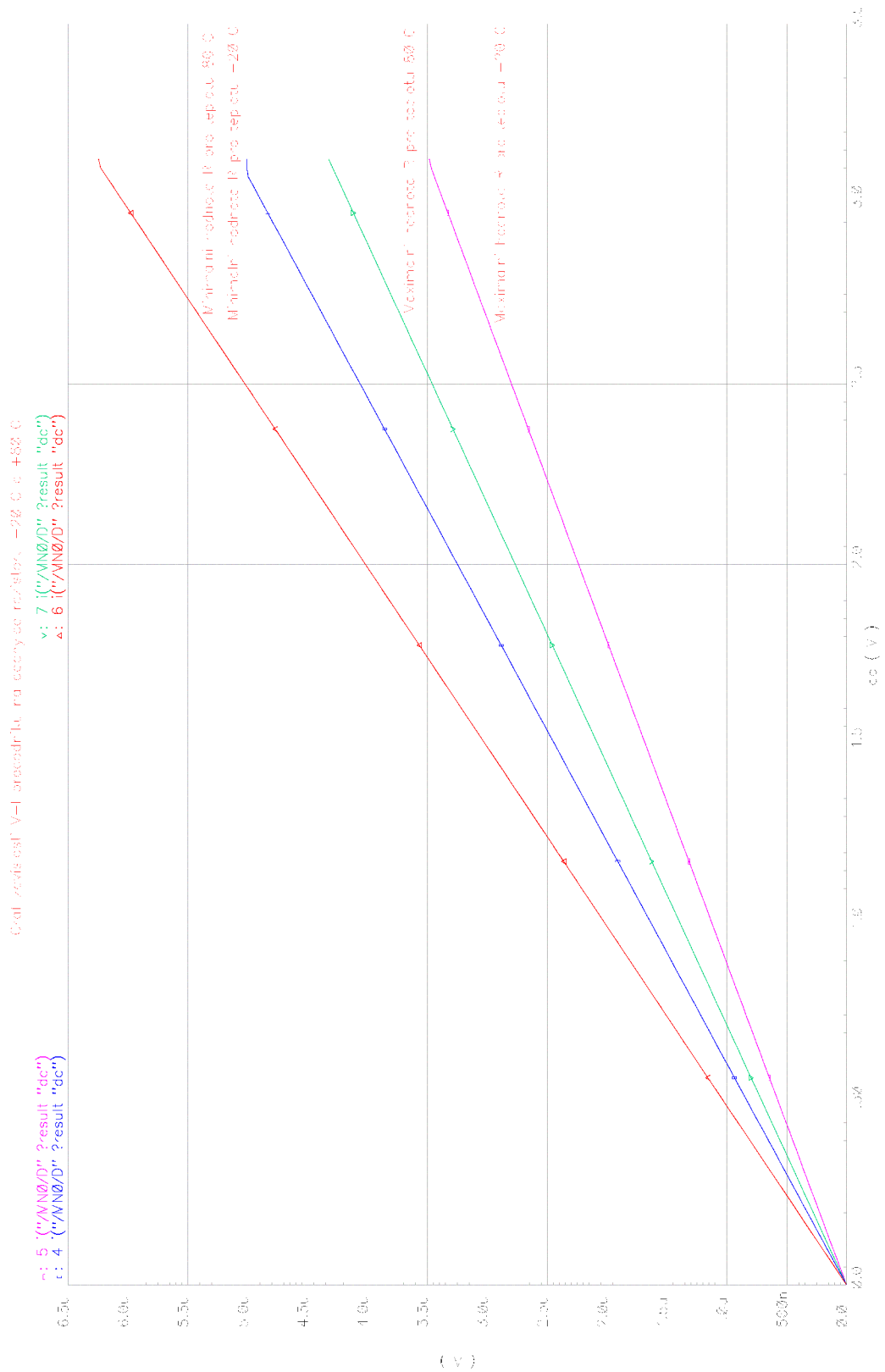
Obr. B.1: Simulace zdroje proudu nábojovou pumpou



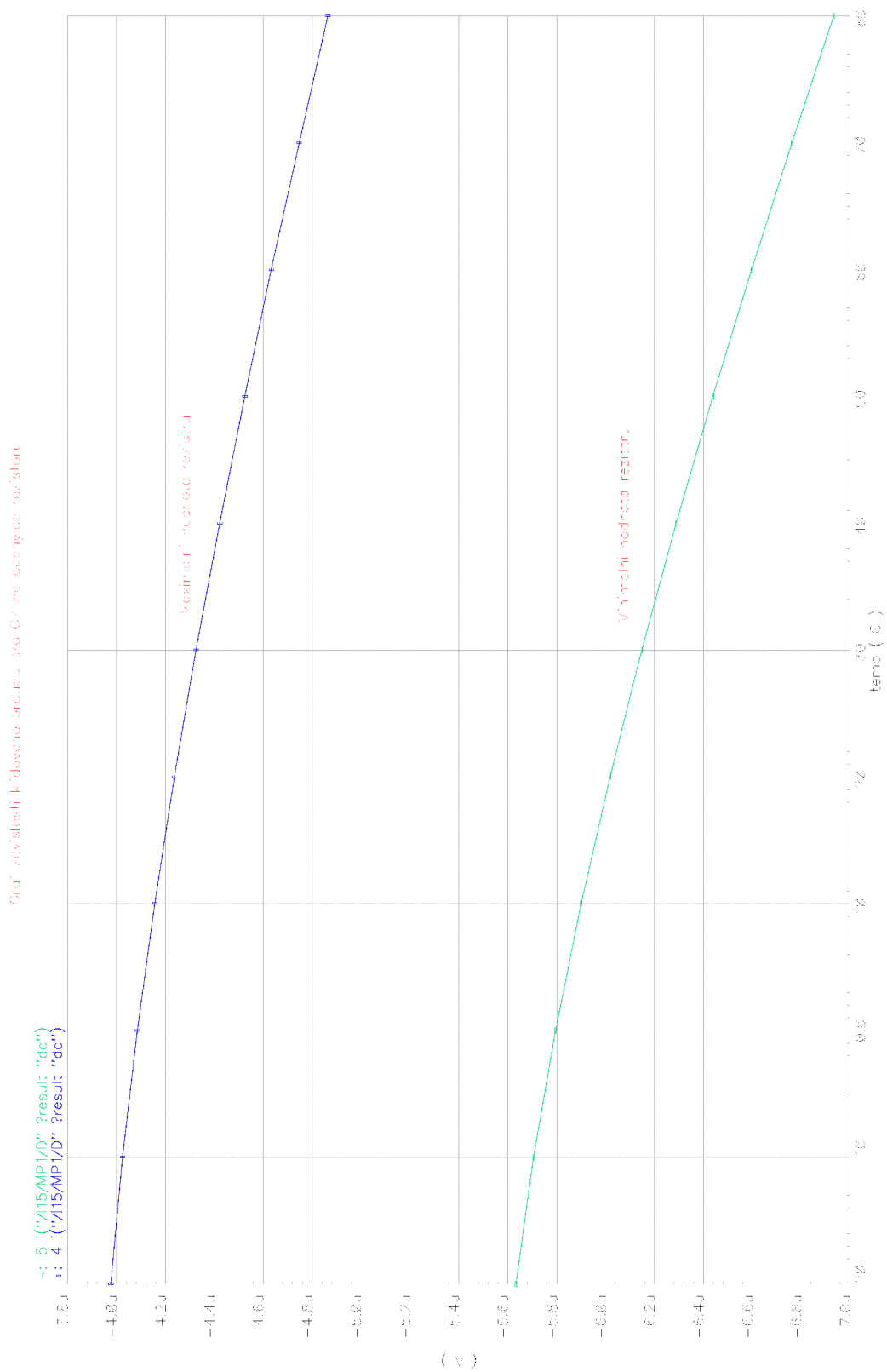
Obr. B.2: Simulace zdroje referenčního napětí 3,75 V



Obr. B.3: Simulace vlivu odchylky rezistorů na klidový proud oscilátorem



Obr. B.4: Simulace převodníku V->I



Obr. B.5: Simulace vlivu odchylky rezistorů na zdroj proudu pro operační zesilovače

C SIMULACE FILTRU SMYČKY

Pro simulaci filtru smyčky byl použit proud nábojovou pumpou $I_p = 0.5 \mu A$.

Model nábojové pumpy s kondenzátorem na výstupu:

AC Model filtru nabojove pumpy (kondenzator)

C_C1 0 5 10p

V_V1 6 0

+PULSE 0 0.5u 1n 1n 1n 31.25u 62.5u

R_R1 0 5 100000000MEG

V_V2 7 0 0

G_G1 7 8 6 0 1

X_W1 9 8 9 5 SCHEMATIC1_W1

.subckt SCHEMATIC1_W1 1 2 3 4

W_W1 3 4 VW_W1 _W1

VW_W1 1 2 0V

.MODEL _W1 ISWITCH Roff=100e6 Ron=1m Ioff=0.0mA Ion=0.5uA

.ends SCHEMATIC1_W1

.TRAN 1u 125u

.PLOT TRAN V(5)

.PROBE ;V(alias(*)) I(alias(*)) W(alias(*)) D(alias(*)) NOISE(alias(*))

.END

Model nábojové pumpy s filtrem na výstupu:

AC Model filtru nabojove pumpy (filtr)

C_C1 10 5 10p

C_C2 0 5 1p

R_R2 10 0 8.8MEG

V_V1 6 0

+PULSE 0 0 0.5u 1n 1n 1n 31.25u 62.5u

R_R1 0 5 100000000MEG

V_V2 7 0 0

G_G1 7 8 6 0 1

X_W1 9 8 9 5 SCHEMATIC1_W1

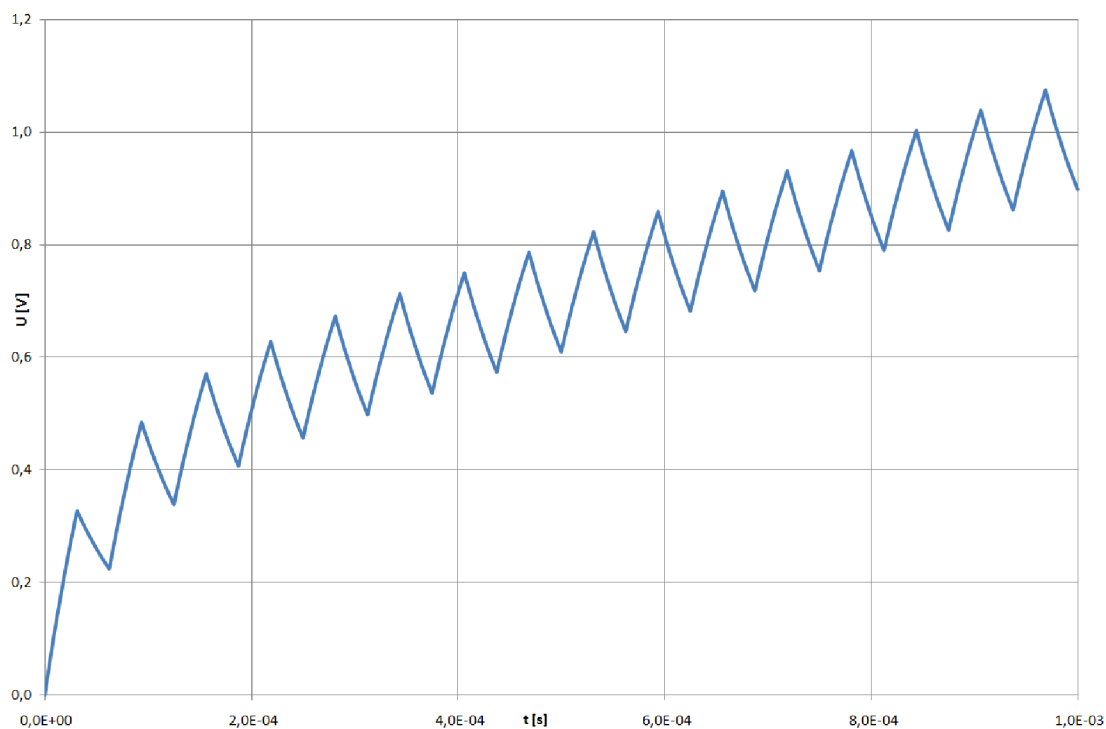
.subckt SCHEMATIC1_W1 1 2 3 4

W_W1 3 4 VW_W1 _W1

VW_W1 1 2 0V

```
.MODEL _W1 ISWITCH Roff=100e6 Ron=1m Ioff=0.0mA Ion=0.5uA
.ends SCHEMATIC1_W1
```

```
.TRAN 1u 125u
.PLOT TRAN V(5)
.PROBE ;V(alias(*)) I(alias(*)) W(alias(*)) D(alias(*)) NOISE(alias(*))
.END
```



Obr. C.1: Simulace filtru nábojové pumpy