



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

ZVUKOVÁ KARTA PRO PC S OBVODEM FPGA

FPGA BASED SOUND CARD FOR PC

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

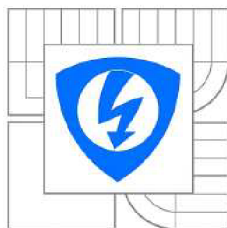
Bc. PAVEL ŠTRAUS

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. MICHAL KUBÍČEK, Ph.D.

BRNO 2011



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student: Bc. Pavel Štraus
Ročník: 2

ID: 72796
Akademický rok: 2010/2011

NÁZEV TÉMATU:

Zvuková karta pro PC s obvodem FPGA

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s možnými realizacemi AD převodníku přímo v obvodech FPGA. Vybranou realizaci AD převodníku implementujte a ověřte její vlastnosti.

Realizujte vybrané rozhraní obvodu FPGA s PC (PCI-Express, USB, Ethernet)

Vytvořte program pro PC schopný zachytávat zvuková data z navržené zvukové karty s FPGA.

DOPORUČENÁ LITERATURA:

[1] CHEUNG, R.C.C., PUN, K.P., YUEN, S.C.L., TSOI, K.H., LEONG, P.H.W. An FPGA-based re-configurable 24-bit 96kHz sigma-delta audio DAC. In Proceedings of IEEE International Conference on Field-Programmable Technology (FPT), 2003. pp. 110- 117. ISBN: 0-7803-8320-6

Termín zadání: 7.2.2011

Termín odevzdání: 20.5.2011

Vedoucí práce: Ing. Michal Kubíček, Ph.D.

prof. Dr. Ing. Zbyněk Raida
Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Diplomová práce je zaměřena na převod vstupního analogového napětí na digitální hodnotu, která je zasílána pomocí Ethernetového rozhraní do PC pomocí UDP datagramů. Převod je proveden pomocí Sigma–Delta převodníku prvního řádu a data po převodu jsou ve formě pulsně kódové modulace. Převodník se skládá z několika samostatných bloků. Některé bloky jsou realizovány mimo FPGA, jiné jsou naprogramovány pomocí jazyka VHDL a implementovány v FPGA. Příchozí UDP datagramy jsou zachyceny pomocí vytvořeného programu a data jsou uložena do textového souboru, který je dále zpracován v programu MATLAB. Takto navržený ADC může tvořit jednoduchou zvukovou kartu či sloužit k měření pomalu se měnících analogových signálů, které mohou být například výstupní napětí senzorů neelektrických veličin nebo napájecí napětí v systému.

Klíčová slova

FPGA, VHDL, ADC, Sigma–Delta převodník, UDP datagram

Abstrakt

This project deals with implementation of a first order Sigma–Delta AD converter on the FPGA. This ADC is design for an audio signal processing. ADC is build up partially from digital blocks implemented in FPGA (programmed using VHDL) and from few analog components placed external to FPGA. Output from ADC is PCM signal. Data from ADC is created UDP datagram, which is sent to PC via network connection. Income data are received in created program, which save data to text file. This text file is processing in MATLAB.

Key words

FPGA, VHDL, ADC, Sigma–Delta converter, UDP datagram

ŠTRAUS, P. *Zvuková karta pro PC s obvodem FPGA*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 46 s., 4 příl. Vedoucí diplomové práce Ing. Michal Kubíček, Ph.D..

Prohlášení

Jako autor diplomové práce na téma „Zvuková karta pro PC s obvodem FPGA ” dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne 20. května 2011

.....
podpis autora

Poděkování

Děkuji vedoucímu diplomové práce Ing. Michalu Kubíčkoví, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne 20. května 2011

.....
podpis autora

Obsah diplomové práce

ÚVOD	1
1 A/D PŘEVOD	3
1.1. VZORKOVÁNÍ	3
1.2. KVANTOVÁNÍ	4
1.3. KÓDOVÁNÍ PCM	5
2 A/D SIGMA-DELTA PŘEVODNÍK	6
2.1. OBVODOVÁ REALIZACE	6
2.2. VÝHODY A NEVÝHODY SIGMA-DELTA PRVNÍHO ŘÁDU	7
2.3. OBVODOVÁ SIMULACE IDEÁLNÍHO PŘEVODNÍKU	7
2.4. OBVODOVÁ SIMULACE REALIZOVANÉHO PŘEVODNÍKU	10
3 REALIZACE SIGMA-DELTA PŘEVODNÍKU	12
3.1. OBVODOVÁ REALIZACE V FPGA	12
3.2. DECIMÁTOR VE VHDL	13
3.3. ANALOGOVÁ VSTUPNÍ ČÁST	13
4 TCP/IP	15
4.1. MODEL TCP/IP	15
4.1.1. Vrstva síťového rozhraní	15
4.1.2. Síťová vrstva	16
4.1.3. Transportní vrstva	16
4.1.4. Aplikační vrstva	17
4.2. UDP PROTOKOL	17
4.2.1. Struktura UDP datagramu	17
4.2.2. Porty UDP datagramu	17
5 REALIZACE SÍŤOVÉHO ROZHRAŇÍ	18
5.1. ETHERNET_CONTROLLER	18
5.2. MAC_WRAPPER	20
5.3. VÝSLEDNÁ REALIZACE V FPGA	21
5.4. OVĚŘENÍ FUNKCE SÍŤOVÉHO ROZHRAŇÍ	21
6 PŘÍJEM UDP DATAGRAMŮ A INTERPRETACE DAT	24
6.1. PROGRAM PRO ZACHYTÁVÁNÍ UDP	24
6.2. ZPRACOVÁNÍ DAT V PROSTŘEDÍ MATLAB	25
7 STATICKE PARAMETRY REALIZOVANÉHO PŘEVODNÍKU	26
7.1. CHYBA OFFSETU	26
7.2. CHYBA ZESÍLENÍ	27
7.3. INTEGRÁLNÍ NELINEARITA	28
7.4. DIFERENCIÁLNÍ NELINEARITA	29
8 DYNAMICKÉ VLASTNOSTI PŘEVODNÍKU	30
8.1. ŠUMOVÝ PRÁH	30
8.2. ENOB PŘI VSTUPNÍM DC SIGNÁLU	33
8.3. ODSŤUP SIGNÁL-ŠUM	34
8.4. HARMONICKÉ ZKRESLENÍ	36
8.5. DYNAMICKÝ ROZSAH BEZ PARAZITNÍCH SLOŽEK	37
9 EXTERNÍ KOMPARÁTOR	38
9.1. SPECIFIKACE EXTERNÍHO KOMPARÁTORU	38
9.2. SIMULACE V PROGRAMU ORCAD	38

9.3.	ZPRACOVÁNÍ V PROGRAMU MATLAB.....	39
9.3.1.	<i>Stanovení šumového prahu a ENOB</i>	41
9.3.2.	<i>Stanovení poměru signál–šum</i>	43
9.3.3.	<i>Harmonické zkreslení</i>	43
9.3.4.	<i>Dynamický rozsah bez parazitních složek</i>	43
10	ZÁVĚR	44
	SEZNAM LITERATURY	45
	SEZNAM ZKRATEK	46
	SEZNAM PŘÍLOH	47
A	NÁVRH ZAŘÍZENÍ	48
A.1	OBVODOVÉ ZAPOJENÍ.....	48
A.2	DESKA PLOŠNÉHO SPOJE – TOP.....	48
A.3	DESKA PLOŠNÉHO SPOJE – BOTTOM.....	48
A.4	OSAZOVACÍ PLÁN – TOP.....	48
A.5	OSAZOVACÍ PLÁN – BOTTOM.....	49
B	SEZNAM SOUČÁSTEK	49
C	NÁVRH S EXTERNÍM KOMPARÁTOREM	50
C.1	OBVODOVÉ ZAPOJENÍ.....	50
C.2	DESKA PLOŠNÉHO SPOJE – TOP.....	50
C.3	DESKA PLOŠNÉHO SPOJE – BOTTOM.....	50
C.4	OSAZOVACÍ PLÁN – TOP.....	51
C.5	OSAZOVACÍ PLÁN – BOTTOM.....	51
D	SEZNAM SOUČÁSTEK PRO EXTERNÍ KOMPARÁTOR	51

Seznam obrázků

Obr. 1: Periodizace signálu o šířce pásma B	3
Obr. 2: Spektrum signálu (převzato z [2])	4
Obr. 3: Kvantování signálu	4
Obr. 4: Blokové schéma Sigma-Delta modulátoru prvního řádu (převzato z [2])	6
Obr. 5: Kvantovací šum jiných převodníků (převzato z [2])	7
Obr. 6: Přenosová funkce šumu Sigma-Delta převodníku (převzato z [2])	7
Obr. 7: Schéma pro simulaci	8
Obr. 8: Výsledky simulace ideálního S-D převodníku	9
Obr. 9: Výsledky simulace s hodinovým signálem 8,192 MHz	10
Obr. 10: Změna integračního článku	10
Obr. 11: Výsledky simulace po přesunutí RC článku	11
Obr. 12: Zapojení bez decimátoru	12
Obr. 13: Výsledné schéma zapojení v FPGA	13
Obr. 14: Zapojení RC článku	14
Obr. 15: Ethernetový rámec (převzato z [6])	15
Obr. 16: IP datagram (převzato z [6])	16
Obr. 17: Hlavička UDP datagramu (převzato z [6])	17
Obr. 18: Modul Ethernet_controller	18
Obr. 19: Paměť RAM	19
Obr. 20: Nastavení simulace	20
Obr. 21: Datová část UDP datagramu	20
Obr. 22: Výsledné zapojení MAC wrapperu	20
Obr. 23: Výsledné zapojení v FPGA	21
Obr. 24: Program Wireshark	22
Obr. 25: Program Wireshark – parametry datagramu	22
Obr. 26: Program pro zachytávání UDP datagramů	24
Obr. 27: Uložení textového souboru	25
Obr. 28: Ideální a reálná převodní charakteristika	26
Obr. 29: Chyba offsetu	27
Obr. 30: Aproximace chyby zesílení	28
Obr. 31: Integrální nelinearita	28
Obr. 32: Diferenciální nelinearita	29
Obr. 33: Zkratovaný vstupní signál zobrazen v čase	30
Obr. 34: Amplitudové spektrum šumu	31
Obr. 35: Histogram	32
Obr. 36: Gaussovo rozložení šumu	33
Obr. 37: Vstupní harmonický signál	34
Obr. 38: Spektrum harmonického signálu 1kHz	35
Obr. 39: Zobrazení SNR	36
Obr. 40: Výpočet parametru SFDR	37
Obr. 41: Hysterezní smyčka externího komparátoru (převzato z [17])	38
Obr. 42: Schéma pro simulaci TLV3502	38
Obr. 43: Výsledek simulace s reálným komparátorem	39
Obr. 44: Porovnání signálů v časové oblasti	40
Obr. 45: Porovnání amplitudových spekter	41
Obr. 46: Amplitudové spektrum pro externí komparátor a zkratovaný vstup	42
Obr. 47: Histogram hodnot šumu externího komparátoru	42

Seznam tabulek

Tabulka 1: Vrstvy modelu TCP/IP	15
Tabulka 2: Hodnoty harmonických složek	36
Tabulka 3: Určení hodnot harmonického zkreslení	43

Úvod

Obvody FPGA (Field Programmable Gate Array; hradlové pole) neobsahují analogově-digitální převodníky, pro převod analogového signálu je nutné použití externích ADC (Analog-Digital Converter; analogově-digitální převodník). Diplomová práce obsahuje možné řešení implementace převodníku analogového signálu na digitální signál pomocí Sigma-Delta převodníku prvního řádu. Výhodou tohoto zapojení je jednoduchá realizace pomocí FPGA a několika externích pasivních součástek. Byl realizován 8bitový ADC a data po převodu jsou vyjádřena pomocí nekomprimované pulsně kódové modulace. Jednotlivé hodnoty po převodu jsou následně uloženy do UDP (User Datagram Protocol; protokol používaný transportní vrstvou modelu TCP/IP) datagramu, který je pomocí síťového rozhraní zaslán do počítače. Kontrola příjmu dat je provedena programem Wireshark. Samotný příjem dat je pomocí vytvořeného programu, který byl naprogramován v jazyce C++. Program ukládá data do textového souboru, který je dále zpracován v programu MATLAB. Diplomová práce je řešena na vývojové desce ML505 s obvodem FPGA Virtex-5.

Diplomová práce je členěna do 10 kapitol, kde v první kapitole je popsán základní princip převodu analogového signálu na digitální.

Ve druhé kapitole je popsán samotný princip Sigma-Delta modulace. Je zde uvedeno blokové schéma Sigma-Delta převodníku prvního řádu a následně podrobně popsány jednotlivé bloky. Tento obvod byl simulován pomocí programu OrCAD a výsledky simulací jsou zobrazeny v této kapitole.

Ve třetí kapitole je popsána samotná realizace Sigma-Delta převodníku pomocí programovatelného hradlového pole, tedy obvodu FPGA.

Čtvrtá kapitola se věnuje modelu TCP/IP. Je zde uvedena struktura Ethernetového rámce, IP datagramu a UDP datagramu, pomocí kterého jsou data zasílána do PC.

Pátá kapitola se věnuje samotné realizaci síťového rozhraní a ověření funkčnosti zasílání UDP datagramů z vývojové desky ML505 do počítače. Ověření bylo provedeno pomocí programu Wireshark.

Šestá kapitola se věnuje příjmu UDP datagramů pomocí vytvořeného programu a interpretaci získaných dat pomocí programu MATLAB.

Sedmá kapitola obsahuje statické parametry vytvořeného 8bitového převodníku, kterými jsou chyba offsetu, chyba zesílení a chyba linearity. Chyba linearity je určena pomocí diferenciální a integrální nelinearity.

V osmé kapitole jsou uvedeny dynamické parametry realizovaného převodníku. Vybrané změřené parametry jsou SNR (Signal to Noise Ratio; odstup signál-šum), THD (Total Harmonic Distortion; harmonické zkreslení) a SFDR (Spurious free dynamic range; dynamický rozsah bez parazitních složek). Pro určení vybraných dynamických chyb bylo nutné změřit šumový práh, kde změření tohoto parametru je obsaženo v úvodu této kapitoly. Tato kapitola také obsahuje změření dynamického parametru, který vyjadřuje efektivní počet bitů. Tento parametr byl změřen pro stejnosměrný vstupní signál.

Předposlední kapitola je zaměřena na porovnání digitálních komparátorů. Ideální zapojení Sigma–Delta převodníku prvního řádu obsahuje diferenční zesilovač. Při realizaci byl tento obvod nahrazen velmi rychlým digitálním komparátorem, který je součástí použitého obvodu FPGA. Tento komparátor je realizován komponentou IBUFDS. K porovnání integrovaného komparátoru byl zvolen externí komparátor od firmy TI (Texas Instrument). Vybrané parametry externího komparátoru jsou umístěny v této kapitole. Dále jsou v této kapitole opět uvedeny dynamické parametry převodníku při použití externího komparátoru. Pro toto měření byla vytvořena nová deska plošného spoje, na které byl umístěn tento digitální komparátor.

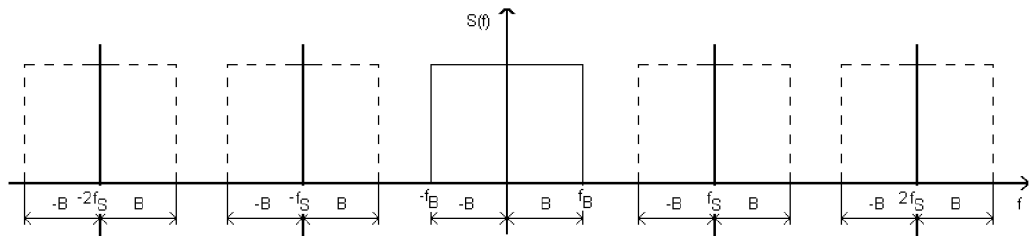
Poslední kapitola obsahuje zhodnocení diplomové práce. Mezi dané zhodnocení patří také porovnání dynamických parametrů při realizaci s externím komparátorem od firmy TI a interním komparátorem obsaženým v obvodu FPGA.

1 A/D převod

Pro převod analogových signálů na digitální je nutné vstupní analogový signál upravit. Touto úpravou je myšleno vzorkování a kvantování vstupního analogového signálu. Možný způsob zpracování vzorkovaného a kvantovaného signálu je vyjádření hodnot pomocí pulsně kódové modulace, kde každá hodnota po převodu je zapsána pomocí nekomprimované binární hodnoty.

1.1. Vzorkování

Vzorkování je úprava signálu v časové oblasti, kdy ze spojitého signálu vytvoříme signál diskrétní. Vstupní spojitý signál má určitou šířku pásma, kterou si označíme B . Touto šířkou pásma je dán i maximální kmitočet vstupního signálu. Podle Nyquistova kritéria je nutné, aby vzorkovací kmitočet byl minimálně dvojnásobný než maximální frekvence užitečného signálu. Vlivem vzorkování se periodizuje spektrum viz Obr. 1.



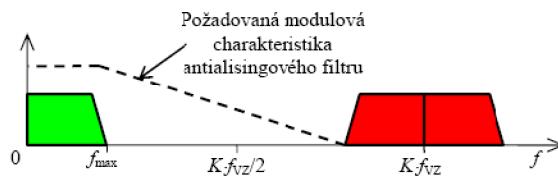
Obr. 1: Periodizace signálu o šířce pásma B

Složky na vyšších kmitočtech je tedy nutné odstranit pomocí filtru typu dolní propust. Kdyby zde tento filtr nebyl, jednotlivé složky spektra by se spojily a celková amplituda na dané spektrální složce by byla vyšší, než je ve skutečnosti. Aby nedošlo k aliasingu, je nutné brát v úvahu Nyquistovo kritérium. To nám říká, že vzorkovací frekvence signálu musí být alespoň dvojnásobná, než je nejvyšší hodnota vstupního signálu.

$$f_{VZ} \geq 2 \cdot f_{SIG} \quad (1)$$

Kde f_{VZ} je vzorkovací frekvence a f_{SIG} je maximální možná frekvence vstupního signálu. [1]

U Sigma-Delta převodníku je Nyquistovo kritérium dostatečně splněno, vzorkovací frekvence je mnohonásobně vyšší než maximální frekvence vstupního signálu. Pro určení kolikrát je vzorkovací frekvence vyšší, než dvojnásobná maximální frekvence signálu, byl zaveden koeficient převzorkování, který je v literatuře označován OSR. Čím vyšší bude koeficient převzorkování, tím věrohodnější signál bude na výstupu decimátoru. Koeficienty převzorkování se pohybují v řádu stovek. Výsledná hodnota převzorkování určuje požadavek na vstupní filtr typu dolní propust, kdy je analogový signál ještě před vstupem do diferenčního zesilovače upraven. Nárok na přechod tohoto filtru z pásma propustných kmitočtů do pásma zadržovaných je nízký viz Obr. 2. [2]



Obr. 2: Spektrum signálu (převzato z [2])

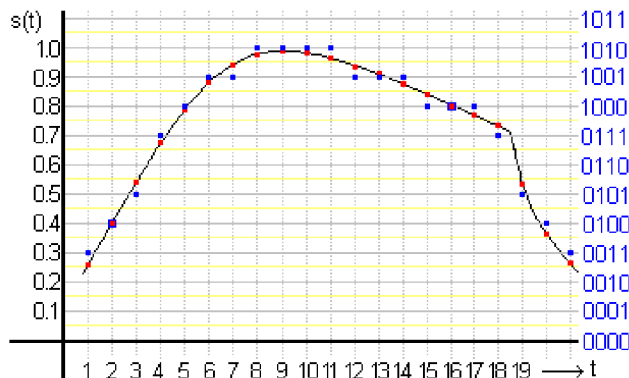
Pro splnění Nyquistova kritéria je vzorkovací frekvence rovna pouze dvojnásobku nejvyšší frekvence vstupního signálu. Koeficient převzorkování je pro tento případ roven jedné. Výsledný vztah pro výpočet OSR je

$$OSR = \frac{f_{VZ}}{2 \cdot f_{SIG}} \quad (2)$$

Kde f_{VZ} je vzorkovací frekvence a f_{SIG} je maximální frekvence vstupního signálu. U realizovaného převodníku při maximální frekvenci vstupního signálu 16 kHz a vzorkovací frekvenci 8,192 MHz je výsledný parametr OSR roven 256. [1]

1.2. Kvantování

Pro úpravu amplitudy se používá kvantování signálu. Amplituda spojitého vstupního signálu se přiřadí do jednotlivých kvantizačních úrovní. Pro 8bitový převod je celkem 2^8 kvantizačních úrovní, což odpovídá maximální hodnotě 255. Vzorkování signálu probíhá ve stejném časovém intervalu, který určí digitální hodnotu převodu přiřazením spojitého signálu do příslušné kvantizační hladiny v daných časových intervalech. Tímto krokem může být zavedena kvantizační chyba, která nastane, když hodnota spojitého signálu v době vzorkování není přesně na dané kvantizační úrovni. Chyba dosahuje maximálně poloviny kvantizační úrovně viz Obr. 3, kde červené body jsou hodnoty spojitého signálu při vzorkování a modré body jsou hodnoty kvantizačních hladin, které určují hodnotu výsledného digitálního signálu.



Obr. 3: Kvantování signálu

Na obrázku 3 je 21 bodů, které nám vytvoří digitální signál. Osa x je časová osa, kde jednotka není uvedena. Bude-li čas na této ose v milisekundách, pak vzorkovací frekvence signálu bude 1 kHz. Na ose y jsou hodnoty zobrazeného signálu $s(t)$. Uvažujme amplitudu signálu, tedy jednotka osy y bude uvedena ve Voltech. Počet kvantizačních hladin je roven hodnotě 11, kde nulová hodnota signálu $s(t)$ odpovídá po kvantizaci digitální hodnotě 0. Kvantujeme pouze na 4 bity, maximální hodnota je 15. Z celkových 21 hodnot máme pouze dvě hodnoty, kde úroveň kvantizační hladiny odpovídá velikosti signálu. Tyto hodnoty jsou v obrázku znázorněny pomocí červeného

čtverce, který je rámovaný modrým čtvercem. U těchto hodnot je minimální kvantizační šum. Maximální hodnota kvantizačního šumu je 0,05 V, což odpovídá jedné polovině velikosti kvantizační hladiny.

1.3. Kódování PCM

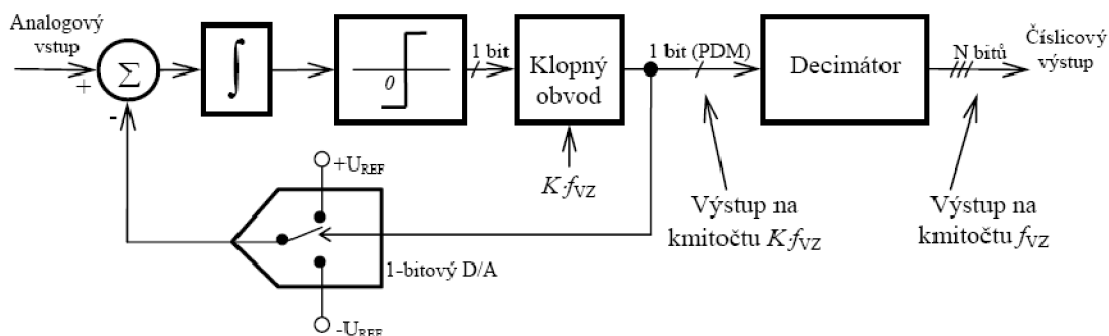
Pulsně kódová modulace (PCM) slouží pro převedení analogového signálu na nekomprimovaný digitální signál. Výsledkem je vyjádření hodnoty analogového signálu v binárním kódu. Na Obr. 3 jsou kódové hodnoty zobrazeny pomocí 4bitového vyjádření. První změřená hodnota napětí je 0,26 V a je přiřazena kvantizační úrovni 0,3 V. Tato hodnota odpovídá PCM hodnotě $(0011)_B$. Následující hodnota spojitého signálu je 0,4 V, vyjádřená binárně $(0100)_B$. V této analogii pokračujeme až do hodnoty v čase 21, výsledná hodnota po převedení signálu $s(t)$ pomocí PCM je následující: $(0011\ 0100\ 0101\ 0111\ 1000\ 1001\ 1001\ 1010\ 1010\ 1010\ 1010\ 1001\ 1001\ 1001\ 1000\ 1000\ 1000\ 0111\ 0101\ 0100\ 0011)_B$, tento zápis je zdlouhavý a nepřehledný, převedeme jej do hexadecimálního vyjádření. Výsledek převodu je následující $(3457899AAAA9998887543)_H$ a je vyjádřen pomocí pulsně kódové modulace.

2 A/D Sigma–Delta převodník

Sigma–Delta převodník převede vstupní analogový signál na digitální. Jeho obvodové zapojení je jednoduché, to je hlavní výhoda tohoto převodníku, který vychází z modulace delta. [2]

2.1. Obvodová realizace

Základem je diferenční zesilovač, integrátor, komparátor a záchytný registr. Toto jednoduché uspořádání je dostačující pro vytvoření Sigma–Delta převodníku prvního řádu viz Obr. 4. Sigma–Delta označení vzniklo z daného zapojení. Sigma znamená součet a tento člen je realizován pomocí integrace, tedy integrátoru. Zatímco delta je označení pro změnu, v tomto případě se myslí rozdíl. Tento rozdíl je realizován pomocí diferenčního zesilovače.

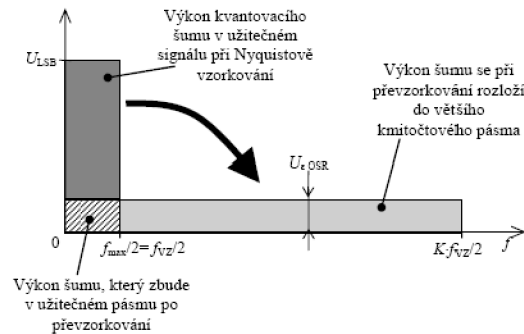


Obr. 4: Blokové schéma Sigma–Delta modulátoru prvního řádu (převzato z [2])

Analogový signál je přiveden na pozitivní vstup diferenčního zesilovače. Na negativním vstupu je možná pouze hodnota \pm referenčního napětí. Výstupní signál z diferenčního zesilovače je přiveden do integrátoru. Výstup z integrátoru je vyjádřen pomocí kladné hodnoty napětí nebo záporné hodnoty napětí. Dále je zařazen komparátor, který je nastaven pro průchod nulovým napětím. Pokud výstup z integrátoru je kladný, komparátor bude mít na svém výstupu hodnotu log. 1. Pokud bude výstup z integrátoru záporný, výstup z komparátoru bude mít úroveň log. 0. Za komparátorem je zařazen klopný obvod typu D. Tento obvod s každou náběžnou hranou hodinového signálu zachytí na svém vstupu aktuální hodnotu a tuto hodnotu přesune na výstup. Ta se změní až s další náběžnou hranou hodinového signálu. Výstup klopného obvodu může být změněn pouze s periodou vzorkovacího signálu. Výstupní hodnota klopného obvodu je dána ve zpětné vazbě na negativní vstup diferenčního zesilovače a dále je zpracována decimátorem, který v závislosti na požadovaném rozlišení počítá s periodou vzorkovacího signálu počet vzorků a zjišťuje, kolik vzorků má hodnotu log. 1. Tento počet tvoří hodnotu výstupního napětí reprezentovanou digitální hodnotou. [2]

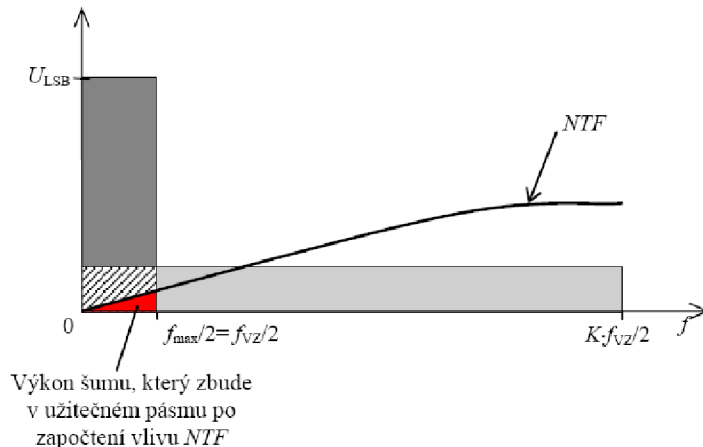
2.2. Výhody a nevýhody Sigma–Delta prvního řádu

Převod pomocí Sigma–Delta má unikátní vlastnost a to skutečnost, že tvaruje šum neužitečného signálu. Důležité je ředění šumové hustoty výkonu ve spektru vlivem převzorkování vysokou frekvencí. Pro jiné převodníky platí, že velikost kvantovacího šumu je dána rozlišením převodníku a bývá určena hodnotou nejméně významného bitu viz Obr. 5. [2]



Obr. 5: Kvantovací šum jiných převodníků (převzato z [2])

U převodníku Sigma–Delta vlivem přesunutí na vzorkovací frekvenci dojde k rozprostření výkonové hustoty kvantovacího šumu, které nám tento šum značně potlačí než převodníky jiného typu viz Obr. 6, kde NTF vyjadřuje přenosovou funkci šumu. [2]



Obr. 6: Přenosová funkce šumu Sigma-Delta převodníku (převzato z [2])

Nevýhodou je vznik rušivých tónů. Tyto tóny vznikají především při přivedení stejnosměrné složky napětí na vstup. Dále zde platí, že čím více se bude shodovat amplituda vstupního stejnosměrného signálu s referenčním napětím, bude vznik těchto tónů nižší. Tento jev se nevyskytuje při přivedení proměnného signálu. Rušivé signály se dají odstranit použitím modulátorů vyšších řádů. [2]

2.3. Obvodová simulace ideálního převodníku

Před samotnou realizací proběhla obvodová simulace pomocí programu OrCAD. Vstupním signálem byl harmonický signál o frekvenci 10 kHz. Pro zobrazení jedné vlny

je potřebný čas simulace 100 μ s. Tento signál je přiveden na pozitivní vstup diferenčního zesilovače. Na negativním vstupu je výstupní signál z D klopného obvodu. Tento signál je dvouúrovňový a stavy na něm jsou pouze 0 V, pokud na výstupu D klopného obvodu je log. 0, nebo hodnota maximální úrovně amplitudy při výstupu log. 1. Při použití 2,5 V logiky je maximální hodnota právě zmíněných 2,5 V. Výstupní signál z diferenčního zesilovače je přiveden na integrační RC článek, který zde plní funkci součtu. Tento prvek může být ve schématu zařazen za diferenčním zesilovačem, nebo před negativním vstupem diferenčního zesilovače.

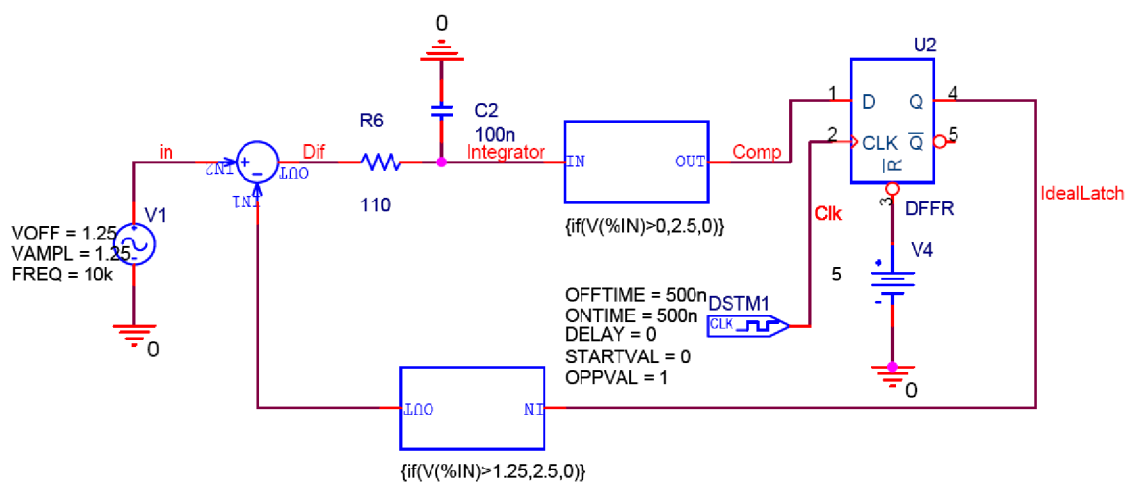
Integrační RC článek má časovou konstantu vypočítanou podle rovnice:

$$\tau = RC \quad (3)$$

Kde R je hodnota rezistoru a C je hodnota kondenzátoru. [10]

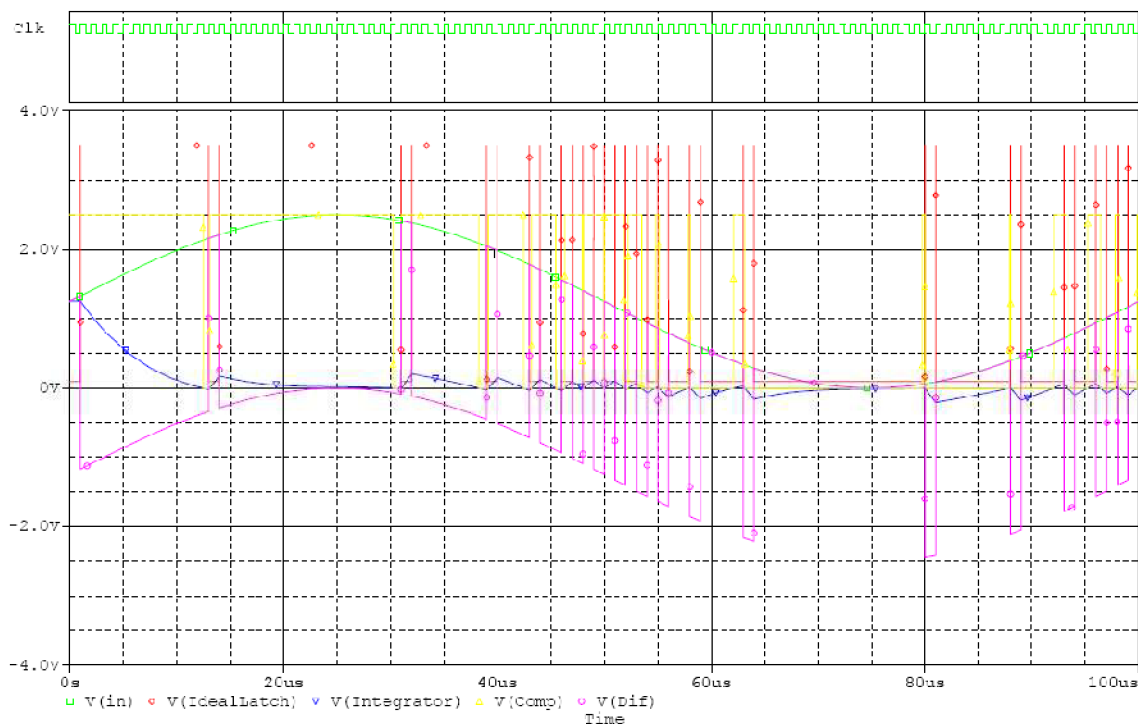
Je-li vstupním signálem RC článku obdélníkový signál, pak výstupní signál nebude obsahovat vysokofrekvenční složky, protože nepřenáší skokovou změnu napětí. Integrační doba realizovaného RC článku říká, jaká je odezva na skokovou změnu vstupního napětí. Pro rozsah změny vstupního napětí danou od 10 % do 90 % je potřebný čas dán $2,3 \tau$. [10] Navržený RC článek má zvolenou hodnotu odporu 110 Ω a hodnotu kondenzátoru 100 nF. Výsledná časová konstanta je 11 μ s. Navržený integrační článek bude reagovat na změnu vstupního signálu do frekvencí 90,909 kHz. Změna vstupního signálu se předpokládá do frekvence 16 kHz, tedy RC článek splňuje požadavky audio pásma.

Simulace byla provedena podle zapojení z Obr. 4. Za integračním článkem následuje komparátor a klopný obvod D. Hodinový signál pro vzorkování je 1 MHz. Výsledné schéma zapojení pro obvodovou simulaci viz Obr. 7.



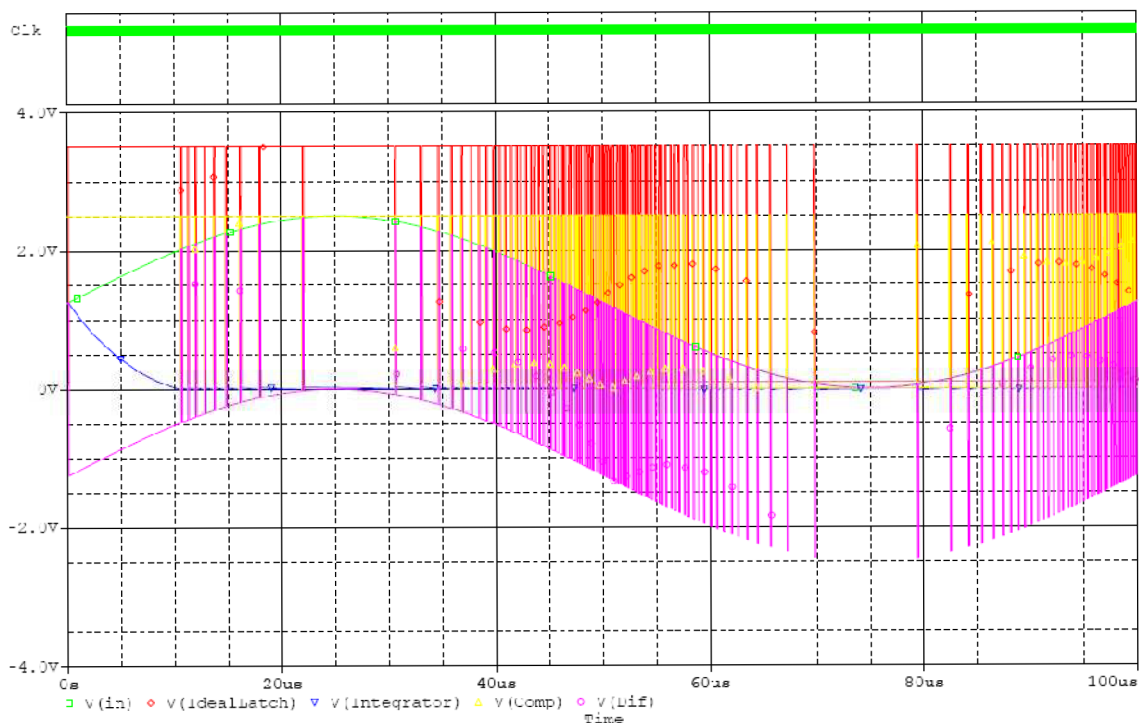
Obr. 7: Schéma pro simulaci

Komparátor a DAC jsou nahrazeny komponentou ABM1, která pomocí podmínky umožňuje nastavit výstupní napětí. Podmínka zapsaná pro komparátor je ve tvaru {if(V(%IN) > 0,2.5,0)}. Pokud je vstupní napětí na vstupu komponenty ABM1 větší než 0 V, pak je výstupní napětí rovno 2,5 V. Pokud je vstupní napětí menší nebo rovno 0 V, pak je výstupní napětí 0 V. Výsledky simulace ze zapojení z Obr. 7 jsou zobrazeny viz Obr. 8.



Obr. 8: Výsledky simulace ideálního S–D převodníku

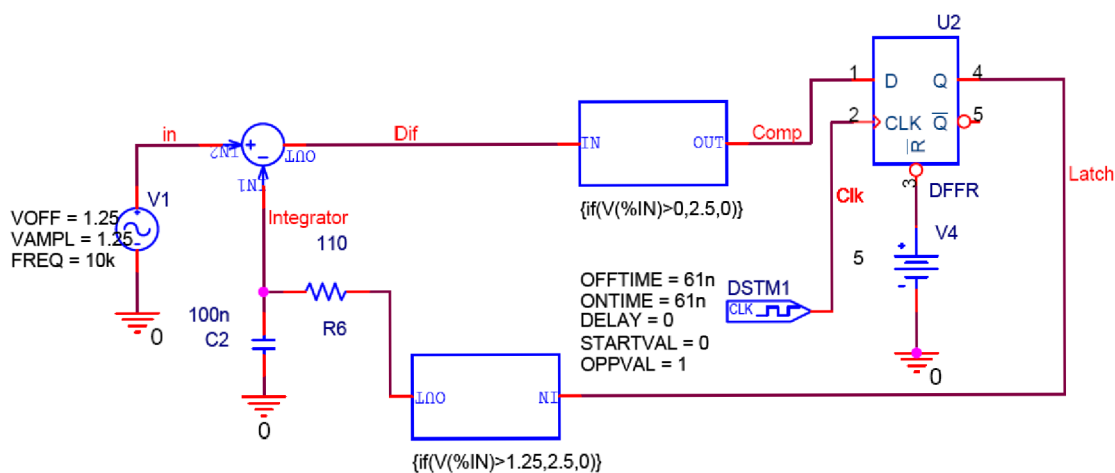
Vstupní signál je označen V(In) a je generován pomocí VSIN. Amplituda tohoto signálu je 1,25 V a stejnosměrný offset je nastaven také na 1,25 V. Tento signál je přiveden do diferenčního zesilovače. Na výstupu tohoto zesilovače je integrační člunek tvořený jednoduchým zapojením RC člunku. Výstupní signál z tohoto RC člunku je pojmenován V(Integrator) a tento signál je dále upraven pomocí komparátoru, který upraví hodnoty z RC člunku. Výstupem komparátoru jsou hodnoty pouze 0 V, které odpovídají hodnotě log.0, nebo 2,5 V, které odpovídají hodnotě log.1. Za komparátorem je klopný obvod typu D, který s každou náběžnou hranou hodinového signálu převede vstupní hodnotu na výstup. Signál V(Latch) je vstupním signálem pro decimátor, který je umístěn v obvodu FPGA. Pokud zvýšíme frekvenci hodinového signálu, dostaneme více hodnot na výstupu za jednu sekundu. Pokud požadujeme 32 kB dat za sekundu a máme k dispozici 8bitový převodník, musí být vzorkovací frekvence 8,192 MHz, protože jeden byte dat bude na výstupu převodníku vždy po 256 periodách hodinového signálu. Výsledky simulace pro frekvenci hodinového signálu 8,192 MHz jsou na Obr. 9.



Obr. 9: Výsledky simulace s hodinovým signálem 8,192 MHz

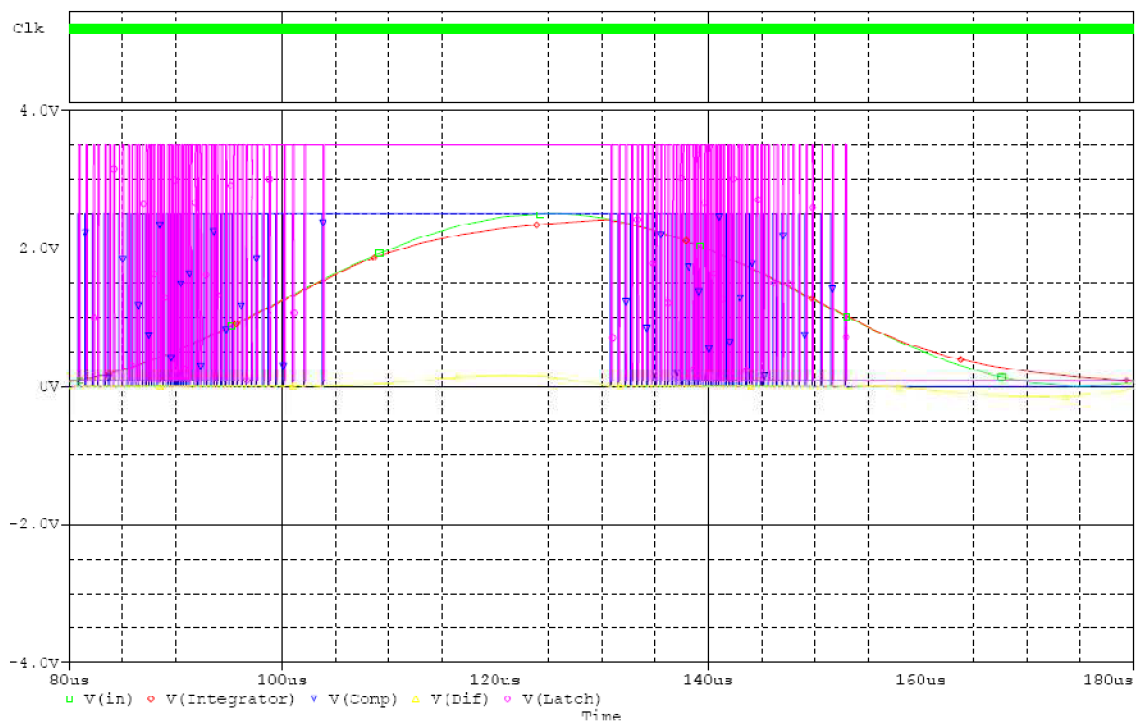
2.4. Obvodová simulace realizovaného převodníku

Pro realizaci bylo upraveno zapojení S–D převodníku a to následujícím způsobem. Byl přesunut integrační člen za výstup jednobitového DAC, tedy před negativní vstup diferenčního zesilovače a to z důvodu odstranění záporných hodnot signálu $V(\text{Integrator})$ viz Obr. 10.



Obr. 10: Změna integračního článku

Výsledky simulace jsou zobrazeny viz Obr. 11.



Obr. 11: Výsledky simulace po přesunutí RC článku

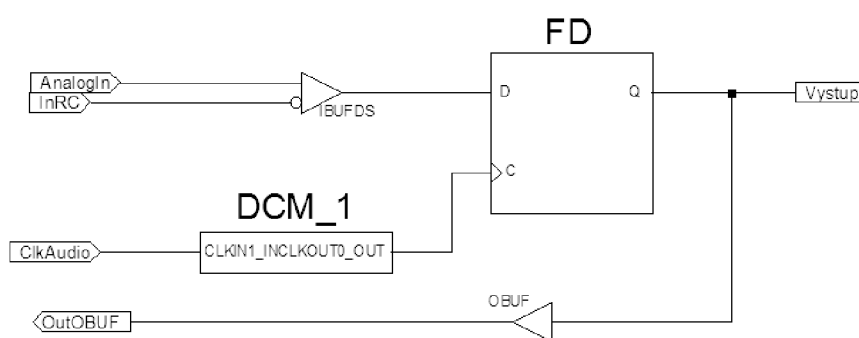
Simulace byla provedena pro ideální Sigma-Delta převodník. Pro reálnou realizaci bude mít významnou roli vnitřní odpor vstupu LVDS obvodu FPGA, který realizuje diferenční zesilovač. Tento odpor změní časovou konstantu integrátoru. [10]

3 Realizace Sigma–Delta převodníku

Sigma–Delta převodník prvního řádu pro převod analogového signálu na digitální je realizován pomocí FPGA Virtex–5 XC5VLX50T. Tento obvod je programován pomocí software Xilinx ISE. Vývojová deska ML505 obsahuje dané FPGA. Výhodou je především vyvedení diferenčních vstupů na patici, která je u vývojové desky přístupná. Z tohoto důvodu byla vytvořena deska plošného spoje, která byla navržena pro umístění na danou patici. Pro realizaci byl vybrán 8bitový převodník.

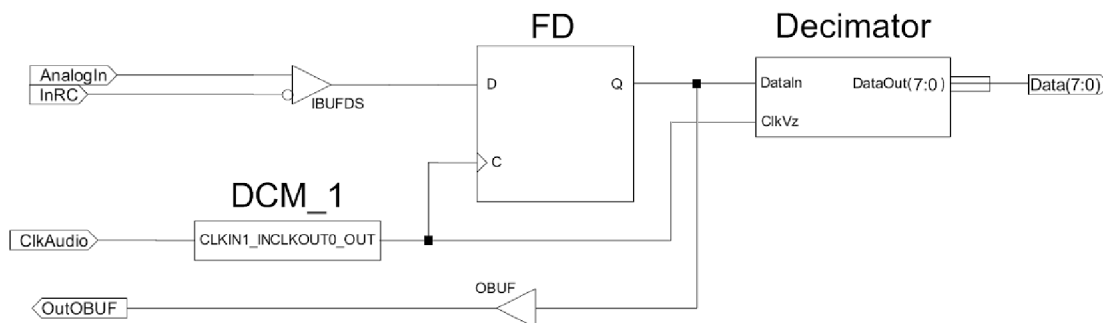
3.1. Obvodová Realizace v FPGA

V software Xilinx ISE byl vytvořen nový projekt, který bude realizovat navržený převodník. Vrcholová jednotka projektu je typu Schematic, ve kterém je nakresleno následující schéma viz Obr. 12.



Obr. 12: Zapojení bez decimátoru

Obvod FD zastává funkci klopného obvodu typu D. Obvod IBUFDS zde plní funkci diferenčního zesilovače. Obvod OBUF je jednobitový DA převodník, který při vstupní digitální hodnotě log. 1 bude mít výstup označený OutOBUF na hodnotě 2,5 V. Pokud je na vstup OBUF přivedena log. 0, pak na výstupu bude hodnota napětí 0 V. Výstup OutOBUF je připojen na externí RC článek, který plní funkci integrátoru. Výstup z RC článku je zpět přiveden do FPGA na vstup označený InRC. Klopný obvod má nastavenou vzorkovací frekvenci pomocí modulu DCM_1. Tento modul byl vygenerován pomocí IP_Core PLL_AVD. Přivedený vstupní hodinový signál je upraven pomocí fázového závěsu na výstupní hodinový signál o jiné frekvenci, která je daná hodnotou podílu vstupního hodinového signálu. Vstupní hodinový signál je 24,576 MHz a výstupní hodinový signál je 8,192 MHz. Z výstupu klopného obvodu D jde pouze jednobitový, podle vzorkovací frekvence měnící se, signál. Proto je nutné za klopný obvod D připojit Decimátor, který bude podle daného rozlišení počítat takty, tedy celkový počet log. 0 a log. 1 na výstupu klopného obvodu D. Výstup z Decimátoru je již n–bitový podle naprogramování a tento digitalizovaný vstupní signál je dále zpracován. Schéma zapojení navrženého Sigma-Delta převodníku v programu ISE je zobrazeno viz Obr. 13.



Obr. 13: Výsledné schéma zapojení v FPGA

3.2. Decimátor ve VHDL

Jedná se o čítač, který v intervalu fixní délky čítá log. 1. Zvolená délka intervalu určuje bitové rozlišení převodníku. Decimátor byl naprogramován pomocí programovacího jazyka VHDL. Bylo nutné v daném projektu vytvořit nový VHDL modul, ze kterého byla vytvořena schematická značka. Ukázka zdrojového kódu je zobrazena pro proces hodinového signálu. Použité proměnné jsou pocítadlo, které je typu integer a pocet_jednicek, který je zapisován s jistou frekvencí na diody, které jsou umístěné na vývojové desce ML505.

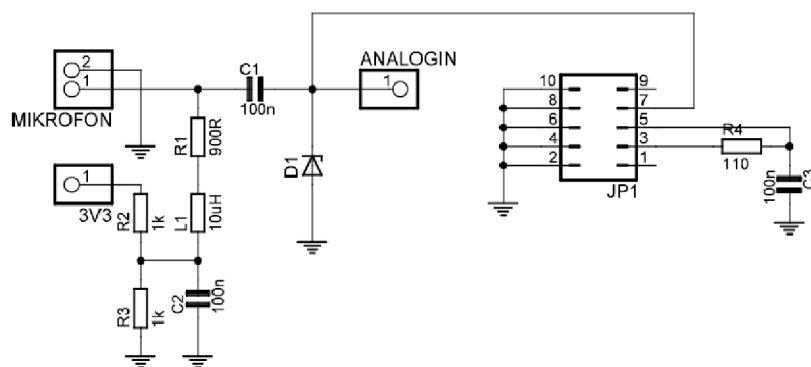
```

PROCESS (ClkVz)
BEGIN
  IF (ClkVz'event AND ClkVz = '1') THEN
    IF pocitadlo = 255 THEN
      pocitadlo      <= 1;
      Vystup         <= pocet_jednicek;
      pocet_jednicek <= "0000000" & Vstup;
    ELSE
      pocitadlo      <= pocitadlo + 1;
      IF Vstup = '1' THEN
        Pocet_jednicek <= pocet_jednicek + 1;
      END IF;
    END IF;
  END IF;
END PROCESS;

```

3.3. Analogová vstupní část

Samotný Sigma-Delta převodník není možné realizovat kompletní v FPGA. Je nutné mimo programovatelné hradlové pole umístit integrační člen. Jako integrační člen byl použit RC článek. Dále bylo zapojení doplněno o mikrofon a PIN konektor pro připojení funkčního generátoru viz Obr. 14.



Obr. 14: Zapojení RC článku

Součástí vytvořené desky plošného spoje je ochrana vstupního pinu obvodu Zenerovou diodou, která je označena D1. Dále je deska doplněna o napájení mikrofonu, který podle doporučeného obvodového zapojení pracuje při přivedení stejnosměrného napětí v intervalu 1 až 10 V. Při realizaci bylo využito stejnosměrné napájení 3,3 V, které bylo pomocí odporového děliče upraveno na poloviční hodnotu, tedy na hodnotu 1,65 V. Vysokofrekvenční složky byly přes blokovací kondenzátor C2 uzemněny.

4 TCP/IP

Funkční Sigma–Delta převodník byl doplněn o síťové rozhraní. Společně s PC vytváří dvoubodovou síť označovanou point-to-point. Je vytvořena místní lokální síť o přenosové rychlosti 1 Gb/s. Vzhledem k dané vzdálenosti probíhá přenos dat s minimální chybovostí a v podstatě bez zpoždění. Z tohoto důvodu byl realizován přenos dat pomocí nespolehlivé nespojované služby. [6]

4.1. Model TCP/IP

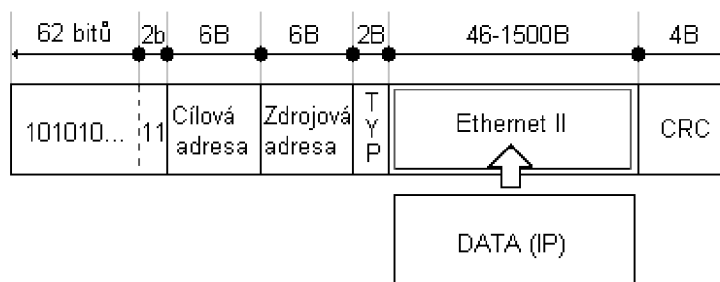
Jedná se o model architektury počítačové sítě, který vznikl po modelu ISO/OSI. Referenční model ISO/OSI spolehlivost zaručuje do jisté míry na všech svých vrstvách, zatímco model TCP/IP zajišťuje spolehlivost na úrovni transportní vrstvy, tedy spolehlivost je řešena až koncovými uzly. Proto model TCP/IP vychází z jednoduchosti sítě a předpokládá nespojovanou a nespolehlivou datagramovou službu. Referenční model TCP/IP a jeho vrstvy jsou zobrazeny viz Tabulka 1. [6]

Tabulka 1: Vrstvy modelu TCP/IP

Aplikační vrstva
Transportní vrstva
Síťová vrstva
Vrstva síťového rozhraní

4.1.1. Vrstva síťového rozhraní

Tato vrstva je nejnižší vrstvou modelu TCP/IP a realizuje samotnou komunikaci. Především se jedná o samotný tok bitů. Na této úrovni se používají MAC (Media Access Control) adresy. Jedná se o unikátní adresy zařízení, které mají délku 6 bytů. První 3 byty jsou určeny výrobcem a zbylé 3 byty jsou unikátní čísla v rámci daného výrobce. Výsledný rámec Ethernetu má podobu viz Obr. 15. [6]

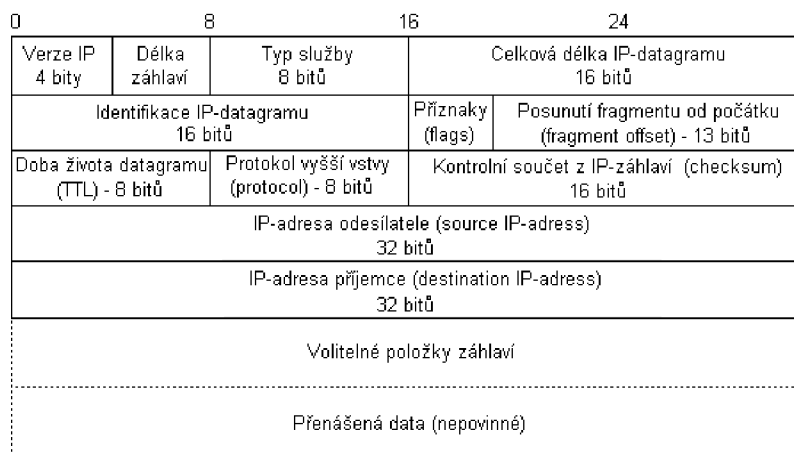


Obr. 15: Ethernetový rámec (převzato z [6])

Ethernetový rámec začíná synchronizační preambulí. Jedná se o 62 bitů střídajících se log. 1 a log. 0 navzájem. Ukončení synchronizační preambule je umístění dvou log. 1 na konci. Po synchronizační preambuli následuje cílová MAC adresa a po této adrese následuje zdrojová MAC adresa. Dále následuje typ vyššího protokolu v TCP/IP modelu. Druhá vrstva je síťová vrstva, proto bude použit IP protokol, který má podle standardu hodnotu 800₁₆. Po typu již následuje hlavička pro IP datagram. [6]

4.1.2. Síťová vrstva

Je druhou vrstvou modelu TCP/IP. Její realizace je dána protokolem pojmenovaným Internet Protokol. Tato vrstva pracuje již s IP adresami a její hlavní úkol je, aby byly datagramy doručeny k příjemci a to nespolehlivou službou. Datagram v této vrstvě je označován IP datagram a má strukturu viz Obr. 16. [6]



Obr. 16: IP datagram (převzato z [6])

Pole Verze IP má velikost 4 bity a jeho hodnota je 4 pro verzi 4. Následuje opět 4bitové pole, které určuje délku záhlaví. Tato délka je dělena hodnotou 4. Povinné položky v poli délky záhlaví jsou velké 20 bytů. Pro zveřejnění pouze povinných položek musí být hodnota v tomto poli pět. Následuje typ služby, který ponecháme nulový z důvodu ignorace. Poslední pole v prvním řádku určuje celkovou délku IP datagramu. Jedná se o celkový součet bytů v IP datagramu. Toto pole je 16bitové a maximální velikost IP datagramu je 65535 bytů. V praxi se používají značně kratší datagramy. Pole identifikace využívá fragmentace datagramu, ponecháme nulovou hodnotu. Pole fragmentace je spojeno s příznaky a posunutí fragmentu. Pokud nevyužijeme hodnotu fragmentace, druhý řádek bude obsahovat samé nuly. Následuje doba života datagramu. Tato hodnota je dekrementována při průchodu datagramu přes router. Pokud je výsledek nulový, je tento datagram zahozen. Protokol vyšší vrstvy určuje rozhodnutí mezi spolehlivou či nespolehlivou službou. Pro UDP datagram volíme hodnotu tohoto pole 11_{16} . Kontrolní součet je proveden pouze pro hlavičku IP datagramu. Za tímto polem následují IP adresy odesílatele a následně příjemce. [6]

4.1.3. Transportní vrstva

Transportní vrstva je třetí vrstvou modelu TCP/IP. Tato vrstva již zajišťuje přenos mezi koncovými uzly a to pomocí nespolehlivé datagramové služby nebo pomocí spolehlivé služby. Spolehlivá služba je zajišťována pomocí protokolu TCP, kde je požadavek na potvrzení příjmu paketů či opakování zaslání ztracených paketů. Dále je zde volba využití nespolehlivé nespojované služby pomocí protokolu UDP, kdy je zaslán datagram a již není žádným způsobem ověřováno, zda byl doručen či nikoliv. Volba mezi UDP protokolem či TCP protokolem je určena v IP datagramu. V poli protokol vyšší vrstvy je možno určit tento protokol podle standardu, kdy pro TCP protokol toto 8bitové pole obsahuje hodnotu šest, zatímco pro UDP protokol je zde nutné zapsat hodnotu 17 v desítkovém vyjádření, což odpovídá hodnotě 11_{16} . [6]

4.1.4. Aplikační vrstva

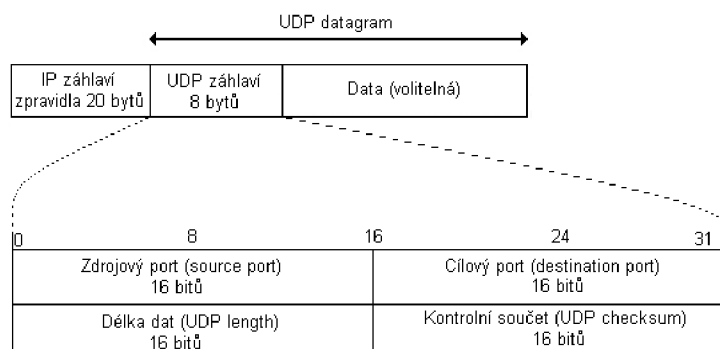
Je realizována danými programy, které přistupují k transportní vrstvě. [6]

4.2. UDP Protokol

Jedná se o nespojovanou nespolehlivou službu. Komunikace pomocí UDP protokolu si nežadá žádné otevření kanálu. Data jsou poslána přímo v jednotlivých UDP datagramech. Doručení těchto paketů není žádným způsobem ověřováno, pokud dojde ke ztrátě UDP datagramu, klient který zaslal tento paket jej znovu nezašle a příjemce tento datagram nikdy nepřijme. [6]

4.2.1. Struktura UDP datagramu

UDP protokol je definován v IP datagramu v poli protokolu vyšší vrstvy. Pokud je tato hodnota nastavena na hodnotu 17 v desítkové soustavě, je nutné umístit za IP adresu příjemce hlavičku UDP. Tato hlavička je zobrazena viz Obr. 17.



Obr. 17: Hlavička UDP datagramu (převzato z [6])

Samotná hlavička obsahuje zdrojový a cílový port. Následuje délka dat UDP paketu, která je tvořena délkou UDP datagramu. Poslední položkou je kontrolní součet, který nemusí být vyplněn. Doporučená délka UDP datagramů je 512 bytů z důvodu segmentace na nižších vrstvách. [6]

4.2.2. Porty UDP datagramu

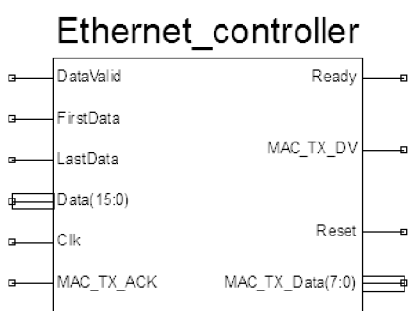
UDP datagramy jsou na třetí vrstvě modelu TCP/IP. Nad touto vrstvou je aplikační vrstva, na které již běží daná aplikace, která přijímá a zpracovává přijaté datagramy. Z důvodu možného přijetí více datagramů je každý datagram rozlišen pomocí čísla portu. Jedná se o 16bitovou hodnotu, tedy hodnota portu je v rozmezí 0 až 65535. Aplikace vždy zpracovává pouze ty datagramy, u kterých je požadované číslo portu stejné jako nastavené v ní. Čísla portů jsou rozděleny standardem na tři skupiny. První skupina je uvedena pod názvem známé porty, které jsou od hodnot 0 do hodnoty 1023. Druhou skupinu tvoří registrované porty, které jsou od 1024 do hodnoty 49151. Poslední skupinu portů tvoří soukromé porty, jejichž hodnota je od 49152 do hodnoty 65535. Poslední skupina nevyžaduje registraci. [6]

5 Realizace síťového rozhraní

Síťové rozhraní je realizováno na FPGA pomocí IP Core MAC wrapper, které je generováno přímo z vývojového prostředí ISE. Je vytvořena gigabitová síť, po které jsou zasílány UDP datagramy. Ověření příjmu na PC je pomocí software Wireshark.

5.1. Ethernet_controller

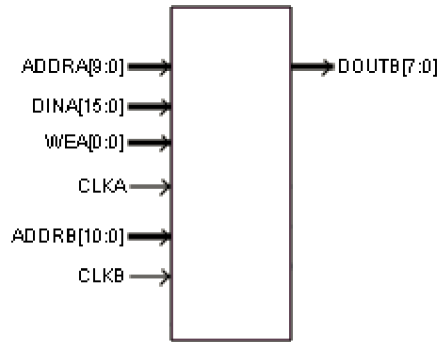
Do MAC wrapperu jsou data posílána z nové komponenty, kterou je nutné vytvořit. V této komponentě je využita paměť RAM, do které jsou ukládány hodnoty z AD převodníku. Po zapsání 60 bytů dat z Decimátoru je vytvořen UDP datagram, který je zaslán pomocí síťového rozhraní do PC na další zpracování. Nová jednotka je pojmenována Ethernet_controller viz Obr. 18.



Obr. 18: Modul Ethernet_controller

Modul obsahuje vstupy DataValid, FirstData, LastData a Data. Tyto vstupy jsou zapojeny pouze na výstupy signálů z Decimátoru. Pomocí těchto vstupů se uskutečňuje zasílání a ukládání dat do paměti RAM. Při naplnění paměti RAM 60 byty dat je vytvořen UDP datagram. Pro opětovné ukládání dat do paměti RAM a sestavení UDP datagramu je výstupní signál Ready z Ethernet_controlleru připojen na vstupní signál Decimátoru pojmenovaný stejným názvem. Vstupy a výstupy začínající MAC jsou zapojeny do MAC_wrapperu, který realizuje samotné síťové připojení. Modul Ethernet_controller je taktován hodinovým signálem Clk o frekvenci 125 MHz.

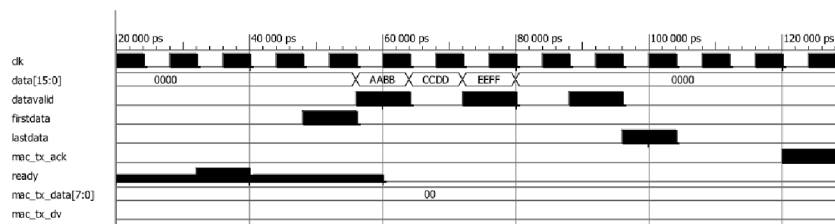
Paměť RAM je vygenerována pomocí IP Core Block Memory Generator. Samotné konfigurování této paměti je obsaženo na pěti listech konfiguračního zobrazení. Na prvním listu je volen typ paměti, kde je vybrána Simple Dual Port RAM. Na druhém listu je alokováno 1024 paměťových míst, kde každá z těchto 1024 umožňuje uložení 16bitového slova. Pro adresaci této paměti je nutné mít 10bitový vstupní signál. Výstup z této paměti je 8bitový. Na dalších listech konfiguračního zobrazení byla ponechána standardní nastavení. Výsledné schéma paměti RAM je zobrazeno viz Obr. 19.



Obr. 19: Paměť RAM

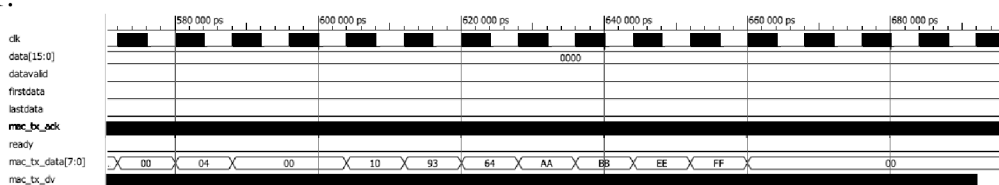
Hodinové signály CLKA a CLKB jsou 125MHz. Data jsou do této paměti ukládány způsobem, kdy nejdříve jsou ukládána data po převodu přichází z modulu Decimator. Z tohoto důvodu je adresa pro první datový byte nastavena na hodnotu dvacet. Po uložení zvolených šedesáti bytů dat je paměť RAM doplněna od adresy 0. První je doplněna MAC adresa cíle, která je zvolena 00–1d–60–49–09–93. Za touto adresou následuje MAC adresa zdroje, tedy obvodu FPGA. Byla zvolena adresa o jedničku větší než je adresa cíle, tedy 00–1d–60–49–09–94. Posledním údajem v ethernetovském rámci je typ následujícího použitého protokolu, který je dán standardem. Je použita síťová vrstva, která používá IP protokol. Standardem přidělená hodnota je 800_{16} . Vyplnění ethernetovského rámce obsadíme sedm 16bitových paměťových míst. Následuje hlavička pro IP datagram. Podrobné schéma IP datagramu je na obr. 16. Nejdůležitější z této hlavičky je udání IP adres, které je důležité pro příjem UDP datagramů pomocí vytvořeného programu. IP adresa odesílatele je nastavena na hodnotu 192.168.0.3 a IP adresa příjemce je nastavena na hodnotu 10.0.0.3. Z daných dat je vytvořen kontrolní součet, který je uložen v IP hlavičce. Posledním důležitým krokem je nastavení portu. V obou případech je nastavena hodnota 1024. Tímto způsobem vytvořený UDP datagram poskládaný v RAM paměti je postupně vyčítán do jednotky MAC_wrap, která jej zašle do PC. Vyčítání z paměti RAM je již 8bitové z důvodu přizpůsobení šířky slova pro vstupní signál modulu MAC_wrap TX_DATA.

Pro ověření správně funkce proběhla simulace pomocí modulu Test Bench. Perioda hodinového signálu je 8 ns. Po inicializační době odešleme do modulu Decimator pomocí výstupního pinu Ready potvrzení o zasílání nových dat, získaných z převodu. Tato hodnota je ponechána po jednu periodu hodinového signálu. Po odeslání této hodnoty začne komunikace z Decimatoru do Ethernet_controlleru nastavením signálu FirstData do hodnoty log. 1. Při této hodnotě nejsou ukládána data do paměti RAM, jedná se pouze o začátek komunikace. Data do paměti RAM jsou ukládána pouze při nastavení vstupního pinu DataValid do log. 1. Toto nastavení je v simulaci pouze 3 krát. Paměť RAM se plní postupně datovými slovy, dokud se nenastaví vstupní pin LastData na vysokou úroveň po jednu periodu hodinového signálu. V simulaci je nastaveno plnění s každou druhou náběžnou hranou hodinového signálu. Do paměti je při simulaci zapsáno pouze 6 bytů dat viz Obr. 20.



Obr. 20: Nastavení simulace

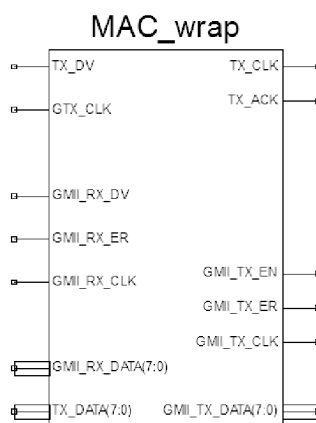
Po nastavení simulace je důležitý příchod `mac_tx_ack` na log. 1. Po tomto nastavení se začne doplňovat paměť RAM hlavičkami. Po jejich doplnění je vytvořený UDP datagram zaslán pomocí `mac_tx_data[7:0]` do modulu `MAC_wrap`, který je zašle do PC. Při simulaci se předpokládají data $AABBEEFF0000_{16}$, ke kterým je přidán jeden byte nul. Výsledná očekávaná data jsou $AABBEEFF000000_{16}$, která jsou odeslána viz Obr. 21.



Obr. 21: Datová část UDP datagramu

5.2. MAC_wrapper

Komponenta `MAC_wrapper` je vytvořena pomocí IP Core. V tomto případě se jedná o nabídku Virtex5 Ethernet MAC Wrapper. Po vybrání této nabídky se nám spustí nastavení Ethernet MAC Wrapperu. Toto nastavení je složeno ze tří stránek, kde jsou upřesněny specifikace. Na první stránce vybereme EMAC 0. Důležitým údaj se nachází na druhé stránce, kde vybíráme položku fyzického rozhraní GMII a rychlost 1 Gb/s. Takto vytvořený MAC Wrapper upravíme, kdy odebereme nepotřebné piny a funkce do stávající podoby viz Obr. 22.



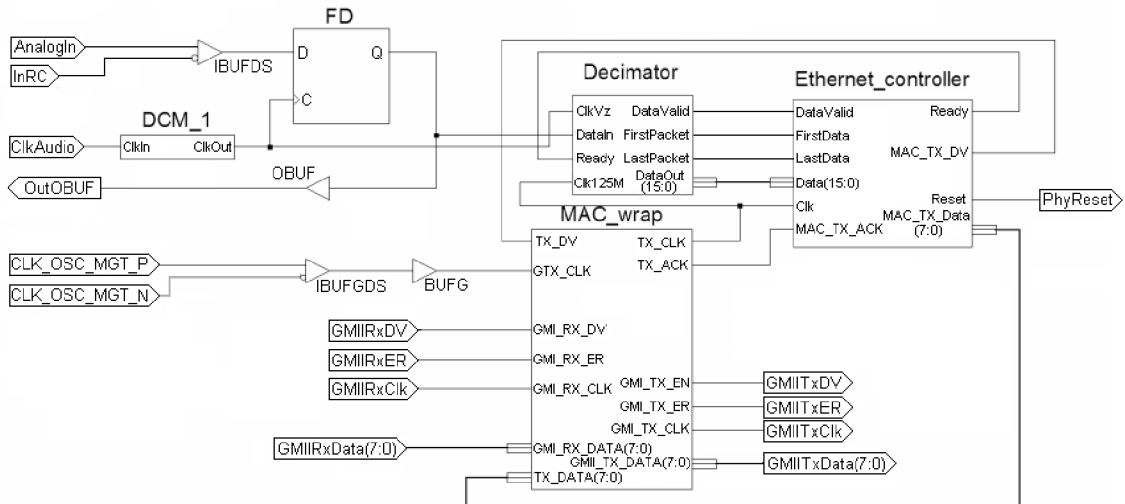
Obr. 22: Výsledné zapojení MAC wrapperu

Data do této komponenty zasíláme pomocí vstupu `TX_DATA`. Tento vstup je 8bitový a data jsou zapsána na výstup, pokud je jejich platnost potvrzena přes vstupní pin `TX_DV`. Před odesláním každého UDP datagramu je přidána synchronizační preamble o velikosti 62 bitů.

Použitá volba GMII označuje gigabitové zapojení podle standardu IEEE 802.3. Jedná se o propojení linkové vrstvy s vrstvou fyzického rozhraní. Rozšiřuje standard MII, který je používán na rychlostech 10 Mbps a 100 Mbps. [7]

5.3. Výsledná realizace v FPGA

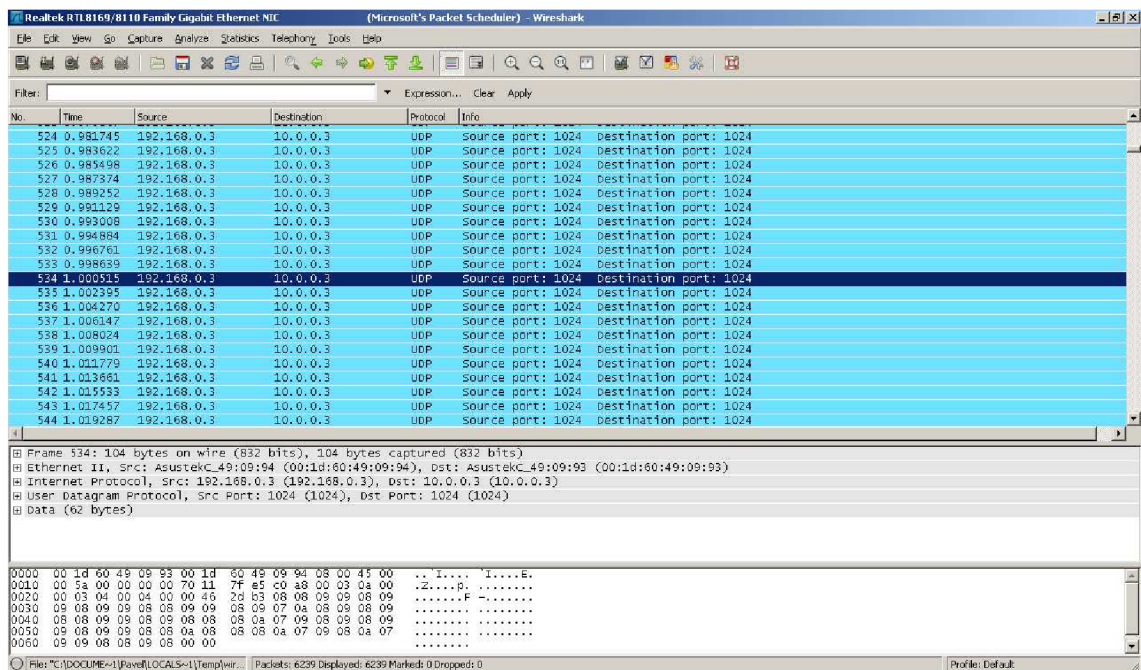
Celkové schéma realizované v FPGA je tvořeno pomocí Sigma-Delta převodníku prvního řádu, který je doplněn o modul Ethernet_controller a realizaci síťového rozhraní o rychlosti 1 Gb/s. Celkové schéma zapojení je zobrazeno na Obr. 23.



Obr. 23: Výsledné zapojení v FPGA

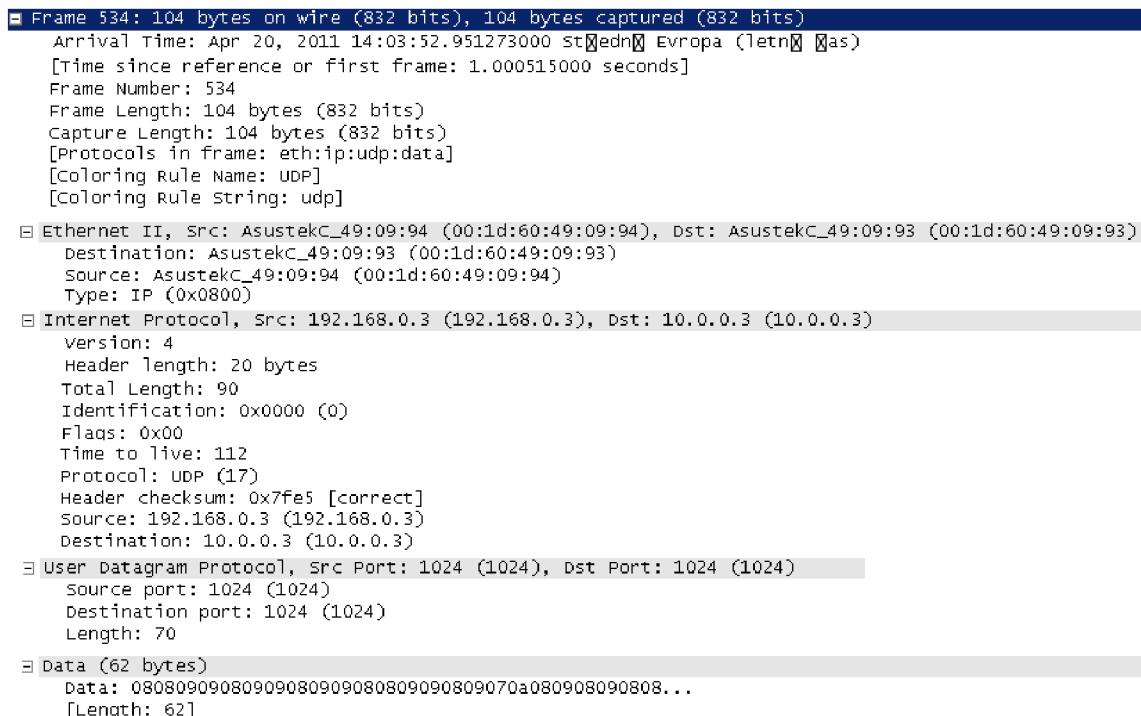
5.4. Ověření funkce síťového rozhraní

Jedná se o program schopný přijímat pakety na síti. Pomocí tohoto programu je ověřena funkčnost zasílání UDP datagramů z vývojové desky ML505 do PC. Předpokládaná rychlost zasílání dat je 32 kB za sekundu. Každý UDP datagram obsahuje 60 bytů dat, ke kterým jsou připojeny dva nulové byty. Datová část celkem obsahuje 62 bytů. Do jedné sekundy je odesláno celkem 534 UDP datagramů, které jsou zachyceny programem Wireshark. V průběhu jedné sekundy je přijato užitečných 32040 bytů viz Obr. 24. Hodinová vzorkovací frekvence je podle předpokládání 8,192 MHz.



Obr. 24: Program Wireshark

Program Wireshark umožňuje zobrazení dat, včetně hlavičky příchozího datagramu. Celkový příchozí rámec obsahuje 104 bytů, tedy 832 bitů. Dále zobrazuje příchozí čas rámce. UDP datagramy jsou zasílány s periodou 1,876 ms. Vybrané parametry jsou zobrazeny viz Obr. 25.



Obr. 25: Program Wireshark – parametry datagramu

Parametry zachycené programem Wireshark jsou očekávané. Modul Ethernet_controller také vypočítává kontrolní součet pro hlavičku datagramu. Podle

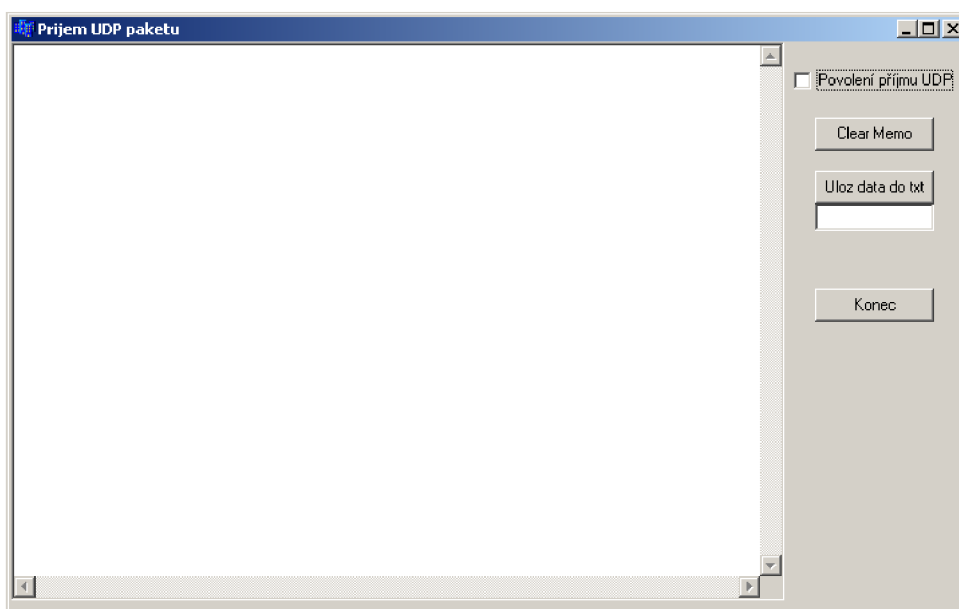
standardu u samotných dat UDP datagramu kontrolní součet nemusí být udeven. Je počítán pouze kontrolní součet pro internet protocol, který je vypočítán správně. Tato skutečnost je zobrazena pomocí programu Wireshark pod parametrem Header checksum.

6 Příjem UDP datagramů a interpretace dat

Pro zachytávání byl vytvořen program ve vývojovém prostředí Borland C++, který zachytává data z UDP datagramů v závislosti na nastavené MAC a IP adrese. Pro příjem datagramů je nutné správné nastavení těchto adres a také nastavení portu. Po zobrazení a uložení dat následovalo zpracování v programu MATLAB. Tato kapitola obsahuje změřené dynamické parametry realizovaného převodníku.

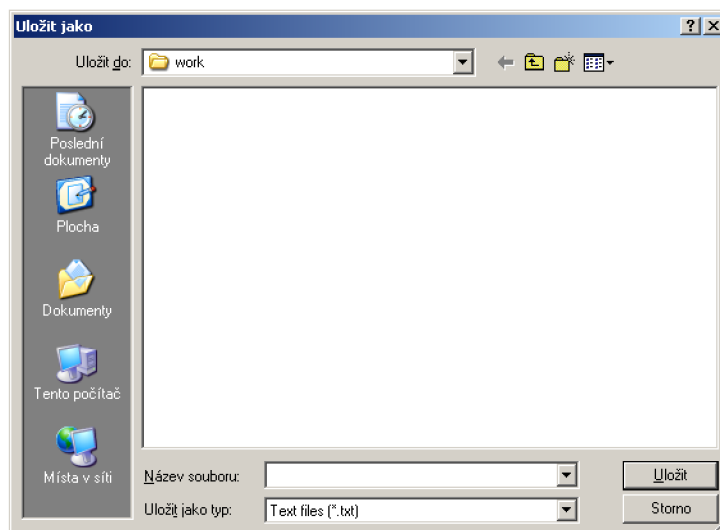
6.1. Program pro zachytávání UDP

Program byl vytvořen ve vývojovém prostředí Borland C++, kde pro příjem UDP datagramů byla využita komponenta UDPServer, která se vyskytuje v záložce Indy Servers. Při zachycení UDP datagramu síťovou kartou je vyvolána událost OnUDPRead. Pokud je příjem UDP datagramu povolen, je ve vyvolané události možné přečíst všechna data právě příchozího datagramu. Následně jsou data převedena do desítkového vyjádření a celý datový obsah je vypsán na jednom řádku komponenty Memo. Grafické rozhraní vytvořeného programu je zobrazeno viz Obr. 26.



Obr. 26: Program pro zachytávání UDP datagramů

Po povolení příjmu UDP datagramu se začne textové pole plnit daty v desítkovém vyjádření. Pro přehlednost je mezi každá data vložen středník, který musí být při interpretaci dat v programu MATLAB odstraněn. Pomocí tlačítka Clear Memo je možné celé textové pole smazat. Data v textovém poli mohou být vykopírována nebo uložena pomocí tlačítka Ulož data do txt. Při zvolení uložit data do textového souboru se otevře okno pro umístění souboru viz Obr. 27. Tato operace je vyvolána komponentou SaveDialog, která je obsažena v záložce Dialogs.



Obr. 27: Uložení textového souboru

Po uložení textového souboru je zobrazena zpráva o uložení v jednořádkovém textovém poli, které je tvořeno komponentou Edit. Po provedení příjmu a uložení dat je možné program ukončit pomocí tlačítka Konec.

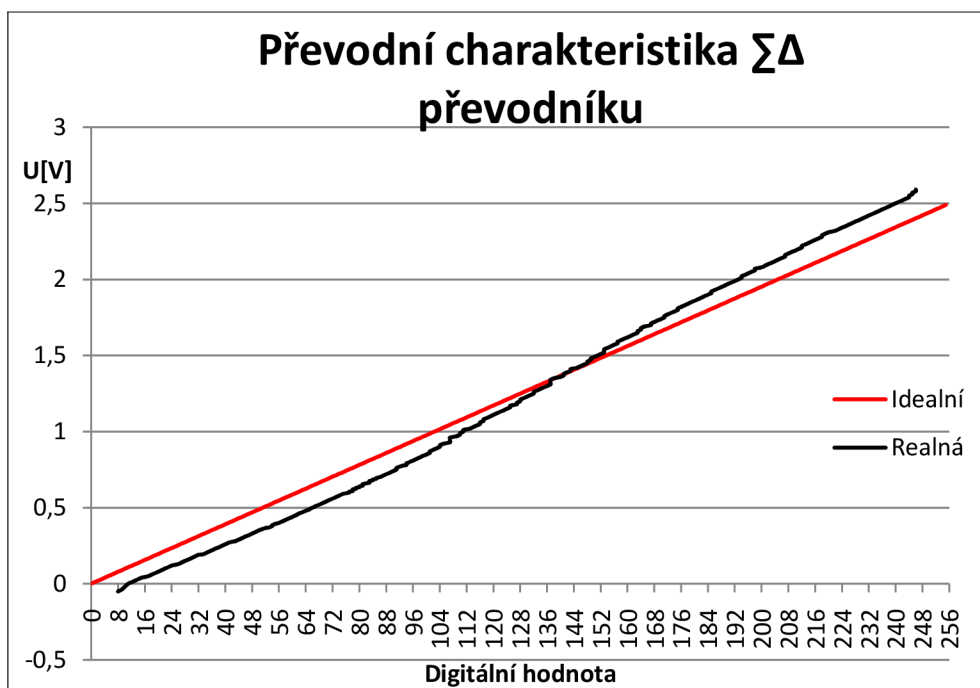
6.2. Zpracování dat v prostředí MATLAB

Pomocí programu MATLAB je uložený textový soubor s daty otevřen a data bez vložených středníků jsou následně zpracována. Jsou zobrazena v čase a pomocí rychlé Fourierovy transformace také ve frekvenčním spektru, kde je zobrazováno pouze amplitudové spektrum. Pomocí tohoto zpracování je možné určit dynamické vlastnosti realizovaného převodníku, které jsou především odstup signál–šum, efektivní počet bitů a celkové harmonické zkreslení. [9]

7 Statické parametry realizovaného převodníku

Statické parametry převodníku jsou měřeny pomocí stejnosměrného, velmi přesného, zdroje napětí. Z tohoto důvodu byl odebrán C1 z desky plošného spoje. Pomocí postupného nastavování hodnot, které jsou dány rozsahem převodníku, je proměřena převodní charakteristika. U realizovaného převodníku byl použit standard vstupních pinů obvodu FPGA LVDS_25 a LVCMOS25. Byl tedy realizován unipolární převodník. Přípustná maximální hodnota vstupního napětí je 2,5 V. Převodní charakteristika ideálního převodníku je schodovitá funkce. Pokud by bylo nekonečně velké rozlišení převodníku, jednalo by se o přímku. Pro posouzení kvality převodníku jsou určeny statické a dynamické parametry. Mezi nejdůležitější statické parametry převodníku patří chyba zesílení, chyba nastavení nuly, která je označována jako chyba offsetu. Dále jsou to chyby linearity, především integrální a diferenciální nelinearita. [9]

Ideální převodní charakteristika a změřená převodní charakteristika realizovaného převodníku je zobrazena viz Obr. 28.



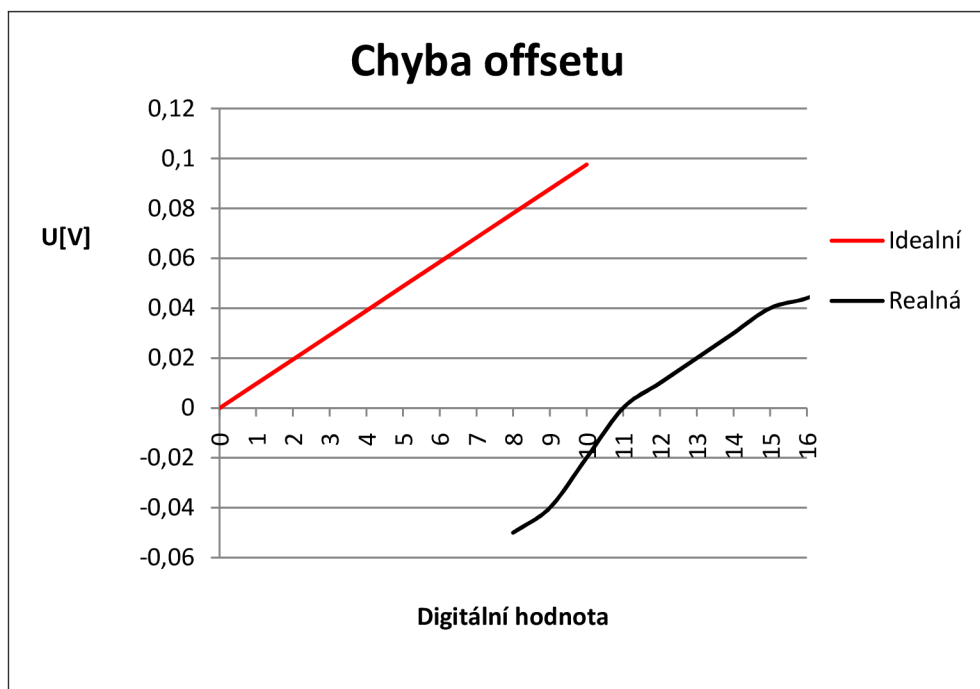
Obr. 28: Ideální a reálná převodní charakteristika

Ideální převodní charakteristika je určena pomocí rozlišovací schopnosti AD převodníku a rozsahu. Při délce výstupního slova 8 bitů je rozlišovací schopnost dána 2^8 hodnot. Vstupní analogové napětí je možné přiřadit mezi jednu z celkových 256 diskretních úrovní. Při rozsahu převodníku 2,5 V je rozlišovací schopnost převodníku dána násobkem rozsahu s převrácenou hodnotou počtu diskretních úrovní, vyčísleno 9,7 mV. Při postupném násobení rozlišovací schopnosti digitálními hodnotami dostaneme ideální převodní charakteristiku. Reálná převodní charakteristika byla měřena od hodnot -50 mV do hodnoty 2,59 V. [9]

7.1. Chyba offsetu

Chyba offsetu neboli chyba nuly. Projevuje se tím způsobem, že při přivedení nulového vstupního napětí je výstupní digitální hodnota rovna jiné hodnotě než právě nulové.

Z převodní charakteristiky je možné si všimnout, že navržený převodník má chybu offsetu. Při přivedené nulové úrovni vstupního napětí je výstupní digitální hodnota rovna hodnotě 11 viz Obr. 29.

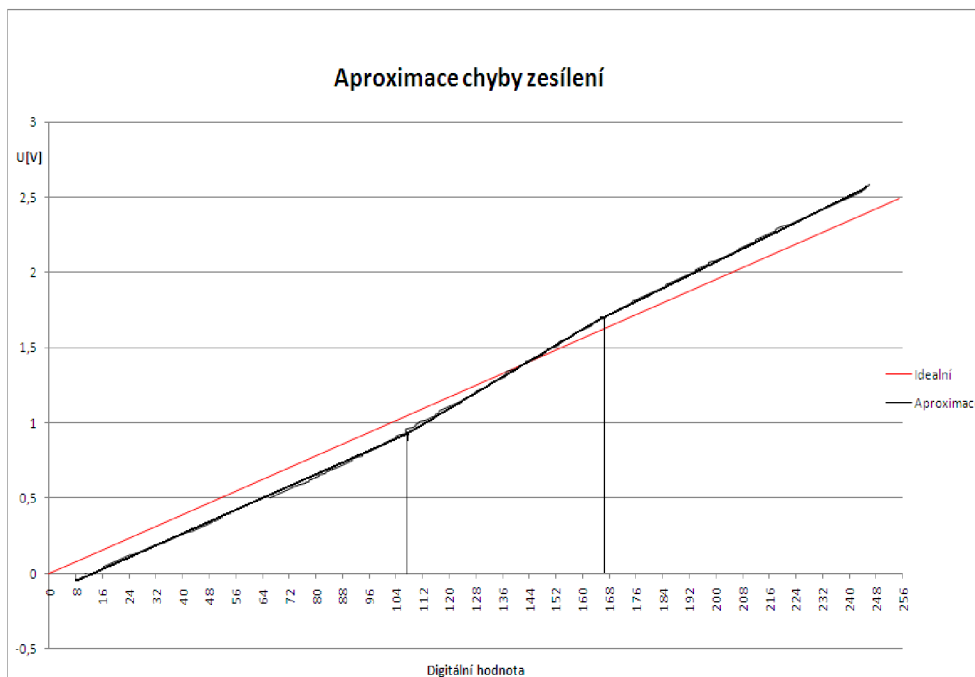


Obr. 29: Chyba offsetu

Při snaze přiblížit se nulové digitální hodnotě bylo zmenšeno vstupní napětí na hodnotu -50 mV. Při této hodnotě vstupního napětí byla výsledná digitální hodnota rovna 8. Další zvyšování záporné hodnoty nebylo provedeno z důvodu možného zničení vstupních pinů obvodu FPGA.

7.2. Chyba zesílení

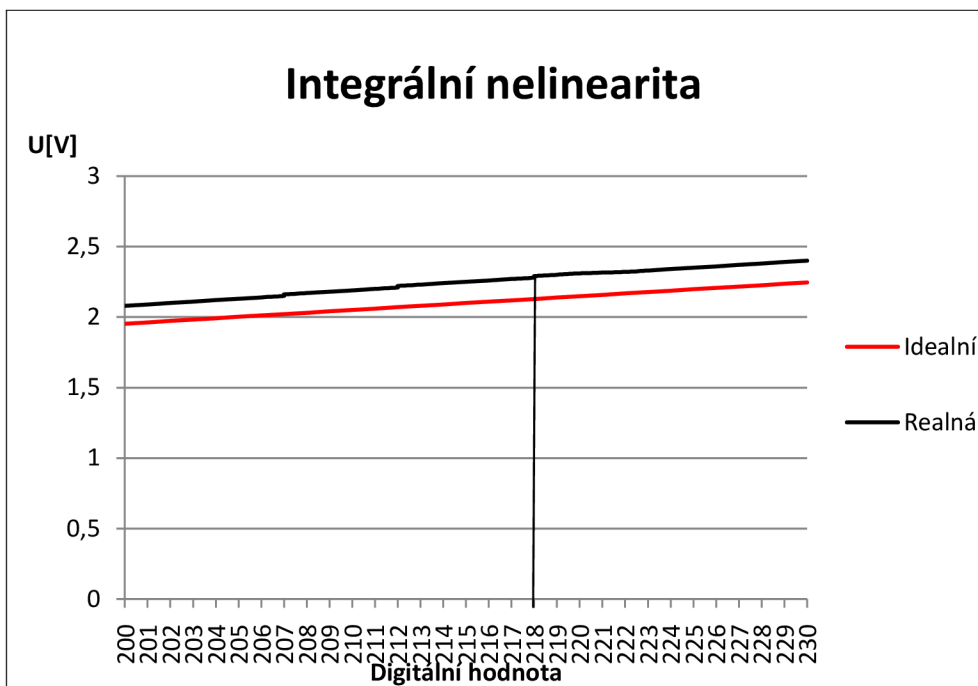
Reálnou převodní charakteristiku je možné aproximovat třemi úsečkami. První úsečka je do vstupní hodnoty $0,9$ V a strmost ideální převodní charakteristiky a reálné je téměř shodná. Je poznamenána pouze chybou offsetu. Mezi hodnotami $0,9$ V až $1,7$ V je strmost křivky zesílení největší. V malé části se shoduje reálná s ideální převodní charakteristikou. V posledním úseku je strmost zesílení menší, avšak větší než strmost ideální převodní charakteristiky viz Obr. 30.



Obr. 30: Aproximace chyby zesílení

7.3. Integrální nelinearita

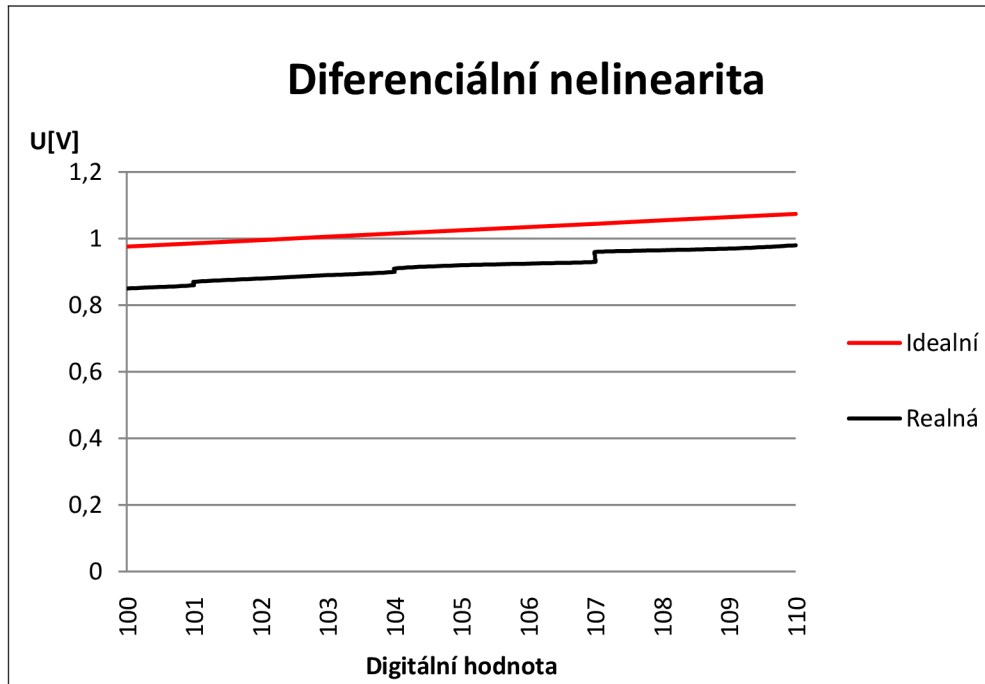
Jedná se o chybu, která při jejím výskytu charakterizuje nelineární převodník. Tato chyba se projevuje ve vertikální ose, kde se udává maximální odchylka od ideální převodní charakteristiky. Tato odchylka nastává při digitální hodnotě 218 a odchylka od ideální hodnoty napětí je 60 mV. Pokud tuto chybu vyjádříme k maximálnímu napětí, pak dostaneme chybu 2,4 %. Maximální odchylka je zobrazena viz Obr. 31.[9]



Obr. 31: Integrální nelinearita

7.4. Diferenciální nelinearita

Diferenciální nelinearita je vyhodnocena pomocí dvou sousedních stavů. V ideálním případě má být rozdíl roven kvantovacímu kroku. U realizovaného převodníku je kvantovací krok 9,8 mV. Ze skutečnosti, že dva po sobě jdoucí kódy nesplňují podmínku o navýšení napětí, můžeme prohlásit, že převodník je nemonotónní. [9] Diferenciální nelinearita je zobrazena viz Obr. 32. Změna napětí mezi hodnotami 107 a 108 odpovídá napěťové změně 31 mV, tedy je zde změna přes 3 kvantovací úrovně.



Obr. 32: Diferenciální nelinearita

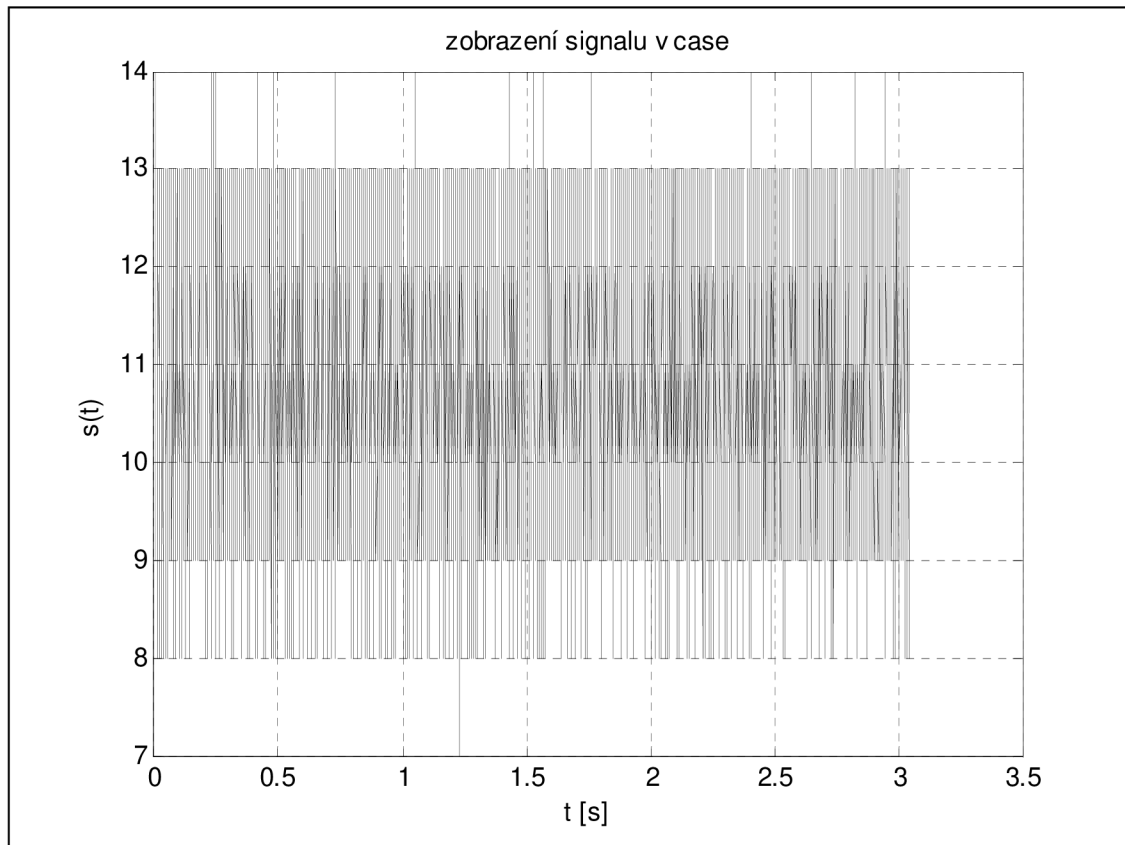
8 Dynamické vlastnosti převodníku

Pro změření dynamických vlastností byl generován vstupní harmonický signál z funkčního generátoru. Jednalo se o harmonický signál o frekvenci 1 kHz, amplitudě signálu 1,25 V a stejnosměrném offsetu 1,25 V. Tento signál sloužil pro určení poměru signál–šum, harmonického zkreslení a dynamického rozsahu bez parazitních složek. Měření efektivního počtu bitů je možné pomocí vstupního stejnosměrného či střídavého signálu. V tomto případě byl parametr ENOB (Effective number of bits; efektivní počet bitů) změřen pomocí stejnosměrného signálu.

8.1. Šumový práh

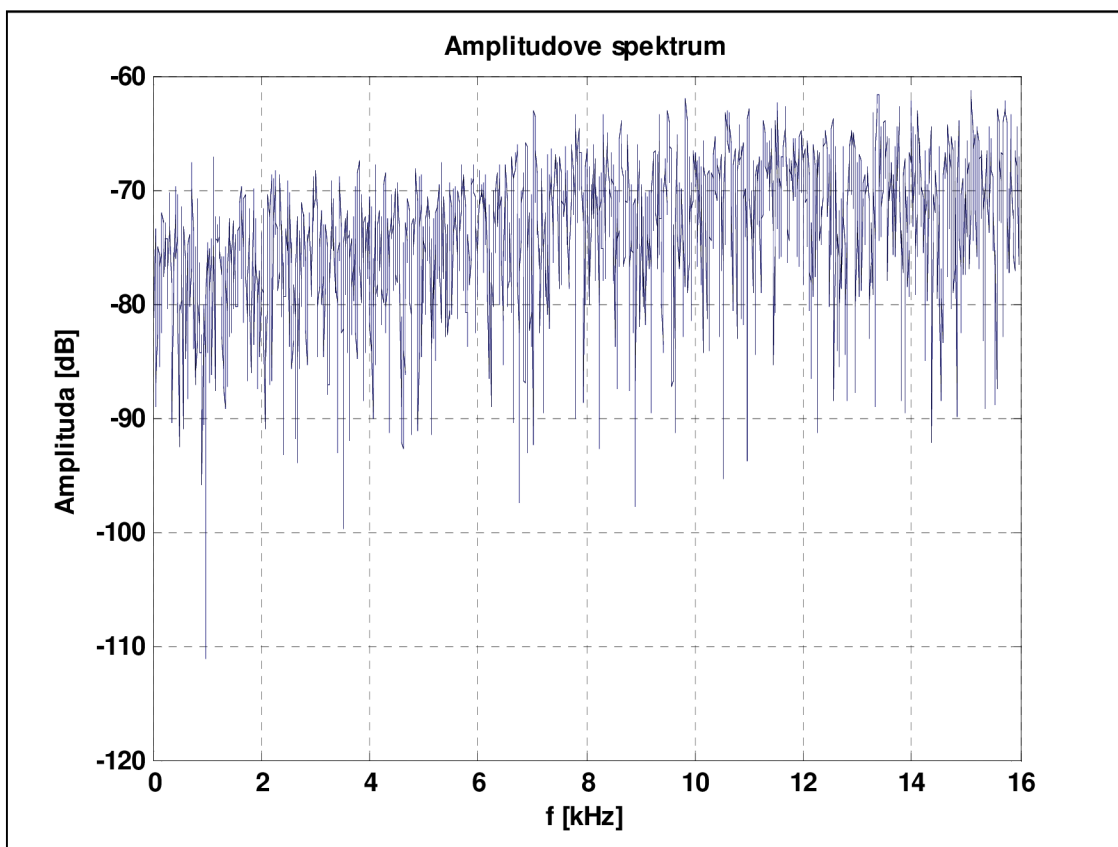
Šumový práh je dán průměrem hodnot jednotlivých spektrálních výkonových úrovní šumu. Je měřen při nulovém vstupním napětí, tedy při zkratovaném vstupu. Výpočet zahrnuje statické chyby převodníku, které jsou chyba offsetu, chyba zisku a nelinearity. [9] [11]

Při zkratovaném vstupu je výsledný průběh v čase v rozmezí číselných hodnot od 8 do 14 viz Obr. 33. Délka záznamu je okolo 3 sekund.



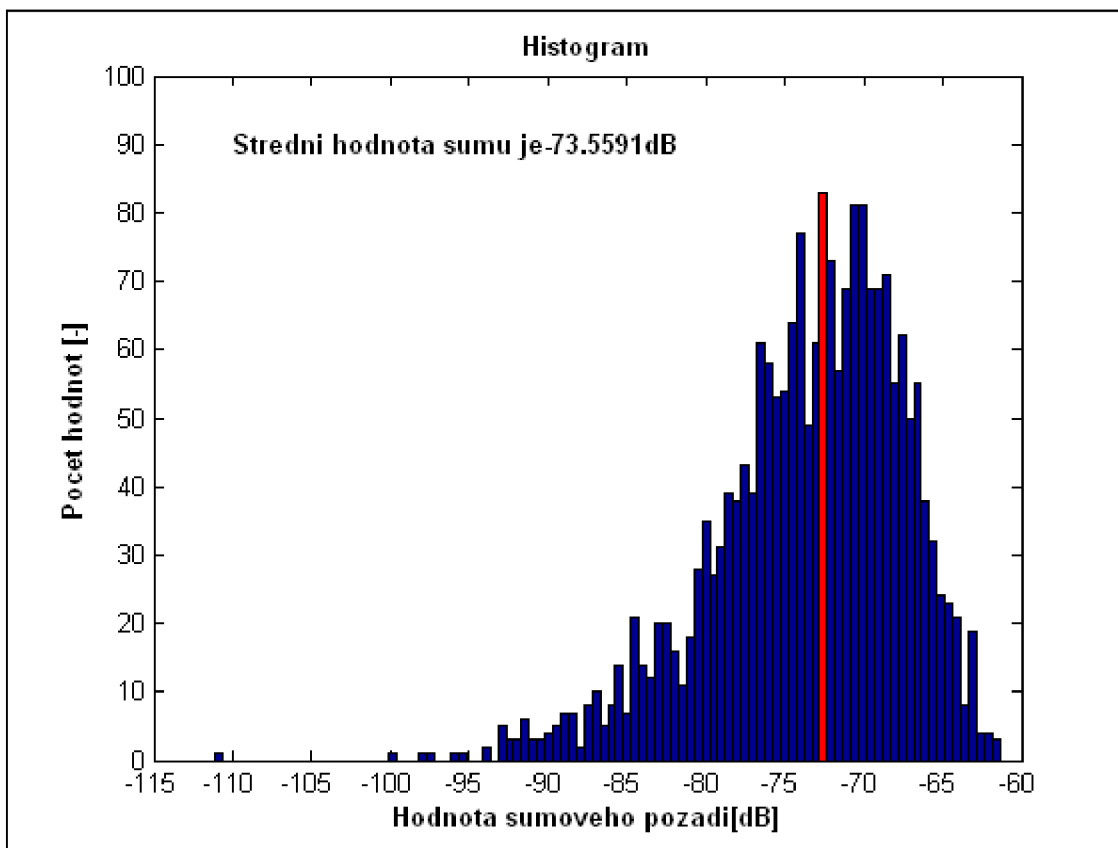
Obr. 33: Zkratovaný vstupní signál zobrazen v čase

Pokud na tento signál použijeme výpočet Fourierovy transformace, dostaneme zobrazení ve frekvenčním spektru. Před samotnou aplikací byla ze signálu odstraněna stejnosměrná složka. Její odstranění bylo provedeno odečtením průměrné hodnoty signálu od každé změřené hodnoty. Celkové spektrum bylo vypočítáno ze 4096 bodů. Zobrazené amplitudové spektrum viz obr. 34.



Obr. 34: Amplitudové spektrum šumu

Z amplitudového spektra je možné vypočítat průměrnou hodnotu spektrální hustoty šumu, která byla vypočítána programem MATLAB na hodnotu -73.5591 dB. Ze spektra je možné vytvořit histogram, který zobrazí jednotlivé spektrální hodnoty v závislosti na počtu výskytu dané úrovně. Histogram je zobrazen na Obr. 35.



Obr. 35: Histogram

Následně je nutné stanovit odchylku dat, aby mohl být proveden výpočet efektivního počtu bitů z následující rovnice:

$$ENOB = N - \log_2(\sigma) \quad (4)$$

Kde N je počet bitů realizovaného převodníku a σ je směrodatná odchylka [11]

Směrodatná odchylka vyjadřuje průměrnou kvadratickou odchylku od střední hodnoty. Je možné ji vypočítat pomocí rovnice:

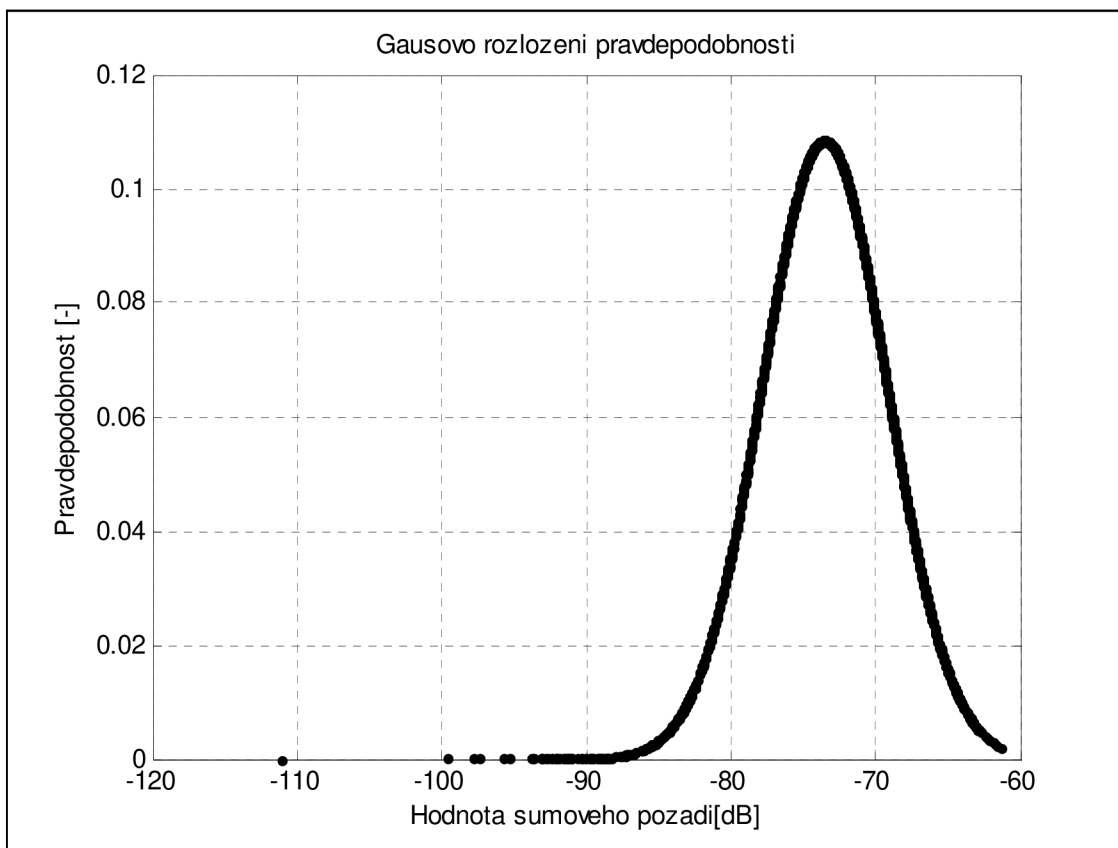
$$\sigma^2 = \frac{1}{n} \sum_1^n (x_i - \bar{x})^2 \quad (5)$$

Kde n je celkový počet, ze kterého je provedena rychlá Fourierova transformace, x_i jsou jednotlivé hodnoty a \bar{x} je průměrná hodnota. [13] Pomocí programu MATLAB byla kvadratická směrodatná odchylka vypočtena na hodnotu 18.7201, po odmocnění byla získána směrodatná odchylka, která byla 4.3267. Výsledné Gaussovo rozložení pravděpodobnosti je vypočítáno podle rovnice:

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} \cdot e^{-\frac{(x-\mu)^2}{2\sigma^2}} \quad (6)$$

Kde $f(x)$ je Gaussova funkce, σ je směrodatná odchylka, x jsou hodnoty rozložení spektrální hustoty šumu a μ je střední hodnota hustoty šumu. [12]

Vykreslená Gaussova funkce pomocí programu MATLAB je zobrazena viz Obr. 36.



Obr. 36: Gaussovo rozložení šumu

8.2. ENOB při vstupním DC signálu

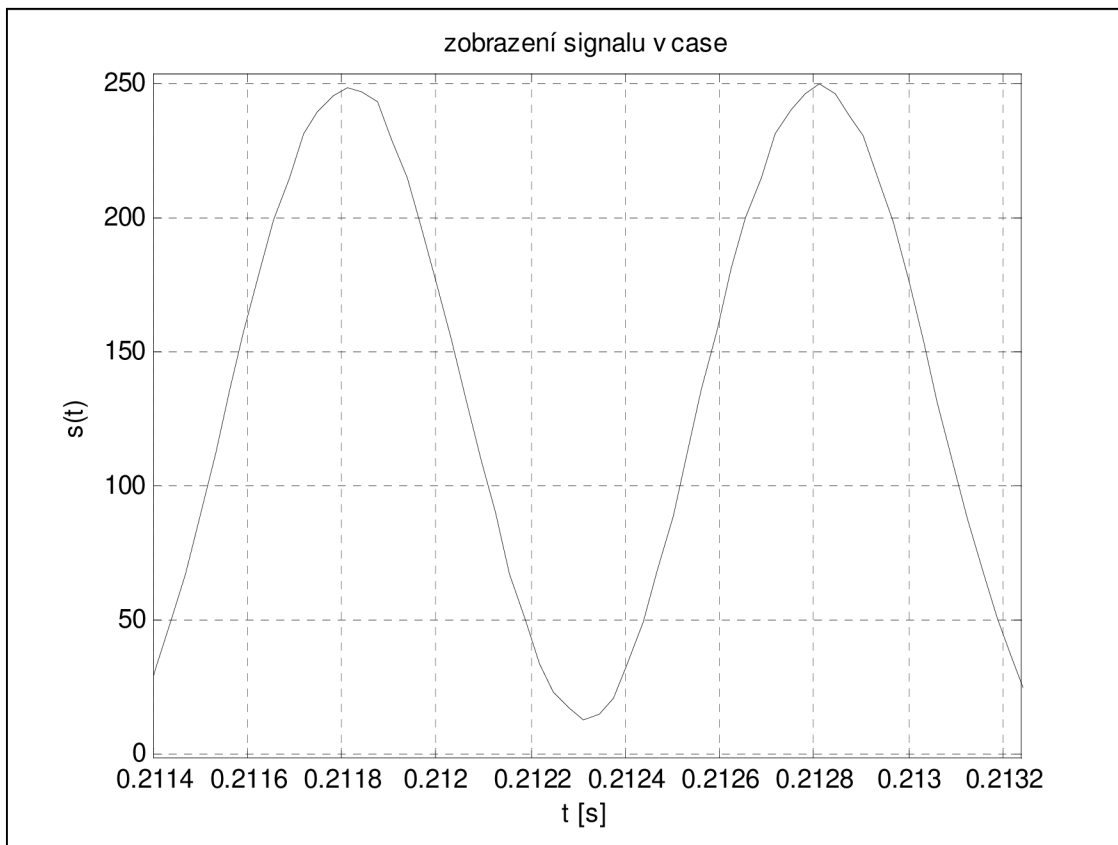
Efektivní počet bitů vyjadřuje kvalitu digitalizovaného signálu. Navržený převodník je 8bitový, vstupní analogový signál může být rozdělen až do 256 kvantizačních kladin. Každé měření je postíženo chybou, která je dána mimo jiné i velikostí šumu. Tato velikost způsobí, že výstupní digitální slovo je při nulovém vstupním signálu nenulové. To je způsobeno šumovou úrovní na vstupu, která se vyskytuje na pozicích nejméně významných bitů. Při připojení signálu se předpokládá, že intenzita bude větší než šumová hodnota, proto je tento měřený signál vyjádřen na vyšších bitech výstupního číslicového slova. Efektivní počet bitů vyjadřuje, kolik je bitů pro měření užitečného signálu. [14]

Efektivní počet bitů může být měřen jak při stejnosměrném vstupním signálu, tak při přivedení střídavého vstupního signálu. Pokud jej měříme při stejnosměrném signálu, efektivní počet bitů zahrnuje statické chyby převodníku. Při výpočtu ze střídavého signálu je nutné vypočítat odstup signálu od šumu a zkreslení. Tento parametr je známý pod zkratkou SINAD. Následně pomocí známých vztahů je možné vypočítat efektivní počet bitů. [11]

Výpočet efektivního počtu bitů při stejnosměrném vstupním signálu je určen směrodatnou odchylkou. Ta byla vyjádřena na hodnotu 4.3267. Při dosazení této hodnoty do vztahu (4) dostaneme při 8bitovém převodu hodnotu ENOB 5,88 bitů.

8.3. Odstup signál–šum

Pro stanovení odstupu signálu od šumu je nutné mít kmitočtové spektrum, ve kterém je již dominantní signál. Vstupním signálem je harmonický signál o frekvenci 1 kHz, amplitudě 1,25 V a stejnosměrném offsetu 1,25 V. Vstupní signál byl generován z funkčního generátoru a výsledný digitalizovaný průběh je zobrazen na Obr. 37.

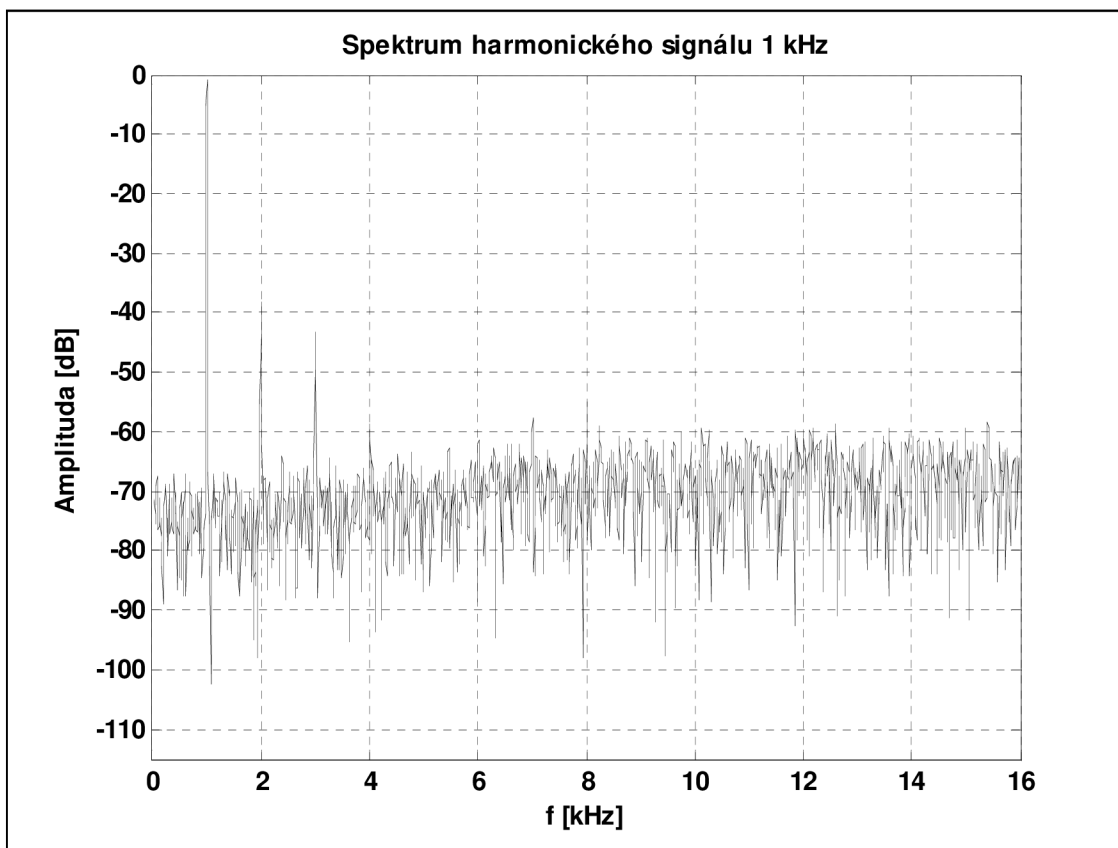


Obr. 37: Vstupní harmonický signál

Vstupní harmonický signál byl převeden z časové oblasti do kmitočtové oblasti pomocí rychlé Fourierovy transformace. Pro stanovení poměru signál–šum je nutné stanovit amplitudu vstupního signálu, který je na frekvenci 1 kHz. Hodnota amplitudy na této úrovni odpovídá velikosti $-0,8$ dB. Teoretický výpočet SNR pro vstupní sinusový signál platí rovnice:

$$SNR = (6,02N + 1,76) \quad (7)$$

Kde N je efektivní počet bitů převodníku. [9] Teoretická hodnota pro ideální 8bitový převodník je rovna hodnotě 49,92 dB. Amplitudové frekvenční spektrum je vytvořeno pomocí FFT ze 4096 bodů. Výsledné spektrum zobrazené do poloviny vzorkovacího kmitočtu je vykresleno na Obr. 38.



Obr. 38: Spektrum harmonického signálu 1kHz

Při použití výpočtu spektra ze 4096 bodů před FFT, dostaneme hodnoty amplitudového spektra o velikosti poloviny vstupního vektoru. To je způsobeno komplexně sdruženými body, které vznikají při aplikaci FFT. Rozdíl mezi jednotlivými spektrálními čarami je dán počtem bodů po FFT a vzorkovací frekvencí. Šířka každé spektrální čáry je dána podílem vzorkovací frekvence a počtem bodů, ze kterých je vypočtena FFT. Pro stanovení skutečné úrovně kvantizačního šumu je nutné vzít v úvahu počet bodů, ze kterých bylo vytvořeno spektrum. Stanovená hodnota šumového prahu pro vstupní harmonický signál je o $10 \times \log(M/2)$ menší. [15]

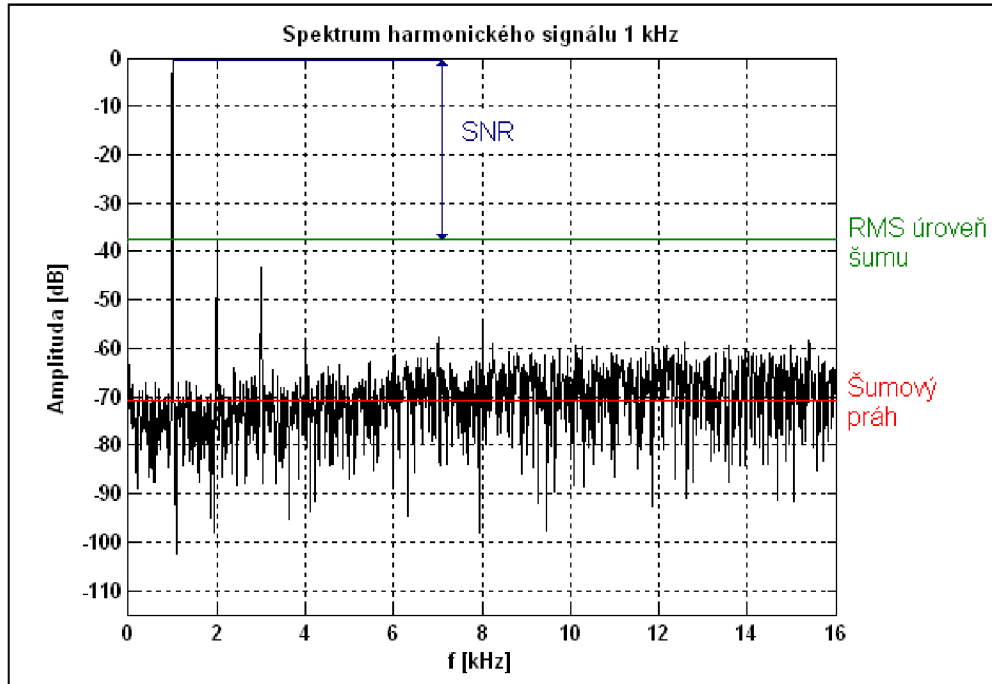
V celkové hodnotě šumu jsou brány v úvahu i vyšší harmonické vstupního signálu. Napěťová úroveň signálu je 0,912 V, napěťová úroveň šumu FFT byla vypočtena programem MATLAB na hodnotu -70.4106 při akceptování vyšších harmonických a byla určena ze 4096 bodů. Výsledná RMS hodnota šumu je o 33,11 dB menší, tedy odpovídá hodnotě $-37,29$ dB, která je po přepočtu rovna 13,7 mV. Vypočítaný poměr je podle rovnice:

$$SNR = \frac{P_{SIG}}{P_{NOISE}} \quad (8)$$

Kde P_{SIG} je výkonová úroveň signálu a P_{NOISE} je výkonová úroveň šumu. [9] Výkon je možné vypočítat jako kvadrát napětí na impedanci. Při poměru a dosazení se impedance vykrátí a zůstane následující vztah

$$SNR_{dB} = 20 \cdot \log\left(\frac{U_{SIG}}{U_{NOISE}}\right) \quad (9)$$

Kde U_{SIG} je napěťová úroveň signálu a U_{NOISE} je napěťová úroveň šumu. Při dosažení hodnot získaných programem MATLAB je výsledný poměr signál–šum 36,49 dB. Teoretická hodnota pro ideální 8bitový převodník byla vypočtena na hodnotu 49,92 dB. Při použití rovnice (7) a skutečné hodnoty efektivních bitů je vypočítaný poměr SNR roven 37,15 dB. Odchyłka od změřeného je rovna 0,66 dB. Zobrazení poměru signál–šum je zobrazeno viz Obr. 39.



Obr. 39: Zobrazení SNR

8.4. Harmonické zkreslení

Vyjadřuje celkové harmonické zkreslení při vstupním harmonickém signálu. Musí být stanoveny hodnoty na vyšších harmonických, většinou se uvažuje prvních pět harmonických. [9]

Pro určení celkového harmonického zkreslení platí rovnice:

$$THD = 20 \cdot \log \left(\frac{1}{2} \cdot \frac{\sqrt{U_2^2 + U_3^2 + \dots + U_N^2}}{U_1} \right) \quad (10)$$

Kde U_2 až U_N vyjadřují vyšší harmonické a U_1 je základní harmonická. [9] Programem MATLAB byly stanoveny hodnoty jednotlivých harmonických následovně viz Tabulka 2.

Tabulka 2: Hodnoty harmonických složek

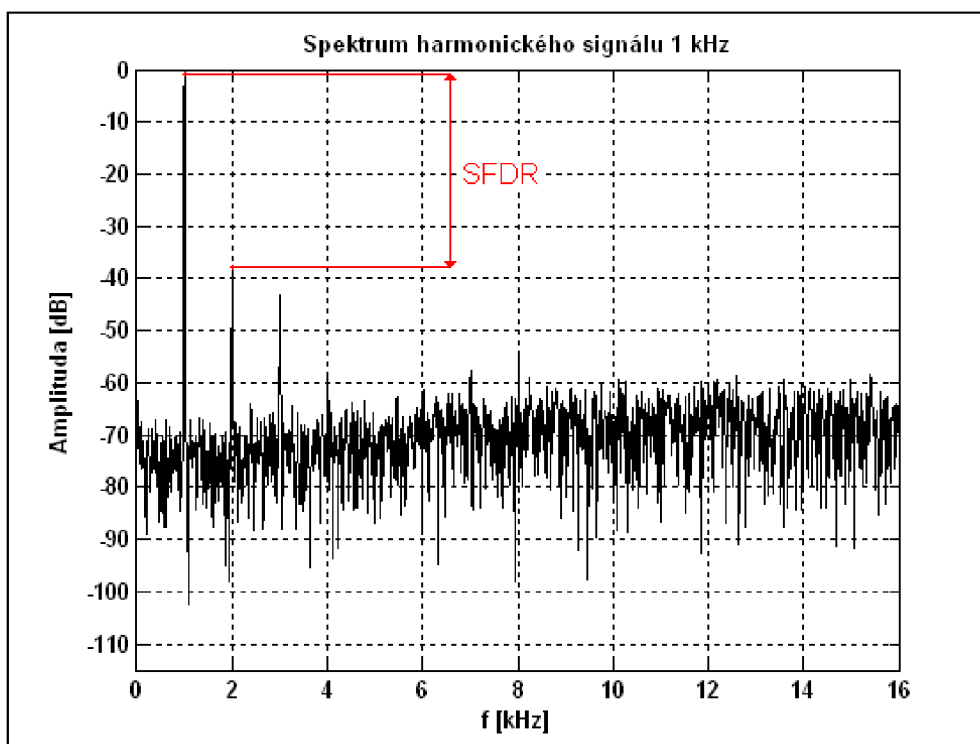
Harmonická	U [dB]	U[mV]
1	-0,80	912
2	-37,42	13,45
3	-42,35	7,63

4	-60,35	0,96
5	-73,63	0,21
6	-66,41	0,48

Výsledné celkové harmonické zkreslení je podle rovnice (10) vypočítáno na hodnotu -41,41 dB.

8.5. Dynamický rozsah bez parazitních složek

Dynamický rozsah bez parazitních složek je určen pomocí největší harmonické složky. Ve výsledném amplitudovém spektru je tato hodnota dána druhou harmonickou a je vztažena k nosné, tedy první harmonické. Její jednotka je vyjádřena v decibelech vztažená k první harmonické. U realizovaného převodníku je hodnota první harmonické změřena -0,8 dB a druhé harmonické -37,42 dB. Rozdíl těchto hodnot nám určuje dynamický rozsah bez parazitních složek, který je 36,62 dBc. [15] Zobrazení parametru SFDR je zobrazeno viz Obr. 40.



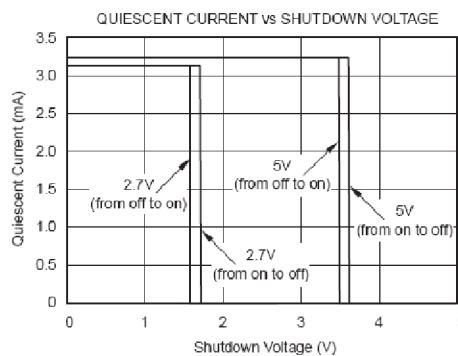
Obr. 40: Výpočet parametru SFDR

9 Externí komparátor

Při realizaci byl použit komparátor obsažený v obvodu FPGA, který je realizován pomocí komponenty IBUFDS. Pro porovnání kvality této komponenty bylo realizováno zapojení s externím komparátorem TLV3502 od firmy TI.

9.1. Specifikace externího komparátoru

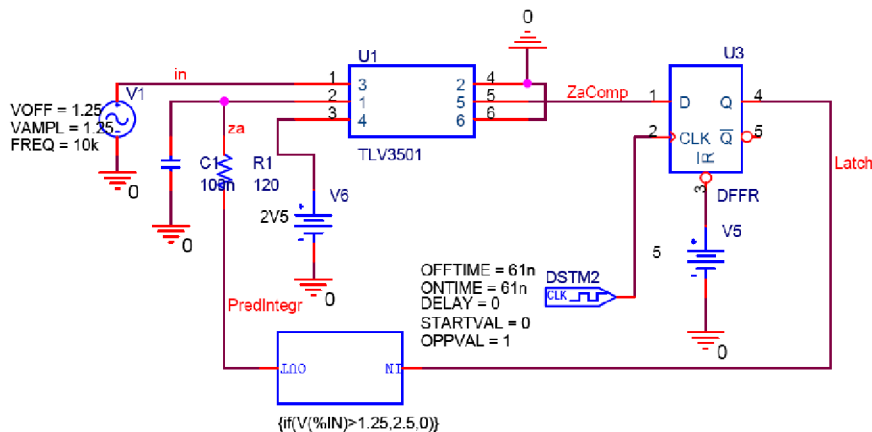
Mezi přední parametry digitálního komparátoru patří asymetrické vstupní napájení. Hodnota vstupního napájení je od 2,2 V do 5,5 V. Při realizaci je obvod napájen hodnotou 2,5 V. V pouzdře jsou umístěny dva komparátory, rychlost změny stavu je 4,5 ns. Komparátory mají nastavenou automaticky hysterezní smyčku o velikosti 6 mV viz Obr. 41. [16]



Obr. 41: Hysterezní smyčka externího komparátoru (převzato z [17])

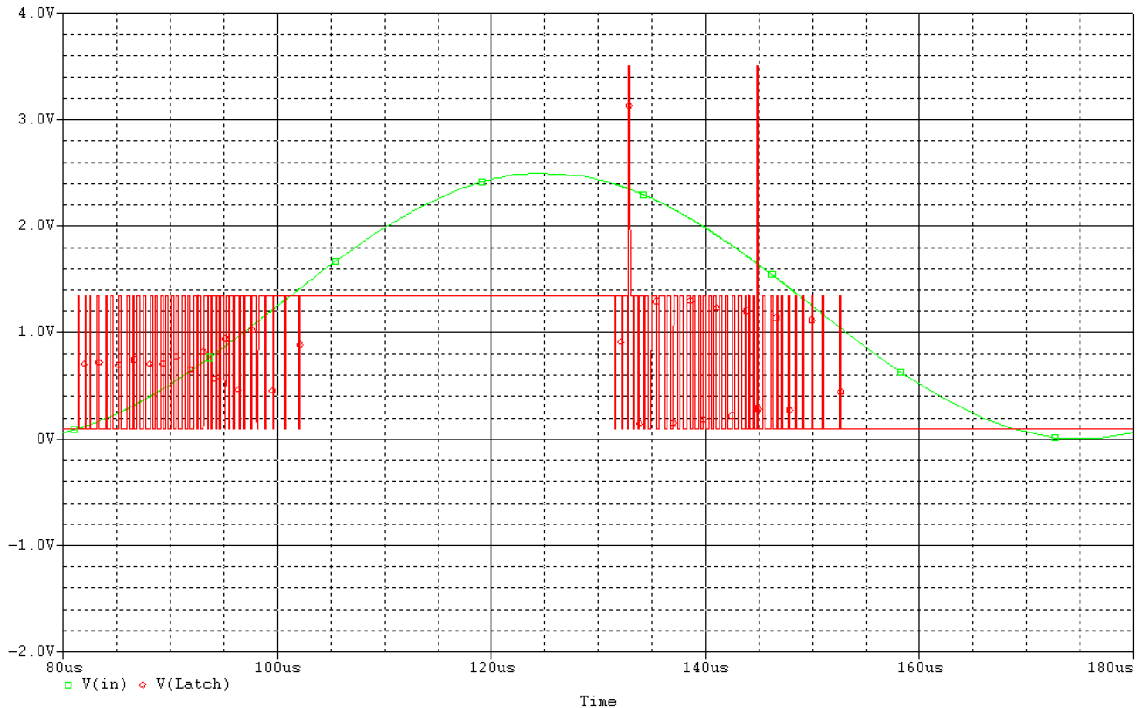
9.2. Simulace v programu OrCAD

Schéma pro simulaci v programu OrCAD je zobrazeno viz Obr. 42. Před samotnou simulací bylo nutné stáhnout model komparátoru a implementovat jej do programu OrCAD.



Obr. 42: Schéma pro simulaci TLV3502

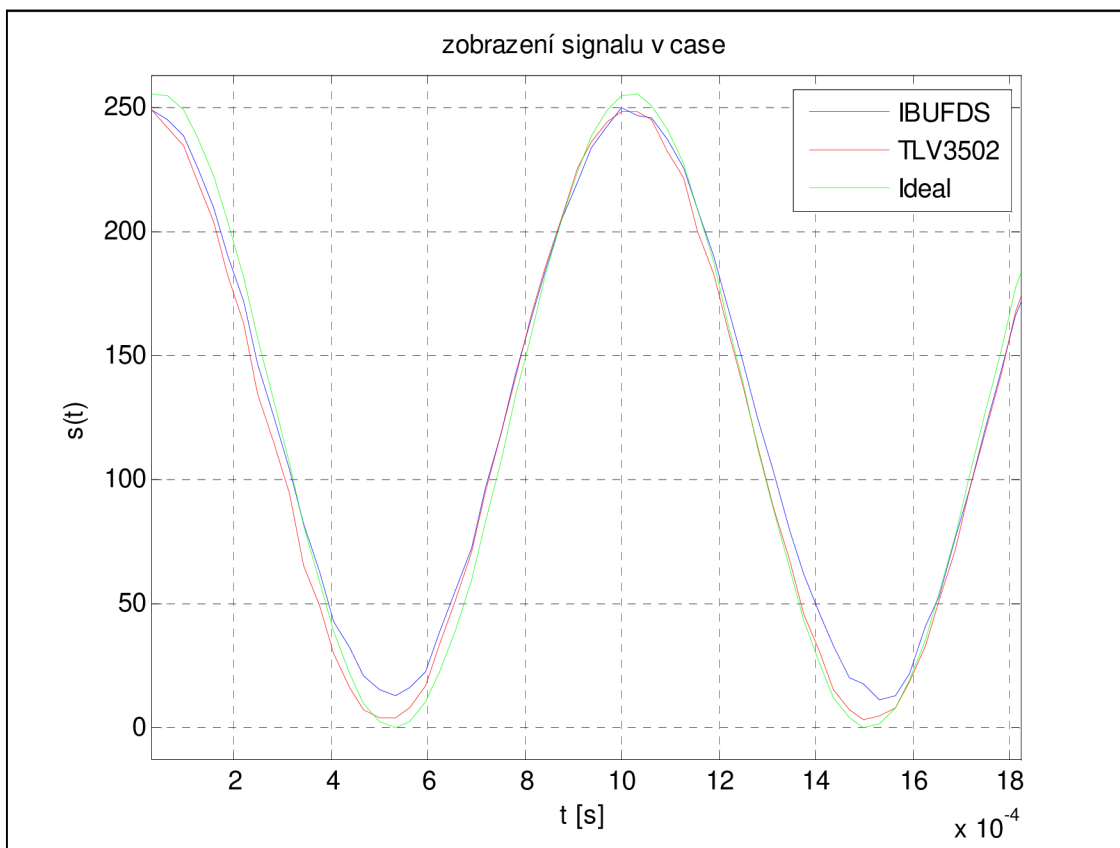
Vstupní harmonický signál je nastaven na kmitočet 10 kHz, čas simulace je upraven na hodnoty od 80 μ s do 180 μ s. Je zobrazena jedna vlna vstupního signálu. Výstupem je signál V(Latch), který je za obvodem typu D. Hodinový signál tohoto obvodu je nastaven na 8,192 MHz. Výsledek simulace je zobrazen na obr. 43.



Obr. 43: Výsledek simulace s reálným komparátorem

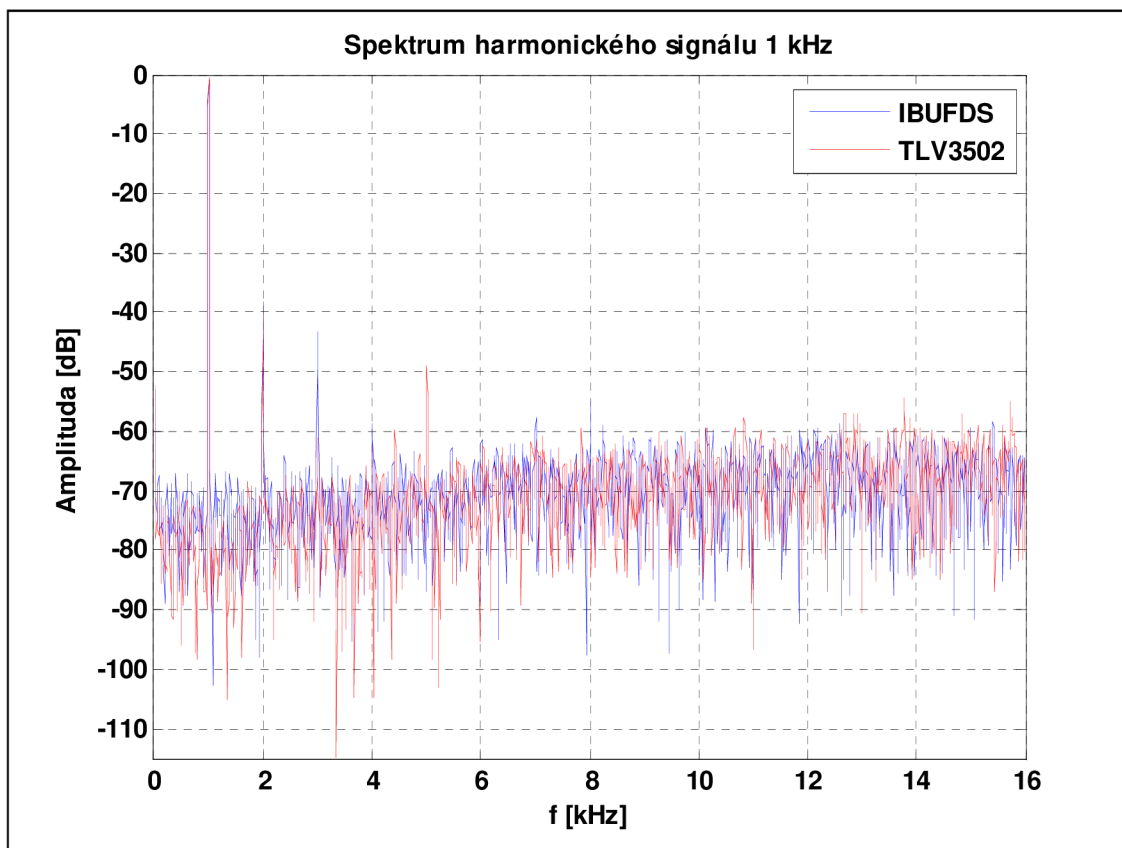
9.3. Zpracování v programu MATLAB

Vstupní signál byl totožný jako při měření se vstupem IBUFDS. V programové části v prostředí ISE byly nepatrné změny, byl odebrán vstup IBUFDS. Vstupní signál je přiveden přímo na klopný obvod D. Výstup z OBUF zůstal nezměněn, za tímto výstupem následuje externí integrátor a výstup z integrátoru jde do externího komparátoru. Po připojení funkčního generátoru a zachycení UDP datagramů je výsledný průběh následující viz Obr. 44. Pro porovnání je zobrazen i průběh při použití IBUFDS a ideální sinusový signál.



Obr. 44: Porovnání signálů v časové oblasti

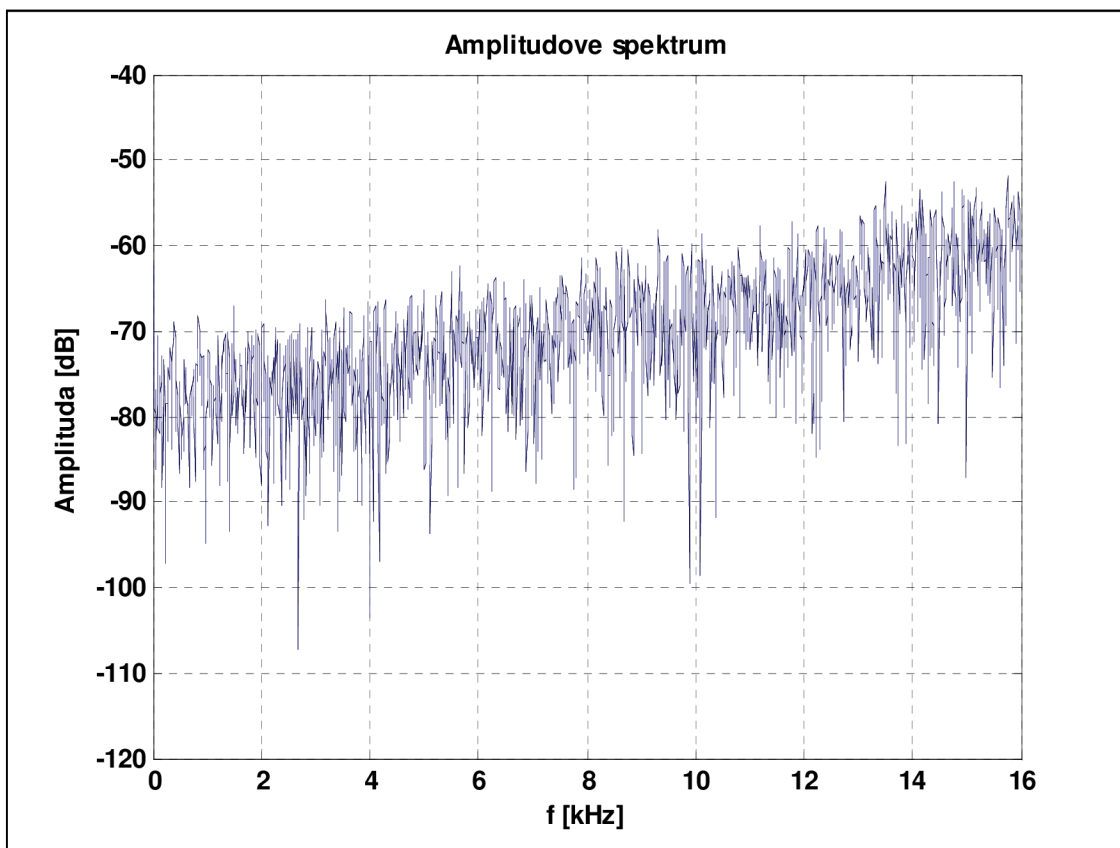
Zobrazení průběhu při použití IBUFDS a externího komparátoru je téměř totožné. Odchylka od ideálního průběhu nastává při nízkých hodnotách, kdy externí komparátor je schopný lépe zobrazit nízké úrovně amplitudy. Převedením signálu z časové do frekvenční oblasti bylo provedeno pomocí rychlé Fourierovi transformace. Výsledné spektra jsou zobrazena na obr. 45.



Obr. 45: Porovnání amplitudových spekter

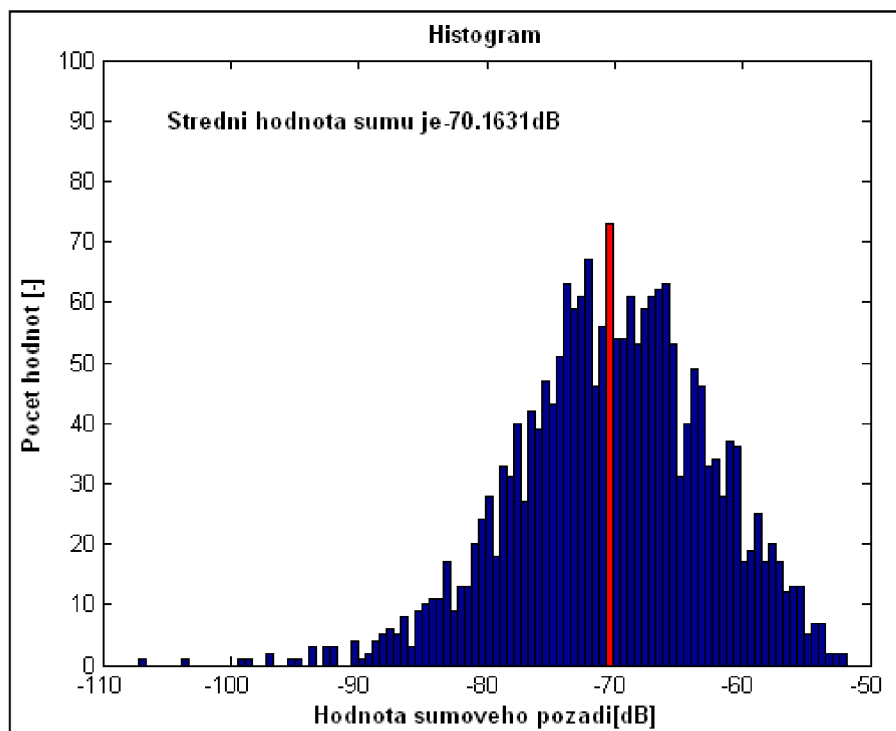
9.3.1. Stanovení šumového prahu a ENOB

Pro stanovení šumového prahu je nutné měřit při nulovém vstupním napětí. Číselné hodnoty byly v intervalu 0–10. Při zkratovaném vstupu externího komparátoru bylo změřeno následující spektrum viz obr. 46.



Obr. 46: Amplitudové spektrum pro externí komparátor a zkratovaný vstup

Programem byla stanovena průměrná hodnota spektrálního šumu – 70.1631 dB. Histogram je zobrazený na Obr. 47.



Obr. 47: Histogram hodnot šumu externího komparátoru

Po provedení výpočtu průměrné hodnoty šumu byl proveden výpočet směrodatné odchylky, která byla 5,576. Pro známou hodnotu směrodatné odchylky je možné určit efektivní počet bitů podle rovnice (4). Výsledný efektivní počet bitů je 5,57 bitů. Je možné si všimnout, že úroveň šumu je větší než při použití vstupu IBUFDS. Rozdíl této hodnoty je 3,396 dB. Tento rozdíl způsobí zmenšení efektivního počtu bitů a to z hodnoty 5,88 bitů na hodnotu 5,57 bitů. V porovnání efektivního počtu bitů je tedy lepší realizace s IBUFDS než s externím komparátorem.

9.3.2. Stanovení poměru signál–šum

Pro stanovení hodnoty SNR je nutné odečíst vliv použití rychlé Fourierovi transformace, která byla počítána ze 4096 bodů. Tedy jako v předchozím případě výpočtu SNR, je nutné odečíst hodnotu 33,11 dB od průměrné hodnoty šumu. Po výpočtu je RMS hodnota šumu $-37,02$ dB. Po úpravě hodnoty na napětí dostaneme 14,1 mV. Hodnota signálu je $-0,4$ dB, tedy 0,955 mV. Celkový poměr SNR vypočítaný podle rovnice (9) je 36,61 dB. Při použití interního komparátoru byla dosažena hodnota SNR 36,49 dB.

9.3.3. Harmonické zkreslení

Pro výpočet celkového harmonického zkreslení je nutné stanovit hodnoty na jednotlivých harmonických. Tyto hodnoty jsou uvedeny v Tabulce č. 3.

Tabulka 3: Určení hodnot harmonického zkreslení

Harmonická	U_{IBUFDS} [dB]	U_{IBUFDS} [mV]	$U_{TLV3502}$ [dB]	$U_{TLV3502}$ [mV]
1	-0,80	912	-0,40	955
2	-37,42	13,45	-39,81	10,22
3	-42,35	7,63	-60,56	0,94
4	-60,35	0,96	-61,91	0,80
5	-73,63	0,21	-50,43	3,00
6	-66,41	0,48	-69,12	0,35

Celkové harmonické zkreslení bylo vypočítáno podle rovnice (10) -45 dB. Při realizaci interního komparátoru bylo dosaženo harmonického zkreslení $-41,41$ dB. Při použití externího komparátoru je harmonické zkreslení menší.

9.3.4. Dynamický rozsah bez parazitních složek

Pro určení dynamického rozsahu bez parazitních složek je nutné určit největší hodnotu harmonické složky. V realizovaném případě je tato hodnota u druhé harmonické složky a má velikost $-39,81$ dB. Rozdíl mezi první a druhou harmonickou složkou je hledaná hodnota SFDR a je rovna 39,41 dBc. U realizovaného převodníku pomocí interního komparátoru je SFDR roven 36,62 dBc. Větší rozdíl značí větší dynamický rozsah bez parazitních složek. Externí komparátor má větší rozdíl, tedy i větší dynamický rozsah.

10 Závěr

Pomocí FPGA byl realizován 8bitový Sigma-Delta převodník prvního řádu pro vstupní analogové napětí o amplitudě od 0 V do 2,5 V. Výsledné digitální hodnoty byly po jednotlivých bytech ukládány do paměti RAM. Po uložení šedesátého bytu byl vytvořen UDP datagram, který byl zaslán pomocí síťového rozhraní do PC. Vytvořené síťové rozhraní je gigabit Ethernet. Funkčnost převodu a odesílání dat přes síťové rozhraní jsem ověřil pomocí programu Wireshark. Po úspěšném ověření byl vytvořen program pro zachytávání UDP datagramů, který zobrazoval data v desítkovém vyjádření ve formě nekomprimované pulsně kódové modulace. Po zachycení libovolného počtu datagramů je možné datové hodnoty uložit do textového souboru. Textový soubor byl dále zpracován programem MATLAB.

Změřené parametry realizovaného převodníku jsou rozděleny na statické parametry a dynamické parametry. U statických parametrů je vyobrazena ideální a reálná převodní charakteristika, ze které je možné určit statické chyby, především chyba zesílení, chyba offsetu, diferenciální a integrální nelinearita. Dynamické parametry převodníku jsou charakterizovány poměrem signál-šum, který byl pro realizovaný 8bitový převodník roven 36,49 dB. Efektivní počet bitů byl měřen pro stejnosměrný vstupní signál a jeho hodnota je 5,88 bitů. Pomocí známých vztahů je možné vyjádřit poměr signál-šum v závislosti na efektivním počtu bitů. Tato hodnota byla vypočtena 37,15 dB, zde mohly vzniknout chyby způsobené zaokrouhlením efektivního počtu bitů, odchylka od změřeného SNR je rovna 0,66 dB. Celkové harmonické zkreslení realizovaného převodníku bylo -41,41 dB. Dynamický rozsah bez parazitních složek je roven 36,62 dBc.

Pro porovnání vstupního digitálního komparátoru obvodu FPGA IBUFDS byl vytvořen Sigma-Delta modulátor s externím komparátorem. Byl použit obvod firmy Texas Instruments s označením TLV3502. Porovnány byly pouze dynamické parametry. Poměr signál-šum při použití externího komparátoru byl vypočítán na hodnotu 36,61 dB. Při použití interního komparátoru byla dosažena hodnota SNR 36,49 dB. Efektivní počet bitů pro externí komparátor byl měřen 5,57 bitů, zatímco u interního 5,88 bitů. Celkové harmonické zkreslení pro externí komparátor bylo -45 dB a pro interní -41,41 dB. Dynamický rozsah bez parazitních složek u externího je 39,41 dBc a u interního roven 36,62 dBc. Interní komparátor má pouze kvalitnější efektivní počet bitů, ostatní změřené parametry jsou lepší u externího komparátoru. Celkový rozdíl poměru signál-šum mezi realizacemi je 0,12 dB. U efektivního počtu bitů je rozdíl 0,31 bitu. Pro harmonické zkreslení je rozdíl 3,59 dB a pro dynamický rozsah bez parazitních složek je 2,79 dB.

Seznam literatury

- [1] ORTMANN, M. GERFERS F. *Continuous-Time Sigma-Delta A/D Conversion Fundamentals, Performance Limits and Robust Implementations*. Springer Berlin Heidelberg, 2006. 243 stran. ISBN 3-540-28406-0
- [2] VRBA, K. HANÁK, P. *A/D převodníky (kapitola sigma-delta)*. Elektronické skriptum. Brno:FEKT VUT v Brně, 2007
- [3] CHEUNG, R.C.C., PUN, K.P., YUEN, S.C.L., TSOI, K.H., LEONG, P.H.W. An FPGA-based re-configurable 24-bit 96kHz sigma-delta audio DAC. In *Proceedings of IEEE International Conference on Field-Programmable Technology (FPT)*, 2003, p. 110-117. ISBN: 0-7803-8320-6
- [4] KOLOUCH, J. *Programovatelné logické obvody*. Elektronické texty přednášek a počítačových cvičení. Brno:FEKT VUT v Brně, 2007
- [5] Elektronik [online]. 2010 – [cit. 28. května 2010]. Dostupné na [www: http://www.beis.de/Elektronik/DeltaSigma/DeltaSigma.html](http://www.beis.de/Elektronik/DeltaSigma/DeltaSigma.html)
- [6] KOLKA, Z. *Počítačové a komunikační sítě*. Elektronické skriptum. Brno:FEKT VUT v Brně, 2007
- [7] Specifikace produktu MAC Wrapper, datasheet spustitelný z programu ISE WebPack. USA 2009
- [8] Specifikace produktu Block Memory Generator, datasheet spustitelný z programu ISE WebPack. USA 2009
- [9] HÁZE, J. VRBA, R. FUJCIK, L. SAJDL, O. *Teorie vzájemného převodu analogového a číslicového signálu*. Elektronické skriptum. Brno:FEKT VUT v Brně, 2010
- [10] KOLOUCH, J. *Impulzová a číslicová technika*. Elektronické skriptum. Brno: FEKT VUT v Brně, 2002.
- [11] Měření ENOB [online]. 2011 – [cit. 27. dubna 2011]. Dostupné na [www: http://e2e.ti.com/videos/m/analog/97246.aspx](http://e2e.ti.com/videos/m/analog/97246.aspx)
- [12] Gausovo rozložení [online]. 2011 – [cit. 27. dubna 2011]. http://cs.wikipedia.org/wiki/Norm%C3%A1ln%C3%AD_rozd%C4%9Blen%C3%AD
- [13] FAJMON, B. RŮŽIČKOVÁ, I. *Matematika 3*. Elektronické skriptum. Brno:FEKT VUT v Brně, 2005
- [14] Specifikace ENOB [online]. 2011 – [cit. 27. dubna 2011]. <http://en.wikipedia.org/wiki/ENOB>
- [15] Porozumění SINAD, ENOB, SNR, THD, THD + N a SFDR [online]. 2011 – [cit. 27. dubna 2011]. <http://www.analog.com/static/imported-files/tutorials/MT-003.pdf>
- [16] Dokumentace komparátoru TLV3502 [online]. 2011 – [cit. 27. dubna 2011]. <http://focus.ti.com/docs/prod/folders/print/tlv3502.html#technicaldocuments>
- [17] Datasheet TLV3502 [online]. 2011 – [cit. 27. dubna 2011]. <http://focus.ti.com/lit/ds/symlink/tlv3502.pdf>
- [18] KASTER, W. *The Data Conversion Handbook* [online]. 2011 – [cit. 27. dubna 2011]. http://www.analog.com/library/analogDialogue/archives/39-06/data_conversion_handbook.html

Seznam zkratek

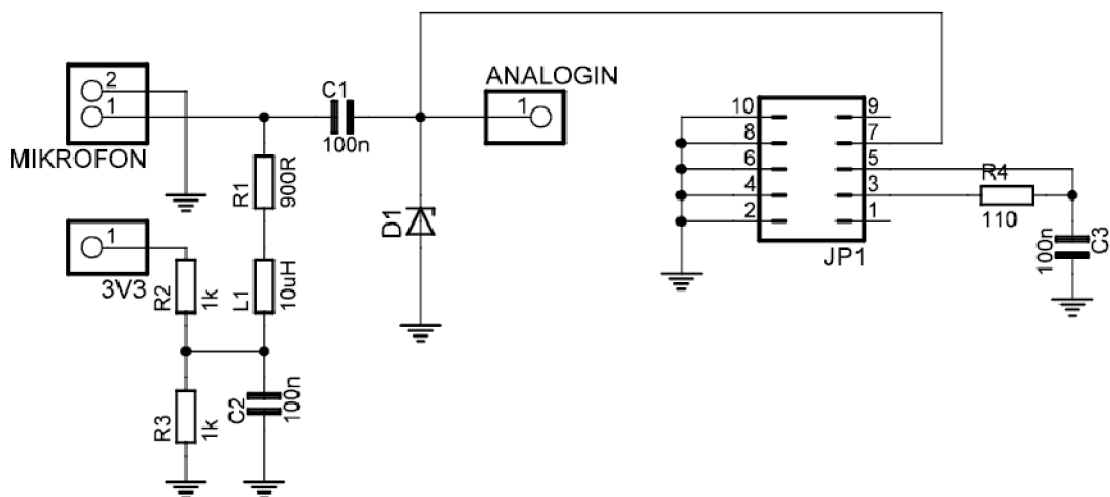
AC	alternating current, střídavý signál
ADC	Analog Digital Converter, převodník analogové veličiny na digitální
DAC	Digital Analog Converter, převodník digitální hodnoty na analogovou
DC	direct current, stejnosměrný signál
ENOB	Effective number of bits, efektivní počet bitů
FFT	Fast Fourier transform, rychlá Fourierova transformace
FPGA	Field Programmable Gate Array, programovatelné hradlové pole
GMII	Gigabit Media Independent Interface, rozhraní pro gigabit Ethernet
IP	Internet Protocol, protokol používaný na druhé vrstvě modelu TCP/IP
MAC	Media Access Control, identifikátor síťového rozhraní
MII	Media Independent Interface, standardní rozhraní pro Ethernet
OSR	Over Sampling Ratio, koeficient převzorkování
PC	Personal Computer, osobní počítač
PCM	Pulse Code Modulation, pulsně kódová modulace
RAM	Random Access Memory, paměť s přímým přístupem
RMS	Root mean square, efektivní hodnota vyjádřená kvadratickým průměrem
SFDR	Spurious free dynamic range, dynamický rozsah bez parazitních složek
SINAD	Signal to noise and distortion, odstup signálu od šumu a zkreslení
SNR	Signal to noise ratio, odstup signál–šum
THD	Total harmonic distortion, harmonické zkreslení
TCP	Transmission Control Protocol, protokol používaný transportní vrstvou modelu TCP/IP
TI	Texas Instruments, výrobce elektroniky
UDP	User Datagram Protocol, protokol používaný transportní vrstvou modelu TCP/IP
VHDL	Vhsic Hardware Description Language, jazyk pro popis hardware

Seznam příloh

A	NÁVRH ZAŘÍZENÍ	48
A.1	OBVODOVÉ ZAPOJENÍ	48
A.2	DESKA PLOŠNÉHO SPOJE – TOP	48
A.3	DESKA PLOŠNÉHO SPOJE – BOTTOM.....	48
A.4	OSAZOVACÍ PLÁN – TOP.....	48
A.5	OSAZOVACÍ PLÁN – BOTTOM	49
B	SEZNAM SOUČÁSTEK	49
C	NÁVRH S EXTERNÍM KOMPARÁTOREM	50
C.1	OBVODOVÉ ZAPOJENÍ	50
C.2	DESKA PLOŠNÉHO SPOJE – TOP	50
C.3	DESKA PLOŠNÉHO SPOJE – BOTTOM.....	50
C.4	OSAZOVACÍ PLÁN – TOP.....	51
C.5	OSAZOVACÍ PLÁN – BOTTOM	51
D	SEZNAM SOUČÁSTEK PRO EXTERNÍ KOMPARÁTOR	51

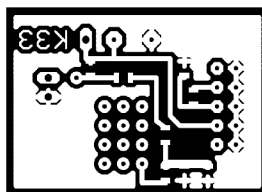
A Návrh zařízení

A.1 Obvodové zapojení



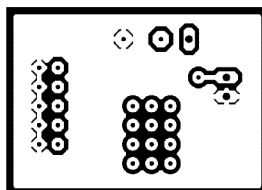
A.2 Deska plošného spoje – top

Rozměr desky 25 x 35 [mm], měřítko M1:1

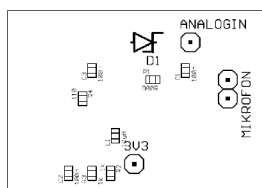


A.3 Deska plošného spoje – bottom

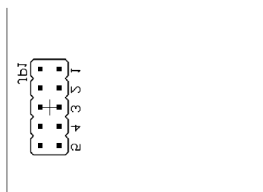
Rozměr desky 25 x 35 [mm], měřítko M1:1



A.4 Osazovací plán – top



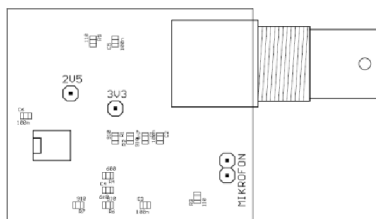
A.5 Osazovací plán – bottom



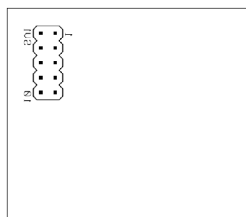
B Seznam součástek

Označení	Hodnota	Pouzdro	Popis
C1	100n	0805	Keramický kondenzátor
C2	100n	0805	Keramický kondenzátor
C3	100n	0805	Keramický kondenzátor
R1	900R	0805	Rezistor
R2	1k	0805	Rezistor
R3	1k	0805	Rezistor
R4	110	0805	Rezistor
L1	10uH	0805	Tlumivka
D1	2V7	DO-35	Zenerova dioda
Mikrofon	–	–	MCE100
Dutinková lišta			2x5

C.4 Osazovací plán – top



C.5 Osazovací plán – bottom



D Seznam součástek pro externí komparátor

Označení	Hodnota	Pouzdro	Popis
C1	4n7	0805	Keramický kondenzátor
C2	100n	0805	Keramický kondenzátor
C3	100n	0805	Keramický kondenzátor
C4	6n8	0805	Keramický kondenzátor
C5	100n	0805	Keramický kondenzátor
C6	100n	0805	Keramický kondenzátor
R1	910R	0805	Rezistor
R2	910R	0805	Rezistor
R3	110R	0805	Rezistor
R4	680R	0805	Rezistor
R5	110	0805	Rezistor
R6	910	0805	Rezistor
R7	910	0805	Rezistor
L1	10uH	SMT54	Tlumivka
L2	10uH	SMT54	Tlumivka
Mikrofon	–	–	MCE100
Dutinková lišta			2x5
BNC konektor			
TLV3502			Digitální komparátor